

【特許請求の範囲】

【請求項 1】

表示色が互いに異なり、各々が、制御端子と第 1 電源端子に接続された第 1 端子とそれらの間の電圧に対応した大きさの電流を出力する第 2 端子とを含んだ駆動制御素子と、前記第 2 端子と前記制御端子との間に接続されたダイオード接続スイッチと、画素電極とこれと向き合った対向電極とそれらの間に介在した活性層とを含んだ表示素子と、前記第 2 端子と前記画素電極との間に接続された出力制御素子とを備えた第 1 及び第 2 画素を具備し、

前記第 1 画素の前記ダイオード接続スイッチは 1 つ又は直列に接続された複数の電界効果トランジスタを含み、前記第 2 画素の前記ダイオード接続スイッチは直列に接続された複数の電界効果トランジスタを含み、前記第 2 画素は前記第 1 画素と比較して前記電界効果トランジスタの数がより多いことを特徴とする表示装置。 10

【請求項 2】

前記第 1 及び第 2 画素の前記表示素子は発光素子であり、前記第 2 画素は前記第 1 画素と比較して前記表示素子が発光し得る駆動電流の最低値がより小さいことを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

下面発光型であることを特徴とする請求項 2 に記載の表示装置。

【請求項 4】

前記表示素子は有機 EL 素子であることを特徴とする請求項 1 に記載の表示装置。 20

【請求項 5】

前記第 1 及び第 2 画素の前記ダイオード接続スイッチが含む前記電界効果トランジスタは p チャネル薄膜トランジスタであることを特徴とする請求項 1 に記載の表示装置。

【請求項 6】

各々が、制御端子と第 1 電源端子に接続された第 1 端子とそれらの間の電圧に対応した大きさの電流を出力する第 2 端子とを含んだ駆動制御素子と、前記第 2 端子と前記制御端子との間に接続されたダイオード接続スイッチと、画素電極と、前記第 2 端子と前記画素電極との間に接続された出力制御素子とを備えた第 1 及び第 2 画素回路を具備し、

前記第 1 画素回路の前記ダイオード接続スイッチは 1 つ又は直列に接続された複数の電界効果トランジスタを含み、前記第 2 画素回路の前記ダイオード接続スイッチは直列に接続された複数の電界効果トランジスタを含み、前記第 2 画素回路は前記第 1 画素回路と比較して前記電界効果トランジスタの数がより多いことを特徴とするアレイ基板。 30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置及びアレイ基板に関する。

【背景技術】

【0002】

特許文献 1 には、映像信号として電流信号を利用するアクティブマトリクス型有機 EL 表示装置が記載されている。この表示装置の画素は、n チャネル薄膜トランジスタである駆動トランジスタと、有機 EL 素子と、キャパシタと、出力制御スイッチと、映像信号供給制御スイッチと、ダイオード接続スイッチとを含んでいる。駆動トランジスタと出力制御スイッチと有機 EL 素子とは、低電位電源線と高電位電源線との間で、この順に直列に接続されている。キャパシタは、低電位電源線と駆動トランジスタのゲートとの間に接続されている。ダイオード接続スイッチは、駆動トランジスタのドレインとゲートとの間に接続されている。映像信号供給制御スイッチは、駆動トランジスタのドレインと映像信号線との間に接続されている。 40

【0003】

特許文献 2 には、映像信号として電圧信号を利用するアクティブマトリクス型有機 EL 表示装置が記載されている。この表示装置の画素は、p チャネル薄膜トランジスタである 50

駆動トランジスタと、有機EL素子と、第1及び第2キャパシタと、出力制御スイッチと、映像信号供給制御スイッチと、ダイオード接続スイッチとを含んでいる。駆動トランジスタと出力制御スイッチと有機EL素子とは、高電位電源線と低電位電源線との間で、この順に直列に接続されている。第1キャパシタは、高電位電源線と駆動トランジスタのゲートとの間に接続されている。ダイオード接続スイッチは、駆動トランジスタのドレインとゲートとの間に接続されている。第2キャパシタの一方の電極は、駆動トランジスタのゲートに接続されている。映像信号供給制御スイッチは、映像信号線と第2キャパシタの他方の電極との間に接続されている。

【0004】

これらアクティブマトリクス型有機EL表示装置では、出力制御スイッチを開いている選択期間において、映像信号供給制御スイッチ及びダイオード接続スイッチのスイッチング動作を行い、駆動トランジスタのゲート-ソース間電圧を映像信号に対応した大きさに設定する。そして、出力制御スイッチを閉じている非選択期間では、映像信号供給制御スイッチ及びダイオード接続スイッチは開いたままとして、映像信号に対応した大きさの駆動電流を有機EL素子に流す。有機EL素子は、駆動電流の大きさに対応した輝度で発光する。

【0005】

ところで、非選択期間においてダイオード接続スイッチにリーク電流が流れると、非選択期間の開始時と終了時との間で、駆動トランジスタのゲート-ソース間電圧に相違を生じる。その結果、コントラスト比の低下や輝度ムラを生じる可能性がある。

【0006】

これらを防止するには、例えば、ダイオード接続スイッチとして、直列に接続した複数の薄膜トランジスタを使用すればよい。この場合、ダイオード接続スイッチが1つの薄膜トランジスタからなる場合と比較して、ダイオード接続スイッチのオフ抵抗がより大きくなる。

【0007】

しかしながら、ダイオード接続スイッチをより多くの薄膜トランジスタで構成すると、表示領域内での素子のレイアウトが難しくなる。特に、有機EL表示装置が下面発光型である場合には、大きな開口率を実現し難くなる。

【特許文献1】米国特許第6373454号明細書

【特許文献2】米国特許第6229506号明細書

【発明の開示】

【発明が解決しようとする課題】

【0008】

本発明の目的は、ダイオード接続スイッチのオフリーク電流に起因したコントラスト比の低下や輝度ムラを抑制すると共に、表示領域内での素子のレイアウトを容易にすることにある。

【課題を解決するための手段】

【0009】

本発明の第1側面によると、表示色が互いに異なり、各々が、制御端子と第1電源端子に接続された第1端子とそれらの間の電圧に対応した大きさの電流を出力する第2端子とを含んだ駆動制御素子と、前記第2端子と前記制御端子との間に接続されたダイオード接続スイッチと、画素電極とこれと向き合った対向電極とそれらの間に介在した活性層とを含んだ表示素子と、前記第2端子と前記画素電極との間に接続された出力制御素子とを備えた第1及び第2画素を具備し、前記第1画素の前記ダイオード接続スイッチは1つ又は直列に接続された複数の電界効果トランジスタを含み、前記第2画素の前記ダイオード接続スイッチは直列に接続された複数の電界効果トランジスタを含み、前記第2画素は前記第1画素と比較して前記電界効果トランジスタの数がより多いことを特徴とする表示装置が提供される。

【0010】

本発明の第２側面によると、各々が、制御端子と第１電源端子に接続された第１端子とそれらの間の電圧に対応した大きさの電流を出力する第２端子とを含んだ駆動制御素子と、前記第２端子と前記制御端子との間に接続されたダイオード接続スイッチと、画素電極と、前記第２端子と前記画素電極との間に接続された出力制御素子とを備えた第１及び第２画素回路を具備し、前記第１画素回路の前記ダイオード接続スイッチは１つ又は直列に接続された複数の電界効果トランジスタを含み、前記第２画素回路の前記ダイオード接続スイッチは直列に接続された複数の電界効果トランジスタを含み、前記第２画素回路は前記第１画素回路と比較して前記電界効果トランジスタの数がより多いことを特徴とするアレイ基板が提供される。

【発明の効果】

10

【００１１】

本発明によると、ダイオード接続スイッチのオフリーク電流に起因したコントラスト比の低下や輝度ムラを抑制することができ、表示領域内での素子のレイアウトが容易になる。

【発明を実施するための最良の形態】

【００１２】

以下、本発明の態様について、図面を参照しながら詳細に説明する。なお、各図において、同様又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する説明は省略する。

【００１３】

20

図１は、本発明の第１態様に係る表示装置を概略的に示す平面図である。図２は、図１の表示装置に採用可能な構造の一例を概略的に示す部分断面図である。図３は、図１の表示装置を含む画素の等価回路図である。なお、図２では、表示装置を、その表示面、すなわち前面又は光出射面、が下方を向き、背面が上方を向くように描いている。

【００１４】

この表示装置は、アクティブマトリクス型駆動方式を採用した下面発光型の有機ＥＬ表示装置である。この有機ＥＬ表示装置は、図１に示すように、表示パネルＤＰと、映像信号線ドライバＸＤＲと、走査信号線ドライバＹＤＲとを含んでいる。

【００１５】

表示パネルＤＰは、図１及び図２に示すように、例えば、ガラス基板などの絶縁基板ＳＵＢを含んでいる。 30

【００１６】

基板ＳＵＢ上には、図２に示すように、アンダーコート層ＵＣが形成されている。アンダーコート層ＵＣは、例えば、基板ＳＵＢ上にＳｉＮ_x層とＳｉＯ_x層とをこの順に積層してなる。

【００１７】

アンダーコート層ＵＣ上では、半導体層ＳＣが配列している。各半導体層ＳＣは、例えば、ｐ型領域とｎ型領域とを含んだポリシリコン層である。

【００１８】

アンダーコート層ＵＣ上では、図示しない下部電極がさらに配列している。これら下部電極は、例えば、ｎ⁺型ポリシリコン層である。 40

【００１９】

半導体層ＳＣ及び下部電極は、ゲート絶縁膜ＧＩで被覆されている。ゲート絶縁膜ＧＩは、例えばＴＥＯＳ（tetraethyl orthosilicate）などを用いて形成することができる。

【００２０】

ゲート絶縁膜ＧＩ上には、図１及び図３に示す走査信号線ＳＬ１乃至ＳＬ３が形成されている。走査信号線ＳＬ１乃至ＳＬ３は、図１に示すように、各々が後述する画素Ｐ×１乃至Ｐ×３の行方向（Ｘ方向）に延びており、画素Ｐ×１乃至Ｐ×３の列方向（Ｙ方向）に配列している。走査信号線ＳＬ１乃至ＳＬ３は、例えばＭｏＷなどからなる。

【００２１】

50

ゲート絶縁膜 G I 上では、図示しない上部電極がさらに配列している。これら上部電極は、例えば M o W などからなる。上部電極は、走査信号線 S L 1 乃至 S L 3 と同一の工程で形成することができる。

【 0 0 2 2 】

走査信号線 S L 1 乃至 S L 3 のそれぞれは半導体層 S C と交差しており、これら交差部は薄膜トランジスタを構成している。また、上部電極は半導体層 S C と交差しており、これら交差部も薄膜トランジスタを構成している。具体的には、走査信号線 S L 1 と半導体層 S C との交差部が形成している薄膜トランジスタは、図 1 乃至図 3 に示す出力制御スイッチ S W a である。走査信号線 S L 2 と半導体層 S C との交差部が形成している薄膜トランジスタは、図 1 及び図 3 に示すダイオード接続スイッチ S W c を構成している。走査信号線 S L 3 と半導体層 S C との交差部が形成している薄膜トランジスタは、図 1 及び図 3 に示す映像信号供給制御スイッチ S W b である。上部電極と半導体層 S C との交差部が形成している薄膜トランジスタは、図 1 及び図 3 に示す駆動制御素子 D R である。

10

【 0 0 2 3 】

なお、この例では、駆動制御素子 D R 及びスイッチ S W a 乃至 S W c には、トップゲート型の p チャネル薄膜トランジスタを使用している。また、図 2 において参照符号 G で示す部分は、走査信号線 S L 1 に接続された、スイッチ S W a のゲートである。

【 0 0 2 4 】

上部電極は、下部電極と向き合っている。上部電極と下部電極とそれらの間に介在している絶縁膜 G I とは、図 1 及び図 3 に示すキャパシタ C 1 及び C 2 を構成している。

20

【 0 0 2 5 】

ゲート絶縁膜 G I、走査信号線 S L 1 乃至 S L 3、及び上部電極は、図 2 に示す層間絶縁膜 I I で被覆されている。層間絶縁膜 I I は、例えばプラズマ C V D 法などにより成膜された S i O_x などからなる。

【 0 0 2 6 】

層間絶縁膜 I I 上には、図 1 及び図 3 に示す映像信号線 D L 1 乃至 D L 3 と電源線 P S L とが形成されている。層間絶縁膜 I I 上には、図 2 に示すソース電極 S E 及びドレイン電極 D E がさらに形成されている。

【 0 0 2 7 】

映像信号線 D L 1 乃至 D L 3 は、図 1 に示すように、各々が Y 方向に延びており、X 方向に配列している。映像信号線 D L 1 乃至 D L 3 は、それぞれ、画素 P X 1 乃至 P X 3 が含む映像信号供給制御スイッチ S W b のドレインに接続されている。

30

【 0 0 2 8 】

電源線 P S L は、この例では、各々が Y 方向に延びており、X 方向に配列している。電源線 P S L は、駆動制御素子 D R のソースとキャパシタ C 1 の下部電極とに接続されている。

【 0 0 2 9 】

ソース電極 S E 及びドレイン電極 D E は、層間絶縁膜 I I 及びゲート絶縁膜 G I に設けられたコンタクトホールを介して薄膜トランジスタのソース及びドレインにそれぞれ接続されている。ソース電極 S E 及びドレイン電極 D E は、画素 P X 1 乃至 P X 3 のそれぞれが含む素子間の接続に利用している。

40

【 0 0 3 0 】

映像信号線 D L 1 乃至 D L 3 と電源線 P S L とソース電極 S E とドレイン電極 D E とは、例えば、M o / A l / M o の三層構造を有している。これらは、同一工程で形成可能である。

【 0 0 3 1 】

映像信号線 D L 1 乃至 D L 3 と電源線 P S L とソース電極 S E とドレイン電極 D E とは、図 2 に示すパッシベーション膜 P S で被覆されている。パッシベーション膜 P S は、例えば S i N_x などからなる。

【 0 0 3 2 】

50

パッシベーション膜 P S 上では、画素電極 P E が配列している。各画素電極 P E は、パッシベーション膜 P S に設けたコンタクトホールを介して、図 2 のドレイン電極 D E に接続されている。

【 0 0 3 3 】

画素電極 P E は、この例では光透過性の前面電極である。また、画素電極 P E は、この例では陽極である。画素電極 P E の材料としては、例えば、I T O (Indium Tin Oxide) などの透明導電性酸化物を使用することができる。

【 0 0 3 4 】

パッシベーション膜 P S 上には、さらに、隔壁絶縁層 P I が形成されている。隔壁絶縁層 P I には、画素電極 P E に対応した位置に貫通孔が設けられているか、或いは、画素電極 P E が形成する列又は行に対応した位置にスリットが設けられている。ここでは、一例として、隔壁絶縁層 P I には、画素電極 P E に対応した位置に貫通孔が設けられていることとする。

【 0 0 3 5 】

隔壁絶縁層 P I は、例えば、有機絶縁層である。隔壁絶縁層 P I は、例えば、フォトリソグラフィ技術を用いて形成することができる。

【 0 0 3 6 】

画素電極 P E 上には、活性層として、発光層を含んだ有機物層 O R G が形成されている。発光層は、例えば、発光色が赤色、緑色、又は青色のルミネセンス性有機化合物を含んだ薄膜である。この有機物層 O R G は、発光層に加え、正孔注入層、正孔輸送層、正孔ブロッキング層、電子輸送層、電子注入層などもさらに含むことができる。

【 0 0 3 7 】

隔壁絶縁層 P I 及び有機物層 O R G は、対向電極 C E で被覆されている。この例では、対向電極 C E は、画素 P X 1 乃至 P X 3 間で互いに接続された電極、すなわち共通電極、である。また、この例では、対向電極 C E は、陰極であり且つ光反射性の背面電極である。対向電極 C E は、例えば、パッシベーション膜 P S と隔壁絶縁層 P I とに設けられたコンタクトホールを介して、映像信号線 D L 1 乃至 D L 3 と同一の層上に形成された電極配線（図示せず）に電気的に接続されている。各々の有機 E L 素子 O L E D は、画素電極 P E と、有機物層 O R G と、対向電極 C E とを含んでいる。

【 0 0 3 8 】

画素 P X 1 乃至 P X 3 のそれぞれは、図 1 及び図 3 に示すように、駆動制御素子 D R と、スイッチ S W a 乃至 S W c と、有機 E L 素子 O L E D と、キャパシタ C 1 及び C 2 とを含んでいる。上記の通り、この例では、駆動制御素子 D R 及びスイッチ S W a 乃至 S W c には p チャネル薄膜トランジスタを使用している。また、この例では、画素 P X 1 乃至 P X 3 が含む有機 E L 素子 O L E D の発光色は、それぞれ、赤、青、緑色である。

【 0 0 3 9 】

画素 P X 1 乃至 P X 3 のそれぞれにおいて、駆動制御素子 D R と出力制御スイッチ S W a と有機 E L 素子 O L E D とは、第 1 電源端子 N D 1 と第 2 電源端子 N D 2 との間で、この順に直列に接続されている。この例では、電源端子 N D 1 は高電位電源端子であり、電源端子 N D 2 は低電位電源端子である。

【 0 0 4 0 】

具体的には、駆動制御素子 D R のソースは電源端子 N D 1 に接続されており、有機 E L 素子 O L E D の対向電極 C E は電源端子 N D 2 に接続されている。出力制御スイッチ S W a は、駆動制御素子 D R のドレインと有機 E L 素子 O L E D の画素電極 P E との間に接続されており、そのゲートは走査信号線 S L 1 に接続されている。

【 0 0 4 1 】

キャパシタ C 1 は、定電位端子 N D 1 ' と駆動制御素子 D R のゲートとの間に接続されている。この例では、キャパシタ C 1 は、下部電極が電源線 P S L に接続されており、上部電極が駆動制御素子 D R のゲートに接続されている。

【 0 0 4 2 】

10

20

30

40

50

画素 P X 1 が含む映像信号供給制御スイッチ S W b とキャパシタ C 2 とは、映像信号線 D L 1 と駆動制御素子 D R のゲートとの間で、この順に直列に接続されている。この例では、映像信号供給制御スイッチ S W b は、映像信号線 D L 1 とキャパシタ C 2 の下部電極との間に接続されており、そのゲートは走査信号線 S L 3 に接続されている。

【 0 0 4 3 】

画素 P X 2 が含む映像信号供給制御スイッチ S W b とキャパシタ C 2 とは、映像信号線 D L 2 と駆動制御素子 D R のゲートとの間で、この順に直列に接続されている。この例では、映像信号供給制御スイッチ S W b は、映像信号線 D L 2 とキャパシタ C 2 の下部電極との間に接続されており、そのゲートは走査信号線 S L 3 に接続されている。

【 0 0 4 4 】

画素 P X 3 が含む映像信号供給制御スイッチ S W b とキャパシタ C 2 とは、映像信号線 D L 3 と駆動制御素子 D R のゲートとの間で、この順に直列に接続されている。この例では、映像信号供給制御スイッチ S W b は、映像信号線 D L 3 とキャパシタ C 2 の下部電極との間に接続されており、そのゲートは走査信号線 S L 3 に接続されている。

【 0 0 4 5 】

なお、この例では、画素 P X 1 乃至 P X 3 のそれぞれにおいて、キャパシタ C 2 の上部電極は、駆動制御素子 D R のゲートに接続されている。

【 0 0 4 6 】

画素 P X 1 乃至 P X 3 のそれぞれにおいて、ダイオード接続スイッチ S W c は、駆動制御素子 D R のドレインとゲートとの間に接続されている。ダイオード接続スイッチ S W c のゲートは、走査信号線 S L 2 に接続されている。

【 0 0 4 7 】

画素 P X 1 のダイオード接続スイッチ S W c は、1 つ又は直列に接続された複数の電界効果トランジスタを含んでいる。この例では、画素 P X 1 のダイオード接続スイッチ S W c は、直列に接続された 2 つの p チャネル電界効果トランジスタを含んでいる。

【 0 0 4 8 】

画素 P X 2 のダイオード接続スイッチ S W c は、1 つ又は直列に接続された複数の電界効果トランジスタを含んでいる。この例では、画素 P X 2 のダイオード接続スイッチ S W c は、直列に接続された 2 つの p チャネル電界効果トランジスタを含んでいる。

【 0 0 4 9 】

画素 P X 3 のダイオード接続スイッチ S W c は、直列に接続された複数の電界効果トランジスタを含んでいる。画素 P X 3 のダイオード接続スイッチ S W c が含んでいる電界効果トランジスタの数は、画素 P X 1 及び P X 2 の各々のダイオード接続スイッチ S W c が含んでいる電界効果トランジスタの数と比較して多い。この例では、画素 P X 3 のダイオード接続スイッチ S W c は、直列に接続された 3 つの p チャネル電界効果トランジスタを含んでいる。

【 0 0 5 0 】

なお、この表示パネル D P から対向電極 C E や有機物層 O R G を除いた構造がアレイ基板に相当している。また、画素 P X 1 乃至 P X 3 の各々から対向電極 C E や有機物層 O R G を除いたものが画素回路に相当している。

【 0 0 5 1 】

映像信号線ドライバ X D R 及び走査信号線ドライバ Y D R は、この例では、表示パネル D P に C O G (chip on glass) 実装している。映像信号線ドライバ X D R 及び走査信号線ドライバ Y D R は、C O G 実装する代わりに、T C P (tape carrier package) 実装してもよい。

【 0 0 5 2 】

映像信号線ドライバ X D R には、映像信号線 D L 1 乃至 D L 3 が接続されている。この例では、映像信号線ドライバ X D R には、電源線 P S L がさらに接続されている。映像信号線ドライバ X D R は、映像信号線 D L 1 乃至 D L 3 に映像信号として電圧信号を出力すると共に、電源線 P S L に電源電圧を供給する。

10

20

30

40

50

【 0 0 5 3 】

走査信号線ドライバYDRには、走査信号線SL1乃至SL3が接続されている。この例では、走査信号線ドライバYDRは、走査信号線SL1乃至SL3にそれぞれ走査信号として電圧信号を出力する。

【 0 0 5 4 】

この表示装置で画像を表示する場合、例えば、走査信号線SL1乃至SL3の各々を線順次駆動する。すなわち、画素PX1乃至PX3を行毎に選択する。

【 0 0 5 5 】

例えば、m行目の画素PX1乃至PX3を選択している選択期間では、まず、走査信号線ドライバYDRから、m行目の画素PX1乃至PX3が接続された走査信号線SL1に 10
スイッチSWaを開く走査信号を電圧信号として出力する。続いて、m行目の画素PX1乃至PX3が接続された走査信号線SL2及びSL3にスイッチSWb及びSWcを閉じる走査信号を電圧信号として出力する。これと共に、映像信号線ドライバXDRから映像信号線DL1乃至DL3にリセット信号を出力する。すなわち、映像信号線DL1乃至DL3の電位をリセット電位 V_{rst1} 乃至 V_{rst3} にそれぞれ設定する。これにより、画素PX1乃至PX3が含む駆動制御素子DRのゲート-ソース間電圧を、それらの閾値電圧 V_{th1} 乃至 V_{th3} にそれぞれ設定する。

【 0 0 5 6 】

次に、m行目の画素PX1乃至PX3が接続された走査信号線SL2にスイッチSWc 20
を開く走査信号を電圧信号として出力する。続いて、映像信号線ドライバXDRから映像信号線DL1乃至DL3に映像信号 V_{sig1} 乃至 V_{sig3} をそれぞれ出力する。その後、m行目の画素PX1乃至PX3が接続された走査信号線SL3にスイッチSWbを開く走査信号を電圧信号として出力する。さらに、m行目の画素PX1乃至PX3が接続された走査信号線SL1にスイッチSWaを開く走査信号を電圧信号として出力する。以上のようにして、m行目の画素PX1乃至PX3の選択期間を終了する。

【 0 0 5 7 】

m行目の画素PX1乃至PX3の非選択期間では、スイッチSWaは閉じたままとし、 30
スイッチSWb及びSWcは開いたままとする。したがって、非選択期間において、画素PX1乃至PX3は、それらが含む駆動制御素子DRのゲート-ソース間電圧を保持し、有機EL素子OLEDには駆動制御素子DRのゲート-ソース間電圧に対応した大きさの駆動電流が流れる。有機EL素子OLEDは、駆動電流の大きさに対応した輝度で発光する。

【 0 0 5 8 】

この表示装置は、ダイオード接続スイッチSWcのオフリーク電流に起因したコントラスト比の低下や輝度ムラが抑制されており、表示領域内での素子のレイアウトが容易である。以下、これについて説明する。

【 0 0 5 9 】

図4は、有機EL素子に流す駆動電流とその発光輝度との関係の例を示すグラフである。 40
図中、横軸は駆動電流の大きさを電流密度で示し、縦軸は有機EL素子OLEDの発光輝度を示している。また、曲線IL1乃至IL3は、発光色が赤、青、緑色の有機EL素子OLEDのデータをそれぞれ示している。

【 0 0 6 0 】

図4に示す例では、曲線IL1と曲線IL2との比較から明らかなように、発光色が赤色の有機EL素子OLEDが発光し得る駆動電流の最低値、すなわち閾値電流 I_{th1} は、発光色が青色の有機EL素子OLEDの閾値電流 I_{th2} とほぼ等しい。また、曲線IL3と曲線IL1及びIL2との比較から明らかなように、発光色が緑色の有機EL素子OLEDの閾値電流 I_{th3} は、閾値電流 I_{th1} 及び I_{th2} よりも遥かに小さい。すなわち、発光色が緑色の有機EL素子OLEDは、発光色が赤及び青色の有機EL素子OLEDと比較して、より小さな駆動電流で発光する。

【 0 0 6 1 】

ところで、画素 $P \times 1$ 乃至 $P \times 3$ のそれぞれにおいてダイオード接続スイッチ SW_c のオフ抵抗が小さい場合、これら画素 $P \times 1$ 乃至 $P \times 3$ に低階調域内の階調に対応した映像信号を書き込んだとしても、実際に表示される階調は本来の階調よりも高くなる。これを防止するには、ダイオード接続スイッチ SW_c を構成している薄膜トランジスタの数を増やして、そのオフ抵抗を大きくすればよい。しかしながら、画素 $P \times 1$ 乃至 $P \times 3$ の全てにおいてダイオード接続スイッチ SW_c を構成している薄膜トランジスタの数を増やすと、表示領域内により多くの薄膜トランジスタを配置しなければならず、素子のレイアウトが難しくなる。特に、この表示装置は下面発光型であるので、大きな開口率を実現し難くなる。

【0062】

10

図1の表示装置では、閾値電流がより大きな有機EL素子OLEDを含んだ画素 $P \times 1$ 及び $P \times 2$ において、ダイオード接続スイッチ SW_c をより少ない薄膜トランジスタで構成している。そして、図1の表示装置では、閾値電流がより小さな有機EL素子OLEDを含んだ画素 $P \times 3$ において、ダイオード接続スイッチ SW_c をより多くの薄膜トランジスタで構成している。そのため、この表示装置では、画素 $P \times 1$ 乃至 $P \times 3$ に低階調域内の階調に対応した映像信号を書き込んだ場合に実際に表示される階調を本来の階調とほぼ等しくすることができるのに加え、表示領域内での素子のレイアウトが容易である。

【0063】

また、図1の表示装置では、例えば画素 $P \times 1$ 乃至 $P \times 3$ の寸法をほぼ等しくした場合に、画素 $P \times 1$ 及び $P \times 2$ の開口率を、画素 $P \times 3$ の開口率よりも大きくすることができる。そのため、例えば、画素 $P \times 1$ 乃至 $P \times 3$ を同じ明るさで発光させる場合に、それらの間で有機EL素子OLEDの電流密度をほぼ等しくすることができる。したがって、このような構造は、画素 $P \times 1$ 及び $P \times 2$ と画素 $P \times 3$ とで有機EL素子OLEDの寿命をほぼ等しくするうえで有利である。

20

【0064】

次に、本発明の第2態様について説明する。

図5は、本発明の第2態様に係る表示装置を概略的に示す平面図である。図6は、図5の表示装置が含む画素の等価回路図である。

【0065】

この表示装置は、アクティブマトリクス型駆動方式を採用した下面発光型の有機EL表示装置である。この表示装置は、以下の構成を採用したこと以外は、図1及び図2に示した表示装置とほぼ同様の構造を有している。

30

【0066】

すなわち、この表示装置では、走査信号線 SL_3 とキャパシタ C_2 とを省略している。画素 $P \times 1$ が含む映像信号供給制御スイッチ SW_b は、駆動制御素子 DR のドレインと映像信号線 DL_1 との間に接続している。画素 $P \times 2$ が含む映像信号供給制御スイッチ SW_b は、駆動制御素子 DR のドレインと映像信号線 DL_2 との間に接続している。画素 $P \times 3$ が含む映像信号供給制御スイッチ SW_b は、駆動制御素子 DR のドレインと映像信号線 DL_3 との間に接続している。これら映像信号供給制御スイッチ SW_b のゲートは、走査信号線 SL_2 に接続している。

40

【0067】

この表示装置で画像を表示する場合、例えば、走査信号線 SL_1 及び SL_2 の各々を線順次駆動する。すなわち、画素 $P \times 1$ 乃至 $P \times 3$ を行毎に選択する。

【0068】

例えば、 m 行目の画素 $P \times 1$ 乃至 $P \times 3$ を選択している選択期間では、まず、走査信号線ドライバ YDR から、 m 行目の画素 $P \times 1$ 乃至 $P \times 3$ が接続された走査信号線 SL_1 にスイッチ SW_a を開く走査信号を電圧信号として出力する。続いて、 m 行目の画素 $P \times 1$ 乃至 $P \times 3$ が接続された走査信号線 SL_2 にスイッチ SW_b 及び SW_c を閉じる走査信号を電圧信号として出力する。これと共に、映像信号線ドライバ XDR から映像信号線 DL_1 乃至 DL_3 に映像信号を出力する。すなわち、映像信号線 DL_1 乃至 DL_3 に書込電流

50

I_{sig1} 乃至 I_{sig3} をそれぞれ流す。これにより、画素 $PX1$ 乃至 $PX3$ が含む駆動制御素子 DR のゲート - ソース間電圧を、それらが書込電流 I_{sig1} 乃至 I_{sig3} を流すときの大きさにそれぞれ設定する。

【0069】

その後、 m 行目の画素 $PX1$ 乃至 $PX3$ が接続された走査信号線 $SL2$ にスイッチ SWb 及び SWc を開く走査信号を電圧信号として出力する。さらに、 m 行目の画素 $PX1$ 乃至 $PX3$ が接続された走査信号線 $SL1$ にスイッチ SWa を開く走査信号を電圧信号として出力する。以上のようにして、 m 行目の画素 $PX1$ 乃至 $PX3$ の選択期間を終了する。

【0070】

m 行目の画素 $PX1$ 乃至 $PX3$ の非選択期間では、スイッチ SWa は閉じたままとし、スイッチ SWb 及び SWc は開いたままとする。したがって、非選択期間において、画素 $PX1$ 乃至 $PX3$ は、それらが含む駆動制御素子 DR のゲート - ソース間電圧を保持し、有機 EL 素子 $OLED$ には駆動制御素子 DR のゲート - ソース間電圧に対応した大きさの駆動電流が流れる。有機 EL 素子 $OLED$ は、駆動電流の大きさに対応した輝度で発光する。

10

【0071】

この表示装置は、画素 $PX1$ 乃至 $PX3$ のダイオード接続スイッチ SWc に、図 1 及び図 3 に示したのと同様の構造を採用している。したがって、本態様でも、第 1 態様で説明したのと同様の効果を得ることができる。

【0072】

第 1 及び第 2 態様において、画素 $PX1$ 及び $PX2$ のダイオード接続スイッチ SWc が含む薄膜トランジスタの数は 1 以上であればよいが、典型的には 2 以上とする。第 1 及び第 2 態様では、画素 $PX1$ と画素 $PX2$ とでダイオード接続スイッチ SWc が含む薄膜トランジスタの数を互いに等しくしているが、それらは異なってもよい。

20

【0073】

第 1 及び第 2 態様では、ダイオード接続スイッチ SWa が含む電界効果トランジスタとして p チャネル薄膜トランジスタを使用したか、その代わりに n チャネル薄膜トランジスタを使用してもよい。但し、オフリーク電流の問題は、 n チャネル薄膜トランジスタを使用した場合よりも、 p チャネル薄膜トランジスタを使用した場合において、より顕著である。

30

【0074】

第 1 及び第 2 態様では、下面発光型の表示装置について説明したが、本発明は上面発光型の表示装置にも適用することができる。

【図面の簡単な説明】

【0075】

【図 1】本発明の第 1 態様に係る表示装置を概略的に示す平面図。

【図 2】図 1 の表示装置に採用可能な構造の一例を概略的に示す断面図。

【図 3】図 1 の表示装置が含む画素の等価回路図。

【図 4】有機 EL 素子に流す駆動電流とその発光輝度との関係の例を示すグラフ。

【図 5】本発明の第 2 態様に係る表示装置を概略的に示す平面図。

40

【図 6】図 5 の表示装置が含む画素の等価回路図である。

【符号の説明】

【0076】

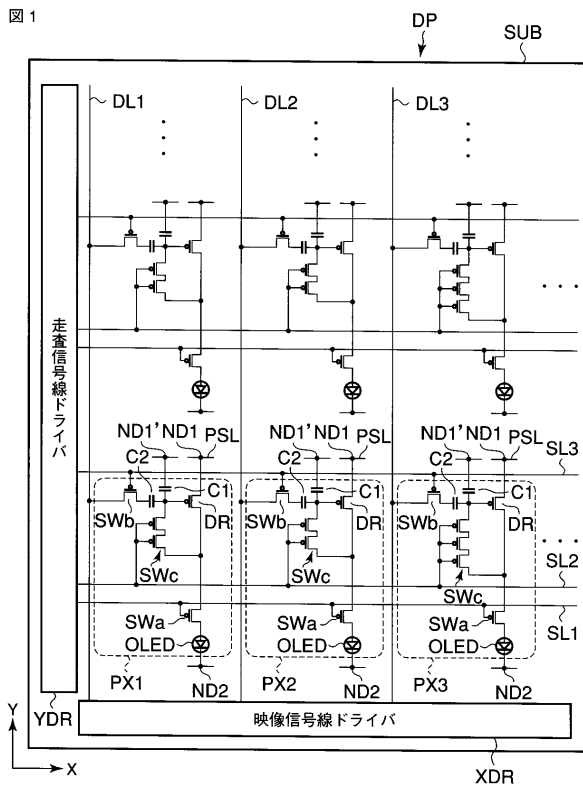
$C1$... キャパシタ、 $C2$... キャパシタ、 CE ... 対向電極、 DE ... ドレイン電極、 $DL1$... 映像信号線、 $DL2$... 映像信号線、 $DL3$... 映像信号線、 DP ... 表示パネル、 DR ... 駆動制御素子、 G ... ゲート、 GI ... ゲート絶縁膜、 II ... 層間絶縁膜、 $IL1$... 曲線、 $IL2$... 曲線、 $IL3$... 曲線、 $ND1$... 電源端子、 $ND1'$... 定電位端子、 $ND2$... 電源端子、 $OLED$... 有機 EL 素子、 ORG ... 有機物層、 PE ... 画素電極、 PI ... 隔壁絶縁層、 PS ... パッシベーション膜、 PSL ... 電源線、 $PX1$... 画素、 $PX2$... 画素、 $PX3$... 画素、 SC ... 半導体層、 SE ... ソース電極、 $SL1$... 走査信号線、 $SL2$... 走査信号線、 SL

50

3 ... 走査信号線、SUB ... 絶縁基板、SWa ... 出力制御スイッチ、SWb ... 映像信号供給制御スイッチ、SWc ... ダイオード接続スイッチ、UC ... アンダーコート層、XDR ... 映像信号線ドライバ、YDR ... 走査信号線ドライバ。

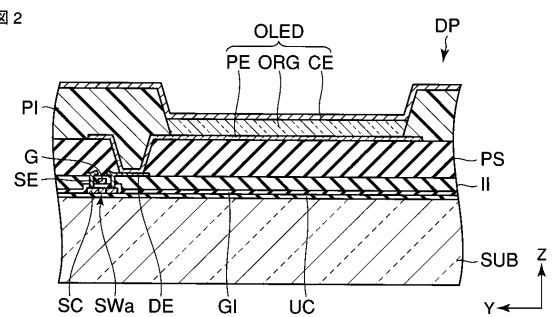
【図 1】

図 1

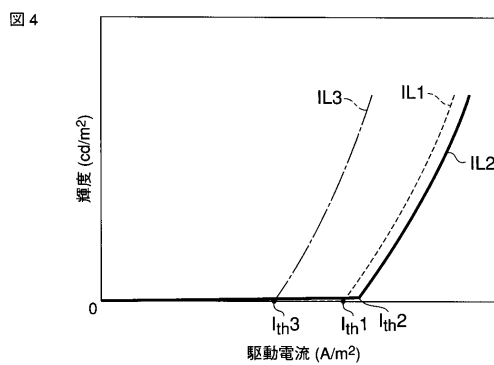


【図 2】

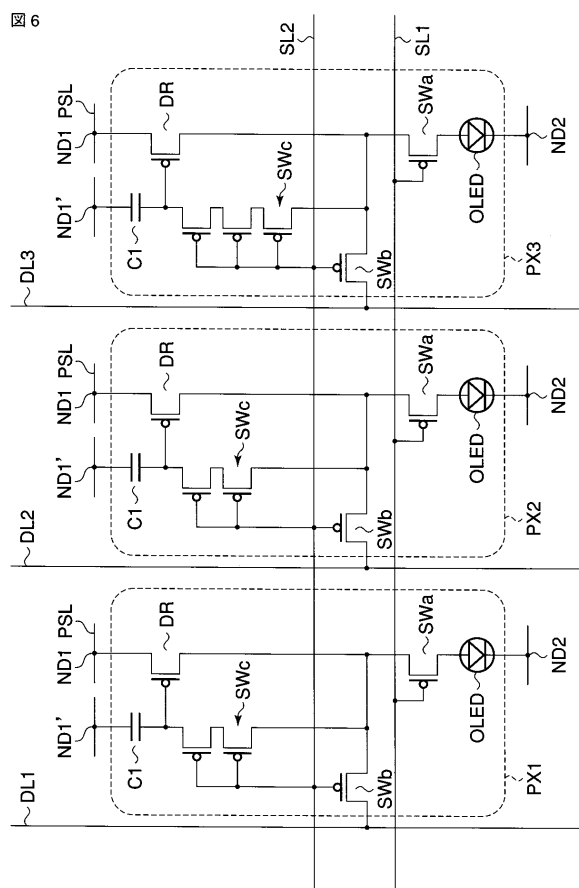
図 2



【 図 4 】



【 図 6 】



フロントページの続き

(74)代理人 100109830

弁理士 福原 淑弘

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 後藤 康正

東京都港区港南四丁目 1 番 8 号 東芝松下ディスプレイテクノロジー株式会社内

F ターム(参考) 3K007 AB17 BA06 DB03 GA00 GA04

5C080 AA06 BB05 DD05 EE29 FF11 JJ02 JJ03 JJ05 JJ06

专利名称(译)	显示装置和阵列基板		
公开(公告)号	JP2007010872A	公开(公告)日	2007-01-18
申请号	JP2005189902	申请日	2005-06-29
[标]申请(专利权)人(译)	东芝松下显示技术股份有限公司		
申请(专利权)人(译)	东芝松下显示技术有限公司		
[标]发明人	後藤康正		
发明人	後藤 康正		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/30.K G09G3/20.624.B G09G3/20.642.A H05B33/14.A G09G3/20.642.J G09G3/3225 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K007/GA04 5C080/AA06 5C080/BB05 5C080/DD05 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ05 5C080/JJ06 3K107/AA01 3K107/BB01 3K107/CC33 3K107/DD02 3K107/EE03 3K107/HH05 5C380/AA01 5C380/AB06 5C380/AB12 5C380/AB23 5C380/AB34 5C380/BA10 5C380/BB01 5C380/BB08 5C380/BB23 5C380/BD05 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CC04 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC63 5C380/CC64 5C380/CC77 5C380/CD015 5C380/CD016 5C380/CD025		
代理人(译)	河野 哲 中村 诚		
外部链接	Espacenet		

摘要(译)

要解决的问题：抑制由于二极管连接开关的漏电流引起的对比度降低和亮度不均匀，并简化显示区域中的元件布局。 本发明的显示装置具有彼此不同的显示颜色，并且各自输出连接到控制端子和电源端子ND1的第一端子以及具有与它们之间的电压相对应的的大小的电流。 驱动控制元件DR包括两个端子，连接在第二端子和控制端子之间的二极管连接开关SWc，像素电极，与像素电极相对的对置电极以及介于其间的有源层。 像素PX1和PX2以及像素PX3均包括显示元件OLED，该显示元件OLED包括连接在第二端子和像素电极之间的输出控制元件SWa以及像素PX1和PX2的一个开关SWa。 可替代地，像素PX3的开关SWa包括串联连接的多个晶体管，像素PX3的开关SWa包括串联连接的多个晶体管，并且像素PX3包括比像素PX1和PX2更多的晶体管。 。 [选型图]图1

