

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-30921

(P2006-30921A)

(43) 公開日 平成18年2月2日(2006. 2. 2)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K007
G09G 3/20 (2006.01)	G09G 3/30 K	5C080
H01L 51/50 (2006.01)	G09G 3/20 621A	
	G09G 3/20 622D	
	G09G 3/20 624B	
審査請求 未請求 請求項の数 14 O L (全 21 頁) 最終頁に続く		

(21) 出願番号 特願2004-213778 (P2004-213778)
 (22) 出願日 平成16年7月22日 (2004. 7. 22)

(71) 出願人 000002185
 ソニー株式会社
 東京都品川区北品川6丁目7番35号
 (74) 代理人 100086298
 弁理士 船橋 國則
 (72) 発明者 山本 哲郎
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 (72) 発明者 内野 勝秀
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 (72) 発明者 山下 淳一
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内

最終頁に続く

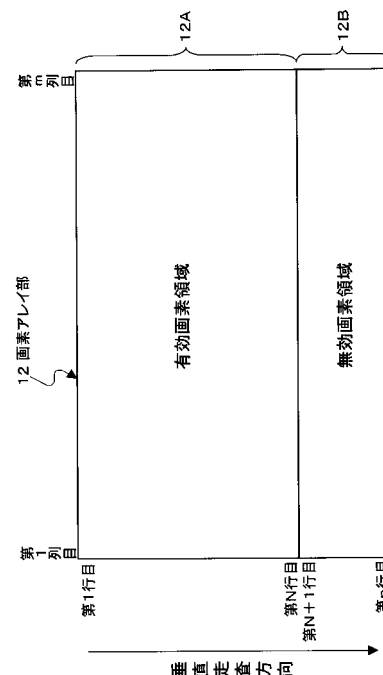
(54) 【発明の名称】 表示装置および表示装置の駆動方法

(57) 【要約】

【課題】 キャパシタの容量と駆動トランジスタのゲート・ソース間容量との和がスイッチングトランジスタの寄生容量より小さいと、駆動トランジスタのソース電位の変化量により当該駆動トランジスタのゲート・ソース間電位が変化し、所望の発光が望めない。

【解決手段】 TFT 32 のゲート・ソース間にキャパシタ 33 を接続し、TFT 32 のソースをスイッチングトランジスタである TFT 36 を介して接地電位 GND に選択的に接続するとともに、キャパシタ 34 および TFT 37 ～ 39 の作用によって TFT 32 の閾値電圧 V_{th} のバラツキをキャンセルする構成の画素回路 11 が行列状に配置されてなるアクティブマトリクス型有機 EL 表示装置において、第 1 行目から閾値キャンセル動作開始から書き込み動作開始までの期間に相当する行数 $M+1$ だけ最終行 n よりも手前の第 N 行目までの各画素の領域を有効画素領域 12A として用いる。

【選択図】 図 13



【特許請求の範囲】

【請求項 1】

一端が第 1 の電源電位に接続された電気光学素子と、
前記電気光学素子の他端にソースが接続された駆動トランジスタと、
前記駆動トランジスタのゲートとソースの間に接続された第 1 のキャパシタと、
データ線から輝度情報に応じた信号を選択的に取り込む第 1 のスイッチングトランジスタと、
前記駆動トランジスタのドレインと第 2 の電源電位との間に接続された第 2 のスイッチングトランジスタと、
前記駆動トランジスタのソースと第 3 の電源電位との間に接続された第 3 のスイッチングトランジスタと、
前記駆動トランジスタのゲートと前記第 1 のスイッチングトランジスタとの間に接続された第 2 のキャパシタと、
前記駆動トランジスタのゲートとドレインとの間に接続された第 4 のスイッチングトランジスタと、
前記第 1 のスイッチングトランジスタと前記第 2 のキャパシタとの接続ノードと所定電位との間に接続された第 5 のスイッチングトランジスタと
を有する画素回路が行列状に配置されてなる画素アレイ部を備えた表示装置であって、
前記第 1 のスイッチングトランジスタを駆動する書き込み走査手段と、
前記第 3 のスイッチングトランジスタを駆動する第 1 駆動走査手段と、
前記第 2 のスイッチングトランジスタを駆動する第 2 駆動走査手段と、
前記第 4、第 5 のスイッチングトランジスタを駆動する第 3 駆動走査手段と、
前記画素アレイ部の行列状配列における第 1 行目から、最終行よりも前記第 2、第 3 の駆動走査手段による前記第 2、第 4 および第 5 のスイッチングトランジスタの駆動期間中
でかつ前記第 1 駆動走査手段による前記第 3 のスイッチングトランジスタの駆動終了から
前記書き込み走査手段による前記第 1 のスイッチングトランジスタの駆動開始までの期間
に相当する行数だけ手前の第 N 行目までの前記画素回路を画表示に用いる有効画素とする
制御手段と

備えたことを特徴とする表示装置。

【請求項 2】

前記駆動トランジスタは、Nチャネル電界効果トランジスタである
ことを特徴とする請求項 1 記載の表示装置。

【請求項 3】

前記制御手段は、前記第 4 のスイッチングトランジスタの駆動期間の調整によって前記
行数を設定可能である
ことを特徴とする請求項 1 記載の表示装置。

【請求項 4】

前記制御手段は、前記第 4 のスイッチングトランジスタの駆動終了から前記第 1 のスイ
ッチングトランジスタの駆動開始までの期間の調整によって前記行数を設定可能である
ことを特徴とする請求項 1 記載の表示装置。

【請求項 5】

前記制御手段は、前記第 3 のスイッチングトランジスタの駆動終了を、前記第 1 のスイ
ッチングトランジスタの駆動開始よりも早くする
ことを特徴とする請求項 1 記載の表示装置。

【請求項 6】

前記制御手段は、前記第 3 のスイッチングトランジスタの駆動タイミングを、前記第 4
のスイッチングトランジスタの駆動タイミングと同一にする
ことを特徴とする請求項 5 記載の表示装置。

【請求項 7】

前記制御手段は、前記第 3 のスイッチングトランジスタの駆動終了を、前記第 4 のスイ

ッティングトランジスタの駆動終了よりも早くすること
ことを特徴とする請求項 5 記載の表示装置。

【請求項 8】

一端が第 1 の電源電位に接続された電気光学素子と、
前記電気光学素子の他端にソースが接続された駆動トランジスタと、
前記駆動トランジスタのゲートとソースの間に接続された第 1 のキャパシタと、
データ線から輝度情報に応じた信号を選択的に取り込む第 1 のスイッチングトランジスタと、

前記駆動トランジスタのドレインと第 2 の電源電位との間に接続された第 2 のスイッチングトランジスタと、

前記駆動トランジスタのソースと第 3 の電源電位との間に接続された第 3 のスイッチングトランジスタと、

前記駆動トランジスタのゲートと前記第 1 のスイッチングトランジスタとの間に接続された第 2 のキャパシタと、

前記駆動トランジスタのゲートとドレインとの間に接続された第 4 のスイッチングトランジスタと、

前記第 1 のスイッチングトランジスタと前記第 2 のキャパシタとの接続ノードと所定電位との間に接続された第 5 のスイッチングトランジスタと

を有する画素回路が行列状に配置されてなる表示装置の駆動方法であって、

前記画素アレイ部の行列状配列における第 1 行目から、最終行よりも前記第 2, 第 4 および第 5 のスイッチングトランジスタの駆動期間中であつ前記第 3 のスイッチングトランジスタの駆動終了から前記第 1 のスイッチングトランジスタの駆動開始までの期間に相当する行数だけ手前の第 N 行目までの前記画素回路を画表示に用いる有効画素とする

ことを特徴とする表示装置の駆動方法。

【請求項 9】

前記駆動トランジスタは、N チャネル電界効果トランジスタである

ことを特徴とする請求項 8 記載の表示装置の駆動方法。

【請求項 10】

前記第 4 のスイッチングトランジスタの駆動期間の調整によって前記行数を設定可能である

ことを特徴とする請求項 8 記載の表示装置の駆動方法。

【請求項 11】

前記第 4 のスイッチングトランジスタの駆動終了から前記第 1 のスイッチングトランジスタの駆動開始までの期間の調整によって前記行数を設定可能である

ことを特徴とする請求項 8 記載の表示装置の駆動方法。

【請求項 12】

前記第 3 のスイッチングトランジスタの駆動終了を、前記第 1 のスイッチングトランジスタの駆動開始よりも早くする

ことを特徴とする請求項 8 記載の表示装置の駆動方法。

【請求項 13】

前記第 3 のスイッチングトランジスタの駆動タイミングを、前記第 4 のスイッチングトランジスタの駆動タイミングと同一にする

ことを特徴とする請求項 12 記載の表示装置の駆動方法。

【請求項 14】

前記第 3 のスイッチングトランジスタの駆動終了を、前記第 4 のスイッチングトランジスタの駆動終了よりも早くする

ことを特徴とする請求項 12 記載の表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

10

20

30

40

50

本発明は、表示装置および表示装置の駆動方法に関し、特に流れる電流によって輝度が増加する電気光学素子を表示素子として有する画素回路が行列状に配置されてなり、画素回路（画素）毎に能動素子を有して当該能動素子によって画素単位で表示駆動が行われる表示装置および当該表示装置の駆動方法に関する。

【背景技術】

【0002】

表示装置、例えば画素の表示素子として液晶セルを用いた液晶表示装置においては、液晶セルを含む画素を多数マトリクス状に配列し、表示すべき画像情報に応じて画素毎に光強度を制御することによって画像の表示駆動が行われるようになっている。この表示駆動は、画素の表示素子として、流れる電流によって輝度が増加する電気光学素子、例えば有機EL (electro luminescence) 素子を用いた有機EL表示装置でも同様である。

10

【0003】

ただし、有機EL表示装置の場合は、画素の表示素子として、自発光素子である有機EL素子を用いたいわゆる自発光型の表示装置であるため、光源（バックライト）からの光強度を制御する液晶表示装置に比べて画像の視認性が高い、バックライトが不要、応答速度が速い等の利点を持っている。また、有機EL素子の発光輝度がそれに流れる電流値によって制御される、即ち有機EL素子が電流制御型であるという点で、液晶セルが電圧制御型である液晶表示装置とは大きく異なっている。

【0004】

有機EL表示装置においては、液晶表示装置と同様、その駆動方式として単純（パッシブ）マトリクス方式とアクティブマトリクス方式とを採ることができる。ただし、単純マトリクス方式の表示装置は、構造が単純であるものの、大型でかつ高精細の表示装置の実現が難しいなどの問題がある。このため、近年、画素内部の発光素子に流れる電流を、同様に画素内部に設けた能動素子、例えば絶縁ゲート型電界効果トランジスタ（一般には、薄膜トランジスタ (Thin Film Transistor; T F T)）によって制御する、アクティブマトリクス方式の開発が盛んに行われている。

20

【0005】

図17は、アクティブマトリクス型有機EL表示装置の構成の概略を示すブロック図である。このアクティブマトリクス型表示装置は、有機EL素子を含む画素（画素回路）51がマトリクス状にm列n行配列されてなる画素アレイ部52を有している。ここでは、図面の簡略化のために、画素アレイ部52が3列2行の画素配列の場合を例に挙げて示している。

30

【0006】

この画素アレイ部52において、画素51の各々に対して各行毎に走査線53および駆動線54が配線され、また各列毎にデータ線55が配線されている。この画素アレイ部52の周囲には、走査線53を駆動する書き込み走査回路56と、駆動線54を駆動する駆動走査回路57と、輝度情報に応じたデータ信号をデータ線55に供給するデータ線駆動回路58とが配置されている。

【0007】

図18は、アクティブマトリクス型有機EL表示装置における画素回路（単位画素の回路）の従来例を示す回路図である。

40

【0008】

図18から明らかなように、この従来例に係る画素回路は、例えばカソード（陰極）が接地電位GNDに接続された有機EL素子101と、ドレインが有機EL素子101のアノード（陽極）に接続され、ソースが正電源電位Vccに接続されたPチャネルTFT102と、このTFT102のゲートと正電源電位Vccとの間に接続されたキャパシタ103と、ソースがTFT102のゲートに、ゲートが走査線105に、ドレインがデータ線106にそれぞれ接続されたPチャネルTFT104とを有する構成となっている（例えば、特許文献1，2参照）。

【0009】

50

ここで、有機EL素子は多くの場合整流性があるため、OLED (Organic Light Emitting Diode) と呼ばれることがある。したがって、図18およびその他の図では、OLEDとしてダイオードの記号を用いて示している。ただし、以下の説明において、OLEDには必ずしも整流性が要求されるものではない。

【0010】

続いて、上記構成の画素回路の動作について説明する。まず、走査線105の電位を選択状態（ここでは、低レベル状態）とし、データ線106に書き込み電位 V_{data} を印加すると、TFT104が導通してキャパシタ103が充電または放電される。これにより、TFT102のゲート電位は書き込み電位 V_{data} となる。次に、走査線105の電位を非選択状態（ここでは、高レベル状態）とすると、走査線105とTFT102とは電氣的に切り離されるが、TFT102のゲート電位はキャパシタ103によって安定に保持される。

10

【0011】

そして、TFT102および有機EL素子101に流れる電流は、TFT102のゲート・ソース間電圧 V_{gs} に応じた値となる。すると、有機EL素子101は、その電流値に応じた輝度で発光し続ける。ここで、データ線106を通して供給される輝度情報を、走査線105を選択し、TFT104を通して画素内部に伝える動作を、以下、「書き込み」と呼ぶこととする。

【0012】

上述したように、図18の画素回路では、一度電位 V_{data} の書き込みを行えば、次に電位 V_{data} の書き込みが行われるまでの間、有機EL素子101は一定の輝度で発光を継続する。また、駆動トランジスタであるTFT102のゲート電圧を変化させることで、有機EL素子101に流れる電流値を制御している。このとき、TFT102は、ソースが正電源電位 V_{cc} に接続されており、常に飽和領域で動作しているため、下記の式(1)に示した電流値 I_{ds} を持つ定電流源となっている。

20

【0013】

$$I_{ds} = 1/2 \cdot \mu (W/L) C_{ox} (V_{gs} - |V_{th}|)^2 \quad \dots (1)$$

ここで、 V_{th} はTFT102のしきい値、 μ はキャリアの移動度、 W はチャネル幅、 L はチャネル長、 C_{ox} は単位面積当たりのゲート容量、 V_{gs} はゲート・ソース間電圧である。

30

【0014】

単純マトリクス型表示装置では、各発光素子は、選択された瞬間にのみ発光する。これに対して、アクティブマトリクス型表示装置では、書き込み終了後も発光素子が発光を継続する。したがって、アクティブマトリクス型表示装置は、単純マトリクス型表示装置に比べて発光素子のピーク輝度、ピーク電流を下げる可以降低などの点で、とりわけ大型・高精細の表示装置では有利となる。

【0015】

図19は、有機EL素子の電流－電圧特性（ $I-V$ 特性）の経時変化を示す特性図である。図19において、実線で示す曲線が初期状態時の特性を示し、破線で示す曲線が経時変化後の特性を示している。

40

【0016】

一般的に、有機EL素子の $I-V$ 特性は、図19に示すように、時間が経過するにつれて劣化してしまう。ところが、図18の画素回路では、先述したように、駆動トランジスタであるTFT102による定電流駆動のために有機EL素子101には定電流が流れ続け、有機EL素子の $I-V$ 特性が劣化してもその発光輝度が低下することはない。

【0017】

ところで、図18の画素回路は、PチャネルのTFTによって構成されている。このPチャネルのTFTに代えて、NチャネルのTFTによって画素回路を構成することができれば、TFT作成において、従来のアモルファスシリコン（ $a-Si$ ）プロセスを用いることができるようになるため、TFT基板の低コスト化を図ることができる。

50

【0018】

ここで、PチャネルのTFTをNチャネルのTFTに置き換えた画素回路について考察する。

【0019】

図20は、図18のPチャネルTFTをNチャネルTFTに置き換えた画素回路の構成を示す回路図である。

【0020】

図20から明らかなように、この画素回路は、例えばカソードが接地電位GNDに接続された有機EL素子201と、ソースが有機EL素子201のアノードに接続され、ドレインが正電源電位Vccに接続されたNチャネルTFT202と、このTFT202のゲートと正電源電位Vccとの間に接続されたキャパシタ203と、ドレインがTFT202のゲートに、ゲートが走査線205に、ソースがデータ線206にそれぞれ接続されたNチャネルTFT204とを有するソースフォロア回路構成となっている。

10

【0021】

図21は、初期状態における駆動トランジスタとしてのTFT202と有機EL素子201の動作点を示す図である。図21において、横軸はTFT202のドレイン・ソース間電圧Vdsを、縦軸はドレイン・ソース間電流Idsをそれぞれ示している。図21に示すように、ソース電圧はTFT202と有機EL素子201との動作点で決まり、ゲート電圧によって異なる値を持つ。このTFT202は飽和領域で駆動されるため、動作点のソース電圧に対するゲート・ソース間電圧Vgsに関して式(1)で与えられる電流値の電流Idsを流す。

20

【0022】

【特許文献1】米国特許第5684365号明細書

【特許文献2】特開平8-234683号公報

【発明の開示】

【発明が解決しようとする課題】

【0023】

しかしながら、PチャネルのTFTをNチャネルのTFTに置き換えた画素回路においても、有機EL素子のI-V特性の経時変化に伴う劣化は避けられず、これにより、図22に示すように、動作点が変わってしまうため、駆動トランジスタであるTFT202に同じゲート電圧を印加したとしてもそのソース電圧は変動する。これにより、TFT202のゲート・ソース間電圧Vgsが変化してしまい、当該TFT202に流れる電流値が変動する。同時に、有機EL素子201に流れる電流値も変化するため、有機EL素子201のI-V特性が変化すると、それに伴って有機EL素子201の発光輝度も経時変化してしまう。

30

【0024】

また、図21の画素回路の変形例として、図23に示すように、有機EL素子201のアノードを正電源電位Vccに接続し、駆動トランジスタとしてのNチャネルTFT202のドレインを有機EL素子201のカソードに、ソースを接地電位GNDにそれぞれ接続する回路構成を採ることも考えられる。

40

【0025】

この変形例に係る画素回路においては、図18のPチャネルTFT102による駆動の場合と同様に、NチャネルTFT202はソース電位が接地電位GNDに固定され、定電流源として動作する。したがって、有機EL素子201のI-V特性の劣化による輝度変化を防止できる。

【0026】

しかしながら、この変形例に係る画素回路では、駆動トランジスタであるNチャネルTFT202を有機EL素子201のカソード側に接続する構成を採らざるを得ない。このカソード接続の構成を採るためには、有機EL素子に関して新規にアノード・カソードの電極の開発が必要である。このアノード・カソードの電極の開発は、現状の技術では非常

50

に困難であるとされている。このような観点から、従来は、有機EL素子のI-V特性の経時変化に伴う輝度の変化を抑えたNチャネルトランジスタによる画素回路の開発は為されていなかった。

【0027】

本発明は、上記課題に鑑みてなされたものであって、その目的とするところは、発光素子の電流-電圧特性が経時変化しても、それに伴う輝度変化のないNチャネルトランジスタによって実現可能な画素回路が行列状に配置されてなる表示装置および表示装置の駆動方法を提供することにある。

【課題を解決するための手段】

【0028】

上記目的を達成するために、本発明では、
一端が第1の電源電位に接続された電気光学素子と、
前記電気光学素子の他端にソースが接続された駆動トランジスタと、
前記駆動トランジスタのゲートとソースの間に接続された第1のキャパシタと、
データ線から輝度情報に応じた信号を選択的に取り込む第1のスイッチングトランジスタと、

前記駆動トランジスタのドレインと第2の電源電位との間に接続された第2のスイッチングトランジスタと、

前記駆動トランジスタのソースと第3の電源電位との間に接続された第3のスイッチングトランジスタと、

前記駆動トランジスタのゲートと前記第1のスイッチングトランジスタとの間に接続された第2のキャパシタと、

前記駆動トランジスタのゲートとドレインとの間に接続された第4のスイッチングトランジスタと、

前記第1のスイッチングトランジスタと前記第2のキャパシタとの接続ノードと所定電位との間に接続された第5のスイッチングトランジスタと

を有する画素回路が行列状に配置されてなる表示装置において、

前記画素アレイ部の行列状配列における第1行目から、最終行よりも前記第2、第4および第5のスイッチングトランジスタの駆動期間中であつ前記第3のスイッチングトランジスタの駆動終了から前記第1のスイッチングトランジスタの駆動開始までの期間に相当する行数だけ手前の第N行目までの前記画素回路を画表示に用いる有効画素とするようにしている。

【0029】

上記構成の表示装置において、第2のスイッチングトランジスタがオンした状態で、第3のスイッチングトランジスタをオン状態にして駆動トランジスタのソース電位を第3の電源電位に設定し、第1のキャパシタに充電される電圧を入力電圧と第3の電源電位との差に確定させる。そして、第1のキャパシタへの書き込みが終了した後、電気光学素子の発光期間において、第3のスイッチングトランジスタをオフ状態にすることで、電気光学素子に電流が流れ始める。このとき、駆動トランジスタが定電流源として動作することから、電気光学素子の電流-電圧特性が経時変化し、これに伴って駆動トランジスタのソース電位が変化したとしても、第1のキャパシタによって駆動トランジスタのゲート・ソース間の電位差が一定に保たれているので、電気光学素子に流れる電流は変わらず、したがって当該電気光学素子の発光輝度も一定に保たれる。

【0030】

また、上記書き込み動作に先立って、第3のスイッチングトランジスタがオンした状態で、第4、第5のスイッチングトランジスタがオンすることで、駆動トランジスタの閾値電圧のバラツキをキャンセルする閾値キャンセル期間に入る。この閾値キャンセル期間において、第3のスイッチングトランジスタをオフすることで、第1、第2のキャパシタの作用により、駆動トランジスタのゲート・ドレイン間電圧が時間の経過とともに緩やかに減少し、一定期間が経過した後に当該駆動トランジスタの閾値電圧 V_{th} と第3の電源

10

20

30

40

50

電位 V_{ss} との和となる。このとき、上記所定電位を V_{ofs} とすると、第 1 のキャパシタには $(V_{ofs} - V_{th} - V_{ss})$ の電圧が、第 2 のキャパシタには V_{th} の電圧が保持される。そして、書き込み動作に入ることによって、駆動トランジスタの閾値電圧 V_{th} がキャンセルされる。

【0031】

さらに、閾値電圧 V_{th} のキャンセル期間において、垂直走査方向の最終行に向けて走査が進むにつれて第 3 の電源電位のノードに流れ込んだり、あるいは当該ノードから流れ出たりする電流量が徐々に増加あるいは減少することによって第 3 の電源電位が変動し、最終行の閾値キャンセル動作が終了した時点で本来の電位に戻る際に第 3 の電源電位に揺れが生じ、これに起因してラスタ表示時に最終行側に帯状の白筋や黒筋、あるいはグラデーションの画質不良が生じる。これら画質不良が生じるのは、第 2、第 4 および第 5 のスイッチングトランジスタの駆動期間中であつ第 3 のスイッチングトランジスタの駆動終了から第 1 のスイッチングトランジスタの駆動開始までの期間に相当する行数だけ最終行よりも手前の第 $N+1$ 行から最終行までとなる。そこで、第 1 行目から上記行数 + 1 だけ最終行よりも手前の第 N 行目までの画素回路を有効画素とし、第 $N+1$ 行目から最終行までの画素回路を画表示に用いない無効画素とすることで、上記画質不良が無効画素の領域で発生することになり、有効画素の領域で発生しなくなる。

10

【発明の効果】

【0032】

本発明によれば、電気光学素子の電流－電圧特性が経時変化し、これに伴って駆動トランジスタのソース電位が変化したとしても、電気光学素子の発光輝度を一定に保つことができ、また第 3 の電源電位の揺れに起因する帯状の白筋や黒筋、あるいはグラデーションの画質不良を有効画素の領域では発生しないようにすることができるため、ムラのない均一な画質を得ることができる。

20

【発明を実施するための最良の形態】

【0033】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0034】

図 1 は、本発明が適用されるアクティブマトリクス型表示装置および当該表示装置に用いられる画素（以下、画素回路と記す場合もある）の構成を示す回路図である。本適用例に係るアクティブマトリクス型表示装置は、流れる電流によって輝度が変化する電気光学素子、例えば有機 EL 素子 31 を表示素子として含む画素 11 がマトリクス状に（行列状に）2 次元配置されてなる画素アレイ部 12 を有している。ここでは、図面の簡略化のために、ある 1 つの画素 11 のみを具体的な回路構成をもって示している。

30

【0035】

この画素アレイ部 12 において、画素 12 の各々に対して各行毎に走査線 13、第 1、第 2 駆動線 14、15 およびオートゼロ線 16 が配線され、また各列毎にデータ線 17 が配線されている。この画素アレイ部 12 の周囲には、走査線 13 を駆動する書き込み走査回路 18 と、第 1、第 2 駆動線 14、15 を駆動する第 1、第 2 駆動走査回路 19A、19B と、オートゼロ線 16 を駆動するオートゼロ回路 21 と、輝度情報に応じたデータ信号をデータ線 17 に供給するデータ線駆動回路 22 とが配置されている。本例では、書き込み走査回路 18 および第 1 駆動走査回路 19 が画素アレイ部 12 を挟んで一方側（図の右側）に配置され、その反対側に第 2 駆動走査回路 20 およびオートゼロ回路 21 が配置された構成となっている。

40

【0036】

〔画素回路〕

図 1 から明らかなように、画素（画素回路）11 は、有機 EL 素子 31 に加えて、駆動トランジスタ 32、キャパシタ（画素容量）33、34 およびスイッチングトランジスタ 35～39 を回路素子として有する構成となっている。駆動トランジスタ 32 およびスイッチングトランジスタ 35～39 は、N チャネル電界効果トランジスタ、例えば N チャネ

50

ル T F T（薄膜トランジスタ）である。以下、駆動トランジスタ 32 およびスイッチングトランジスタ 35～39 を、T F T 32 および T F T 35～39 と記すものとする。

【0037】

有機 E L 素子 31 は、カソード電極が第 1 の電源電位（本例では、接地電位 G N D）に接続されている。T F T 32 は、有機 E L 素子 31 を発光駆動する駆動トランジスタであり、ドレインが第 2 の電源電位（本例では、正側電源電位 V c c）に、ソースが有機 E L 素子 31 のアノード電極にそれぞれ接続されてソースフォロア回路を形成している。キャパシタ 33 は画素容量であり、一端が T F T 32 のゲートに、他端が T F T 32 のソースと有機 E L 素子 31 のアノード電極との接続ノード N 11 にそれぞれ接続されている。

【0038】

T F T 35 は、ソースがデータ線 17 に、ゲートが第 1 走査線 13 にそれぞれ接続されている。キャパシタ 34 は、一端が T F T 35 のドレインに、他端が T F T 32 のゲートとキャパシタ 33 の一端との接続ノード N 12 にそれぞれ接続されている。T F T 36 は、ドレインが接続ノード N 11 に、ソースが第 3 の電源電位 V s s（例えば、接地電位 G N D）にそれぞれ接続されている。なお、第 3 の電源電位 V s s として、負側電源電位を用いても良い。

【0039】

T F T 37 は、ドレインが電源電位 V c c に、ソースが T F T 32 のドレインに、ゲートが第 2 駆動線 15 にそれぞれ接続されている。T F T 38 は、ドレインが T F T 32 のドレインと T F T 37 のソースとの接続ノード N 13 に、ソースが接続ノード N 12 に、ゲートがオートゼロ線 16 にそれぞれ接続されている。T F T 39 は、ドレインが所定電位 V o f s に、ソースが T F T 35 のドレインに、ゲートがオートゼロ線 16 にそれぞれ接続されている。

【0040】

続いて、上記構成の画素（画素回路）11 を行列状に 2 次元配置してなるアクティブマトリクス型有機 E L 表示装置の回路動作について、図 2 のタイミングチャートおよび図 3～図 7 の動作説明図を用いて説明する。

【0041】

図 2 には、ある行の画素 11 を駆動する際に、書き込み走査回路 18 から走査線 13 を介して画素 11 に与えられる書き込み信号 W S、第 1、第 2 駆動走査回路 19、20 から第 1、第 2 駆動線 14、15 を介して画素 11 に与えられる第 1、第 2 駆動信号 D S 1、D S 2 およびオートゼロ回路 21 からオートゼロ線 16 を介して画素 11 に与えられるオートゼロ信号 A Z のタイミング関係を示している。ここで、書き込み信号 W S、駆動信号 D S 1、D S 2 が特許請求の範囲における第 1 の駆動信号に相当し、オートゼロ信号 A Z が特許請求の範囲における第 2 の駆動信号に相当する。また、図 3～図 7 の動作説明図では、図面の簡略化のために、T F T 32、35～39 についてはスイッチのシンボルを用いて図示するものとする。

【0042】

通常発光状態では、書き込み走査回路 18 から出力される書き込み信号 W S、第 1 駆動走査回路 19 から出力される駆動信号 D S 1 およびオートゼロ回路 21 から出力されるオートゼロ信号 A Z が“L”レベルにあり、第 2 駆動走査回路 20 から出力される駆動信号 D S 2 が“H”レベルにあるため、図 3 に示すように、T F T 35、36、38、39 はオフした状態にあり、T F T 37 がオンした状態にある。このとき、駆動トランジスタである T F T 32 は、飽和領域で動作するように設計されているため定電流源として動作する。その結果、有機 E L 素子 31 には T F T 32 から、先述した式（1）で与えられる一定電流 I d s が供給される。

【0043】

次に、T F T 37 がオンした状態で第 1 駆動走査回路 19 から出力される駆動信号 D S 1 およびオートゼロ回路 21 から出力されるオートゼロ信号 A Z が“H”レベルになり、T F T 36、38、39 がオン状態となる。これにより、有機 E L 素子 31 のアノードには

10

20

30

40

50

電源電位 V_{ss} が印加され、 $TFT32$ のゲートには電源電位 V_{cc} が印加される。この際、電源電位 V_{ss} が有機 EL 素子 31 のカソード電圧 V_{cas} (本例では、接地電位 GND) と有機 EL 素子 31 の閾値電圧 V_{thel} との和 ($V_{cas} + V_{thel}$) よりも小さいのであれば、有機 EL 素子 31 は非発光状態となり、非発光期間に入る。以下、 $V_{ss} \leq V_{cas} + V_{thel}$ とし、 V_{ss} は GND レベルにあるとする。このとき、 $TFT36$, 38 がオンすることでゲート・ソース間電圧 V_{gd} に応じた一定電流 I_{ds} は、図 4 に点線の矢印で示す経路を通して流れる。

【0044】

次に、第 2 駆動走査回路 20 から出力される駆動信号 $DS2$ が “L” レベルになることで、図 5 に示すように、 $TFT37$ がオフ状態となり、 $TFT32$ の閾値電圧 V_{th} をキャンセル (補正) する閾値キャンセル期間に入る。このとき、 $TFT32$ は、ゲートとドレインが $TFT38$ を介して接続されているため飽和領域で動作する。また、 $TFT32$ のゲートには、キャパシタ 33, 34 が並列に接続されているため、 $TFT32$ のゲート・ドレイン間の電圧 V_{gd} は、図 8 に示すように、時間の経過とともに緩やかに減少してゆく。

【0045】

そして、一定期間が経過した後、 $TFT32$ のゲート・ソース間電圧 V_{gs} は $TFT32$ の閾値電圧 V_{th} となる。このとき、キャパシタ 34 には ($V_{ofs} - V_{th}$) の電圧が、キャパシタ 33 には V_{th} の電圧がそれぞれ充電される。その後、 $TFT35$, 37 がオフし、 $TFT36$ がオンした状態でオートゼロ回路 21 から出力されるオートゼロ信号 AZ が “H” レベルから “L” レベルに遷移すると、 $TFT38$, 39 がオフ状態となり、閾値キャンセル期間の終了となる。このとき、キャパシタ 34 には ($V_{ofs} - V_{th}$) の電圧が、キャパシタ 33 には V_{th} の電圧がそれぞれ保持される。

【0046】

次に、 $TFT35$, 38 , 39 がオフし、 $TFT36$, 37 がオンした状態で書き込み走査回路 18 から出力される書き込み信号 WS が “H” レベルになることで、この書き込み期間では、図 6 に示すように、 $TFT35$ がオン状態となり、データ線 17 を通して与えられる入力信号電圧 V_{in} の書き込み期間となる。 $TFT35$ がオンすることで、 $TFT35$ のドレイン、キャパシタ 34 の一端および $TFT39$ のソースの接続ノード $N14$ に入力信号電圧 V_{in} を取り込み、当該接続ノード $N14$ の電圧変化量 ΔV を、キャパシタ 34 を介して $TFT32$ のゲートにカップリングさせる。

【0047】

このとき、 $TFT32$ のゲート電圧 V_g は閾値電圧 V_{th} という値であり、カップリング量 ΔV はキャパシタ 33 の容量値 $C1$ 、キャパシタ 34 の容量値 $C2$ および $TFT32$ の寄生容量値 $C3$ によって下記の式 (2) のように決定される。

$$\Delta V = \{C2 / (C1 + C2 + C3)\} \cdot (V_{in} - V_{ofs}) \cdots (2)$$

したがって、キャパシタ 33, 34 の容量値 $C1$, $C2$ を $TFT32$ の寄生容量値 $C3$ に比べて十分大きく設定すれば、 $TFT32$ のゲートへのカップリング量 ΔV は、 $TFT32$ の閾値電圧 V_{th} の影響を受けずに、キャパシタ 33, 34 の容量値 $C1$, $C2$ のみによって決定される。

【0048】

書き込み走査回路 18 から出力される書き込み信号 WS が “H” レベルから “L” レベルに遷移し、 $TFT35$ がオフすることで、入力信号電圧 V_{in} の書き込み期間が終了する。この書き込み期間の終了後、 $TFT35$, 38 , 39 がオフした状態で第 1 駆動走査回路 19 から出力される駆動信号 $DS1$ が “L” レベルになることで、 $TFT36$ がオフ状態となり、その後、第 2 駆動走査回路 20 から出力される駆動信号 $DS2$ が “H” レベルになることで、図 7 に示すように、 $TFT37$ がオン状態となる。

【0049】

$TFT37$ がオンすることで、 $TFT32$ のドレイン電位が電源電位 V_{cc} まで上昇する。 $TFT32$ のゲート・ソース間電圧 V_{gs} が一定であるため、 $TFT32$ は一定電流

10

20

30

40

50

I_{ds} を有機EL素子31に供給する。このとき、接続ノードN11の電位は、有機EL素子31に一定電流 I_{ds} が流れる電圧 V_x まで上昇し、その結果、有機EL素子31は発光する。

【0050】

上述した一連の動作を行う画素回路11においても、有機EL素子31は発光時間が長くなるとその $I-V$ 特性が変化してしまう。そのため、接続ノードN11の電位も変化する。しかしながら、TFT32のゲート・ソース間電位 V_{gs} が一定値に保たれているため、有機EL素子31に流れる電流は変化しない。したがって、有機EL素子31の $I-V$ 特性が劣化しても、一定電流 I_{ds} が常に流れ続けるため、有機EL素子31の輝度が変化することはない。また、閾値キャンセル期間におけるTFT38の作用により、TFT32の閾値電圧 V_{th} をキャンセルし、当該閾値電圧 V_{th} のバラツキの影響を受けない一定電流 I_{ds} を流すことができるため、高画質の画像を得ることができる。

【0051】

ここで、電源電位 V_{ss} について考える。TFT36がオン状態となって有機EL素子31の非発光期間に入ることにより、電源電位 $V_{cc} \rightarrow \text{TFT37} \rightarrow \text{TFT32} \rightarrow \text{TFT36}$ の経路を通して電源電位 V_{ss} のノード（以下、 V_{ss} ノードと記す）に電流が流れる（流れ込むあるいは流れ出る）ようになる。その後、TFT38、39がオン状態となり、TFT37がオフ状態となって、閾値電圧 V_{th} のバラツキをキャンセルする閾値キャンセル期間に入ることによっても、接続ノード $N12 \rightarrow \text{TFT38} \rightarrow \text{TFT32} \rightarrow \text{TFT36}$ の経路を通して V_{ss} ノードに電流が流れる。

【0052】

これは、ある行（段）の画素回路11における回路動作である。表示パネル全体でも、各行ごとに V_{ss} ノードに電流が流れることにより、図9に示すように、1行目から最終行 n に向かって垂直走査が進むにつれて V_{ss} ノードに流れる電流量（ V_{ss} ノードに流れ込む電流量あるいは V_{ss} ノードから流れ出る電流量）が増加するため、電源電位 V_{ss} が変動する。そして、最終行 n の閾値キャンセル期間が終了した時点で V_{ss} ノードに流れ込むあるいは V_{ss} ノードから流れ出る電流が無くなることで、電源電位 V_{ss} が本来の電位に瞬時に戻ろうとするため、電源電位 V_{ss} に揺れが生じる。この電源電位 V_{ss} の揺れは、 V_{ss} ノードに流れ込む電流量あるいは V_{ss} ノードから流れ出る電流量が少なくなれば起こらなくなる。

【0053】

画素回路11内において、閾値電圧 V_{th} のキャンセル動作終了から信号電圧 V_{in} を書き込むまでの期間に電源電位 V_{ss} に揺れが生じてしまうと、この期間では駆動トランジスタであるTFT32のゲート電位が、当該TFT32がほぼオフ状態となる電位にあることから、TFT32のドレイン電圧（接続ノードN13の電位）は電源電位 V_{ss} の揺れ、つまりTFT32のソース電位の変化に追随することができず、その結果、キャパシタ33に充電されている電圧、即ちTFT32のゲート・ソース間電圧 V_{gs} が変化してしまう。

【0054】

図10を用いてより具体的に説明すると、閾値キャンセル期間中、特にキャンセル動作終了付近で電源電位 V_{ss} に揺れが生じると、まもなく閾値キャンセル期間が終了してしまうため、閾値キャンセル期間内にTFT32のゲート電位がソース電位に完全に追随することができず、閾値キャンセル動作終了時のTFT32のゲート・ソース間電圧 V_{gs} は、電源電位 V_{ss} の揺れがないときの電圧 ΔV に対して一定値 α だけ変化してしまう。逆に、キャンセル動作開始付近で電源電位 V_{ss} に揺れが生じたとしても、閾値キャンセル期間が終了するまでに十分に時間があり、閾値キャンセル期間内に電源電位 V_{ss} の揺れに完全に追随することができるために、TFT32のゲート・ソース間電圧 V_{gs} は、電源電位 V_{ss} の揺れがないときの電圧 ΔV に対してほとんど変化しない。

【0055】

このように、閾値電圧 V_{th} のキャンセル期間において、垂直走査方向の最終行 n に向

けて走査が進むにつれて V_{ss} ノードに流れ込んだり、あるいは V_{ss} ノードから流れ出たりする電流量が徐々に増加あるいは減少することによって電源電位 V_{ss} が変動し、最終行 n の閾値キャンセル動作が終了した時点で本来の電位に戻る際に電源電位 V_{ss} に揺れが生じ、この揺れは最終行 n だけではなく、図11に示すように、画素回路11が V_{ss} ノードに接続されている垂直走査方向の i 段目（ i は任意の段数）にまで影響を及ぼすことになる。電源電位 V_{ss} に揺れが生じると、TFT32のゲート・ソース間電圧 V_{gs} の変化分 α が大きくなるため、図12に示すように、画としては、ラスタ表示時に、垂直走査方向の最終行 n 側に帯状の白筋や黒筋、あるいはグラデーションが生じてしまい、均一な濃度の画表示を行うことができなくなる。

【0056】

10

〔第1実施形態〕

そこで、本実施形態では、図1に示す画素回路（画素）11を基本とし、当該画素回路11が行列状に配置されてなるアクティブマトリクス型有機EL表示装置において、画素アレイ部12の行列状配列における第1行目から、最終行 n よりも第2駆動走査回路20およびオートゼロ回路（第3の駆動走査手段）21によるTFT37（第2のスイッチングトランジスタ）およびTFT38, 39（第4, 第5のスイッチングトランジスタ）の駆動期間中でかつ第1駆動走査回路19によるTFT36（第3のスイッチングトランジスタ）の駆動終了から書き込み走査回路18によるTFT35（第1のスイッチングトランジスタ）の駆動開始までの期間に相当する行数だけ手前の第 N 行目までの画素回路11を有効画素とする構成を採っている。

20

【0057】

すなわち、図13に示すように、 n 行 m 列の画素配列の画素アレイ部12において、第1行目から上記行数だけ最終行 n （第 n 行目）よりも手前の第 N 行目までの画素回路11の領域を有効画素領域12Aとし、第 $N+1$ 行目から最終行 n までの画素回路11の領域を無効画素領域12Bとする。ここで、有効画素とは実際に画表示に用いられる画素（画素回路）を言い、無効画素とは実際に画表示に用いられない画素（画素回路）を言う。無効画素領域12Bの各画素については、画表示に用いられない訳であるから発光する必要がなく、したがって有機EL素子31は不要となる。

【0058】

ただし、有効画素領域12Aの各画素の回路特性と無効画素領域12Bの各画素の回路特性とを全く同じにするには、無効画素領域12Bの各画素にも有機EL素子31を設けるようにしても良い。無効画素領域12Bの各画素にも有機EL素子31を設ける場合には、無効画素領域12Bの全体を遮光するようにすれば良い。

30

【0059】

ここで、有効画素領域12Aの最終行 N （第 N 行目）を決定する根拠について述べる。先述したように、閾値電圧 V_{th} のキャンセル期間において、垂直走査方向の最終行 n に向けて走査が進むにつれて V_{ss} ノード（電源電位 V_{ss} のノード）に流れ込んだり、あるいは当該ノードから流れ出たりする電流量が徐々に増加あるいは減少することによって電源電位 V_{ss} が変動し、最終行 n の閾値キャンセル動作が終了した時点で本来の電位に戻る際に電源電位 V_{ss} に揺れが生じ、これに起因してラスタ表示時に最終行 n 側に帯状の白筋や黒筋、あるいはグラデーションの画質不良が生じる。

40

【0060】

これら画質不良が生じるのは、TFT37～39の駆動（オン）期間中でかつTFT36の駆動終了（オフ）、即ち閾値電圧 V_{th} のキャンセル動作開始から、TFT35の駆動開始（オン）、即ち書き込み動作開始までの期間に相当する行数 M だけ最終行 n よりも手前の第 $N+1$ 行目から最終行 n までとなる。このことから、第1行目から上記行数 $M+1$ だけ最終行 n よりも手前の第 N 行目までの各画素の領域を有効画素領域12Aとし、第 $N+1$ 行目から最終行 n まで（ M 行分）の各画素の領域を無効画素領域12Bとするのである。これにより、図14から明らかなように、帯状の白筋や黒筋、あるいはグラデーションの画質不良が無効画素領域12Bで発生することになるため、実際に画表示が行われる

50

有効画素領域 1 2 A 上に当該画質不良が現れることはなくなる。

【0061】

上述したように、図 1 に示す画素回路（画素） 1 1 が行列状に 2 次元配置されてなるアクティブマトリクス型有機 EL 表示装置において、第 1 行目から閾値キャンセル動作開始から書き込み動作開始までの期間に相当する行数 $M+1$ だけ最終行 n よりも手前の第 N 行目までの各画素の領域を有効画素領域 1 2 A として用いることにより、電源電位 V_{ss} の揺れに起因して発生する帯状の白筋や黒筋、あるいはグラデーションの画質不良が有効画素領域 1 2 A 上に現れることがないため、有効画素領域 1 2 A においてムラのない均一な画質を得ることができる。

【0062】

ここで、画素アレイ部 1 2 の画素配列が n 行 m 列を基準として考えた場合、最終行 n から M 行分の領域を無効画素領域 1 2 B とすることで、その分だけ実際に画表示が行われる有効画素領域 1 2 A の画角が小さくなることになる。そこで、 n 行 m 列の画素アレイ部 1 2 の下側（垂直走査方向の前方側）に、画表示に寄与しないダミー画素を配列した領域を設けるようにすれば良い。このときのダミー画素領域の行数（垂直方向の画素数）としては、上記の場合と同様に、閾値キャンセル動作開始から書き込み動作開始までの期間に相当する M 行に設定することになる。これにより、無効画素領域 1 2 B を設けないときと同じ n 行 m 列の画角（有効画素領域）を得ることができる。

【0063】

ところで、画素回路 1 1 内に配線される電源電位 V_{ss} 用の電源ライン（以下、 V_{ss} ラインと記す）については、配線抵抗値が小さくして電源電位 V_{ss} の揺れを最小限に抑えるために、一般的に、 V_{ss} ラインの配線の太さを太しており、その分だけ画素回路 1 1 の面積が大きくならざるを得ない。これに対して、本実施形態に係るアクティブマトリクス型有機 EL 表示装置では、上述したように、電源電位 V_{ss} の揺れに起因して発生する帯状の白筋や黒筋、あるいはグラデーションの画質不良が有効画素領域 1 2 A 上に現れなくなることから、電源電位 V_{ss} の揺れを気にする必要がなくなり、その分だけ V_{ss} ラインの配線の太さを細くすることができるため、画素回路 1 1 の小面積化を図ることができる。その結果、多画素化に伴う高精細化を実現することができ、しかも画素内のレイアウトに余裕を持たせることができるため、高歩留まり化を実現することができる。

【0064】

（変形例）

ここで、図 2 のタイミングチャートに示すように、オートゼロ信号 AZ のパルス幅、即ち閾値キャンセル期間が長いと、それだけ閾値キャンセル動作開始から書き込み動作開始までの期間が長くなるため、無効画素領域 1 2 B の行数（垂直方向の画素数）が多くなることがわかる。したがって、オートゼロ信号 AZ のパルス幅の調整によって無効画素領域 1 2 B の行数を任意に設定でき、特に当該パルス幅を可能な限り狭くすることによって無効画素領域 1 2 B の行数を少なく抑えることができる。

【0065】

特に、オートゼロ信号 AZ の立ち上がりタイミングを遅くしてパルス幅を狭くすることで、当該立ち上がりタイミングを遅くした分だけ発光期間を長く設定できるとともに、駆動トランジスタである $TFT32$ の閾値電圧 V_{th} のバラツキをキャンセルする際に、当該 $TFT32$ の移動度についてもキャンセルすることができるという利点もある。

【0066】

また、閾値キャンセル動作終了から書き込み動作開始までの期間についても、オートゼロ信号 AZ のパルス幅と同様にその期間が長いと、閾値キャンセル動作開始から書き込み動作開始までの期間が長くなるため無効画素領域 1 2 B の行数が多くなる。したがって、閾値キャンセル動作終了から書き込み動作開始までの期間の調整によって無効画素領域 1 2 B の行数を任意に設定でき、特に当該期間を可能な限り短くすることによって無効画素領域 1 2 B の行数を少なく抑えることができる。

【0067】

10

20

30

40

50

〔第 2 実施形態〕

本実施形態では、第 1 実施形態に係るアクティブマトリクス型有機 EL 表示装置、即ち図 1 に示す画素回路（画素）11 を基本とし、当該画素回路 11 が行列状に配置されてなり、第 1 行目から閾値キャンセル動作開始から書き込み動作開始までの期間に相当する行数 $M+1$ だけ最終行 n よりも手前の第 N 行目までの各画素の領域を有効画素領域 12A として用いる構成のアクティブマトリクス型有機 EL 表示装置において、TF T 3 6（第 3 のスイッチングトランジスタ）の駆動終了（オフ）のタイミングを、書き込み動作開始のタイミングよりも早く設定した構成を採っている。

【0068】

このように、書き込み動作の開始よりも TF T 3 6 の駆動が早く終了するようにタイミング設定を行うことで、TF T 3 6 を通しての V_{ss} ノードへの電流の流れ込み、あるいは V_{ss} ノードからの電流の流れ出しが書き込み動作が開始する以前に終わるため、電源電位 V_{ss} の揺れに起因して帯状の白筋や黒筋、あるいはグラデーションの画質不良が発生する期間が、閾値キャンセル動作開始から書き込み動作開始までの期間ではなく、閾値キャンセル動作開始から TF T 3 6 の駆動終了までの期間に短縮できる。

【0069】

これにより、無効画素領域 12B の行数としては、後者の期間、即ち閾値キャンセル動作開始から TF T 3 6 の駆動終了までの期間に相当する行数を設定すれば良いため、無効画素領域 12B として、第 1 実施形態の場合よりも少ない行数を確保すれば良く、有効画素領域 12A に対する無効画素領域 12B の画素数の割合を減らすことができるため、その分だけ有効画素領域 12A の画角を広く設定できる。また、同じ行数のダミー画素を追加して、当該ダミー画素の領域を無効画素領域 12B として用いる構成を採る場合には、追加するダミー画素数を、第 1 実施形態の場合よりも少なくすることができるため、ダミー画素を追加することに伴うパネルサイズの拡大を最小限に抑えることができる。

【0070】

書き込み動作の開始よりも TF T 3 6 の駆動が早く終了するようにタイミング設定を行うに当たっては、好ましくは、TF T 3 6（第 3 のスイッチングトランジスタ）の駆動タイミングを、TF T 3 8、39（第 4、第 5 のスイッチングトランジスタ）の駆動タイミングと同一に設定する。具体的には、図 15 に示すように、第 1 駆動走査回路 19 から出力される駆動信号 $DS1$ の立ち上がりおよび立ち下りの各タイミングを、オートゼロ回路 21 から出力されるオートゼロ信号 AZ の立ち上がりおよび立ち下りの各タイミングと同じタイミングにしている。

【0071】

このようなタイミング設定を行うことにより、図 2 のタイミングチャートと図 15 のタイミングチャートとの対比から明らかなように、上記画質不良が発生する期間をより短縮できるため、無効画素領域 12B としてより少ない行数を確保すれば済むとともに、TF T 3 8、39 を駆動するオートゼロ信号 AZ を、TF T 3 6 を駆動する駆動信号 $DS1$ として（あるいは、駆動信号 $DS1$ をオートゼロ信号 AZ として）兼用することができるため、これら信号を伝送する配線を 1 本減らすことができるとともに、第 1 駆動走査回路 19 およびオートゼロ回路 21 の一方を削減できる。その結果、画素回路 11 の小面積化、それに伴う高精細化（多画素化）が可能になるとともに、表示パネルの狭額縁化が可能になる。

【0072】

（変形例）

第 2 実施形態の変形例として、図 16 に示すように、TF T 3 6 の駆動終了（駆動信号 $DS1$ の立ち下りタイミング）を、TF T 3 8、39 の駆動終了（オートゼロ信号 AZ の立ち下りタイミング）よりも早く設定する構成を採ることも可能である。この構成を採ることにより、信号を伝送する配線を 1 本減らしたり、第 1 駆動走査回路 19 およびオートゼロ回路 21 の一方を削減したりする効果は得られないものの、電源電位 V_{ss} の揺れに起因して帯状の白筋や黒筋、あるいはグラデーションの画質不良が発生する期間をさ

らに短縮できるため、有効画素領域 1 2 A に対する無効画素領域 1 2 B の画素数の割合をさらに減らすことができる。

【0073】

なお、上記各実施形態では、第 1 の電源電位を接地電位 GND、第 2 の電源電位を正側電源電位、第 3 の電源電位を接地電位 GND（または、負側電源電位）とした画素回路を例に挙げて説明したが、この電位関係に限られるものではなく、例えば第 1 の電源電位を負側電源電位、第 2 の電源電位を接地電位 GND に設定した画素回路や、第 3 の電源電位を正側電源電位に設定した画素回路にも同様に適用可能である。

【0074】

また、上記各実施形態では、画素の表示素子として、有機 EL 素子を用いた有機 EL 表示装置に適用した場合を例に挙げて説明したが、これに限られるものではなく、流れる電流によって輝度が変化する電気光学素子を画素の表示素子として用いた表示装置全般に適用可能である。

【図面の簡単な説明】

【0075】

【図 1】本発明の適用例に係るアクティブマトリクス型表示装置および当該表示装置に用いられる画素（画素回路）の構成を示す回路図である。

【図 2】本適用例に係る画素回路の動作説明に供するタイミングチャートである。

【図 3】本適用例に係る画素回路の動作説明図（その 1）である。

【図 4】本適用例に係る画素回路の動作説明図（その 2）である。

【図 5】本適用例に係る画素回路の動作説明図（その 3）である。

【図 6】本適用例に係る画素回路の動作説明図（その 4）である。

【図 7】本適用例に係る画素回路の動作説明図（その 5）である。

【図 8】本適用例に係る画素回路の動作説明に供する特性図である。

【図 9】本適用例に係る画素回路の課題の説明に供する波形図（その 1）である。

【図 10】本適用例に係る画素回路の課題の説明に供する波形図（その 2）である。

【図 11】電源電位 V_{ss} の揺れの影響が及ぶ行の説明図である。

【図 12】垂直走査方向の最終行に向けてグラデーションが生じる様子を示す図である。

【図 13】本発明の第 1 実施形態に係るアクティブマトリクス型有機 EL 表示装置における有効画素領域と無効画素領域の関係を示す図である。

【図 14】グラデーションが有効画素領域には現れず、無効画素領域に発生する様子を示す図である。

【図 15】本発明の第 2 実施形態に係るアクティブマトリクス型有機 EL 表示装置に用いられる画素回路の動作説明に供するタイミングチャートである。

【図 16】第 2 実施形態の変形例に係るタイミングチャートである。

【図 17】アクティブマトリクス型有機 EL 表示装置の構成の概略を示すブロック図である。

【図 18】従来例に係る画素回路を示す回路図である。

【図 19】有機 EL 素子の $I-V$ 特性の経時変化を示す特性図である

【図 20】N チャネル TFT で構成した従来例に係る画素回路を示す回路図である。

【図 21】初期状態における駆動トランジスタである TFT と有機 EL 素子の動作点を示す図である。

【図 22】経時変化後の駆動トランジスタである TFT と有機 EL 素子の動作点を示す図である。

【図 23】N チャネル TFT のソースを接地電位に接続した構成の画素回路を示す回路図である。

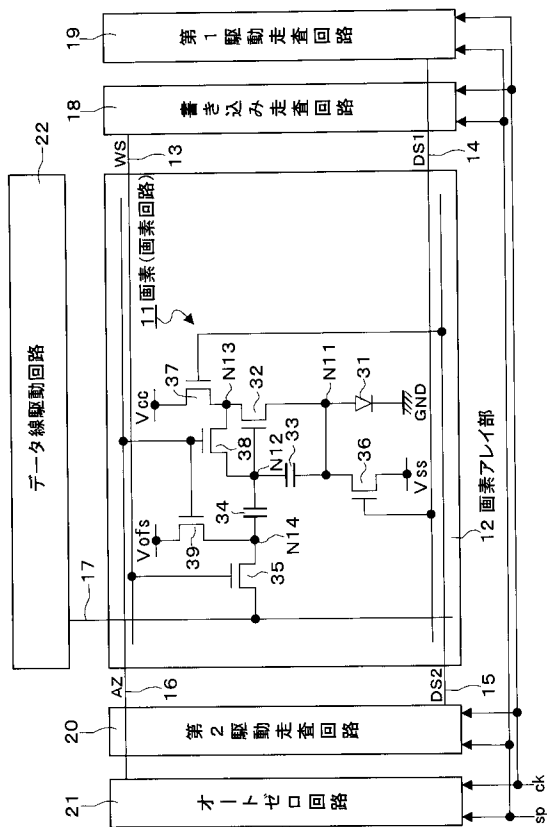
【符号の説明】

【0076】

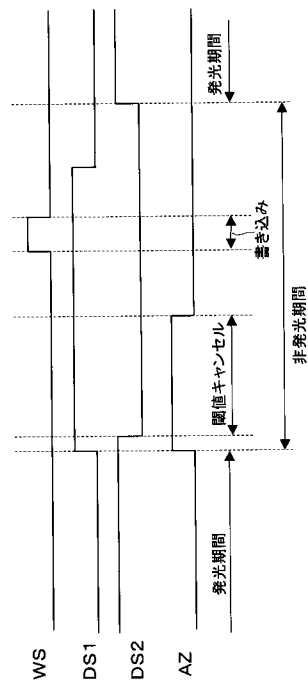
1 1 …画素（画素回路）、1 2 …画素アレイ部、1 3 …走査線、1 4 …第 1 駆動線、1 5 …第 2 駆動線、1 6 …オートゼロ線、1 7 …データ線、1 8 …書き込み走査回路、1 9

…第1駆動走査回路、20…第2駆動走査回路、21…オートゼロ回路、22…データ線駆動回路、31…有機EL素子、32…駆動トランジスタ（TFT）、33，34…キャパシタ、35～39…スイッチングトランジスタ（TFT）

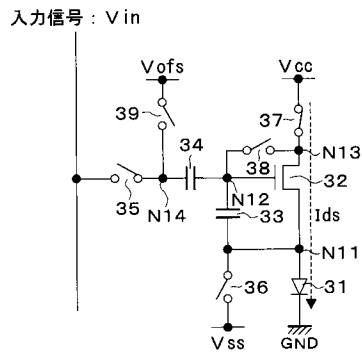
【図1】



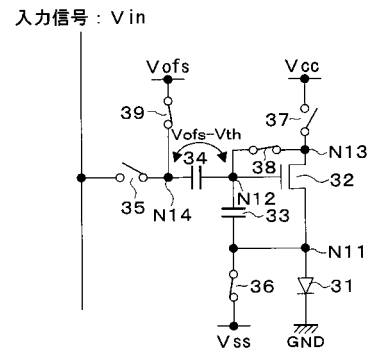
【図2】



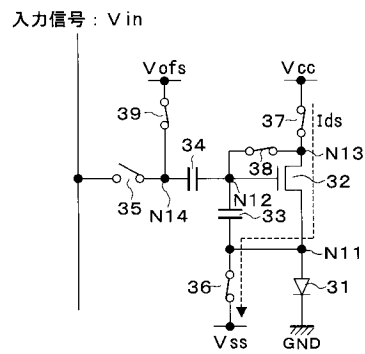
【図 3】



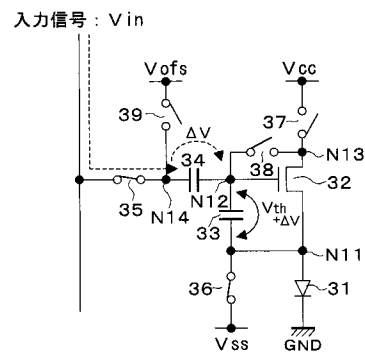
【図 5】



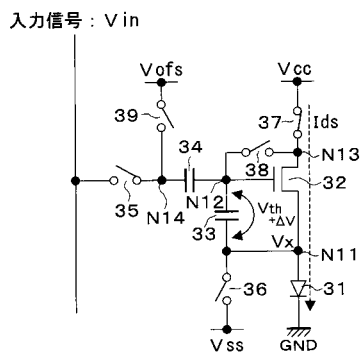
【図 4】



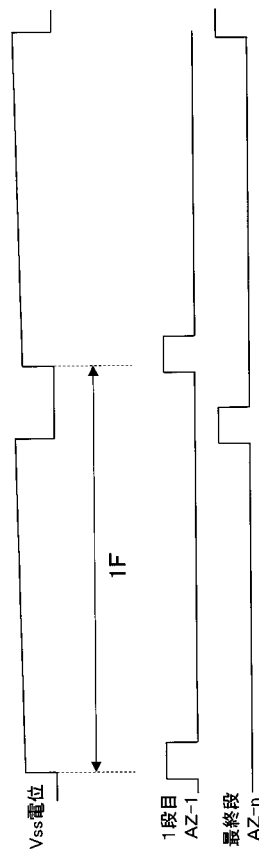
【図 6】



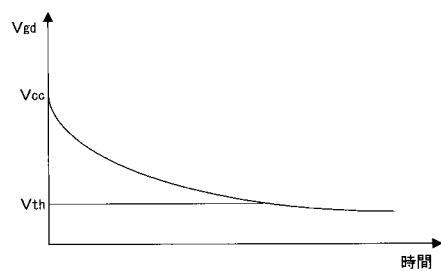
【図 7】



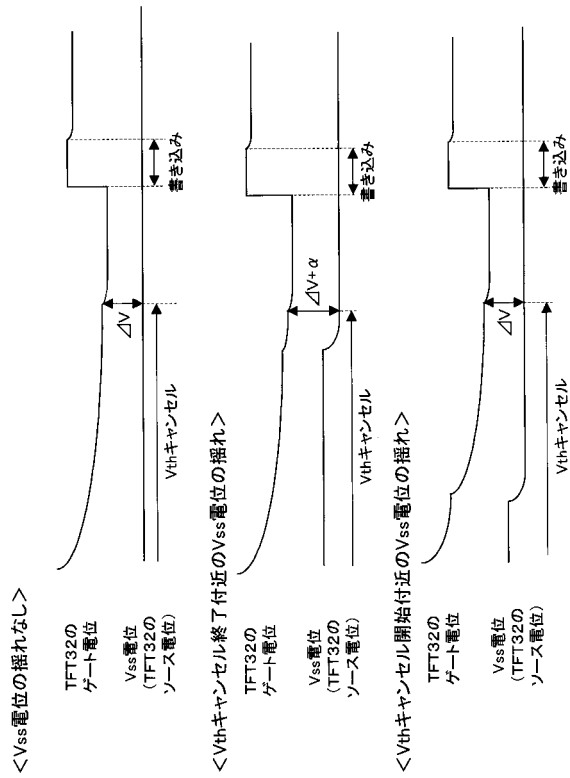
【図 9】



【図 8】



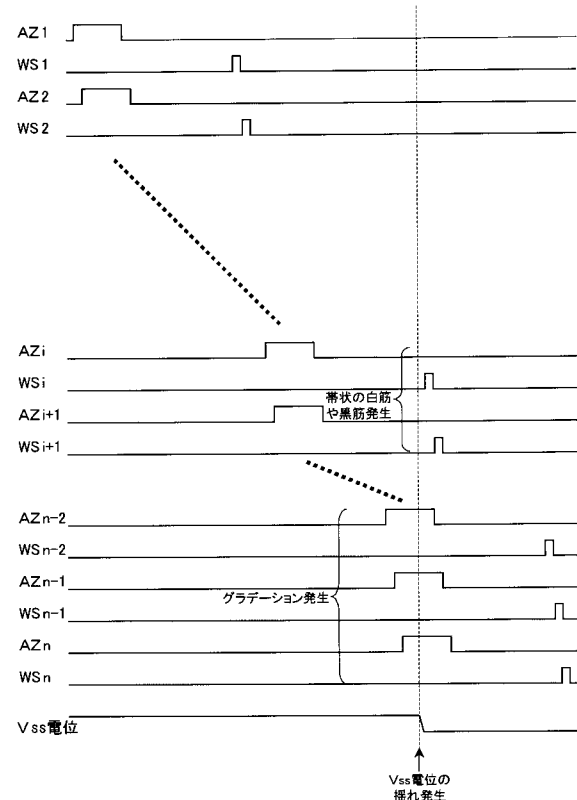
【図 10】



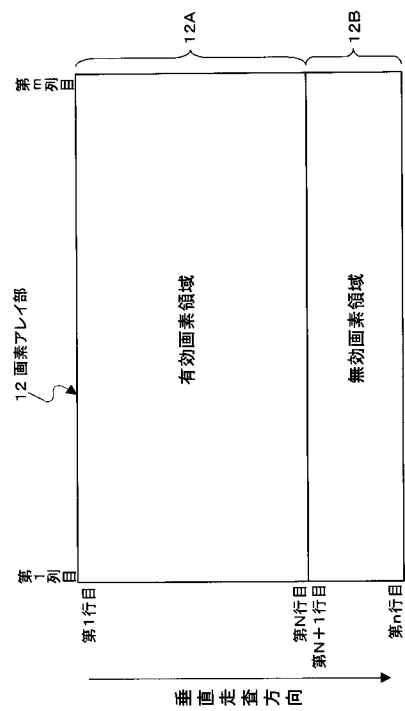
【図 12】



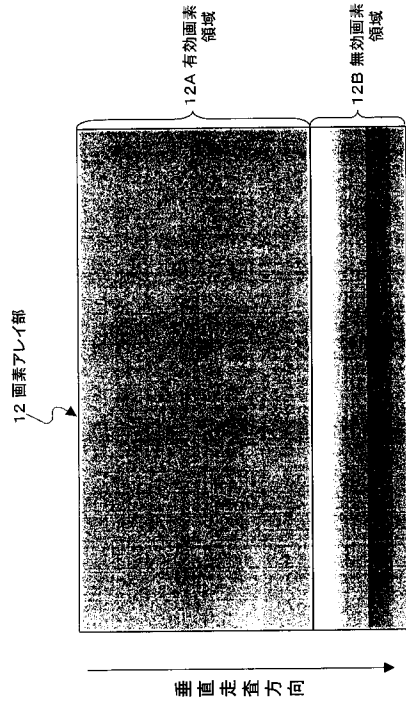
【図 11】



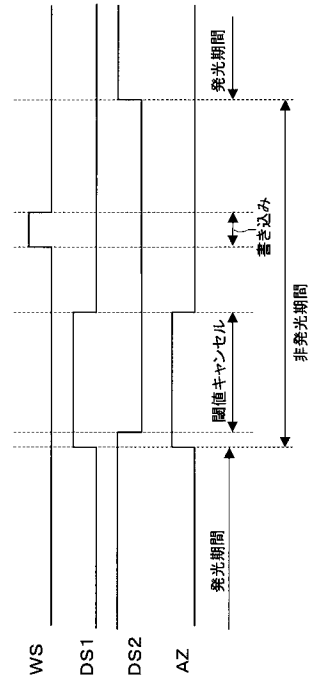
【図 13】



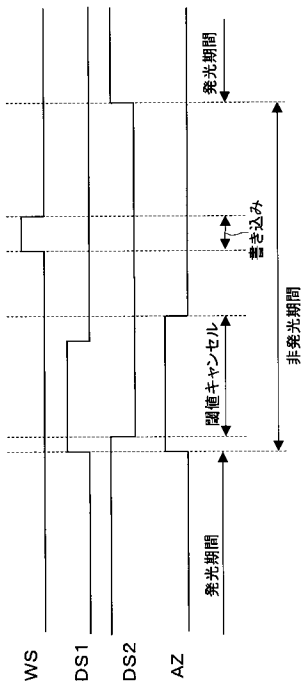
【図 1 4】



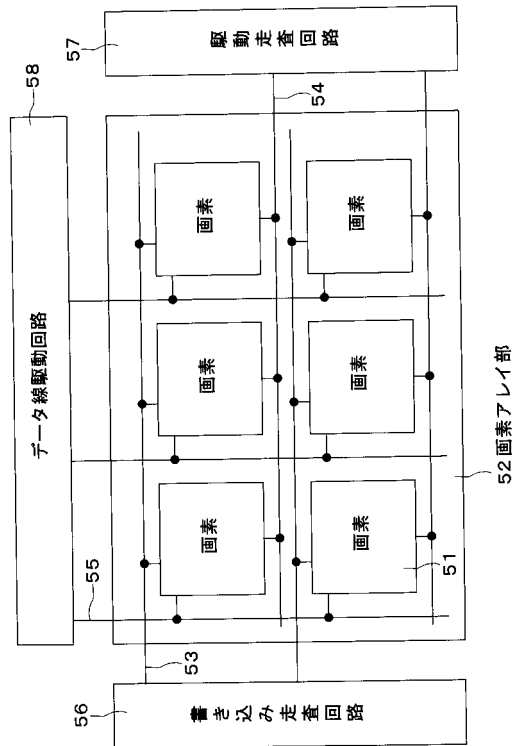
【図 1 5】



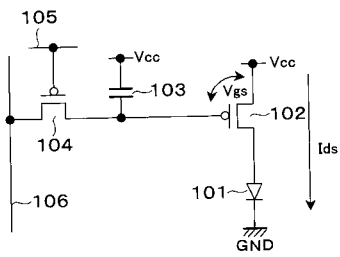
【図 1 6】



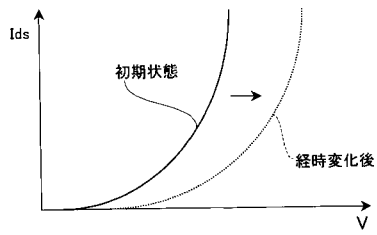
【図 1 7】



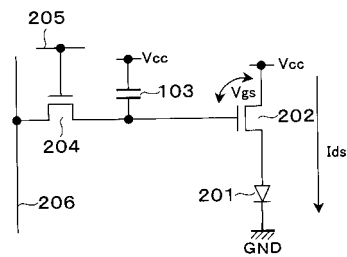
【図 18】



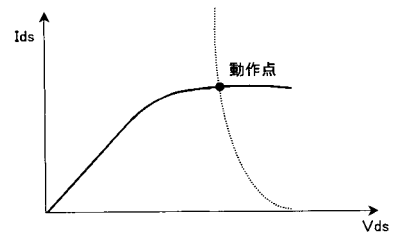
【図 19】



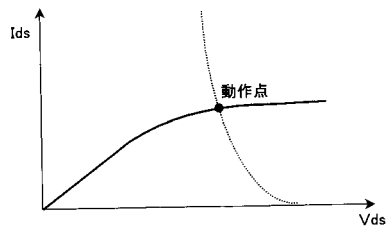
【図 20】



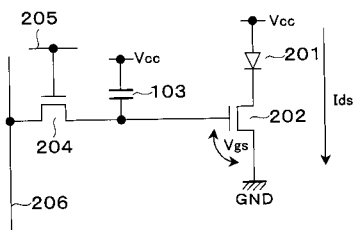
【図 21】



【図 22】



【図 23】



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 4 1 D
	G 0 9 G 3/20	6 4 2 A
	G 0 9 G 3/20	6 7 0 J
	H 0 5 B 33/14	A

Fターム(参考) 3K007 AB02 AB11 AB17 BA06 DB03 GA00 GA04
5C080 AA06 BB05 DD03 DD05 DD29 EE28 FF11 JJ01 JJ02 JJ03
JJ04 JJ05

专利名称(译)	显示装置和显示装置的驱动方法		
公开(公告)号	JP2006030921A	公开(公告)日	2006-02-02
申请号	JP2004213778	申请日	2004-07-22
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	山本哲郎 内野勝秀 山下淳一		
发明人	山本 哲郎 内野 勝秀 山下 淳一		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/30.K G09G3/20.621.A G09G3/20.622.D G09G3/20.624.B G09G3/20.641.D G09G3/20.642.A G09G3/20.670.J H05B33/14.A G09G3/20.660.Q G09G3/3233 G09G3/3266 G09G3/3291		
F-TERM分类号	3K007/AB02 3K007/AB11 3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K007/GA04 5C080/AA06 5C080/BB05 5C080/DD03 5C080/DD05 5C080/DD29 5C080/EE28 5C080/FF11 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 3K107/AA01 3K107/BB01 3K107/CC02 3K107/CC21 3K107/CC33 3K107/CC35 3K107/CC45 3K107/EE03 3K107/HH04 3K107/HH05 5C380/AA01 5C380/AB06 5C380/AB22 5C380/AB43 5C380/AB46 5C380/AB50 5C380/AC04 5C380/BA05 5C380/BA08 5C380/BA11 5C380/BA12 5C380/BA13 5C380/BA17 5C380/BA20 5C380/BA28 5C380/BA29 5C380/BA38 5C380/BA39 5C380/BA40 5C380/BB02 5C380/BB08 5C380/BB21 5C380/BB30 5C380/BD02 5C380/CA12 5C380/CB01 5C380/CB16 5C380/CB17 5C380/CB26 5C380/CC03 5C380/CC04 5C380/CC07 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC37 5C380/CC39 5C380/CC52 5C380/CC57 5C380/CC61 5C380/CC62 5C380/CC65 5C380/CC72 5C380/CD012 5C380/CD026 5C380/CE04 5C380/CE20 5C380/CF41 5C380/DA02 5C380/DA06 5C380/DA32 5C380/DA47 5C380/DA49 5C380/DA52 5C380/HA03 5C380/HA08		
代理人(译)	船桥 国则		
其他公开文献	JP4687026B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：解决当电容器的容量和驱动晶体管的栅极 - 源极之间的容量之和小于开关晶体管的寄生电容时，不能期望发光的问题，因为驱动晶体管的栅极 - 源极通过驱动晶体管的源极电位的变化而变化。

ŽSOLUTION：在具有像矩阵排列的像素电路11的有源矩阵有机EL显示装置中，其中电容器33连接在TFT 32的栅极和源极之间，并且TFT 32的源极选择性地连接到地电位GND通过TFT 36作为开关晶体管，并且通过电容器33和TFT 37至39的动作消除TFT的阈值电压V_{tg}的变化，从第一行到第N行的每个像素的区域在最后一行n用作有效像素区域12A之前，对应于从阈值取消操作开始到写入操作开始的时段的M + 1行。 Ž

