

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2004-212836
(P2004-212836A)

(43) 公開日 平成16年7月29日(2004.7.29)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
G09G 3/30	G09G 3/30 J	3K007
G09F 9/30	G09F 9/30 365Z	5C080
G09G 3/20	G09G 3/20 611J	5C094
H01L 21/331	G09G 3/20 621M	5F003
H01L 21/822	G09G 3/20 623B	5F038
審査請求 未請求 請求項の数 6 O L (全 11 頁) 最終頁に続く		

(21) 出願番号	特願2003-1785 (P2003-1785)	(71) 出願人	000116024
(22) 出願日	平成15年1月8日 (2003.1.8)		ローム株式会社
			京都府京都市右京区西院溝崎町2 1 番地
		(74) 代理人	100079555
			弁理士 梶山 信是
		(74) 代理人	100079957
			弁理士 山本 富士男
		(72) 発明者	前出 淳
			京都市右京区西院溝崎町2 1 番地 ローム株式会社内
		(72) 発明者	阿部 真一
			京都市右京区西院溝崎町2 1 番地 ローム株式会社内
		最終頁に続く	

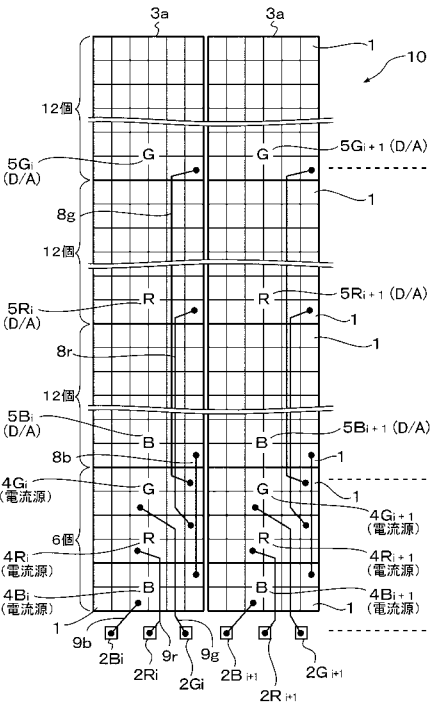
(54) 【発明の名称】 有機 E L 駆動回路および有機 E L 表示装置

(57) 【要約】

【課題】集積効率がよく、精度の高い駆動電流を出力することができる有機 E L 駆動回路および有機 E L 表示装置を提供することにある。

【解決手段】この発明は、ピンに対応して設けられるパッドピッチの 3 n 倍の幅をもち、かつ、この幅に 4 個以上のトランジスタが配列される矩形のトランジスタ配列ブロックにおいて、R , G , B のそれぞれの電流スイッチング D / A がパッド配列方向に直角となる方向に配列されて、表示データを受ける各 D / A のカレントミラー回路が形成されるものである。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

R, G, B の表示色のそれぞれに対応して設けられた有機 EL パネルの端子ピンを介して有機 EL パネルを電流駆動する有機 EL 駆動回路において、
前記端子ピンに対応して設けられ前記端子ピンに接続される複数のパッドと、
前記パッドに対応して設けられ表示データを受けてこれに対応する表示のためのアナログの電流を発生するカレントミラー構成の電流スイッチング D/A 変換回路と、
前記パッドに対応して設けられ前記 D/A 変換回路からの出力電流で駆動され前記パッドを介して駆動電流を前記端子ピンに出力する前記 R, G, B に対応して設けられた複数の電流源と、
前記パッドの配列方向のパッドピッチの $3n$ 倍 (n は正の整数) に実質的に対応したパッド配列方向の幅を有しこの幅に対して 4 個以上のトランジスタが形成された多数のトランジスタを有する矩形のトランジスタ配列ブロックとを備え、
前記トランジスタ配列ブロック内において前記 R, G, B のそれぞれの前記 D/A 変換回路が前記パッド配列方向に対して直角な方向に配列され、前記 D/A 変換回路のカレントミラー回路を構成するトランジスタが選択されて IC 化されている有機 EL 駆動回路。

10

【請求項 2】

前記 R, G, B に対応する前記複数の電流源は、それぞれカレントミラー回路を有していて、前記トランジスタ配列ブロックにおいて前記 D/A 変換回路と前記パッドとの間に割り当てられ、これの前記カレントミラー回路を構成するトランジスタが選択されている請求項 1 記載の有機 EL 駆動回路。

20

【請求項 3】

n は 1 であり、前記トランジスタ配列ブロックは、少なくとも 6 個のトランジスタがパッドピッチの 3 倍の幅においてパッド配列方向に配置されるものである請求項 2 記載の有機 EL 駆動回路。

【請求項 4】

有機 EL パネルの R, G, B の表示色のそれぞれに対応して設けられた端子ピンを介して有機 EL パネルを電流駆動する有機 EL 駆動回路を有する有機 EL 表示装置において、
前記端子ピンに対応して設けられ前記端子ピンに接続される複数のパッドと、
前記パッドに対応して設けられ表示データを受けてこれに対応する表示のためのアナログの電流を発生するカレントミラー構成の電流スイッチング D/A 変換回路と、
前記パッドに対応して設けられ前記 D/A 変換回路からの出力電流で駆動され前記パッドを介して駆動電流を前記端子ピンに出力する前記 R, G, B に対応して設けられた複数の電流源と、
前記パッドの配列方向のパッドピッチの $3n$ 倍 (n は正の整数) に実質的に対応したパッド配列方向の幅を有しこの幅に対して 4 個以上のトランジスタが形成された多数のトランジスタを有する矩形のトランジスタ配列ブロックとを備え、
前記トランジスタ配列ブロック内において前記 R, G, B のそれぞれの前記 D/A 変換回路が前記パッド配列方向に対して直角な方向に配列され、前記 D/A 変換回路のカレントミラー回路を構成するトランジスタが選択されて IC 化されている有機 EL 表示装置。

30

40

【請求項 5】

前記 R, G, B に対応する前記複数の電流源は、それぞれカレントミラー回路を有していて、前記トランジスタ配列ブロックにおいて前記 D/A 変換回路と前記パッドとの間に割り当てられ、これの前記カレントミラー回路を構成するトランジスタが選択されている請求項 4 記載の有機 EL 表示装置。

【請求項 6】

n は 1 であり、前記トランジスタ配列ブロックは、少なくとも 6 個のトランジスタがパッドピッチの 3 倍の幅においてパッド配列方向に配置されるものである請求項 5 記載の有機 EL 表示装置。

【発明の詳細な説明】

50

【 0 0 0 1 】

【 発明の属する技術分野 】

この発明は、有機 E L 駆動回路および有機 E L 表示装置に関し、詳しくは、カレントミラー回路を利用した D / A 変換回路により表示データに対応する電流値を生成して有機 E L パネルをその端子ピンを介して電流駆動するカラムライン（陽極側ドライバライン、以下同じ）の電流駆動回路において、集積効率がよく、精度の高い駆動電流を生成することができるような有機 E L 駆動回路の回路レイアウトの構造に関する。

【 0 0 0 2 】

【 従来技術 】

携帯電話機、P H S、D V D プレーヤ、P D A（携帯端末装置）等に搭載される有機 E L 表示装置の有機 E L 表示パネルでは、カラムラインの数が 3 9 6 個（1 3 2 × 3）の端子ピン（以下ピン）、ローラインが 1 6 2 個のピンを持つものが提案され、カラムライン、ローラインのピンはこれ以上に増加する傾向にある。

このような有機 E L 表示パネルの電流駆動回路の出力段は、アクティブマトリックス型でも単純マトリックス型のものでもピン対応に電流源の駆動回路、例えば、カレントミラー回路による出力回路が設けられている。

【 0 0 0 3 】

カレントミラー回路による出力回路は、ピン対応に配置され、そのドライブ段は、例えば、特願 2 0 0 2 - 8 2 6 6 2 号に示されるように、ピン対応に多数の出力側トランジスタを有するパラレル駆動のカレントミラー回路とされて、手前の入力段となる基準電流発生回路から基準電流を受けてピン対応にミラー電流を発生する。さらに、ピン対応にカレントミラーで構成される D / A 変換回路を設けて、それぞれの D / A 変換回路が基準駆動電流として前記のミラー電流を受けてこの電流を基準としてそれぞれに表示データを受けてそれぞれに D / A 変換してピン対応に駆動電流を生成し、前記のカレントミラーの出力回路を駆動する。

このように、カレントミラー構成で駆動電流を生成することにより、例えば、パッシブマトリックスの場合には、数 μ A 程度の微小な基準電流から m A あるいは 1 A 程度の大きな電流を電力ロスを抑えて電流増幅することができ、低消費電力の駆動回路を実現することができる。また、アクティブマトリックスの場合には、同様にして低消費電力で 1 n A ~ 1 0 μ A の駆動電流を得ることがきる。

【 0 0 0 4 】

このようなことから有機 E L 表示パネルの電流駆動回路は、カレントミラーを構成する単位トランジスタが多数、パッドに対応して配列されることになる。

図 3 は、その単位トランジスタ 1 の先行技術におけるレイアウトの説明図であり、図 3（a）は、そのトランジスタ配列ブロック、図（b）は、カレントミラーを構成する単位トランジスタの平面図、図 3（c）はその断面図である。

単位トランジスタ 1 は、図 3（c）に示されるように、埋め込み層（B / L）1 1 と素子分離領域 1 2 とで矩形領域において素子分離されてベース領域 1 3 b とエミッタ領域 1 3 e とコレクタ領域 1 3 c とが矩形形状でサブストレート 1 6 の表面側に形成される。なお、1 4 b、1 4 e、1 4 c は、それぞれ、ベースコンタクト、エミッタコンタクト、コレクタコンタクトであり、コレクタコンタクト 1 4 c は、コレクタウオール 1 5 と埋め込み層 1 1 を介してコレクタ領域 1 3 c と接続されている。

なお、1 7 は、N S G の層間分離膜であり、1 8 は、上の層のポリシリコン絶縁層（P - S i N）である。

そして、このような単位トランジスタ 1 が、図 3（a）に示すように、トランジスタ配列ブロック 3 において、パッド 2 の配列方向（図面横方向）に 2 個配置されてパッド配列方向に直角な方向（縦方向）に 2 列で、多数設けられている。このような 2 列配置のトランジスタ配列ブロック 3 がパッド配列方向に繰り返して形成されて有機 E L 表示パネルのピン対応の電流駆動回路が I C 化される。

【 0 0 0 5 】

10

20

30

40

50

この2列の配置のトランジスタ配列ブロック3は、有機EL表示パネルの各ピンがG, R, Bの繰り返しで配列されることから決定されるものであり、このピン配列に対応させて、各ピンに接続されるパッド2が配列されることによる。

例えば、パッドピッチが50 μm のときには、素子形成幅を44 μm とし、横方向の間隔が6 μm として、50 μm の間隔で、素子形成幅を44 μm の中に2個のトランジスタを形成し、各ピンを駆動する回路に必要な数のトランジスタを縦方向に多数形成する。

その結果、2列配列の単位トランジスタ1が各出力ピンに対応するパッド2の位置に一致して、縦方向には、例えば、数十個～百個程度（その長さは1.0 mm～3.0 mm程度）の長さでトランジスタを配置する。そして、これらトランジスタのほとんどは、上の配線層でカレントミラー接続される。

10

このとき、カレントミラー出力回路（出力段電流源）とカレントミラー構成の電流スイッチングD/A変換回路とは、2列の多数のトランジスタからできるだけペア特性が揃った位置にあるものが選択される。

【0006】

なお、図3(a)は、2列であるが、集積率をよくするために、G, R, Bの3ピンを1単位（G, R, Bのカラム方向の画素ピッチに相当）として単位トランジスタ1を6列としたトランジスタ配列ブロックが繰り返されるものもある。このときには、ピン方向の幅が150 μm となるが、この場合には2列を単位として各パッド2に対応して各ピンを電流駆動する駆動回路が縦方向に割り当てられることは変わらない。

ところで、マトリクス状に配置した有機EL素子を電流駆動し、かつ、有機EL素子の陽極と陰極をグランドに落としてリセットする有機EL素子の駆動回路が特許文献1として公知である。また、DC-DCコンバータを用いて有機EL素子を低消費電力で電流駆動する技術が特許文献2として公知である。

20

【0007】

【特許文献1】

特開平9-232074号公報

【特許文献2】

特開2001-143867号公報

【0008】

【発明が解決しようとする課題】

30

有機ELの電流駆動回路では、入力段を共通としてドライブ段と出力段とが有機ELパネルの各ピン対応に設けられる。出力段は、ピンに接続されるパッドに近いほどロスが少なくなるので、どうしてもパッドに対応して設けられる。

一方、有機ELパネルに配置するドライブIC(LSI)のチップ数を低減するには、1チップ当たりの出力ピン数を増加させることが必要である。その結果、パッド2のピッチは、小さくなり、カレントミラー回路を構成する単位トランジスタも図3(b)に示すように、縦方向（パッド配列方向に対して直角な方向）に長くなる傾向にある。

このような構成で、数 μA 程度の微小な基準電流からmAあるいは1A程度の大きな電流を生成する場合にはD/A変換回路の変換精度のばらつきが出力段電流源の出力電流のばらつきを生じ、それが輝度むらとなる問題がある。

40

特に、カレントミラー構成の電流スイッチングD/A変換回路では、基準電流を2倍, 4倍, 8倍, 16倍, ...と重みを付けて増幅した電流をカレントミラー接続の出力側トランジスタに得ることが必要であるので、カレントミラー接続される数十から100個程度のトランジスタが必要になる。そのために、カレントミラー構成のトランジスタの入力側トランジスタに対するペア特性の確保が重要になるが、このペア特性は、トランジスタの間の距離とトランジスタが選択される位置とが影響する。

前記のような個数のトランジスタにおいて、できるだけ、特性を揃えるためには、近い位置のトランジスタを選択することが好ましいが、図3(a)に示すように、パッド対応に数十～百個程度のトランジスタを縦に配置した場合には、ペアトランジスタ間の距離は離れて、入力側トランジスタと出力側トランジスタのペア特性の確保が難しくなる。その上

50

に、カレントミラー接続のための配線ラインも長くなって、抵抗値が大きくなり、結果的にD/A変換精度が落ちて、それぞれのD/A変換回路に精度のばらつきが発生する。しかも、パッド対応に縦長のパターンが所定の間隔を置いて配置されることになるので、そのパターンとパターンとの間の部分が占める割合が大きくなり、それが無駄な領域となつてIC(LSI)全体の集積率の低下を招く。

この発明の目的は、このような従来技術の問題点を解決するものであって、集積効率がよく、精度の高い駆動電流を出力することができる有機EL駆動回路および有機EL表示装置を提供することにある。

【0009】

【課題を解決するための手段】

10

このような目的を達成するためのこの発明の有機EL駆動回路および有機EL表示装置の特徴は、端子ピンに対応して設けられ端子ピンに接続される複数のパッドと、パッドに対応して設けられ表示データを受けてこれに対応する表示のためのアナログの電流を発生するカレントミラー構成の電流スイッチングD/A変換回路と、パッドに対応して設けられD/A変換回路からの出力電流で駆動されパッドを介して駆動電流を端子ピンに出力するR、G、Bに対応して設けられた複数の電流源と、パッドの配列方向のパッドピッチの3n倍(nは正の整数)に実質的に対応したパッド配列方向の幅を有しこの幅に対して4個以上のトランジスタが形成された多数のトランジスタを有する矩形のトランジスタ配列ブロックとを備えていて、

トランジスタ配列ブロック内においてR、G、BのそれぞれのD/A変換回路がパッド配列方向に対して直角な方向に配列され、D/A変換回路のカレントミラー回路を構成するトランジスタが選択されてIC化されているものである。

20

【0010】

【発明の実施の形態】

このように、この発明にあっては、ピンに対応して設けられるパッドピッチの3n倍の幅をもち、かつ、この幅に4個以上のトランジスタが配列される矩形のトランジスタ配列ブロックにおいて、R、G、Bのそれぞれの電流スイッチングD/Aがパッド配列方向に直角となる方向に配列されて、表示データを受ける各D/Aのカレントミラー回路が形成される。

このように、R、G、Bのピン対応のD/Aを各パッドに対応させることなく、3n倍のパッドピッチ幅に対応させて設け、縦方向にR、G、Bのそれぞれの回路をレイアウトしてIC化することにより、カレントミラー回路を構成したときに、カレントミラー接続されるトランジスタ間の距離を従来よりも短くすることができる。これにより、配線ラインを短くできるとともに、カレントミラー回路の出力側トランジスタとしてペア特性の揃ったものを選択することができる。

30

さらに、単位トランジスタの数が多数必要とされるR、G、Bの各D/Aを形成するトランジスタ配列ブロックは、パッド配列方向の幅が最低でも3パッドピッチの繰返しとして形成されるので、配列ブロック間の間隙領域が減少して、その分の無駄な領域を低減することができる。

その結果、精度の高いD/A変換回路にすることができ、集積効率がよく、精度の高い駆動電流を出力することができる有機EL駆動回路および有機EL表示装置を容易に実現できる。

40

【0011】

【実施例】

図1は、この発明の有機EL駆動回路を適用した一実施例の電流駆動回路のD/Aと出力段電流源のカレントミラーを構成する単位トランジスタのレイアウトの説明図、図2は、この発明の他の実施例のD/Aと出力段電流源のカレントミラーを構成する単位トランジスタのレイアウトの説明図である。なお、図3と同一の構成要素は同一の符号で示す。

図1において、10は、有機EL駆動回路のカラムドライバICにおけるピン対応に設けられるD/Aと出力段電流源のカレントミラーを構成する単位トランジスタのレイアウト

50

である。

なお、有機 E L パネルの電流駆動回路は、入力段に基準電流発生回路を有し、ドライブ段と出力段が有機 E L パネルの各ピン対応に設けられている。そのドライブ段は、各ピン対応に基準電流を分配する基準電流分配回路と各ピン対応に設けられたカレントミラー構成の電流スイッチング D / A で構成され、この D / A が表示データを受ける。そしてその出力段には、各ピン対応に設けられたカレントミラー回路で構成された出力段電流源がある。ここで、ピン対応に設けられる D / A と出力段電流源とは、単位トランジスタを多数接続したカレントミラー回路を主体として形成される。

この D / A と出力段電流源のカレントミラーを構成する単位トランジスタは、ここでは、有機 E L 駆動回路のピンに接続されるパッド配列方向（カラム方向に対応）に対して直交する方向が長手方向となる長方形のトランジスタ配列ブロック 3 a に単位トランジスタ 1 を 2 5 2 個、4 2 個 × 6 個の配列で構成している。このトランジスタ配列ブロック 3 a を所定の間隔を挟んでパッド配列方向（横方向）に 3 パッドピッチおきに繰り返して形成する。

各トランジスタ配列ブロック 3 a において 3 × パッドピッチ幅の単位でそれぞれにカレントミラーを構成する単位トランジスタ 1 を選択して、R, G, B の出力段電流源と D / A 変換回路（D / A）を割り当ててそれぞれのカレントミラー回路を形成する。

【0012】

ここで、出力段電流源のカレントミラー回路のトランジスタの個数を 1 0 個、D / A のカレントミラー回路のトランジスタの個数を 7 0 個とし、それぞれに予備あるいはダミートランジスタ 2 個設けるとして、図 1 では、8 4 個を単位として R, G, B 対応に出力段電流源と D / A 設けている。そこで、トランジスタ配列ブロック 3 a の単位トランジスタの総数は、 $84 \times 3 = 252$ 個になる。

すなわち、説明を簡単にするために、図 3 と同じ単位トランジスタ 1 を 2 5 2 個形成する。そうすると、3 倍のパッドピッチ幅に 6 個のトランジスタが形成できるので、横方向に 6 個のトランジスタを、縦方向に 4 2 個のトランジスタを配列できる。これがトランジスタ配列ブロック 3 a である。

この場合、図 3 の場合より配列ブロック間の間隔は 3 倍採れることになるが、この間隔を図 3 と同じにすれば、各単位トランジスタ 1 の横方向の幅をその分大きく採ることができ、その分、集積効率は高くなる。

【0013】

トランジスタ配列ブロック 3 a のパッド 2 側に出力段電流源を構成するカレントミラー回路の領域として B（青）のトランジスタ領域を図示するように、2 個 × 6 個の領域として電流源 4 B i とし、この領域の 1 0 個のトランジスタにより上の配線層でカレントミラー回路を構成して、そのカレントミラー回路の出力を上層の配線ライン 9 b を介してパッド 2 B i に接続する。電流源 4 B i では、1 0 個のトランジスタが使用され、残りの 2 個は予備あるいはダミーのトランジスタとされる。

パッド 2 B i 側を前とすると、これに対してその後ろには、R（赤）のカレントミラーの電流源を構成するトランジスタ領域が図示するように、2 個 × 6 個の領域として割り当て電流源 4 R i とする。同様に各 1 0 個のトランジスタでカレントミラー回路を構成して、そのカレントミラー回路の出力を上層の配線ライン 9 r を介してパッド 2 R i に接続する。

さらに、その後ろには、G（緑）のカレントミラーの電流源を構成するトランジスタ領域を図示するように、2 個 × 6 個の領域として割り当て電流源 4 G i とする。同様に各 1 0 個のトランジスタでカレントミラー回路を構成して、そのカレントミラー回路の出力を上層の配線ライン 9 g を介してパッド 2 G i に接続する。

なお、図中のパッド 2 B i, パッド 2 R i, パッド 2 G i, パッド 2 B i + 1, パッド 2 R i + 1, パッド 2 G i + 1 ... は、それぞれ図 4 のパッド 2 に対応している。

【0014】

これらの後ろには、カレントミラー構成の電流スイッチング D / A が 1 2 個 × 6 個の領域

10

20

30

40

50

として、同様に B, R, G に対応してこれの順で D/A5Bi と、D/A5Ri、そして D/A5Gi が割り当てられ、それぞれの D/A は、70 個のトランジスタとからなり、2 個のトランジスタが予備あるいはダミートランジスタとされる。

なお、単位トランジスタ、予備あるいはダミーのトランジスタをさらに多く必要とする場合には、例えば、13 個 × 6 個の領域として B, R, G の各 D/A を形成し、配列ブロック 3a のトランジスタの総個数を増加する。この場合には、45 個 × 6 個 = 270 個にすればよい。

ところで、前記の単位トランジスタ 252 個の個数は、内部に単位トランジスタの面積の実質的に 2 倍あるいは n 倍のトランジスタを部分的に 1 個形成した場合には、それを 2 個あるいは n 個として換算した数値である。逆に、単位トランジスタの整数分の 1 のトランジスタを部分的に 2 個あるいは n 個形成した場合も逆にそれら全体を 1 個と換算した値である。 10

D/A5Bi の出力端子は、電流源 4Bi の入力端子と上層の配線ライン 8b を介して接続されている。D/A5Ri と D/A5Gi もそれぞれ電流源 4Ri, 電流源 4Gi と配線ライン 8r, 8g を介してそれぞれの出力端子が電流駆動回路の対応する入力端子と接続されている。

このようなトランジスタ配列ブロック 3a が B, R, G のそれぞれ 3 個のパッドごとにレイアウトされる。

このとき、B, R, G の各 D/A のカレントミラー回路を形成するトランジスタ領域は、12 × 6 個のトランジスタ配列の中で選択されて、上層においてカレントミラー接続が行われて形成される。12 × 6 個の領域は、6 × 6 個を正方形に近い領域を 2 段縦に並べた形態となるので、カレントミラー構成のペアトランジスタの相互の距離は近く、その配線は短くできる。その結果、近い距離でトランジスタの選択ができるので、トランジスタのペア特性が確保される。 20

なお、ここでの領域形状は、図形形状ではなく、トランジスタの個数を単位としてトランジスタ配列からみたものであり、実際の図形形状は、単位トランジスタ 1 の幅と長さとはに応じて異なってくる。

【0015】

図 2 は、他の実施例であって、B, R, G の各電流源のブロックをパッドに対応して横方向に配置した構成とし、D/A のみを縦方向に B, R, G の順で配列したものである。したがって、その他の構成は、図 1 と同じであるので、詳細な説明は割愛する。 30

なお、図 2 は、D/A と出力段電流源との配線は省略してある。

【0016】

ところで、図 1、図 2 では、電流駆動回路の入力段となる基準電流発生回路と、ドライブ段の一部である各ピン対応に基準電流を分配する基準電流分配回路とは図示していない。パッド 2 側を前とするとこれに対して基準電流分配回路は、トランジスタ配列ブロック 3a の後ろ側に配置されるトランジスタにより、それぞれの回路が形成される。また、基準電流発生回路は、通常、外付け抵抗あるいは外部から定電圧を受けるので、各回路のレイアウトに応じてその回路位置が決定される。

【0017】

さて、図 1、図 3 の実施例では、説明の都合上、トランジスタの横方向 (R, G, B を 1 単位として 3 倍のパッドピッチを単位として矩形のトランジスタ配列ブロック 3a を形成し、それを繰り返す形となっている。もちろん、3 倍のパッドのピッチの整数倍の幅においてトランジスタ配列ブロック 3a を形成してもよいことはもちろんである。

また、前記実施例では、図 3 の例に合わせて、トランジスタ 2 個の横幅をパッドピッチに対応させているが、単位トランジスタの横幅 (パッド配列方向の幅に対応) を実質的に 1/2 にすれば、3 × パッドピッチの幅に 12 個のトランジスタを配列することができる。したがって、D/A の領域は、12 個 × 12 個のトランジスタ配置からみて正方形の領域となる。逆に、3 × パッドピッチの幅に 5 個のトランジスタが配列されてもよい。

【0018】

トランジスタの横方向（パッド配列方向に対応）の幅は、設計上で自由になるので、 $3n$ 倍（ n は正の整数）のパッドピッチの幅に入るトランジスタの個数は、多いほどよく、特に限定されるものではない。要するに、 $3n$ 倍のパッドピッチに対して横方向（パッド配列方向）のトランジスタ数が 4 以上の整数個であればよい。

その理由は、カレントミラー構成の電流スイッチング D/A は、一番少ない構成を考えた場合には、1 倍、2 倍の重みを持つ 2 桁の D/A である。この場合には、入力側トランジスタ 1 個に対して出力トランジスタ 3 個、そしてスイッチ回路が 2 個となり、合計でトランジスタが 5 個は必要となる。これは、横方向に 3 個採れれば、縦方向は 2 段となり、2 個 $\times$ 3 個の矩形領域となる。これに対して図 3 のように縦方向に 2 列として配列する場合にもそれが 3 段となるので、2 $\times$ 3 個の矩形になる。しかし、3 桁以上の D/A の場合には、4 倍の重みとスイッチ回路が 1 個追加されるので、出力側トランジスタが 10 個は必要になる。

10

この場合には、矩形のトランジスタ配列ブロックは、3 個 $\times$ 4 個の領域にできるが、図 3 のように縦方向に 2 列として配列する場合には、2 $\times$ 5 となり、縦方向に距離が伸びてしまい、ペア性を確保することが難しくなる。

したがって、この発明では、 $3n$ 倍のパッドピッチに対して横方向に 4 個以上とトランジスタを配列したときに（言い換えれば 3 桁以上の D/A 変換が行われるとき）、出力トランジスタのペア特性が図 3 の場合よりも確保でき、精度の高い D/A 変換が可能になる。

【0019】

以上説明してきたが、実施例では、出力段電流源のトランジスタ数を 10 個とし、D/A のトランジスタ数を 70 個とし、それぞれの予備トランジスタ 2 個として、84 個を単位として説明しているが、この発明は、この個数に限定されるものではない。

20

また、実施例では、D/A も電流源も長方形形状とし、境界線を直線状にしているが、境界線は、多少の凹凸あるいは一部 L 字型であったとしてもそれぞれのカレントミラー回路を構成するトランジスタの距離を短くできるレイアウトとなればよいので実質的に問題はない。

特に、実施例のように横方向に幅のある長方形とすることで、カレントミラー回路を構成するペア特性のトランジスタの選択が横方向に広がる。そのため、縦方向のトランジスタを選択する場合よりも特性が揃う確率が高くなる。

さらに、実施例では、バイポーラトランジスタを例としているが、バイポーラトランジスタに換えて MOSFET トランジスタを使用してもこの発明が適用できることはもちろんである。

30

【0020】

【発明の効果】

以上説明してきたように、この発明にあっては、ピンに対応して設けられるパッドピッチの $3n$ 倍の幅をもち、かつ、この幅に 4 個以上のトランジスタが配列される矩形のトランジスタ配列ブロックにおいて、R, G, B のそれぞれの電流スイッチング D/A がパッド配列方向に直角となる方向に配列されて、表示データを受ける各 D/A のカレントミラー回路が形成される。

このように、R, G, B のピン対応の D/A を各パッドに対応させることなく、 $3n$ 倍のパッドピッチ幅に対応させて設け、縦方向に R, G, B のそれぞれの回路をレイアウトして IC 化することにより、カレントミラー回路を構成したときに、カレントミラー接続されるトランジスタ間の距離を従来よりも短くすることができる。これにより、配線ラインを短くできるとともに、カレントミラー回路の出力側トランジスタとしてペア特性の揃ったものを選択することができる。

40

その結果、精度の高い D/A 変換回路にすることができ、集積効率がよく、精度の高い駆動電流を出力することができる有機 EL 駆動回路および有機 EL 表示装置を容易に実現できる。

【図面の簡単な説明】

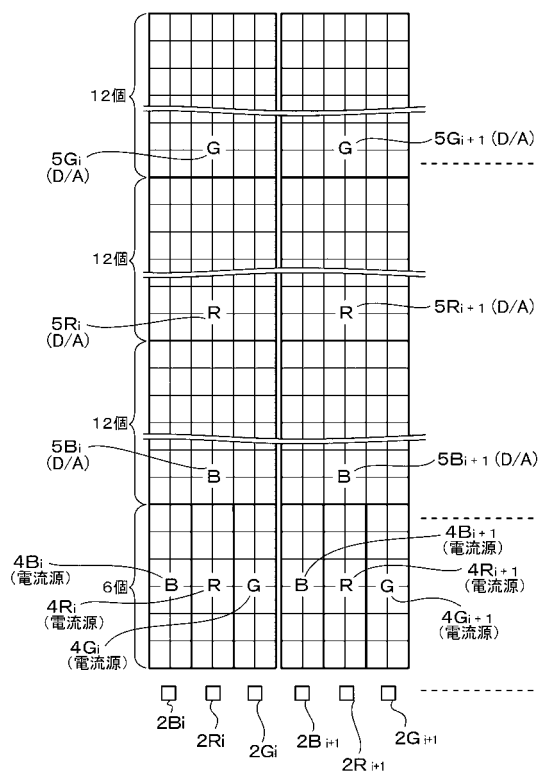
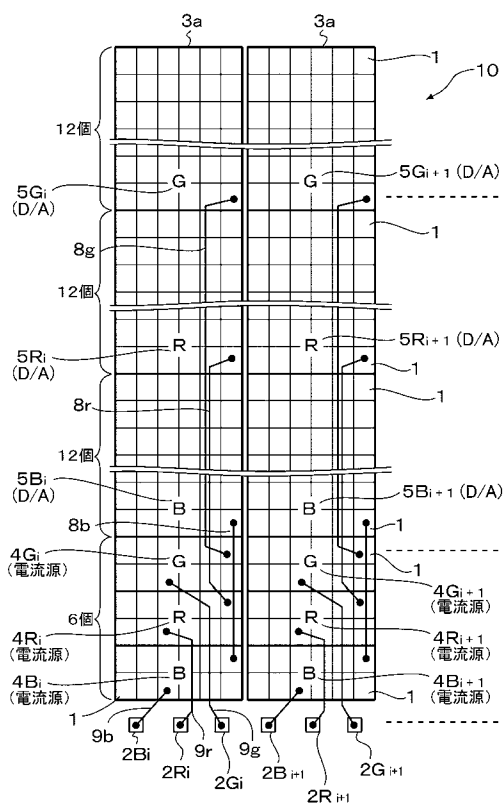
【図 1】図 1 は、この発明の有機 EL 駆動回路を適用した一実施例の電流駆動回路の D /

50

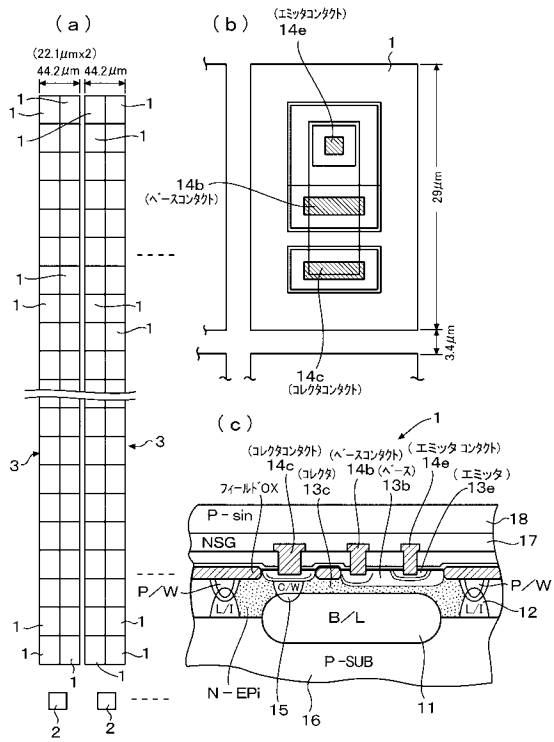
【図 3】図 3 は、先行技術における有機 E L 表示パネルの電流駆動回路を形成する領域の単位トランジスタ配列の説明図であって、(a) は、そのトランジスタ配列ブロック、(b) は、カレントミラーを構成する単位トランジスタの平面図、そして(c)はその断面図である。

1 ... 単位トランジスタ、2 ... パッド、
3 , 3 a ... 単位トランジスタの配列ブロック、
4 B i , 4 R i , 4 G i ... 電流駆動回路、
5 B i , 5 R i , 5 G i ... D / A、
6 b i ... 出力端子、7 b i ... 入力端子、
8 b , 8 r , 8 g、9 b , 9 r , 9 g ... 配線ライン、
10 ... カラムドライバ I C。

10



【図 3】



フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード(参考)
H 0 1 L 21/8222	G 0 9 G 3/20	6 2 3 F 5 F 0 8 2
H 0 1 L 27/04	G 0 9 G 3/20	6 4 2 A
H 0 1 L 27/082	G 0 9 G 3/20	6 8 0 G
H 0 1 L 29/732	H 0 5 B 33/14	A
H 0 5 B 33/14	H 0 1 L 27/08	1 0 1 B
	H 0 1 L 29/72	P
	H 0 1 L 27/04	A

(72)発明者 北村 真一

京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

F ターム(参考) 3K007 AB17 DB03 GA00
 5C080 AA06 BB05 CC03 DD05 DD25 DD28 JJ06
 5C094 AA07 AA08 AA15 AA48 AA53 BA12 BA27 CA19 CA24 CA25
 DB02 DB05 FA01 FB01 FB20 GA10 JA01
 5F003 BA25 BB06 BC08 BJ08
 5F038 CA02 CA03 CA06 CA10 DF01 DF03 DF20 EZ20
 5F082 AA21 BA02 BC03 FA20

专利名称(译)	有机EL驱动电路和有机EL显示装置		
公开(公告)号	JP2004212836A	公开(公告)日	2004-07-29
申请号	JP2003001785	申请日	2003-01-08
[标]申请(专利权)人(译)	罗姆股份有限公司		
申请(专利权)人(译)	ROHM株式会社		
[标]发明人	前出淳 阿部真一 北村真一		
发明人	前出 淳 阿部 真一 北村 真一		
IPC分类号	H01L51/50 G09F9/30 G09G3/20 G09G3/30 H01L21/331 H01L21/822 H01L21/8222 H01L27/04 H01L27/082 H01L27/32 H01L29/732 H05B33/14		
FI分类号	G09G3/30.J G09F9/30.365.Z G09G3/20.611.J G09G3/20.621.M G09G3/20.623.B G09G3/20.623.F G09G3/20.642.A G09G3/20.680.G H05B33/14.A H01L27/08.101.B H01L29/72.P H01L27/04.A G09F9/30.365 G09G3/3266 G09G3/3275 G09G3/3283 H01L27/082.B H01L27/32		
F-TERM分类号	3K007/AB17 3K007/DB03 3K007/GA00 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD25 5C080/DD28 5C080/JJ06 5C094/AA07 5C094/AA08 5C094/AA15 5C094/AA48 5C094/AA53 5C094/BA12 5C094/BA27 5C094/CA19 5C094/CA24 5C094/CA25 5C094/DB02 5C094/DB05 5C094/FA01 5C094/FB01 5C094/FB20 5C094/GA10 5C094/JA01 5F003/BA25 5F003/BB06 5F003/BC08 5F003/BJ08 5F038/CA02 5F038/CA03 5F038/CA06 5F038/CA10 5F038/DF01 5F038/DF03 5F038/DF20 5F038/EZ20 5F082/AA21 5F082/BA02 5F082/BC03 5F082/FA20 3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH00 3K107/HH04 3K107/HH05 5C380/AA01 5C380/AB04 5C380/AB34 5C380/AC11 5C380/AC12 5C380/BA11 5C380/BB05 5C380/CA04 5C380/CA08 5C380/CA13 5C380/CA35 5C380/CA57 5C380/CB01 5C380/DA02		
代理人(译)	梶山 信是 山本富士雄		
其他公开文献	JP3970778B2		
外部链接	Espacenet		

摘要(译)

提供一种能够以高集成效率输出高精度驱动电流的有机EL驱动电路和有机EL显示装置。根据本发明，在矩形晶体管阵列块中，其宽度是对应于引脚而设置的焊盘节距的3n倍，并且具有以该宽度R，G，B的各个电流开关D/A沿垂直于焊盘布置方向的方向布置，以形成每个D/A的电流镜电路，用于接收显示数据。[选型图]图1

