

(51) Int.Cl. ⁷	識別記号	F I	テラコード* (参考)
G 0 9 G 3/30		G 0 9 G 3/30	K 5 C 0 8 0
3/20	641	3/20	641 P
			641 A

審査請求 未請求 請求項の数 50 L (全 11数)

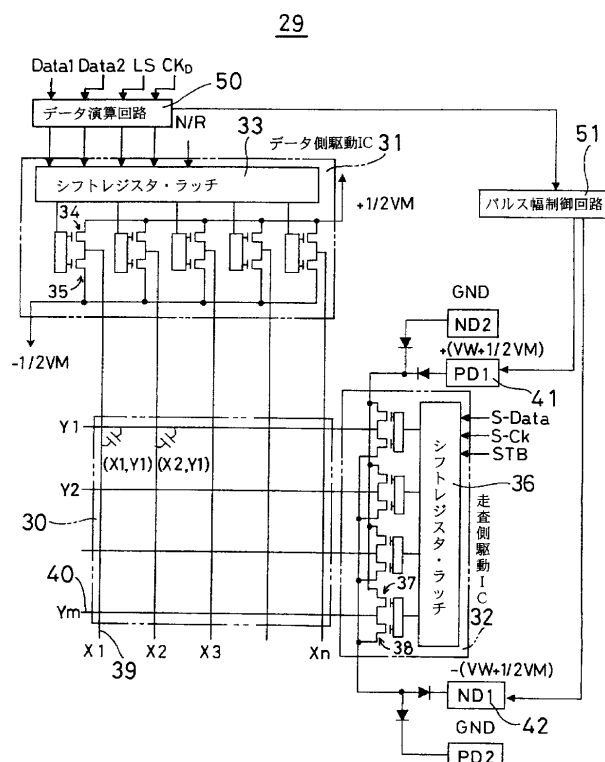
(21)出願番号	特願2000 - 133718(P2000 - 133718)	(71)出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(22)出願日	平成12年5月2日(2000.5.2)	(72)発明者	喜代原 篤 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
		(74)代理人	100075557 弁理士 西教 圭一郎
		Fターム(参考)	5C080 AA06 BB05 DD03 DD05 EE29 FF12 JJ01 JJ02 JJ04 JJ05 JJ06

(54)【発明の名称】 E L表示装置の駆動回路

(57) 【要約】

【課題】 駆動電圧を正および負の両極性で対称にして、負荷に応じて表示を均一にする補正を行う。

【解決手段】 E L表示パネル30のデータ電極39は、データ側駆動IC31で表示データの階調に応じた電圧を、正および負の極性で印加して駆動する。走査電極40は、走査側駆動IC32で、正および負で絶対値が等しい書込み電圧で駆動する。データ演算回路50は、表示データを1ライン分演算し、負荷が大きいときには書込み電圧の電圧波形が直ちに立上がり、負荷が小さいときには書込み電圧の電圧波形が遅れて立上がるようなパルス幅制御信号をパルス幅制御回路51に与える。正電圧供給回路41および負電圧供給回路42は、パルス幅制御回路51によって制御される変調電圧を発生するので、走査電極42は負荷に応じてパルス幅が制御された変調電圧波形が印加され、負荷に応じた輝度の均一化のための補正を行うことができる。



【特許請求の範囲】

【請求項 1】 E L 発光層を互いに交差する方向に配列した第 1 電極群および第 2 電極群の間に挟んで形成する E L 表示装置を、交差部を絵素として画像の階調表示を行うようにパルス波形で駆動する回路であって、第 1 電極群の各電極にそれぞれ接続される出力端子を備え、正または負の変調電圧を第 1 電極群の各電極に印加可能な第 1 駆動回路と、第 2 電極群の各電極にそれぞれ接続される出力端子を備え、正または負の書込み電圧の印加と、接地電位または 10 フローティング電位とに、第 2 電極群を切換え可能な第 2 駆動回路と、各絵素の階調レベルを表す表示データを、第 2 電極群の配列方向のライン毎に演算し、その演算結果に応じて、該ライン上に配列される各絵素に印加される電圧波形のパルス幅を変化させる補正回路とを含むことを特徴とする E L 表示装置の駆動回路。

【請求項 2】 前記補正回路は、前記第 1 駆動回路からの変調電圧または前記第 2 駆動回路からの書込み電圧のうちの少なくとも一方の電圧波形のパルス幅を変化させ 20 ることを特徴とする請求項 1 記載の E L 表示装置の駆動回路。

【請求項 3】 前記補正回路は、前記第 1 駆動回路からの変調電圧と前記第 2 駆動回路からの書込み電圧との間の相対的なタイミングを変化させることを特徴とする請求項 1 または 2 記載の E L 表示装置の駆動回路。

【請求項 4】 前記補正回路は、前記ライン上に配列される各絵素に印加される電圧波形のパルス幅の変化を、正および負の極性で等しく行うことを特徴とする請求項 1 ~ 3 のいずれかに記載の E L 表示装置の駆動回路。 30

【請求項 5】 前記補正回路は、階調データの全部または一部の演算、および演算結果の全部または一部のデータにより絵素に印加される電圧波形のパルス幅の変化を行うことを特徴とする請求項 1 ~ 4 のいずれかに記載の E L 表示装置の駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、E L 表示パネルを用いて画像の階調表示を行う E L 表示装置の駆動回路に関する。 40

【0002】

【従来の技術】図 9 は、E L 表示装置に用いる E L 素子の基本的構成を示す。この E L 素子は、ガラス基板 1 等の上に帯状の電極 2 を第 1 の電極群として平行に配列し、この上に誘電物質 3 を積層し、さらにその上に無機の E L 層 4 を積層し、さらにその上に誘電物質 5 を積層して 3 層構造を形成している。誘電物質 5 の上には、第 1 の電極群である帯状の電極 2 と直交する方向に延びる帯状の電極 6 を第 2 の電極群として平行に配列する。

【0003】図 10 は、図 9 に示すような基本構造を有 50

する E L 素子の印加電圧 - 輝度特性の一例を示す。印加電圧が約 180 V の発光開始電圧に達するまでは、E L 層 4 は全く発光しない。印加電圧が発光開始電圧を超えて大きくなると、E L 層 4 からの輝度は高くなり、約 230 V の発光電圧に達すると十分な輝度が得られる。発光開始電圧や十分な輝度が得られる発光電圧は、E L 素子の E L 層 4 に使用する材料などによって異なるけれども、E L 素子は、一般に 200 V 程度の比較的高電圧によって駆動する必要がある。

【0004】E L 表示装置の表示パネルでは、E L 素子の第 1 の電極群である帯状の電極 2 がデータ側電極とされ、インジウム錫酸化物 (ITO) などの透明導電材料で形成される。第 2 の電極群である帯状の電極 6 は、背面電極として走査側電極となる。データ側電極と走査側電極との各交差部はそれぞれ絵素となる。したがって、表示パネルには絵素がマトリクス状に配列されていることになる。

【0005】図 11 は、E L 素子を用いた表示装置として、特公平 6-34152 号公報に開示されている駆動回路の構成を簡略化して示す。図 9 に示すような基本構造を有する E L 表示パネル 10 に対して、透明な帯状の電極 2 側をデータ側として駆動する半導体集積回路が、データ側駆動 IC 11 として設けられる。背面電極となる帯状の電極 6 側を走査側として駆動するために、走査側駆動 IC 12 が設けられる。データ側駆動 IC 11 内には、シフトレジスタ・ラッチ 13 と、プルアップ素子 14 およびプルダウン素子 15 が含まれる。走査側駆動 IC 12 内にも、シフトレジスタ・ラッチ 16 と、プルアップ素子 17 およびプルダウン素子 18 が含まれる。データ側駆動 IC 11 のプルアップ素子 14 およびプルダウン素子 15 は、出力回路を構成し、E L 表示パネル 10 のデータ電極 19 を駆動する。走査側駆動 IC 12 内のプルアップ素子 17 およびプルダウン素子 18 は、走査電極 20 を駆動する駆動回路を構成する。

【0006】データ側駆動 IC 11 の各プルアップ素子 14 の出力側電極の一方は、共通接続されて正の極性の電圧 VM が与えられる。プルダウン素子 15 の出力側の一方の電極も共通接続され、接地されて GND 電位となる。1 組のプルアップ素子 14 およびプルダウン素子 15 の出力側の他方は、共通接続されて、各データ電極 19 に接続される。データ電極 19 は、たとえば n 本配列され、X1, X2, X3, ..., Xn として、それぞれプルアップ素子 14 またはプルダウン素子 15 によって駆動される。データ側では、表示データに従って充電用および放電用の出力素子を動作させて変調駆動を行う。走査側では、N チャネルのトランジスタや電界効果トランジスタ (FET) と P チャネルのトランジスタや FET 等を用いて、いわゆるフィールド反転駆動を行う。E L 層 4 に対しては対称性のよい交流パルスを印加し、信頼性の高い表示を実現する。

【0007】図12は、図11に示す駆動回路の構成で、X1のデータ電極19とY1の走査電極20との交点(X1, Y1)のEL素子を発光させ、X2のデータ電極19とY1の走査電極20との交点(X2, Y1)を非発光とする場合の駆動方法を示す。なお、ここで用いるVM, VWの電圧は、EL素子の特性に合わせて、次に示すような範囲として規定する。

【0008】VMは、EL素子の発光・非発光を制御するための電圧であり、発光開始電圧よりも低い電圧で予め定められる任意の値とする。VWは、のVMに10加算した場合にEL素子の発光開始電圧を超えて十分な発光強度が得られる範囲で、任意の値とする。

【0009】図12に示す駆動方法で、第1のフレームに対しては、まずデータ側駆動IC11に順番に表示データ(Data)とクロック(Ck_d)が入力され、シフトレジスタ・ラッチ13の動作によって、指定されたデータ電極19の位置まで転送した後、ラッチストロブ(LS)に従ってデータを一旦ラッチする。走査側駆動IC12に接続される走査電極20はフローティング電位に保っておき、ラッチされたデータに基づき、発光20させるEL素子を含むX1や他のデータ電極は、プルダウン素子15をONとしてGND電位とし、非発光のEL素子を含むX2や他のデータ電極は、プルアップ素子14をON状態として、+VMまで充電を行う。

【0010】次に、選択された走査電極20として、たとえばY1に接続された駆動素子が正電圧供給回路21から端子Pd1を経て供給される電圧+(VW+VM)を、プルアップ素子17を用いてY1の走査電極20へ接続することによって、Y1の走査電極20の電位を+(VW+VM)に持上げる。この結果、X1のデータ電30極19とY1の走査電極20との交点(X1, Y1)のEL素子には、発光するのに十分な電圧である+(VW+VM)が印加されるので発光し、X2のデータ電極19とY1の走査電極20との交点(X2, Y1)には発光するには不十分な+VWの電圧が印加されるので非発光となる。次に、全部のデータ電極X1~Xnに接続されるデータ側駆動素子を、GND電位に放電させ、端子Pd2によってY1の走査電極20をGND電位に放電させて、選択されたY1の走査電極20に関する駆動が終了する。同様の駆動を、Y2からYmまで、線順次に40繰り返すことによって、第1のフレームの駆動を完了する。

【0011】第2のフレームでは、第1のフレームと同様に、データ側駆動IC11に順番に表示データ(Data)とクロック(Ck_d)が入力され、シフトレジスタ・ラッチ13を用いて指定の位置に転送したあとに、ラッチストロブ(LS)によって表示データを一旦ラッチする。走査側駆動IC12に接続される走査電極20はフローティング電位に保っておき、ラッチされた表示データに基づいて、発光させるEL素子を含むX1な50

どのデータ電極19は、プルアップ素子14をON状態として、接続されているデータ電極19を+VMまで充電する。非発光のEL素子を含むX2等のデータ電極19は、プルダウン素子15をON状態として、GND電位とする。

【0012】次に、選択された走査電極であるY1に接続された駆動素子は、負電圧供給回路22から端子Nd1を介して供給される電圧-(VW)をプルダウン素子18を用いてY1の走査電極20へ出力することによって、Y1の走査電極20の電位を-(VW)に持上げる。

【0013】この結果、X1のデータ電極19とY1の走査電極20との交点(X1, Y1)のEL素子に、発光するのに十分な電圧である-(VW+VM)が印加されて発光し、X2のデータ電極19とY1の走査電極20との交点(X2, Y1)には発光するには不十分な-VWが印加されるので非発光となる。

【0014】次に、全部のデータ電極X1~Xnに接続されるデータ側駆動素子をGND電位に放電させ、端子Nd2によってY1の走査電極20をGND電位に放電させることによって、選択されたY1の走査電極20の駆動が終了する。同様の駆動を、Y2からYmまで線順次に繰り返すことによって、第2のフレームの駆動を完了する。

【0015】以上のような第1のフレームの駆動と、第2のフレームの駆動とを、順次繰り返すことによって、EL素子に正と負との交流パルスを印加し、任意の表示を行わせることができる。

【0016】特許第2619001号の特許公報には、階調データに応じて変調電圧を可変させ、または変調電圧の印加時間の調整等によって、階調表示を行わせる場合、発光絵素数および階調度によって生じる輝度変化を補正する方法が開示されている。この先行技術では、階調表示データによって発光負荷の総和を求め、データ電極に与える変調電圧を可変にしている。

【0017】図13は、特許第2619001の特許公報に開示されている階調表示の際の駆動波形を示す。この先行技術では、各絵素の階調データに応じてコンデンサに充電していく時間を定め、よって、発光絵素が多く、明るい階調度を表示させるほどコンデンサへの充電が多くなり、書込み電圧も高くなるため、負荷の増加に合わせて輝度の補正を行うことができる。

【0018】

【発明が解決しようとする課題】前述のような階調表示における補正は、各走査側電極の発光絵素数および階調度に応じて、出力素子のON抵抗、あるいは電極の配線抵抗等に影響されて、発光絵素に印加される電圧が変化するのを補正するために行われる。この補正は、正極性または負極性の書込み電圧の増減によって行っている。このため、印加電圧の対称性が損なわれる可能性があ

る。補正によって印加電圧の対称性が損なわれると、長時間駆動した後では、図 10 に示すような印加電圧 - 輝度特定に変化が生じ、表示品位の低下を引起すために、長期信頼性の観点からは望ましい補正とは言えない。

【0019】本発明の目的は、印加する電圧を正および負の極性で対称にすることができる E L 表示装置の駆動回路を提供することである。

【0020】

【課題を解決するための手段】本発明は、E L 発光層を互いに交差する方向に配列した第 1 電極群および第 2 電極群の間に挟んで形成する E L 表示装置を、交差部を絵素として画像の階調表示を行うようにパルス波形で駆動する回路であって、第 1 電極群の各電極にそれぞれ接続される出力端子を備え、正または負の変調電圧を第 1 電極群の各電極に印加可能な第 1 駆動回路と、第 2 電極群の各電極にそれぞれ接続される出力端子を備え、正または負の書込み電圧の印加と、接地電位またはフローティング電位とに、第 2 電極群を切換え可能な第 2 駆動回路と、各絵素の階調レベルを表す表示データを、第 2 電極群の配列方向のライン毎に演算し、その演算結果に応じて、該ライン上に配列される各絵素に印加される電圧波形のパルス幅を変化させる補正回路とを含むことを特徴とする E L 表示装置の駆動回路である。

【0021】本発明に従えば、E L 発光層を挟んで互いに交差する方向に配列される第 1 電極群と第 2 電極群とを、第 1 駆動回路と第 2 駆動回路とでそれぞれ駆動する。第 1 電極群の各電極は、第 1 駆動回路から、正または負の変調電圧を印加して駆動される。第 2 電極群の各電極は、第 2 駆動回路から、正または負の書込み電圧の印加と、接地電位またはフローティング電位とに切換えられる。第 1 駆動回路および第 2 駆動回路から絵素上に印加される電圧は、正または負で絶対値は等しくなるので、正および負の極性での電圧の対称性を保つことができる。補正回路は、第 2 電極群の配列方向のライン毎に各絵素の階調レベルを示す表示データを演算し、その演算結果に応じて該ライン上に配列される各絵素に印加される電圧波形のパルス幅を変化させるので、同一の階調レベルでも絵素数が多いときにはパルス幅を大きくし、絵素数が少ないときにはパルス幅を小さくすることによって、発光絵素が増減しても均一な輝度での表示を行うことができる。

【0022】また本発明で前記補正回路は、前記第 1 駆動回路からの変調電圧または前記第 2 駆動回路からの書込み電圧のうちの少なくとも一方の電圧波形のパルス幅を変化させることを特徴とする。

【0023】本発明に従えば、第 1 駆動回路からの変調電圧または第 2 駆動回路からの書込み電圧のうちの少なくとも一方の電圧波形のパルス幅を変化させるので、各絵素にかかる電圧波形のパルス幅も変化し、負荷の増減

に応じた輝度の均一化のための補正を行うことができる。

【0024】また本発明で前記補正回路は、前記第 1 駆動回路からの変調電圧と前記第 2 駆動回路からの書込み電圧との間の相対的なタイミングを変化させることを特徴とする。

【0025】本発明に従えば、補正回路は、第 1 駆動回路からの変調電圧と第 2 駆動回路からの書込み電圧との間の相対的なタイミングを変化させるので、変調電圧と書込み電圧との電圧波形が時間的に重なって各絵素に印加される部分の時間が変化し、各絵素を駆動する電圧波形のパルス幅の変化と同等になり、負荷に応じた輝度の均一化のための補正を行うことができる。

【0026】また本発明で前記補正回路は、前記ライン上に配列される各絵素に印加される電圧波形のパルス幅の変化を、正および負の極性で等しく行うことを特徴とする。

【0027】本発明に従えば、補正回路が変化させる各絵素に印加される電圧波形のパルス幅の変化を正および負の極性で等しくするので、各絵素を正および負の両極性で電圧ばかりではなく時間も同等に対称的に駆動し、長期信頼性を高めることができる。

【0028】また本発明で、前記補正回路は、階調データの全部または一部の演算、および演算結果の全部または一部のデータにより絵素に印加される電圧波形のパルス幅の変化を行うことを特徴とする。

【0029】本発明に従えば、補正回路は階調データの全部または一部の演算、および演算結果の一部により、絵素に印加される電圧波形のパルス幅の変化を行うことにより簡略化することができる。

【0030】

【発明の実施の形態】図 1 は、本発明の実施の一形態としての駆動回路 29 の概略的な電氣的構成を示す。本実施形態の駆動回路 29 も図 11 の駆動回路で同一の名称を有する部分と対応するデータ側駆動 IC 31、走査側駆動 IC 32、シフトレジスタ・ラッチ 33、プルアップ素子 34、プルダウン素子 35、シフトレジスタ・ラッチ 36、プルアップ素子 37 およびプルダウン素子 38 を有する。また、E L 表示パネル 30 は、第 1 電極群として X1 ~ Xn までのデータ電極 39 と、第 2 電極群として Y1 ~ Ym までの走査電極 40 とを有する。また、正電圧供給回路 41 および負電圧供給回路 42 も備えられる。なお、データ側駆動 IC 31 は、ダブルウェル構造で、表示データに応じてデータ電極 39 に充電する変調電圧を正または負に切替えることができる。本実施形態では、階調表示の際の補正を行うために、データ演算回路 50 とパルス幅制御回路 51 とを備えている。表示データは、Data1 と Data2 との 2 ビットで表され、4 段階の輝度で階調表示が行われる。入力信号 Data1 および Data2 と階調レベルの関係を、次

の表1に示す。

【0031】

【表1】

階調レベル	Data 1	Data 2	輝度
L 3	1	1	明るい
L 2	0	1	↓
L 1	1	0	暗い
L 0	0	0	非発光

【0032】また、VM、VWの電圧は、次のような範囲で規定する。VMは、EL素子の発光と非発光とを制御するための電圧であり、数Vから、発光開始電圧より低い数10Vまでの間の電圧で、任意の値を設定可能である。VWは、EL素子の発光開始電圧を基準に、その上下数10Vの範囲内で任意に設定される電圧とする。

【0033】図2は、本実施形態の駆動回路29によるEL表示パネル30に対する駆動波形を示す。第1のフレームでは、まずデータ側駆動IC31に順番に表示データ(Data)とクロック(Ck_o)が入力され、シフトレジスタ・ラッチ33を用いて、指定のデータ電極の位置まで転送した後に、表示データをラッチストローブ(LS)でシフトレジスタ・ラッチ33にラッチさせる。なお、表示データ、クロックおよびラッチストローブは、データ演算回路50を介してデータ側駆動IC31に与えられる。

【0034】走査側駆動IC32に接続されるY1～Ymの走査電極40はフローティング電位に保っておき、ラッチされた表示データに基づき、発光させるEL素子を含むX1等のデータ電極39は、プルダウン素子35をONとして、階調レベルに応じてL3なら $-1/2VM$ 、L2なら $-1/2VM+V1$ 、L1なら $-1/2VM+V2$ とする。非発光のEL素子を含むX2等のデータ電極は、プルアップ素子34をONとして、 $+1/2VM$ まで充電を行う。V1とV2との関係は、 $V1 < V2$ とし、 $-1/2VM < -1/2VM+V1 < -1/2VM+V2 < +1/2VM$ とする。

【0035】次に、走査電極40で選択されたY1に接続される駆動素子は、正電圧供給回路41の端子PD1から供給される電圧 $+(VW+1/2VM)$ を、プルアップ素子37を用いてY1の走査電極40に出力することによって、Y1の走査電極40の電位を $+(VW+1/2VM)$ に持上げる。この結果、X1のデータ電極39とY1の走査電極40との交点(X1, Y1)のEL素子に、発光するのに十分な電圧が印加されて発光し、Y2のデータ電極39とY1の走査電極40との交点(X2, Y1)には発光するには不十分な $+VW$ の電圧が印加されるので、非発光となる。

【0036】このときの発光するに十分な電圧とは、階調レベルL3では $-(VW+VM)$

階調レベルL2では $-(VW+VM-V1)$

階調レベルL1では $-(VW+VM-V2)$

となる。次に、PD2の端子からY1の走査電極40をGND電位に放電させることによって、選択されたY1の走査電極40に対する駆動を終了する。同様の駆動を、Y2からYmの走査電極まで線順次に繰返すことによって、第1のフレームについての駆動を完了する。

10 【0037】第2のフレームでは、第1のフレームと同様に、データ側駆動IC31に順番に表示データ(Data)とクロック(Ck_o)が入力され、シフトレジスタ・ラッチ33を用いて、指定のデータ電極40の位置まで転送した後に、表示データをラッチストローブ(LS)で一旦シフトレジスタ・ラッチ33にラッチさせる。走査側駆動IC32に接続されるY1～Ymの走査側電極40はフローティング電位に保っておき、ラッチされた表示データに基づき、発光させるEL素子を含むX1等のデータ電極39は、プルアップ素子34をONとして、階調レベルに応じてL3ならば $+1/2VM$ 、L2ならば $+1/2VM-V1$ 、L1ならば $+1/2VM-V2$ まで充電を行う。非発光のEL素子を含むX2等のデータ電極39は、プルダウン素子33をON状態として、 $-1/2VM$ の電位とする。

【0038】V1およびV2の電圧は、第1のフレームと同一電圧で、 $V1 < V2$ として、 $+1/2VM > +1/2VM-V1 > +1/2VM-V2 > -1/2VM$ とする。

【0039】次に、選択されたY1の走査電極40に接続された駆動素子から、正電圧供給回路41の端子PD1から供給される電圧 $+(VW+1/2VM)$ をプルアップ素子37を用いてY1の走査電極40へ出力することによって、Y1の走査電極40の電位を $+(VW+1/2VM)$ に持上げる。この結果、X1のデータ電極39とY1の走査電極40との交点(X1, Y1)のEL素子に、発光するのに十分な電圧が印加されて発光し、X2のデータ電極39とY1の走査電極40との交点(X2, Y1)には発光するには不十分な電圧 $+(VW)$ が印加されるので非発光となる。このときの発光するに十分な電圧とは、

階調レベルL3では $-(VW+VM)$

階調レベルL2では $-(VW+VM-V1)$

階調レベルL1では $-(VW+VM-V2)$

となる。次に、端子PD2からY1の走査電極40をGND電位に放電することによって、選択されたY1の走査電極40の駆動を終了する。同様の駆動を、Y2からYmまでの走査電極40に対し線順次に繰返すことによって、第1のフレームの駆動を完了する。

【0040】第2のフレームでは、第1のフレームと同様に、データ側駆動IC31に順番に表示データ(Da

t a) とクロック (Ck_o) が入力され、シフトレジスタ・ラッチ 33 を用いて、指定のデータ電極の位置まで転送した後に、表示データを一旦ラッチストローブ (LS) によってラッチさせる。走査側駆動 IC 32 に接続される Y1 ~ Ym の走査電極 40 はフローティング電位に保っておき、シフトレジスタ・ラッチ 33 にラッチされた表示データに基づき、発光させる EL 素子を含む X1 等のデータ電極 39 は、プルアップ素子 34 を ON 状態として、階調レベルに応じて L3 ならば +1/2 VM、L2 ならば +1/2 VM - V1、L1 ならば +1/2 VM - V2 までそれぞれ充電を行い、非発光の EL 素子を含む X2 等のデータ電極は、プルダウン素子 34 を ON 状態にして -1/2 VM の電位とする。V1 および V2 は第 1 のフレームの際と同一電圧で、V1 < V2 となり、
 $+1/2 VM > +1/2 VM - V1 > +1/2 VM - V2 > -1/2 VM$
 とする。

【0041】次に、選択された Y1 の走査電極 40 に接続される駆動素子は、負電圧供給回路 42 の端子 ND1 から供給される電圧 - (VW + 1/2 VM) をプルダウン素子 38 を用いて Y1 の走査電極 40 へ出力することによって、Y1 の走査電極 40 の電位を - (VW + 1/2 VM) に持上げる。この結果、X1 のデータ電極 39 と Y1 の走査電極 40 との交点 (X1, Y1) の EL 素子に、発光するのに十分な電圧が印加されて発光し、X2 のデータ電極 39 と Y1 の走査電極 40 との交点 (X2, Y1) の EL 素子には、発光するには不十分な - VW の電圧が印加されるので非発光となる。このときの発光するのに十分な電圧とは、
 階調レベル L3 では + (VW + VM)
 階調レベル L2 では + (VW + VM - V1)
 階調レベル L1 では + (VW + VM - V2)
 となる。次に、端子 ND2 によって Y1 の走査電極 40 を GND 電位に放電し、選択された Y1 の走査電極に対する駆動が終了する。同様の駆動を、Y2 から Ym までの走査電極 40 に対して線順次に繰返すことによって、第 2 のフレームの駆動を完了する。以上のような第 1 のフレームの駆動と第 2 のフレームの駆動とを順次繰返すことによって、EL 素子に正および負の交流パルス交互に印加し、任意の表示を行わせることができる。

【0042】次に、図 1 の駆動回路 29 を用いる本発明の補正方法について説明する。まずデータ側駆動 IC 31 に入力される信号のうち、データ信号 (Data1, Data2)、ラッチストローブ信号 (LS) およびデータ転送クロック (Ck_o) をデータ演算回路 50 に入力し、Data1, Data2 の信号を加算する。ラッチストローブ (LS) の信号によって加算結果を出力し、データ演算回路 50 の初期化を行うことによって、1 ライン分の加算結果を得ることができる。加算結果の

上位数ビットを取出して反転させ、データ転送クロック (Ck_o) またはこのクロックを分周した結果得られるクロックによってカウントして、一致したときに “High” 出力となるパルス幅制御信号を生成させる。パルス幅制御信号とクロックとをパルス幅制御回路 51 に送り、書き込み電圧の立上がりに同期させる。パルス幅制御回路 51 は、図 2 に点線で示すように、パルス幅制御信号の出力が “High” となったときに書き込み電圧の立上がりを開始して、書き込み電圧のパルス幅を可変させる。

【0043】図 3 は、たとえば 1 ラインを 640 絵素で構成する EL 表示装置での表示例を示す。各ラインを同様に駆動すると、ライン A, B 上のポイント α, β では、図 4 に示すように、同一の階調レベル L1 でも電圧が異なってしまう。図 5 は、本実施形態での補正動作を示す。ライン A は、全絵素が L3 の階調レベルで発光しており、加算結果は “11110000000” となる。上位 4 ビットは “1111” となる。この加算結果を反転すると “0000” となり、1 クロック目が “High” となるパルス幅制御信号が出力される。書き込み電圧はこのパルス幅制御信号によって絵素への印加を開始するため、書き込み電圧のパルス幅を狭める調整は行われない。

【0044】また、図 3 に示すライン B のように、1 ラインのうち 320 絵素が非発光で、残りの 320 絵素が L1 の階調レベルで発光している場合の加算結果は、“00101000000” となり、上位 4 ビットは “0010” となる。この加算結果の反転は、“1101” となり、14 クロック目が “High” となるパルス幅制御信号が出力される。このパルス幅制御信号によって、13 クロック分書き込み電圧の印加開始が遅れ、パルス幅の狭い書き込みパルスが印加されることによって、均一な表示を得ることができる。

【0045】本実施形態では、データ加算の結果の上位 4 ビットによる補正を行っているけれども、ビット数を増やしたり、データ転送クロックの分周回数を変えることなどによって、より細かな補正が可能となる。また、データ演算回路 50 でデジタル量の加算によって得られる結果を元に補正を行っているけれども、減算結果の加工によっても同様の制御信号を得ることができる。

【0046】さらに、本実施形態では 1 ライン分の全階調データの加算結果によって補正を行っているけれども、階調データ数が多い場合は上位数ビット分の階調データを 1 ライン分演算することによって補正することも可能である。また、クロックとしてデータ転送クロック (Ck_o) 以外のクロックを使ってもよい。1 ライン 640 絵素以外の構成でも、4 階調以外の表示による場合でも、最大階調レベル 1 ライン分を加算した結果の任意のビット数が全て “1” になるように補正することで、本発明を容易に応用することが可能となる。

【0047】以上の説明では、階調データ信号がデジタルデータとして入力されているけれども、アナログデータとして入力される場合は、A/D変換によってデジタルデータに変換すれば、同様の補正が可能となる。また、容量素子等を使用するアナログ量の加算の方法を用いれば、A/D変換が不要となり、アナログデータのまま演算することによって補正が可能となる。なお、長期信頼性に影響を与えない場合は、第1のフレームまたは第2のフレームのどちらか一方のフレームにおいてのみ書込み電圧のパルス幅を調整することもできる。また、電圧波形の立上がりの調整ではなく、立下がりの調整、あるいは両方の調整も可能である。

【0048】図6は、本発明の実施の他の形態としての駆動回路59の概略的な電気的構成を示す。また図7は、EL素子パネル30に対する駆動波形を示す。図8は、補正動作を示す。本実施形態で、図1に示す実施形態に対応する部分には同一の参照符を付し、重複する説明を省略する。本実施形態の駆動回路59では、データ演算回路60の演算結果に基づいて、タイミング遅延回路61が、パルス幅を変えずに書込み電圧の印加タイミングを調整して補正を行う。まず、データ演算回路60は、Data1, Data2の表示データ信号を1ライン分加算して、上位4ビットを取出し、このデータをタイミング遅延回路61に与える。タイミング遅延回路61では、書込み制御信号を遅らせることによって、変調電圧と書込み電圧とが同時に印加される時間を可変させて調整する。

【0049】データ側駆動IC31に入力される信号のうち、データ信号(Data1, Data2)、ラッチストロブ信号(LS)およびデータ転送クロックCkをデータ演算回路60に入力し、Data1, Data2の信号を加算する。ラッチストロブ信号によって加算結果を出力し、データ演算回路60を初期化する。このようにして、ラッチストロブ信号のタイミングで、1ライン分の加算結果を得ることができる。加算結果の上位数ビットを取出して反転させ、データ転送クロックまたはこのクロックを分周した結果得られるクロックによってカウントして一致したときに“High”出力となる遅延信号D1, D2を生成する。遅延信号D1, D2とクロックとをタイミング遅延回路61に与えて、書込み信号の立上がりとし、立下がりとしを変化させる。

【0050】図3に示すような1ライン640絵素で構成されるEL表示装置の場合について説明すると、ラインAのように全絵素がL3の階調レベルで発光する場合の加算結果は“111100000000”となり、上位4ビットは“1111”となる。この加算結果を反転すると、“0000”となり、図8に示すように、1クロック目が“High”となる遅延信号D1, D2が出力される。書込み電圧はこの遅延信号D1, D2によって充電と放電とを開始するため、書込み電圧の遅延は生じ

ない。図3のラインBのように、1ラインのうちの320絵素が非発光で、残りの320絵素がL1の階調レベルで発光している場合の加算結果は、“001010000000”となり、上位4ビットは“0010”となる。この加算結果の反転は、“1101”となり、14クロック目が“High”となる遅延信号d1, d2が図8に示すように出力される。この遅延信号d1, d2によって、13クロック分書込み電圧の充電と放電とが遅れ、書込みパルスを図7の点線で示すように、全体的に遅らせることができる。書込みパルスの立上がりとし、立下がりと同様に遅れても、立下がり側は変調電圧と重ならないので、立上がり側の遅れの部分が、図2に示すようなパルス幅が狭い状態と同様になり、均一な表示を得ることができる。

【0051】なお本実施形態では、データ加算の結果の上位4ビットによる補正を行っているけれども、ビット数を増やすこととデータ転送クロックの分周回数を変えることで、より細かい補正が可能となる。また、データ演算回路60でデジタル量の加算によって得られる結果を元に補正を行っているけれども、減算結果の加工でも同様の制御信号を得ることができる。さらに、本実施形態では1ライン分の全階調データの加算結果によって補正を行っているけれども、階調データ数が多い場合は上位数ビットの階調データを1ライン分演算することで、同様の補正を行うことができる。

【0052】なおクロックとしては、データ転送クロック(Ck)とは異なるクロックを用いることもできる。また、1ラインが640絵素以外の構成や、4階調以外の表示による場合でも、最大階調レベルを1ライン分加算した結果では補正を行わないように、そのような加算結果の任意のビット数が全て“1”になるように補正することによって、本発明を容易に応用することが可能となる。また、本実施形態でも、階調データ信号をアナログデータとして入力し、A/D変換によって同様の補正が可能となるばかりではなく、容量素子等を使用したアナログ演算の方法でも、A/D変換を用いないで補正を行うことも可能である。さらに、長期信頼性に影響を与えない場合は、第1のフレームまたは第2のフレームのいずれか一方のフレームにおいてのみ書込み電圧の印加タイミングを調整することもできる。また、書込み電圧ではなく変調電圧の印加タイミングの調整や、両者の相対的なタイミングの調整によっても同様の効果を得ることができる。

【0053】

【発明の効果】以上のように本発明によれば、EL表示装置を駆動する電圧を正および負の両極性で対称にしながら、階調表示を行い、負荷に応じて輝度を電圧波形のパルス幅を変えて調整し、表示の均一化を図ることができる。

【0054】また本発明によれば、第1駆動回路からの

変調電圧または第2駆動回路からの書込み電圧のうちの少なくとも一方のパルス幅を変化させて、負荷に応じた輝度の補正を行うことができる。

【0055】また本発明によれば、第1駆動回路からの変調電圧と第2駆動回路からの書込み電圧との間の相対的なタイミングを変化させて、負荷に応じた輝度の均一化を図ることができる。

【0056】また本発明によれば、各絵素を駆動する電圧波形を対称にして、階調表示および負荷に伴う輝度の均一化のための補正を行うことができる。

【0057】また本発明によれば、階調データに対する補正を簡略化することができる。

【図面の簡単な説明】

【図1】本発明の実施の一形態としての駆動回路29の概略的な電氣的構成を示すブロック図である。

【図2】図1の駆動回路29によるEL表示パネル30の駆動波形を示すタイムチャートである。

【図3】図1のEL表示パネル30で表示する表示画面の一例を示す図である。

【図4】図3の表示画面で、1ラインで表示する絵素の数によって各絵素に印加する電圧の振幅が変化する状態を示す電圧波形図である。

【図5】図1の実施形態で書込み電圧波形をパルス幅制御信号によって補正する動作を示す電圧波形図である。

【図6】本発明の実施の他の形態としての駆動回路59の概略的な電氣的構成を示すブロック図である。

【図7】図6の駆動回路59でEL表示パネル30を駆動する駆動波形を示すタイムチャートである。

10

*【図8】図6に示す駆動回路59で、書込み電圧波形を遅延信号に基づいて補正する動作を示すタイムチャートである。

【図9】EL表示パネルの基本的構成を示す図である。

【図10】図9のEL表示パネルの輝度と印加電圧との関係を示すグラフである。

【図11】従来からのEL表示装置の駆動回路の概略的な電氣的構成を示すブロック図である。

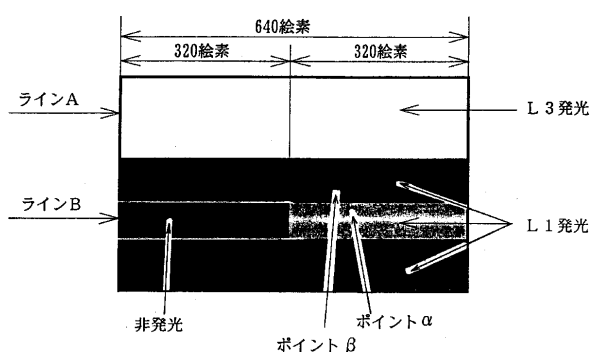
【図12】図11のEL表示装置の駆動回路でEL表示パネル10を駆動する駆動波形の一例を示すタイムチャートである。

【図13】先行技術で階調表示を行う際の補正を含む駆動電圧波形を示すタイムチャートである。

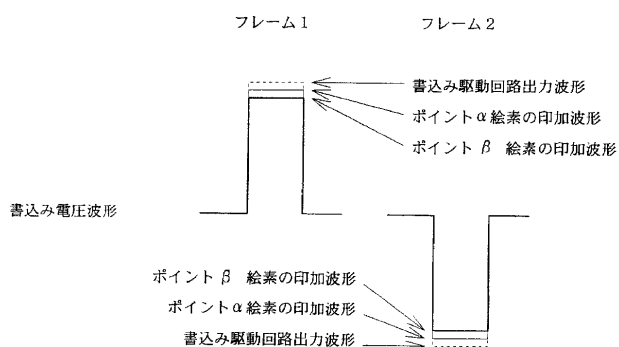
【符号の説明】

- 29, 59 駆動回路
- 30 EL表示パネル
- 31 データ側駆動IC
- 32 走査側駆動IC
- 33, 36 シフトレジスタ・ラッチ
- 34, 37 プルアップ素子
- 35, 38 プルダウン素子
- 39 データ電極
- 40 走査電極
- 41 正電圧供給回路
- 42 負電圧供給回路
- 50, 60 データ演算回路
- 51 パルス幅制御回路
- 61 タイミング遅延回路

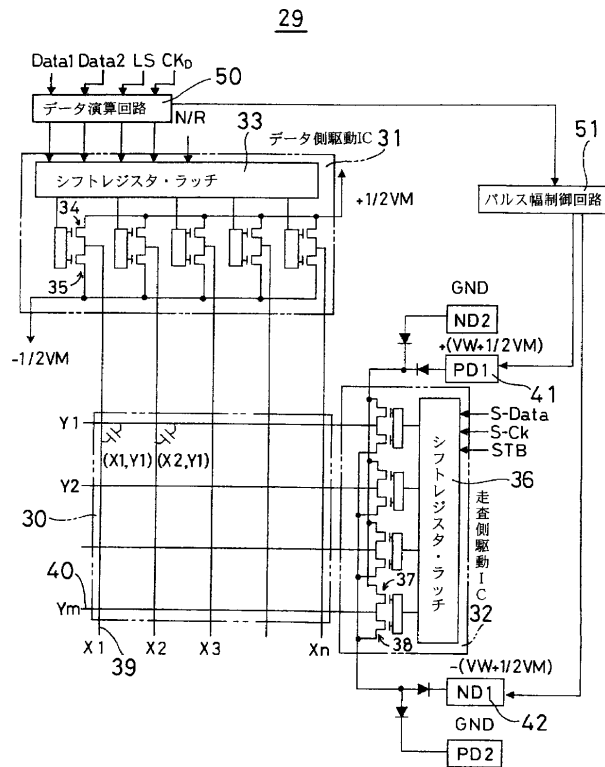
【図3】



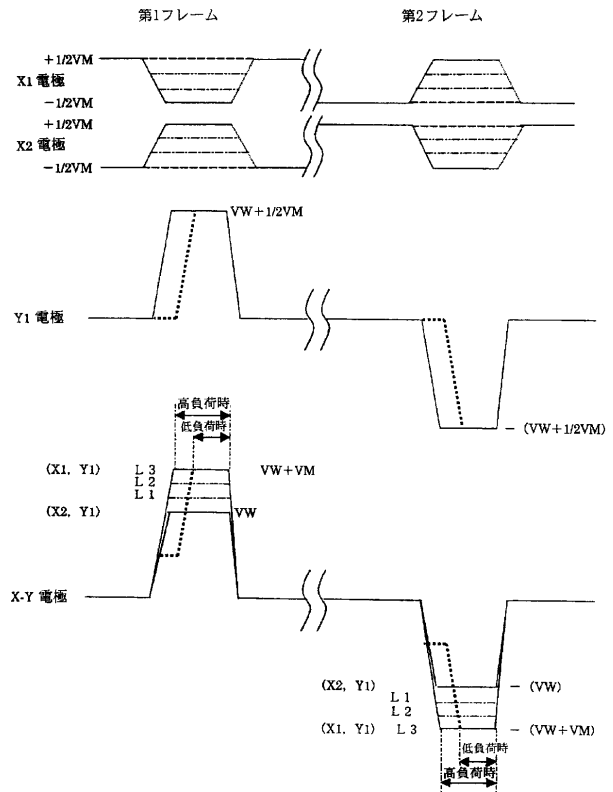
【図4】



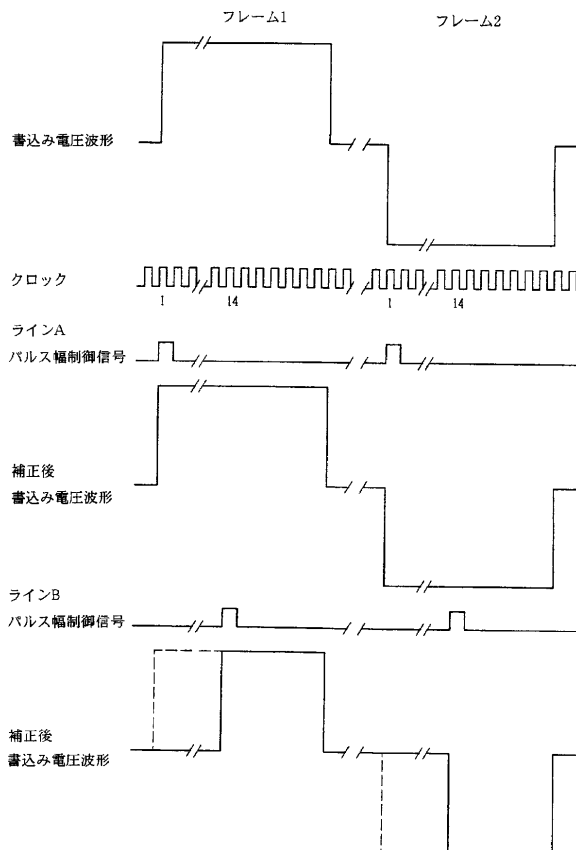
【図1】



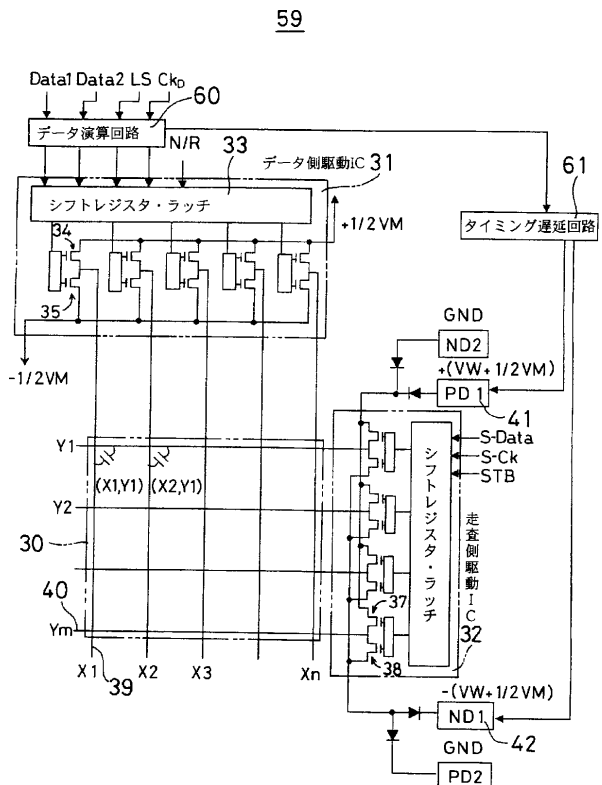
【図2】



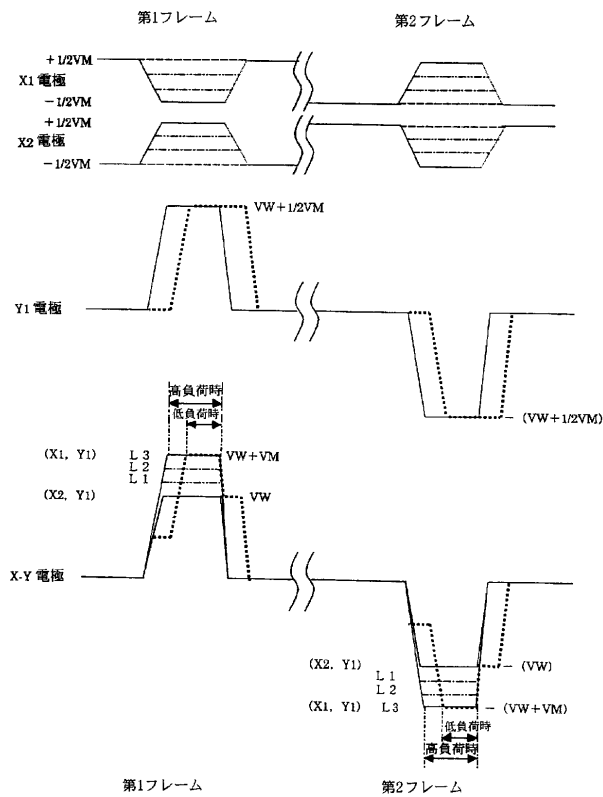
【図5】



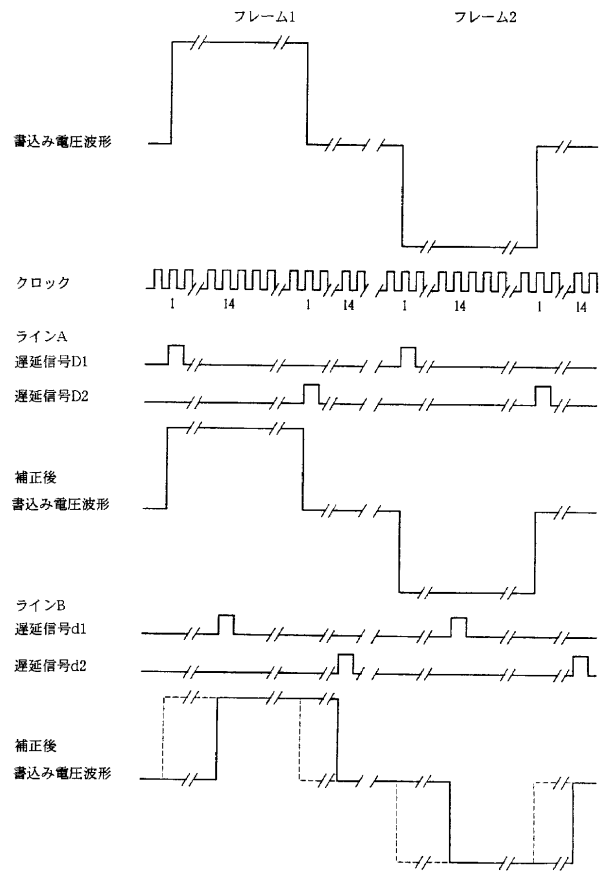
【図6】



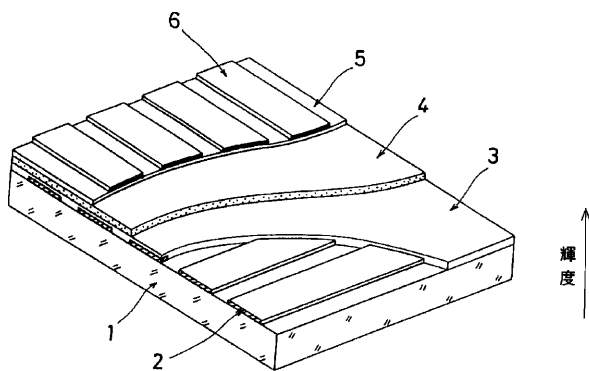
【図7】



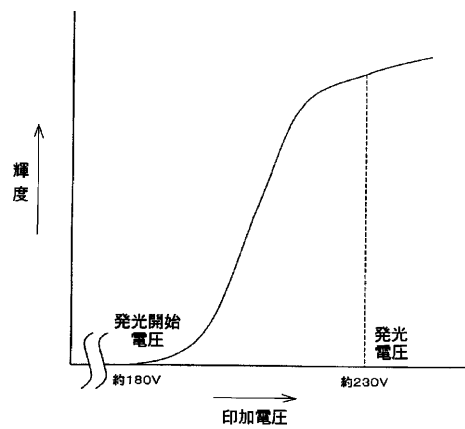
【図8】



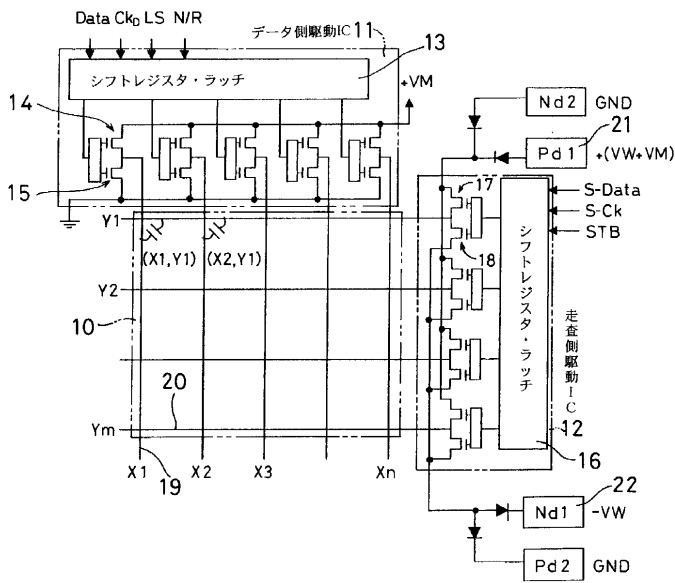
【図9】



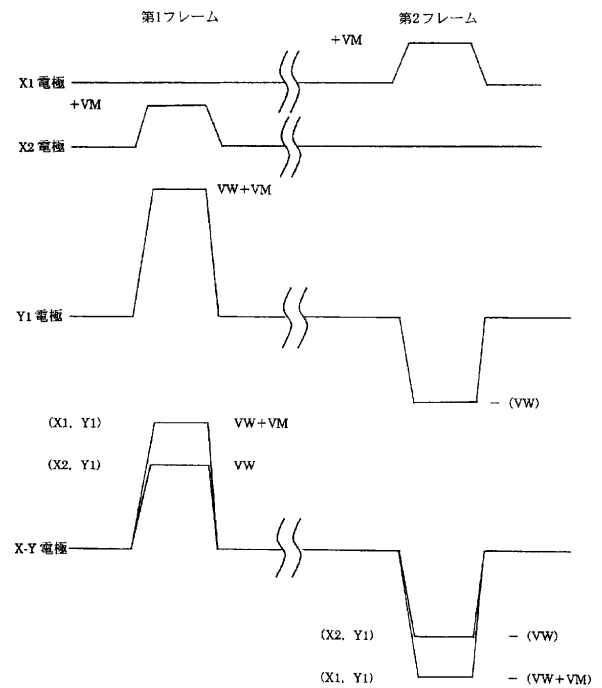
【図10】



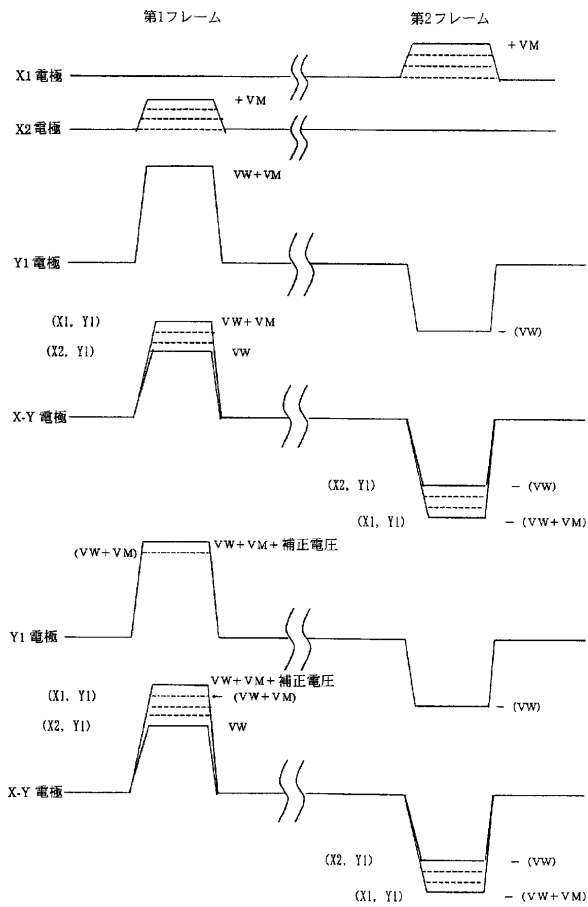
【図11】



【図12】



【図13】



专利名称(译)	EL显示器件的驱动电路		
公开(公告)号	JP2001312245A	公开(公告)日	2001-11-09
申请号	JP2000133718	申请日	2000-05-02
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	喜代原 篤		
发明人	喜代原 篤		
IPC分类号	G09G3/30 G09G3/20		
FI分类号	G09G3/30.K G09G3/20.641.P G09G3/20.641.A		
F-TERM分类号	5C080/AA06 5C080/BB05 5C080/DD03 5C080/DD05 5C080/EE29 5C080/FF12 5C080/JJ01 5C080/JJ02 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C380/AA02 5C380/AB05 5C380/BA45 5C380/CA08 5C380/CA39 5C380/CB01 5C380/CF07 5C380/CF09 5C380/CF15 5C380/CF18 5C380/CF49 5C380/DA06 5C380/DA07 5C380/DA15 5C380/DA16 5C380/DA32 5C380/DA38		
外部链接	Espacenet		

摘要(译)

解决的问题：使驱动电压具有正负极性对称，并根据负载进行校正以使显示均匀。通过由数据侧驱动IC 31施加根据具有正极性和负极性的显示数据的灰度的电压来驱动EL显示面板30的数据电极39。扫描侧驱动IC 32利用正负绝对值相等的写入电压来驱动扫描电极40。数据计算电路50计算一行的显示数据，当负载大时，写入电压的电压波形立即上升，而负载小时，产生延迟上升的脉冲波形控制信号。它被提供给宽度控制电路51。由于正电压供应电路41和负电压供应电路42产生由脉冲宽度控制电路51控制的调制电压，因此向扫描电极42施加具有根据负载控制的脉冲宽度的调制电压波形，可以根据负载进行校正以使亮度均匀。

