

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02015/162651

発行日 平成29年4月13日 (2017. 4. 13)

(43) 国際公開日 平成27年10月29日 (2015. 10. 29)

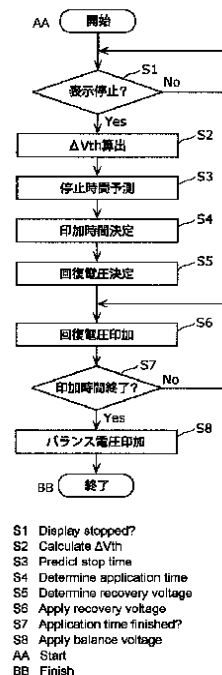
(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 611H	5C080
G09G 3/3233 (2016.01)	G09G 3/20 612J	5C380
H01L 51/50 (2006.01)	G09G 3/20 67OK	
	G09G 3/20 670J	
審査請求 有 予備審査請求 未請求 (全 36 頁) 最終頁に続く		

出願番号	特願2016-514551 (P2016-514551)	(71) 出願人	514188173
(21) 国際出願番号	PCT/JP2014/006399		株式会社 J O L E D
(22) 国際出願日	平成26年12月22日 (2014. 12. 22)		東京都千代田区神田錦町三丁目2 3 番地
(31) 優先権主張番号	特願2014-87636 (P2014-87636)	(74) 代理人	100189430
(32) 優先日	平成26年4月21日 (2014. 4. 21)		弁理士 吉川 修一
(33) 優先権主張国	日本国 (JP)	(74) 代理人	100190805
			弁理士 傍島 正朗
		(72) 発明者	林 宏
			日本国東京都千代田区神田錦町三丁目2 3
			番地 株式会社 J O L E D 内
		(72) 発明者	小野 晋也
			日本国大阪府門真市大字門真1 0 0 6 番地
			パナソニック株式会社内
		F ターム (参考)	3K107 AA01 BB01 CC33 EE03 HH04
		最終頁に続く	

(54) 【発明の名称】 表示装置及び表示装置の駆動方法

(57) 【要約】

複数の発光画素 (1 0 0) が行列状に配置された表示部 (6) と、表示部 (6) を制御する制御回路 (2) と、を備える表示装置 (1) であって、複数の発光画素 (1 0 0) のそれぞれは、発光素子 (有機 E L 素子 (1 0 3))、及び、発光素子に電流を供給することにより発光素子を発光させる駆動トランジスタ (1 0 2) を備え、制御回路 (2) は、表示部 (6) の表示を停止する場合に、表示部 (6) の表示停止時における駆動トランジスタ (1 0 2) の閾値電圧のシフト量を求め、かつ、表示部 (6) の表示停止中に駆動トランジスタ (1 0 2) のゲート - ソース間に印加することでシフト量を減少させる回復電圧、及び、回復電圧を印加する時間である印加時間の少なくとも一方を、シフト量に基づいて決定する。



【特許請求の範囲】**【請求項 1】**

複数の発光画素が行列状に配置された表示部と、
前記表示部を制御する制御回路と、を備える表示装置であって、
前記複数の発光画素のそれぞれは、
発光素子、及び、前記発光素子に電流を供給することにより前記発光素子を発光させる
駆動トランジスタを備え、

前記制御回路は、

前記表示部の表示を停止する場合に、前記表示部の表示停止時における前記駆動トランジスタの閾値電圧のシフト量を求め、かつ、前記表示部の表示停止中に前記駆動トランジスタのゲート - ソース間に印加することで前記シフト量を減少させる回復電圧、及び、前記回復電圧を印加する時間である印加時間の少なくとも一方を、前記シフト量に基づいて決定する

表示装置。

【請求項 2】

前記制御回路は、前記駆動トランジスタのゲート - ソース間への印加電圧の履歴に基づいて前記シフト量を算出する

請求項 1 に記載の表示装置。

【請求項 3】

前記制御回路は、前記シフト量を測定する

請求項 1 に記載の表示装置。

【請求項 4】

前記制御回路は、前記表示部の表示停止中に、前記回復電圧を変更する

請求項 1 ~ 3 のいずれか 1 項に記載の表示装置。

【請求項 5】

前記制御回路は、前記表示部の表示を停止する場合に、停止状態が維持される停止時間を予測し、予測した前記停止時間に基づいて、前記印加時間を決定する

請求項 1 ~ 4 のいずれか 1 項に記載の表示装置。

【請求項 6】

前記制御回路は、前記印加時間及び前記シフト量に基づいて前記回復電圧を決定する

請求項 5 に記載の表示装置。

【請求項 7】

前記制御回路は、前記印加時間経過後に、前記閾値電圧の変動を抑制するように、前記駆動トランジスタのゲート - ソース間に所定の電圧を印加する

請求項 1 ~ 6 のいずれか 1 項に記載の表示装置。

【請求項 8】

前記制御回路は、前記複数の発光画素のそれぞれに対応する前記回復電圧を求めて、前記複数の発光画素のそれぞれに印加する

請求項 1 ~ 7 のいずれか 1 項に記載の表示装置。

【請求項 9】

前記表示部周辺の人を検知する監視部をさらに備え、

前記監視部が人を検知した場合に、前記印加時間を変更する

請求項 1 ~ 8 のいずれか 1 項に記載の表示装置。

【請求項 10】

複数の発光画素が行列状に配置された表示部を備える表示装置の駆動方法であって、
前記複数の発光画素のそれぞれは、

発光素子、及び、前記発光素子に電流を供給することにより前記発光素子を発光させる
駆動トランジスタを備え、

前記表示装置の駆動方法は、

前記表示部の表示を停止する場合に、前記表示部の表示停止時における前記駆動トラン

ジスタの閾値電圧のシフト量を求めるステップと、

前記表示部の表示停止中に前記駆動トランジスタのゲート - ソース間に印加することで前記シフト量を減少させる回復電圧、及び、前記回復電圧を印加する時間である印加時間の少なくとも一方を、前記シフト量に基づいて決定するステップと、を含む

表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、表示装置及びその駆動方法に関し、特に電流駆動型の発光素子を用いた表示装置の駆動方法に関する。

10

【背景技術】

【0002】

近年、液晶ディスプレイに代わる次世代のフラットパネルディスプレイの一つとして、有機EL(Electro Luminescence)を利用した有機ELディスプレイが注目されている。有機ELディスプレイ等のアクティブマトリクス方式の表示装置には、駆動トランジスタとして薄膜トランジスタ(TFT:Thin Film Transistor)が用いられる。

【先行技術文献】

【特許文献】

【0003】

20

【特許文献1】国際公開第2006/070833号

【発明の概要】

【発明が解決しようとする課題】

【0004】

TFTでは、通電時のゲート - ソース間電圧などの電圧ストレスにより、TFTの閾値電圧がシフトする。そして、閾値電圧の経時的なシフトは、有機ELへの供給電流量変動の原因となるため、表示装置の輝度制御に影響し、表示品質を悪化させる。

【0005】

閾値電圧シフトによる有機ELの輝度変化の影響を抑制するための方法として、特許文献1には、ゲート - ソース間に閾値電圧以下の電圧(逆バイアス)を印加して、閾値電圧シフト量を低減する方法が記載されている。しかしながら、特許文献1に記載された方法では、閾値電圧シフトの影響を十分に抑制できない場合がある。

30

【0006】

そこで、本開示は、駆動トランジスタの閾値電圧を回復できる表示装置及びその駆動方法を提供する。

【課題を解決するための手段】

【0007】

上記課題を解決するため、本開示の一態様に係る表示装置は、複数の発光画素が行列状に配置された表示部と、前記表示部を制御する制御回路と、を備える表示装置であって、前記複数の発光画素のそれぞれは、発光素子、及び、前記発光素子に電流を供給することにより前記発光素子を発光させる駆動トランジスタを備え、前記制御回路は、前記表示部の表示を停止する場合に、前記表示部の表示停止時における前記駆動トランジスタの閾値電圧のシフト量を求め、かつ、前記表示部の表示停止中に前記駆動トランジスタのゲート - ソース間に印加することで前記シフト量を減少させる回復電圧、及び、前記回復電圧を印加する時間である印加時間の少なくとも一方を、前記シフト量に基づいて決定する。

40

【発明の効果】

【0008】

本開示の表示装置及びその駆動方法は、駆動トランジスタの閾値電圧を回復できる。

【図面の簡単な説明】

【0009】

50

- 【図 1】図 1 は、T F T の伝達特性の概要を示したグラフである。
- 【図 2】図 2 は、T F T のストレス印加時の伝達特性の経時変化を示すグラフである。
- 【図 3】図 3 は、T F T のストレス印加時の伝達特性の経時変化を示すグラフである。
- 【図 4】図 4 は、T F T のストレス印加時の伝達特性の経時変化を示すグラフである。
- 【図 5】図 5 は、T F T のストレス印加時の伝達特性の経時変化を示すグラフである。
- 【図 6】図 6 は、T F T のストレス印加時の伝達特性の経時変化を示すグラフである。
- 【図 7】図 7 は、T F T への印加電圧と閾値電圧シフトとの関係を示すグラフである。
- 【図 8】図 8 は、実施の形態 1 の表示装置の電気的な構成を示すブロック図である。
- 【図 9】図 9 は、実施の形態 1 の表示装置における発光画素の構成を示す回路図である。
- 【図 10】図 10 は、実施の形態 1 の表示装置の表示停止時の動作の概要を示すフローチャートである。 10
- 【図 11】図 11 は、劣化期間の長さに対する閾値電圧の劣化量の関係を示すグラフである。
- 【図 12】図 12 は、駆動トランジスタに印加される信号電圧が変動する場合の閾値電圧シフト量の経時変化の概要を示すグラフである。
- 【図 13】図 13 は、駆動トランジスタに印加される信号電圧が変動する場合の代表劣化曲線上の点の移動の様子を示すグラフである。
- 【図 14】図 14 は、実施の形態 1 の表示装置において、閾値電圧を検出する際に使用される発光画素内の素子を抜粋して示した回路図である。
- 【図 15】図 15 は、実施の形態 1 の表示装置において、閾値電圧を検出する際の回路の動作を示すタイミングチャートである。 20
- 【図 16】図 16 は、実施の形態 1 の表示装置において、回復電圧を印加する際に使用される発光画素内の素子を抜粋して示した回路図である。
- 【図 17】図 17 は、実施の形態 1 の表示装置において、回復電圧を印加する際の回路の動作を示すタイミングチャートである。
- 【図 18】図 18 は、実施の形態 1 の変形例 1 の表示装置において、回復電圧を印加する際に使用される発光画素内の素子を抜粋して示した回路図である。
- 【図 19】図 19 は、実施の形態 1 の変形例 1 の表示装置において、回復電圧を印加する際の回路の動作を示すタイミングチャートである。
- 【図 20】図 20 は、実施の形態 1 の変形例 2 の表示装置において、回復電圧を印加する際の回路の動作を示すタイミングチャートである。 30
- 【図 21】図 21 は、実施の形態 1 の変形例 3 の表示装置において、回復電圧を印加する際の回路の動作を示すタイミングチャートである。
- 【図 22】図 22 は、実施の形態 1 の変形例 4 の表示装置において、閾値電圧を検出する際に使用される発光画素内の素子を抜粋して示した回路図である。
- 【図 23】図 23 は、実施の形態 1 の変形例 4 の表示装置において、閾値電圧を検出する際の回路の動作を示すタイミングチャートである。
- 【図 24】図 24 は、実施の形態 2 の表示装置の表示停止時の動作の概要を示すフローチャートである。
- 【図 25】図 25 は、閾値電圧シフト量の読み出しに使用される測定サンプルの場所と、各場所の特性を示す表である。 40
- 【発明を実施するための形態】
- 【0010】
- （本開示の基礎となる知見）
- 以下、本開示の詳細を説明する前に、本開示の基礎となる知見について説明する。
- 【0011】
- 有機 E L 表示装置の発光画素に含まれる駆動トランジスタの閾値電圧について説明する。T F T からなる駆動トランジスタにおいては、電圧を印加すると閾値電圧が経時的に変化する。すなわち、駆動トランジスタのゲート電極にバイアスが印加されると、ゲート絶縁膜に、正バイアス印加時には電子が注入され、負バイアス印加時にはホールが注入され 50

るため、正又は負の閾値電圧シフトが起こる。図1は、駆動トランジスタのゲート・ソース間に印加されるゲート・ソース間電圧 V_{gs} （映像信号電圧）と、ドレイン・ソース間を流れる電流 I_{ds} （有機EL素子への供給電流）との関係（伝達特性）の概要を示すグラフである。図1において、破線が使用開始時における駆動トランジスタの伝達特性を示し、実線が電圧印加により閾値電圧が変化した後の伝達特性を示す。図1に示されるように、TFTでは、ゲート・ソース間への電圧印加の大きさと印加時間に依存して、閾値電圧が V_{th0} から V_{th} にシフトする。これに伴い、使用開始時に、目標電流を得るために必要とされた印加電圧を、閾値電圧シフト後に印加しても、目標電流を得られず、有機EL素子に所望の大きさの電流を供給できない。そのため、有機EL表示装置において、閾値電圧シフトによる有機EL素子の輝度変化の影響を抑制するために、ゲート・ソース間電圧 V_{gs} を、閾値電圧 V_{th} に応じてオフセットさせるTFTの駆動技術が知られている。しかしながら、駆動回路の発生電圧の限界などにより、ゲート・ソース間電圧 V_{gs} をオフセットさせる量にも限度があるため、当該限度を超える閾値電圧シフトが発生した場合には、有機EL素子の輝度変化の影響を抑制することができない。

10

20

30

40

50

【0012】

そこで、特許文献1に記載された表示装置においては、駆動トランジスタのゲート・ソース間に逆バイアスを印加する技術を用いている。ここで、逆バイアスとは、駆動トランジスタがn型の場合には、ゲート・ソース間電圧 V_{gs} が、閾値電圧 V_{th} より小さいことを意味する。また、駆動トランジスタがp型の場合には、ゲート・ソース間電圧 V_{gs} が、閾値電圧 V_{th} より高いことを意味する。特許文献1に記載された表示装置においては、駆動トランジスタのゲート・ソース間に逆バイアスを印加することにより、閾値電圧を回復させ得ることが記載されている。

【0013】

しかしながら、特許文献1には、逆バイアス電圧の大きさ及び逆バイアス印加時間と、閾値電圧の回復量との関係について記載されていない。したがって、特許文献1に記載された表示装置においては、十分に閾値電圧を回復させられない可能性、及び、必要以上に大きい逆バイアスを印加する可能性がある。

【0014】

以下、このような問題を抑制し得る本開示に係る表示装置及びその駆動方法について説明する。

【0015】

（本開示の概要）

本開示の一態様に係る表示装置は、複数の発光画素が行列状に配置された表示部と、前記表示部を制御する制御回路と、を備える表示装置であって、前記複数の発光画素のそれぞれは、発光素子、及び、前記発光素子に電流を供給することにより前記発光素子を発光させる駆動トランジスタを備え、前記制御回路は、前記表示部の表示を停止する場合に、前記表示部の表示停止時における前記駆動トランジスタの閾値電圧のシフト量を求め、かつ、前記表示部の表示停止中に前記駆動トランジスタのゲート・ソース間に印加することで前記シフト量を減少させる回復電圧、及び、前記回復電圧を印加する時間である印加時間の少なくとも一方を、前記シフト量に基づいて決定する。

【0016】

また、本開示の一態様に係る表示装置では、前記制御回路は、前記駆動トランジスタのゲート・ソース間への印加電圧の履歴に基づいて前記シフト量を算出してもよい。

【0017】

また、本開示の一態様に係る表示装置では、前記制御回路は、前記シフト量を測定してもよい。

【0018】

また、本開示の一態様に係る表示装置では、前記制御回路は、前記表示部の表示停止中に、前記回復電圧を変更してもよい。

【0019】

また、本開示の一態様に係る表示装置では、前記制御回路は、前記表示部の表示を停止する場合に、停止状態が維持される停止時間を予測し、予測した前記停止時間に基づいて、前記印加時間を決定してもよい。

【0020】

また、本開示の一態様に係る表示装置では、前記制御回路は、前記印加時間及び前記シフト量に基づいて前記回復電圧を決定してもよい。

【0021】

また、本開示の一態様に係る表示装置では、前記制御回路は、前記印加時間経過後に、前記閾値電圧の変動を抑制するように、前記駆動トランジスタのゲート・ソース間に所定の電圧を印加してもよい。

【0022】

また、本開示の一態様に係る表示装置では、前記制御回路は、前記複数の発光画素のそれぞれに対応する前記回復電圧を求めて、前記複数の発光画素のそれぞれに印加してもよい。

【0023】

また、本開示の一態様に係る表示装置では、前記表示部周辺の人を検知する監視部をさらに備え、前記監視部が人を検知した場合に、前記印加時間を変更してもよい。

【0024】

また、本開示の一態様に係る表示装置の駆動方法は、複数の発光画素が行列状に配置された表示部を備える表示装置の駆動方法であって、前記複数の発光画素のそれぞれは、発光素子、及び、前記発光素子に電流を供給することにより前記発光素子を発光させる駆動トランジスタを備え、前記表示装置の駆動方法は、前記表示部の表示を停止する場合に、前記表示部の表示停止時における前記駆動トランジスタの閾値電圧のシフト量を求めるステップと、前記表示部の表示停止中に前記駆動トランジスタのゲート・ソース間に印加することで前記シフト量を減少させる回復電圧、及び、前記回復電圧を印加する時間である印加時間の少なくとも一方を、前記シフト量に基づいて決定するステップと、を含む。

【0025】

(閾値電圧シフトとゲート・ソース間電圧との関係)

まず、実施の形態の説明に先立ち、駆動トランジスタの閾値電圧シフトとゲート・ソース間電圧との関係について説明する。なお、以下において、閾値電圧は飽和領域における閾値電圧であるとして説明する。閾値電圧は、具体的には以下の通り定められる。

【0026】

[飽和領域 ($V_{gs} - V_{th} < V_{ds}$) の閾値電圧の定義]

飽和領域 ($V_{gs} - V_{th} < V_{ds}$) における閾値電圧 V_{th} は、ドレイン・ソース間電流の平方根 ($(I_{ds})^{1/2}$) - ゲート・ソース間電圧 (V_{gs}) 特性において、移動度が最大値となる V_{gs} 点における (I_{ds})^{1/2} - V_{gs} 特性接線と V_{gs} 電圧軸 (x 軸) の交点となる V_{gs} 値として定義することができる。ここで、移動度は (I_{ds})^{1/2} - V_{gs} 特性における傾き $d(I_{ds})^{1/2} / dV_{gs}$ を式 1 に代入して得られる。なお、 L はチャネル長、 W はチャネル幅、 C は単位面積あたりのゲート容量である。

【0027】

【数 1】

$$\mu = \frac{2L}{WC} \left(\frac{d\sqrt{I_{ds}}}{dV_{gs}} \right)^2 \quad (式 1)$$

【0028】

まず、ストレスが印加されていない TFT を用意し、ドレイン電位 V_d 及びソース電位 V_s を 0 V とし、ゲート電位 V_g を所定の値のまま、3 時間維持して、ストレスを印加する。ここで、本実験では、膜厚 220 nm のシリコン窒化物膜及び膜厚 50 nm のシリコ

10

20

30

40

50

ン酸化物膜からなるゲート絶縁膜と、膜厚 90 nm の酸化物半導体からなる半導体層とを備える TFT が用いられた。また、ゲート電位 V_g として、- 5.0 V、- 4.0 V、- 3.0 V、・・・、+ 3.0 V、+ 4.0 V、+ 5.0 V が選択され、環境温度は 90 に維持された。なお、閾値電圧シフトの熱活性化エネルギー約 400 meV を用いて算出される温度加速係数をストレス時間に換算すると、実験条件である環境温度 90 における 3 時間の電圧ストレスは、環境温度 40 における数十時間の電圧ストレスに相当する。

【0029】

本実験の結果について、図 2 ~ 図 7 を用いて説明する。

【0030】

図 2 ~ 図 6 は、ゲート - ソース間電圧 V_{gs} と、閾値電圧の初期値 V_{th0} との差を、それぞれ、- 4.0 V、- 3.0 V、- 2.0 V、- 1.0 V、0.1 V とした場合の伝達特性の経時変化を示すグラフである。

【0031】

図 2 ~ 図 6 に示されるように、 $V_{gs} - V_{th0} = - 2.0$ V の場合において、閾値電圧シフトが最も小さい。また、 $V_{gs} - V_{th0}$ の値が - 2.0 V より小さくなるほど、負シフトが大きくなり、 $V_{gs} - V_{th0}$ の値が - 2.0 V より大きくなるほど、正シフトが大きくなる。

【0032】

図 7 は、これらの実験結果をまとめて、閾値電圧シフト量 ΔV_{th} の印加電圧 ($V_{gs} - V_{th0}$) 依存性を示したグラフである。

【0033】

図 7 に示されるように、 $V_{gs} - V_{th0}$ の値を - 2.0 V より小さくすることで、閾値電圧が負シフトする。すなわち、閾値電圧が正バイアスによって正方向へシフトした場合に、 $V_{gs} - V_{th0}$ の値が - 2.0 V より小さくなるように V_{gs} を印加することによって、閾値電圧を回復させることができる。さらに、図 7 に示されるように、閾値電圧の回復量は、 $V_{gs} - V_{th0}$ の値に応じて変化する。閾値電圧の回復量は、 V_{gs} 、及び、 V_{gs} の印加時間によって決定され、モデル化により算出することもできる。モデル化の詳細については後述する。

【0034】

なお、以下では、駆動トランジスタの閾値電圧の正方向へのシフト量を減少させる（閾値電圧を回復させる）ゲート - ソース間電圧を「回復電圧」といい、閾値電圧の変動を抑制する（閾値電圧シフトの小さい）ゲート - ソース間電圧を「バランス電圧」という。

【0035】

以下、適宜図面を参照しながら、実施の形態を詳細に説明する。但し、必要以上に詳細な説明は省略する場合がある。例えば、既によく知られた事項の詳細説明や実質的に同一の構成に対する重複説明を省略する場合がある。これは、以下の説明が不必要に冗長になるのを避け、当業者の理解を容易にするためである。

【0036】

なお、発明者らは、当業者が本開示を十分に理解するために添付図面及び以下の説明を提供するものであって、これらによって請求の範囲に記載の主題を限定することを意図するものではない。

【0037】

（実施の形態 1）

実施の形態 1 の表示装置について、図面を参照しながら説明する。

【0038】

[1 - 1 . 構成]

まず、本実施の形態の表示装置の構成について説明する。

【0039】

図 8 は、本実施の形態の表示装置の電氣的な構成を示すブロック図である。同図におけ

10

20

30

40

50

る表示装置 1 は、制御回路 2 と、メモリ 3 と、走査線駆動回路 4 と、信号線駆動回路 5 と、表示部 6 と、電源線駆動回路 7 と、監視部 8 と、を備える。

【0040】

図 9 は、本実施の形態の表示装置 1 における表示部 6 が有する発光画素の回路構成を示す図である。図 9 に示されるように、発光画素 100 は、有機 EL 素子 103、駆動トランジスタ 102、第 1 スイッチングトランジスタ 111、第 2 スイッチングトランジスタ 112、第 3 スイッチングトランジスタ 113、第 1 コンデンサ 101、第 1 走査線 121、第 2 走査線 122、第 3 走査線 123、信号線 130、第 1 電源線 131、第 2 電源線 132、第 3 電源線 133 及び第 4 電源線 134 を備える。

【0041】

第 1 走査線 121、第 2 走査線 122 及び第 3 走査線 123 は、走査線駆動回路 4 から送信された走査信号を発光画素 100 に伝達する走査線である。

【0042】

制御回路 2 は、走査線駆動回路 4、信号線駆動回路 5、表示部 6、電源線駆動回路 7、メモリ 3 及び監視部 8 の制御を行う回路である。制御回路 2 は、外部から入力された映像信号を、信号線駆動回路 5 へと出力する。また、メモリ 3 には、各駆動トランジスタ 102 の累積ストレス、表示装置 1 の使用履歴などのデータが記録されており、制御回路 2 は、当該データに基づいて、各駆動トランジスタ 102 の閾値電圧シフト量などを求める。制御回路 2 の動作の詳細については後述する。

【0043】

走査線駆動回路 4 は、第 1 走査線 121、第 2 走査線 122 及び第 3 走査線 123 に接続されており、第 1 走査線 121、第 2 走査線 122 及び第 3 走査線 123 に走査信号を出力することにより、発光画素 100 の有する第 1 スイッチングトランジスタ 111、第 2 スイッチングトランジスタ 112 及び第 3 スイッチングトランジスタ 113 の導通・非導通を制御する機能を有する駆動回路である。

【0044】

信号線駆動回路 5 は、信号線 130 に接続されており、映像信号に基づいた信号電圧を発光画素 100 へ出力する機能を有する駆動回路である。

【0045】

表示部 6 は、複数の発光画素 100 が行列状に配置されたパネルであり、外部から表示装置 1 へ入力された映像信号に基づいて画像を表示する。

【0046】

電源線駆動回路 7 は、第 1 電源線 131、第 2 電源線 132、第 3 電源線 133 及び第 4 電源線 134 に接続されており、各電源線を介して、発光画素 100 内の素子に電圧を印加する機能を有する駆動回路である。

【0047】

監視部 8 は、表示部 6 周辺の人を検知するための検知部であり、例えば、人感センサなどから構成される。監視部 8 は、表示部 6 周辺の人を検知した場合に制御回路 2 に信号を出力する。制御回路 2 は、監視部 8 から入力された信号を用いて、表示部 6 が表示停止状態に維持される時間を予測する。なお、本実施の形態の表示装置 1 は、監視部 8 を備えるが、表示装置 1 は必ずしも監視部 8 を備えなくてもよい。

【0048】

駆動トランジスタ 102 は、有機 EL 素子 103 に電流を供給することにより発光させる駆動素子である。駆動トランジスタ 102 のゲート電極は、第 1 コンデンサ 101 の一方の電極に接続されている。また、駆動トランジスタ 102 のソース電極は、第 1 コンデンサ 101 の他方の電極及び有機 EL 素子 103 のアノード電極に接続されている。また、駆動トランジスタ 102 のドレイン電極は、第 1 電源線 131 に接続されている。以上のように接続された駆動トランジスタ 102 は、ゲート・ソース間に印加された信号電圧に対応した電圧を、当該信号電圧に対応したドレイン電流に変換する。そして、このドレイン電流を信号電流として有機 EL 素子 103 に供給する。駆動トランジスタ 102 は、

10

20

30

40

50

例えば、 n 型TFTで構成される。

【0049】

第1スイッチングトランジスタ111は、ゲート電極が第1走査線121に接続され、ソース電極及びドレイン電極の一方が駆動トランジスタ102のゲート電極に接続され、ソース電極及びドレイン電極の他方が第3電源線133に接続されたスイッチング素子である。

【0050】

第2スイッチングトランジスタ112は、ゲート電極が第2走査線122に接続され、ソース電極及びドレイン電極の一方が駆動トランジスタ102のソース電極に接続され、ソース電極及びドレイン電極の他方が第4電源線134に接続されたスイッチング素子である。

10

【0051】

第3スイッチングトランジスタ113は、ゲート電極が第3走査線123に接続され、ソース電極及びドレイン電極の一方が駆動トランジスタ102のゲート電極に接続され、ソース電極及びドレイン電極の他方が信号線130に接続されたスイッチング素子である。

【0052】

第1コンデンサ101は、一方の電極が駆動トランジスタ102のゲート電極に接続され、他方の電極が駆動トランジスタのソース電極に接続された容量素子である。第1コンデンサ101は、信号線130から供給された信号電圧に対応した電荷を保持し、例えば、第2スイッチングトランジスタ112及び第3スイッチングトランジスタ113が非導通状態となった後に、駆動トランジスタ102から有機EL素子103へ供給する信号電流を、映像信号に応じて制御する機能を有する。

20

【0053】

有機EL素子103は、カソード電極が第2電源線132に接続され、アノード電極が駆動トランジスタ102のソース電極に接続された発光素子であり、駆動トランジスタ102により制御された信号電流に応じて発光する。

【0054】

信号線130は、信号線駆動回路5に接続され、発光画素100を含む画素列に属する各発光画素に接続され、映像信号に応じた信号電圧を各画素へ供給する機能を有する。また、表示装置1は、画素列数分の信号線130を備える。

30

【0055】

第1走査線121、第2走査線122及び第3走査線123は、走査線駆動回路4に接続され、発光画素100を含む画素行に属する各発光画素に接続されている。これにより、第3走査線123は、発光画素100を含む画素行に属する各発光画素へ上記信号電圧を書き込むタイミングを供給する機能を有する。また、第1走査線121は、発光画素100の有する駆動トランジスタ102のゲート電極に第3電源線の電圧 V_3 （参照電圧）を印加し、駆動トランジスタ102の閾値電圧を検出するタイミングを供給する機能を有する。また第2走査線122は、発光画素100の駆動トランジスタ102の閾値電圧を検出するために、発光画素100の第1コンデンサ101及び有機EL素子103を初期化する機能を有する。

40

【0056】

第1電源線131は、駆動トランジスタ102のドレイン電極に電圧 V_1 を印加するための電源線である。

【0057】

第2電源線132は、有機EL素子103のカソード電極に電圧 V_2 を印加するための電源線である。

【0058】

第3電源線133は、第1スイッチングトランジスタ111のソース電極又はドレイン電極に電圧 V_3 （参照電圧）を印加するための電源線であり、有機EL素子103を発光

50

させないようにする電圧である。つまり $V_3 - V_2 = V_{th} + V_{th_EL}$ となるように設定する。ここで、 V_{th_EL} は有機 EL 素子 103 の発光開始電圧である。

【0059】

第4電源線134は、第1コンデンサ101及び有機EL素子103が接続された駆動トランジスタ102のソース電圧を V_4 に初期化するための電源線である。ここで V_4 は有機EL素子103が発光しない電圧であることが望ましく、 $V_4 - V_2 = V_{th_EL}$ となるよう設定する。

【0060】

[1-2. 発光動作]

ここで、発光画素100の発光動作について説明する。

10

【0061】

まず、第1スイッチングトランジスタ111を、第1走査線121から供給される走査信号により導通状態とし、第3電源線から供給される所定の電圧 V_3 を駆動トランジスタ102のゲート電極に印加して駆動トランジスタ102のソース・ドレイン間電流が流れないように駆動トランジスタ102をオフ状態とする。

【0062】

次に、第1スイッチングトランジスタ111を導通状態としたまま、第2スイッチングトランジスタ112を、第2走査線122から供給される走査信号により導通状態とする。これにより、駆動トランジスタ102のゲート・ソース間の電圧を $V_3 - V_4$ とすることで、駆動トランジスタ102の閾値電圧 (V_{th_TF}) を検出する動作に移行することが可能となる。

20

【0063】

ここで $V_3 - V_4 = V_{th_TF}$ となるように V_3 を設定しておく。これにより、上述の $V_3 - V_2 = V_{th_EL} + V_{th_TF}$ 及び $V_2 - V_4 = V_{th_EL}$ の条件と合わせて、有機EL素子103を逆バイアス状態にして静電容量として機能させつつ、駆動トランジスタ102の閾値電圧の検出期間完了時にも、有機EL素子103を確実に非発光状態とすることが可能となる。すなわち、安定的に閾値電圧の検出動作を実行することが可能となる。

【0064】

次に、第1スイッチングトランジスタ111を導通状態としたまま、第2スイッチングトランジスタ112を、第2走査線122から供給される走査信号により非導通状態とする。この瞬間では、駆動トランジスタ102のゲート・ソース間の電圧は $V_3 - V_4 = V_{th_TF}$ であるため、駆動トランジスタ102は導通状態であり、駆動トランジスタ102のドレイン・ソース間電流が、逆バイアス状態の有機EL素子103及び第1コンデンサ101へ流れる。これに伴い、有機EL素子103及び第1コンデンサ101は充電され、駆動トランジスタ102のソース電極の電位が上昇し、最終的に、駆動トランジスタ102のゲート・ソース間の電圧が V_{th_TF} 、すなわち駆動トランジスタ102のソース電極の電位が $V_3 - V_{th_TF}$ となると、駆動トランジスタ102はオフ状態となり、駆動トランジスタ102のドレイン・ソース間電流による有機EL素子103及び第1コンデンサ101への充電が停止する。よって、有機EL素子103と第1コンデンサ101に、駆動トランジスタ102の閾値電圧が保持される。

30

40

【0065】

次に、第1スイッチングトランジスタ111を、第1走査線121から供給される走査信号により非導通状態とする。

【0066】

次に、第3スイッチングトランジスタ113を、第3走査線123から供給される走査信号により導通状態とし、信号線130から供給される信号電圧 (V_{data}) を駆動トランジスタ102のゲート電極に印加する。このとき、駆動トランジスタ102のゲート電極の電位は、 V_3 から V_{data} へと変化する。すなわち、第1コンデンサ101には $(V_{data} - V_3) \times (C_{el} / (C_{el} + C_s)) + V_{th_TF}$ が保持され、こ

50

の電圧が駆動トランジスタ102のゲート-ソース間の電圧となる。なお、 C_{e1} は有機EL素子103の静電容量であり、 C_s は第1コンデンサ101の静電容量である。また $V_{data} - V_3 > 0$ である場合には、信号電圧(V_{data})を駆動トランジスタ102のゲート電極に印加することにより、駆動トランジスタ102がON状態となってしまう、駆動トランジスタ102から供給される電流により駆動トランジスタ102のソース電圧が変動してしまうので、第3スイッチングトランジスタ113を導通状態とする時間は短いほうが好ましい。このようにして、駆動トランジスタ102の閾値電圧に依存しないドレイン-ソース間電流を駆動トランジスタ102から有機EL素子103へ供給することが可能となる。このとき、有機EL素子103が発光する。

【0067】

上述した一連の動作により、1フレーム期間において、信号線130から供給される信号電圧に対応した輝度で有機EL素子103が発光することになる。

【0068】

[1-3.表示停止時の動作]

次に、本実施の形態の表示装置1の表示停止時の動作について図10を用いて説明する。

【0069】

図10は、本実施の形態の表示装置1の表示停止時の動作の概要を示すフローチャートである。

【0070】

図10に示されるように、まず、制御回路2は、表示部6の表示を停止するか否かを判断する(S1)。ここで、当該判断は、制御回路2の外部から制御回路2に入力される表示装置1の主電源スイッチのオフ操作を伝える信号の有無や、パネルに転送すべき映像データの制御回路2への入力の有無などに基づいて行われる。

【0071】

表示部6の表示を停止しない場合(S1でNo)には、制御回路2は、再度表示部6の表示を停止するか否かを判断する工程(S1)を実行する。

【0072】

表示部6の表示を停止する場合(S1でYes)には、制御回路2は、各発光画素100の駆動トランジスタ102における閾値電圧シフト量 ΔV_{th} を算出する(S2)。閾値電圧シフト量 ΔV_{th} の算出は、算出時までに駆動トランジスタ102に印加されたゲート-ソース間電圧の履歴に基づいて行われる。当該履歴はメモリ3に記録されている。詳細な算出方法については後述する。

【0073】

次に、制御回路2は、表示部6が表示停止状態に維持される時間(停止時間)を予測する(S3)。当該履歴はメモリ3に記録されている。停止時間は、例えば、表示装置1のユーザの使用履歴などから予測される。すなわち、制御回路2が、ユーザによる表示装置1の主電源スイッチのオン/オフ操作履歴をメモリ3に記録し、当該履歴に基づいて停止時間を予測する。例えば、オン/オフ操作履歴から、午後11時以降に主電源スイッチがオフとされた場合に、翌朝6時まで主電源スイッチがオン操作されないことが分かれば、午後11時以降に主電源スイッチがオフ操作された場合、オフ操作から翌朝6時までの時間を停止時間と予測する。その他、制御回路2は、監視部8からの信号に基づいて停止時間を予測することもできる。例えば、表示装置1の主電源スイッチがオフ操作されても、表示装置1(及び表示部6)の周辺にユーザが居続ける場合、数十分以内に主電源スイッチがオン操作される可能性が高いと予測して、停止時間を例えば10分程度と予測してもよい。

【0074】

制御回路2は、停止時間を予測した後、回復電圧を印加する時間である印加時間を決定する(S4)。印加時間は、駆動トランジスタ102の閾値電圧を回復するために十分な時間であれば、予測された停止時間と同じか短い任意の時間を選択することができる。た

10

20

30

40

50

だし、上述のとおり、停止時間は、あくまで予測された値であり、予測された停止時間が経過する前に、主電源スイッチがオン操作される可能性もある。そこで、回復電圧印加中に主電源スイッチがオン操作される可能性を低減するために、印加時間として、閾値電圧回復に十分な最短の時間を採用してもよい。

【 0 0 7 5 】

制御回路 2 は、印加時間を決定した後、主電源スイッチがオフ操作された時点の駆動トランジスタの閾値電圧と、決定された印加時間とに基づいて回復電圧を決定する (S 5) 。回復電圧は、閾値電圧の回復をモデル化することによって求められる関数を用いて算出され、少なくとも計算上は、閾値電圧を完全に回復させることができる値に決定される。詳細な算出方法については後述する。

10

【 0 0 7 6 】

次に、制御回路 2 は、上述のとおり決定された回復電圧を、駆動トランジスタ 1 0 2 のゲート - ソース間に印加する (S 6) 。回復電圧印加時の発光画素 1 0 0 の詳細な動作については、後述する。

【 0 0 7 7 】

制御回路 2 は、回復電圧の印加を開始すると、印加時間が終了するまで回復電圧の印加を持続する (S 7 で N o) 。そして、制御回路 2 は、内部のタイマ回路などにより、印加時間が終了したことを検知すると (S 7 で Y e s) 、閾値電圧の回復が完了したと判断する。そこで、制御回路 2 は、表示部 6 の表示再開まで、駆動トランジスタ 1 0 2 のゲート - ソース間にバランス電圧を印加して (S 8) 、駆動トランジスタ 1 0 2 の閾値電圧のシフトを抑制して、制御動作を終了する。

20

【 0 0 7 8 】

なお、上述のとおり、表示装置 1 の主電源スイッチは、ユーザにより随時オン操作され得る。そのため、図 1 0 に示されるフローチャートの各工程、及び、各工程間において、主電源スイッチがオン操作された場合には、表示部 6 の表示再開工程の割り込みが許可される。

【 0 0 7 9 】

[1 - 4 . 閾値電圧シフト量 (劣化量) の算出方法]

次に、閾値電圧シフト量 (劣化量) の算出方法について説明する。

【 0 0 8 0 】

まず、駆動トランジスタ 1 0 2 のゲート - ソース間に、正方向の閾値電圧シフトを引き起こす電圧を印加する時間 t_d (以下、「劣化時間」という。) における閾値電圧シフト量 ΔV_{th_d} (以下、「劣化量」という) を算出する方法について図 1 1 を用いて説明する。

30

【 0 0 8 1 】

図 1 1 は、酸化物半導体からなる半導体層を備える駆動トランジスタ 1 0 2 のゲート - ソース間に、所定の電圧 V_{gs} を印加した場合の、劣化時間の長さ t_d に対する閾値電圧シフト量 ΔV_{th} の関係を示すグラフである。図 1 1 においては、駆動トランジスタ 1 0 2 のゲート - ソース間電圧 V_{gs} から、駆動トランジスタ 1 0 2 の初期閾値電圧 V_{th0} (ストレス印加前の閾値電圧) を引いた電圧が、 + 6 V 、 + 3 V 及び - 1 V である三通りの実験結果が示されている。

40

【 0 0 8 2 】

ここで、図 1 1 に示される実験結果のグラフをフィッティングすることにより、駆動トランジスタ 1 0 2 の閾値電圧の劣化量 ΔV_{th_d} を関数で表現する方法について説明する。一般に、T F T のゲート - ソース間に一定電圧を印加する場合において、閾値電圧の劣化量 ΔV_{th_d} は、 V_{gs} をゲート - ソース間電圧、 t_d を劣化時間の長さ、 V_{th0} を初期閾値電圧 (ストレス印加前の閾値電圧) 、 τ を時定数、 β を定数として、

【数 2】

$$\Delta V_{th_d} = (V_{gs} - V_{th0}) \left[1 - \exp \left\{ - \left(\frac{t_d}{\tau} \right)^\beta \right\} \right] \quad (式 2)$$

で表される。上記式 2 は、 V_{gs} を一定値に維持する場合の劣化量を表す式であり、劣化時間の長さ t_d が大きくなるにつれて、劣化量が、 $V_{gs} - V_{th0}$ に漸近する関数を用いられている。しかしながら、表示装置 1 の駆動トランジスタ 102 においては、信号電圧が一定の場合には、ドレイン - ソース間電流をほぼ一定の値に維持するために、ゲート - ソース間電圧 V_{gs} は一定値に維持されない。すなわち、ゲート - ソース間には、閾値電圧シフト量（劣化量）に応じて補正された電圧が印加されるため、 V_{gs} は閾値電圧シフト量（劣化量）に応じて変化する電圧値となる。そこで、上記式 2 の右辺をマクローリン展開して、ドレイン - ソース間電流をほぼ一定に維持する場合に適した次式に変形する。

10

【0083】

【数 3】

$$\Delta V_{th_d} = A (V_{gs} - V_{th0} + V_{offset})^\alpha t_d^\beta \quad (式 3)$$

【0084】

20

ここで、 A 、 α 、 β 及び V_{offset} は、それぞれ、図 11 に示される実験結果のグラフをフィッティングすることにより求められる定数である。

【0085】

上記式 3 から、所定のゲート - ソース間電圧 V_{gs} を所定の劣化時間（長さ t_d ）に亘って印加する場合の劣化量 ΔV_{th_d} を算出できる。

【0086】

上述のとおり、ドレイン - ソース間電流は、信号電圧が一定の場合には、ほぼ一定に維持される。しかしながら、一般に、表示装置 1 においては、信号電圧は必ずしも一定ではないため、信号電圧が変動する場合には、各信号電圧を印加した場合の劣化量をそれぞれ式 3 によって算出する必要がある。また、劣化量は、同じゲート - ソース間電圧 V_{gs} を印加する場合でも、印加する時点における駆動トランジスタ 102 の劣化の程度（すなわち、累積された劣化量）によって異なる。そこで、任意のゲート - ソース間電圧を所定時間印加する場合の劣化量を、累積された劣化量の影響も反映させて算出するために、代表劣化曲線を用いる。ここで代表劣化曲線とは、参照電圧 V_{gs_ref} をゲート - ソース間に印加する場合の、劣化時間の長さに対する劣化量を表す曲線である。すなわち、図 11 に示されるような任意のゲート - ソース間電圧を印加した場合の劣化時間の長さに対する劣化量のグラフの時間軸を変換して、代表劣化曲線と一致させる。例えば、図 11 において、代表劣化曲線として、 $V_{gs} - V_{th0} = +3V$ の場合の劣化曲線を選択する。ここで、 $V_{gs} - V_{th0} = +6V$ の状態が劣化時間の長さ t_d に亘って維持されて、閾値電圧シフト量 ΔV_{th} が $0.4V$ から $0.6V$ に劣化する場合、この劣化時間の長さ t_d は、代表劣化曲線上において閾値電圧が $0.4V$ から $0.6V$ へ劣化するために要する換算時間 t_{d_ref} に変換される。

30

40

【0087】

このように、任意のゲート - ソース間電圧を劣化時間の長さ t_d に亘って印加する場合の劣化量を、参照電圧を換算時間に亘って印加する場合の劣化量として算出することにより、任意のゲート - ソース間電圧を印加した場合の劣化量を、代表劣化曲線上で表現できる。

【0088】

以下、上記換算時間 t_{d_ref} の算出方法について説明する。上記式 3 から、参照電圧 V_{gs_ref} を換算時間 t_{d_ref} に亘って印加した場合の劣化量 ΔV_{th_ref}

50

f は、

【数 4】

$$\Delta V_{th_ref} = A(V_{gs_ref} - V_{th0} + V_{offset})^\alpha t_{d_ref}^\beta \quad (式 4)$$

で表されるから、上記劣化量 ΔV_{th_ref} が、式 3 で表された任意のゲート - ソース間電圧 V_{gs} を時間 t_d 印加した場合の劣化量 ΔV_{th_d} と等しいとすると、式 3 及び式 4 から、換算時間 t_{d_ref} は

【数 5】

$$t_{d_ref} = \left(\frac{V_{gs_ref} - V_{th0} + V_{offset}}{V_{gs_d} - V_{th0} + V_{offset}} \right)^{-\frac{\alpha}{\beta}} t_d \quad (式 5)$$

10

と表される。これにより、劣化時間の長さ t_d を換算時間 t_{d_ref} に変換できる。したがって、ゲート - ソース間電圧が変動する場合も、劣化時間の長さ t_d を換算時間 t_{d_ref} に換算することにより、代表劣化曲線だけで劣化量を表現できる。なお、累積された劣化量は、上記換算時間 t_{d_ref} を積算した累積換算時間を求め、累積換算時間に対応する代表劣化曲線上の点の閾値電圧シフト量を求めることにより算出される。

【0089】

[1 - 5 . 閾値電圧シフト量 (回復量) の算出方法]

20

次に、駆動トランジスタ 102 のゲート - ソース間に、回復電圧を印加する場合の閾値電圧シフト量 (以下、「回復量」という) を算出する方法について説明する。駆動トランジスタ 102 の閾値電圧の回復量と印加時間の長さとの関係のグラフから、回復量 ΔV_{th_r} は、 ΔV_{th_end} を回復電圧の印加を開始した時点における閾値電圧シフト量、 t_r を印加時間の長さとして、

【数 6】

$$\Delta V_{th_r} = (V_{gs} - V_{th_end}) \left[1 - \exp \left\{ - \left(\frac{t_r}{\tau} \right)^\gamma \right\} \right] \quad (式 6)$$

30

で表される。ここで、時定数 τ は、 τ_0 を係数、 E_τ を駆動トランジスタ 102 における回復電圧印加により起こる閾値電圧シフトの時定数 τ の活性化エネルギー、 k をボルツマン定数、 T を温度として、

【数 7】

$$\tau = \tau_0 \exp \left(\frac{E_\tau}{kT} \right) \quad (式 7)$$

で表される。ここで、式 6 の γ は実験結果から求められる定数である。

【0090】

したがって、上記式 6 及び式 7 に、印加時間と回復すべき閾値電圧の量 (ΔV_{th_r}) を代入することにより、印加すべき回復電圧が求められる。

40

【0091】

[1 - 6 . 代表劣化曲線を用いた閾値電圧シフト量の算出]

次に、上記代表劣化曲線を用いて、劣化量及び回復量を算出する方法について図 12 及び図 13 を用いて説明する。

【0092】

図 12 は、駆動トランジスタ 102 に印加される信号電圧が変動する場合の閾値電圧シフト量の経時変化の概要を示すグラフである。

【0093】

図 13 は、図 12 に示されるように駆動トランジスタ 102 に印加される信号電圧が変

50

動する場合の代表劣化曲線上の点の移動の様子を示すグラフである。

【 0 0 9 4 】

まず、発光画素 1 0 0 の信号線 1 3 0 に信号電圧が印加される場合における劣化量の算出方法を説明する。例えば、図 1 2 のグラフに示されるように、時間 $t = 0$ から時間 $t = t_A$ まで、信号電圧 V_1 が印加されるとすると、制御回路 2 は、式 5 に基づいて、劣化時間の長さ t_A を換算時間 $t_{A'}$ に変換する。この場合 $t = 0$ から信号電圧の印加を開始しており、劣化時間の開始時点における累積換算時間はゼロであるため、信号電圧印加終了時点における累積換算時間は $0 + t_{A'} = t_{A'}$ である。そして、制御回路 2 は、図 1 3 に示される代表劣化曲線を参照し、横軸の値が累積換算時間 $t_{A'}$ である点 (A') の縦軸の値から、閾値電圧シフト量 V_A を算出する。このようにして、制御回路 2 は劣化時間の終了時点における閾値電圧シフト量 V_A を算出する。

10

【 0 0 9 5 】

次に、駆動トランジスタ 1 0 2 のゲート - ソース間に回復電圧が印加される場合における回復量の算出方法を説明する。例えば、図 1 2 のグラフに示されるように、制御回路 2 が、時間 $t = t_A$ から時間 $t = t_B$ まで、駆動トランジスタ 1 0 2 のゲート - ソース間に回復電圧を印加すると、閾値電圧は、回復量 $\Delta V_{t_{h_r}} (= V_A - V_B)$ だけ回復する。そこで、制御回路 2 は、上記式 6 及び式 7 を用いて、閾値電圧の回復量 $\Delta V_{t_{h_r}}$ を算出する。そして、制御回路 2 は、図 1 3 に示されるような代表劣化曲線を参照して、閾値電圧シフト量が V_B (V_A から $\Delta V_{t_{h_r}}$ 減少した値) となる代表劣化曲線上の点 B' の横軸の値 $t_{B'}$ を印加時間終了時点における累積換算時間として算出する。このようにして、制御回路 2 は、印加時間終了時点における累積換算時間と閾値電圧シフト量とを算出する。

20

【 0 0 9 6 】

以上に述べたとおり、図 1 2 及び図 1 3 に示される例を用いると、印加時間 (t_A から t_B) における閾値電圧の回復量も代表劣化曲線上の点の移動で表現できる。また、印加時間終了後に信号電圧 V_2 が印加される劣化時間 (図 1 2 の点 B の時間軸の値 t_B から点 C の時間軸の値 t_C までの時間) が続く場合においても、劣化時間の終了時点における閾値電圧シフト量を代表劣化曲線によって算出できる。すなわち、図 1 2 に示される劣化時間の長さ ($t_C - t_B$) を、図 1 3 に示される換算時間 ($t_{C'} - t_{B'}$) に変換することにより、劣化時間の終了時点 t_C における累積換算時間 $t_{C'}$ を算出し、累積換算時間 $t_{C'}$ に対応する代表劣化曲線上の点 C' の縦軸の値から、劣化時間終了時点における閾値電圧シフト量 V_C を算出できる。

30

【 0 0 9 7 】

以上のように、代表劣化曲線を用いて、劣化時間及び印加時間における閾値電圧シフトを算出できる。

【 0 0 9 8 】

[1 - 7 . 回復電圧印加時の発光画素の動作]

次に、上記の回復電圧印加工程 (図 1 0 の S 6) における発光画素 1 0 0 の動作について説明する。

【 0 0 9 9 】

まず、回復電圧印加工程における、閾値電圧検出の際の発光画素 1 0 0 の動作について、図 1 4 及び図 1 5 を参照しながら説明する。

40

【 0 1 0 0 】

図 1 4 は、図 9 に示される発光画素 1 0 0 内の素子のうち、閾値電圧を検出する際に使用される素子を抜粋して示した回路図である。

【 0 1 0 1 】

図 1 5 は、図 1 4 に示された回路の動作を示すタイミングチャートである。

【 0 1 0 2 】

なお、図 1 4 に示される回路においては、駆動トランジスタ 1 0 2 のソース電極に第 2 コンデンサ 1 0 4 が接続されているが、第 2 コンデンサ 1 0 4 を新たに追加してもよいし

50

、有機EL素子103の容量成分を第2コンデンサ104として用いてもよい。ここで、一例として、図7に示される特性を有する駆動トランジスタを用いて、 $V_{gs} - V_{th} = -4V$ となるゲート・ソース間電圧を、回復電圧として印加する場合の動作を説明する。この場合、各電源線に印加される電圧について、例えば、電圧V1として10V、電圧V2として0V、電圧V3として5V、電圧V4として0Vをそれぞれ選択することができる。なお、電圧V3 - V4は、駆動トランジスタ102の閾値電圧 V_{th} より大きい値になるように設定される。

【0103】

図14及び図15において、INIは第2スイッチングトランジスタ112のゲート電極に印加される信号を示し、RSTは第1スイッチングトランジスタ111のゲート電極に印加される信号を示す。

10

【0104】

図15に示されるように、制御回路2は、まず、時刻 t_{11} において、第1スイッチングトランジスタ111及び第2スイッチングトランジスタ112が導通状態となるようにRST信号及びINI信号を高レベルとする。これにより、駆動トランジスタ102のソース電位がV4 (= 0V)、駆動トランジスタ102のゲート電位がV3 (= 5V)、となる。これにより、第1コンデンサ101の両端には、電圧V3 - V4 (= 5V)が印加され、第2コンデンサ104に印加される電圧は、 $V_2 = V_4 = 0$ より、ゼロとなる。この状態を時刻 t_{13} まで維持して、時刻 t_{13} において、INI信号だけを低レベルにすると、駆動トランジスタ102のゲート・ソース間電圧が閾値電圧 V_{th} より大きいことから、駆動トランジスタ102のドレインからソースに電流が流れている。この電流により、第2コンデンサ104が充電されて、駆動トランジスタ102のソース電位が上昇する。そして、駆動トランジスタ102のゲート・ソース間電圧が駆動トランジスタ102の閾値電圧 V_{th} と等しくなると(すなわちソース電位がV3 - V_{th} となると)、駆動トランジスタ102のドレイン・ソース間が非導通状態となり、ソース電位の上昇が停止する。

20

【0105】

以上のように、駆動トランジスタ102の閾値電圧 V_{th} を検出することができる。また、閾値電圧 V_{th} の検出が完了した後の時刻 t_{14} において、RST信号を低レベルとすることができる。

30

【0106】

なお、時刻 t_{11} と時刻 t_{13} との間の時刻 t_{12} まで、RST信号を低レベルすることもできる。この場合、時刻 t_{11} から時刻 t_{12} までの間に、第2コンデンサ104に印加される電圧がゼロとなる。そして、時刻 t_{12} から時刻 t_{13} までの間に、第1コンデンサ101に印加される電圧がV3 - V2となる。したがって、時刻 t_{11} から時刻 t_{12} まで、RST信号を低レベルとする場合にも、駆動トランジスタ102の閾値電圧 V_{th} を検出することができる。

【0107】

次に、駆動トランジスタ102のゲート・ソース間に回復電圧を印加する際の発光画素100の動作について、図16及び図17を参照しながら説明する。

40

【0108】

図16は、図9に示される発光画素100の素子のうち、回復電圧を印加する際に使用される素子を抜粋して示した回路図である。

【0109】

図17は、図16に示される回路の動作を示すタイミングチャートである。

【0110】

なお、図16に示される回路においては、駆動トランジスタ102のソース電極に第2コンデンサ104が接続されているが、第2コンデンサ104を新たに追加してもよいし、有機EL素子103の容量成分を第2コンデンサ104として用いてもよい。また、各電源線に印加される電圧について、例えば、電圧V1として10V、電圧V2として0V

50

、電圧 V_3 として 5 V をそれぞれ選択することができる。また、信号線 130 に印加される電圧 V_5 としては、例えば 0 V としてよい。

【0111】

図16及び図17において、SCNは第3スイッチングトランジスタ113のゲート電極に印加される信号を示す。図17に示されるように、制御回路2は、まず、時刻 t_{21} において、第1スイッチングトランジスタ111を導通状態から非導通状態とするように RST 信号を低レベルとする。なお、時刻 t_{21} において、上記の閾値電圧の検出動作が完了しており、駆動トランジスタ102のソース電位 V_s は $V_3 - V_{th}$ 、ゲート電位 V_g は V_3 である。続いて、時刻 t_{22} において、SCN 信号を低レベルから高レベルに変化させると、図17に示されるように、駆動トランジスタ102のゲート電位 V_g が、 $V_3 (= 5\text{ V})$ から、 $V_5 (= 0\text{ V})$ に、電位差 $V_3 - V_5 (= 5\text{ V})$ だけ低下する。このとき、第1コンデンサ101の両端に印加される電圧が変動する。ここで、第1コンデンサ101の容量と第2コンデンサ104の容量との比が、例えば 1 : 4 となるように各容量を選択すると、第1コンデンサ101と第2コンデンサ104とに印加される電圧の変動量の比は、4 : 1 となる。したがって、第1コンデンサ101の両端に印加される電圧の減少量は、 $V_3 - V_4$ の $4/5$ 倍の 4 V となる。したがって、ゲート - ソース間電圧 V_{gs} は、時刻 t_{22} 以後においては、 $V_{th} - 4$ となる。したがって、 $V_{gs} - V_{th} = -4\text{ V}$ となり、駆動トランジスタ102のゲート - ソース間に、上述の回復電圧が印加された状態が得られる(図7等参照)。その後、SCN 信号を低レベルとしても、駆動トランジスタ102のゲート - ソース間電圧は維持される。

10

20

【0112】

以上のように発光画素100を動作させることにより、表示部6の表示が停止される場合に、回復電圧がゲート - ソース間に印加される。

【0113】

なお、上述した回復電圧の印加は、表示部6の各発光画素100に対して順次行われる。ただし、回復電圧の印加は、全ての発光画素100に対して一括で行われてもよい。

【0114】

[1-8. バランス電圧印加工程]

次に、上記のバランス電圧印加工程(図10のS8)における発光画素100の動作について説明する。

30

【0115】

バランス電圧印加工程における発光画素100の動作は、上記回復電圧印加工程と同様である。すなわち、例えば、図7に示される特性を有する駆動トランジスタを用いて、バランス電圧として、 $V_{gs} - V_{th} = -2\text{ V}$ となるゲート - ソース間電圧を印加する場合には、上記電圧 V_3 として 2.5 V を選択すればよい。

【0116】

これにより、バランス電圧を印加することができるため、閾値電圧シフトを抑制することができる。

【0117】

なお、バランス電圧は、必ずしも閾値電圧シフト量がゼロとなるゲート - ソース間電圧でなくてもよい。例えば、閾値電圧シフトの許容量を定めて、当該許容量に対応する範囲の誤差を含んでもよい。あるいは、上記 V_3 の電圧調整精度程度の誤差を許容してもよい。

40

【0118】

[1-9. 効果など]

以上のように、表示部6の表示停止時に、駆動トランジスタ102のゲート - ソース間に回復電圧及びバランス電圧が印加されることにより、駆動トランジスタ102の閾値電圧が回復される。さらに、本実施の形態においては、駆動トランジスタ102の閾値電圧と印加時間に基づいて、必要十分な印加電圧が印加されるため、閾値電圧の回復が不十分となること、及び、回復電圧印加が過剰となって閾値電圧の初期値より負方向に閾値電圧

50

がシフトすることを抑制できる。

【0119】

また、本実施の形態においては、閾値電圧シフト量をゲート・ソース間への印加電圧の履歴に基づいて算出しているため、閾値電圧シフト量を測定することなく求めることができる。これにより、発光画素100に測定用の配線などを設けることなく、閾値電圧シフト量を求めることができる。

【0120】

また、本実施の形態においては、表示部6の表示を停止する場合に、停止状態が維持される停止時間を予測し、当該停止時間に基づいて、回復電圧の印加時間を決定しているため、回復電圧の印加中に、表示部6の表示が再開される可能性が低減される。

10

【0121】

また、本実施の形態においては、各発光画素100に対応する回復電圧を求めているため、各発光画素100の閾値電圧シフト量に対応した最適な回復電圧を印加することができる。

【0122】

(変形例1)

次に、実施の形態1の変形例1について図18及び図19を参照しながら説明する。

【0123】

図18は、図9に示される発光画素100の素子のうち、本変形例において回復電圧を印加する際に使用される素子を抜粋して示した回路図である。

20

【0124】

図19は、図18に示される回路の動作を示すタイミングチャートである。

【0125】

本変形例は、回復電圧を印加する際の動作において、上記実施の形態1と異なる。なお、本変形例においても、実施の形態1と同様に、第1コンデンサ101の容量と第2コンデンサ104の容量との比を、例えば1:4とする。また、各電源線に印加される電圧について、例えば、電圧V1として10V、電圧V2として0Vを選択できる。また、電圧V3は、高レベルと低レベルとの間で切り換えられ、高レベルの場合の値V3Hとして5V、低レベルの場合の値V3Lとして0Vを選択することができる。

【0126】

30

図19に示されるように、制御回路2は、まず、時刻t31において、第1スイッチングトランジスタ111を導通状態から非導通状態とするようにRST信号が低レベルに切り替えられる。なお、時刻t31において、上記の閾値電圧の検出動作が完了しており、駆動トランジスタ102のソース電位 V_s は $V_{3H} - V_{th}$ 、ゲート電位 V_g は V_{3H} である。続いて、時刻t31から時刻t32の間に電位V3が、 V_{3H} から V_{3L} に切り換えられる。その後、時刻t32において、RST信号が低レベルから高レベルに切り換えられると、図24に示されるように、駆動トランジスタ102のゲート電位 V_g が、 V_{3H} (=5V)から、 V_{3L} (=0V)に、電位差 $V_{3H} - V_{3L}$ (=5V)だけ低下する。このとき、第1コンデンサ101の両端に印加される電圧が変動する。したがって、実施の形態1の場合と同様に、ゲート・ソース間電圧 V_{gs} は、時刻t32以後においては、 $V_{th} - 4$ となる。したがって、 $V_{gs} - V_{th} = -4V$ となり、駆動トランジスタ102のゲート・ソース間に、上述のバランス電圧が印加された状態を得られる。その後、時刻t33でRST信号を低レベルに切り換えても、駆動トランジスタ102のゲート・ソース間電圧は維持される。

40

【0127】

なお、t31からt32の期間において、RST信号を高レベルに維持していても同様の効果を得ることが可能である。

【0128】

また、上述した回復電圧の印加は、表示部6の各発光画素100に対して順次行われてもよいし、全ての発光画素100に対して一括で行われてもよい。

50

【 0 1 2 9 】

以上のように、本変形例においても、上記実施の形態 1 と同様の効果が得られる。

【 0 1 3 0 】

(変形例 2)

次に、実施の形態 1 の変形例 2 について、図 2 0 を参照しながら説明する。

【 0 1 3 1 】

図 2 0 は、本変形例における図 1 8 に示される回路の動作を示すタイミングチャートである。

【 0 1 3 2 】

本変形例は、電圧 V_3 及び R S T 信号の切り換えタイミングにおいて、上記変形例 1 と異なる。図 2 0 に示されるように、本変形例においては、駆動トランジスタ 1 0 2 のゲート電位 V_g を $V_3 H$ から $V_3 L$ に低下させるために、図 1 9 に示される R S T 信号を用いる構成に代えて、電位 V_3 を $V_3 H$ から $V_3 L$ に切り換える構成を採用している。本変形例においても、上記実施の形態 1 と同様の効果が得られる。

【 0 1 3 3 】

(変形例 3)

次に、実施の形態 1 の変形例 3 について図 2 1 を参照しながら説明する。

【 0 1 3 4 】

図 2 1 は、本変形例における図 1 8 に示される回路の動作を示すタイミングチャートである。

【 0 1 3 5 】

本変形例は、電源線の動作において、上記変形例 2 と異なる。図 2 1 に示されるように、本変形例においては、駆動トランジスタ 1 0 2 のゲート - ソース間電圧を低下させるために、ゲート電位を低下させる構成に代えて、時刻 t_{52} において、電圧 V_2 を $V_2 L$ ($= 0 V$) から $V_2 H$ ($= 5 V$) に切り換える構成を採用している。本変形例においても、上記実施の形態 1 と同様の効果が得られる。

【 0 1 3 6 】

(変形例 4)

次に、実施の形態 1 の変形例 4 について、図 2 2 及び図 2 3 を参照しながら説明する。

【 0 1 3 7 】

図 2 2 は、図 9 に示される発光画素 1 0 0 の素子のうち、本変形例において閾値電圧を検出する際に使用される素子を抜粋して示した回路図である。

【 0 1 3 8 】

図 2 3 は、図 2 2 に示される回路の動作を示すタイミングチャートである。

【 0 1 3 9 】

本変形例は、閾値電圧の検出動作において、上記実施の形態 1 と異なる。各電源線に印加される電圧について、例えば、電圧 V_2 として $0 V$ 、電圧 V_3 として $5 V$ をそれぞれ選択することができる。また、電圧 V_1 は、高レベルと低レベルとの間で切り換えられ、高レベルの場合の値 $V_1 H$ として $10 V$ 、低レベルの場合の値 $V_1 L$ として $0 V$ を選択することができる。なお、電圧 $V_3 - V_1 L$ が、駆動トランジスタ 1 0 2 の閾値電圧 V_{th} より大きい値になるように設定されることは、上記実施の形態 1 と同様である。

【 0 1 4 0 】

図 2 3 に示されるように、時刻 t_{61} までは、R S T 信号及び電圧 V_1 が高レベルであり、駆動トランジスタ 1 0 2 のゲート電位は、 V_3 ($= 5 V$) である。したがって、時刻 t_{61} までは、駆動トランジスタ 1 0 2 のソース電位が正である。ここで、時刻 t_{61} において、電圧 V_1 を $V_1 H$ ($= 10 V$) から $V_1 L$ ($= 0 V$) に切り換えると、駆動トランジスタ 1 0 2 のドレイン電位よりソース電位が高くなり、ソース - ドレイン間が導通状態となることから、ソースからドレインに電流が流れる。ソース電位がドレイン電位と等しくなると、ドレインからソースへの電流がゼロとなった後、時刻 t_{63} において、電圧 V_1 を $V_1 L$ から $V_1 H$ に切り換える。ここでも、駆動トランジスタ 1 0 2 のソース - ド

10

20

30

40

50

レイン間が導通状態であることから、ドレインからソースに電流が流れる。このとき、第2コンデンサ104が充電されて、駆動トランジスタ102のソース電位が上昇する。そして、駆動トランジスタ102のゲート-ソース間電圧が駆動トランジスタ102の閾値電圧 V_{th} と等しくなると(すなわちソース電位が $V_3 - V_{th}$ となると)、駆動トランジスタ102のドレイン-ソース間が非導通状態となり、ソース電位の上昇が停止する。以上のように、本変形例においても、上記実施の形態1と同様に、駆動トランジスタ102の閾値電圧 V_{th} を検出することができる。また、閾値電圧 V_{th} を検出するために十分な時間が経過した時刻 t_{64} において、RST信号を低レベルとすることができる。

【0141】

なお、上記実施の形態1と同様に、時刻 t_{61} と時刻 t_{63} の間の時刻 t_{62} まで、RST信号を低レベルすることもできる。

【0142】

また、本変形例においては、第2コンデンサ104及び第2スイッチングトランジスタ112の一方の端子に同一電圧を供給しているが、異なる電圧を供給してもよい。

【0143】

また、本変形例において、上記変形例1~3の回復電圧印加動作を組み合わせることもできる。

【0144】

これにより、本変形例においても、上記実施の形態1と同様の効果を得ることができる。

【0145】

(実施の形態2)

次に実施の形態2の表示装置について説明する。

【0146】

上記実施の形態1においては、駆動トランジスタ102の閾値電圧シフト量は、上記式2~7を用いて算出することにより求められたが、本実施の形態においては、閾値電圧シフト量を読み出す(測定する)ことにより求める構成が用いられる。

【0147】

以下、本実施の形態の表示装置について詳細に説明するが、発光動作、回復電圧及びバランス電圧印加時の発光画素の動作など上記実施の形態1と共通する点については、説明を省略する。

【0148】

[2-1. 構成]

本実施の形態の表示装置の構成は、上記実施の形態1の表示装置1と同じである。ただし、制御回路2の動作、追加され得る構成要素など、上記実施の形態1の表示装置1と異なる点については後述する。

【0149】

[2-2. 表示停止時の動作]

まず、本実施の形態の表示装置の表示停止時の動作について図24を用いて説明する。

【0150】

図24は、本実施の形態の表示装置の表示停止時の動作の概要を示すフローチャートである。

【0151】

図24に示されるように、まず、制御回路2は、表示部6の表示を停止するか否かを判断する(S11)。ここで、当該判断は、制御回路2の外部から制御回路2に入力される表示装置の主電源スイッチのオフ操作を伝える信号の有無などに基づいて行われる。

【0152】

表示部6の表示を停止しない場合(S11でNo)には、制御回路2は、再度表示部6の表示を停止するか否かを判断する工程(S11)を実行する。

【0153】

表示部 6 の表示を停止する場合 (S 1 1 で Y e s) には、制御回路 2 は、閾値電圧シフト量 ΔV_{t_h} を読み出す (S 1 2)。閾値電圧シフト量 ΔV_{t_h} の読み出しは、各発光画素 1 0 0 に供給される電圧及び電流の測定により行われる。詳細な読み出し方法については後述する。

【 0 1 5 4 】

次に、制御回路 2 は、上記実施の形態 1 と同様に、表示部 6 が表示停止状態に維持される時間 (停止時間) を予測する (S 1 3)。

【 0 1 5 5 】

制御回路 2 は、停止時間を予測した後、上記実施の形態 1 と同様に、回復電圧を印加する時間である印加時間を決定する (S 1 4)。

10

【 0 1 5 6 】

制御回路 2 は、印加時間を決定した後、主電源スイッチがオフ操作された時点の駆動トランジスタ 1 0 2 の閾値電圧と、決定された印加時間とに基づいて回復電圧を決定する (S 1 5)。回復電圧は、上記実施の形態 1 と同様に算出されるが、閾値電圧シフト量として、読み出された値を用いる点において、上記実施の形態 1 と異なる。

【 0 1 5 7 】

制御回路 2 は、上述のとおり決定された回復電圧を、駆動トランジスタ 1 0 2 のゲート - ソース間に印加する (S 1 6)。

【 0 1 5 8 】

制御回路 2 は、回復電圧の印加を開始すると、印加時間が終了したか否かを判断する (S 1 7)。ここで、制御回路 2 は、印加時間が終了していないと判断されると (S 1 7 で N o)、予測された停止時間を見直すか否かを判断する (S 1 8)。当該判断は、例えば、監視部 8 からの信号に基づいて行われてもよい。監視部 8 が表示部 6 の周辺の人を検知した場合、間もなく表示装置の主電源スイッチがオン操作される可能性が高いため、停止時間を見直す必要があると判断して (S 1 8 で Y e s)、停止時間を予測する工程 (S 1 3) に戻ってもよい。

20

【 0 1 5 9 】

制御回路 2 が停止時間を見直す必要がないと判断すると (S 1 8 で N o)、制御回路 2 は、回復電圧を見直すか否かを判断する (S 1 9)。当該判断は、上記式 6 及び式 7 を用いて算出される閾値電圧と実際の閾値電圧との乖離を防ぐために行われる。制御回路 2 は、当該判断を、例えば、タイマ回路などを用いて定期的に行ってもよい。判断の時間間隔は、例えば、1 時間などとしてもよい。制御回路 2 が、回復電圧を見直さないと判断すると (S 1 9 で N o)、制御回路 2 は、印加時間の終了を判断する工程 (S 1 7) に戻る。また、制御回路 2 は、回復電圧を見直すと判断すると (S 1 9 で Y e s)、読み出した閾値電圧シフト量と、上記式 6 及び式 7 から算出される閾値電圧シフト量との誤差が、所定の値より大きいと否かを判断する (S 2 0)。ここで、当該所定の値は、適宜定められ得るが、例えば、前記信号線駆動回路の印加電圧分解能未満となるように定めてもよい。

30

【 0 1 6 0 】

制御回路 2 は、上記誤差が所定の値より小さいと判断すると (S 2 0 で Y e s)、回復電圧を変更せずに、印加時間の終了を判断する工程 (S 1 7) に戻る。制御回路 2 は、上記誤差が所定の値より小さくないと判断すると (S 2 0 で N o)、回復電圧を変更するために、回復電圧を決定する工程 (S 1 5) に戻る。

40

【 0 1 6 1 】

また、制御回路 2 は、上記工程 S 1 7 において印加時間が終了したと判断すると (S 1 7 で Y e s)、閾値電圧シフト量を再度読み出して、所定の閾値電圧シフト量 $\Delta V_{t_h_d}$ より小さいと否かを判断する (S 2 1)。ここで、当該所定の閾値電圧シフト量 $\Delta V_{t_h_d}$ は、閾値電圧シフト量をほぼゼロとみなすことのできる十分小さい値に定めることができる。例えば、当該所定の閾値電圧シフト量 $\Delta V_{t_h_d}$ を前記信号線駆動回路の印加電圧分解能未満となるように定めてよい。

【 0 1 6 2 】

50

制御回路 2 は、読み出された閾値電圧シフト量 ΔV_{t_h} が上記所定の閾値電圧シフト量 $\Delta V_{t_h_d}$ より小さくないと判断した場合 (S 2 1 で N o)、再度、印加時間及び回復時間を決定し直すために、停止時間を予測する工程 (S 1 3) に戻る。また、制御回路 2 は、読み出された閾値電圧シフト量 ΔV_{t_h} が上記所定の閾値電圧シフト量 $\Delta V_{t_h_d}$ より小さいと判断した場合 (S 2 1 で Y e s)、回復電圧の印加動作を終了する。

【0163】

なお、本実施の形態においては、回復電圧の印加終了後、バランス電圧を印加する工程を省略しているが、上記実施の形態 1 と同様に、回復電圧の印加を終えた後、バランス電圧を印加してもよい。

【0164】

また、上記実施の形態 1 と同様に、表示装置の主電源スイッチは、ユーザにより随時オン操作され得る。そのため、図 2 4 に示されるフローチャートの各工程、及び、各工程間において、主電源スイッチがオン操作された場合には、表示部 6 の表示再開工程の割り込みが許可される。

【0165】

[2 - 3 . 閾値電圧シフト量の読み出し方法]

次に、本実施の形態の閾値電圧シフト量 ΔV_{t_h} の読み出し方法について説明する。

【0166】

閾値電圧シフト量を読み出す場合に、読み出すための測定サンプルの形状として、駆動トランジスタ 1 0 2 (T F T) 単体又は発光画素 1 0 0 全体を選択し得る。

【0167】

最初に、駆動トランジスタ 1 0 2 単体を測定サンプルとする場合に、閾値電圧シフト量 ΔV_{t_h} を読み出す方法について説明する。

【0168】

駆動トランジスタ 1 0 2 の閾値電圧を読み出すために、駆動トランジスタ 1 0 2 のゲート - ソース間電圧 V_{g_s} とドレイン - ソース間電流 I_{d_s} を測定する。ここで、ゲート - ソース間電圧 V_{g_s} は、例えば、駆動トランジスタ 1 0 2 のゲート及びソースに、電圧測定用の配線を設けることなどにより測定される。また、ダミーの駆動トランジスタを設けて、当該ダミーの駆動トランジスタのゲート - ソース間電圧及びドレイン - ソース間電流を測定してもよい。当該ダミーの駆動トランジスタに発光画素 1 0 0 内の駆動トランジスタ 1 0 2 と同等のストレスを印加し、当該ダミーの駆動トランジスタの特性を測定することによって、発光画素 1 0 0 内の駆動トランジスタ 1 0 2 の特性を推測することができる。また、ドレイン - ソース間電流 I_{d_s} は、図 9 に示される第 1 電源線 1 3 1 に流れる電流を測定することによって測定される。第 1 電源線 1 3 1 に流れる電流は、電流測定用の専用配線を設置して測定してもよいし、電源線駆動回路 7 に電流計を設置して測定してもよい。続いて、制御回路 2 は、測定されたゲート - ソース間電圧 V_{g_s} とドレイン - ソース間電流 I_{d_s} とから、 $(I_{d_s})^{1/2} - V_{g_s}$ 特性を示すグラフを作成する。このグラフを直線外挿することにより、 I_{d_s} がゼロとなる V_{g_s} が求められる。そして、制御回路 2 は、この V_{g_s} の値と、 V_{g_s} の初期値 (駆動トランジスタ 1 0 2 にストレスが印加される前の値) との差 ΔV_{g_s} を求め、この値 ΔV_{g_s} を閾値電圧シフト量 ΔV_{t_h} として読み出す。

【0169】

次に、発光画素 1 0 0 を測定サンプルとする場合に、閾値電圧シフト量 ΔV_{t_h} を読み出す方法について説明する。

【0170】

閾値電圧を読み出すために、まず、発光画素 1 0 0 における信号線 1 3 0 に印加される電圧を V_{data} 、発光画素に流れる電流を I_{pix} として、発光画素 1 0 0 の V_{data} 及び I_{pix} を測定する。 V_{data} は、信号線 1 3 0 の電圧を測定することによって得られる。また、 I_{pix} は、駆動トランジスタ 1 0 2 のドレイン - ソース間電流とほぼ等しいため、例えば、第 1 電源線 1 3 1 に流れる電流を測定することによって得られる。

第 1 電源線 1 3 1 に流れる電流は、電流測定用の専用配線を設置して測定してもよいし、電源線駆動回路 7 に電流計を設置して測定してもよい。そして、制御回路 2 は、測定された V_{data} 及び I_{pix} を用いて、 $(I_{pix})^{1/2} - V_{data}$ 特性を示すグラフを作成する。ここで、 V_{data} 電圧の中低域（中諧調から低諧調域）の $(I_{pix})^{1/2} - V_{data}$ 特性を直線外挿することにより、 I_{pix} がゼロとなる V_{data} の値を求める。そして、この V_{data} の値と、 V_{data} の初期値（ V_{data} 印加前、すなわち、駆動トランジスタ 1 0 2 にストレスが印加される前の値）との差 ΔV_{data} を求める。ここで、閾値電圧補償係数を α_1 、閾値電圧の発光画素への書き込み率を γ_1 とすると、

【数 8】

$$\frac{\gamma_1 \Delta V_{data}}{\alpha_1} = \Delta V_{th} \quad (式 8)$$

10

と表すことができる。なお、閾値電圧補償係数 α_1 、及び、閾値電圧の発光画素への書き込み率 γ_1 は、それぞれ以下のように定義される。

【0 1 7 1】

【数 9】

$$1 - \alpha_1 \equiv \frac{\Delta V_{gs}}{\Delta V_{th}} \quad (式 9)$$

20

【0 1 7 2】

【数 1 0】

$$\gamma_1 \equiv \frac{\Delta V_{gs}}{\Delta V_{data}} \quad (式 1 0)$$

【0 1 7 3】

上記式 8 において、上記 ΔV_{data} を閾値電圧補償することなしに測定する場合には、閾値電圧補償係数 α_1 は 1 である。また、書き込み率 γ_1 は、発光画素 1 0 0 の設計時に決定される定数である。したがって、閾値電圧補償しない場合の $(I_{pix})^{1/2} - V_{data}$ 特性を示すグラフから求められた ΔV_{data} を式 8 に代入することによって、閾値電圧シフト量 ΔV_{th} が読み出される。

30

【0 1 7 4】

[2 - 4 . 測定サンプルの場所とその特性]

次に、閾値電圧シフト量の読み出しに使用される測定サンプルを配置する場所と、各場所の特性について図 2 5 を参照しながら説明する。

【0 1 7 5】

図 2 5 は、閾値電圧シフト量の読み出しに使用される測定サンプルの場所と、各場所の特性を示す表である。なお、図 2 5 の表における ○ 印は適用可能であることを示し、× 印は適用不可能であることを示す。

【0 1 7 6】

40

まず、図 2 5 に示される測定サンプルの場所について説明する。測定サンプルの場所としては、各発光画素（図 2 5 の No . 1 ）又は表示部 6 の代表箇所（図 2 5 の No . 2 及び No . 3 ）のいずれかを選択できる。また、代表箇所としては、表示領域内（図 2 5 の No . 2 ）と表示領域外（図 2 5 の No . 3 ）を選択できる。表示領域内の代表箇所に測定サンプルを配置する構成としては、例えば、行列状に配置された発光画素 1 0 0 のうち、行番号及び列番号が偶数である発光画素 1 0 0 を選択する構成、行番号及び列番号を 2 以上の整数 n で割った余りが 1 以上の整数 m ($< n$) である発光画素 1 0 0 を選択する構成などが採用され得る。また、表示領域の四隅の四つの発光画素 1 0 0 を選択する構成を採用してもよい。一方、表示領域外の代表箇所に測定サンプルを配置する例としては、表示領域外に、表示に使用されないダミー画素を設ける構成が採用され得る。当該ダミー画

50

素は、表示領域の四隅近傍に設けられてもよい。

【 0 1 7 7 】

次に、図 2 5 に示される上記の測定サンプルの形状について説明する。図 2 5 に示されるように、上記各測定サンプルの場所を採用する場合に、測定サンプルの形状としては、発光画素及び駆動トランジスタ単体（T F T 単体）のいずれも利用できる。なお、ダミー画素を表示領域外に設ける場合（図 2 5 の N o . 3 ）には、ダミー画素は、走査線駆動回路 4 と表示部 6 との間に設けることが好ましい。これにより、ダミー画素のための走査線を別途設けることなく、ダミー画素に走査信号を供給することができる。また、図 2 5 に示されるとおり、測定サンプルの形状としては、発光画素及び単体 T F T のいずれも採用できる。ただし、測定サンプルの場所を表示領域内とし（図 2 5 の N o . 1 及び N o . 2 ）、測定サンプルの形状として駆動トランジスタ単体（T F T 単体）を採用する場合、ダミーの駆動トランジスタなどを発光画素 1 0 0 内に設ける必要がある。したがって、発光画素 1 0 0 を小型化して、表示部 6 を高精細化することが要求される場合には、測定サンプルの形状として、発光画素を採用することが好ましい。

10

20

30

40

50

【 0 1 7 8 】

次に、図 2 5 に示される閾値電圧シフト量 ΔV_{t_h} マップの生成方法について説明する。 ΔV_{t_h} マップとしては、表示部 6 の表示領域内の全発光画素のそれぞれについて ΔV_{t_h} のデータを生成する方法と、表示領域を 1 以上の領域（A）に分けて、領域（A）毎に ΔV_{t_h} のデータを生成する方法と、が考えられる。図 2 5 の N o . 1 ~ 3 のいずれの測定サンプルの場所を採用する場合においても、上記各生成方法を採用し得る。ただし、測定サンプルの場所を代表箇所とする場合（図 2 5 の N o . 2 及び N o . 3 ）、 ΔV_{t_h} は、代表箇所の測定サンプルから得られた測定結果を用いた推定値となる。 ΔV_{t_h} の推定方法は特に限定されない。例えば、表示領域内の四隅の発光画素を測定サンプルの場所とする場合、各発光画素（又は各領域（A））の ΔV_{t_h} を、四隅の測定サンプルの発光画素から各発光画素（又は各領域（A））までの距離と、各測定サンプルの発光画素における ΔV_{t_h} とに基づいて求めてもよい。具体的には、各測定サンプルの場所の ΔV_{t_h} に、発光画素（又は各領域（A））から各測定サンプルの場所までの距離に反比例する重みをかけた値の加重平均値を、発光画素（又は各領域（A））における ΔV_{t_h} としてもよい。

【 0 1 7 9 】

次に、図 2 5 に示される各発光画素の駆動トランジスタへのゲート - ソース間電圧 V_{g_s} の印加方法のうち、表示部 6 において表示を行う場合に駆動トランジスタのゲート - ソース間に印加される電圧 V_{g_s} （表示に基づく電圧）の印加方法について説明する。図 2 5 に示されるように、測定サンプルが表示領域内にあれば（図 2 5 の N o . 1 及び N o . 2 ）、表示部 6 の実際の表示に基づく V_{g_s} を測定サンプルに印加することができる。しかしながら、測定サンプルが表示領域外にあれば（図 2 5 の N o . 3 ）、測定サンプルへの表示データは存在しないので、表示部 6 の実際の表示に基づく V_{g_s} を測定サンプルに印加することはできない。また、表示領域を 1 以上の領域（A）に分ける場合、各領域（A）を代表する発光画素内の駆動トランジスタに印加される V_{g_s} を、各領域（A）内の各駆動トランジスタに印加される V_{g_s} とみなすことは、測定サンプルが図 2 5 の N o . 1 ~ 3 のどの場所にあっても可能である。ただし、測定サンプルの場所が各発光画素内である場合（図 2 5 の N o . 1 ）、各発光画素の実際の表示に基づいた ΔV_{t_h} を測定することができる。そのため、各領域（A）を代表する発光画素内の駆動トランジスタに印加される V_{g_s} が、領域（A）内のすべての発光画素に印加されるとみなす必要はない。また、測定サンプルが表示領域内外の代表箇所にある場合（図 2 5 の N o . 2 及び N o . 3 ）、当該測定サンプルに印加される V_{g_s} を、各領域（A）内の駆動トランジスタに印加される V_{g_s} とみなす必要がある。

【 0 1 8 0 】

次に、図 2 5 に示される各発光画素の駆動トランジスタへのゲート - ソース間電圧 V_{g_s} の印加方法のうち、回復電圧の印加方法について説明する。回復電圧を印加する方法と

しては、発光画素毎に調整された回復電圧を印加する方法と、領域（A）内の全発光画素に同一の回復電圧を印加する方法とが考えられる。図25に示されるように、測定サンプルが図25のNo. 1～3のどの場所にある場合においても、回復電圧を発光画素毎に調整して印加することも、領域（A）内の全発光画素に同一の回復電圧を印加することも可能である。ただし、測定サンプルが表示領域内外の代表箇所にある場合（図25のNo. 2及びNo. 3）、当該測定サンプルにおける閾値電圧シフト量 ΔV_{th} から、各発光画素における ΔV_{th} を推定し、推定された ΔV_{th} に基づいて求められた回復電圧を印加する必要がある。例えば、領域（A）内の全発光画素の ΔV_{th} の推定値の平均値を求めて、当該平均値に基づいて求められた回復電圧を印加してもよい。

【0181】

10

[2-5. 効果など]

以上のように、本実施の形態においては、上記実施の形態1と同様に、駆動トランジスタ102のゲート-ソース間に回復電圧が印加されることにより、駆動トランジスタ102の閾値電圧シフトが回復される。さらに、本実施の形態においては、駆動トランジスタ102の閾値電圧と印加時間に基づいて、必要十分な印加電圧が印加されるため、閾値電圧シフトの回復が不十分となること、及び、回復電圧印加が過剰となって閾値電圧の初期値より負方向に閾値電圧シフトすることが抑制される。

【0182】

また、本実施の形態においては、閾値電圧シフト量を実測により読み出すため、より正確に閾値電圧シフト量を求めることができる。これにより、より適切な回復電圧を求め、かつ、印加することができるため、閾値電圧シフトをより一層抑制することができる。

20

【0183】

また、本実施の形態においては、回復電圧印加中に、回復電圧を見直して変更することにより、例えば、リーク電流などの影響で回復電圧が変動することによって、閾値電圧の回復が阻害されることを抑制できる。

【0184】

また、本実施の形態においては、予測された表示部6の停止時間を、監視部8からの信号に基づいて見直すことにより、回復電圧印加中に主電源スイッチがオン操作されて、閾値電圧の回復が不十分な状態で表示部6の表示が再開される可能性を低減することができる。

30

【0185】

（他の実施の形態）

以上のように、本出願において開示する技術の例示として、実施の形態1及びその変形例、並びに、実施の形態2を説明した。しかしながら、本開示における技術は、これらに限定されず、適宜、変更、置き換え、付加、省略などを行った実施の形態にも適用可能である。

【0186】

例えば、上記各実施の形態において、閾値電圧は線形領域における閾値電圧であるとしてもよい。この場合、閾値電圧は、具体的には以下の通り定められる。

【0187】

40

[線形領域（ $V_{gs} - V_{th} - V_{ds}$ ）の閾値電圧の定義]

線形領域（ $V_{gs} - V_{th} - V_{ds}$ ）における閾値電圧 V_{th} は、伝達特性（ドレイン-ソース間電流（ I_{ds} ）-ゲート-ソース間電圧（ V_{gs} ）特性）において移動度が最大値となる V_{gs} 点における $I_{ds} - V_{gs}$ 特性接線と V_{gs} 電圧軸（x軸）の交点となる V_{gs} 値として定義することができる。ここで、移動度は伝達特性における傾き dI_{ds} / dV_{gs} を次式11に代入して得られる。

【0188】

【数 1 1】

$$\mu = \frac{L}{WC V_{ds}} \left(\frac{dI_{ds}}{dV_{gs}} \right) \quad (\text{式 1 1})$$

【0 1 8 9】

なお、線形領域 ($V_{gs} - V_{th} < V_{ds}$) では式 1 1 を、飽和領域 ($V_{gs} - V_{th} > V_{ds}$) では上述の式 1 を用いて移動度及び V_{th} を算出するが、実用上では V_{th} がわからなければ、線形領域か飽和領域かを判断できない。そこで、一旦、式 1 と式 1 1 とを用いて V_{th} を求めておき、改めてその V_{th} から確かに線形領域か飽和領域であったことを確認する。これにより、2 つの動作領域を区別した適切な閾値電圧を求めることができる。

【0 1 9 0】

なお、閾値電圧はトランジスタのゲート電極とゲート絶縁膜と半導体の積層構造におけるフラットバンド電圧としてもよい。

【0 1 9 1】

なお、閾値電圧は $I_{ds} - V_{gs}$ 曲線の最小値としてもよい。

【0 1 9 2】

つまり、トランジスタの伝達特性 ($I_{ds} - V_{gs}$ 特性) において、

【数 1 2】

$$\frac{d \log(I_{ds})}{dV_{gs}} \quad (\text{式 1 2})$$

の値が 0 となる V_{gs} 値である。

【0 1 9 3】

また、閾値電圧は I_{ds} 電流のピーク電流の $1/2^n$ (n は正整数) の電流値となる V_{gs} 値であり、ピーク電流は全白表示時の電流値とすることもできる。

【0 1 9 4】

また、上述した各実施の形態では、駆動トランジスタ 1 0 2 として n 型トランジスタを用いる構成が採用されているが、駆動トランジスタ 1 0 2 として p 型トランジスタを用いる構成を採用し、各電源線などの極性を反転させた表示装置においても、上述した各実施の形態と同様の効果が奏される。

【0 1 9 5】

また、上記式 3 においては、 A を定数としたが、劣化量の温度依存性を表現するために、 A を温度の関数としてもよい。例えば、 A_0 を定数、 E_a を閾値電圧シフトの活性化エネルギーとして、 A を次式で表してもよい。

【0 1 9 6】

【数 1 3】

$$A = A_0 \exp\left(-\frac{E_a}{kT}\right) \quad (\text{式 1 3})$$

【0 1 9 7】

あわせて、温度 T の計測機能を表示装置に付加することで、閾値電圧シフトの劣化量及び回復量を計測温度の時間変化にあわせて精度良く算出してもよい。

【0 1 9 8】

また、上記各実施の形態においては、表示部 6 が表示停止状態に維持される時間 (停止時間) を予測し、当該予測された停止時間に基づいて、回復電圧を印加する印加時間を求めたが、印加時間を閾値電圧の回復に十分な所定の時間に固定してもよい。この場合、回復電圧だけが、閾値電圧シフト量に応じて調整される。また、逆に、回復電圧を固定し、閾値電圧シフト量に応じて、印加時間だけを調整してもよい。

【 0 1 9 9 】

また、本開示の発光画素 1 0 0 において使用される駆動トランジスタ及びスイッチングトランジスタの半導体層の材料は、特に限定されないが、例えば、I G Z O (I n - G a - Z n - O) などの酸化物半導体材料が採用され得る。I G Z O などの酸化物半導体からなる半導体層を備えるトランジスタは、リーク電流が少ないため、回復電圧及びバランス電圧をより長い時間印加し続けることができる。また、第 1 スwitchングトランジスタ 1 1 1 及び第 3 スwitchングトランジスタ 1 1 3 として、閾値電圧を正とする半導体層を備えるトランジスタを用いる場合も、第 1 スwitchングトランジスタ 1 1 1 及び第 3 スwitchングトランジスタ 1 1 3 における、駆動トランジスタのゲートからのリーク電流を抑制することができる。

10

【 0 2 0 0 】

また、上記各実施の形態においては、発光素子として有機 E L 素子を用いたが、電流に応じて発光強度が変化する発光素子であれば任意の発光素子を用いることができる。

【 0 2 0 1 】

また、上述した有機 E L 表示装置などの表示装置については、フラットパネルディスプレイとして利用することができ、テレビジョンセット、パーソナルコンピュータ、携帯電話など、表示装置を有するあらゆる電子機器に適用することができる。

【 産業上の利用可能性 】

【 0 2 0 2 】

本開示は、表示装置及び駆動方法に利用でき、特にテレビジョンセットなどの表示装置に利用することができる。

20

【 符号の説明 】

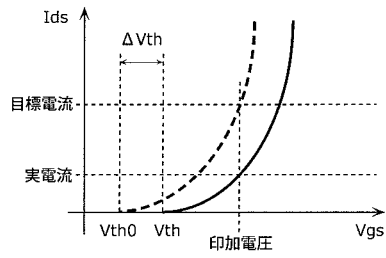
【 0 2 0 3 】

- 1 表示装置
- 2 制御回路
- 3 メモリ
- 4 走査線駆動回路
- 5 信号線駆動回路
- 6 表示部
- 7 電源線駆動回路
- 8 監視部
- 1 0 0 発光画素
- 1 0 1 第 1 コンデンサ
- 1 0 2 駆動トランジスタ
- 1 0 3 有機 E L 素子
- 1 0 4 第 2 コンデンサ
- 1 1 1 第 1 スwitchングトランジスタ
- 1 1 2 第 2 スwitchングトランジスタ
- 1 1 3 第 3 スwitchングトランジスタ
- 1 2 1 第 1 走査線
- 1 2 2 第 2 走査線
- 1 2 3 第 3 走査線
- 1 3 0 信号線
- 1 3 1 第 1 電源線
- 1 3 2 第 2 電源線
- 1 3 3 第 3 電源線
- 1 3 4 第 4 電源線

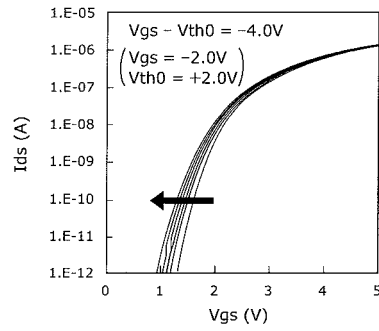
30

40

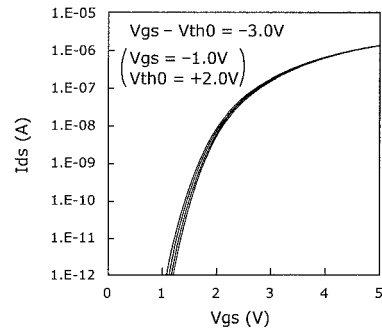
【図 1】



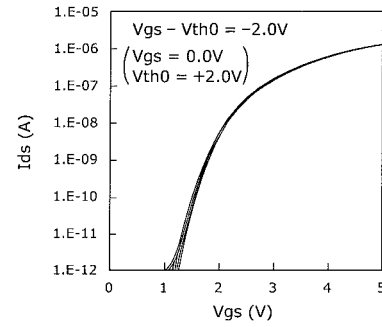
【図 2】



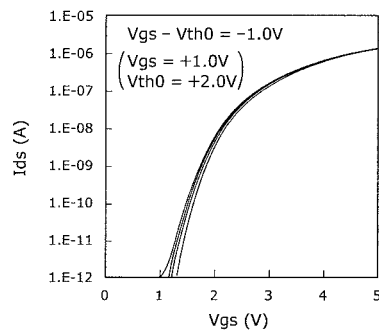
【図 3】



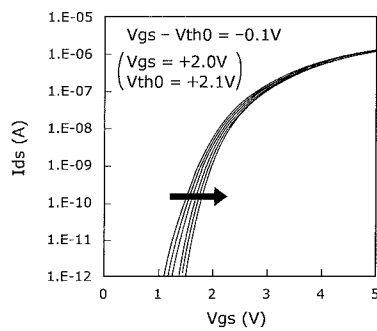
【図 4】



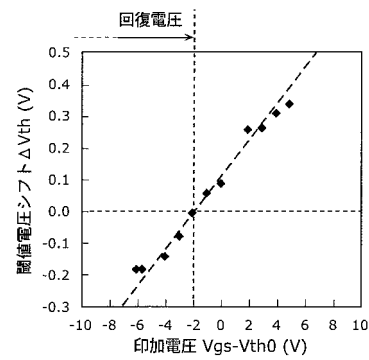
【図 5】



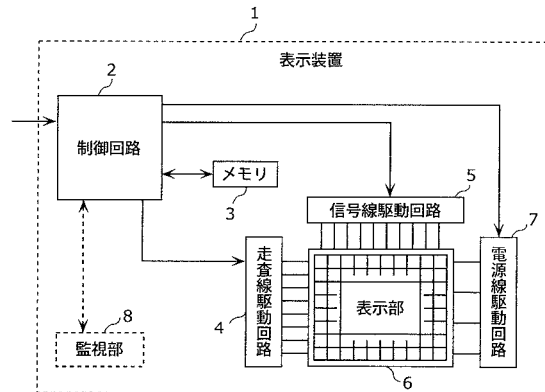
【図 6】



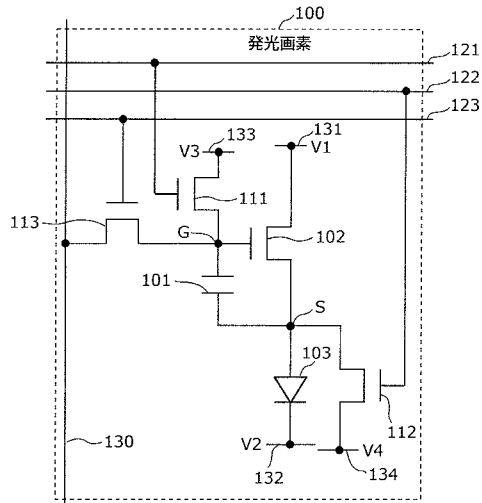
【図 7】



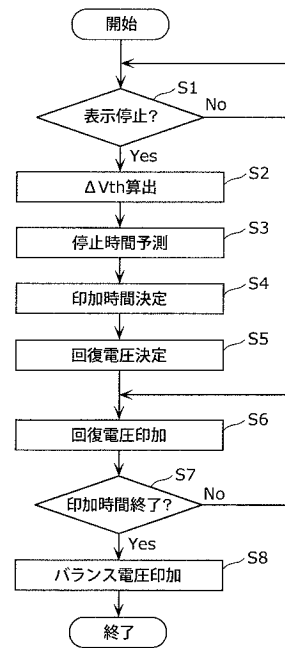
【図 8】



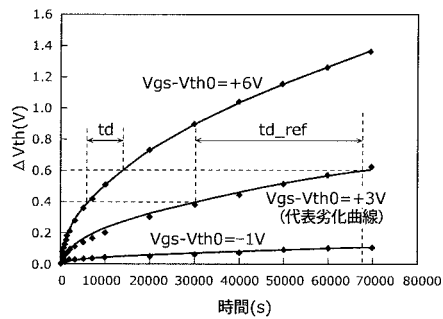
【図 9】



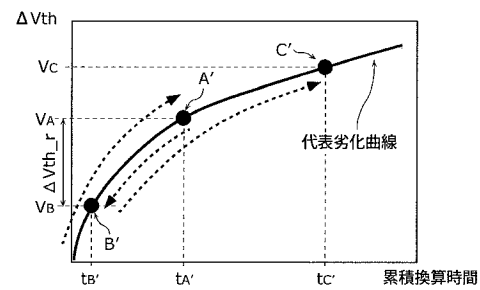
【図 10】



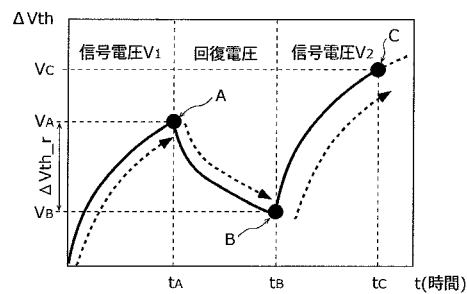
【図 11】



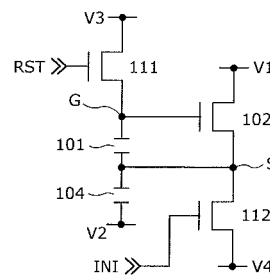
【図 13】



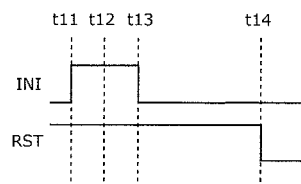
【図 12】



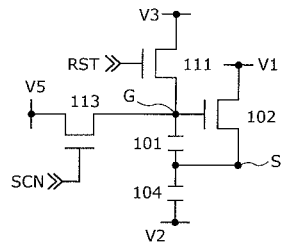
【図 14】



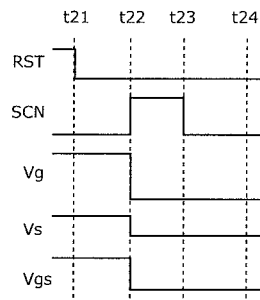
【図 15】



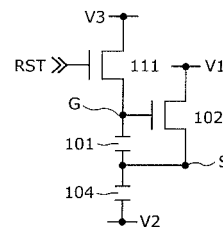
【図 16】



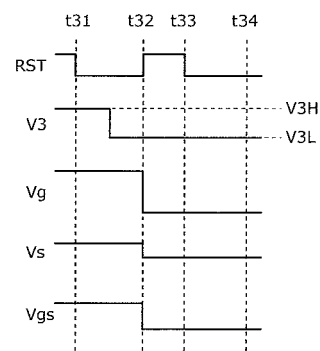
【図 17】



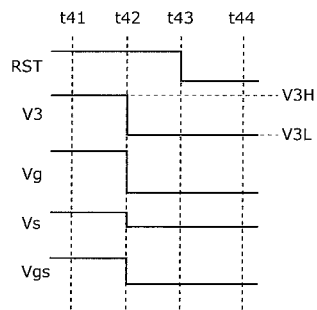
【図 18】



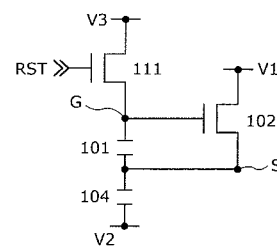
【図 19】



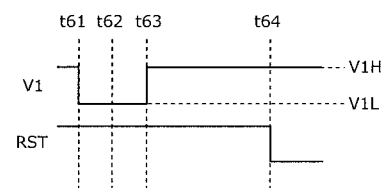
【図 20】



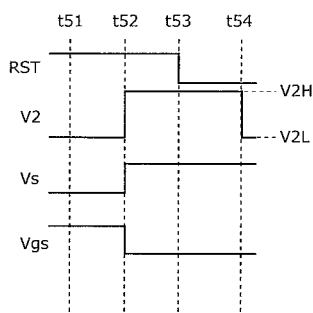
【図 22】



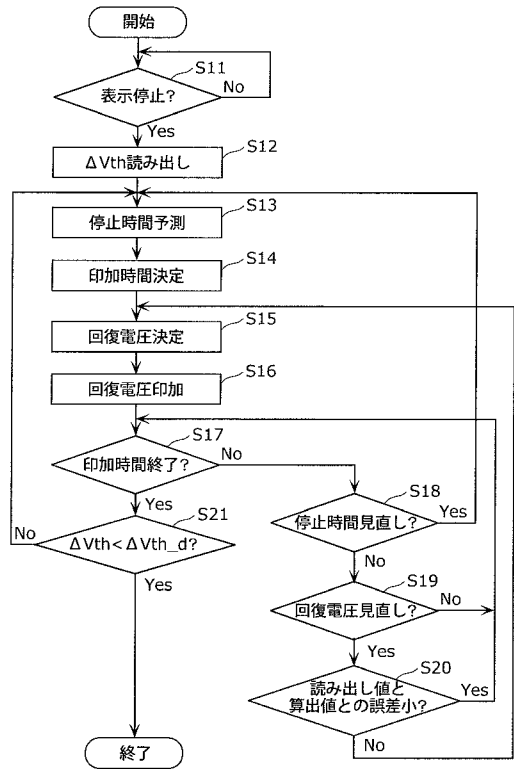
【図 23】



【図 21】



【図 2 4】



【図 2 5】

No.	ΔVthデータ取得のための測定サンプルの場所	サンプル形状	ΔVthマップの生成方法		各発光画素の駆動トランジスタへのVgs印加方法	
			表示領域を1以上の領域に分けて各領域のデータ生成の可否	表示領域内の各発光画素のデータ生成の可否	表示に基づくVgs	回復電圧
1	各発光画素	○	○	○	○	○
2	表示領域内 代表箇所	○	○ (推定値)	○ (推定値)	○ (サンプルに与えるVgsは各領域(A)のVgsとみなす)	○ (推定値に基づく回復電圧)
3	表示領域外	○	○ (推定値)	○ (推定値)	○ (サンプルに与えるVgsは各領域(A)のVgsとみなす)	○ (推定値に基づく回復電圧)

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/006399

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/00-5/42, H01L51/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-123508 A (Casio Computer Co., Ltd.), 23 June 2011 (23.06.2011), entire text; fig. 1 to 28 (Family: none)	1-10
A	JP 2009-217154 A (Fuji Electric Holdings Co., Ltd.), 24 September 2009 (24.09.2009), entire text; fig. 1 to 21 (Family: none)	1-10
A	WO 2006/070833 A1 (Kyocera Corp.), 06 July 2006 (06.07.2006), entire text; fig. 1 to 18 & JP 5173196 B & US 2008/0007547 A1 & US 2013/0002637 A1 & CN 101069226 A & KR 10-2007-0091165 A & CN 101515433 A	1-10

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
20 March 2015 (20.03.15)Date of mailing of the international search report
31 March 2015 (31.03.15)Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/006399

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2013-513132 A (Ignis Innovation Inc.), 18 April 2013 (18.04.2013), entire text; fig. 1 to 6 & US 2011/0134157 A1 & US 2014/0043316 A1 & EP 2507785 A & WO 2011/067710 A1 & CA 2687631 A & CN 102714020 A & CA 2687631 A1	1-10
A	JP 2013-47799 A (Thales), 07 March 2013 (07.03.2013), entire text; fig. 1 to 12 & JP 2009-535658 A & US 2009/0096725 A1 & EP 2013863 A & WO 2007/125095 A1 & FR 2900492 A & FR 2900492 A1 & KR 10-2009-0006129 A & TW 200809741 A & KR 10-1313970 B	1-10

国際調査報告		国際出願番号 PCT/J P 2 0 1 4 / 0 0 6 3 9 9									
A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. G09G3/00-5/42, H01L51/50											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2015年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2015年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2015年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2015年	日本国実用新案登録公報	1996-2015年	日本国登録実用新案公報	1994-2015年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2015年										
日本国実用新案登録公報	1996-2015年										
日本国登録実用新案公報	1994-2015年										
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
A	JP 2011-123508 A（カシオ計算機株式会社）2011.06.23, 全文, 図1-28 (ファミリーなし)	1-10									
A	JP 2009-217154 A（富士電機ホールディングス株式会社）2009.09.24, 全文, 図1-21 (ファミリーなし)	1-10									
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。											
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献											
国際調査を完了した日 20.03.2015		国際調査報告の発送日 31.03.2015									
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 中村 直行 電話番号 03-3581-1101 内線 3226									

国際調査報告		国際出願番号 PCT/J P 2 0 1 4 / 0 0 6 3 9 9
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2006/070833 A1 (京セラ株式会社) 2006.07.06, 全文, 図 1-18 & JP 5173196 B & US 2008/0007547 A1 & US 2013/0002637 A1 & CN 101069226 A & KR 10-2007-0091165 A & CN 101515433 A	1-10
A	JP 2013-513132 A (イグニス・イノベーション・インコーポレーテッド) 2013.04.18, 全文, 図 1-6 & US 2011/0134157 A1 & US 2014/0043316 A1 & EP 2507785 A & WO 2011/067710 A1 & CA 2687631 A & CN 102714020 A & CA 2687631 A1	1-10
A	JP 2013-47799 A (テールズ) 2013.03.07, 全文, 図 1-12 & JP 2009-535658 A & US 2009/0096725 A1 & EP 2013863 A & WO 2007/125095 A1 & FR 2900492 A & FR 2900492 A1 & KR 10-2009-0006129 A & TW 200809741 A & KR 10-1313970 B	1-10

フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/3233	
	G 0 9 G 3/20	6 1 2 Z
	G 0 9 G 3/20	6 2 4 B
	H 0 5 B 33/14	A

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

Fターム(参考) 5C080 AA06 BB05 DD29 EE29 FF11 GG12 HH10 JJ02 JJ03 JJ04
 JJ05 JJ07
 5C380 AA01 AB06 AB46 BA38 BA39 BA48 BD02 BD08 BD10 CA12
 CB26 CC04 CC07 CC27 CC30 CC33 CC38 CC41 CC64 CC71
 CD014 CF01 CF57 CF66 DA02 DA06 DA39 DA40 DA47 FA07
 FA19 FA30 HA03 HA05 HA11

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	显示装置和显示装置的驱动方法		
公开(公告)号	JPWO2015162651A1	公开(公告)日	2017-04-13
申请号	JP2016514551	申请日	2014-12-22
[标]申请(专利权)人(译)	日本有机雷特显示器股份有限公司		
申请(专利权)人(译)	株式会社JOLED		
[标]发明人	林宏 小野晋也		
发明人	林 宏 小野 晋也		
IPC分类号	G09G3/30 G09G3/20 G09G3/3233 H01L51/50		
CPC分类号	G09G3/3233 G09G2300/0842 G09G2310/0254 G09G2320/0233 G09G2320/029 G09G2320/043 G09G2320/048 G09G2354/00 G09G2330/02		
FI分类号	G09G3/30.J G09G3/20.611.H G09G3/20.612.J G09G3/20.670.K G09G3/20.670.J G09G3/3233 G09G3/20.612.Z G09G3/20.624.B H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH04 5C080/AA06 5C080/BB05 5C080/DD29 5C080/EE29 5C080/FF11 5C080/GG12 5C080/HH10 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ07 5C380/AA01 5C380/AB06 5C380/AB46 5C380/BA38 5C380/BA39 5C380/BA48 5C380/BD02 5C380/BD08 5C380/BD10 5C380/CA12 5C380/CB26 5C380/CC04 5C380/CC07 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC38 5C380/CC41 5C380/CC64 5C380/CC71 5C380/CD014 5C380/CF01 5C380/CF57 5C380/CF66 5C380/DA02 5C380/DA06 5C380/DA39 5C380/DA40 5C380/DA47 5C380/FA07 5C380/FA19 5C380/FA30 5C380/HA03 5C380/HA05 5C380/HA11		
代理人(译)	吉川修 Sobashima正雄		
优先权	2014087636 2014-04-21 JP		
其他公开文献	JP6248353B2		
外部链接	Espacenet		

摘要(译)

一种显示设备(1)，包括：显示部分(6)，其中多个发光像素(100)以矩阵形式排列；以及控制电路(2)，用于控制显示部分(6)，其中每个像素(100)包括发光元件(有机EL元件(103))和驱动晶体管(102)，驱动晶体管(102)通过向发光元件供应电流来使发光元件发光，并且控制电路(2)是当显示单元(6)的显示停止时，获得显示单元(6)的显示停止时的驱动晶体管(102)的阈值电压的偏移量，并且在显示单元(6)的显示停止时进行驱动。基于该偏移量来确定用于通过在晶体管(102)的栅极和源极之间施加偏移量来减小偏移量的恢复电压中的至少一个以及用于施加该恢复电压的施加时间。

