

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02013/076772

発行日 平成27年4月27日(2015.4.27)

(43) 国際公開日 平成25年5月30日(2013.5.30)

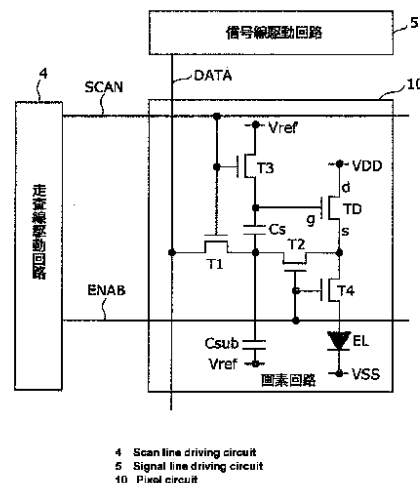
(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
H01L 51/50 (2006.01)	G09G 3/20 642C	5C380
	G09G 3/20 623D	
	G09G 3/20 622D	
審査請求 有 予備審査請求 有 (全 42 頁) 最終頁に続く		

出願番号	特願2013-545653 (P2013-545653)	(71) 出願人	000005821
(21) 国際出願番号	PCT/JP2011/006543		パナソニック株式会社
(22) 国際出願日	平成23年11月24日(2011.11.24)		大阪府門真市大字門真1006番地
(81) 指定国	AP (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN	(74) 代理人	100109210 弁理士 新居 広守
		(72) 発明者	小野 晋也 日本国大阪府門真市大字門真1006番地 パナソニック株式会社内
		(72) 発明者	鐘ヶ江 有宣 日本国大阪府門真市大字門真1006番地 パナソニック株式会社内
		(72) 発明者	柘植 仁志 日本国大阪府門真市大字門真1006番地 パナソニック株式会社内
		最終頁に続く	

(54) 【発明の名称】 表示装置及びその制御方法

(57) 【要約】

表示装置が備える複数の画素回路(10)の各々は、ソース・ドレイン端子の一方が電源線(VDD)に接続された駆動トランジスタ(TD)と、第1端子が駆動トランジスタ(TD)のゲート端子に接続された容量素子(Cs)と、容量素子(Cs)の第2端子とデータ線(DATA)との導通及び非導通を切り換えるスイッチング素子(T1)と、容量素子(Cs)の第2の端子と駆動トランジスタ(TD)のソース端子との導通及び非導通を切り換えるスイッチング素子(T2)と、容量素子(Cs)の第1端子と参照電圧線(Vref)との導通及び非導通を切り換えるスイッチング素子(T3)と、第1端子が駆動トランジスタ(TD)のソース・ドレイン端子の他方と接続され第2端子が電源線(VSS)に接続された発光素子(EL)とを備え、参照電圧線(Vref)は、駆動トランジスタ(TD)のゲート・ソース端子間に閾値電圧よりも大きな順バイアス電圧を与える。



【特許請求の範囲】**【請求項 1】**

発光素子と前記発光素子に電流を供給する駆動トランジスタとを備えた表示装置の制御方法であって、

前記駆動トランジスタのゲート端子に、ゲート端子に接続された参照電圧線を介して予め定められた参照電圧を印加すると共に、前記駆動トランジスタのソース端子及びドレイン端子のうちの一方に接続された電源線から、前記駆動トランジスタのソース端子及びドレイン端子のうちの他方に固定電圧を印加して、前記駆動トランジスタの閾値電圧の変動を抑制するリセットステップを含み、

前記リセットステップでは、前記駆動トランジスタのゲート端子 - ソース端子間の電圧が、前記駆動トランジスタの閾値電圧よりも大きな電圧となるよう、前記参照電圧が設定されている、

表示装置の制御方法。

【請求項 2】

前記電源線と E L 共通端子の電源線は、発光期間で設定された電圧と、前記リセットステップで設定された電圧とが、互いに等しい、

請求項 1 に記載の表示装置の制御方法。

【請求項 3】

さらに、一方の端子が前記駆動トランジスタのゲート端子に接続された容量素子に、発光輝度に対応したデータ電圧を保持するデータ書込みステップを含み、

前記リセットステップの少なくとも一部と、前記データ書込みステップの少なくとも一部とが、同一の期間に並行して行われる、

請求項 1 に記載の表示装置の制御方法。

【請求項 4】

複数の画素回路を配置してなる表示部を有する表示装置であって、

前記画素回路の各々は、

ソース端子及びドレイン端子の一方が第 1 の電源電圧を伝達する第 1 の電源線に接続された駆動トランジスタと、

第 1 の端子が前記駆動トランジスタのゲート端子に接続された第 1 の容量素子と、

前記第 1 の容量素子の第 2 の端子と、輝度に対応したデータ電圧を伝達するデータ線との導通及び非導通を切り換える第 1 のスイッチング素子と、

前記第 1 の容量素子の第 2 の端子と、前記駆動トランジスタのソース端子との導通及び非導通を切り換える第 2 のスイッチング素子と、

前記第 1 の容量素子の第 1 の端子と、固定の参照電圧を伝達する参照電圧線との導通及び非導通を切り換える第 3 のスイッチング素子と、

第 1 の端子が前記駆動トランジスタのソース端子及びドレイン端子の他方と接続され、第 2 の端子が第 2 の電源電圧を伝達する第 2 の電源線に接続された発光素子と、

第 1 の端子が前記第 1 の容量素子の第 2 の端子に接続され、第 2 の端子が前記第 1 の電源線または前記参照電圧線に接続された第 2 の容量素子と、を備え、

前記第 3 のスイッチング素子が導通状態となる際、前記固定の参照電圧は、前記駆動トランジスタのゲート端子 - ソース端子間に、前記駆動トランジスタの閾値電圧よりも大きな順バイアス電圧を与えるように設定されている、

表示装置。

【請求項 5】

前記画素回路の各々は、さらに、前記駆動トランジスタから前記発光素子に供給される電流の経路に挿入され、当該電流の経路の導通及び非導通を切り換える第 4 のスイッチング素子を備える、

請求項 4 に記載の表示装置。

【請求項 6】

前記第 1 のスイッチング素子を制御する制御線と、前記第 3 のスイッチング素子を制御

10

20

30

40

50

する制御線とは共通化されており、

前記第 2 のスイッチング素子を制御する制御線と、前記第 4 のスイッチング素子を制御する制御線とは共通化されている、

請求項 5 に記載の表示装置。

【請求項 7】

前記表示装置は、さらに、前記第 1 の電源線によって伝達される電源電圧を画素行ごとに制御する電源電圧制御回路を備える、

請求項 4 に記載の表示装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、表示装置及びその制御方法に関し、特に有機エレクトロルミネッセンス (EL) 素子を用いた表示装置及びその制御方法に関する。

【背景技術】

【0002】

昨今、有機 EL 素子を用いた表示装置 (以下、有機 EL 表示装置) の開発及び実用化が進んでいる。有機 EL 表示装置は、一般に、各々が有機 EL 素子を有する複数の画素回路をマトリクス状に配置してなる表示部と、当該表示部を駆動するための駆動回路とを有している。

【0003】

20

アクティブマトリクス型の有機 EL 表示装置に用いられる原理的な画素回路は、有機 EL 素子、選択スイッチングトランジスタ、キャパシタ、及び駆動トランジスタを用いて構成される。そのような画素回路では、まず、信号線に接続された選択スイッチングトランジスタを導通状態にし、当該画素の輝度に対応したデータ電圧を信号線よりキャパシタに記録した後、前記選択スイッチングトランジスタを非導通状態とすることで、前記キャパシタにデータ電圧を保持する。次いで、キャパシタに保持された電圧に応じた大きさの電流を駆動トランジスタから有機 EL 素子に供給し、有機 EL 素子が駆動トランジスタから供給された電流に応じて、データ電圧に対応した輝度で発光する。

【0004】

このような原理的な画素回路に対し、有機 EL 素子をデータ電圧により正確に対応した輝度で発光させるための構成を設けた画素回路、及びその制御方法が、種々提案されている (例えば、特許文献 1)。

30

【0005】

図 20 は、特許文献 1 に開示された従来画素回路 90 を示す回路図である。

【0006】

画素回路 90 は、駆動トランジスタ TD、スイッチングトランジスタ T1 ~ T3、キャパシタ Cs、及び有機 EL 素子 EL から構成される。

【0007】

画素回路 90 は、走査線駆動回路 4 から、信号線 SCAN、MERGE を介して、制御信号を供給され、信号線駆動回路 5 から、信号線 DATA を介して、輝度に対応したデータ電圧を供給される。また、画素回路 90 は、図示しない電源回路から、電源線 VDD、VSS を介して、有機 EL 素子 EL の発光に用いられる正、負の電源電圧を供給され、参照電圧線 Vref を介して、参照電圧を供給される。

40

【0008】

有機 EL 素子 EL に電流を供給する電源線 VDD、VSS の画素回路 90 との接続点には、電圧降下に起因する複雑な電圧変動が生じるが、直流電流を供給しない参照電圧線 Vref には、定常的な電圧降下がほとんど生じない。

【0009】

このように構成された画素回路 90 は、供給される制御信号に応じて、次のように動作する。なお、以下の説明では、キャパシタの一端に電圧 A、他端に電圧 B を印加し、当該

50

キャパシタにて電圧 A と電圧 B との差である電圧 (A - B) を保持する動作を、電圧 A を、電圧 B を基準として、キャパシタに保持する、と表現する。この表現は、本明細書の全体で用いられる。

【 0 0 1 0 】

まず、スイッチングトランジスタ T 2 を非導通状態として、キャパシタ C s を画素内の電流経路から電氣的に切り離した状態で、スイッチングトランジスタ T 1、T 3 を導通状態とする。キャパシタ C s は、データ電圧を、参照電圧を基準として保持する。

【 0 0 1 1 】

このときキャパシタ C s に保持される電圧は、電源電圧の変動の影響を全く受けていない。次に、スイッチングトランジスタ T 1、T 3 を非導通状態とし、スイッチングトランジスタ T 2 を導通状態とし、キャパシタ C s に保持されている電圧を、駆動トランジスタ T D のゲート端子 - ソース端子間に印加する。

【 0 0 1 2 】

その結果、駆動トランジスタ T D は、データ電圧のみに応じた電流を有機 E L 素子 E L に供給するので、有機 E L 素子 E L はデータ電圧に対応した正確な輝度で発光する。

【 先行技術文献 】

【 特許文献 】

【 0 0 1 3 】

【 特許文献 1 】 国際公開 2 0 1 0 - 0 4 1 4 2 6 号

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 1 4 】

ところで、有機 E L 素子の発光輝度の精度を損なう原因には、前述した従来技術によって解決される電源電圧の変動の他にも、例えば、駆動トランジスタの閾値電圧の変動がある。閾値電圧の変動とは、駆動トランジスタのゲート端子 - ソース端子間に印加されたバイアス電圧の大きさに依存して、その後の閾値電圧が変動する現象である。

【 0 0 1 5 】

駆動トランジスタは、輝度に対応した大きさのバイアス電圧をゲート端子 - ソース端子間に印加されて有機 E L 素子に所望の大きさの電流を供給するから、先行フレームにおける輝度に対応したゲート端子 - ソース端子間電圧に応じて駆動トランジスタの閾値電圧が変動し、後続フレームに影響を及ぼす。すなわち、閾値電圧が変動すると、データ電圧に対して駆動トランジスタが有機 E L 素子に供給する電流量に誤差が生じ、この誤差は有機 E L 素子の発光輝度の誤差に反映される。

【 0 0 1 6 】

その様子を図 6 A に示す。図 6 A は、先行フレームにおいて黒または白が表示された後に、中間階調 (灰色) を表示させた際の輝度の時間変化を示すグラフである。表示が変化してから 1 0 以上のフレームにおいて、先行フレームの表示が白か黒かによる発光輝度の不一致が見られ、特に最初の 1 ~ 2 フレームでは大きな差異が見られる。この現象により、例えば図 6 B に示すように、中間階調の背景の中で白または黒のウィンドウをスクロールさせた場合には、ウィンドウが通過して再び背景になった領域が正しい中間階調の輝度に落ち着くまでにかかなりの時間を要するため、尾引きと呼ばれる表示劣化が視認される。

【 0 0 1 7 】

しかしながら、前述した従来技術では、このような急激な階調変化に伴って駆動トランジスタ閾値電圧が変動して生じる表示劣化及びその対策について、検討されていない。

【 0 0 1 8 】

本発明は、上記の課題に鑑みてなされたものであり、有機 E L 素子をデータ電圧に対応したより正確な輝度で発光させることができる画素回路を備える表示装置及びその制御方法を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 1 9 】

上記目的を達成するために、本発明の１つの態様に係る表示装置は、複数の画素回路を配置してなる表示部を有する表示装置であって、前記画素回路の各々は、ソース端子及びドレイン端子の一方が第１の電源電圧を伝達する第１の電源線に接続された駆動トランジスタと、第１の端子が前記駆動トランジスタのゲート端子に接続された第１の容量素子と、前記第１の容量素子の第２の端子と、輝度に対応したデータ電圧を伝達するデータ線との導通及び非導通を切り換える第１のスイッチング素子と、前記第１の容量素子の第２の端子と、前記駆動トランジスタのソース端子との導通及び非導通を切り換える第２のスイッチング素子と、前記第１の容量素子の第１の端子と、固定の参照電圧を伝達する参照電圧線との導通及び非導通を切り換える第３のスイッチング素子と、第１の端子が前記駆動トランジスタのソース端子及びドレイン端子の他方と接続され、第２の端子が第２の電源電圧を伝達する第２の電源線に接続された発光素子と、第１の端子が前記第１の容量素子の第２の端子に接続され、第２の端子が前記第１の電源線または前記参照電圧線に接続された第２の容量素子と、を備え、前記第３のスイッチング素子が導通状態となる際、前記固定の参照電圧は、前記駆動トランジスタのゲート端子－ソース端子間に、前記駆動トランジスタの閾値電圧よりも大きな順バイアス電圧を与えるように設定されている。

10

【発明の効果】

【００２０】

本発明の表示装置によれば、前記閾値電圧よりも大きい固定の順バイアス電圧を印加して前記駆動トランジスタをオン状態にすることで、前記駆動トランジスタの閾値電圧の変動を抑制し、前記発光素子をより正確な輝度で発光させることができる。

20

【図面の簡単な説明】

【００２１】

【図１】図１は、実施の形態１における表示装置の構成の一例を示す機能ブロック図である。

【図２】図２は、実施の形態１における画素回路の構成の一例を示す回路図である。

【図３】図３は、実施の形態１における制御信号およびデータ信号の一例を示すタイミングチャートである。

【図４】図４は、実施の形態１における画素回路の動作の一例を示す回路図である。

【図５Ａ】図５Ａは、実施例の画素回路の発光輝度の時間変化を示すグラフである。

【図５Ｂ】図５Ｂは、実施例の画素回路を用いた表示部によるスクロール表示の一例である。

30

【図６Ａ】図６Ａは、比較例の画素回路の発光輝度の時間変化を示すグラフである。

【図６Ｂ】図６Ｂは、比較例の画素回路を用いた表示部によるスクロール表示の一例である。

【図７】図７は、実施例と比較例についてフレームごとの発光輝度の誤差を示すグラフである。

【図８】図８は、実施の形態１における画素回路の構成の一例を示す回路図である。

【図９】図９は、実施の形態１における画素回路の構成の一例を示す回路図である。

【図１０】図１０は、実施の形態１の変形例における画素回路の構成の一例を示す回路図である。

40

【図１１】図１１は、実施の形態１の変形例における画素回路の構成の一例を示す回路図である。

【図１２】図１２は、実施の形態１の変形例における制御信号およびデータ信号の一例を示すタイミングチャートである。

【図１３】図１３は、実施の形態２における表示装置の構成の一例を示す機能ブロック図である。

【図１４】図１４は、実施の形態２における画素回路の構成の一例を示す回路図である。

【図１５】図１５は、実施の形態２における制御信号、電源電圧、およびデータ信号の一例を示すタイミングチャートである。

【図１６】図１６は、実施の形態２における画素回路の構成の一例を示す回路図である。

50

【図 17】図 17 は、実施の形態 2 における画素回路の構成の一例を示す回路図である。

【図 18】図 18 は、実施の形態 2 における画素回路の構成の一例を示す回路図である。

【図 19】図 19 は、本発明の表示装置を内蔵する薄型フラット TV の一例を示す外観図である。

【図 20】図 20 は、従来の画素回路の構成の一例を示す回路図である。

【発明を実施するための形態】

【0022】

本発明の 1 つの態様に係る制御方法は、発光素子と前記発光素子に電流を供給する駆動トランジスタとを備えた表示装置の制御方法であって、前記駆動トランジスタのゲート端子に、ゲート端子に接続された参照電圧線を介して予め定められた参照電圧を印加すると共に、前記駆動トランジスタのソース端子及びドレイン端子のうちの一方に接続された電源線から、前記駆動トランジスタのソース端子及びドレイン端子のうちの他方に固定電圧を印加して、前記駆動トランジスタの閾値電圧の変動を抑制するリセットステップを含み、前記リセットステップでは、前記駆動トランジスタのゲート端子 - ソース端子間の電圧が、前記駆動トランジスタの閾値電圧よりも大きな電圧となるよう、前記参照電圧が設定されている。

10

【0023】

このような制御方法によれば、前記リセットステップで、前記閾値電圧よりも大きい固定の順バイアス電圧の印加によって前記駆動トランジスタをオン状態にして、前記駆動トランジスタの閾値電圧の変動を抑制するので、前記発光素子をより正確な輝度で発光させることができる。

20

【0024】

また、前記電源線と EL 共通端子の電源線は、発光期間で設定された電圧と、前記リセットステップで設定された電圧とが、互いに等しくてもよい。

【0025】

このような制御方法によれば、前記発光期間と、前記リセットステップとで、電源線の電圧を変更する必要がないので、前記表示装置の回路構成を簡素化するために役立つ。

【0026】

前記制御方法は、さらに、一方の端子が前記駆動トランジスタのゲート端子に接続された容量素子に、発光輝度に対応したデータ電圧を保持するデータ書込みステップを含み、前記リセットステップの少なくとも一部と、前記データ書込みステップの少なくとも一部とが、同一の期間に並行して行われてもよい。

30

【0027】

このような制御方法によれば、前記データ書込みステップと並行して、前記リセットステップに十分な時間をかけることで、前記駆動トランジスタの閾値電圧の変動をより小さく抑制することができる。

【0028】

本発明の 1 つの態様に係る表示装置は、複数の画素回路を配置してなる表示部を有する表示装置であって、前記画素回路の各々は、ソース端子及びドレイン端子の一方が第 1 の電源電圧を伝達する第 1 の電源線に接続された駆動トランジスタと、第 1 の端子が前記駆動トランジスタのゲート端子に接続された第 1 の容量素子と、前記第 1 の容量素子の第 2 の端子と、輝度に対応したデータ電圧を伝達するデータ線との導通及び非導通を切り換える第 1 のスイッチング素子と、前記第 1 の容量素子の第 2 の端子と、前記駆動トランジスタのソース端子との導通及び非導通を切り換える第 2 のスイッチング素子と、前記第 1 の容量素子の第 1 の端子と、固定の参照電圧を伝達する参照電圧線との導通及び非導通を切り換える第 3 のスイッチング素子と、第 1 の端子が前記駆動トランジスタのソース端子及びドレイン端子の他方と接続され、第 2 の端子が第 2 の電源電圧を伝達する第 2 の電源線に接続された発光素子と、第 1 の端子が前記第 1 の容量素子の第 2 の端子に接続され、第 2 の端子が前記第 1 の電源線または前記参照電圧線に接続された第 2 の容量素子と、を備え、前記第 3 のスイッチング素子が導通状態となる際、前記固定の参照電圧は、前記駆動

40

50

トランジスタのゲート端子 - ソース端子間に、前記駆動トランジスタの閾値電圧よりも大きな順バイアス電圧を与えるように設定されている。

【0029】

このような構成によれば、前記閾値電圧よりも大きい固定の順バイアス電圧を印加して前記駆動トランジスタをオン状態にすることで、前記駆動トランジスタの閾値電圧の変動を抑制し、前記発光素子をより正確な輝度で発光させることができる。

【0030】

また、前記画素回路の各々は、さらに、前記駆動トランジスタから前記発光素子に供給される電流の経路に挿入され、当該電流の経路の導通及び非導通を切り換える第4のスイッチング素子を備えてもよい。

10

【0031】

また、前記第1のスイッチング素子を制御する制御線と、前記第3のスイッチング素子を制御する制御線とは共通化されており、前記第2のスイッチング素子を制御する制御線と、前記第4のスイッチング素子を制御する制御線とは共通化されていてもよい。

【0032】

また、前記表示装置は、さらに、前記第1の電源線によって伝達される電源電圧を画素行ごとに制御する電源電圧制御回路を備えてもよい。

【0033】

このような構成によれば、閾値電圧の変動を抑制するために前記駆動トランジスタに前記固定の順バイアス電圧を印加している間に、前記発光素子の発光を抑止することができるので、表示コントラストの向上や消費電力の低減に役立つ。

20

【0034】

以下、本発明の実施の形態について説明する。なお、以下では、全ての図を通して同等の機能を発揮する要素には同じ符号を付し、重複する説明は適宜省略する。

【0035】

(実施の形態1)

実施の形態1における表示装置は、複数の画素回路をマトリクス状に配置してなる表示部を有する表示装置であって、前記各画素回路が、駆動トランジスタの閾値変動を抑制するように構成されている。

【0036】

30

以下、本発明の実施の形態1について、図面を参照しながら説明する。

【0037】

図1は、実施の形態1における表示装置1の構成の一例を示す機能ブロック図である。

【0038】

表示装置1は、表示部2、制御回路3、走査線駆動回路4、信号線駆動回路5、及び電源回路6から構成される。

【0039】

表示部2は、複数の画素回路10をマトリクスに配置してなる。当該マトリクスの各行には走査信号線が設けられ、当該マトリクスの各列にはデータ信号線が設けられる。

【0040】

40

制御回路3は、表示装置1の動作を制御する回路であり、外部から映像信号を受信し、当該映像信号で表される画像が表示部2に表示されるように、走査線駆動回路4、信号線駆動回路5を制御する。

【0041】

走査線駆動回路4は、表示部2の各行に設けられた走査信号線を介して画素回路10に、画素回路10の動作を制御するための制御信号を供給する。

【0042】

信号線駆動回路5は、表示部2の各列に設けられたデータ信号線を介して画素回路10に、輝度に対応したデータ信号を供給する。

【0043】

50

電源回路 6 は、表示装置 1 の動作の電源を、表示装置 1 の各部に供給する。

【 0 0 4 4 】

図 2 は、画素回路 1 0 の構成の一例、及び画素回路 1 0 と走査線駆動回路 4 及び信号線駆動回路 5 との接続の一例を示す回路図である。

【 0 0 4 5 】

表示部 2 の各行には、同じ行に配置される複数の画素回路 1 0 に共通に接続される走査信号線として、信号線 S C A N、E N A B が設けられており、表示部 2 の各列には、同じ列に配置される複数の画素回路 1 0 に共通に接続されるデータ信号線として、信号線 D A T A が設けられている。

【 0 0 4 6 】

また、表示部 2 には、電源回路 6 から供給される正の電源電圧を伝達して、画素回路 1 0 に分配する電源線 V D D、電源回路 6 から供給される負の電源電圧を伝達して、画素回路 1 0 に分配する電源線 V S S、及び電源回路 6 から供給される固定の参照電圧を伝達して、画素回路 1 0 に分配する参照電圧線 V r e f が設けられている。電源線 V D D、V S S、及び参照電圧線 V r e f は、全ての画素回路 1 0 に共通に接続される。

【 0 0 4 7 】

有機 E L 素子 E L に電流を供給する電源線 V D D、V S S の各々と画素回路 1 0 との接続点には、電気抵抗に起因する電圧降下による複雑な電圧変動が生じるが、直流電流を供給しない参照電圧線 V r e f には、定常的な電圧降下は生じない。

【 0 0 4 8 】

表示部 2 に配置されている各画素回路 1 0 は、画素回路 1 0 が配置されている行の信号線 S C A N、E N A B で走査線駆動回路 4 に接続されると共に、画素回路 1 0 が配置されている行の信号線 D A T A で信号線駆動回路 5 に接続されている。

【 0 0 4 9 】

信号線 S C A N、E N A B は、走査線駆動回路 4 から画素回路 1 0 へ、画素回路 1 0 の動作を制御するための制御信号を伝達する。信号線 D A T A は、信号線駆動回路 5 から画素回路 1 0 へ、輝度に対応したデータ信号を伝達する。

【 0 0 5 0 】

画素回路 1 0 は、データ信号に対応した輝度で有機 E L 素子を発光させる回路であり、駆動トランジスタ T D、スイッチングトランジスタ T 1 ~ T 4、キャパシタ C s、C s u b、及び有機 E L 素子 E L から構成される。駆動トランジスタ T D、スイッチングトランジスタ T 1 ~ T 4 は、n 型の薄膜トランジスタ (T F T) で構成される。

【 0 0 5 1 】

駆動トランジスタ T D は、ドレイン端子 d が電源線 V D D に接続され、ソース端子 s がスイッチングトランジスタ T 4 を介在して有機 E L 素子 E L の第 1 (紙面の上側) の端子に接続されている。

【 0 0 5 2 】

キャパシタ C s は、第 1 (紙面の上側) の端子が駆動トランジスタ T D のゲート端子 g に接続されている。

【 0 0 5 3 】

キャパシタ C s u b は、第 1 (紙面の上側) の端子がキャパシタ C s の第 2 (紙面の下側) の端子に接続され、第 2 (紙面の下側) の端子が固定の電圧 (たとえば電源線 V D D または参照電圧線 V r e f) に接続されている。なお、キャパシタ C s u b は、専用の領域に形成されたキャパシタである必要はなく、キャパシタ C s の第 2 の端子を構成する導電体と電源線 V D D または参照電圧線 V r e f または信号線 S C A N、E N A B を構成する導電体との間に存在する寄生容量であってもよい。またはスイッチングトランジスタ T 1、T 2 の寄生容量であってもよい。したがって、キャパシタ C s u b が明示されていない画素回路も本発明に含まれる。

【 0 0 5 4 】

有機 E L 素子 E L は、第 2 (紙面の下側) の端子が電源線 V S S に接続されている。

10

20

30

40

50

【 0 0 5 5 】

スイッチングトランジスタ T 1 は、信号線 S C A N で伝達される制御信号に従って、キャパシタ C s の第 2 (紙面の下側) の端子とデータ線 D A T A との導通及び非導通を切り換える。

【 0 0 5 6 】

スイッチングトランジスタ T 2 は、信号線 E N A B で伝達される制御信号に従って、駆動トランジスタ T D のソース端子 s とキャパシタ C s の第 2 の端子との導通及び非導通を切り換える。

【 0 0 5 7 】

スイッチングトランジスタ T 3 は、信号線 S C A N で伝達される制御信号に従って、キャパシタ C s の第 1 の端子と参照電圧線 V r e f との導通及び非導通を切り換える。

【 0 0 5 8 】

スイッチングトランジスタ T 4 は、信号線 E N A B で伝達される制御信号に従って、駆動トランジスタ T D のソース端子 s と有機 E L 素子 E L の第 2 (紙面の上側) の端子との導通及び非導通を切り換える。

【 0 0 5 9 】

ここで、スイッチングトランジスタ T 1 ~ T 4 が、それぞれ第 1 ~ 第 4 のスイッチング素子の一例であり、キャパシタ C s が容量素子の一例であり、有機 E L 素子 E L が発光素子の一例である。また、電源線 V D D が第 1 の電源線の一例であり、電源線 V S S が第 2 の電源線の一例である。また、データ信号がデータ電圧の一例である。

【 0 0 6 0 】

図 3 は、画素回路 1 0 を動作させるための制御信号及びデータ信号の一例を、1 フレーム期間にわたって示したタイミングチャートである。図 3 において、縦軸は各信号のレベル、横軸は時間の経過を表す。画素回路 1 0 のスイッチングトランジスタ T 1 ~ T 4 は n 型のトランジスタで構成されるので、スイッチングトランジスタ T 1 ~ T 4 の各々は、対応する制御信号が H i g h レベルの期間に導通状態となり、対応する制御信号が L o w レベルの期間に非導通状態になる。

【 0 0 6 1 】

図 3 に示す制御信号及びデータ信号に従って行われる画素回路 1 0 の動作を、図 4 (a) ~ (c) を参照して説明する。なお、説明の便宜上、電源線 V D D 、V S S の各々と画素回路 1 0 との接続点の電圧を、それぞれ正の電源電圧 V D D 、負の電源電圧 V S S と表記し、参照電圧線 V r e f の電圧を参照電圧 V r e f と表記している。

【 0 0 6 2 】

時刻 t 1 において、先行フレームにおける発光が終了する。

【 0 0 6 3 】

時刻 t 2 から t 3 までのデータ書込み期間において、データ書込み動作が行われる。データ書込み動作とは、信号線 D A T A から、スイッチングトランジスタ T 1 を介して、データ電圧 V d a t a を取得する (つまり、データ電圧 V d a t a が画素回路 1 0 内に書き込まれる) 動作である。

【 0 0 6 4 】

図 4 (a) は、データ書込み動作を説明する回路図である。データ書込み期間において非導通状態になるスイッチングトランジスタ T 2 、T 4 は点線で示されている。

【 0 0 6 5 】

データ書込み期間において、スイッチングトランジスタ T 1 、T 3 が導通状態になり、信号線 D A T A からデータ電圧 V d a t a が取得され、参照電圧 V r e f を基準として、キャパシタ C s に保持される。後述のリセット動作を行うために、参照電圧 V r e f には、正の電源電圧 V D D に閾値電圧 V t h を加えた電圧よりも高い電圧が用いられる。

【 0 0 6 6 】

時刻 t 2 から t 4 までのリセット期間において、リセット動作が行われる。リセット期間の一部は、データ書込み期間と重複しており、リセット動作は、時刻 t 2 から t 3 まで

10

20

30

40

50

、前述のデータ書込み動作と並行して行われる。リセット動作とは、駆動トランジスタの閾値電圧の変動を抑制するために、駆動トランジスタT Dの閾値電圧 V_{th} よりも大きい順バイアス電圧を印加して、駆動トランジスタT Dをオン状態にする動作である。

【0067】

図4(b)は、リセット動作を説明する回路図である。リセット期間のうち時刻 t_3 以降において非導通状態になるスイッチングトランジスタT 1、T 2、T 3、T 4は点線で示されている。

【0068】

リセット期間において、時刻 t_2 から t_3 まで、参照電圧線 V_{ref} から駆動トランジスタT Dのゲート端子gに参照電圧 V_{ref} が印加され、時刻 t_3 から t_4 まで、キャパシタC sの第1(紙面の上側)の端子から駆動トランジスタT Dのゲート端子gに参照電圧 V_{ref} が印加される。

10

【0069】

前述したように、参照電圧 V_{ref} は、正の電源電圧V D Dに閾値電圧 V_{th} を加えた電圧よりも高いので、駆動トランジスタT Dはオン状態になり、リセット動作が行われる。このとき、スイッチングトランジスタT 4が非導通状態になっているため、有機E L素子E Lの発光は抑止され、駆動トランジスタT Dのドレイン端子およびソース端子の電位は共に正の電源電圧V D Dと等しくなる。これにより、有機E L素子E Lの不要な発光による表示コントラストの低下、及び消費電力の増大が抑制される。

20

【0070】

なお、リセット期間において有機E L素子E Lの発光を抑止することは、駆動トランジスタT Dの閾値電圧 V_{th} の変動を抑制するためには必須ではない。有機E L素子E Lの発光を抑止せずにリセット動作を行った場合でも、駆動トランジスタT Dの閾値電圧 V_{th} の変動を抑制する効果があることが確かめられている。

【0071】

時刻 t_4 以降の発光期間において、発光動作が行われる。発光動作とは、データ電圧 V_{data} を反映したバイアス電圧を駆動トランジスタT Dのゲート端子-ソース端子間に印加して、駆動トランジスタT Dから有機E L素子E Lに電流を供給する動作である。

【0072】

図4(c)は、発光動作を説明する回路図である。発光期間において非導通状態になるスイッチングトランジスタT 1、T 3は点線で示されている。

30

【0073】

発光期間において、スイッチングトランジスタT 1、T 3が非導通状態になると共に、スイッチングトランジスタT 2が導通状態になり、キャパシタC sに保持されている電圧 $V_{ref} - V_{data}$ が駆動トランジスタT Dのゲート端子-ソース端子間に印加される。

【0074】

その結果、駆動トランジスタT Dから有機E L素子E Lに、データ電圧 V_{data} に対応した大きさの電流 $I_{sd} = \beta / 2 \times (V_{ref} - V_{data} - V_{th})^2$ が供給される。

40

【0075】

駆動トランジスタT Dの閾値電圧 V_{th} は、発光動作に先行するリセット動作によって、前のフレームの表示状態に関わらず、どのフレームにおいても、そのフレーム期間内においてほぼ一定の値に設定されるので、閾値電圧の1フレーム内の変動の影響が排除され、有機E L素子E Lをデータ電圧 V_{data} に対応した正確な輝度で発光させることができる。

【0076】

上記のように構成された画素回路10の発光特性を確認するために行った実験の結果について説明する。実験では、画素回路10による実施例、及び従来技術である画素回路90による比較例について、画素回路の発光輝度の時間変化を測定した。

50

【 0 0 7 7 】

図 5 A は、実施例の画素回路 1 0 の発光輝度の時間変化を示すグラフであり、白または黒の表示から、灰色の表示に切り替わった直後の 3 5 フレームにおける発光輝度の測定結果が示されている。

【 0 0 7 8 】

実施例では、先行フレームの表示が白か黒かによって、灰色の表示に切り替わった後の最初のフレームで若干の発光輝度の差異が見られるものの、2 番目のフレーム以降ではほぼ同一の発光輝度が得られ、速やかに正しい灰色表示に収束している。また、各フレーム内での発光輝度もほとんど変動がなく、よく安定している。

【 0 0 7 9 】

その結果、例えば図 5 B に示すように、中間階調の背景の中で黒または白のウィンドウをスクロールさせた場合でも、ウィンドウが通過して再び背景になった領域が速やかに正しい中間階調の輝度に落ち着くため、尾引きは視認されない。

【 0 0 8 0 】

これに対し、図 6 A は、比較例の画素回路 9 0 の発光輝度の時間変化を示すグラフであり、白または黒の表示から、灰色の表示に切り替わった直後から 3 5 フレームにおける発光輝度の測定結果が示されている。

【 0 0 8 1 】

比較例では、先行フレームの表示が白か黒かによって、灰色の表示に切り替わった後の 1 0 以上のフレームにおいて発光輝度の不一致が見られ、特に最初の 1 ~ 2 フレームでの発光輝度には大きな差異が見られる。課題の項で指摘したように、この現象により、図 6 B に示すような、中間階調の背景の中で白または黒のウィンドウをスクロールさせた際の尾引きが視認される。

【 0 0 8 2 】

図 7 は、フレームごとの輝度の誤差のフレーム間推移を示すグラフである。ここでは、輝度の誤差として、正しい灰色の輝度に対する実際の輝度のずれ量を示している。実施例は、比較例と比べて、輝度のずれ量がより小さく、かつ速やかに正しい灰色表示に収束している。

【 0 0 8 3 】

これらの結果から、閾値電圧 V_{th} よりも大きい固定の順バイアス電圧の印加にて駆動トランジスタ T_D をオン状態にしてリセットすることで、駆動トランジスタ T_D の閾値電圧 V_{th} の変動を抑制し、有機 EL 素子 E_L をデータ電圧 V_{data} に対応した正確な輝度で発光させる効果が認められた。

【 0 0 8 4 】

さらに、リセット期間において、有機 EL 素子 E_L の発光を抑止することで、表示コントラストを向上し、消費電力を低減する効果が得られる。

【 0 0 8 5 】

なお、上記で説明した画素回路 1 0 は、次のような変形が可能である。

【 0 0 8 6 】

例えば、図 8 に示す画素回路 1 1 のように、スイッチングトランジスタ T_4 を、駆動トランジスタ T_D と電源線 V_{DD} との間に挿入してもよい。スイッチングトランジスタ T_4 は、有機 EL 素子 E_L の発光を抑止するために、駆動トランジスタ T_D から有機 EL 素子 E_L に供給する電流の経路のどこに挿入されていてもよい。画素回路 1 1 は、図 3 に示す制御信号に従って、画素回路 1 0 と同等の動作を行う。

【 0 0 8 7 】

また例えば、図 9 に示す画素回路 2 0 のように、駆動トランジスタ T_D 、スイッチングトランジスタ $T_1 \sim T_4$ を全て p 型のトランジスタで構成してもよい。画素回路 2 0 は、図 3 に示す画素回路 1 0 に用いられる制御信号およびデータ信号のレベルをそれぞれ単純に反転した制御信号およびデータ信号が与えられると、画素回路 1 0 と同等の動作を行うように構成されている。したがって、画素回路 2 0 によっても画素回路 1 0 と同等の効果

10

20

30

40

50

が得られる。

【 0 0 8 8 】

(実施の形態 1 の変形例)

本発明の実施の形態 1 の変形例について、図面を参照しながら説明する。本変形例では、図 2 に示した画素回路 1 0 のスイッチングトランジスタ T 1、T 3 を、それぞれ独立したタイミングで制御するための構成および動作の一例が示される。

【 0 0 8 9 】

図 1 0 は、実施の形態 1 の変形例における画素回路 3 0 の構成の一例を示す回路図である。画素回路 3 0 の基本的な構成は、画素回路 1 0 と同一であるが、スイッチングトランジスタ T 1、T 3 のそれぞれのゲート端子が独立した制御線に接続されている点異なる。画素回路 2 0 に対応して、表示部 6 の各行に信号線 R E S E T が設けられる。

10

【 0 0 9 0 】

画素回路 3 0 において、スイッチングトランジスタ T 3 は、信号線 R E S E T で伝達される制御信号に従って、キャパシタ C s の第 1 (紙面の上側) の端子と参照電圧線 V R との導通及び非導通を切り換える。

【 0 0 9 1 】

なお、図 1 1 に示す画素回路 3 1 のように、スイッチングトランジスタ T 4 を、駆動トランジスタ T D と電源線 V D D との間に挿入するように、画素回路 3 0 を変形してもよい。

【 0 0 9 2 】

20

図 1 2 は、画素回路 3 0、3 1 を動作させるための制御信号及びデータ信号の一例を、1 フレーム期間にわたって示すタイミングチャートである。図 1 2 において、縦軸は各信号のレベル、横軸は時間を表す。

【 0 0 9 3 】

図 1 2 に示す制御信号及びデータ信号に従って行われる画素回路 3 0、3 1 の動作を説明する。

【 0 0 9 4 】

時刻 t 1 において、先行フレームにおける発光が終了する。

【 0 0 9 5 】

時刻 t 2 から t 5 までのリセット期間において、リセット動作が行われる。

30

【 0 0 9 6 】

リセット期間の全体において、スイッチングトランジスタ T 3 が導通状態になり、参照電圧線 V r e f から駆動トランジスタ T D のゲート端子 g に、正の電源電圧 V D D に閾値電圧 V t h を加えた電圧よりも高い参照電圧 V r e f が印加される。これにより、駆動トランジスタ T D はオン状態になり、リセット動作が行われる。このとき、スイッチングトランジスタ T 4 が非導通状態になっているため、有機 E L 素子 E L の発光は抑止される。

【 0 0 9 7 】

時刻 t 3 から t 4 までのデータ書込み期間において、データ書込み動作が行われる。データ書込み期間は、リセット期間の少なくとも一部と重複しており、データ書込み動作は、リセット動作と並行して行われる。

40

【 0 0 9 8 】

なお、データ書込み動作は行ごとに順次行われる。そのため、最初にデータ書込み動作が行われる行のデータ書込み期間は、リセット期間と同時に、時刻 t 2 に開始されてもよい。

【 0 0 9 9 】

時刻 t 4 以降の発光期間において、発光動作が行われる。

【 0 1 0 0 】

データ書込み動作及び発光動作は、画素回路 1 0 について説明したデータ書込み動作及び発光動作と同様である。

【 0 1 0 1 】

50

画素回路 30、31においても、画素回路 10と同様、駆動トランジスタTDの閾値電圧V_{th}は、発光動作に先行するリセット動作によって、どのフレームにおいてもほぼ同一の値に設定されるので、閾値電圧の変動の影響が排除され、有機EL素子ELをデータ電圧V_{data}に対応した正確な輝度で発光させることができる。

【0102】

画素回路 30、31では、さらに、リセット期間の全体において、参照電圧線V_{ref}から駆動トランジスタTDのゲート端子gに参照電圧V_{ref}を印加できる。そのため、画素回路 10とは異なり、キャパシタCsのリークによって参照電圧V_{ref}が変動する懸念がなく、より確実なリセット動作が実現できる。

【0103】

なお、制御信号RESETに信号線制御信号SCANと同じ信号を用いて、行ごとに順次、当該行のデータ書込み期間においてのみリセット動作を行ってもよい。その場合、信号線RESETと信号線SCANとを同じ信号線で共通化してもよい。信号線の共通化は、配線面積を削減するので、画素回路 30、31の配置密度を向上し、高精細な表示装置を実現するために役立つ。また走査線駆動回路4の出力本数を削減できるので、回路サイズを縮小することができ、コストの低減が実現できる。

【0104】

また、キャパシタC_{sub}は、専用の領域に形成されたキャパシタである必要はなく、キャパシタCsの第2の端子を構成する導電体と電源線VDDまたは参照電圧線V_{ref}または信号線SCAN、ENABを構成する導電体との間に存在する寄生容量であってもよい。またはスイッチングトランジスタT1、T2の寄生容量であってもよい。

【0105】

(実施の形態2)

本発明の実施の形態2について、図面を参照しながら説明する。本実施の形態では、有機EL素子の発光を抑止するための回路を画素回路の外部に設けた表示装置の一例が示される。

【0106】

図13は、実施の形態2における表示装置1aの構成の一例を示す機能ブロック図である。

【0107】

表示装置1aは、実施の形態1の表示装置1と比べて、表示部2aが変更され、電源分配回路7が追加される。

【0108】

表示部2aは、複数の画素回路50をマトリクス状に配置してなる。当該マトリクスの各行には走査信号線及び電源線が設けられ、当該マトリクスの各列にはデータ信号線が設けられる。

【0109】

電源電圧制御回路7は、有機EL素子の発光に用いられる電源を電源回路6から供給され、表示部2aの各行に設けられた電源線を介して、行ごとに独立して、画素回路50に分配する。

【0110】

図14は、画素回路50の構成の一例、及び画素回路50と、走査線駆動回路4、信号線駆動回路5、及び電源電圧制御回路7との接続の一例を示す回路図である。

【0111】

表示部2aの各行には、同じ行に配置される複数の画素回路50に共通に接続される走査信号線として、信号線RESET、MERGE、SCANが設けられている。表示部2aの各行には、さらに、同じ行に配置される複数の画素回路50に共通に接続される電源線VDD(k)が設けられている。

【0112】

信号線MERGEは、表示部2における信号線ENABと同じものである。電源線VD

10

20

30

40

50

D (k) は、第 1 の電源線の一例であり、表示部 2 における電源線 V D D に対応している。

【 0 1 1 3 】

画素回路 5 0 は、図 1 0 に示す画素回路 3 0 と比べて、スイッチングトランジスタ T 4 が省略される点のみが異なる。

【 0 1 1 4 】

表示装置 1 a において、有機 E L 素子 E L の発光を抑止する機能は、電源電圧制御回路 7 によって果たされる。電源電圧制御回路 7 は電源線 V D D (k) に、例えば、発光期間において正の電源電圧 V D D を出力し、リセット期間において有機 E L 素子 E L が発光しない程度の低い電圧 (例えば、負の電源電圧 V S S) を出力する。これにより、リセット期間において、電源線 V D D (k) に接続されている画素回路 5 0 における有機 E L 素子 E L の発光が抑止される。

【 0 1 1 5 】

また、参照電圧 V r e f には、電源電圧 V D D (k) のリセット期間における電圧に閾値電圧 V t h を加えた電圧よりも高い電圧が用いられる。

【 0 1 1 6 】

図 1 5 は、画素回路 5 0 を動作させるための制御信号、電源電圧、及びデータ信号の一例を、1 フレーム期間にわたって示したタイミングチャートである。図 1 5 において、縦軸は各信号のレベル、横軸は時間の経過を表す。なお、説明の便宜上、電源線 V D D (k) で伝達される電圧を、電源電圧 V D D (k) と表記している。電源電圧 V D D (k) の H i g h レベルは正の電源電圧 V D D であり、電源電圧 V D D (k) の L o w レベルは、例えば負の電源電圧 V S S である。

【 0 1 1 7 】

有機 E L 素子 E L は、電源電圧 V D D (k) が L o w レベルの期間に発光が抑止されるから、図 1 5 に示す制御信号及び電源電圧に従って行われる画素回路 5 0 の動作は、図 1 2 に示す制御信号に従って行われる画素回路 3 0 の動作と同等である。

【 0 1 1 8 】

なお、上記で説明した画素回路 5 0 は、次のような変形が可能である。

【 0 1 1 9 】

例えば、図 1 6 に示す画素回路 6 0 のように、駆動トランジスタ T D、スイッチングトランジスタ T 1 ~ T 4 を全て p 型のトランジスタで構成してもよい。画素回路 6 0 は、図 1 3 に示す画素回路 5 0 に用いられる制御信号およびデータ信号のレベルをそれぞれ単純に反転した制御信号およびデータ信号が与えられると、画素回路 5 0 と同等の動作を行うように構成されている。したがって、画素回路 6 0 によっても画素回路 5 0 と同等の効果が得られる。

【 0 1 2 0 】

また例えば、図 1 7 に示す画素回路 5 1、及び図 1 8 に示す画素回路 6 1 のように、スイッチングトランジスタ T 2 を省略してもよい。

【 0 1 2 1 】

なお、各行の画素回路における駆動トランジスタ T D を、行ごとに異なるタイミングでリセットしてもよいし、全ての行の画素回路における駆動トランジスタ T D を、同一の期間に一括してリセットしてもよい。

【 0 1 2 2 】

全ての駆動トランジスタを一括してリセットする制御方法は、行ごとに異なるタイミングで電源電圧を制御する必要がないから、表示装置 1 a によって実行できることはもちろんのこと、実施の形態 1 で説明した表示装置 1 のように、電源線 V D D、V S S が、全ての画素回路に共通に接続されている構成の表示装置によっても実行することができる。

【 0 1 2 3 】

以上、本発明に係る表示装置及びその制御方法、特に、表示装置に用いられる特徴的な画素回路とその動作について、いくつかの実施の形態及び変形例を挙げて説明したが、

10

20

30

40

50

本発明は、これらの実施の形態や変形例に限定されるものではない。本発明の主旨を逸脱しない範囲で、当業者が思いつく各種変形を施し、また実施の形態及び変形例における構成要素及び動作を任意に組み合わせて実現される表示装置およびその制御方法も本発明に含まれる。

【 0 1 2 4 】

本発明に係る表示装置は、図 1 9 に記載されたような薄型フラット T V に内蔵されてもよい。本発明に係る表示装置が内蔵されることにより、映像信号で表される画像を高精度に表示可能な薄型フラット T V が実現される。

【産業上の利用可能性】

【 0 1 2 5 】

本発明は、有機 E L 素子を用いた表示装置に有用であり、特に、アクティブマトリクス型の有機 E L 表示装置に有用である。

【符号の説明】

【 0 1 2 6 】

1、1 a 表示装置

2、2 a 表示部

3 制御回路

4 走査線駆動回路

5 信号線駆動回路

6 電源回路

7 電源電圧制御回路

1 0、1 1、2 0、3 0、3 1、5 0、5 1、6 0、6 1、9 0 画素回路

T D 駆動トランジスタ

T 1 ~ T 4 スイッチングトランジスタ

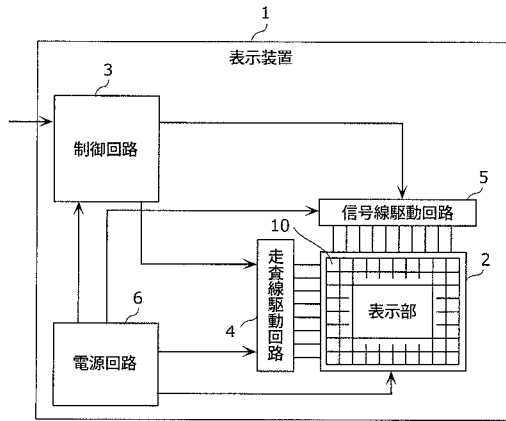
C s キャパシタ

E L 有機 E L 素子

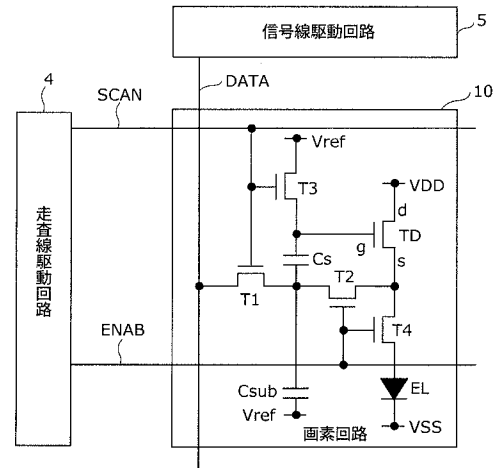
10

20

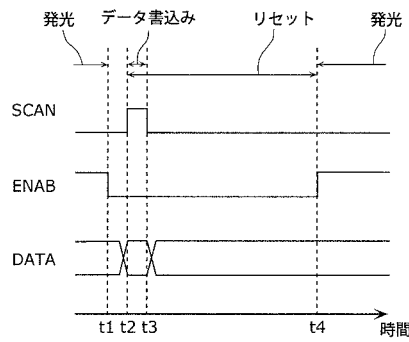
【図 1】



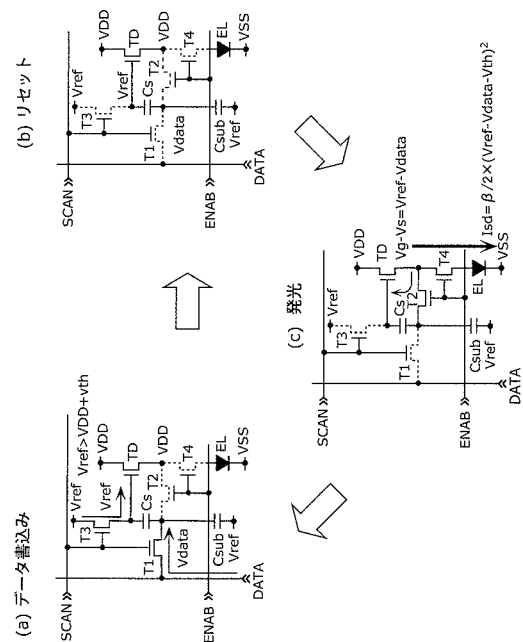
【図 2】



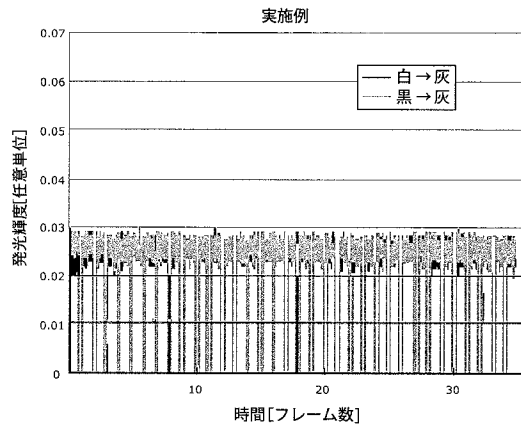
【図 3】



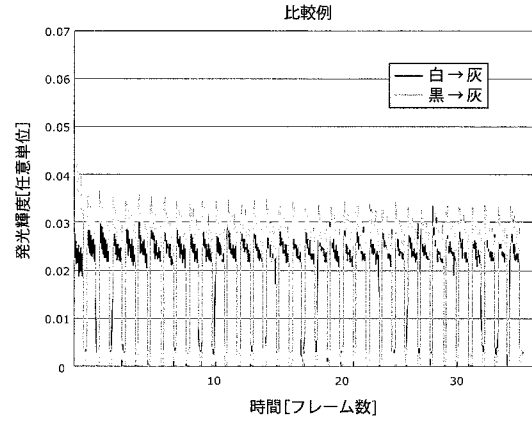
【図 4】



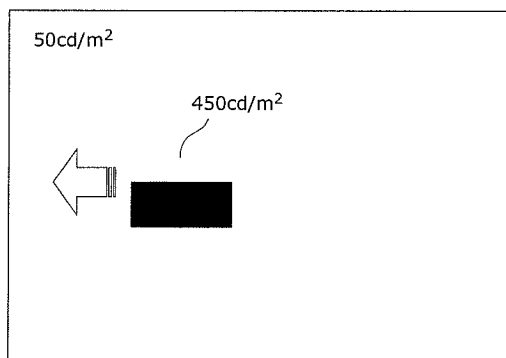
【図 5 A】



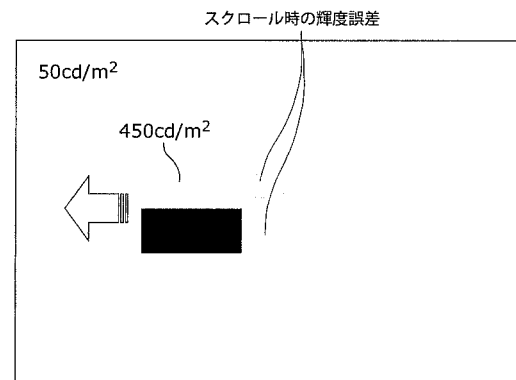
【図 6 A】



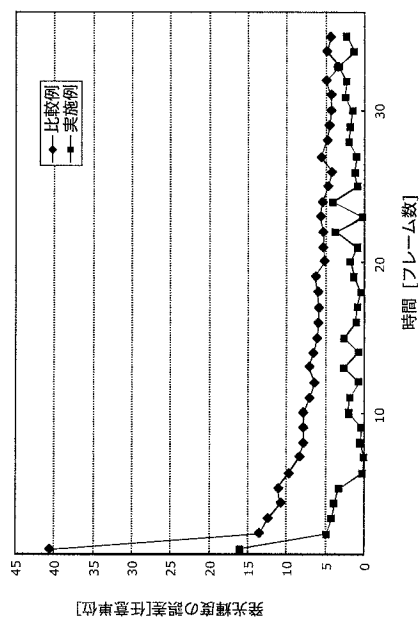
【図 5 B】



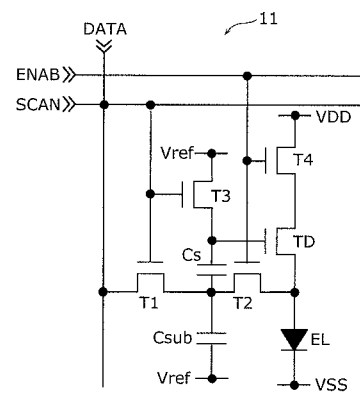
【図 6 B】



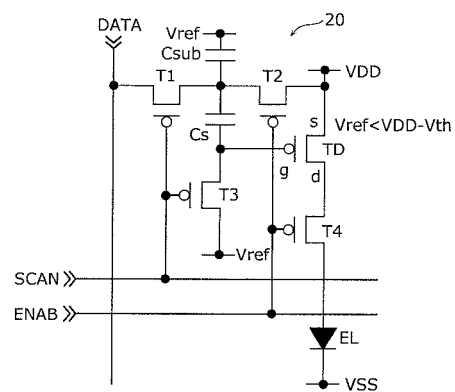
【図 7】



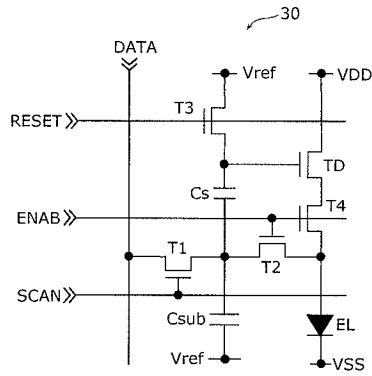
【図 8】



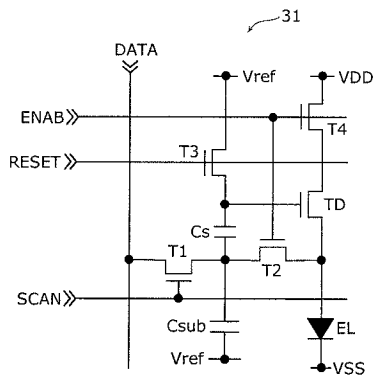
【図 9】



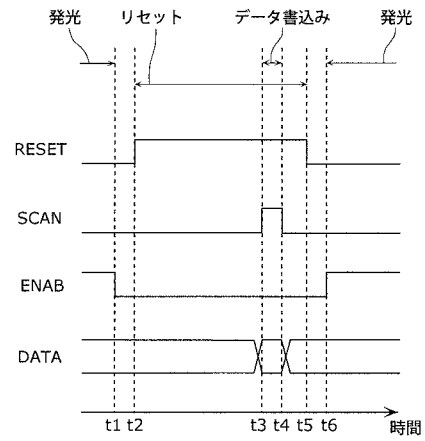
【図 10】



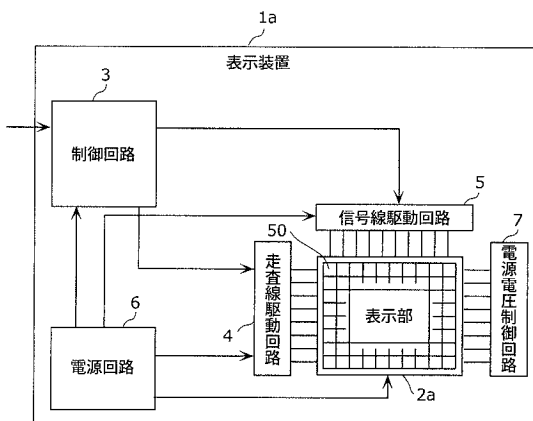
【図 11】



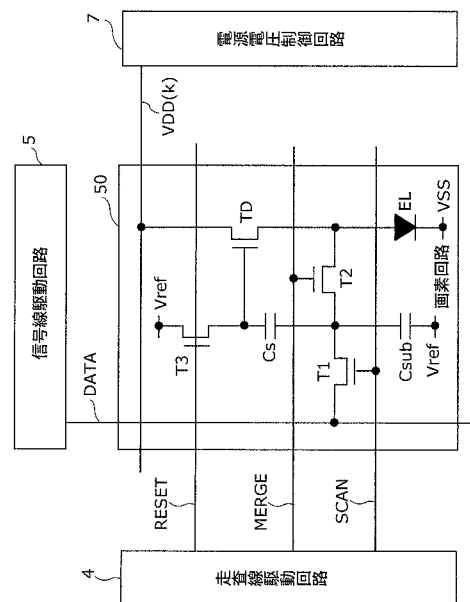
【図 12】



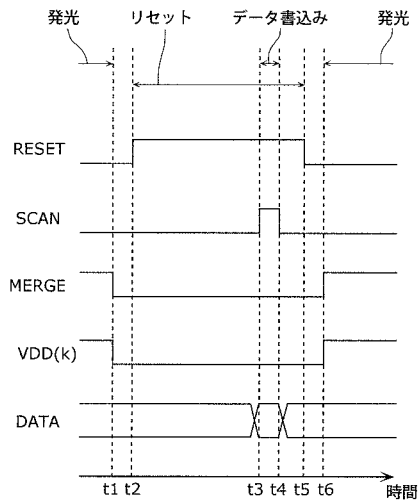
【図 13】



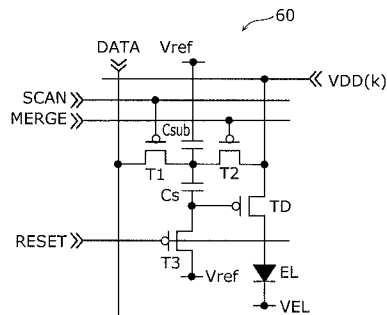
【図 14】



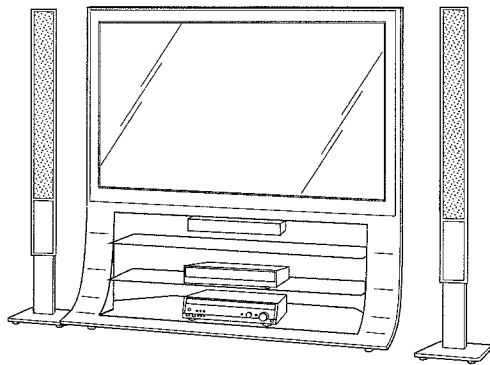
【図 15】



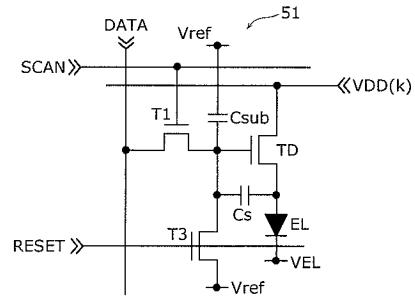
【図 16】



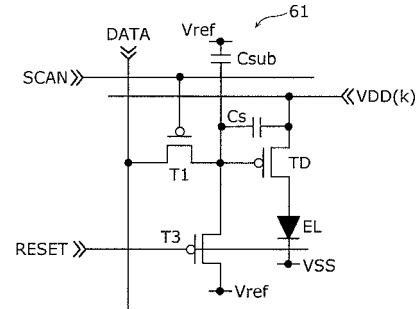
【図 19】



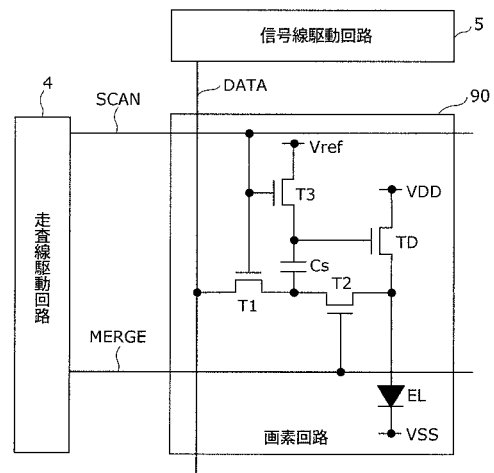
【図 17】



【図 18】



【図 20】



【手続補正書】

【提出日】平成25年1月10日(2013.1.10)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

発光素子と前記発光素子に電流を供給する駆動トランジスタとを備えた表示装置の制御方法であって、

前記駆動トランジスタのゲート端子に、ゲート端子に接続された参照電圧線を介して予め定められた参照電圧を印加すると共に、前記駆動トランジスタのソース端子及びドレイン端子のうちの一方に接続された電源線から、前記駆動トランジスタのソース端子及びドレイン端子のうちの他方に固定電圧を印加して、前記駆動トランジスタの閾値電圧の変動を抑制するリセットステップを含み、

前記リセットステップでは、前記駆動トランジスタのゲート端子 - ソース端子間の電圧及びゲート端子 - ドレイン端子間の電圧が、前記駆動トランジスタの閾値電圧よりも大きな電圧となるよう、前記参照電圧が設定されている、

表示装置の制御方法。

【請求項 2】

前記電源線と E L 共通端子の電源線は、発光期間で設定された電圧と、前記リセットステップで設定された電圧とが、互いに等しい、

請求項 1 に記載の表示装置の制御方法。

【請求項 3】

さらに、一方の端子が前記駆動トランジスタのゲート端子に接続された容量素子に、発光輝度に対応したデータ電圧を保持するデータ書込みステップを含み、

前記リセットステップの少なくとも一部と、前記データ書込みステップの少なくとも一部とが、同一の期間に並行して行われる、

請求項 1 に記載の表示装置の制御方法。

【請求項 4】

複数の画素回路を配置してなる表示部を有する表示装置であって、

前記画素回路の各々は、

ソース端子及びドレイン端子の一方が第 1 の電源電圧を伝達する第 1 の電源線に接続された駆動トランジスタと、

第 1 の端子が前記駆動トランジスタのゲート端子に接続された第 1 の容量素子と、

前記第 1 の容量素子の第 2 の端子と、輝度に対応したデータ電圧を伝達するデータ線との導通及び非導通を切り換える第 1 のスイッチング素子と、

前記第 1 の容量素子の第 2 の端子と、前記駆動トランジスタのソース端子との導通及び非導通を切り換える第 2 のスイッチング素子と、

前記第 1 の容量素子の第 1 の端子と、固定の参照電圧を伝達する参照電圧線との導通及び非導通を切り換える第 3 のスイッチング素子と、

第 1 の端子が前記駆動トランジスタのソース端子及びドレイン端子の他方と接続され、

第 2 の端子が第 2 の電源電圧を伝達する第 2 の電源線に接続された発光素子と、

第 1 の端子が前記第 1 の容量素子の第 2 の端子に接続され、第 2 の端子が前記第 1 の電源線または前記参照電圧線に接続された第 2 の容量素子と、を備え、

前記第 3 のスイッチング素子が導通状態となる際、前記固定の参照電圧は、前記駆動トランジスタのゲート端子 - ソース端子間及びゲート端子 - ドレイン端子間に、前記駆動トランジスタの閾値電圧よりも大きな順バイアス電圧を与えるように設定されている、

表示装置。

【請求項 5】

前記画素回路の各々は、さらに、前記駆動トランジスタから前記発光素子に供給される電流の経路に挿入され、当該電流の経路の導通及び非導通を切り換える第 4 のスイッチング素子を備える、

請求項 4 に記載の表示装置。

【請求項 6】

前記第 1 のスイッチング素子を制御する制御線と、前記第 3 のスイッチング素子を制御する制御線とは共通化されており、

前記第 2 のスイッチング素子を制御する制御線と、前記第 4 のスイッチング素子を制御する制御線とは共通化されている、

請求項 5 に記載の表示装置。

【請求項 7】

前記表示装置は、さらに、前記第 1 の電源線によって伝達される電源電圧を画素行ごとに制御する電源電圧制御回路を備える、

請求項 4 に記載の表示装置。

【請求項 8】

前記リセットステップにおいて、前記駆動トランジスタのドレイン端子の電位とソース端子の電位とが等しくなる、

請求項 1 に記載の表示装置の制御方法。

【請求項 9】

前記駆動トランジスタのゲート端子に、前記固定の参照電圧を印加すると共に、前記第 1 の電源線から、前記駆動トランジスタのソース端子及びドレイン端子の他方に固定電圧を印加して、前記駆動トランジスタの閾値電圧の変動を抑制するリセット動作を行う、

請求項 4 に記載の表示装置。

【請求項 10】

前記リセット動作を行う期間において、前記駆動トランジスタのドレイン端子の電位とソース端子の電位とが等しくなる、

請求項 9 に記載の表示装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0004

【補正方法】変更

【補正の内容】

【0004】

[0018]

本発明は、上記の課題に鑑みてなされたものであり、有機 EL 素子をデータ電圧に対応したより正確な輝度で発光させることができる画素回路を備える表示装置及びその制御方法を提供することを目的とする。

課題を解決するための手段

[0019]

上記目的を達成するために、本発明の 1 つの態様に係る表示装置は、複数の画素回路を配置してなる表示部を有する表示装置であって、前記画素回路の各々は、ソース端子及びドレイン端子の一方が第 1 の電源電圧を伝達する第 1 の電源線に接続された駆動トランジスタと、第 1 の端子が前記駆動トランジスタのゲート端子に接続された第 1 の容量素子と、前記第 1 の容量素子の第 2 の端子と、輝度に対応したデータ電圧を伝達するデータ線との導通及び非導通を切り換える第 1 のスイッチング素子と、前記第 1 の容量素子の第 2 の端子と、前記駆動トランジスタのソース端子との導通及び非導通を切り換える第 2 のスイッチング素子と、前記第 1 の容量素子の第 1 の端子と、固定の参照電圧を伝達する参照電圧線との導通及び非導通を切り換える第 3 のスイッチング素子と、第 1 の端子が前記駆動トランジスタのソース端子及びドレイン端子の他方と接続され、第 2 の端子が第 2 の電源

電圧を伝達する第２の電源線に接続された発光素子と、第１の端子が前記第１の容量素子の第２の端子に接続され、第２の端子が前記第１の電源線または前記参照電圧線に接続された第２の容量素子と、を備え、前記第３のスイッチング素子が導通状態となる際、前記固定の参照電圧は、前記駆動トランジスタのゲート端子－ソース端子間及びゲート端子－ドレイン端子に、前記駆動トランジスタの閾値電圧よりも大きな順バイアス電圧を与えるように設定されている。

発明の効果

【 ０ ０ ２ ０ 】

本発明の表示装置によれば、前記閾値電圧よりも大きい固定の順バイアス電圧を印加して前記駆動トランジスタをオン状態にすることで、前記駆動トランジスタの閾値電圧の変動を抑制し、前記発光素子をより正確な輝度で発光させることができる。

図面の簡単な説明

【 手 続 補 正 書 】

【 提 出 日 】 平成26年5月20日 (2014.5.20)

【 手 続 補 正 １ 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 全 文

【 補 正 方 法 】 変 更

【 補 正 の 内 容 】

【 発 明 の 詳 細 な 説 明 】

【 技 術 分 野 】

【 ０ ０ ０ １ 】

本発明は、表示装置及びその制御方法に関し、特に有機エレクトロルミネッセンス（ＥＬ）素子を用いた表示装置及びその制御方法に関する。

【 背 景 技 術 】

【 ０ ０ ０ ２ 】

昨今、有機ＥＬ素子を用いた表示装置（以下、有機ＥＬ表示装置）の開発及び実用化が進んでいる。有機ＥＬ表示装置は、一般に、各々が有機ＥＬ素子を有する複数の画素回路をマトリクス状に配置してなる表示部と、当該表示部を駆動するための駆動回路とを有している。

【 ０ ０ ０ ３ 】

アクティブマトリクス型の有機ＥＬ表示装置に用いられる原理的な画素回路は、有機ＥＬ素子、選択スイッチングトランジスタ、キャパシタ、及び駆動トランジスタを用いて構成される。そのような画素回路では、まず、信号線に接続された選択スイッチングトランジスタを導通状態にし、当該画素の輝度に対応したデータ電圧を信号線よりキャパシタに記録した後、前記選択スイッチングトランジスタを非導通状態とすることで、前記キャパシタにデータ電圧を保持する。次いで、キャパシタに保持された電圧に応じた大きさの電流を駆動トランジスタから有機ＥＬ素子に供給し、有機ＥＬ素子が駆動トランジスタから供給された電流に応じて、データ電圧に対応した輝度で発光する。

【 ０ ０ ０ ４ 】

このような原理的な画素回路に対し、有機ＥＬ素子をデータ電圧により正確に対応した輝度で発光させるための構成を設けた画素回路、及びその制御方法が、種々提案されている（例えば、特許文献１）。

【 ０ ０ ０ ５ 】

図２０は、特許文献１に開示された従来の画素回路９０を示す回路図である。

【 ０ ０ ０ ６ 】

画素回路９０は、駆動トランジスタＴＤ、スイッチングトランジスタＴ１～Ｔ３、キャパシタＣｓ、及び有機ＥＬ素子ＥＬから構成される。

【 ０ ０ ０ ７ 】

画素回路９０は、走査線駆動回路４から、信号線ＳＣＡＮ、ＭＥＲＧＥを介して、制御

信号を供給され、信号線駆動回路 5 から、データ線 DATA を介して、輝度に対応したデータ電圧を供給される。また、画素回路 90 は、図示しない電源回路から、電源線 VDD、VSS を介して、有機 EL 素子 EL の発光に用いられる正、負の電源電圧を供給され、参照電圧線 Vref を介して、参照電圧を供給される。

【0008】

有機 EL 素子 EL に電流を供給する電源線 VDD、VSS の画素回路 90 との接続点には、電圧降下に起因する複雑な電圧変動が生じるが、直流電流を供給しない参照電圧線 Vref には、定常的な電圧降下がほとんど生じない。

【0009】

このように構成された画素回路 90 は、供給される制御信号に応じて、次のように動作する。なお、以下の説明では、キャパシタの一端に電圧 A、他端に電圧 B を印加し、当該キャパシタにて電圧 A と電圧 B との差である電圧 (A - B) を保持する動作を、電圧 A を、電圧 B を基準として、キャパシタに保持する、と表現する。この表現は、本明細書の全体で用いられる。

【0010】

まず、スイッチングトランジスタ T2 を非導通状態として、キャパシタ Cs を画素内の電流経路から電氣的に切り離した状態で、スイッチングトランジスタ T1、T3 を導通状態とする。キャパシタ Cs は、データ電圧を、参照電圧を基準として保持する。

【0011】

このときキャパシタ Cs に保持される電圧は、電源電圧の変動の影響を全く受けていない。次に、スイッチングトランジスタ T1、T3 を非導通状態とし、スイッチングトランジスタ T2 を導通状態とし、キャパシタ Cs に保持されている電圧を、駆動トランジスタ TD のゲート端子 - ソース端子間に印加する。

【0012】

その結果、駆動トランジスタ TD は、データ電圧のみに応じた電流を有機 EL 素子 EL に供給するので、有機 EL 素子 EL はデータ電圧に対応した正確な輝度で発光する。

【先行技術文献】

【特許文献】

【0013】

【特許文献 1】国際公開第 2010/041426 号

【発明の概要】

【発明が解決しようとする課題】

【0014】

ところで、有機 EL 素子の発光輝度の精度を損なう原因には、前述した従来技術によって解決される電源電圧の変動の他にも、例えば、駆動トランジスタの閾値電圧の変動がある。閾値電圧の変動とは、駆動トランジスタのゲート端子 - ソース端子間に印加されたバイアス電圧の大きさに依存して、その後の閾値電圧が変動する現象である。

【0015】

駆動トランジスタは、輝度に対応した大きさのバイアス電圧をゲート端子 - ソース端子間に印加されて有機 EL 素子に所望の大きさの電流を供給するから、先行フレームにおける輝度に対応したゲート端子 - ソース端子間電圧に応じて駆動トランジスタの閾値電圧が変動し、後続フレームに影響を及ぼす。すなわち、閾値電圧が変動すると、データ電圧に対して駆動トランジスタが有機 EL 素子に供給する電流量に誤差が生じ、この誤差は有機 EL 素子の発光輝度の誤差に反映される。

【0016】

その様子を図 6A に示す。図 6A は、先行フレームにおいて黒または白が表示された後に、中間階調 (灰色) を表示させた際の輝度の時間変化を示すグラフである。表示が変化してから 10 以上のフレームにおいて、先行フレームの表示が白か黒かによる発光輝度の不一致が見られ、特に最初の 1 ~ 2 フレームでは大きな差異が見られる。この現象により、例えば図 6B に示すように、中間階調の背景の中で白または黒のウィンドウをスクロー

ルさせた場合には、ウィンドウが通過して再び背景になった領域が正しい中間階調の輝度に落ち着くまでにかなりの時間を要するため、尾引きと呼ばれる表示劣化が視認される。

【0017】

しかしながら、前述した従来技術では、このような急激な階調変化に伴って駆動トランジスタ閾値電圧が変動して生じる表示劣化及びその対策について、検討されていない。

【0018】

本発明は、上記の課題に鑑みてなされたものであり、有機EL素子をデータ電圧に対応したより正確な輝度で発光させることができる画素回路を備える表示装置及びその制御方法を提供することを目的とする。

【課題を解決するための手段】

【0019】

上記目的を達成するために、本発明の1つの態様に係る表示装置は、複数の画素回路を配置してなる表示部を有する表示装置であって、前記画素回路の各々は、ソース端子及びドレイン端子の一方が第1の電源電圧を伝達する第1の電源線に接続された駆動トランジスタと、第1の端子が前記駆動トランジスタのゲート端子に接続された第1の容量素子と、前記第1の容量素子の第2の端子と、輝度に対応したデータ電圧を伝達するデータ線との導通及び非導通を切り換える第1のスイッチング素子と、前記第1の容量素子の第2の端子と、前記駆動トランジスタのソース端子との導通及び非導通を切り換える第2のスイッチング素子と、前記第1の容量素子の第1の端子と、固定の参照電圧を伝達する参照電圧線との導通及び非導通を切り換える第3のスイッチング素子と、第1の端子が前記駆動トランジスタのソース端子及びドレイン端子の他方と接続され、第2の端子が第2の電源電圧を伝達する第2の電源線に接続された発光素子と、第1の端子が前記第1の容量素子の第2の端子に接続され、第2の端子が前記第1の電源線または前記参照電圧線に接続された第2の容量素子と、を備え、前記第3のスイッチング素子が導通状態となる際、前記固定の参照電圧は、前記駆動トランジスタのゲート端子 - ソース端子間及びゲート端子 - ドレイン端子間に、前記駆動トランジスタの閾値電圧よりも大きな順バイアス電圧を与えるように設定されている。

【発明の効果】

【0020】

本発明の表示装置によれば、前記閾値電圧よりも大きい固定の順バイアス電圧を印加して前記駆動トランジスタをオン状態にすることで、前記駆動トランジスタの閾値電圧の変動を抑制し、前記発光素子をより正確な輝度で発光させることができる。

【図面の簡単な説明】

【0021】

【図1】図1は、実施の形態1における表示装置の構成の一例を示す機能ブロック図である。

【図2】図2は、実施の形態1における画素回路の構成の一例を示す回路図である。

【図3】図3は、実施の形態1における制御信号およびデータ信号の一例を示すタイミングチャートである。

【図4】図4は、実施の形態1における画素回路の動作の一例を示す回路図である。

【図5A】図5Aは、実施例の画素回路の発光輝度の時間変化を示すグラフである。

【図5B】図5Bは、実施例の画素回路を用いた表示部によるスクロール表示の一例である。

【図6A】図6Aは、比較例の画素回路の発光輝度の時間変化を示すグラフである。

【図6B】図6Bは、比較例の画素回路を用いた表示部によるスクロール表示の一例である。

【図7】図7は、実施例と比較例についてフレームごとの発光輝度の誤差を示すグラフである。

【図8】図8は、実施の形態1における画素回路の構成の一例を示す回路図である。

【図9】図9は、実施の形態1における画素回路の構成の一例を示す回路図である。

【図 10】図 10 は、実施の形態 1 の変形例における画素回路の構成の一例を示す回路図である。

【図 11】図 11 は、実施の形態 1 の変形例における画素回路の構成の一例を示す回路図である。

【図 12】図 12 は、実施の形態 1 の変形例における制御信号およびデータ信号の一例を示すタイミングチャートである。

【図 13】図 13 は、実施の形態 2 における表示装置の構成の一例を示す機能ブロック図である。

【図 14】図 14 は、実施の形態 2 における画素回路の構成の一例を示す回路図である。

【図 15】図 15 は、実施の形態 2 における制御信号、電源電圧、およびデータ信号の一例を示すタイミングチャートである。

【図 16】図 16 は、実施の形態 2 における画素回路の構成の一例を示す回路図である。

【図 17】図 17 は、実施の形態 2 における画素回路の構成の一例を示す回路図である。

【図 18】図 18 は、実施の形態 2 における画素回路の構成の一例を示す回路図である。

【図 19】図 19 は、本発明の表示装置を内蔵する薄型フラット TV の一例を示す外観図である。

【図 20】図 20 は、従来の画素回路の構成の一例を示す回路図である。

【発明を実施するための形態】

【0022】

本発明の 1 つの態様に係る制御方法は、発光素子と前記発光素子に電流を供給する駆動トランジスタとを備えた表示装置の制御方法であって、前記駆動トランジスタのゲート端子に、ゲート端子に接続された参照電圧線を介して予め定められた参照電圧を印加すると共に、前記駆動トランジスタのソース端子及びドレイン端子のうちの一方に接続された電源線から、前記駆動トランジスタのソース端子及びドレイン端子のうちの他方に固定電圧を印加して、前記駆動トランジスタの閾値電圧の変動を抑制するリセットステップを含み、前記リセットステップでは、前記駆動トランジスタのゲート端子 - ソース端子間の電圧が、前記駆動トランジスタの閾値電圧よりも大きな電圧となるよう、前記参照電圧が設定されている。

【0023】

このような制御方法によれば、前記リセットステップで、前記閾値電圧よりも大きい固定の順バイアス電圧の印加によって前記駆動トランジスタをオン状態にして、前記駆動トランジスタの閾値電圧の変動を抑制するので、前記発光素子をより正確な輝度で発光させることができる。

【0024】

また、前記電源線と EL 共通端子の電源線は、発光期間で設定された電圧と、前記リセットステップで設定された電圧とが、互いに等しくてもよい。

【0025】

このような制御方法によれば、前記発光期間と、前記リセットステップとで、電源線の電圧を変更する必要がないので、前記表示装置の回路構成を簡素化するために役立つ。

【0026】

前記制御方法は、さらに、一方の端子が前記駆動トランジスタのゲート端子に接続された容量素子に、発光輝度に対応したデータ電圧を保持するデータ書込みステップを含み、前記リセットステップの少なくとも一部と、前記データ書込みステップの少なくとも一部とが、同一の期間に並行して行われてもよい。

【0027】

このような制御方法によれば、前記データ書込みステップと並行して、前記リセットステップに十分な時間をかけることで、前記駆動トランジスタの閾値電圧の変動をより小さく抑制することができる。

【0028】

本発明の 1 つの態様に係る表示装置は、複数の画素回路を配置してなる表示部を有する

表示装置であって、前記画素回路の各々は、ソース端子及びドレイン端子の一方が第１の電源電圧を伝達する第１の電源線に接続された駆動トランジスタと、第１の端子が前記駆動トランジスタのゲート端子に接続された第１の容量素子と、前記第１の容量素子の第２の端子と、輝度に対応したデータ電圧を伝達するデータ線との導通及び非導通を切り換える第１のスイッチング素子と、前記第１の容量素子の第２の端子と、前記駆動トランジスタのソース端子との導通及び非導通を切り換える第２のスイッチング素子と、前記第１の容量素子の第１の端子と、固定の参照電圧を伝達する参照電圧線との導通及び非導通を切り換える第３のスイッチング素子と、第１の端子が前記駆動トランジスタのソース端子及びドレイン端子の他方と接続され、第２の端子が第２の電源電圧を伝達する第２の電源線に接続された発光素子と、第１の端子が前記第１の容量素子の第２の端子に接続され、第２の端子が前記第１の電源線または前記参照電圧線に接続された第２の容量素子と、を備え、前記第３のスイッチング素子が導通状態となる際、前記固定の参照電圧は、前記駆動トランジスタのゲート端子－ソース端子間に、前記駆動トランジスタの閾値電圧よりも大きな順バイアス電圧を与えるように設定されている。

【００２９】

このような構成によれば、前記閾値電圧よりも大きい固定の順バイアス電圧を印加して前記駆動トランジスタをオン状態にすることで、前記駆動トランジスタの閾値電圧の変動を抑制し、前記発光素子をより正確な輝度で発光させることができる。

【００３０】

また、前記画素回路の各々は、さらに、前記駆動トランジスタから前記発光素子に供給される電流の経路に挿入され、当該電流の経路の導通及び非導通を切り換える第４のスイッチング素子を備えてもよい。

【００３１】

また、前記第１のスイッチング素子を制御する制御線と、前記第３のスイッチング素子を制御する制御線とは共通化されており、前記第２のスイッチング素子を制御する制御線と、前記第４のスイッチング素子を制御する制御線とは共通化されていてもよい。

【００３２】

また、前記表示装置は、さらに、前記第１の電源線によって伝達される電源電圧を画素行ごとに制御する電源電圧制御回路を備えてもよい。

【００３３】

このような構成によれば、閾値電圧の変動を抑制するために前記駆動トランジスタに前記固定の順バイアス電圧を印加している間に、前記発光素子の発光を抑止することができるので、表示コントラストの向上や消費電力の低減に役立つ。

【００３４】

以下、本発明の実施の形態について説明する。なお、以下では、全ての図を通して同等の機能を発揮する要素には同じ符号を付し、重複する説明は適宜省略する。

【００３５】

（実施の形態１）

実施の形態１における表示装置は、複数の画素回路をマトリクス状に配置してなる表示部を有する表示装置であって、前記各画素回路が、駆動トランジスタの閾値変動を抑制するように構成されている。

【００３６】

以下、本発明の実施の形態１について、図面を参照しながら説明する。

【００３７】

図１は、実施の形態１における表示装置１の構成の一例を示す機能ブロック図である。

【００３８】

表示装置１は、表示部２、制御回路３、走査線駆動回路４、信号線駆動回路５、及び電源回路６から構成される。

【００３９】

表示部２は、複数の画素回路１０をマトリクスに配置してなる。当該マトリクスの各行

には走査信号線が設けられ、当該マトリクス of 各列にはデータ信号線が設けられる。

【0040】

制御回路3は、表示装置1の動作を制御する回路であり、外部から映像信号を受信し、当該映像信号で表される画像が表示部2に表示されるように、走査線駆動回路4、信号線駆動回路5を制御する。

【0041】

走査線駆動回路4は、表示部2の各行に設けられた走査信号線を介して画素回路10に、画素回路10の動作を制御するための制御信号を供給する。

【0042】

信号線駆動回路5は、表示部2の各列に設けられたデータ信号線を介して画素回路10に、輝度に対応したデータ信号を供給する。

【0043】

電源回路6は、表示装置1の動作の電源を、表示装置1の各部に供給する。

【0044】

図2は、画素回路10の構成の一例、及び画素回路10と走査線駆動回路4及び信号線駆動回路5との接続の一例を示す回路図である。

【0045】

表示部2の各行には、同じ行に配置される複数の画素回路10に共通に接続される走査信号線として、信号線SCAN、ENABが設けられており、表示部2の各列には、同じ列に配置される複数の画素回路10に共通に接続されるデータ信号線として、データ線DATAが設けられている。

【0046】

また、表示部2には、電源回路6から供給される正の電源電圧を伝達して、画素回路10に分配する電源線VDD、電源回路6から供給される負の電源電圧を伝達して、画素回路10に分配する電源線VSS、及び電源回路6から供給される固定の参照電圧を伝達して、画素回路10に分配する参照電圧線Vrefが設けられている。電源線VDD、VSS、及び参照電圧線Vrefは、全ての画素回路10に共通に接続される。

【0047】

有機EL素子ELに電流を供給する電源線VDD、VSSの各々と画素回路10との接続点には、電気抵抗に起因する電圧降下による複雑な電圧変動が生じるが、直流電流を供給しない参照電圧線Vrefには、定常的な電圧降下は生じない。

【0048】

表示部2に配置されている各画素回路10は、画素回路10が配置されている行の信号線SCAN、ENABで走査線駆動回路4に接続されると共に、画素回路10が配置されている列のデータ線DATAで信号線駆動回路5に接続されている。

【0049】

信号線SCAN、ENABは、走査線駆動回路4から画素回路10へ、画素回路10の動作を制御するための制御信号を伝達する。データ線DATAは、信号線駆動回路5から画素回路10へ、輝度に対応したデータ信号を伝達する。

【0050】

画素回路10は、データ信号に対応した輝度で有機EL素子を発光させる回路であり、駆動トランジスタTD、スイッチングトランジスタT1～T4、キャパシタCs、Csub、及び有機EL素子ELから構成される。駆動トランジスタTD、スイッチングトランジスタT1～T4は、n型の薄膜トランジスタ(TFT)で構成される。

【0051】

駆動トランジスタTDは、ドレイン端子dが電源線VDDに接続され、ソース端子sがスイッチングトランジスタT4を介して有機EL素子ELの第1(紙面の上側)の端子に接続されている。

【0052】

キャパシタCsは、第1(紙面の上側)の端子が駆動トランジスタTDのゲート端子g

に接続されている。

【0053】

キャパシタC s u bは、第1（紙面の上側）の端子がキャパシタC sの第2（紙面の下側）の端子に接続され、第2（紙面の下側）の端子が固定の電圧（たとえば電源線V D Dまたは参照電圧線V r e f）に接続されている。なお、キャパシタC s u bは、専用の領域に形成されたキャパシタである必要はなく、キャパシタC sの第2の端子を構成する導電体と電源線V D Dまたは参照電圧線V r e fまたは信号線S C A N、E N A Bを構成する導電体との間に存在する寄生容量であってもよい。またはスイッチングトランジスタT 1、T 2の寄生容量であってもよい。したがって、キャパシタC s u bが明示されていない画素回路も本発明に含まれる。

【0054】

有機E L素子E Lは、第2（紙面の下側）の端子が電源線V S Sに接続されている。

【0055】

スイッチングトランジスタT 1は、信号線S C A Nで伝達される制御信号に従って、キャパシタC sの第2（紙面の下側）の端子とデータ線D A T Aとの導通及び非導通を切り換える。

【0056】

スイッチングトランジスタT 2は、信号線E N A Bで伝達される制御信号に従って、駆動トランジスタT Dのソース端子sとキャパシタC sの第2の端子との導通及び非導通を切り換える。

【0057】

スイッチングトランジスタT 3は、信号線S C A Nで伝達される制御信号に従って、キャパシタC sの第1の端子と参照電圧線V r e fとの導通及び非導通を切り換える。

【0058】

スイッチングトランジスタT 4は、信号線E N A Bで伝達される制御信号に従って、駆動トランジスタT Dのソース端子sと有機E L素子E Lの第2（紙面の上側）の端子との導通及び非導通を切り換える。

【0059】

ここで、スイッチングトランジスタT 1～T 4が、それぞれ第1～第4のスイッチング素子の一例であり、キャパシタC sが容量素子の一例であり、有機E L素子E Lが発光素子の一例である。また、電源線V D Dが第1の電源線の一例であり、電源線V S Sが第2の電源線の一例である。また、データ信号がデータ電圧の一例である。

【0060】

図3は、画素回路10を動作させるための制御信号及びデータ信号の一例を、1フレーム期間にわたって示したタイミングチャートである。図3において、縦軸は各信号のレベル、横軸は時間の経過を表す。画素回路10のスイッチングトランジスタT 1～T 4はn型のトランジスタで構成されるので、スイッチングトランジスタT 1～T 4の各々は、対応する制御信号がH i g hレベルの期間に導通状態となり、対応する制御信号がL o wレベルの期間に非導通状態になる。

【0061】

図3に示す制御信号及びデータ信号に従って行われる画素回路10の動作を、図4（a）～（c）を参照して説明する。なお、説明の便宜上、電源線V D D、V S Sの各々と画素回路10との接続点の電圧を、それぞれ正の電源電圧V D D、負の電源電圧V S Sと表記し、参照電圧線V r e fの電圧を参照電圧V r e fと表記している。

【0062】

時刻t 1において、先行フレームにおける発光が終了する。

【0063】

時刻t 2からt 3までのデータ書込み期間において、データ書込み動作が行われる。データ書込み動作とは、データ線D A T Aから、スイッチングトランジスタT 1を介して、データ電圧V d a t aを取得する（つまり、データ電圧V d a t aが画素回路10内に書

き込まれる)動作である。

【0064】

図4(a)は、データ書込み動作を説明する回路図である。データ書込み期間において非導通状態になるスイッチングトランジスタT2、T4は点線で示されている。

【0065】

データ書込み期間において、スイッチングトランジスタT1、T3が導通状態になり、データ線DATAからデータ電圧Vdataが取得され、参照電圧Vrefを基準として、キャパシタCsに保持される。後述のリセット動作を行うために、参照電圧Vrefには、正の電源電圧VDDに閾値電圧Vthを加えた電圧よりも高い電圧が用いられる。

【0066】

時刻t2からt4までのリセット期間において、リセット動作が行われる。リセット期間の一部は、データ書込み期間と重複しており、リセット動作は、時刻t2からt3まで、前述のデータ書込み動作と並行して行われる。リセット動作とは、駆動トランジスタの閾値電圧の変動を抑制するために、駆動トランジスタTDの閾値電圧Vthよりも大きい順バイアス電圧を印加して、駆動トランジスタTDをオン状態にする動作である。

【0067】

図4(b)は、リセット動作を説明する回路図である。リセット期間のうち時刻t3以降において非導通状態になるスイッチングトランジスタT1、T2、T3、T4は点線で示されている。

【0068】

リセット期間において、時刻t2からt3まで、参照電圧線Vrefから駆動トランジスタTDのゲート端子gに参照電圧Vrefが印加され、時刻t3からt4まで、キャパシタCsの第1(紙面の上側)の端子から駆動トランジスタTDのゲート端子gに参照電圧Vrefが印加される。

【0069】

前述したように、参照電圧Vrefは、正の電源電圧VDDに閾値電圧Vthを加えた電圧よりも高いので、駆動トランジスタTDはオン状態になり、リセット動作が行われる。このとき、スイッチングトランジスタT4が非導通状態になっているため、有機EL素子ELの発光は抑止され、駆動トランジスタTDのドレイン端子およびソース端子の電位は共に正の電源電圧VDDと等しくなる。これにより、有機EL素子ELの不要な発光による表示コントラストの低下、及び消費電力の増大が抑制される。

【0070】

なお、リセット期間において有機EL素子ELの発光を抑止することは、駆動トランジスタTDの閾値電圧Vthの変動を抑制するためには必須ではない。有機EL素子ELの発光を抑止せずにリセット動作を行った場合でも、駆動トランジスタTDの閾値電圧Vthの変動を抑制する効果があることが確かめられている。

【0071】

時刻t4以降の発光期間において、発光動作が行われる。発光動作とは、データ電圧Vdataを反映したバイアス電圧を駆動トランジスタTDのゲート端子-ソース端子間に印加して、駆動トランジスタTDから有機EL素子ELに電流を供給する動作である。

【0072】

図4(c)は、発光動作を説明する回路図である。発光期間において非導通状態になるスイッチングトランジスタT1、T3は点線で示されている。

【0073】

発光期間において、スイッチングトランジスタT1、T3が非導通状態になると共に、スイッチングトランジスタT2が導通状態になり、キャパシタCsに保持されている電圧Vref-Vdataが駆動トランジスタTDのゲート端子-ソース端子間に印加される。

【0074】

その結果、駆動トランジスタTDから有機EL素子ELに、データ電圧Vdataに対

応した大きさの電流 $I_{sd} = \beta / 2 \times (V_{ref} - V_{data} - V_{th})^2$ が供給される。

【0075】

駆動トランジスタTDの閾値電圧 V_{th} は、発光動作に先行するリセット動作によって、前のフレームの表示状態に関わらず、どのフレームにおいても、そのフレーム期間内においてほぼ一定の値に設定されるので、閾値電圧の1フレーム内の変動の影響が排除され、有機EL素子ELをデータ電圧 V_{data} に対応した正確な輝度で発光させることができる。

【0076】

上記のように構成された画素回路10の発光特性を確認するために行った実験の結果について説明する。実験では、画素回路10による実施例、及び従来技術である画素回路90による比較例について、画素回路の発光輝度の時間変化を測定した。

【0077】

図5Aは、実施例の画素回路10の発光輝度の時間変化を示すグラフであり、白または黒の表示から、灰色の表示に切り替わった直後の35フレームにおける発光輝度の測定結果が示されている。

【0078】

実施例では、先行フレームの表示が白か黒かによって、灰色の表示に切り替わった後の最初のフレームで若干の発光輝度の差異が見られるものの、2番目のフレーム以降ではほぼ同一の発光輝度が得られ、速やかに正しい灰色表示に収束している。また、各フレーム内での発光輝度もほとんど変動がなく、よく安定している。

【0079】

その結果、例えば図5Bに示すように、中間階調の背景の中で黒または白のウィンドウをスクロールさせた場合でも、ウィンドウが通過して再び背景になった領域が速やかに正しい中間階調の輝度に落ち着くため、尾引きは視認されない。

【0080】

これに対し、図6Aは、比較例の画素回路90の発光輝度の時間変化を示すグラフであり、白または黒の表示から、灰色の表示に切り替わった直後から35フレームにおける発光輝度の測定結果が示されている。

【0081】

比較例では、先行フレームの表示が白か黒かによって、灰色の表示に切り替わった後の10以上のフレームにおいて発光輝度の不一致が見られ、特に最初の1～2フレームでの発光輝度には大きな差異が見られる。課題の項で指摘したように、この現象により、図6Bに示すような、中間階調の背景の中で白または黒のウィンドウをスクロールさせた際の尾引きが視認される。

【0082】

図7は、フレームごとの輝度の誤差のフレーム間推移を示すグラフである。ここでは、輝度の誤差として、正しい灰色の輝度に対する実際の輝度のずれ量を示している。実施例は、比較例と比べて、輝度のずれ量がより小さく、かつ速やかに正しい灰色表示に収束している。

【0083】

これらの結果から、閾値電圧 V_{th} よりも大きい固定の順バイアス電圧の印加にて駆動トランジスタTDをオン状態にしてリセットすることで、駆動トランジスタTDの閾値電圧 V_{th} の変動を抑制し、有機EL素子ELをデータ電圧 V_{data} に対応した正確な輝度で発光させる効果が認められた。

【0084】

さらに、リセット期間において、有機EL素子ELの発光を抑止することで、表示コントラストを向上し、消費電力を低減する効果が得られる。

【0085】

なお、上記で説明した画素回路10は、次のような変形が可能である。

【 0 0 8 6 】

例えば、図 8 に示す画素回路 1 1 のように、スイッチングトランジスタ T 4 を、駆動トランジスタ T D と電源線 V D D との間に挿入してもよい。スイッチングトランジスタ T 4 は、有機 E L 素子 E L の発光を抑止するために、駆動トランジスタ T D から有機 E L 素子 E L に供給する電流の経路のどこに挿入されていてもよい。画素回路 1 1 は、図 3 に示す制御信号に従って、画素回路 1 0 と同等の動作を行う。

【 0 0 8 7 】

また例えば、図 9 に示す画素回路 2 0 のように、駆動トランジスタ T D、スイッチングトランジスタ T 1 ~ T 4 を全て p 型のトランジスタで構成してもよい。画素回路 2 0 は、図 3 に示す画素回路 1 0 に用いられる制御信号およびデータ信号のレベルをそれぞれ単純に反転した制御信号およびデータ信号が与えられると、画素回路 1 0 と同等の動作を行うように構成されている。したがって、画素回路 2 0 によっても画素回路 1 0 と同等の効果が得られる。

【 0 0 8 8 】

(実施の形態 1 の変形例)

本発明の実施の形態 1 の変形例について、図面を参照しながら説明する。本変形例では、図 2 に示した画素回路 1 0 のスイッチングトランジスタ T 1、T 3 を、それぞれ独立したタイミングで制御するための構成および動作の一例が示される。

【 0 0 8 9 】

図 1 0 は、実施の形態 1 の変形例における画素回路 3 0 の構成の一例を示す回路図である。画素回路 3 0 の基本的な構成は、画素回路 1 0 と同一であるが、スイッチングトランジスタ T 1、T 3 のそれぞれのゲート端子が独立した制御線に接続されている点異なる。画素回路 3 0 に対応して、表示部 2 の各行に信号線 R E S E T が設けられる。

【 0 0 9 0 】

画素回路 3 0 において、スイッチングトランジスタ T 3 は、信号線 R E S E T で伝達される制御信号に従って、キャパシタ C s の第 1 (紙面の上方) の端子と参照電圧線 V r e f との導通及び非導通を切り換える。

【 0 0 9 1 】

なお、図 1 1 に示す画素回路 3 1 のように、スイッチングトランジスタ T 4 を、駆動トランジスタ T D と電源線 V D D との間に挿入するように、画素回路 3 0 を変形してもよい。

【 0 0 9 2 】

図 1 2 は、画素回路 3 0、3 1 を動作させるための制御信号及びデータ信号の一例を、1 フレーム期間にわたって示すタイミングチャートである。図 1 2 において、縦軸は各信号のレベル、横軸は時間を表す。

【 0 0 9 3 】

図 1 2 に示す制御信号及びデータ信号に従って行われる画素回路 3 0、3 1 の動作を説明する。

【 0 0 9 4 】

時刻 t 1 において、先行フレームにおける発光が終了する。

【 0 0 9 5 】

時刻 t 2 から t 5 までのリセット期間において、リセット動作が行われる。

【 0 0 9 6 】

リセット期間の全体において、スイッチングトランジスタ T 3 が導通状態になり、参照電圧線 V r e f から駆動トランジスタ T D のゲート端子 g に、正の電源電圧 V D D に閾値電圧 V t h を加えた電圧よりも高い参照電圧 V r e f が印加される。これにより、駆動トランジスタ T D はオン状態になり、リセット動作が行われる。このとき、スイッチングトランジスタ T 4 が非導通状態になっているため、有機 E L 素子 E L の発光は抑止される。

【 0 0 9 7 】

時刻 t 3 から t 4 までのデータ書込み期間において、データ書込み動作が行われる。デ

ータ書込み期間は、リセット期間の少なくとも一部と重複しており、データ書込み動作は、リセット動作と並行して行われる。

【 0 0 9 8 】

なお、データ書込み動作は行ごとに順次行われる。そのため、最初にデータ書込み動作が行われる行のデータ書込み期間は、リセット期間と同時に、時刻 t_2 に開始されてもよい。

【 0 0 9 9 】

時刻 t_4 以降の発光期間において、発光動作が行われる。

【 0 1 0 0 】

データ書込み動作及び発光動作は、画素回路 10 について説明したデータ書込み動作及び発光動作と同様である。

【 0 1 0 1 】

画素回路 30、31 においても、画素回路 10 と同様、駆動トランジスタ T_D の閾値電圧 V_{th} は、発光動作に先行するリセット動作によって、どのフレームにおいてもほぼ同一の値に設定されるので、閾値電圧の変動の影響が排除され、有機 EL 素子 EL をデータ電圧 V_{data} に対応した正確な輝度で発光させることができる。

【 0 1 0 2 】

画素回路 30、31 では、さらに、リセット期間の全体において、参照電圧線 V_{ref} から駆動トランジスタ T_D のゲート端子 g に参照電圧 V_{ref} を印加できる。そのため、画素回路 10 とは異なり、キャパシタ C_s のリークによって参照電圧 V_{ref} が変動する懸念がなく、より確実なリセット動作が実現できる。

【 0 1 0 3 】

なお、制御信号 $RESET$ に信号線制御信号 $SCAN$ と同じ信号を用いて、行ごとに順次、当該行のデータ書込み期間においてのみリセット動作を行ってもよい。その場合、信号線 $RESET$ と信号線 $SCAN$ とを同じ信号線で共通化してもよい。信号線の共通化は、配線面積を削減するので、画素回路 30、31 の配置密度を向上し、高精細な表示装置を実現するために役立つ。また走査線駆動回路 4 の出力本数を削減できるので、回路サイズを縮小することができ、コストの低減が実現できる。

【 0 1 0 4 】

また、キャパシタ C_{sub} は、専用の領域に形成されたキャパシタである必要はなく、キャパシタ C_s の第 2 の端子を構成する導電体と電源線 VDD または参照電圧線 V_{ref} または信号線 $SCAN$ 、 $ENAB$ を構成する導電体との間に存在する寄生容量であってもよい。またはスイッチングトランジスタ T_1 、 T_2 の寄生容量であってもよい。

【 0 1 0 5 】

(実施の形態 2)

本発明の実施の形態 2 について、図面を参照しながら説明する。本実施の形態では、有機 EL 素子の発光を抑止するための回路を画素回路の外部に設けた表示装置の一例が示される。

【 0 1 0 6 】

図 13 は、実施の形態 2 における表示装置 1a の構成の一例を示す機能ブロック図である。

【 0 1 0 7 】

表示装置 1a は、実施の形態 1 の表示装置 1 と比べて、表示部 2a が変更され、電源電圧制御回路 7 が追加される。

【 0 1 0 8 】

表示部 2a は、複数の画素回路 50 をマトリクス状に配置してなる。当該マトリクスの各行には走査信号線及び電源線が設けられ、当該マトリクスの各列にはデータ信号線が設けられる。

【 0 1 0 9 】

電源電圧制御回路 7 は、有機 EL 素子の発光に用いられる電源を電源回路 6 から供給さ

れ、表示部 2 a の各行に設けられた電源線を介して、行ごとに独立して、画素回路 5 0 に分配する。

【 0 1 1 0 】

図 1 4 は、画素回路 5 0 の構成の一例、及び画素回路 5 0 と、走査線駆動回路 4、信号線駆動回路 5、及び電源電圧制御回路 7 との接続の一例を示す回路図である。

【 0 1 1 1 】

表示部 2 a の各行には、同じ行に配置される複数の画素回路 5 0 に共通に接続される走査信号線として、信号線 R E S E T、M E R G E、S C A N が設けられている。表示部 2 a の各行には、さらに、同じ行に配置される複数の画素回路 5 0 に共通に接続される電源線 V D D (k) が設けられている。

【 0 1 1 2 】

信号線 M E R G E は、表示部 2 における信号線 E N A B と同じものである。電源線 V D D (k) は、第 1 の電源線の一例であり、表示部 2 における電源線 V D D に対応している。

【 0 1 1 3 】

画素回路 5 0 は、図 1 0 に示す画素回路 3 0 と比べて、スイッチングトランジスタ T 4 が省略される点のみが異なる。

【 0 1 1 4 】

表示装置 1 a において、有機 E L 素子 E L の発光を抑止する機能は、電源電圧制御回路 7 によって果たされる。電源電圧制御回路 7 は電源線 V D D (k) に、例えば、発光期間において正の電源電圧 V D D を出力し、リセット期間において有機 E L 素子 E L が発光しない程度の低い電圧（例えば、負の電源電圧 V S S ）を出力する。これにより、リセット期間において、電源線 V D D (k) に接続されている画素回路 5 0 における有機 E L 素子 E L の発光が抑止される。

【 0 1 1 5 】

また、参照電圧 V r e f には、電源電圧 V D D (k) のリセット期間における電圧に閾値電圧 V t h を加えた電圧よりも高い電圧が用いられる。

【 0 1 1 6 】

図 1 5 は、画素回路 5 0 を動作させるための制御信号、電源電圧、及びデータ信号の一例を、1 フレーム期間にわたって示したタイミングチャートである。図 1 5 において、縦軸は各信号のレベル、横軸は時間の経過を表す。なお、説明の便宜上、電源線 V D D (k) で伝達される電圧を、電源電圧 V D D (k) と表記している。電源電圧 V D D (k) の H i g h レベルは正の電源電圧 V D D であり、電源電圧 V D D (k) の L o w レベルは、例えば負の電源電圧 V S S である。

【 0 1 1 7 】

有機 E L 素子 E L は、電源電圧 V D D (k) が L o w レベルの期間に発光が抑止されるから、図 1 5 に示す制御信号及び電源電圧に従って行われる画素回路 5 0 の動作は、図 1 2 に示す制御信号に従って行われる画素回路 3 0 の動作と同等である。

【 0 1 1 8 】

なお、上記で説明した画素回路 5 0 は、次のような変形が可能である。

【 0 1 1 9 】

例えば、図 1 6 に示す画素回路 6 0 のように、駆動トランジスタ T D、スイッチングトランジスタ T 1 ~ T 4 を全て p 型のトランジスタで構成してもよい。画素回路 6 0 は、図 1 3 に示す画素回路 5 0 に用いられる制御信号およびデータ信号のレベルをそれぞれ単純に反転した制御信号およびデータ信号が与えられると、画素回路 5 0 と同等の動作を行うように構成されている。したがって、画素回路 6 0 によっても画素回路 5 0 と同等の効果が得られる。

【 0 1 2 0 】

また例えば、図 1 7 に示す画素回路 5 1、及び図 1 8 に示す画素回路 6 1 のように、スイッチングトランジスタ T 2 を省略してもよい。

【 0 1 2 1 】

なお、各行の画素回路における駆動トランジスタＴＤを、行ごとに異なるタイミングでリセットしてもよいし、全ての行の画素回路における駆動トランジスタＴＤを、同一の期間に一括してリセットしてもよい。

【 0 1 2 2 】

全ての駆動トランジスタを一括してリセットする制御方法は、行ごとに異なるタイミングで電源電圧を制御する必要がないから、表示装置１ａによって実行できることはもちろんのこと、実施の形態１で説明した表示装置１のように、電源線ＶＤＤ、ＶＳＳが、全ての画素回路に共通に接続されている構成の表示装置によっても実行することができる。

【 0 1 2 3 】

以上、本発明に係る表示装置及びその制御方法、特に、表示装置に用いられる特徴的な画素回路とその動作について、いくつかの実施の形態及び変形例を挙げて説明したが、本発明は、これらの実施の形態や変形例に限定されるものではない。本発明の主旨を逸脱しない範囲で、当業者が思いつく各種変形を施し、また実施の形態及び変形例における構成要素及び動作を任意に組み合わせて実現される表示装置およびその制御方法も本発明に含まれる。

【 0 1 2 4 】

本発明に係る表示装置は、図１９に記載されたような薄型フラットＴＶに内蔵されてもよい。本発明に係る表示装置が内蔵されることにより、映像信号で表される画像を高精度に表示可能な薄型フラットＴＶが実現される。

【産業上の利用可能性】

【 0 1 2 5 】

本発明は、有機ＥＬ素子を用いた表示装置に有用であり、特に、アクティブマトリクス型の有機ＥＬ表示装置に有用である。

【符号の説明】

【 0 1 2 6 】

- １、１ａ 表示装置
- ２、２ａ 表示部
- ３ 制御回路
- ４ 走査線駆動回路
- ５ 信号線駆動回路
- ６ 電源回路
- ７ 電源電圧制御回路
- １０、１１、２０、３０、３１、５０、５１、６０、６１、９０ 画素回路
- ＴＤ 駆動トランジスタ
- Ｔ１～Ｔ４ スイッチングトランジスタ
- Ｃｓ キャパシタ
- ＥＬ 有機ＥＬ素子

【手続補正２】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項１】

発光素子と前記発光素子に電流を供給する駆動トランジスタとを備えた表示装置の制御方法であって、

前記駆動トランジスタのゲート端子に、ゲート端子に接続された参照電圧線を介して予め定められた参照電圧を印加すると共に、前記駆動トランジスタのソース端子及びドレイン端子のうちの一方に接続された電源線から、前記駆動トランジスタのソース端子及びド

レイン端子のうちの他方に固定電圧を印加して、前記駆動トランジスタの閾値電圧の変動を抑制するリセットステップを含み、

前記リセットステップでは、前記駆動トランジスタのゲート端子 - ソース端子間の電圧及びゲート端子 - ドレイン端子間の電圧が、前記駆動トランジスタの閾値電圧よりも大きな電圧となるよう、前記参照電圧が設定されている、

表示装置の制御方法。

【請求項 2】

前記電源線と E L 共通端子の電源線は、発光期間で設定された電圧と、前記リセットステップで設定された電圧とが、互いに等しい、

請求項 1 に記載の表示装置の制御方法。

【請求項 3】

さらに、一方の端子が前記駆動トランジスタのゲート端子に接続された容量素子に、発光輝度に対応したデータ電圧を保持するデータ書込みステップを含み、

前記リセットステップの少なくとも一部と、前記データ書込みステップの少なくとも一部とが、同一の期間に並行して行われる、

請求項 1 に記載の表示装置の制御方法。

【請求項 4】

複数の画素回路を配置してなる表示部を有する表示装置であって、

前記画素回路の各々は、

ソース端子及びドレイン端子の一方が第 1 の電源電圧を伝達する第 1 の電源線に接続された駆動トランジスタと、

第 1 の端子が前記駆動トランジスタのゲート端子に接続された第 1 の容量素子と、

前記第 1 の容量素子の第 2 の端子と、輝度に対応したデータ電圧を伝達するデータ線との導通及び非導通を切り換える第 1 のスイッチング素子と、

前記第 1 の容量素子の第 2 の端子と、前記駆動トランジスタのソース端子との導通及び非導通を切り換える第 2 のスイッチング素子と、

前記第 1 の容量素子の第 1 の端子と、固定の参照電圧を伝達する参照電圧線との導通及び非導通を切り換える第 3 のスイッチング素子と、

第 1 の端子が前記駆動トランジスタのソース端子及びドレイン端子の他方と接続され、第 2 の端子が第 2 の電源電圧を伝達する第 2 の電源線に接続された発光素子と、

第 1 の端子が前記第 1 の容量素子の第 2 の端子に接続され、第 2 の端子が前記第 1 の電源線または前記参照電圧線に接続された第 2 の容量素子と、を備え、

前記第 3 のスイッチング素子が導通状態となる際、前記固定の参照電圧は、前記駆動トランジスタのゲート端子 - ソース端子間及びゲート端子 - ドレイン端子間に、前記駆動トランジスタの閾値電圧よりも大きな順バイアス電圧を与えるように設定されている、

表示装置。

【請求項 5】

前記画素回路の各々は、さらに、前記駆動トランジスタから前記発光素子に供給される電流の経路に挿入され、当該電流の経路の導通及び非導通を切り換える第 4 のスイッチング素子を備える、

請求項 4 に記載の表示装置。

【請求項 6】

前記第 1 のスイッチング素子を制御する制御線と、前記第 3 のスイッチング素子を制御する制御線とは共通化されており、

前記第 2 のスイッチング素子を制御する制御線と、前記第 4 のスイッチング素子を制御する制御線とは共通化されている、

請求項 5 に記載の表示装置。

【請求項 7】

前記表示装置は、さらに、前記第 1 の電源線によって伝達される電源電圧を画素行ごとに制御する電源電圧制御回路を備える、

請求項 4 に記載の表示装置。

【請求項 8】

前記リセットステップにおいて、前記駆動トランジスタのドレイン端子の電位とソース端子の電位とが等しくなる、

請求項 1 に記載の表示装置の制御方法。

【請求項 9】

前記駆動トランジスタのゲート端子に、前記固定の参照電圧を印加すると共に、前記第 1 の電源線から、前記駆動トランジスタのソース端子及びドレイン端子の他方に固定電圧を印加して、前記駆動トランジスタの閾値電圧の変動を抑制するリセット動作を行う、

請求項 4 に記載の表示装置。

【請求項 10】

前記リセット動作を行う期間において、前記駆動トランジスタのドレイン端子の電位とソース端子の電位とが等しくなる、

請求項 9 に記載の表示装置。

【手続補正 3】

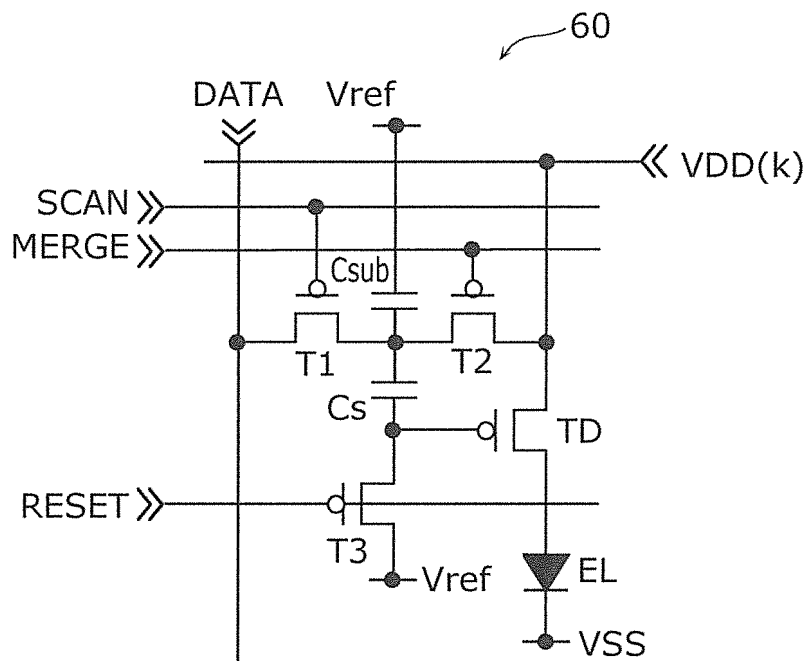
【補正対象書類名】図面

【補正対象項目名】図 16

【補正方法】変更

【補正の内容】

【図 16】



【手続補正 4】

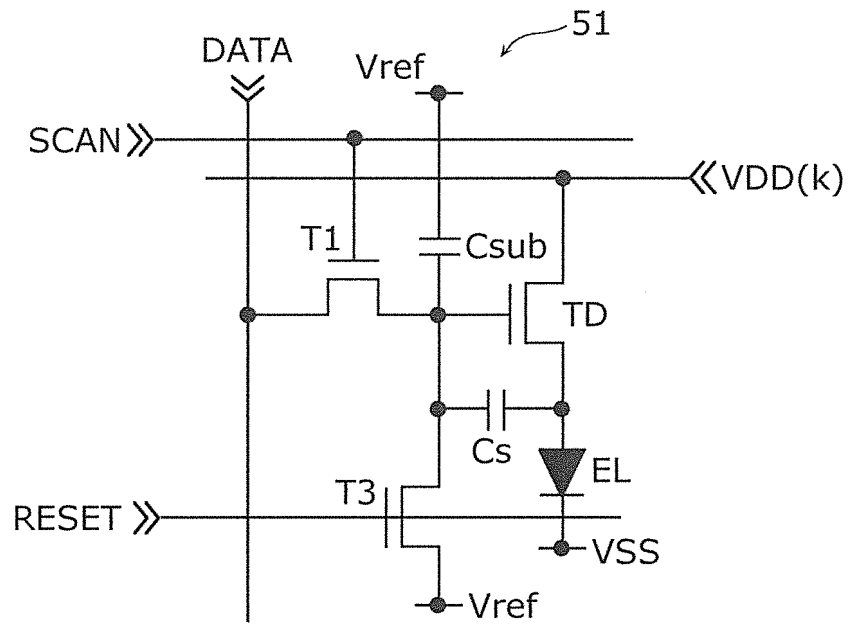
【補正対象書類名】図面

【補正対象項目名】図 17

【補正方法】変更

【補正の内容】

【図 17】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/006543

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/30(2006.01)i, G09G3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G09G3/20-3/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2006-301647 A (Samsung Electronics Co., Ltd.), 02 November 2006 (02.11.2006), paragraphs [0017] to [0023], [0034] to [0052]; fig. 1 to 2, 5 to 6 & US 2006/0238461 A1 & KR 10-2006-0110668 A & CN 1851791 A	1-2, 4 3, 5-7
X Y	JP 2010-78947 A (Seiko Epson Corp.), 08 April 2010 (08.04.2010), paragraphs [0022] to [0067], [0080] to [0088]; fig. 1 to 12, 14 to 15 & US 2010/0053233 A1	1-2 3, 5-7

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
09 February, 2012 (09.02.12)Date of mailing of the international search report
21 February, 2012 (21.02.12)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/006543

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2006-301159 A (Seiko Epson Corp.), 02 November 2006 (02.11.2006), paragraphs [0046] to [0049]; fig. 5 to 7 & US 2006/0231740 A1 & KR 10-2006-0110215 A & CN 1856195 A	3, 6
A	JP 2001-83924 A (Matsushita Electric Industrial Co., Ltd.), 30 March 2001 (30.03.2001), paragraph [0032] (Family: none)	1-7
A	WO 2010/041426 A1 (Panasonic Corp.), 15 April 2010 (15.04.2010), entire text; all drawings & JP 4719821 B2 & US 2010/0259531 A1 & EP 2226786 A1 & CN 101842829 A & KR 10-2010-0057890 A	1-7
A	WO 2011/030370 A1 (Panasonic Corp.), 17 March 2011 (17.03.2011), entire text; all drawings & US 2011/0057966 A1 & CN 102150196 A & KR 10-2011-0040742 A	1-7
A	WO 2011/070615 A1 (Panasonic Corp.), 16 June 2011 (16.06.2011), entire text; all drawings (Family: none)	1-7

国際調査報告		国際出願番号 PCT/J P 2 0 1 1 / 0 0 6 5 4 3	
A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. G09G3/30(2006.01)i, G09G3/20(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. G09G3/20-3/28			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2012年 日本国実用新案登録公報 1996-2012年 日本国登録実用新案公報 1994-2012年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
X Y	J P 2 0 0 6 - 3 0 1 6 4 7 A (三星電子株式会社) 2 0 0 6 . 1 1 . 0 2 【0017】～【0023】、【0034】～【0052】、図1～ 2、5～6 &US 2006/0238461 A1 &KR 10-2006-0110668 A &CN 1851791 A	1-2, 4 3, 5-7	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 09.02.2012		国際調査報告の発送日 21.02.2012	
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 小川 浩史	2G 9114 電話番号 03-3581-1101 内線 3226

国際調査報告		国際出願番号 PCT/J P 2 0 1 1 / 0 0 6 5 4 3
C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	J P 2 0 1 0 - 7 8 9 4 7 A (セイコーエプソン株式会社) 2 0 1 0 . 0 4 . 0 8 【0022】～【0067】、【0080】～【0088】、図1～ 12、14～15 &US 2010/0053233 A1	1-2 3, 5-7
Y	J P 2 0 0 6 - 3 0 1 1 5 9 A (セイコーエプソン株式会社) 2 0 0 6 . 1 1 . 0 2 【0046】～【0049】、図5～図7 &US 2006/0231740 A1 &KR 10-2006-0110215 A &CN 1856195 A	3, 6
A	J P 2 0 0 1 - 8 3 9 2 4 A (松下電器産業株式会社) 2 0 0 1 . 0 3 . 3 0 , 【0032】 (ファミリーなし)	1-7
A	W O 2 0 1 0 / 0 4 1 4 2 6 A 1 (パナソニック株式会社) 2 0 1 0 . 0 4 . 1 5 , 全文、全図 &JP 4719821 B2 &US 2010/0259531 A1 &EP 2226786 A1 &CN 101842829 A &KR 10-2010-0057890 A	1-7
A	W O 2 0 1 1 / 0 3 0 3 7 0 A 1 (パナソニック株式会社) 2 0 1 1 . 0 3 . 1 7 , 全文、全図 &US 2011/0057966 A1 &CN 102150196 A &KR 10-2011-0040742 A	1-7
A	W O 2 0 1 1 / 0 7 0 6 1 5 A 1 (パナソニック株式会社) 2 0 1 1 . 0 6 . 1 6 , 全文、全図 (ファミリーなし)	1-7

 フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20 6 1 1 H	
	H 0 5 B 33/14 A	

(72)発明者 戎野 浩平

日本国大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内

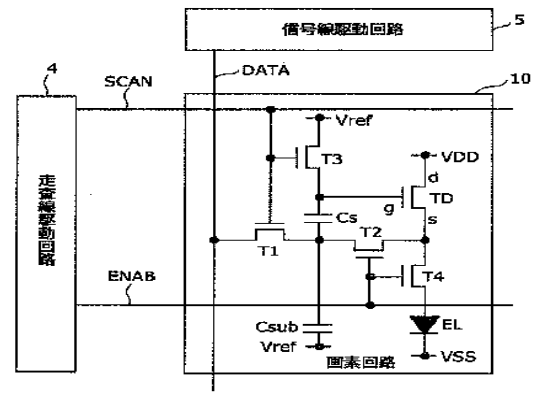
F ターム(参考) 3K107 AA01 BB01 CC33 EE03 HH05
 5C080 AA06 BB05 DD03 DD26 EE29 FF03 FF11 FF12 HH09 JJ02
 JJ03 JJ04 JJ05 JJ06 KK43
 5C380 AA01 AB06 AC07 BA01 BA39 BB21 BB23 CA08 CA12 CB01
 CB19 CB20 CC07 CC26 CC27 CC33 CC39 CC52 CC61 CC62
 CC63 CC64 CD023 CD024 CD025 DA47

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	显示装置及其控制方法		
公开(公告)号	JPWO2013076772A1	公开(公告)日	2015-04-27
申请号	JP2013545653	申请日	2011-11-24
[标]申请(专利权)人(译)	松下电器产业株式会社		
申请(专利权)人(译)	松下电器产业株式会社		
[标]发明人	小野晋也 鐘ヶ江有宣 柘植仁志 戎野浩平		
发明人	小野 晋也 鐘ヶ江 有宣 柘植 仁志 戎野 浩平		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3258 G09G3/3233 G09G3/3659 G09G2300/0439 G09G2300/0809 G09G2300/0819 G09G2300/0852 G09G2300/0861 G09G2300/0876 G09G2310/0294 G09G2320/0223 G09G2320/0233 G09G2320/043		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.642.C G09G3/20.623.D G09G3/20.622.D G09G3/20.611.H H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD03 5C080/DD26 5C080/EE29 5C080/FF03 5C080/FF11 5C080/FF12 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK43 5C380/AA01 5C380/AB06 5C380/AC07 5C380/BA01 5C380/BA39 5C380/BB21 5C380/BB23 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CB19 5C380/CB20 5C380/CC07 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC61 5C380/CC62 5C380/CC63 5C380/CC64 5C380/CD023 5C380/CD024 5C380/CD025 5C380/DA47		
代理人(译)	新居 広守		
其他公开文献	JP5756865B2		
外部链接	Espacenet		

摘要(译)

显示装置中包括的多个像素电路 (10) 的每一个具有驱动晶体管 (TD) , 其源极端子和漏极端子连接到电源线 (VDD) , 并且第一端子是该驱动晶体管 (TD) 的栅极端子。 电容元件 (Cs) 连接到在电容元件 (Cs) 的第二端子和数据线 (DATA) 之间切换导通和不导通的开关元件 (T1) 以及第二电容元件 (Cs) 。 开关元件 (T2) , 其在驱动晶体管 (TD) 的端子与源极端子之间在导通与不导通之间切换, 并且在电容元件 (Cs) 的第一端子与基准电压线 (Vref) 之间在导通与不导通之间切换。 该装置包括装置 (T3) 和发光装置 (EL) , 其第一端子连接至驱动晶体管 (TD) 的源/漏端子中的另一个, 并且其第二端子连接至电源线 (VSS) 。 (Vref) 是大于驱动晶体管 (TD) 的栅极和源极端之间的阈值电压的正向偏置。 它给人的压力。



- 4 Scan line driving circuit
- 5 Signal line driving circuit
- 10 Pixel circuit