(19)日本国特許庁(JP)

再公表特許(A1)

(11)国際公開番号
WO2003/091977

発行日　平成17年9月2日(2005.9.2)

(43)国際公開日　平成15年11月6日(2003.11.6)

(51)Int.Cl.[7]	F I		
G09G 3/30	G09G	3/30	J
G09G 3/20	G09G	3/20	611H
H03K 17/00	G09G	3/20	612F
H03K 17/687	G09G	3/20	623B
H05B 33/14	G09G	3/20	623F

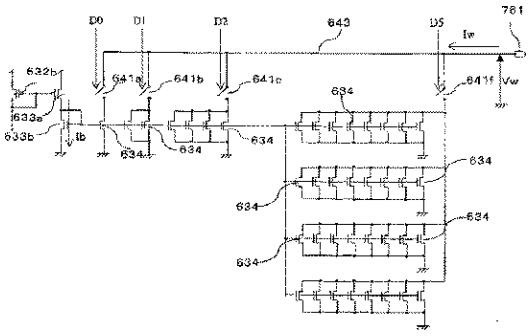
審査請求 未請求　予備審査請求 未請求　（全 197 頁）　最終頁に続く

出願番号	特願2004-500275(P2004-500275)
(21)国際出願番号	PCT/JP2003/002535
(22)国際出願日	平成15年3月5日(2003.3.5)
(31)優先権主張番号	特願2002-127532(P2002-127532)
(32)優先日	平成14年4月26日(2002.4.26)
(33)優先権主張国	日本国(JP)
(31)優先権主張番号	特願2002-127637(P2002-127637)
(32)優先日	平成14年4月26日(2002.4.26)
(33)優先権主張国	日本国(JP)
(31)優先権主張番号	特願2002-284393(P2002-284393)
(32)優先日	平成14年9月27日(2002.9.27)
(33)優先権主張国	日本国(JP)
(81)指定国	CN,JP,KR,US

(71)出願人　302020207
東芝松下ディスプレイテクノロジー株式会社
東京都港区港南４－１－８
(74)代理人　100092794
弁理士　松田　正道
(72)発明者　高原　博司
東京都港区港南四丁目１番８号　東芝松下ディスプレイテクノロジー株式会社内
(72)発明者　柘植　仁志
東京都港区港南四丁目１番８号　東芝松下ディスプレイテクノロジー株式会社内

(54)【発明の名称】ＥＬ表示パネルのドライバ回路

(57)【要約】
出力電流ばらつきの小さいＥＬ表示パネルのソースドライバ回路を提供する。ソースドライバ回路は、１単位を示す単位トランジスタ６３４から構成される。第０ビットは１個の単位トランジスタ６３４、第１ビットは２個の単位トランジスタ６３４、第２ビットは４個の単位トランジスタ６３４、第３ビットは８個の単位トランジスタ６３４、第４ビットは１６個の単位トランジスタ６３４、第５ビットは３２個の単位トランジスタ６３４で構成される。各単位トランジスタ６３４はトランジスタ６３３ａとカレントミラー回路を構成している。トランジスタ６３３ａに流れる電流Ｉｂを調整することにより、単位トランジスタ６３４に流れる電流を変更できる。出力電流回路を単位トランジスタで構成し、基準電流を調整することにより、単位トランジスタの出力電流を調整できるので、精度のよく、バラツキが小さいソースドライバＩＣを提供できる。



【特許請求の範囲】
【請求項１】
基準電流を発生する基準電流発生手段と、
前記基準電流発生手段からの基準電流が入力され、かつ前記基準電流に対応する第１の電流を、複数の第２の電流源に出力する第１の電流源と、
前記第１の電流源から出力される第１の電流が入力され、かつ前記第１の電流に対応する第２の電流を、複数の第３の電流源に出力する第２の電流源と、
前記第２の電流源から出力される第２の電流が入力され、かつ前記第２の電流に対応する第３の電流を複数の第４の電流源に出力する第３の電流源を有し、
前記第４の電流源は、入力画像データに対応した個数の単位電流源が選択されるＥＬ表示パネルのドライバ回路。
【発明の詳細な説明】
技術分野
本発明は、有機または無機エレクトロルミネッセンス（ＥＬ）素子を用いたＥＬ表示パネルなどの自発光表示パネルに関するものである。また、これらの表示パネルの駆動回路（ＩＣ）に関するものである。ＥＬ表示パネルの駆動方法と駆動回路およびそれらを用いた情報表示装置などに関するものである。
背景技術
一般に、アクティブマトリクス型表示装置では、多数の画素をマトリクス状に並べ、与えられた映像信号に応じて画素毎に光強度を制御することによって画像を表示する。たとえば、電気光学物質として液晶を用いた場合は、各画素に書き込まれる電圧に応じて画素の透過率が変化する。電気光学変換物質として有機エレクトロルミネッセンス（ＥＬ）材料を用いたアクティブマトリクス型の画像表示装置は画素に書き込まれる電流に応じて発光輝度が変化する。
液晶表示パネルは、各画素はシャッタとして動作し、バックライトからの光を画素であるシャッタでオンオフさせることにより画像を表示する。有機ＥＬ表示パネルは各画素に発光素子を有する自発光型である。そのため、有機ＥＬ表示パネルは、液晶表示パネルに比べて画像の視認性が高い、バックライトが不要、応答速度が速い等の利点を有する。
有機ＥＬ表示パネルは各発光素子（画素）の輝度は電流量によって制御される。つまり、発光素子が電流駆動型あるいは電流制御型であるという点で液晶表示パネルとは大きく異なる。
有機ＥＬ表示パネルも単純マトリクス方式とアクティブマトリクス方式の構成が可能である。前者は構造が単純であるものの大型かつ高精細の表示パネルの実現が困難である。しかし、安価である。後者は大型、高精細表示パネルを実現できる。しかし、制御方法が技術的に難しい、比較的高価であるという課題がある。現在では、アクティブマトリクス方式の開発が盛んに行われている。アクティブマトリクス方式は、各画素に設けた発光素子に流れる電流を画素内部に設けた薄膜トランジスタ（トランジスタ）によって制御する。このアクティブマトリクス方式の有機ＥＬ表示パネルは、特開平８－２３４６８３号公報に開示されている。この表示パネルの一画素分の等価回路を図６２に示す。画素１６は発光素子であるＥＬ素子１５、第１のトランジスタ１１ａ、第２のトランジスタ１１ｂおよび蓄積容量１９からなる。ＥＬ素子１５は有機エレクトロルミネッセンス（ＥＬ）素子である。本明細書では、ＥＬ素子１５に電流を供給（制御）するトランジスタ１１ａを駆動用トランジスタ１１と呼ぶ。また、図６２のトランジスタ１１ｂのように、スイッチとして動作するトランジスタをスイッチ用トランジスタ１１と呼ぶ。
有機ＥＬ素子１５は多くの場合、整流性があるため、ＯＬＥＤ（有機発光ダイオード）と呼ばれることがある。図６２ではＥＬ素子１５としてダイオードの記号を用いている。
ただし、本明細書におけるＥＬ素子１５はＯＬＥＤに限るものではなく、素子１５に流れる電流量によって輝度が制御されるものであればよい。たとえば、無機ＥＬ素子が例示される。その他、半導体で構成される白色発光ダイオードが例示される。また、一般的な発光ダイオードが例示される。その他、発光トランジスタでもよい。また、ＥＬ素子１５は

必ずしも整流性が要求されるものではない。双方向性ダイオードであってもよい。本明細書のＥＬ素子１５はこのいずれでもよい。
図６２の例では、Ｐチャンネル型のトランジスタ１１ａのソース端子（Ｓ）をＶｄｄ（電源電位）とし、ＥＬ素子１５のカソード（陰極）は接地電位（Ｖｋ）に接続される。一方、アノード（陽極）はトランジスタ１１ｂのドレイン端子（Ｄ）に接続されている。一方、Ｐチャンネル型のトランジスタ１１ａのゲート端子はゲート信号線１７ａに接続され、ソース端子はソース信号線１８に接続され、　　ドレイン端子は蓄積容量１９およびトランジスタ１１ａのゲート端子（Ｇ）に接続されている。
画素１６を動作させるために、まず、ゲート信号線１７ａを選択状態とし、ソース信号線１８に輝度情報を表す映像信号を印加する。すると、トランジスタ１１ａが導通し、蓄積容量１９が充電又は放電され、トランジスタ１１ｂのゲート電位は映像信号の電位に一致する。ゲート信号線１７ａを非選択状態とすると、トランジスタ１１ａがオフになり、トランジスタ１１ｂは電気的にソース信号線１８から切り離される。しかし、トランジスタ１１ａのゲート電位は蓄積容量（コンデンサ）１９によって安定に保持される。トランジスタ１１ａを介してＥＬ素子１５に流れる電流は、トランジスタ１１ａのゲート／ソース端子間電圧Ｖｇｓに応じた値となり、ＥＬ素子１５はトランジスタ１１ａを通って供給される電流量に応じた輝度で発光し続ける。
液晶表示パネルは、自発光デバイスではないため、バックライトを用いないと画像を表示できないという問題点がある。バックライトを構成するためには所定の厚みが必要であるため、表示パネルの厚みが厚くなるという問題があった。また、液晶表示パネルでカラー表示を行うためには、カラーフィルターを使用する必要がある。そのため、光利用効率が低いという問題点があった。また、色再現範囲が狭いという問題点があった。
有機ＥＬ表示パネルは、低温ポリシリコントランジスタアレイを用いてパネルを構成する。しかし、有機ＥＬ素子は、電流により発光するため、トランジスタの特性にバラツキがあると、表示ムラが発生するという課題があった。
表示ムラは、画素を電流プログラム方式の構成を採用することにより低減することが可能である。電流プログラムを実施するためには、電流駆動方式のドライバ回路が必要である。しかし、電流駆動方式のドライバ回路にも電流出力段を構成するトランジスタ素子にバラツキが発生する。そのため、各出力端子からの階調出力電流にバラツキが発生し、良好な画像表示ができないという課題があった。
発明の開示
この目的を達成するために本発明のＥＬ表示パネル（ＥＬ表示装置）のドライバ回路は、単位電流を出力する複数のトランジスタを具備し、このトランジスタの個数を変化させることにより出力電流を出力するものである。また、多段のカレントミラー回路で構成されたことを特徴としている。信号の受け渡しが電圧受け渡しとなるトランジスタ群は密に形成し、カレントミラー回路の群との信号の受け渡しは、電流受け渡しの構成を採用する。また、基準電流は、複数のトランジスタで行う。
第１の本発明は、基準電流を発生する基準電流発生手段と、
前記基準電流発生手段からの基準電流が入力され、かつ前記基準電流に対応する第１の電流を、複数の第２の電流源に出力する第１の電流源と、
前記第１の電流源から出力される第４の電流が入力され、かつ前記第１の電流に対応する第２の電流を、複数の第３の電流源に出力する第２の電流源と、
前記第２の電流源から出力される第２の電流が入力され、かつ前記第２の電流に対応する第３の電流を複数の第４の電流源に出力する第３の電流源を有し、
前記第４の電流源は、入力画像データに対応した個数の単位電流源が選択されるＥＬ表示パネルのドライバ回路である。
第２の本発明は、２の乗数に対応した個数の単位トランジスタを有する複数の電流発生回路と、
前記各電流発生回路に接続されたスイッチ回路と、
出力端子に接続された内部配線と、

入力データに対応して前記スイッチ回路をオンオフさせる制御回路を具備し、
前記スイッチ回路の一端は前記電流発生回路に接続され、他端は前記内部配線に接続されているＥＬ表示パネルのドライバ回路である。
第３の本発明は、前記単位トランジスタのチャンネル幅Wは、２μｍ以上９μｍ以下であり、
前記単位トランジスタのサイズ（ＷＬ）は、４平方μｍ以上である第２の本発明のＥＬ表示パネルのドライバ回路である。
第４の本発明は、前記単位トランジスタのチャンネル長Ｌ／チャンネル幅Wは２以上であり、
使用する電源電圧が２．５（Ｖ）以上９（Ｖ）以下である請求項２記載のＥＬ表示パネルのドライバ回路である。
第５の本発明は、第１の単位電流を流す複数個の単位トランジスタからなる第１の出力電流回路と、
第２の単位電流を流す複数個の単位トランジスタからなる第２の出力電流回路と、
前記第１の出力電流回路の出力電流と、前記第２の出力電流回路の出力電流を加算して、出力する出力段を具備し、
前記第１の単位電流は、前記第２の単位電流よりも小さく、
前記第１の出力電流回路は、階調に応じて低階調領域と高階調領域で動作し、
前記第２の出力電流回路は、階調に応じて高階調領域で動作し、前記第２の出力電流回路が動作する際に、前記第１の出力電流回路は、高階調領域では、出力電流値が変化しないＥＬ表示パネルのドライバ回路である。
第６の本発明は、出力端子ごとに複数の単位トランジスタを有するプログラム電流発生回路と、
前記単位トランジスタに流れる電流を規定する第１の基準電流を発生する第１のトランジスタと、
前記複数の第１のトランジスタのゲート端子に接続されたゲート配線と、
前記ゲート配線にゲート端子が接続され、かつ前記第１のトランジスタとカレントミラー回路を形成する第２および第３のトランジスタを具備し、
前記第２および第３のトランジスタに第２の基準電流が供給されているＥＬ表示パネルのドライバ回路である。
第７の本発明は、出力端子ごとに複数の単位トランジスタを有するプログラム電流発生回路と、
前記単位トランジスタとカレントミラー回路を構成する複数の第１のトランジスタと、
第１のトランジスタに流れる基準電流を発生する第２のトランジスタを具備し、
前記第２のトランジスタが発生する基準電流は、前記複数の第１のトランジスタに分岐されて流れる第６の本発明のＥＬ表示パネルのドライバ回路である。
第８の本発明は、ドライバ回路を内包するドライバＩＣチップ内の、前記第１の基準電流供給配線が配置される領域において、該領域に配線される基準電流供給配線群のうち、最も外側に配置される２本の配線に前記第３のトランジスタが電気的に接続されている第６または第７の本発明のＥＬ表示パネルのドライバ回路である。
第９の本発明は、駆動用トランジスタがマトリックス状に配置され、前記駆動用トランジスタに対応してＥＬ素子が形成された表示領域を有する第１の基板と、
前記駆動用トランジスタにプログラム電流あるいは電圧を印加するソースドライバＩＣと、
前記ソースドライバＩＣ下に位置する前記第１の基板上に形成された第１の配線と、
前記第１の配線と電気的に接続され、前記ソースドライバＩＣと前記表示領域間に形成された第２の配線と、
前記第２の配線から分岐され、前記表示領域の画素にアノード電圧を供給するアノード配線を具備するＥＬ表示装置である。
第１０の本発明は、第１の配線は、遮光機能を有する第９の本発明のＥＬ表示装置である

。
第１１の本発明は、ＥＬ素子を有する画素がマトリックス状に形成された表示領域と、
前記ＥＬ素子に発光電流を供給する駆動用トランジスタと、
前記駆動用トランジスタにプログラム電流を供給するソースドライバ回路を具備し、
前記駆動用トランジスタは、Ｐチャンネルトランジスタであり、
前記ソースドライバ回路のプログラム電流を発生するトランジスタはＮチャンネルトランジスタであるＥＬ表示装置である。
第１２の本発明は、ＥＬ素子と、前記ＥＬ素子に発光電流を供給する駆動用トランジスタと、前記駆動用トランジスタと前記ＥＬ素子間の経路を形成する第１のスイッチング素子と、前記駆動用トランジスタとソース信号線間の経路を形成する第２のスイッチング素子がマトリックス状に形成された表示領域と、
前記第１のスイッチング素子をオンオフ制御する第１のゲートドライバ回路と、
前記第２のスイッチング素子をオンオフ制御する第２のゲートドライバ回路と、
前記トランジスタ素子に映像信号を印加するソースドライバ回路を具備し、
前記駆動用トランジスタにプログラム電流を供給するソースドライバ回路を具備し、
前記駆動用トランジスタは、Ｐチャンネルトランジスタであり、
前記ソースドライバ回路のプログラム電流を発生するトランジスタはＮチャンネルトランジスタであるＥＬ表示装置である。
第１３の本発明は、ＥＬ素子と、
前記ＥＬ素子に発光電流を供給するＰチャンネルの駆動用トランジスタと、
ＥＬ素子と前記駆動用トランジスタ間に形成されたスイッチングトランジスタと、
プログラム電流を供給するソースドライバ回路と、
前記スイッチングトランジスタを１フレーム期間に２水平走査期間以上オフ状態に制御するゲートドライバ回路を具備するＥＬ表示装置である。
発明を実施するための最良の形態
本明細書において各図面は理解を容易にまたは／および作図を容易にするため、省略または／および拡大縮小した箇所がある。たとえば、図１１に図示する表示パネルの断面図では薄膜封止膜１１１などを十分厚く図示している。一方、図１０において、封止フタ８５は薄く図示している。また、省略した箇所もある。たとえば、本発明の表示パネルなどでは、反射防止のために円偏光板などの位相フィルムが必要である。しかし、本明細書の各図面では省略している。以上のことは以下の図面に対しても同様である。また、同一番号または、記号等を付した箇所は同一もしくは類似の形態もしくは材料あるいは機能もしくは動作を有する。
なお、各図面等で説明した内容は特に断りがなくとも、他の実施例等と組み合わせることができる。たとえば、図８の表示パネルにタッチパネルなどを付加し、図１９、図５９から図６１に図示する情報表示装置とすることができる。また、拡大レンズ５８２を取り付け、ビデオカメラ（図５９など参照のこと）などに用いるビューファインダ（図５８を参照のこと）を構成することもできる。また、図４、図１５、図１８、図２１、図２３などで説明した本発明の駆動方法は、いずれの本発明の表示装置または表示パネルに適用することができる。
なお、本明細書では、駆動用トランジスタ１１、スイッチング用トランジスタ１１は薄膜トランジスタとして説明するが、これに限定するものではない。薄膜ダイオード（ＴＦＤ）、リングダイオードなどでも構成することができる。また、薄膜素子に限定するものではなく、シリコンウエハに形成したトランジスタでもよい。基板７１をシリコンウエハで形成すればよい。もちろん、ＦＥＴ、ＭＯＳ－ＦＥＴ、ＭＯＳトランジスタ、バイポーラトランジスタでもよい。これらも基本的に薄膜トランジスタである。その他、バリスタ、サイリスタ、リングダイオード、ホトダオード、ホトトランジスタ、ＰＬＺＴ素子などでもよいことは言うまでもない。つまり、本発明のトランジスタ１１、ゲートドライバ回路１２、ソースドライバ回路１４などは、これらのいずれでも使用することができる。
以下、本発明のＥＬパネルについて図面を参照しながら説明をする。有機ＥＬ表示パネル

は、図１０に示すように、画素電極としての透明電極１０５が形成されたガラス板７１（アレイ基板）上に、電子輸送層、発光層、正孔輸送層などからなる少なくとも１層の有機機能層（ＥＬ層）１５、及び金属電極（反射膜）（カソード）１０６が積層されたものである。透明電極（画素電極）１０５である陽極（アノード）にプラス、金属電極（反射電極）１０６の陰極（カソード）にマイナスの電圧を加え、すなわち、透明電極１０５及び金属電極１０６間に直流を印加することにより、有機機能層（ＥＬ層）１５が発光する。
金属電極１０６には、リチウム、銀、アルミニウム、マグネシウム、インジウム、銅または各々の合金等の仕事関数が小さなものを用いることが好ましい。特に、例えばＡｌ－Ｌｉ合金を用いることが好ましい。また、透明電極１０５には、ＩＴＯ等の仕事関数の大きな導電性材料または金等を用いることができる。なお、金を電極材料として用いた場合、電極は半透明の状態となる。なお、ＩＴＯはＩＺＯなどの他の材料でもよい。この事項は他の画素電極１０５に対しても同様である。
なお、封止フタ８５とアレイ基板７１との空間には乾燥剤１０７を配置する。これは、有機ＥＬ膜１５は湿度に弱いためである。乾燥剤１０７によりシール剤を浸透する水分を吸収し有機ＥＬ膜１５の劣化を防止する。
図１０はガラスの封止フタ８５を用いて封止する構成であるが、図１１のようにフィルム（薄膜でもよい。つまり、薄膜封止膜である）１１１を用いた封止であってもよい。たとえば、封止フィルム（薄膜封止膜）１１１としては電解コンデンサのフィルムにＤＬＣ（ダイヤモンド　ライク　カーボン）を蒸着したものを用いることが例示される。このフィルムは水分浸透性が極めて悪い（防湿性能が高い）。このフィルムを薄膜封止膜１１１として用いる。また、ＤＬＣダイヤモンド　ライク　カーボン）膜などを金属電極１０６の表面に直接蒸着する構成のものもよいことは言うまでもない。その他、樹脂薄膜と金属薄膜を多層に積層して、薄膜封止膜を構成してもよい。
薄膜の膜厚はｎ・ｄ（ｎは薄膜の屈折率、複数の薄膜が積層されている場合はそれらの屈折率を総合（各薄膜のｎ・ｄを計算）して計算する。ｄは薄膜の膜厚、複数の薄膜が積層されている場合はそれらの屈折率を総合して計算する。）が、ＥＬ素子１５の発光主波長λ以下となるようにするとよい。この条件を満足させることにより、ＥＬ素子１５からの光取り出し効率が、ガラス基板で封止した場合に比較して２倍以上になる。また、アルミニウムと銀の合金あるいは混合物あるいは積層物を形成してもよい。
以上のように封止フタ８５を用いず、薄膜封止膜１１１で封止する構成を薄膜封止と呼ぶ。基板７１側から光を取り出す「下取り出し（図１０を参照、光取り出し方向は図１０の矢印方向である）」の場合の薄膜封止は、ＥＬ膜を形成後、ＥＬ膜上にカソードとなるアルミ電極を形成する。次にこのアルミ膜上に緩衝層としての樹脂層を形成する。緩衝層としては、アクリル、エポキシなどの有機材料が例示される。また、膜厚は１μｍ以上１０μｍ以下の厚みが適する。さらに好ましくは、膜厚は２μｍ以上６μｍ以下の厚みが適する。この緩衝膜上の封止膜７４を形成する。緩衝膜がないと、応力によりＥＬ膜の構造が崩れ、筋状に欠陥が発生する。薄膜封止膜１１１は前述したように、ＤＬＣ（ダイヤモンド　ライク　カーボン）、あるいは電界コンデンサの層構造（誘電体薄膜とアルミ薄膜とを交互に多層蒸着した構造）が例示される。
ＥＬ層１５側から光を取り出す「上取り出し図１１を参照、光取り出し方向は図１１の矢印方向である」の場合の薄膜封止は、ＥＬ膜１５を形成後、ＥＬ膜１５上にカソード（アノード）となるＡｇ－Ｍｇ膜を２０オングストローム以上３００オングストロームの膜厚で形成する。その上に、ＩＴＯなどの透明電極を形成して低抵抗化する。次にこの電極膜上に緩衝層としての樹脂層を形成する。この緩衝膜上に薄膜封止膜１１１を形成する。
有機ＥＬ層１５から発生した光の半分は、金属電極１０６で反射され、アレイ基板７１と透過して出射される。しかし、金属電極１０６は外光を反射し写り込みが発生して表示コントラストを低下させる。この対策のために、アレイ基板７１にλ／４位相板１０８および偏光板（偏光フィルム）１０９を配置している。これらは一般的に円偏光板（円偏光シート）と呼ばれる。
なお、画素が反射電極の場合はＥＬ層１５から発生した光は上方向に出射される。したが

って、位相板１０８および偏光板１０９は光出射側に配置することはいうまでもない。なお、反射型画素は、画素電極１０５を、アルミニウム、クロム、銀などで構成して得られる。また、画素電極１０５の表面に、凸部（もしくは凹凸部）を設けることで有機ＥＬ層１５との界面が広くなり発光面積が大きくなり、また、発光効率が向上する。なお、カソード１０６（アノード１０５）となる反射膜を透明電極に形成する、あるいは反射率を３０％以下に低減できる場合は、円偏光板は不要である。写り込みが大幅に減少するからである。また、光の干渉も低減し望ましい。

トランジスタ１１はＬＤＤ（ロー　ドーピング　ドレイン）構造を採用することが好ましい。また、本明細書ではＥＬ素子として有機ＥＬ素子（ＯＥＬ、ＰＥＬ、ＰＬＥＤ、ＯＬＥＤなど多種多様な略称で記述される）１５を例にあげて説明するがこれに限定するものではなく、無機ＥＬ素子にも適用されることは言うまでもない。

まず、有機ＥＬ表示パネルに用いられるアクティブマトリックス方式は、特定の画素を選択し、必要な表示情報を与えられること、１フレーム期間を通じてＥＬ素子に電流を流すことができることという２つの条件を満足させなければならない。

この２つの条件を満足させるため、図６２に図示する従来の有機ＥＬの画素構成では、第１のトランジスタ１１ｂは画素を選択するためのスイッチング用トランジスタ、第２のトランジスタ１１ａはＥＬ素子（ＥＬ膜）１５に電流を供給するための駆動用トランジスタとする。

この構成を用いて階調を表示させる場合、駆動用トランジスタ１１ａのゲート電圧として階調に応じた電圧を印加する必要がある。したがって、駆動用トランジスタ１１ａのオン電流のばらつきがそのまま表示に現れる。

トランジスタのオン電流は単結晶で形成されたトランジスタであれば、きわめて均一であるが、安価なガラス基板に形成することのできる形成温度が４５０度以下の低温ポリシリ技術で形成した低温多結晶トタンジスタでは、そのしきい値のばらつきが±０．２Ｖ～０．５Ｖの範囲でばらつきがある。そのため、駆動用トランジスタ１１ａを流れるオン電流がこれに対応してばらつき、表示にムラが発生する。これらのムラは、しきい値電圧のばらつきのみならず、トランジスタの移動度、ゲート絶縁膜の厚みなどでも発生する。また、トランジスタ１１の劣化によっても特性は変化する。

この現象は、低温ポリシリコン技術に限定されるものではなく、プロセス温度が４５０度（摂氏）以上の高温ポリシリコン技術でも、固相（ＣＧＳ）成長させた半導体膜を用いてトランジスタなどを形成したものでも発生する。その他、有機トランジスタでも発生する。アモルファスシリコントランジスタでも発生する。

以下に説明する本発明は、これらの技術に対応し、対策できる構成あるいは方式である。なお、本明細書では低温ポリシリコン技術で形成したトランジスタを主として説明する。

したがって、図６２のように、電圧を書き込むことにより、階調を表示させる方法では、均一な表示を得るために、デバイスの特性を厳密に制御する必要がある。しかし、現状の低温多結晶ポリシリコントランジスタなどではこのバラツキを所定範囲以内の抑えるというスペックを満足できない。

本発明のＥＬ表示装置の画素構造は、具体的には図１に示すように単位画素が最低４つからなる複数のトランジスタ１１ならびにＥＬ素子により形成される。画素電極はソース信号線と重なるように構成する。つまり、ソース信号線１８上に絶縁膜あるいはアクリル材料からなる平坦化膜を形成して絶縁し、この絶縁膜上に画素電極１０５を形成する。このようにソース信号線１８上の少なくとも１部に画素電極を重ねる構成をハイアパーチャ（ＨＡ）構造と呼ぶ。不要な干渉光などが低減し、良好な発光状態が期待できる。

ゲート信号線（第１の走査線）１７ａをアクティブ（ＯＮ電圧を印加）とすることによりＥＬ素子１５の駆動用のトランジスタ１１ａおよびスイッチ用トランジスタ１１ｃを通して、前記ＥＬ素子１５に流すべき電流値をソースドライバ回路１４から流す。また、トランジスタ１１ａのゲートとドレイン間を短絡するようにトランジスタ１１ｂがゲート信号線１７ａアクティブ（ＯＮ電圧を印加）となることにより開くと共に、トランジスタ１１ａのゲートとソース間に接続されたコンデンサ（キャパシタ、蓄積容量、付加容量）１９

にトランジスタ１１ａのゲート電圧（あるいはドレイン電圧）を記憶する（図３の（ａ）を参照のこと）。
なお、コンデンサ（蓄積容量）１９の大きさは、０．２ｐＦ以上２ｐＦ以下とすることがよく、中でもコンデンサ（蓄積容量）１９の大きさは、０．４ｐＦ以上１．２ｐＦ以下とすることがよい。画素サイズを考慮してコンデンサ１９の容量を決定する。１画素に必要な容量をＣｓ（ｐＦ）とし、１画素が占める面積（開口率ではない）をＳｐ（平方μｍ）とすれば、５００／Ｓｐ≦Ｃｓ≦２００００／Ｓｐとし、さらに好ましくは、１０００／Ｓｐ≦Ｃｓ≦１００００／Ｓｐとなるようにする。なお、トランジスタのゲート容量は小さいので、ここでいうＱとは、蓄積容量（コンデンサ）１９単独の容量である。
ゲート信号線１７ａを非アクティブ（ＯＦＦ電圧を印加）、ゲート信号線１７ｂをアクティブとして、電流の流れる経路を前記第１のトランジスタ１１ａ並びにＥＬ素子１５に接続されたトランジスタ１１ｄならびに前記ＥＬ素子１５を含む経路に切り替えて、記憶した電流を前記ＥＬ素子１５に流すように動作する（図３の（ｂ）を参照のこと）。
この回路は１画素内に４つのトランジスタ１１を有しており、トランジスタ１１ａのゲートはトランジスタ１１ｂのソースに接続されている。また、トランジスタ１１ｂおよびトランジスタ１１ｃのゲートはゲート信号線１７ａに接続されている。トランジスタ１１ｂのドレインはトランジスタ１１ｃのソースならびにトランジスタ１１ｄのソースに接続され、トランジスタ１１ｃのドレインはソース信号線１８に接続されている。トランジスタ１１ｄのゲートはゲート信号線１７ｂに接続され、トランジスタ１１ｄのドレインはＥＬ素子１５のアノード電極に接続されている。
なお、図１ではすべてのトランジスタはＰチャンネルで構成している。Ｐチャンネルは多少Ｎチャンネルのトランジスタに比較してモビリティが低いが、耐圧が大きくまた劣化も発生しにくいので好ましい。しかし、本発明はＥＬ素子構成をＰチャンネルで構成することのみに限定するものではない。Ｎチャンネルのみで構成してもよい。また、ＮチャンネルとＰチャンネルの両方を用いて構成してもよい。
最適には画素を構成するトランジスタ１１をすべてＰチャンネルで形成し、内蔵ゲートドライバ１２もＰチャンネルで形成することが好ましい。このようにアレイをＰチャンネルのみのトランジスタで形成することにより、マスク枚数が５枚となり、低コスト化、高歩留まり化を実現できる。
以下、さらに本発明の理解を容易にするために、本発明のＥＬ素子構成について図３を用いて説明する。本発明のＥＬ素子構成は２つのタイミングにより制御される。第１のタイミングは必要な電流値を記憶させるタイミングである。このタイミングでトランジスタ１１ｂならびにトランジスタ１１ｃがＯＮすることにより、等価回路として図３の（ａ）となる。ここで、信号線より所定の電流Ｉｗが書き込まれる。これによりトランジスタ１１ａはゲートとドレインが接続された状態となり、このトランジスタ１１ａとトランジスタ１１ｃを通じて電流Ｉｗが流れる。したがって、トランジスタ１１ａのゲート－ソースの電圧はＩ１が流れるような電圧となる。
第２のタイミングはトランジスタ１１ａとトランジスタ１１ｃが閉じ、トランジスタ１１ｄが開くタイミングであり、そのときの等価回路は図３の（ｂ）となる。トランジスタ１１ａのソース－ゲート間の電圧は保持されたままとなる。この場合、トランジスタ１１ａは常に飽和領域で動作するため、Ｉｗの電流は一定となる。
このように動作させると、図５に図示するようになる。つまり、図５の（ａ）の５１ａは表示画面５０における、ある時刻での電流プログラムされている画素（行）（書き込み画素行）を示している。この画素（行）５１ａは、図５の（ｂ）に図示するように非点灯（非表示画素（行））とする。他の、画素（行）は表示画素（行）５３とする（非画素５３のＥＬ素子１５には電流が流れ、ＥＬ素子１５が発光している）。
図１の画素構成の場合、図３の（ａ）に示すように、電流プログラム時は、プログラム電流Ｉｗがソース信号線１８に流れる。この電流Ｉｗがトランジスタ１１ａを流れ、Ｉｗを流す電流が保持されるように、コンデンサ１９に電圧設定（プログラム）される。このとき、トランジスタ１１ｄはオープン状態（オフ状態）である。

次に、ＥＬ素子１５に電流を流す期間は図３の（ｂ）のように、トランジスタ１１ｃ、１１ｂがオフし、トランジスタ１１ｄが動作する。つまり、ゲート信号線１７ａにオフ電圧（Ｖｇｈ）が印加され、トランジスタ１１ｂ、１１ｃがオフする。一方、ゲート信号線１７ｂにオン電圧（Ｖｇｌ）が印加され、トランジスタ１１ｄがオンする。
このタイミングチャートを図４に図示する。なお、図４などにおいて、括弧内の添え字（たとえば、（１）など）は画素行の番号を示している。つまり、ゲート信号線１７ａ（１）とは、画素行（１）のゲート信号線１７ａを示している。また、図４の上段の＊Ｈ（「＊」には任意の記号、数値が当てはまり、水平走査線の番号を示す）とは、水平走査期間を示している。つまり、１Ｈとは第１番目の水平走査期間である。なお、以上の事項は、説明を容易にするためであって、限定（１Ｈの番号、１Ｈ周期、画素行番号の順番など）するものではない。
図４でわかるように、各選択された画素行（選択期間は、１Ｈとしている）において、ゲート信号線１７ａにオン電圧が印加されている時には、ゲート信号線１７ｂにはオフ電圧が印加されている。また、この期間は、ＥＬ素子１５には電流が流れていない（非点灯状態）。選択されていない画素行において、ゲート信号線１７ａにオフ電圧が印加され、ゲート信号線１７ｂにはオン電圧が印加されている。また、この期間は、ＥＬ素子１５に電流が流れている（点灯状態）。
なお、トランジスタ１１ａのゲートとトランジスタ１１ｃのゲートは同一のゲート信号線１１ａに接続している。しかし、トランジスタ１１ａのゲートとトランジスタ１１ｃのゲートとを異なるゲート信号線１１に接続してもよい（図３２を参照のこと）。１画素のゲート信号線は３本となる（図１の構成は２本である）。トランジスタ１１ｂのゲートのＯＮ／ＯＦＦタイミングとトランジスタ１１ｃのゲートのＯＮ／ＯＦＦタイミングを個別に制御することにより、トランジスタ１１ａのばらつきによるＥＬ素子１５の電流値バラツキをさらに低減することができる。
ゲート信号線１７ａとゲート信号線１７ｂとを共通にし、トランジスタ１１ｃと１１ｄが異なった導電型（ＮチャンネルとＰチャンネル）とすると、駆動回路の簡略化、ならびに画素の開口率を向上させることが出来る。
このように構成すれば本発明の動作タイミングとしては信号線からの書きこみ経路がオフになる。すなわち所定の電流が記憶される際に、電流の流れる経路に分岐があると正確な電流値がトランジスタ１１ａのソース（Ｓ）－ゲート（Ｇ）間容量（コンデンサ）に記憶されない。トランジスタ１１ｃとトランジスタ１１ｄを異なった導電形にすることにより、お互いの閾値を制御することによって走査線の切り替わりのタイミングで必ずトランジスタ１１ｃがオフしたのちに、トランジスタ１１ｄがオンすることが可能になる。
ただし、この場合お互いの閾値を正確にコントロールする必要があるのでプロセスの注意が必要である。なお、以上述べた回路は最低４つのトランジスタで実現可能であるが、より正確なタイミングのコントロールあるいは後述するように、ミラー効果低減のためにトランジスタ１１ｅを図２に示すように、カスケード接続してトランジスタの総数が４以上になっても動作原理は同じである。このようにトランジスタ１１ｅを加えた構成とすることにより、トランジスタ１１ｃを介してプログラムした電流をより精度よくＥＬ素子１５に流すことができるようになる。
なお、本発明の画素構成は図１、図２の構成に限定されるものではない。たとえば、図１４０のように構成してもよい。図１４０は、図１の構成に比較してトランジスタ１１ｄがない。替わりに切り替えスイッチ１４０１が形成または配置されている。図１のスイッチ１１ｄは駆動用トランジスタ１１ａからＥＬ素子１５に流れる電流をオンオフ（流す、流さない）制御する機能を有する。以降の実施例でも説明をするが、本発明はこのトランジスタ１１ｄのオンオフ制御機能が重要な構成要素である。トランジスタ１１ｄを形成せず、オンオフ機能を実現するのが、図１４０の構成である。
図１４０において、切り替えスイッチ１４０１のａ端子は、アノード電圧Ｖｄｄに接続されている。なお、ａ端子に印加する電圧はアノード電圧Ｖｄｄに限定されるものではなく、ＥＬ素子１５に流れる電流をオフできる電圧であればいずれでもよい。

切り替えスイッチ１４０１のｂ端子は、カソード電圧（図１４０ではグランドと図示している）に接続されている。なお、ｂ端子に印加する電圧はカソード電圧に限定されるものではなく、ＥＬ素子１５に流れる電流をオンできる電圧であればいずれでもよい。
切り替えスイッチ１４０１のｃ端子にはＥＬ素子１５のカソード端子が接続されている。なお、切り替えスイッチ１４０１はＥＬ素子１５に流れる電流をオンオフさせる機能を持つものであればいずれでもよい。したがって、図１４０の形成位置に限定されるものではなく、ＥＬ素子１５の電流が流れる経路であればいずれでもよい。また、スイッチの機能の限定されるものでもなく、ＥＬ素子１５に流れる電流をオンオフできればいずれでもよい。つまり、本発明では、ＥＬ素子１５の電流経路にＥＬ素子１５に流す電流をオンオフできるスイッチング手段を具備すればいずれの画素構成でもよい。
また、オフとは完全に電流が流れない状態を意味するものではない。ＥＬ素子１５に流れる電流を通常よりも低減できるものであればよい。以上の事項は本発明の他の構成においても同様である。
切り替えスイッチ１４０１は、ＰチャンネルとＮチャンネルのトランジスタを組み合わせることにより容易に実現できるので説明を要さないであろう。たとえば、アナログスイッチを２回路形成すればよい。もちろん、切り替えスイッチ１４０１はＥＬ素子１５に流れる電流をオンオフするだけであるから、ＰチャンネルトランジスタあるいはＮチャンネルトランジスタでも形成することができることは言うまでもない。
切り替えスイッチ１４０１がａ端子に接続されている時は、ＥＬ素子１５のカソード端子にＶｄｄ電圧が印加される。したがって、駆動用トランジスタ１１ａのゲート端子Ｇがいずれの電圧保持状態であってもＥＬ素子１５には電流が流れない。したがって、ＥＬ素子１５は非点灯状態となる。
切り替えスイッチ１４０１がｂ端子に接続されている時は、ＥＬ素子１５のカソード端子にＧＮＤ電圧が印加される。したがって、駆動用トランジスタ１１ａのゲート端子Ｇに保持された電圧状態に応じてＥＬ素子１５に電流が流れる。したがって、ＥＬ素子１５は点灯状態となる。
以上のことより図１４０の画素構成では、駆動用トランジスタ１１ａとＥＬ素子１５間にはスイッチングトランジスタ１１ｄが形成されていない。しかし、切り替えスイッチ１４０１を制御することによりＥＬ素子１５の点灯制御を行うことができる。
図１、図２などの画素構成では、駆動用トランジスタ１１ａは１画素につき１個である。本発明はこれに限定するものではなく、駆動用トランジスタ１１ａは１画素に複数個を形成または配置してもよい。図１４４はその実施例である。図１４４では１画素に２個の駆動用トランジスタ１１ａ１、１１ａ２が形成され、２個の駆動用トランジスタ１１ａ１、１１ａ２のゲート端子は共通のコンデンサ１９に接続されている。駆動用トランジスタ１１ａを複数個形成することにより、プログラムされる電流バラツキが低減するという効果がある。他の構成は、図１などと同様であるので説明を省略する。
図１、図２は駆動用トランジスタ１１ａが出力する電流をＥＬ素子１５に流し、前記電流を駆動用トランジスタ１１ａとＥＬ素子１５間に配置されたトランジスタ１１ｄでオンオフ制御するものであった。しかし、本発明はこれに限定されるものではない。たとえば、図１４５の構成が例示される。
図１４５の実施例では、ＥＬ素子１５に流す電流が駆動用トランジスタ１１ａで制御される。ＥＬ素子１５に流れる電流をオンオフさせるのはＶｄｄ端子とＥＬ素子１５間に配置されたトランジスタ１１ｄで制御される。したがって、本発明はトランジスタ１１ｄの配置はどこでもよく、ＥＬ素子１５に流れる電流を制御できるものであればいずれでもよい。
トランジスタ１１ａの特性のバラツキはトランジスタサイズに相関がある。特性バラツキを小さくするため、第１のトランジスタ１１ａのチャンネル長が５μｍ以上１００μｍ以下とすることが好ましい。さらに好ましくは、第１のトランジスタ１１ａのチャンネル長が１０μｍ以上５０μｍ以下とすることが好ましい。これは、チャンネル長Ｌを長くした場合、チャンネルに含まれる粒界が増えることによって電界が緩和されキンク効果が低く

抑えられるためであると考えられる。
以上のように、本発明は、ＥＬ素子１５に電流が流れこむ経路、またはＥＬ素子１５から電流が流れ出す経路（つまり、ＥＬ素子１５の電流経路である）にＥＬ素子１５に流れる電流を制御する回路手段を構成または形成もしくは配置したものである。
なお、ＥＬ素子１５に流れる電流経路を制御する構成は、図１、図１４０などの電流プログラム方式の画素構成に限定されるものではない。たとえば、図１４１の電圧プログラム方式の画素構成においても実施することができる。図１４１では、ＥＬ素子１５と駆動用トランジスタ１１ａ間にトランジスタ１１ｄを配置することによりＥＬ素子１５に流れる電流を制御することができる。もちろん、図１４０に図示するように、切り替え回路１４０１を配置してもよい。
また、電流プログラム方式の１つであるカレントミラー方式であっても、図１４２に図示するように、駆動用トランジスタ１１ｂとＥＬ素子１５間にスイッチング素子としてのトランジスタ１１ｇを形成または配置することによりＥＬ素子１５に流れる電流をオンオフすることができる（制御することができる）。もちろん、トランジスタ１１ｇは図１４０の切り替えスイッチ１４０１に置き換えても良い。
なお、図１４２のスイッチングトランジスタ１１ｄ、１１ｃは１本のゲート信号線１７ａに接続されているが、図１４３に図示するように、トランジスタ１１ｃはゲート信号線１７ａ１で制御し、トランジスタ１１ｄはゲート信号線１７ａ２で制御するように構成してもよい。図１４３の構成の方が、画素１６の制御の汎用性が高くなる。
また、図４２の（ａ）に図示するように、トランジスタ１１ｂ、１１ｃなどはＮチャンネルトランジスタで形成してもよい。また、図４２の（ｂ）に図示するようにトランジスタ１１ｃ、１１ｄなどはＰチャンネルトランジスタで形成してもよい。
本特許の発明の目的は、トランジスタ特性のばらつきが表示に影響を与えない回路構成を提案するものであり、そのために４トランジスタ以上が必要である。これらのトランジスタ特性により、回路定数を決定する場合、４つのトランジスタの特性がそろわなければ、適切な回路定数を求めることが困難である。レーザー照射の長軸方向に対して、チャンネル方向が水平の場合と垂直の場合では、トランジスタ特性の閾値と移動度が異なって形成される。なお、どちらの場合もばらつきの程度は同じである。水平方向と、垂直方向では移動度、閾値のあたいの平均値が異なる。したがって、画素を構成するすべてのトランジスタのチャンネル方向は同一であるほうが望ましい。
また、蓄積容量１９の容量値をＣｓ、第２のトランジスタ１１ｂのオフ電流値をＩｏｆｆとした場合、次式を満足させることが好ましい。
３＜Ｃｓ／Ｉｏｆｆ＜２４
さらに好ましくは、次式を満足させることが好ましい。
６＜Ｃｓ／Ｉｏｆｆ＜１８
トランジスタ１１ｂのオフ電流を５ｐＡ以下とすることにより、ＥＬを流れる電流値の変化を２％以下に抑えることが可能である。これはリーク電流が増加すると、電圧非書き込み状態においてゲート－ソース間（コンデンサの両端）に貯えられた電荷を１フィールド間保持できないためである。したがって、コンデンサ１９の蓄積用容量が大きければオフ電流の許容量も大きくなる。前記式を満たすことによって隣接画素間の電流値の変動を２％以下に抑えることができる。
また、アクティブマトリックスを構成するトランジスタがｐ－チャンネルポリシリコン薄膜トランジスタに構成され、トランジスタ１１ｂがデュアルゲート以上であるマルチゲート構造とすることが好ましい。トランジスタ１１ｂは、トランジスタ１１ａのソース－ドレイン間のスイッチとして作用するため、できるだけＯＮ／ＯＦＦ比の高い特性が要求される。トランジスタ１１ｂのゲートの構造をデュアルゲート構造以上のマルチゲート構造とすることによりＯＮ／ＯＦＦ比の高い特性を実現できる。
画素１６のトランジスタ１１を構成する半導体膜は、低温ポリシリコン技術において、レーザーアニールにより形成するのが一般的である。このレーザーアニールの条件のバラツキがトランジスタ１１特性のバラツキとなる。しかし、１画素１６内のトランジスタ１１

の特性が一致していれば、図１などの電流プログラムを行う方式では、所定の電流がＥＬ素子１５に流れるように駆動することができる。この点は、電圧プログラムにない利点である。レーザーとしてはエキシマレーザーを用いることが好ましい。
なお、本発明において、半導体膜の形成は、レーザーアニール方法に限定するものではなく、熱アニール方法、固相（ＣＧＳ）成長による方法でもよい。その他、低温ポリシリコン技術に限定するものではなく、高温ポリシリコン技術を用いても良いことはいうまでもない。
この課題に対して、本発明では図７に示すように、アニールの時のレーザー照射スポット（レーザー照射範囲）７２をソース信号線１８に平行に照射する。また、１画素列に一致するようにレーザー照射スポット７２を移動させる。もちろん、１画素列に限定するものではなく、たとえば、図７２のＲＧＢを１画素１６という単位でレーザーを照射してもよい（この場合は、３画素列ということになる）。また、複数の画素に同時に照射してもよい。また、レーザーの照射範囲の移動がオーバーラップしてもよいことは言うまでもない（通常、移動するレーザー光の照射範囲はオーバーラップするのが普通である）。
画素はＲＧＢの３画素で正方形の形状となるように作製されている。したがって、Ｒ、Ｇ、Ｂの各画素は縦長の画素形状となる。したがって、レーザー照射スポット７２を縦長にしてアニールすることにより、１画素内ではトランジスタ１１の特性バラツキが発生しないようにすることができる。また、１つのソース信号線１８に接続されたトランジスタ１１の特性（モビリティ、Ｖｔ、Ｓ値など）を均一にすることができる（つまり、隣接したソース信号線１８のトランジスタ１１とは特性が異なる場合があるが、１つのソース信号線に接続されたトランジスタ１１の特性はほぼ等しくすることができる）。
図７の構成では、レーザー照射スポット７２の長さの範囲内に３つのパネルが縦に配置されるように形成されている。レーザー照射スポット７２を照射するアニール装置はガラス基板７４の位置決めマーカー７３ａ、７３ｂを認識（パターン認識による自動位置決め）してレーザー照射スポット７２を移動させる。位置決めマーカー７３の認識はパターン認識装置で行う。アニール装置（図示せず）は位置決めマーカー７３を認識し、画素列の位置をわりだす（レーザー照射範囲７２がソース信号線１８と平行になるようにする）。画素列位置に重なるようにレーザー照射スポット７２を照射してアニールを順次行う。
図７で説明したレーザーアニール方法（ソース信号線１８に平行にライン状のレーザースポットを照射する方式）は、有機ＥＬ表示パネルの電流プログラム方式の時に特に採用することが好ましい。なぜならば、ソース信号線に平行方向にトランジスタ１１の特性が一致しているためである（縦方向に隣接した画素トランジスタの特性が近似している）。そのため、電流駆動時にソース信号線の電圧レベルの変化が少なく、電流書き込み不足が発生しにくい。
たとえば、白ラスター表示であれば、隣接した各画素のトランジスタ１１ａに流す電流はほぼ同一のため、ソースドライバＩＣ１４から出力する電流振幅の変化が少ない。もし、図１のトランジスタ１１ａの特性が同一であり、各画素に電流プログラムする電流値が画素列で等しいのであれば、電流プログラム時のソース信号線１８の電位は一定である。したがって、ソース信号線１８の電位変動は発生しない。１つのソース信号線１８に接続されたトランジスタ１１ａの特性がほぼ同一であれば、ソース信号線１８の電位変動は小さいことになる。このことは、図３８などの他の電流プログラム方式の画素構成でも同一である（つまり、図７の製造方法を適用することが好ましい）。
また、図２７、図３０などで説明する複数の画素行を同時書き込みする方式で均一が画像表示（主としてトランジスタ特性のばらつきに起因する表示ムラが発生しにくいからである）を実現できる。図２７などは複数画素行同時に選択するから、隣接した画素行のトランジスタが均一であれば、縦方向のトランジスタ特性ムラはソースドライバ回路１４で吸収できる。
なお、図７では、ソースドライバ回路１４は、ＩＣチップを積載するように図示しているが、これに限定するものではなく、ソースドライバ回路１４を画素１６と同一プロセスで形成してもよいことは言うまでもない。

本発明では特に、駆動用トランジスタ１１ｂの閾電圧Ｖｔｈ２が画素内で対応する駆動用トランジスタ１１ａの閾電圧Ｖｔｈ１より低くならない様に設定している。例えば、トランジスタ１１ｂのゲート長Ｌ２をトランジスタ１１ａのゲート長Ｌ１よりも長くして、これらの薄膜トランジスタのプロセスパラメータが変動しても、Ｖｔｈ２がＶｔｈ１よりも低くならない様にする。これにより、微少な電流リークを抑制することが可能である。

なお、以上の事項は、図３８に図示するカレントミラーの画素構成にも適用できる。図３８では、信号電流が流れる駆動用トランジスタ１１ａ、ＥＬ素子１５等からなる発光素子に流れる駆動電流を制御する駆動用トランジスタ１１ｂの他、ゲート信号線１７ａ１の制御によって画素回路とデータ線ｄａｔａとを接続もしくは遮断する取込用トランジスタ１１ｃ、ゲート信号線１７ａ２の制御によって書き込み期間中にトランジスタ１１ａのゲート・ドレインを短絡するスイッチ用トランジスタ１１ｄ、トランジスタ１１ａのゲート－ソース間電圧を書き込み終了後も保持するための容量Ｃ１９および発光素子としてのＥＬ素子１５などから構成される。

図３８でトランジスタ１１ｃ、１１ｄはＮチャンネルトランジスタ、その他のトランジスタはＰチャンネルトランジスタで構成しているが、これは一例であって、必ずしもこの通りである必要はない。容量Ｃｓは、その一方の端子をトランジスタ１１ａのゲートに接続され、他方の端子はＶｄｄ（電源電位）に接続されているが、Ｖｄｄに限らず任意の一定電位でも良い。ＥＬ素子１５のカソード（陰極）は接地電位に接続されている。

次に、本発明のＥＬ表示パネルあるいはＥＬ表示装置について説明をする。図６はＥＬ表示装置の回路を中心とした説明図である。画素１６がマトリックス状に配置または形成されている。各画素１６には各画素の電流プログラムを行う電流を出力するソースドライバ回路１４が接続されている。ソースドライバ回路１４の出力段は映像信号のビット数に対応したカレントミラー回路が形成されている（後に説明する）。たとえば、６４階調であれば、６３個のカレントミラー回路が各ソース信号線に形成され、これらのカレントミラー回路の個数を選択することにより所望の電流をソース信号線１８に印加できるように構成されている（図６４を参照のこと）。

なお、１つのカレントミラー回路の最小出力電流は１０ｎＡ以上５０ｎＡにしている。特にカレントミラー回路の最小出力電流は１５ｎＡ以上３５ｎＡにすることがよい。ソースドライバＩＣ１４内のカレントミラー回路を構成するトランジスタの精度を確保するためである。

また、ソース信号線１８の電荷を強制的に放出または充電するプリチャージあるいはディスチャージ回路を内蔵する。ソース信号線１８の電荷を強制的に放出または充電するプリチャージあるいはディスチャージ回路の電圧（電流）出力値は、Ｒ、Ｇ、Ｂで独立に設定できるように構成することが好ましい。ＥＬ素子１５の閾値がＲＧＢで異なるからである（プリチャージ回路については図７０、図１７３およびその説明を参照のこと）。

有機ＥＬ素子は大きな温度依存性特性（温特）があることが知られている。この温特による発光輝度変化を調整するため、カレントミラー回路に出力電流を変化させるサーミスタあるいはポジスタなどの非直線素子を付加し、温特による変化を前記サーミスタなどで調整することによりアナログ的に基準電流を調整する（変化させる）。

本発明において、ソースドライバ１４は半導体シリコンチップで形成し、ガラスオンチップ（ＣＯＧ）技術で基板７１のソース信号線１８の端子と接続されている。ソースドライバ１４の実装は、ＣＯＧ技術に限定するものではなく、チップオンフィルム（ＣＯＦ）技術に前述のソースドライバＩＣ１４などを積載し、表示パネルの信号線と接続した構成としてもよい。また、ドライブＩＣは電源ＩＣ８２を別途作製し、３チップ構成としてもよい。

ソースドライバＩＣ１４の実装前にパネル検査を行う。検査はソース信号線１８に定電流を印加することにより行う。定電流の印加は、図２２７に図示するように、ソース信号線１８端に形成されたパッド１５２２から引き出し線２２７１を形成し、その端に検査パッド２２７２を形成する。検査パッド２２７２を形成することのよりパッド１５２２を用いることなく検査を実施できる。ソースドライバＩＣ１４は基板７１に実装後、図２２８に

図示するように、ＩＣ１４の周辺部を封止樹脂２２８１で封止する。
一方、ゲートドライバ回路１２は低温ポリシリコン技術で形成している。つまり、画素のトランジスタと同一のプロセスで形成している。これは、ソースドライバ回路１４に比較して内部の構造が容易で、動作周波数も低いためである。したがって、低温ポリシリ技術で形成しても容易に形成することができ、また、狭額縁化を実現できる。もちろん、ゲートドライバ１２をシリコンチップで形成し、ＣＯＧ技術などを用いて基板７１上に実装してもよいことは言うまでもない。また、画素トランジスタなどのスイッチング素子、ゲートドライバなどは高温ポリシリコン技術で形成してもよく、有機材料で形成（有機トランジスタ）してもよい。
ゲートドライバ１２はゲート信号線１７ａ用のシフトレジスタ回路６１ａと、ゲート信号線１７ｂ用のシフトレジスタ回路６１ｂとを内蔵する。各シフトレジスタ回路６１は正相と負相のクロック信号（ＣＬＫｘＰ、ＣＬＫｘＮ）、スタートパルス（ＳＴｘ）で制御される（図６を参照のこと）。その他、ゲート信号線の出力、非出力を制御するイネーブル（ＥＮＡＢＬ）信号、シフト方向を上下逆転するアップダウン（ＵＰＤＷＭ）信号を付加することが好ましい。他に、スタートパルスがシフトレジスタにシフトされ、そして出力されていることを確認する出力端子などを設けることが好ましい。なお、シフトレジスタのシフトタイミングはコントロールＩＣ８１からの制御信号で制御される（図８、図２０８を参照のこと）。また、外部データのレベルシフトを行うレベルシフト回路を内蔵する。
シフトレジスタ回路６１のバッファ容量は小さいため、直接にはゲート信号線１７を駆動することができない。そのため、シフトレジスタ回路６１の出力とゲート信号線１７を駆動する出力ゲート６３間には少なくとも２つ以上のインバータ回路６２が形成されている（図２０４を参照のこと）。
ソースドライバ１４を低温ポリシリなどのポリシリ技術で基板７１上に直接形成する場合も同様であり、ソース信号線１８を駆動するトランスファーゲートなどのアナログスイッチのゲートとソースドライバ回路１４のシフトレジスタ間には複数のインバータ回路が形成される。以下の事項（シフトレジスタの出力と、信号線を駆動する出力段（出力ゲートあるいはトランスファーゲートなどの出力段間に配置されるインバータ回路に関する事項）は、ソースドライブおよびゲートドライブ回路に共通の事項である。
たとえば、図６ではソースドライバ１４の出力が直接ソース信号線１８に接続されているように図示したが、実際には、ソースドライバのシフトレジスタの出力は多段のインバータ回路が接続されて、インバータの出力がトランスファーゲートなどのアナログスイッチのゲートに接続されている。
インバータ回路６２はＰチャンネルのＭＯＳトランジスタとＮチャンネルのＭＯＳトランジスタから構成される。先にも説明したようにゲートドライバ回路１２のシフトレジスタ回路６１の出力端にはインバータ回路６２が多段に接続されており、その最終出力が出力ゲート回路６３に接続されている。なお、インバータ回路６２はＰチャンネルのみで構成してもよい。ただし、この場合は、インバータではなく単なるゲート回路として構成してもよい。
図８は本発明の表示装置の信号、電圧の供給の構成図あるいは表示装置の構成図である。コントロールＩＣ８１からソースドライバ回路１４ａに供給する信号（電源配線、データ配線など）はフレキシブル基板８４を介して供給する。
図８ではゲートドライバ１２の制御信号はコントロールＩＣで発生させ、ソースドライバ１４で、レベルシフトを行った後、ゲートドライバ１２に印加している。ソースドライバ１４の、駆動電圧は４～８（Ｖ）であるから、コントロールＩＣ８１から出力された３．３（Ｖ）振幅の制御信号を、ゲートドライバ１２が受け取れる５（Ｖ）振幅に変換することができる。
なお、図８などにおいて１４をソースドライバと記載したが、単なるドライバだけでなく、電源回路、バッファ回路（シフトレジスタなどの回路を含む）、データ変換回路、ラッチ回路、コマンドデコーダ、シフト回路、アドレス変換回路、画像メモリなどを内蔵させ

てもよい。なお、図８などで説明する構成にあっても、図９などで説明する３辺フリー構成あるいは構成、駆動方式などを適用できることはいうまでもない。
表示パネルを携帯電話などの情報表示装置に使用する場合、図９に示すように、ソースドライバＩＣ（回路）１４、ゲートドライバＩＣ（回路）１２は、表示パネルの一辺に実装（形成）することが好ましい（なお、このように一辺にドライバＩＣ（回路）を実装（形成）する形態を３辺フリー構成（構造）と呼ぶ。従来は、表示領域のＸ辺にゲートドライバＩＣ１２が実装され、Ｙ辺にソースドライバＩＣ１４が実装されていた）。画面５０の中心線が表示装置の中心になるように設計し易く、また、ドライバＩＣの実装も容易となるからである。なお、ゲートドライバ回路を高温ポリシリコンあるいは低温ポリシリコン技術などで３辺フリーの構成で作製してもよい（つまり、図９のソースドライバ回路１４とゲートドライバ回路１２のうち、少なくとも一方をポリシリコン技術で基板７１に直接形成する）。
なお、３辺フリー構成とは、基板７１に直接ＩＣを積載あるいは形成した構成だけでなく、ソースドライバＩＣ（回路）１４、ゲートドライバＩＣ（回路）１２などを取り付けたフィルム（ＴＣＰ、ＴＡＢ技術など）を基板７１の一辺（もしくはほぼ一辺）にはりつけた構成も含む。つまり、２辺にＩＣが実装あるいは取り付けられていない構成、配置あるいはそれに類似するすべてを意味する。
図９のようにゲートドライバ回路１２をソースドライバ回路１４の横に配置すると、ゲート信号線１７は辺Ｃにそって形成する必要がある。
なお、図９などにおいて太い実線で図示した箇所はゲート信号線１７が並列して形成した箇所を示している。したがって、ｂの部分（画面下部）は走査信号線の本数分のゲート信号線１７が並列して形成され、ａの部分（画面上部）はゲート信号線１７が１本形成されている。
Ｃ辺に形成するゲート信号線１７のピッチは５μｍ以上１２μｍ以下にする。５μｍ未満では隣接ゲート信号線に寄生容量の影響によりノイズが乗ってしまう。実験によれば７μ以下で寄生容量の影響が顕著に発生する。さらに５μｍ未満では表示画面にビート状などの画像ノイズが激しく発生する。特にノイズの発生は画面の左右で異なり、このビート状などの画像ノイズを低減することは困難である。また、低減１２μｍを越えると表示パネルの額縁幅Ｄが大きくなりすぎ実用的でない。
前述の画像ノイズを低減するためには、ゲート信号線１７を形成した部分の下層あるいは上層に、グラントパターン（一定電圧に電圧固定あるいは全体として安定した電位に設定されている導電パターン）を配置することにより低減できる。また、別途設けたシールド板（シールド箔（一定電圧に電圧固定あるいは全体として安定した電位に設定されている導電パターン））をゲート信号線１７上に配置すればよい。
図９のＣ辺のゲート信号線１７はＩＴＯ電極で形成してもよいが、低抵抗化するため、ＩＴＯと金属薄膜とを積層して形成することが好ましい。また、金属膜で形成することが好ましい。ＩＴＯと積層する場合は、ＩＴＯ上にチタン膜を形成し、その上にアルミニウムあるいはアルミニウムとモリブデンの合金薄膜を形成する。もしくはＩＴＯ上にクロム膜を形成する。金属膜の場合は、アルミニウム薄膜、クロム薄膜で形成する。以上の事項は本発明の他の実施例でも同様である。
なお、図９などにおいて、ゲート信号線１７などは表示領域の片側に配置するとしたがこれに限定するものではなく、両方に配置してもよい。たとえば、ゲート信号線１７ａを表示画面５０の右側に配置（形成）し、ゲート信号線１７ｂを表示画面５０の左側に配置（形成）してもよい。以上の事項は他の実施例でも同様である。
また、ソースドライバＩＣ１４とゲートドライバＩＣ１２とを１チップ化してもよい。１チップ化すれば、表示パネルへのＩＣチップの実装が１個で済む。したがって、実装コストも低減できる。また、１チップドライバＩＣ内で使用する各種電圧も同時に発生することができる。
なお、ソースドライバＩＣ１４、ゲートドライバＩＣ１２はシリコンなどの半導体ウエハで作製し、表示パネルに実装するとしたがこれに限定するものではなく、低温ポリシリコ

ン技術、高温ポリシリコン技術により表示パネル８２に直接形成してもよいことは言うまでもない。
なお、画素は、R、G、Bの３原色としたがこれに限定するものではなく、シアン、イエロー、マゼンダの３色でもよい。また、Bとイエローの２色でもよい。もちろん、単色でもよい。また、R、G、B、シアン、イエロー、マゼンダの６色でもよい。R、G、B、シアン、マゼンダの５色でもよい。これらはナチュラルカラーとして色再現範囲が拡大し良好な表示を実現できる。以上のように本発明のＥＬ表示装置は、ＲＧＢの３原色でカラー表示を行うものに限定されるものではない。
有機ＥＬ表示パネルのカラー化には主に三つの方式があり、色変換方式はこのうちの一つである。発光層として青色のみの単層を形成すればよく、フルカラー化に必要な残りの緑色と赤色は、青色光から色変換によって作り出す。したがって、ＲＧＢの各層を塗り分ける必要がない、ＲＧＢの各色の有機ＥＬ材料をそろえる必要がないという利点がある。色変換方式は、塗り分け方式のようは歩留まり低下がない。本発明のＥＬ表示パネルなどはこのいずれの方式でも適用される。
また、３原色の他に、白色発光の画素を形成してもよい。白色発光の画素はR、G、B発光の構造を積層することにより作製（形成または構成）することにより実現できる。１組の画素は、ＲＧＢの３原色と、白色発光の画素１６Wからなる。白色発光の画素を形成することにより、白色のピーク輝度が表現しやすくなる。したがって、輝き感のある画像表示実現できる。
ＲＧＢなどの３原色を１組の画素とする場合であっても、各色の画素電極の面積は異ならせることが好ましい。もちろん、各色の発光効率がバランスよく、色純度もバランスがよければ、同一面積でもかまわない。しかし、１つまたは複数の色のバランスが悪ければ、画素電極（発光面積）を調整することが好ましい。各色の電極面積は電流密度を基準に決定すればよい。つまり、色温度が７０００K（ケルビン）以上１２０００K以下の範囲で、ホワイトバランスを調整した時、各色の電流密度の差が±３０％以内となるようにする。さらに好ましくは±１５％以内となるようにする。たとえば、電流密度が１００Ａ／平方メーターとすれば、３原色がいずれも７０Ａ／平方メーター以上１３０Ａ／平方メーター以下となるようにする。さらに好ましくは、３原色がいずれも８５Ａ／平方メーター以上１１５Ａ／平方メーター以下となるようにする。
有機ＥＬ素子１５は自己発光素子である。この発光による光がスイッチング素子としてのトランジスタに入射するとホトコンダクタ現象（ホトコン）が発生する。ホトコンとは、光励起によりトランジスタなどのスイッチング素子のオフ時でのリーク（オフリーク）が増える現象を言う。
この課題に対処するため、本発明ではゲートドライバ１２（場合によってはソースドライバ１４）の下層、画素トランジスタ１１の下層の遮光膜を形成している。遮光膜はクロムなどの金属薄膜で形成し、その膜厚は５０ｎｍ以上１５０ｎｍ以下にする。膜厚が薄いと遮光効果が乏しく、厚いと凹凸が発生して上層のトランジスタ１１Ａ１のパターニングが困難になる。
ドライバ回路１２などは裏面だけでなく、表面からの光の進入も抑制するべきである。ホトコンの影響により誤動作するからである。したがって、本発明では、カソード電極が金属膜の場合は、ドライバ１２などの表面にもカソード電極を形成し、この電極を遮光膜として用いている。
しかし、ドライバ１２の上にカソード電極を形成すると、このカソード電極からの電界によるドライバの誤動作あるいはカソード電極とドライバ回路の電気的接触が発生する可能性がある。この課題に対処するため、本発明ではドライバ回路１２などの上に少なくとも１層、好ましくは複数層の有機ＥＬ膜を画素電極上の有機ＥＬ膜形成と同時に形成する。
画素の１つ以上のトランジスタ１１の端子間あるいはトランジスタ１１と信号線とが短絡すると、ＥＬ素子１５が常時、点灯する輝点となる場合がある。この輝点は視覚的にめだつので黒点化（非点灯）する必要がある。輝点に対しては、該当画素１６を検出し、コンデンサ１９にレーザー光を照射してコンデンサの端子間を短絡させる。したがって、コン

デンサ１９には電荷を保持できなくなるので、トランジスタ１１ａは電流を流さなくすることができる。レーザー光を照射する位置にあたるカソード膜を除去しておくことが望ましい。レーザー照射により、コンデンサ１９の端子電極とカソード膜とがショートすることを防止するためである。

画素１６のトランジスタ１１の欠陥は、ソースドライバＩＣ１４などにも影響を与える。例えば、図５６では駆動用トランジスタ１１ａにソース－ドレイン（ＳＤ）ショート５６２が発生していると、パネルのＶｄｄ電圧がソースドライバＩＣ１４に印加される。したがって、ソースドライバＩＣ１４の電源電圧は、パネルの電源電圧Ｖｄｄと同一かもしくは高くしておくことが好ましい。なお、ソースドライバＩＣで使用する基準電流は電子ボリウム５６１で調整できるように構成しておくことが好ましい（図１４８を参照のこと）。

トランジスタ１１ａにＳＤショート５６２が発生していると、ＥＬ素子１５に過大な電流が流れる。つまり、ＥＬ素子１５が常時点灯状態（輝点）となる。輝点は欠陥として目立ちやすい。たとえば、図５６において、トランジスタ１１ａのソース－ドレイン（ＳＤ）ショートが発生していると、トランジスタ１１ａのゲート（Ｇ）端子電位の大小に関わらず、Ｖｄｄ電圧からＥＬ素子１５に電流が常時流れる（トランジスタ１１ｄがオンの時）。したがって、輝点となる。

一方、トランジスタ１１ａにＳＤショートが発生していると、トランジスタ１１ｃがオン状態の時、Ｖｄｄ電圧がソース信号線１８に印加されソースドライバ１４にＶｄｄ電圧が印加される。もし、ソースドライバ１４の電源電圧がＶｄｄ以下であれば、耐圧を越えて、ソースドライバ１４が破壊される恐れがある。そのため、ソースドライバ１４の電源電圧はＶｄｄ電圧（パネルの高い方の電圧）以上にすることが好ましい。

トランジスタ１１ａのＳＤショートなどは、点欠陥にとどまらず、パネルのソースドライバ回路の破壊につながる恐れがあり、また、輝点は目立つためパネルとしては不良となる。したがって、トランジスタ１１ａとＥＬ素子１５間を接続する配線を切断し、輝点を黒点欠陥にする必要がある。この切断には、レーザー光などの光学手段を用いて切断することがよい。

以下、本発明の駆動方法について説明をする。図１に示すように、ゲート信号線１７ａは行選択期間に導通状態（ここでは図１のトランジスタ１１がｐチャネルトランジスタであるためローレベルで導通となる）となり、ゲート信号線１７ｂは非選択期間時に導通状態とする。

ソース信号線１８には寄生容量（図示せず）が存在する。寄生容量は、ソース信号線１８とゲート信号線１７とのクロス部の容量、トランジスタ１１ｂ、１１ｃのチャンネル容量などにより発生する。

ソース信号線１８の電流値変化に要する時間ｔは浮遊容量の大きさをＣ、ソース信号線の電圧をＶ、ソース信号線に流れる電流をＩとするとｔ＝Ｃ・Ｖ／Ｉであるため電流値を１０倍大きくできることは電流値変化に要する時間が１０分の１近くまで短くできる、またはソース信号線１８の寄生容量が１０倍になっても所定の電流値に変化できるということを示す。従って、短い水平走査期間内に所定の電流値を書きこむためには電流値を増加させることが有効である。

入力電流を１０倍にすると出力電流も１０倍となり、ＥＬの輝度が１０倍となるため所定の輝度を得るために、図１のトランジスタ１７ｄの導通期間を従来の１０分の１とし、発光期間を１０分の１とすることで、所定輝度を表示するようにした。なお、１０倍を例示して説明しているのは理解を容易にするためである。１０倍に限定するものでないことは言うまでもない。

つまり、ソース信号線１８の寄生容量の充放電を十分に行い、所定の電流値を画素１６のトランジスタ１１ａにプログラムするためには、ソースドライバ１４から比較的大きな電流を出力する必要がある。しかし、このように大きな電流をソース信号線１８に流すとこの電流値が画素にプログラムされてしまい、所定の電流に対し大きな電流がＥＬ素子１５に流れる。たとえば、１０倍の電流でプログラムすれば、当然、１０倍の電流がＥＬ素子

１５に流れ、ＥＬ素子１５は１０倍の輝度で発光する。所定の発光輝度にするためには、ＥＬ素子１５に流れる時間を１／１０にすればよい。このように駆動することにより、ソース信号線１８の寄生容量を十分に充放電できるし、所定の発光輝度を得ることができる。

なお、１０倍の電流値を画素のトランジスタ１１ａ（正確にはコンデンサ１９の端子電圧を設定している）に書き込み、ＥＬ素子１５のオン時間を１／１０にするとしたがこれは一例である。場合によっては、１０倍の電流値を画素のトランジスタ１１ａに書き込み、ＥＬ素子１５のオン時間を１／５にしてもよい。逆に１０倍の電流値を画素のトランジスタ１１ａに書き込み、ＥＬ素子１５のオン時間を１／２倍にする場合もあるであろう。

本発明は、画素への書き込み電流を所定値以外の値にし、ＥＬ素子１５に流れる電流を間欠状態にして駆動することに特徴がある。本明細書では説明を容易にするため、Ｎ倍の電流値を画素のトランジスタ１１に書き込み、ＥＬ素子１５のオン時間を１／Ｎ倍にするとして説明する。しかし、これに限定するものではなく、Ｎ１倍の電流値を画素のトランジスタ１１に書き込み、ＥＬ素子１５のオン時間を１／（Ｎ２）倍（Ｎ１とＮ２とは異なる）でもよいことは言うまでもない。

白ラスター表示において、表示画面５０の１フィールド（フレーム）期間の平均輝度をＢ０と仮定する。この時、各画素１６の輝度Ｂ１が平均輝度Ｂ０よりも高くなるように電流（電圧）プログラムを行う駆動方法である。かつ、少なくとも１フィールド（フレーム）期間において、非表示領域５３が発生するようにする駆動方法である。したがって、本発明の駆動方法では、１フィールド（フレーム）期間の平均輝度はＢ１よりも低くなる。

なお、間欠する間隔（非表示領域５２／非表示領域５３）は等間隔に限定するものではない。たとえば、ランダムでもよい（全体として、表示期間もしくは非表示期間が所定値（一定割合）となればよい）。また、ＲＧＢで異なっていてもよい。つまり、白（ホワイト）バランスが最適になるように、Ｒ、Ｇ、Ｂ表示期間もしくは非表示期間が所定値（一定割合）となるように調整（設定）すればよい。

本発明の駆動方法の説明を容易にするため、１／Ｎとは、１Ｆ（１フィールドまたは１フレーム）を基準にしてこの１Ｆを１／Ｎにするとして説明する。しかし、１画素行が選択され、電流値がプログラムされる時間（通常、１水平走査期間（１Ｈ））があるし、また、走査状態によっては誤差も生じることは言うまでもない。

たとえば、Ｎ＝１０倍の電流で画素１６に電流プログラムし、１／５の期間の間、ＥＬ素子１５を点灯させてもよい。ＥＬ素子１５は、１０／５＝２倍の輝度で点灯する。Ｎ＝２倍の電流で画素１６に電流プログラムし、１／４の期間の間、ＥＬ素子１５を点灯させてもよい。ＥＬ素子１５は、２／４＝０．５倍の輝度で点灯する。つまり、本発明は、Ｎ＝１倍でない電流でプログラムし、かつ、常時点灯（１／１、つまり、間欠表示でない）状態以外の表示を実施するものである。また、ＥＬ素子１５に供給する電流を１フレーム（あるいは１フィールド）の期間において、少なくとも１回、オフする駆動方式である。また、所定値よりも大きな電流で画素１６にプログラムし、少なくとも、間欠表示を実施する駆動方式である。

有機（無機）ＥＬ表示装置は、ＣＲＴのように電子銃で線表示の集合として画像を表示するディスプレイとは表示方法が基本的に異なる点にも課題がある。つまり、ＥＬ表示装置では、１Ｆ（１フィールドあるいは１フレーム）の期間の間は、画素に書き込んだ電流（電圧）を保持する。そのため、動画表示を行うと表示画像の輪郭ぼけが発生するという課題が発生する。

本発明では、１Ｆ／Ｎの期間の間だけ、ＥＬ素子１５に電流を流し、他の期間（１Ｆ（Ｎ－１）／Ｎ）は電流を流さない。この駆動方式を実施し画面の一点を観測した場合を考える。この表示状態では１Ｆごとに画像データ表示、黒表示（非点灯）が繰り返し表示される。つまり、画像データ表示状態が時間的に間欠表示状態となる。動画データ表示を、間欠表示状態でみると画像の輪郭ぼけがなくなり良好な表示状態を実現できる。つまり、ＣＲＴに近い動画表示を実現することができる。

本発明の駆動方法では、間欠表示を実現する。しかし、間欠表示は、トランジスタ１１ｄ

を１Ｈ周期でオンオフ制御するだけでよい。したがって、回路のメインクロックは従来と変わらないため、回路の消費電力が増加することもない。液晶表示パネルでは、間欠表示を実現するために画像メモリが必要である。本発明は、画像データは各画素１６に保持されている。したがって、間欠表示を実施するための画像メモリは不要である。

本発明はスイッチングのトランジスタ１１ｄ、あるいはトランジスタ１１ｅなどをオンオフさせるだけでＥＬ素子１５に流す電流を制御する。つまり、ＥＬ素子１５に流れる電流Ｉｗをオフしても、画像データはそのままコンデンサ１９の保持されている。したがって、次のタイミングでトランジスタ１１ｄなどをオンさせ、ＥＬ素子１５に電流を流せば、その流れる電流は前に流れていた電流値と同一である。本発明では黒挿入（黒表示などの間欠表示）を実現する際においても、回路のメインクロックをあげる必要がない。また、時間軸伸張を実施する必要もないための画像メモリも不要である。また、有機ＥＬ素子１５は電流を印加してから発光するまでの時間が短く、高速に応答する。そのため、動画表示に適し、さらに間欠表示を実施することにより従来のデータ保持型の表示パネル（液晶表示パネル、ＥＬ表示パネルなど）の問題である動画表示の問題を解決できる。

さらに、大型の表示装置でソース信号線１８の配線長が長くなり、ソース信号線１８の寄生容量が大きくなる場合は、Ｎ値を大きくすることにより対応できる。ソース信号線１８に印加するプログラム電流値をＮ倍にした場合、ゲート信号線１７ｂ（トランジスタ１１ｄ）の導通期間を１Ｆ／Ｎとすればよい。これによりテレビ、モニターなどの大型表示装置などにも適用が可能である。

また、ソースドライバ回路１４の出力段は定電流回路７０４（図７０を参照のこと）で構成されている。定電流回路であるから、液晶表示パネルのソースドライバ回路のように、表示パネルの大きさに応じて出力段のバッファサイズを変化させる必要はない。

以下、図面を参照しながら、本発明の駆動方法についてさらに詳しく説明をする。ソース信号線１８の寄生容量は、隣接したソース信号線１８間の結合容量、ソースドライブＩＣ（回路）１４のバッファ出力容量、ゲート信号線１７とソース信号線１８とのクロス容量などにより発生する。この寄生容量は通常１０ｐＦ以上となる。電圧駆動の場合は、ソースドライバＩＣ１４からは低インピーダンスで電圧がソース信号線１８に印加されるため、寄生容量が多少大きくとも駆動では問題とならない。

しかし、電流駆動では特に黒レベルの画像表示では２０ｎＡ以下の微小電流で画素のコンデンサ１９をプログラムする必要がある。したがって、寄生容量が所定値以上の大きさで発生すると、１画素行にプログラムする時間（通常、１Ｈ以内、ただし、２画素行を同時に書き込む場合もあるので１Ｈ以内に限定されるものではない。）内に寄生容量を充放電することができない。１Ｈ期間で充放電できなければ、画素への書き込み不足となり、解像度がでない。

図１の画素構成の場合、図３の（ａ）に示すように、電流プログラム時は、プログラム電流Ｉｗがソース信号線１８に流れる。この電流Ｉｗがトランジスタ１１ａを流れ、Ｉｗを流す電流が保持されるように、コンデンサ１９に電圧設定（プログラム）される。このとき、トランジスタ１１ｄはオープン状態（オフ状態）である。

次に、ＥＬ素子１５に電流を流す期間は図３の（ｂ）のように、トランジスタ１１ｃ、１１ｂがオフし、トランジスタ１１ｄが動作する。つまり、ゲート信号線１７ａにオフ電圧（Ｖｇｈ）が印加され、トランジスタ１１ｂ、１１ｃがオフする。一方、ゲート信号線１７ｂにオン電圧（Ｖｇｌ）が印加され、トランジスタ１１ｄがオンする。

今、電流Ｉ１が本来流す電流（所定値）のＮ倍であるとすると、図３の（ｂ）のＥＬ素子１５に流れる電流もＩｗとなる。したがって、所定値の１０倍の輝度でＥＬ素子１５は発光する。つまり、図１２に図示するように、倍率Ｎを高くするほど、画素１６の表示輝度Ｂも高くなる。したがって、倍率と画素１６の輝度とは比例関係となる。

そこで、トランジスタ１１ｄを本来オンする時間（約１Ｆ）の１／Ｎの期間だけオンさせ、他の期間（Ｎ－１）／Ｎ期間はオフさせれば、１Ｆ全体の平均輝度は所定の輝度となる。この表示状態は、ＣＲＴが電子銃で画面を走査しているのと近似する。異なる点は、画面全体の１／Ｎ（全画面を１とする）が点灯している点である（ＣＲＴでは、点灯してい

る範囲は１画素行（厳密には１画素である）。
本発明では、この１Ｆ／Ｎの画像表示領域５３が図１３の（ｂ）に示すように画面５０の上から下に移動する。本発明では、１Ｆ／Ｎの期間の間だけ、ＥＬ素子１５に電流が流れ、他の期間（１Ｆ・（Ｎ－１）／Ｎ）は電流が流れない。したがって、各画素１６は間欠表示となる。しかし、人間の目には残像により画像が保持された状態となるので、全画面が均一に表示されているように見える。
なお、図１３に図示するように、書き込み画素行５１ａは非点灯表示５２ａとする。しかし、これは、図１、図２などの画素構成の場合である。図３８などで図示するカレントミラーの画素構成では、書き込み画素行５１ａは点灯状態としてもよい。しかし、本明細書では、説明を容易にするため、主として、図１の画素構成を例示して説明をする。また、図１３、図１６などの所定駆動電流Ｉｗよりも大きい電流でプログラムし、間欠駆動する駆動方法をＮ倍パルス駆動と呼ぶ。
この表示状態では１Ｆごとに画像データ表示、黒表示（非点灯）が繰り返し表示される。つまり、画像データ表示状態が時間的に飛び飛び表示（間欠表示）状態となる。液晶表示パネル（本発明以外のＥＬ表示パネル）では、１Ｆの期間、画素にデータが保持されているため、動画表示の場合は画像データが変化してもその変化に追従することができず、動画ボケとなっていた（画像の輪郭ボケ）。しかし、本発明では画像を間欠表示するため、画像の輪郭ぼけがなくなり良好な表示状態を実現できる。つまり、ＣＲＴに近い動画表示を実現することができる。
なお、図１３に図示するように、駆動するためには、画素１６の電流プログラム期間（図１の画素構成においては、ゲート信号線１７ａのオン電圧Ｖｇｌが印加されている期間）と、ＥＬ素子１５をオフまたはオン制御している期間（図１の画素構成においては、ゲート信号線１７ｂのオン電圧Ｖｇｌまたはオフ電圧Ｖｇｈが印加されている期間）とを独立に制御できる必要がある。したがって、ゲート信号線１７ａとゲート信号線１７ｂは分離されている必要がある。
たとえば、ゲートドライバ回路１２から画素１６に配線されたゲート信号線１７が１本である場合、ゲート信号線１７に印加されたロジック（ＶｇｈまたはＶｇｌ）をトランジスタ１１ｂに印加し、ゲート信号線１７に印加されたロジックをインバータで変換して（ＶｇｌまたはＶｇｈ）して、トランジスタ１１ｄに印加するという構成では、本発明の駆動方法は実施できない。したがって、本発明では、ゲート信号線１７ａを操作するゲートドライバ回路１２ａと、ゲート信号線１７ｂを操作するゲートドライバ回路１２ｂが必要となる。
また、本発明の駆動方法は、図１の画素構成においても、電流プログラム期間（１Ｈ）以外の期間においても、非点灯表示にする駆動方法である。
図１３の駆動方法のタイミングチャートを図１４に図示する。なお、本発明などにおいて、特に断りがない時の画素構成は図１であるとする。図１４でわかるように、各選択された画素行（選択期間は、１Ｈとしている）において、ゲート信号線１７ａにオン電圧（Ｖｇｌ）が印加されている時（図１４の（ａ）を参照）には、ゲート信号線１７ｂにはオフ電圧（Ｖｇｈ）が印加されている（図１４の（ｂ）を参照）。また、この期間は、ＥＬ素子１５には電流が流れていない（非点灯状態）。選択されていない画素行において、ゲート信号線１７ａにオフ電圧（Ｖｇｈ）が印加され、ゲート信号線１７ｂにはオン電圧（Ｖｇｌ）が印加されている。また、この期間は、ＥＬ素子１５に電流が流れている（点灯状態）。また、点灯状態では、ＥＬ素子１５は所定のＮ倍の輝度（Ｎ・Ｂ）で点灯し、その点灯期間は１Ｆ／Ｎである。したがって、１Ｆを平均した表示パネルの表示輝度は、（Ｎ・Ｂ）×（１／Ｎ）＝Ｂ（所定輝度）となる。
図１５は、図１４の動作を各画素行に適用した実施例である。ゲート信号線１７に印加する電圧波形を示している。電圧波形はオフ電圧をＶｇｈ（Ｈレベル）とし、オン電圧をＶｇｌ（Ｌレベル）としている。（１）（２）などの添え字は選択している画素行番号を示している。
図１５において、ゲート信号線１７ａ（１）が選択され（Ｖｇｌ電圧）、選択された画素

行のトランジスタ１１ａからソースドライバ回路１４に向かってソース信号線１８にプログラム電流が流れる。このプログラム電流は所定値のＮ倍（説明を容易にするため、Ｎ＝１０として説明する。もちろん、所定値とは画像を表示するデータ電流であるから、白ラスター表示などでない限り固定値ではない。）である。したがって、コンデンサ１９には１０倍に電流がトランジスタ１１ａに流れるようにプログラムされる。画素行（１）が選択されている時は、図１の画素構成ではゲート信号線１７ｂ（１）はオフ電圧（Ｖｇｈ）が印加され、ＥＬ素子１５には電流が流れない。

１Ｈ後には、ゲート信号線１７ａ（２）が選択され（Ｖｇｌ電圧）、選択された画素行のトランジスタ１１ａからソースドライバ回路１４に向かってソース信号線１８にプログラム電流が流れる。このプログラム電流は所定値のＮ倍（説明を容易にするため、Ｎ＝１０として説明する）である。したがって、コンデンサ１９には１０倍に電流がトランジスタ１１ａに流れるようにプログラムされる。画素行（２）が選択されている時は、図１の画素構成ではゲート信号線１７ｂ（２）はオフ電圧（Ｖｇｈ）が印加され、ＥＬ素子１５には電流が流れない。しかし、先の画素行（１）のゲート信号線１７ａ（１）にはオフ電圧（Ｖｇｈ）が印加され、ゲート信号線１７ｂ（１）にはオン電圧（Ｖｇｌ）が印加されるため、点灯状態となっている。

次の１Ｈ後には、ゲート信号線１７ａ（３）が選択され、ゲート信号線１７ｂ（３）はオフ電圧（Ｖｇｈ）が印加され、画素行（３）のＥＬ素子１５には電流が流れない。しかし、先の画素行（１）（２）のゲート信号線１７ａ（１）（２）にはオフ電圧（Ｖｇｈ）が印加され、ゲート信号線１７ｂ（１）（２）にはオン電圧（Ｖｇｌ）が印加されるため、点灯状態となっている。

以上の動作を１Ｈの同期信号に同期して画像を表示していく。しかし、図１５の駆動方式では、ＥＬ素子１５には１０倍の電流が流れる。したがって、表示画面５０は約１０倍の輝度で表示される。もちろん、この状態で所定の輝度表示を行うためには、プログラム電流を１／１０にしておけばよいことは言うまでもない。しかし、１／１０の電流であれば寄生容量などにより書き込み不足が発生するため、高い電流でプログラムし、非点灯領域５２の挿入により所定の輝度を得るのは本発明の基本的な主旨である。

なお、本発明の駆動方法において、所定電流よりも高い電流がＥＬ素子１５に流れるようにし、ソース信号線１８の寄生容量を十分に充放電するという概念である。つまり、ＥＬ素子１５にＮ倍の電流を流さなくともよい。たとえば、ＥＬ素子１５に並列に電流経路を形成し（ダミーのＥＬ素子を形成し、このＥＬ素子は遮光膜を形成して発光させないなど）、ダミーＥＬ素子とＥＬ素子１５に分流して電流を流しても良い。たとえば、信号電流が０．２μＡのとき、プログラム電流を２．２μＡとして、トランジスタ１１ａには２．２μＡを流す。この電流のうち、信号電流０．２μＡをＥＬ素子１５に流して、２μＡをダミーのＥＬ素子に流すなどの方式が例示される。つまり、図２７のダミー画素行２８１を常時選択状態にする。なお、ダミー画素行は発光させないか、もしくは、遮光膜などを形成し、発光していても視覚的に見えないように構成する。

以上のように構成することにより、ソース信号線１８に流す電流をＮ倍に増加させることにより、駆動用トランジスタ１１ａにＮ倍の電流が流れるようにプログラムすることができ、かつ、電流ＥＬ素子１５には、Ｎ倍よりは十分小さい電流を流すことができることになる。以上の方法では、図５に図示するように、非点灯領域５２を設けることなく、全表示画面５０を画像表示領域５３とすることができる。

図１３の（ａ）は表示画面５０への書き込み状態を図示している。図１３の（ａ）において、５１ａは書き込み画素行である。ソースドライバＩＣ１４から各ソース信号線１８にプログラム電流が供給される。なお、図１３などでは１Ｈ期間に書き込む画素行は１行である。しかし、何ら１Ｈに限定するものではなく、０．５Ｈ期間でも、２Ｈ期間でもよい。また、ソース信号線１８にプログラム電流を書き込むとしたが、本発明は電流プログラム方式に限定するものではなく、ソース信号線１８に書き込まれるのは電圧である電圧プログラム方式（図６２など）でもよい。

図１３の（ａ）において、ゲート信号線１７ａが選択されるとソース信号線１８に流れる

電流がトランジスタ１１ａにプログラムされる。この時、ゲート信号線１７ｂはオフ電圧が印加されＥＬ素子１５には電流が流れない。これは、ＥＬ素子１５側にトランジスタ１１ｄがオン状態であると、ソース信号線１８からＥＬ素子１５の容量成分が見え、この容量に影響されてコンデンサ１９に十分に正確な電流プログラムができなくなるためである。したがって、図１の構成を例にすれば、図１３の（ｂ）で示すように電流を書き込まれている画素行は非点灯領域５２となる。

今、Ｎ（ここでは、先に述べたようにＮ＝１０とする）倍の電流でプログラムしたとすれば、画面の輝度は１０倍になる。したがって、表示画面５０の９０％の範囲を非点灯領域５２とすればよい。したがって、画像表示領域の水平走査線がＱＣＩＦの２２０本（Ｓ＝２２０）とすれば、２２本と表示領域５３とし、２２０－２２＝１９８本を非表示領域５２とすればよい。一般的に述べれば、水平走査線（画素行数）をＳとすれば、Ｓ／Ｎの領域を表示領域５３とし、この表示領域５３をＮ倍の輝度で発光させる。そして、この表示領域５３を画面の上下方向に走査する。したがって、Ｓ（Ｎ－１）／Ｎの領域は非点灯領域５２とする。この非点灯領域は黒表示（非発光）である。また、この非発光部５２はトランジスタ１１ｄをオフさせることにより実現する。なお、Ｎ倍の輝度で点灯させるとしたが、当然のことながら明るさ調整、ガンマ調整によりＮ倍の値を調整することは言うまでもない。

また、先の実施例で、１０倍の電流でプログラムしたとすれば、画面の輝度は１０倍になり、表示画面５０の９０％の範囲を非点灯領域５２とすればよいとした。しかし、これは、ＲＧＢの画素を共通に非点灯領域５２とすることに限定するものではない。例えば、Ｒの画素は、１／８を非点灯領域５２とし、Ｇの画素は、１／６を非点灯領域５２とし、Ｂの画素は、１／１０を非点灯領域５２と、それぞれの色により変化させてもよい。また、ＲＧＢの色で個別に非点灯領域５２（あるいは点灯領域５３）を調整できるようにしてもよい。これらを実現するためには、Ｒ、Ｇ、Ｂで個別のゲート信号線１７ｂが必要になる。しかし、以上のＲＧＢの個別調整を可能にすることにより、ホワイトバランスを調整することが可能になり、各階調において色のバランス調整が容易になる（図４１を参照のこと）。

図１３の（ｂ）に図示するように、書き込み画素行５１ａを含む画素行が非点灯領域５２とし、書き込み画素行５１ａよりも上画面のＳ／Ｎ（時間的には１Ｆ／Ｎ）の範囲を表示領域５３とする（書き込み走査が画面の上から下方向の場合、画面を下から上に走査する場合は、その逆となる）。画像表示状態は、表示領域５３が帯状になって、画面の上から下に移動する。

図１３の表示では、１つの表示領域５３が画面の上から下方向に移動する。フレームレートが低いと、表示領域５３が移動するのが視覚的に認識される。特に、まぶたを閉じた時、あるいは顔を上下に移動させた時などに認識されやすくなる。

この課題に対しては、図１６に図示するように、表示領域５３を複数に分割するとよい。この分割された総和がＳ（Ｎ－１）／Ｎの面積となれば、図１３の明るさと同等になる。なお、分割された表示領域５３は等しく（等分に）する必要はない。また、分割された非表示領域５２も等しくする必要はない。

以上のように、表示領域５３を複数に分割することにより画面のちらつきは減少する。したがって、フリッカの発生はなく、良好な画像表示を実現できる。なお、分割はもっと細かくしてもよい。しかし、分割するほど動画表示性能は低下する。

図１７はゲート信号線１７の電圧波形およびＥＬの発光輝度を図示している。図１７で明らかなように、ゲート信号線１７ｂをＶｇｌにする期間（１Ｆ／Ｎ）を複数に分割（分割数Ｋ）している。つまり、Ｖｇｌにする期間は１Ｆ／（Ｋ・Ｎ）の期間をＫ回実施する。このように制御すれば、フリッカの発生を抑制でき、低フレームレートの画像表示を実現できる。また、この画像の分割数も可変できるように構成することが好ましい。たとえば、ユーザーが明るさ調整スイッチを押すことにより、あるいは明るさ調整ボリウムを回すことにより、この変化を検出してＫの値を変更してもよい。また、ユーザーが輝度を調整するように構成してもよい。表示する画像の内容、データにより手動で、あるいは自動的

に変化させるように構成してもよい。
なお、図１７などにおいて、ゲート信号線１７ｂをＶｇｌにする期間（１Ｆ／Ｎ）を複数に分割（分割数Ｋ）し、Ｖｇｌにする期間は１Ｆ／（Ｋ・Ｎ）の期間をＫ回実施するとしたがこれに限定するものではない。１Ｆ／（Ｋ・Ｎ）の期間をＬ（Ｌ≠Ｋ）回実施してもよい。つまり、本発明は、ＥＬ素子１５に流す期間（時間）を制御することにより表示画面５０を表示するものである。したがって、１Ｆ／（Ｋ・Ｎ）の期間をＬ（Ｌ≠Ｋ）回実施することは本発明の技術的思想に含まれる。また、Ｌの値を変化させることにより、表示画面５０の輝度をデジタル的に変更することができる。たとえば、Ｌ＝２とＬ＝３では５０％の輝度（コントラスト）変化となる。また、画像の表示領域５３を分割する時、ゲート信号線１７ｂをＶｇｌにする期間は同一期間に限定するものではない。
以上の実施例は、ＥＬ素子１５に流れる電流を遮断し、また、ＥＬ素子に流れる電流を接続することにより、表示画面５０をオンオフ（点灯、非点灯）するものであった。つまり、コンデンサ１９に保持された電荷によりトランジスタ１１ａに複数回、略同一電流を流すものである。本発明はこれに限定するものではない。たとえば、コンデンサ１９に保持された電荷を充放電させることにより、表示画面５０をオンオフ（点灯、非点灯）する方式でもよい。
図１８は図１６の画像表示状態を実現するための、ゲート信号線１７に印加する電圧波形である。図１８と図１５の差異は、ゲート信号線１７ｂの動作である。ゲート信号線１７ｂは画面を分割する個数に対応して、その個数分だけオンオフ（ＶｇｌとＶｇｈ）動作する。他の点は図１５と同一であるので説明を省略する。
ＥＬ表示装置では黒表示は完全に非点灯であるから、液晶表示パネルを間欠表示した場合のように、コントラスト低下もない。また、図１の構成においては、トランジスタ１１ｄをオンオフ操作するだけで間欠表示を実現できる。また、図３８、図５１の構成においては、トランジスタ素子１１ｅをオンオフ操作するだけで、間欠表示を実現することができる。これは、コンデンサ１９に画像データがメモリ（アナログ値であるから階調数は無限大）されているからである。つまり、各画素１６に、画像データは１Ｆの期間中は保持されている。この保持されている画像データに相当する電流をＥＬ素子１５に流すか否かをトランジスタ１１ｄ、１１ｅの制御により実現しているのである。
したがって、以上の駆動方法は、電流駆動方式に限定されるものではなく、電圧駆動方式にも適用できるものである。つまり、ＥＬ素子１５に流す電流が各画素内で保存している構成において、駆動用トランジスタ１１をＥＬ素子１５間の電流経路をオンオフすることにより、間欠駆動を実現するものである。
コンデンサ１９の端子電圧を維持することは重要である。１フィールド（フレーム）期間でコンデンサ１９の端子電圧が変化（充放電）すると、画面輝度が変化し、フレームレートが低下した時にちらつき（フリッカなど）が発生するからである。トランジスタ１１ａが１フレーム（１フィールド）期間でＥＬ素子１５に流す電流は、少なくとも６５％以下に低下しないようにする必要がある。この６５％とは、画素１６に書き込み、ＥＬ素子１５に流す電流の最初が１００％とした時、次のフレーム（フィールド）で前記画素１６に書き込む直前のＥＬ素子１５に流す電流が６５％以上とすることである。
図１の画素構成では、間欠表示を実現する場合としない場合では、１画素を構成するトランジスタ１１の個数に変化はない。つまり、画素構成はそのままで、ソース信号線１８の寄生容量の影響と除去し、良好な電流プログラムを実現している。その上、ＣＲＴに近い動画表示を実現しているのである。
また、ゲートドライバ回路１２の動作クロックはソースドライバ回路１４の動作クロックに比較して十分に遅いため、回路のメインクロックが高くなるということはない。また、Ｎの値の変更も容易である。
なお、画像表示方向（画像書き込み方向）は、１フィールド（１フレーム）目では画面の上から下方向とし、つぎの第２フィールド（フレーム）目では画面の下から上方向としてもよい。つまり、上から下方向と、下から上方向とを交互にくりかえす。
さらに、１フィールド（１フレーム）目では画面の上から下方向とし、いったん、全画面

を黒表示（非表示）とした後、つぎの第２フィールド（フレーム）目では画面の下から上方向としてもよい。また、いったん、全画面を黒表示（非表示）としてもよい。
なお、以上の駆動方法の説明では、画面の書き込み方法を画面の上から下あるいは下から上としたが、これに限定するものではない。画面の書き込み方向は絶えず、画面の上から下あるいは下から上と固定し、非表示領域５２の動作方向を１フィールド目では画面の上から下方向とし、つぎの第２フィールド目では画面の下から上方向としてもよい。また、１フレームを３フィールドに分割し、第１のフィールドではＲ、第２のフィールドではＧ、第３のフィールドではＢとして、３フィールドで１フレームを形成するとしてもよい。また、１水平走査期間（１Ｈ）ごとに、Ｒ、Ｇ、Ｂを切り替えて表示してもよい（図１７５から図１８０などを参照のこと）。以上の事項は他の本発明の実施例でも同様である。
非表示領域５２は完全に非点灯状態である必要はない。微弱な発光あるいは低輝度の画像表示があっても実用上は問題ない。つまり、画像表示領域５３よりも表示輝度が低い領域と解釈するべきである。また、非表示領域５２とは、Ｒ、Ｇ、Ｂ画像表示のうち、１色または２色のみが非表示状態という場合も含まれる。また、Ｒ、Ｇ、Ｂ画像表示のうち、１色または２色のみが低輝度の画像表示状態という場合も含まれる。
基本的には表示領域５３の輝度（明るさ）が所定値に維持される場合、表示領域５３の面積が広くなるほど、画面５０の輝度は高くなる。たとえば、表示領域５３の輝度が１００（ｎｔ）の場合、表示領域５３が全画面５０に占める割合が１０％から２０％にすれば、画面の輝度は２倍となる。したがって、全画面５０に占める表示領域５３の面積を変化させることにより、画面の表示輝度を変化することができる。画面５０の表示輝度は画面５０に占める表示領域５３の割合に比例する。
表示領域５３の面積はシフトレジスタ回路６１へのデータパルス（ＳＴ２）を制御することにより、任意に設定できる。また、データパルスの入力タイミング、周期を変化させることにより、図１６の表示状態と図１３の表示状態とを切り替えることができる。１Ｆ周期でのデータパルス数を多くすれば、画面５０は明るくなり、少なくすれば、画面５０は暗くなる。また、連続してデータパルスを印加すれば図１３の表示状態となり、間欠にデータパルスを入力すれば図１６の表示状態となる。
図１９の（ａ）は図１３のように表示領域５３が連続している場合の明るさ調整方式である。図１９（ａ１）の画面５０の表示輝度が最も明るい。図１９（ａ２）の画面５０の表示輝度が次に明るく、図１９（ａ３）の画面５０の表示輝度が最も暗い。図１９の（ａ）は最も動画表示に適する。
図１９（ａ１）から図１９（ａ３）への変化（あるいはその逆）は、先にも記載したようにゲートドライバ回路１２のシフトレジスタ回路６１などの制御により、容易に実現できる。この際、図１のＶｄｄ電圧は変化させる必要がない。つまり、電源電圧を変化させずに表示画面５０の輝度変化を実施できる。また、図１９（ａ１）から図１９（ａ３）への変化の際、画面のガンマ特性は全く変化しない。したがって、画面５０の輝度によらず、表示画像のコントラスト、階調特性が維持される。これは本発明の効果のある特徴である。
従来の画面の輝度調整では、画面５０の輝度が低い時は、階調性能が低下する。つまり、高輝度表示の時は６４階調表示を実現できても、低輝度表示の時は、半分以下の階調数しか表示できない場合がほとんどである。これに比較して、本発明の駆動方法では、画面の表示輝度に依存せず、最高の６４階調表示を実現できる。
図１９の（ｂ）は図１６のように表示領域５３が分散している場合の明るさ調整方式である。図１９（ｂ１）の画面５０の表示輝度が最も明るい。図１９（ｂ２）の画面５０の表示輝度が次に明るく、図１９（ｂ３）の画面５０の表示輝度が最も暗い。図１９（ｂ１）から図１９（ｂ３）への変化（あるいはその逆）は、先にも記載したようにゲートドライバ回路１２のシフトレジスタ回路６１などの制御により、容易に実現できる。図１９の（ｂ）のように表示領域５３を分散させれば、低フレームレートでもフリッカが発生しない。
さらに低フレームレートでも、フリッカが発生しないようにするには、図１９の（ｃ）の

ように表示領域５３を細かく分散させればよい。しかし、動画の表示性能は低下する。したがって、動画を表示するには、図１９の（ａ）の駆動方法が適している。静止画を表示し、低消費電力化を要望する時は、図１９の（ｃ）の駆動方法が適している。図１９の（ａ）から図１９の（ｃ）の駆動方法の切り替えも、シフトレジスタ回路６１の制御により容易に実現できる。

以上の実施例は、主として、Ｎ＝２倍、４倍などにする実施例であった。しかし、本発明は整数倍に限定されるものではないことは言うまでもない。また、Ｎ＝２以上に限定されるものでもない。たとえば、ある時刻で表示画面５０の半分以下の領域を非点灯領域５２とすることもある。所定値の５／４倍の電流Ｉｗで電流プログラムし、１Ｆの４／５期間点灯させれば、所定の輝度を実現できる。

本発明はこれに限定されるものではない。一例として、１０／４倍の電流Ｉｗで電流プログラミングし、１Ｆの４／５期間の間点灯させるという方法もある。この場合は、所定輝度の２倍で点灯する。また、５／４倍の電流Ｉｗで電流プログラミングし、１Ｆの２／５期間の間点灯させるという方法もある。この場合は、所定輝度の１／２倍で点灯する。また、５／４倍の電流Ｉｗで電流プログラミングし、１Ｆの１／１期間の間点灯させるという方法もある。この場合は、所定輝度の５／４倍で点灯する。

つまり、本発明は、プログラム電流の大きさと、１Ｆの点灯期間を制御することにより、表示画面の輝度を制御する方式である。かつ、１Ｆ期間よりも短い期間点灯させることにより、非点灯領域５２を挿入でき、動画表示性能を向上できる。１Ｆの期間、常時点灯させることにより明るい画面を表示できる。

画素に書き込む電流（ソースドライバ回路１４から出力するプログラム電流）は、画素サイズがＡ平方ｍｍとし、白ラスター表示所定輝度をＢ（ｎｔ）とした時、プログラム電流Ｉ（μＡ）は、

（Ａ×Ｂ）／２０＜＝Ｉ＜＝（Ａ×Ｂ）

の範囲とすることが好ましい。発光効率が良好となり、かつ、電流書込み不足が解消する。

さらに、好ましくは、プログラム電流Ｉ（μＡ）は、

（Ａ×Ｂ）／１０＜＝Ｉ＜＝（Ａ×Ｂ）

の範囲とすることが好ましい。

図２０はソース信号線１８に流れる電流を増大させる他の実施例の説明図である。基本的に複数の画素行を同時に選択し、複数の画素行をあわせた電流でソース信号線１８の寄生容量などを充放電し電流書き込み不足を大幅に改善する方式である。ただし、複数の画素行を同時に選択するため、１画素あたりの駆動する電流を減少させることができる。したがって、ＥＬ素子１５に流れる電流を減少させることができる。ここで、説明を容易にするため、一例として、Ｎ＝１０として説明する（ソース信号線１８に流す電流を１０倍にする）。

図２０で説明する本発明は、画素行は同時にＭ画素行を選択する。ソースドライバＩＣ１４からは所定電流のＮ倍電流をソース信号線１８に印加する。各画素にはＥＬ素子１５に流す電流のＮ／Ｍ倍の電流がプログラムされる。一例として、ＥＬ素子１５を所定発光輝度とするために、ＥＬ素子１５に流れる時間を１フレーム（１フィールド）のＭ／Ｎ時間にする（ただし、Ｍ／Ｎに限定するものではない。Ｍ／Ｎとするのは理解を容易にするためである。先にも説明したように、表示する画面５０輝度により自由に設定できることはいうまでもない。）。このように駆動することにより、ソース信号線１８の寄生容量を十分に充放電でき、良好な解像度を所定の発光輝度を得ることができる。

１フレーム（１フィールド）のＭ／Ｎの期間の間だけ、ＥＬ素子１５に電流を流し、他の期間（１Ｆ（Ｎ－１）Ｍ／Ｎ）は電流を流さないように表示する。この表示状態では１Ｆごとに画像データ表示、黒表示（非点灯）が繰り返し表示される。つまり、画像データ表示状態が時間的に飛び飛び表示（間欠表示）状態となる。したがって、画像の輪郭ぼけがなくなり良好な動画表示を実現できる。また、ソース信号線１８にはＮ倍の電流で駆動するため、寄生容量の影響をうけず、高精細表示パネルにも対応できる。

図２１は、図２０の駆動方法を実現するための駆動波形の説明図である。信号波形はオフ電圧をＶｇｈ（Ｈレベル）とし、オン電圧をＶｇｌ（Ｌレベル）としている。各信号線の添え字は画素行の番号（（１）（２）（３）など）を記載している。なお、行数はＱＣＩＦ表示パネルの場合は２２０本であり、ＶＧＡパネルでは４８０本である。

図２１において、ゲート信号線１７ａ（１）が選択され（Ｖｇｌ電圧）、選択された画素行のトランジスタ１１ａからソースドライバ回路１４に向かってソース信号線１８にプログラム電流が流れる。ここでは説明を容易にするため、まず、書き込み画素行５１ａが画素行（１）番目であるとして説明する。

また、ソース信号線１８に流れるプログラム電流は所定値のＮ倍（説明を容易にするため、Ｎ＝１０として説明する。もちろん、所定値とは画像を表示するデータ電流であるから、白ラスター表示などでない限り固定値ではない。）である。また、５画素行が同時に選択（Ｍ＝５）として説明をする。したがって、理想的には１つの画素のコンデンサ１９には２倍（Ｎ／Ｍ＝１０／５＝２）に電流がトランジスタ１１ａに流れるようにプログラムされる。

書き込み画素行が（１）画素行目である時、図２１で図示したように、ゲート信号線１７ａは（１）（２）（３）（４）（５）が選択されている。つまり、画素行（１）（２）（３）（４）（５）のスイッチングトランジスタ１１ｂ、トランジスタ１１ｃがオン状態である。また、ゲート信号線１７ｂはゲート信号線１７ａの逆位相となっている。したがって、画素行（１）（２）（３）（４）（５）のスイッチングトランジスタ１１ｄがオフ状態であり、対応する画素行のＥＬ素子１５には電流が流れていない。つまり、非点灯状態５２である。

理想的には、５画素のトランジスタ１１ａが、それぞれＩｗ×２の電流をソース信号線１８に流す（つまり、ソース信号線１８にはＩｗ×２×Ｎ＝Ｉｗ×２×５＝Ｉｗ×１０。したがって、本発明のＮ倍パルス駆動を実施しない場合が所定電流Ｉｗとすると、Ｉｗの１０倍の電流がソース信号線１８に流れる）。

以上の動作（駆動方法）により、各画素１６のコンデンサ１９には、２倍の電流がプログラムされる。ここでは、理解を容易にするため、各トランジスタ１１ａは特性（Ｖｔ、Ｓ値）が一致しているとして説明をする。

同時に選択する画素行が５画素行（Ｍ＝５）であるから、５つの駆動用トランジスタ１１ａが動作する。つまり、１画素あたり、１０／５＝２倍の電流がトランジスタ１１ａに流れる。ソース信号線１８には、５つのトランジスタ１１ａのプログラム電流を加えた電流が流れる。たとえば、書き込み画素行５１ａに、本来、書き込む電流Ｉｗとし、ソース信号線１８には、Ｉｗ×１０の電流を流す。書き込み画素行（１）より以降に画像データを書き込む書き込み画素行５１ｂソース信号線１８への電流量を増加させるため、補助的に用いる画素行である。しかし、書き込み画素行５１ｂは後に正規の画像データが書き込まれるので問題がない。

したがって、４画素行５１ｂにおいて、１Ｈ期間の間は５１ａと同一表示である。そのため、書き込み画素行５１ａと電流を増加させるために選択した画素行５１ｂとを少なくとも非表示状態５２とするのである。ただし、図３８のようなカレントミラーの画素構成、その他の電圧プログラム方式の画素構成では表示状態としてもよい。

１Ｈ後には、ゲート信号線１７ａ（１）は非選択となり、ゲート信号線１７ｂにはオン電圧（Ｖｇｌ）が印加される。また、同時に、ゲート信号線１７ａ（６）が選択され（Ｖｇｌ電圧）、選択された画素行（６）のトランジスタ１１ａからソースドライバ回路１４に向かってソース信号線１８にプログラム電流が流れる。このように動作することにより、画素行（１）には正規の画像データが保持される。

次の、１Ｈ後には、ゲート信号線１７ａ（２）は非選択となり、ゲート信号線１７ｂにはオン電圧（Ｖｇｌ）が印加される。また、同時に、ゲート信号線１７ａ（７）が選択され（Ｖｇｌ電圧）、選択された画素行（７）のトランジスタ１１ａからソースドライバ回路１４に向かってソース信号線１８にプログラム電流が流れる。このように動作することにより、画素行（２）には正規の画像データが保持される。以上の動作と１画素行ずつシフ

トしながら走査することにより１画面が書き換えられる。
図２０の駆動方法では、各画素には２倍の電流（電圧）でプログラムを行うため、各画素のＥＬ素子１５の発光輝度は理想的には２倍となる。したがって、表示画面の輝度は所定値よりも２倍となる。これを所定の輝度とするためには、図１６に図示するように、書き込み画素行５１を含み、かつ表示画面５０の１／２の範囲を非表示領域５２とすればよい。
図１３と同様に、図２０のように１つの表示領域５３が画面の上から下方向に移動すると、フレームレートが低いと、表示領域５３が移動するのが視覚的に認識される。特に、まぶたを閉じた時、あるいは顔を上下に移動させた時などに認識されやすくなる。
この課題に対しては、図２２に図示するように、表示領域５３を複数に分割するとよい。分割された非表示領域５２を加えた部分がＳ（Ｎ－１）／Ｎの面積となれば、分割しない場合と同一となる。
図２３はゲート信号線１７に印加する電圧波形である。図２１と図２３との差異は、基本的にはゲート信号線１７ｂの動作である。ゲート信号線１７ｂは画面を分割する個数に対応して、その個数分だけオンオフ（ＶｇｌとＶｇｈ）動作する。他の点は図２１とほぼ同一あるいは類推できるので説明を省略する。
以上のように、表示領域５３を複数に分割することにより画面のちらつきは減少する。したがって、フリッカの発生はなく、良好な画像表示を実現できる。なお、分割はもっと細かくしてもよい。しかし、分割すればするほどフリッカは軽減する。特にＥＬ素子１５の応答性は速いため、５μｓｅｃよりも小さい時間でオンオフしても、表示輝度の低下はない。
本発明の駆動方法において、ＥＬ素子１５のオンオフは、ゲート信号線１７ｂに印加する信号のオンオフで制御できる。そのため、本発明の駆動方法では、ＫＨｚオーダーの低周波数で制御が可能である。また、黒画面挿入（非表示領域５２挿入）を実現するのには、画像メモリなどを必要としない。したがって、低コストで本発明の駆動回路あるいは方法を実現できる。
図２４は同時に選択する画素行が２画素行の場合である。検討した結果によると、低温ポリシリコン技術で形成した表示パネルでは、２画素行を同時に選択する方法は表示均一性が実用的であった。これは、隣接した画素の駆動用トランジスタ１１ａの特性が極めて一致しているためと推定される。また、レーザーアニールする際に、ストライプ状のレーザーの照射方向はソース信号線１８と平行に照射することで良好な結果が得られた。
これは同一時間にアニールされる範囲の半導体膜は特性が均一であるためである。つまり、ストライプ状のレーザー照射範囲内では半導体膜が均一に作製され、この半導体膜を利用したトランジスタのＶｔ、モビリティがほぼ等しくなるためである。したがって、ソース信号線１８の形成方向に平行にストライプ状のレーザーショットを照射し、この照射位置を移動させることにより、ソース信号線１８に沿った画素（画素列、画面の上下方向の画素）の特性はほぼ等しく作製される。したがって、複数の画素行を同時にオンさせて電流プログラムを行った時、プログラム電流は、同時に選択されて複数の画素にはプログラム電流を選択された画素数で割った電流が、ほぼ同一に電流プログラムされる。したがって、目標値に近い電流プログラムを実施でき、均一表示を実現できる。したがって、レーザーショット方向と図２４などで説明する駆動方式とは相乗効果がある。
以上のように、レーザーショットの方向をソース信号線１８の形成方向と略一致させる（図７を参照のこと）ことにより、画素の上下方向のトランジスタ１１ａの特性がほぼ同一になり、良好な電流プログラムを実施することができる（画素の左右方向のトランジスタ１１ａの特性が一致していなくとも）。以上の動作は、１Ｈ（１水平走査期間）に同期して、１画素行あるいは複数画素行ずつ選択画素行位置をずらせて実施する。
なお、図８で説明したように、レーザーショットの方向をソース信号線１８と平行にするとしたが、必ずしも平行でなくともよい。ソース信号線１８に対して斜め方向にレーザーショットを照射しても１つのソース信号線１８に沿った画素の上下方向のトランジスタ１１ａの特性はほぼ一致して形成されるからある。したがって、ソース信号線に平行にレー

ザーショットを照射するとは、ソース信号線１８の沿った任意の画素の上または下に隣接した画素を、１つのレーザー照射範囲に入るように形成するということである。また、ソース信号線１８とは一般的には、映像信号となるプログラム電流あるいは電圧を伝達する配線である。

なお、本発明の実施例では１Ｈごとに、書き込み画素行位置をシフトさせるとしたが、これに限定するものではなく、２Ｈごとにシフト（２画素行ごと）してもよく、また、それ以上の画素行ずつシフトさせてもよい。また、任意の時間単位でシフトしてもよい。また、１画素行とばしでシフトしてもよい。

画面位置に応じて、シフトする時間を変化させてもよい。たとえば、画面の中央部でのシフト時間を短くし、画面の上下部でシフト時間を長くしてもよい。たとえば、画面５０の中央部は２００μｓｅｃごとに１画素行をシフトし、画面５０の上下部は、１００μｓｅｃごとに１画素行をシフトする。このようにシフトすることにより、画面５０の中央部の発光輝度が高くなり、周辺（画面５０の上部と下部）を低くできる）。なお、画面５０の中央部と画面上部のシフト時間、画面５０の中央部と画面下部のシフト時間は滑らかに時間変化するようにし、輝度輪郭がでないように制御することは言うまでもない。

なお、ソースドライバ回路１４の基準電流を画面５０の走査位置に対応して変化（図１４６などを参照のこと）させてもよい。たとえば、画面５０の中央部の基準電流を１０μＡとし、画面５０の上下部の基準電流は５μＡとする。このように画面５０位置に対応して基準電流を変化させることにより、画面５０の中央部の発光輝度が高くなり、周辺（画面５０の上部と下部）を低くできる）。なお、画面５０の中央部と画面上部との間の基準電流、画面５０の中央部と画面下部との間の基準電流の値は滑らかに時間変化するようにし、輝度輪郭がでないように基準電流を制御することは言うまでもない。

また、画面位置に応じて、画素行をシフトする時間を制御する駆動方法と、画面５０位置に対応して基準電流を変化させる駆動方法を組み合わせて画像表示を行っても良いことは言うまでもない。

フレームごとにシフト時間を変化させてもよい。また、連続した複数画素行を選択することに限定するものではない。例えば、１画素行へだてた画素行を選択してもよい。

つまり、第１番目の水平走査期間に第１番目の画素行と第３番目の画素行を選択し、第２番目の水平走査期間に第２番目の画素行と第４番目の画素行を選択し、第３番目の水平走査期間に第３番目の画素行と第５番目の画素行を選択し、第４番目の水平走査期間に第４番目の画素行と第６番目の画素行を選択する駆動方法である。もちろん、第１番目の水平走査期間に第１番目の画素行と第３番目の画素行と第５番目の画素行を選択するという駆動方法も技術的範疇である。もちろん、複数画素行へだてた画素行位置を選択してもよい。

なお、以上のレーザーショット方向と、複数本の画素行を同時に選択するという組み合わせは、図１、図２、図３２の画素構成のみに限定されるものではなく、カレントミラーの画素構成である図３８、図４２、図５０などの他の電流駆動方式の画素構成にも適用できることはいうまでもない。また、図４３、図５１、図５４、図６２などの電圧駆動の画素構成にも適用できる。つまり、画素上下のトランジスタの特性が一致しておれば、同一のソース信号線１８に印加した電圧値により良好に電圧プログラムを実施できるからである。

図２４において、書き込み画素行が（１）画素行目である時、ゲート信号線１７ａは（１）（２）が選択されている（図２５を参照のこと）。つまり、画素行（１）（２）のスイッチングトランジスタ１１ｂ、トランジスタ１１ｃがオン状態である。したがって、少なくとも画素行（１）（２）のスイッチングトランジスタ１１ｄがオフ状態であり、対応する画素行のＥＬ素子１５には電流が流れていない。つまり、非点灯状態５２である。なお、図２４では、フリッカの発生を低減するため、表示領域５３を５分割している。

理想的には、２画素（行）のトランジスタ１１ａが、それぞれＩｗ×５（Ｎ＝１０の場合。つまり、Ｋ＝２であるから、ソース信号線１８に流れる電流はＩｗ×Ｋ×５＝Ｉｗ×１０となる）の電流をソース信号線１８に流す。そして、各画素１６のコンデンサ１９には

、５倍の電流がプログラムされる。
同時に選択する画素行が２画素行（Ｋ＝２）であるから、２つの駆動用トランジスタ１１ａが動作する。つまり、１画素あたり、１０／２＝５倍の電流がトランジスタ１１ａに流れる。ソース信号線１８には、２つのトランジスタ１１ａのプログラム電流を加えた電流が流れる。
たとえば、書き込み画素行５１ａに、本来、書き込む電流１ｄとし、ソース信号線１８には、Ｉｗ×１０の電流を流す。書き込み画素行５１ｂは後に正規の画像データが書き込まれるので問題がない。画素行５１ｂは、１Ｈ期間の間は５１ａと同一表示である。そのため、書き込み画素行５１ａと電流を増加させるために選択した画素行５１ｂとを少なくとも非表示状態５２とするのである。
次の、１Ｈ後には、ゲート信号線１７ａ（１）は非選択となり、ゲート信号線１７ｂにはオン電圧（Ｖｇｌ）が印加される。また、同時に、ゲート信号線１７ａ（３）が選択され（Ｖｇｌ電圧）、選択された画素行（３）のトランジスタ１１ａからソースドライバ回路１４に向かってソース信号線１８にプログラム電流が流れる。このように動作することにより、画素行（１）には正規の画像データが保持される。
次の、１Ｈ後には、ゲート信号線１７ａ（２）は非選択となり、ゲート信号線１７ｂにはオン電圧（Ｖｇｌ）が印加される。また、同時に、ゲート信号線１７ａ（４）が選択され（Ｖｇｌ電圧）、選択された画素行（４）のトランジスタ１１ａからソースドライバ回路１４に向かってソース信号線１８にプログラム電流が流れる。このように動作することにより、画素行（２）には正規の画像データが保持される。以上の動作と１画素行ずつシフト（もちろん、複数画素行ずつシフトしてもよい。たとえば、擬似インターレース駆動であれば、２行ずつシフトするであろう。また、画像表示の観点から、複数の画素行に同一画像を書き込む場合もあるであろう）しながら走査することにより１画面が書き換えられる。
図１６と同様であるが、図２４の駆動方法では、各画素には５倍の電流（電圧）でプログラムを行うため、各画素のＥＬ素子１５の発光輝度は理想的には５倍となる。したがって、表示領域５３の輝度は所定値よりも５倍となる。これを所定の輝度とするためには、図１６などに図示するように、書き込み画素行５１を含み、かつ表示画面１の１／５の範囲を非表示領域５２とすればよい。
図２７に図示するように、２本の書き込み画素行５１（５１ａ、５１ｂ）が選択され、画面５０の上辺から下辺に順次選択されていく（図２６も参照のこと。図２６では画素１６ａと１６ｂが選択されている）。しかし、図２７の（ｂ）のように、画面の下辺までくると書き込み画素行５１ａは存在するが、５１ｂはなくなる。つまり、選択する画素行が１本しかなくなる。そのため、ソース信号線１８に印加された電流は、すべて画素行５１ａに書き込まれる。したがって、画素行５１ａに比較して、２倍の電流が画素にプログラムされてしまう。
この課題に対して、本発明は、図２７の（ｂ）に図示するように画面５０の下辺にダミー画素行２８１を形成（配置）している。したがって、選択画素行が画面５０の下辺まで選択された場合は、画面５０の最終画素行とダミー画素行２８１が選択される。そのため、図２７の（ｂ）の書き込み画素行には、規定どおりの電流が書き込まれる。
なお、ダミー画素行２８１は表示画面５０の上端あるいは下端に隣接して形成したように図示したが、これに限定するものではない。表示画面５０から離れた位置に形成されていてもよい。また、ダミー画素行２８１は、図１のスイッチングトランジスタ１１ｄ、ＥＬ素子１５などは形成する必要はない。形成しないことにより、ダミー画素行２８１のサイズは小さくなる。
図２８は図２７の（ｂ）の状態を示している。図２８で明らかなように、選択画素行が画面５０の下辺の画素１６ｃ行まで選択された場合は、画面５０の最終画素行（ダミー画素行）２８１が選択される。ダミー画素行２８１は表示画面５０外に配置する。つまり、ダミー画素行（ダミー画素）２８１は点灯しない、あるいは点灯させない、もしくは点灯しても表示として見えないように構成する。たとえば、画素電極１０５とトランジスタ１１

とのコンタクトホールをなくすとか、ダミー画素行２８１にはＥＬ膜１５を形成しないとかである。また、ダミー画素行の画素電極１０５上に絶縁膜を形成する構成などが例示される。

図２７では、画面５０の下辺にダミー画素（行）２８１を設ける（形成する、配置する）としたが、これに限定するものではない。たとえば、図２９の（ａ）に図示するように、画面の下辺から上辺に走査する（上下逆転走査）する場合は、図２９の（ｂ）に図示するように画面５０の上辺にもダミー画素行２８１を形成すべきである。つまり、画面５０の上辺を下辺のそれぞれにダミー画素行２８１を形成（配置）する。以上のように構成することにより、画面の上下反転走査にも対応できるようになる。以上の実施例は、２画素行を同時選択する場合であった。

本発明はこれに限定するものではなく、たとえば、５画素行を同時選択する方式（図２３を参照のこと）でもよい。つまり、５画素行同時駆動の場合は、ダミー画素行２８１は４行分形成すればよい。したがって、ダミー画素行２８１は同時に選択する画素行－１の画素数分を形成すればよい。ただし、これは、１画素行ずつ選択する画素行をシフトする場合である。複数画素行ずつシフトする場合は、選択する画素数をＭとし、シフトする画素行数をＬとしたとき、（Ｍ－１）×Ｌ画素行分を形成すればよい。

本発明のダミー画素行構成あるいはダミー画素行駆動は、少なくとも１つ以上のダミー画素行を用いる方式である。もちろん、ダミー画素行駆動方法とＮ倍パルス駆動とを組み合わせて用いることが好ましい。

複数本の画素行を同時に選択する駆動方法では、同時に選択する画素行数が増加するほど、トランジスタ１１ａの特性バラツキを吸収することが困難になる。しかし、同時選択画素行数Ｍが少なくなると、１画素にプログラムする電流が大きくなり、ＥＬ素子１５に大きな電流を流すことになる。ＥＬ素子１５に流す電流が大きいとＥＬ素子１５が劣化しやすくなる。

図３０はこの課題を解決するものである。図３０の基本概念は、１／２Ｈ（水平走査期間の１／２）は、図２２、図２９で説明したように、複数の画素行を同時に選択する方法である。その後の（１／２）Ｈ（水平走査期間の１／２）は図５、図１３などで説明したように、１画素行を選択する方法を組み合わせたものである。このようにくみあわせることにより、トランジスタ１１ａの特性バラツキを吸収し、より高速にかつ面内均一性を良好にすることができる。なお、理解を容易にするため、（１／２）Ｈで操作するとして説明するがこれに限定するものではない。最初の期間を（１／４）Ｈとし、後半の期間を（３／４）Ｈとしてもよい。

図３０において、説明を容易にするため、第１の期間では５画素行を同時に選択し、第２の期間では１画素行を選択するとして説明をする。まず、第１の期間（前半の１／２Ｈ）では、図３０（ａ１）に図示するように、５画素行を同時に選択する。この動作は図２２を用いて説明したので省略する。一例としてソース信号線１８に流す電流は所定値の２５倍とする。したがって、各画素１６のトランジスタ１１ａ（図１の画素構成の場合）には５倍の電流（２５／５画素行＝５）がプログラムされる。２５倍の電流であるから、ソース信号線１８などに発生する寄生容量は極めて短期間に充放電される。したがって、ソース信号線１８の電位は、短時間で目標の電位となり、各画素１６のコンデンサ１９の端子電圧も２５倍電流を流すようにプログラムされる。この２５倍電流の印加時間は前半の１／２Ｈ（１水平走査期間の１／２）とする。

当然のことながら、書き込み画素行の５画素行は同一画像データが書き込まれるから、表示しないように５画素行のトランジスタ１１ｄはオフ状態とされる。したがって、表示状態は図３０（ａ２）となる。

次の後半の１／２Ｈ期間は、１画素行を選択し、電流（電圧）プログラムを行う。この状態を図３０（ｂ１）に図示している。書き込み画素行５１ａは先と同様に５倍の電流を流すように電流（電圧）プログラムされる。図３０（ａ１）と図３０（ｂ１）とで各画素に流す電流を同一にするのは、プログラムされたコンデンサ１９の端子電圧の変化を小さくして、より高速に目標の電流を流せるようにするためである。

つまり、図３０（ａ１）で、複数の画素に電流を流し、高速に概略の電流が流れる値まで近づける。この第１の段階では、複数のトランジスタ１１ａでプログラムしているため、目標値に対してトランジスタのバラツキによる誤差が発生している。次の第２の段階で、データを書き込みかつ保持する画素行のみを選択して、概略の目標値から、所定の目標値まで完全なプログラムを行うのである。
なお、非点灯領域５２を画面の上から下方向に走査し、また、書き込み画素行５１ａも画面の上から下方向に走査することは図１３などの実施例と同様であるので説明を省略する。
図３１は図３０の駆動方法を実現するための駆動波形である。図３１でわかるように、１Ｈ（１水平走査期間）は２つのフェーズで構成されている。この２つのフェーズはＩＳＥＬ信号で切り替える。ＩＳＥＬ信号は図３１に図示している。
まず、ＩＳＥＬ信号について説明をしておく。図３０を実施するドライバ回路１４は、電流出力回路Ａと電流出力回路Ｂとを具備している。それぞれの電流出力回路は、８ビットの階調データをＤＡ変換するＤＡ回路とオペアンプなどから構成される。図３０の実施例では、電流出力回路Ａは２５倍の電流を出力するように構成されている。一方、電流出力回路Ｂは５倍の電流を出力するように構成されている。電流出力回路Ａと電流出力回路Ｂの出力はＩＳＥＬ信号により電流出力部に形成（配置）されたスイッチ回路が制御され、ソース信号線１８に印加される。この電流出力回路は各ソース信号線に配置されている。ＩＳＥＬ信号は、Ｌレベルの時、２５倍電流を出力する電流出力回路Ａが選択されてソース信号線１８からの電流をソースドライバＩＣ１４が吸収する（より適切には、ソースドライバ回路１４内に形成された電流出力回路Ａが吸収する）。２５倍、５倍などの電流出力回路電流の大きさ調整は容易である。複数の抵抗とアナログスイッチで容易に構成できるからである。
図３０に示すように書き込み画素行が（１）画素行目である時（図３０の１Ｈの欄を参照）、ゲート信号線１７ａは（１）（２）（３）（４）（５）が選択されている（図１の画素構成の場合）。つまり、画素行（１）（２）（３）（４）（５）のスイッチングトランジスタ１１ｂ、トランジスタ１１ｃがオン状態である。また、ＩＳＥＬがＬレベルであるから、２５倍電流を出力する電流出力回路Ａが選択され、ソース信号線１８と接続されている。また、ゲート信号線１７ｂには、オフ電圧（Ｖｇｈ）が印加されている。したがって、画素行（１）（２）（３）（４）（５）のスイッチングトランジスタ１１ｄがオフ状態であり、対応する画素行のＥＬ素子１５には電流が流れていない。つまり、非点灯状態５２である。
理想的には、５画素のトランジスタ１１ａが、それぞれＩｗ×２の電流をソース信号線１８に流す。そして、各画素１６のコンデンサ１９には、５倍の電流がプログラムされる。ここでは、理解を容易にするため、各トランジスタ１１ａは特性（Ｖｔ、Ｓ値）が一致しているとして説明をする。
同時に選択する画素行が５画素行（Ｋ＝５）であるから、５つの駆動用トランジスタ１１ａが動作する。つまり、１画素あたり、２５／５＝５倍の電流がトランジスタ１１ａに流れる。ソース信号線１８には、５つのトランジスタ１１ａのプログラム電流を加えた電流が流れる。たとえば、書き込み画素行５１ａに、従来の駆動方法で画素に書き込む電流Ｉｗとする時、ソース信号線１８には、Ｉｗ×２５の電流を流す。書き込み画素行（１）より以降に画像データを書き込む書き込み画素行５１ｂソース信号線１８への電流量を増加させるため、補助的に用いる画素行である。しかし、書き込み画素行５１ｂは後に正規の画像データが書き込まれるので問題がない。
したがって、画素行５１ｂは、１Ｈ期間の間は５１ａと同一表示である。そのため、書き込み画素行５１ａと電流を増加させるために選択した画素行５１ｂとを少なくとも非表示状態５２とするのである。
次の１／２Ｈ（水平走査期間の１／２）では、書き込み画素行５１ａのみを選択する。つまり、（１）画素行目のみを選択する。図３１で明らかなように、ゲート信号線１７ａ（１）のみが、オン電圧（Ｖｇｌ）が印加され、ゲート信号線１７ａ（２）（３）（４）（

５）はオフ（Ｖｇｈ）が印加されている。したがって、画素行（１）のトランジスタ１１ａは動作状態（ソース信号線１８に電流を供給している状態）であるが、画素行（２）（３）（４）（５）のスイッチングトランジスタ１１ｂ、トランジスタ１１ｃがオフ状態である。つまり、非選択状態である。
また、ＩＳＥＬがＨレベルであるから、５倍電流を出力する電流出力回路Ｂが選択され、この電流出力回路Ｂとソース信号線１８とが接続されている。また、ゲート信号線１７ｂの状態は先の１／２Ｈの状態と変化がなく、オフ電圧（Ｖｇｈ）が印加されている。したがって、画素行（１）（２）（３）（４）（５）のスイッチングトランジスタ１１ｄがオフ状態であり、対応する画素行のＥＬ素子１５には電流が流れていない。つまり、非点灯状態５２である。
以上のことから、画素行（１）のトランジスタ１１ａが、それぞれＩｗ×５の電流をソース信号線１８に流す。そして、各画素行（１）のコンデンサ１９には、５倍の電流がプログラムされる。
次の水平走査期間では１画素行、書き込み画素行がシフトする。つまり、今度は書き込み画素行が（２）である。最初の１／２Ｈの期間では、図３１に示すように書き込み画素行が（２）画素行目である時、ゲート信号線１７ａは（２）（３）（４）（５）（６）が選択されている。つまり、画素行（２）（３）（４）（５）（６）のスイッチングトランジスタ１１ｂ、トランジスタ１１ｃがオン状態である。また、ＩＳＥＬがＬレベルであるから、２５倍電流を出力する電流出力回路Ａが選択され、ソース信号線１８と接続されている。また、ゲート信号線１７ｂには、オフ電圧（Ｖｇｈ）が印加されている。
したがって、画素行（２）（３）（４）（５）（６）のスイッチングトランジスタ１１ｄがオフ状態であり、対応する画素行のＥＬ素子１５には電流が流れていない。つまり、非点灯状態５２である。一方、画素行（１）のゲート信号線１７ｂ（１）はＶｇｌ電圧が印加されているから、トランジスタ１１ｄはオン状態であり、画素行（１）のＥＬ素子１５は点灯する。
同時に選択する画素行が５画素行（Ｋ＝５）であるから、５つの駆動用トランジスタ１１ａが動作する。つまり、１画素あたり、２５／５＝５倍の電流がトランジスタ１１ａに流れる。ソース信号線１８には、５つのトランジスタ１１ａのプログラム電流を加えた電流が流れる。
次の１／２Ｈ（水平走査期間の１／２）では、書き込み画素行５１ａのみを選択する。つまり、（２）画素行目のみを選択する。図３１で明らかなように、ゲート信号線１７ａ（２）のみが、オン電圧（Ｖｇｌ）が印加され、ゲート信号線１７ａ（３）（４）（５）（６）はオフ（Ｖｇｈ）が印加されている。
したがって、画素行（１）（２）のトランジスタ１１ａは動作状態（画素行（１）はＥＬ素子１５に電流を流し、画素行（２）はソース信号線１８に電流を供給している状態）であるが、画素行（３）（４）（５）（６）のスイッチングトランジスタ１１ｂ、トランジスタ１１ｃがオフ状態である。つまり、非選択状態である。
また、ＩＳＥＬがＨレベルであるから、５倍電流を出力する電流出力回路Ｂが選択され、この電流出力回路１２２２ｂとソース信号線１８とが接続されている。また、ゲート信号線１７ｂの状態は先の１／２Ｈの状態と変化がなく、オフ電圧（Ｖｇｈ）が印加されている。したがって、画素行（２）（３）（４）（５）（６）のスイッチングトランジスタ１１ｄがオフ状態であり、対応する画素行のＥＬ素子１５には電流が流れていない。つまり、非点灯状態５２である。
以上のことから、画素行（２）のトランジスタ１１ａが、それぞれＩｗ×５の電流をソース信号線１８に流す。そして、各画素行（２）のコンデンサ１９には、５倍の電流がプログラムされる。以上の動作を順次、実施することにより１画面を表示することができる。
図３０で説明した駆動方法は、第１の期間でＧ画素行（Ｇは２以上）を選択し、各画素行にはＮ倍の電流を流すようにプログラムする。第１の期間後の第２の期間ではＢ画素行（ＢはＧよりも小さく、１以上）を選択し、画素にはＮ倍の電流を流すようにプログラムする方式である。

しかし、他の方策もある。第１の期間でＧ画素行（Ｇは２以上）を選択し、各画素行の総和電流がＮ倍の電流となるようにプログラムする。第４の期間後の第２の期間ではＢ画素行（ＢはＧよりも小さく、１以上）を選択し、選択された画素行の総和の電流（ただし、選択画素行が１の時は、１画素行の電流）がＮ倍となるようにプログラムする方式である。たとえば、図３０（ａ１）において、５画素行を同時に選択し、各画素のトランジスタ１１ａには２倍の電流を流す。したがって、ソース信号線１８には５×２倍＝１０倍の電流が流れる。次の第２の期間では図３０（ｂ１）において、１画素行を選択する。この１画素のトランジスタ１１ａには１０倍の電流を流す。

なお、図３１において、複数の画素行を同時に選択する期間を１／２Ｈとし、１画素行を選択する期間を１／２Ｈとしたがこれに限定するものではない。複数の画素行を同時に選択する期間を１／４Ｈとし、１画素行を選択する期間を３／４Ｈとしてもよい。また、複数の画素行を同時に選択する期間と、１画素行を選択する期間とを加えた期間は１Ｈとしたがこれに限定するものではない。たとえば、２Ｈ期間でも、１．５Ｈ期間であっても良い。

また、図３０において、５画素行を同時に選択する期間を１／２Ｈとし、次の第２の期間では２画素行を同時に選択するとしてもよい。この場合でも実用上、支障のない画像表示を実現できる。

また、図３０において、５画素行を同時に選択する第１の期間を１／２Ｈとし、１画素行を選択する第２の期間を１／２Ｈとする２段階としたがこれに限定するものではない。たとえば、第１の段階は、５画素行を同時に選択し、第２の期間は前記５画素行のうち、２画素行を選択し、最後に、１画素行を選択する３つの段階としてもよい。つまり、複数の段階で画素行に画像データを書き込んでも良い。

以上の実施例は、１画素行を順次選択し画素に電流プログラムを行う方式、あるいは、複数の画素行を順次選択し画素に電流プログラムを行う方式である。しかし、本発明はこれに限定するものではない。画像データに応じて１画素行を順次選択し画素に電流プログラムを行う方式と、複数の画素行を順次選択し画素に電流プログラムを行う方式を組み合わせてもよい。

図１８６は、１画素行を順次選択する駆動方式と複数画素行を順次選択する駆動方法を組み合わせたものである。理解を容易にするため、図１８６（ａ２）に図示するように、複数画素行を同時に選択する場合は２画素行を例にして説明をする。したがって、ダミー画素行２８１は画面の上と下に各１行形成する。１画素行を順次選択する駆動方式の場合は、ダミー画素行は使用しなくてもよい。

なお、理解を容易にするため、図１８６（ａ１）（１画素行を選択する）と図１８６（ａ２）（２画素行を選択する）のどちらの駆動方式でもソースドライバＩＣ１４が出力する電流は同一とする。したがって、図１８６（ａ２）のように２画素行を同時に選択する駆動方式の場合は、１画素行を順次選択する駆動方式（図１８６（ａ１））よりも画面輝度は１／２になる。画面輝度を一致させる場合は、図１８６（ａ２）のｄｕｔｙを２倍（たとえば、図１８６（ａ１）がｄｕｔｙ１／２であれば、図１８６（ａ２）のｄｕｔｙを１／２×２＝１／１）にすればよい。また、ソースドライバＩＣ１４に入力する基準電流の大きさを２倍変化させればよい。あるいは、プログラム電流を２倍にすればよい。

図１８６（ａ１）は、本発明の通常の駆動方法である。入力される映像信号がノンインターレース（プログレッシブ）信号の場合は、図１８６（ａ１）の駆動方式を実施する。入力される映像信号がインターレース信号の場合は、図１８６（ａ２）を実施する。また、映像信号の画像解像度がない場合は、図１８６（ａ２）を実施する。また、動画では図１８６（ａ２）を実施し、静止画では図１８６（ａ１）を実施するように制御してもよい。図１８６（ａ１）と図１８６（ａ２）との切り替えは、ゲートドライバ回路１２へのスタートパルスの制御により容易に変更することができる。

課題は、図１８６（ａ２）のように２画素行を同時に選択する駆動方式の場合は、１画素行を順次選択する駆動方式（図１８６（ａ１））よりも画面輝度は１／２になるという点である。画面輝度を一致させる場合は、図１８６（ａ２）のｄｕｔｙを２倍（たとえば、

図１８６（ａ１）がｄｕｔｙ１／２であれば、図１８６（ａ２）のｄｕｔｙを１／２×２＝１／１）にすればよい。つまり、図１８６の（ｂ）の非表示領域５２と表示領域５３の割合を変化させればよい。

非表示領域５２と表示領域５３の割合は、ゲートドライバ回路１２のスタートパルスの制御により容易に実現できる。つまり、図１８６（ａ１）と図１８６（ａ２）の表示状態に応じて図１８６の（ｂ）の駆動状態を可変すればよい。

以下、さらに詳しく、本発明のインターレース駆動について説明をする。図１８７はインターレース駆動を行う本発明の表示パネルの構成である。図１８７において、奇数画素行のゲート信号線１７ａはゲートドライバ回路１２ａ１に接続されている。偶数画素行のゲート信号線１７ａはゲートドライバ回路１２ａ２に接続されている。一方、奇数画素行のゲート信号線１７ｂはゲートドライバ回路１２ｂ１に接続されている。偶数画素行のゲート信号線１７ｂはゲートドライバ回路１２ｂ２に接続されている。

したがって、ゲートドライバ回路１２ａ１の動作（制御）により奇数画素行の画像データが順次書き換えられる。奇数画素行は、ゲートドライバ回路１２ｂ１の動作（制御）によりＥＬ素子の点灯、非点灯制御が行われる。また、ゲートドライバ回路１２ａ２の動作（制御）により偶数画素行の画像データが順次書き換えられる。また、偶数画素行は、ゲートドライバ回路１２ｂ２の動作（制御）によりＥＬ素子の点灯、非点灯制御が行われる。

図１８８の（ａ）は、第１フィールドでの表示パネルの動作状態である。図１８８の（ｂ）は、第２フィールドでの表示パネルの動作状態である。図１８８において、斜線を記入したゲートドライバ回路１２はデータの走査動作をしていないことを示している。つまり、図１８８の（ａ）の第１フィールドでは、プログラム電流の書込み制御としてゲートドライバ回路１２ａ１が動作し、ＥＬ素子１５の点灯制御としてゲートドライバ回路１２ｂ２が動作する。図１８８の（ｂ）の第２フィールドでは、プログラム電流の書込み制御としてゲートドライバ回路１２ａ２が動作し、ＥＬ素子１５の点灯制御としてゲートドライバ回路１２ｂ１が動作する。以上の動作が、フレーム内で繰り返される。

図１８９が第１フィールドでの画像表示状態である。図１８９の（ａ）が書込み画素行（電流（電圧）プログラムを行っている奇数画素行位置を図示している。図１８９（ａ１）→（ａ２）→（ａ３）と書込み画素行位置が順次シフトされる。第１フィールドでは、奇数画素行が順次書き換えられる（偶数画素行の画像データは保持されている）。図１８９の（ｂ）が奇数画素行の表示状態を図示している。なお、図１８９の（ｂ）は奇数画素行のみを図示している。偶数画素行は図１８９の（ｃ）に図示している。図１８９の（ｂ）でも明らかなように、奇数画素行に対応する画素のＥＬ素子１５は非点灯状態である。一方、偶数画素行は、図１８９の（ｃ）に図示しているように表示領域５３と非表示領域５２を走査する（Ｎ倍パルス駆動）。

図１９０が第２フィールドでの画像表示状態である。図１９０の（ａ）が書込み画素行（電流（電圧）プログラムを行っている奇数画素行位置を図示している。図１９０（ａ１）→（ａ２）→（ａ３）と書込み画素行位置が順次シフトされる。第２フィールドでは、偶数画素行が順次書き換えられる（奇数画素行の画像データは保持されている）。図１９０の（ｂ）が奇数画素行の表示状態を図示している。なお、図１９０の（ｂ）は奇数画素行のみを図示している。偶数画素行は図１９０の（ｃ）に図示している。図１９０の（ｂ）でも明らかなように、偶数画素行に対応する画素のＥＬ素子１５は非点灯状態である。一方、奇数画素行は、図１９０の（ｃ）に図示しているように表示領域５３と非表示領域５２を走査する（Ｎ倍パルス駆動）。

以上のように駆動することにより、インターレース駆動をＥＬ表示パネルで容易に実現することができる。また、Ｎ倍パルス駆動を実施することにより書込み不足も発生せず、動画ボケも発生することがない。また、電流（電圧）プログラムの制御と、ＥＬ素子１５の点灯制御も容易であり、回路も容易に実現できる。

なお、本発明の駆動方式は、図１８９、図１９０の駆動方式に限定されるものではない。たとえば、図１９１の駆動方式も例示される。図１８９、図１９０は、電流（電圧）プログラムを行っている奇数画素行または偶数画素行は非表示領域５２（非点灯、黒表示）と

するものであった。図１９１の実施例は、ＥＬ素子１５の点灯制御を行うゲートドライバ回路１２ｂ１、１２ｂ２の両方を同期させて動作させるものである。ただし、電流（電圧）プログラムを行っている画素行５１は非表示領域となるように制御することはいうまでもない（図３８のカレントミラー画素構成ではその必要はない）。図１９１では、奇数画素行と偶数画素行の点灯制御が同一であるので、ゲートドライバ回路１２ｂ１と１２ｂ２との２つを設ける必要はない。ゲートドライバ回路１２ｂを１つで点灯制御することができる。

図１９１は、奇数画素行と偶数画素行の点灯制御を同一にする駆動方法であった。しかし、本発明はこれに限定するものではない。図１９２は、奇数画素行と偶数画素行の点灯制御を異ならせた実施例である。とくに、図１９２は奇数画素行の点灯状態（表示領域５３、非表示領域５２）の逆パターンを偶数画素行の点灯状態にした例である。したがって、表示領域５３の面積と非表示領域５２の面積とは同一になるようにしている。もちろん、表示領域５３の面積と非表示領域５２の面積とは同一になることに限定されるものではない。

以上の実施例は、１画素行ずつ電流（電圧）プログラムを実施する駆動方法であった。しかし、本発明の駆動方法はこれに限定されるものではなく、図１９３に図示するように２画素（複数画素）を同時に電流（電圧）プログラム行っても良いことは言うまでもない。また、図１９０、図１８９において、奇数画素行あるいは偶数画素行ですべての画素行を非点灯状態にすることに限定されるものではない。

本発明のＮ倍パルス駆動方法では、各画素行で、ゲート信号線１７ｂの波形を同一にし、１Ｈの間隔でシフトさせて印加していく。このように走査することにより、ＥＬ素子１５が点灯している時間を１Ｆ／Ｎに規定しながら、順次、点灯する画素行をシフトさせることができる。このように、各画素行で、ゲート信号線１７ｂの波形を同一にし、シフトさせていることを実現することは容易である。図６のシフトレジスタ回路６１ａ、６１ｂに印加するデータであるＳＴ１、ＳＴ２を制御すればよいからである。たとえば、入力ＳＴ２がＬレベルの時、ゲート信号線１７ｂにＶｇｌが出力され、入力ＳＴ２がＨレベルの時、ゲート信号線１７ｂにＶｇｈが出力されるとすれば、シフトレジスタ１７ｂに印加するＳＴ２を１Ｆ／Ｎの期間だけＬレベルで入力し、他の期間はＨレベルにする。この入力されたＳＴ２を１Ｈに同期したクロックＣＬＫ２でシフトしていくだけである。

なお、ＥＬ素子１５をオンオフする周期は０．５ｍｓｅｃ以上にする必要がある。この周期が短いと、人間の目の残像特性により完全な黒表示状態とならず、画像がぼやけたようになり、あたかも解像度が低下したようになる。また、データ保持型の表示パネルの表示状態となる。しかし、オンオフ周期を１００ｍｓｅｃ以上になると、点滅状態に見える。したがって、ＥＬ素子のオンオフ周期は０．５μｓｅｃ以上１００ｍｓｅｃ以下にすべきである。さらに好ましくは、オンオフ周期を２ｍｓｅｃ以上３０ｍｓｅｃ以下にすべきである。さらに好ましくは、オンオフ周期を３ｍｓｅｃ以上２０ｍｓｅｃ以下にすべきである。

先にも記載したが、黒画面１５２の分割数は、１つにすると良好な動画表示を実現できるが、画面のちらつきが見えやすくなる。したがって、黒挿入部を複数に分割することが好ましい。しかし、分割数をあまりに多くすると動画ボケが発生する。分割数は１以上８以下とすべきである。さらに好ましくは１以上５以下とすることが好ましい。

なお、黒画面の分割数は静止画と動画で変更できるように構成することが好ましい。分割数とは、Ｎ＝４では、７５％が黒画面であり、２５％が画像表示である。このとき、７５％の黒表示部を７５％の黒帯状態で画面の上下方向に走査するのが分割数１である。２５％の黒画面と２５／３％の表示画面の３ブロックで走査するのが分割数３である。静止画は分割数を多くする。動画は分割数を少なくする。切り替えは入力画像に応じて自動的（動画検出など）に行っても良く、ユーザーが手動で行ってもよい。また、表示装置の映像などに入力コンセントに対応して切り替ええするように構成すればよい。

たとえば、携帯電話などにおいて、壁紙表示、入力画面では、分割数を１０以上とする（極端には１Ｈごとにオンオフしてもよい）。ＮＴＳＣの動画を表示するときは、分割数を

１以上５以下とする。なお、分割数は３以上の多段階に切り替えできるように構成することが好ましい。たとえば、分割数なし、２、４、８などである。
また、全表示画面に対する黒画面の割合は、全画面の面積を１とした時、０．２以上０．９以下（Ｎで表示すれば１．２以上９以下）とすることが好ましい。また、特に０．２５以上０．６以下（Ｎで表示すれば１．２５以上６以下）とすることが好ましい。０．２０以下であると動画表示での改善効果が低い。０．９以上であると、表示部分の輝度が高くなり、表示部分が上下に移動することが視覚的に認識されやすくなる。
また、１秒あたりのフレーム数は、１０以上１００以下（１０Ｈｚ以上１００Ｈｚ以下）が好ましい。さらには１２以上６５以下（１２Ｈｚ以上６５Ｈｚ以下）が好ましい。フレーム数が少ないと、画面のちらつきが目立つようになり、あまりにもフレーム数が多いと、ドライバ回路１４などからの書き込みが苦しくなり解像度が劣化する。
本発明では、ゲート信号線１７の制御により画像の明るさを変化させることができる。ただし、画像の明るさはソース信号線１８に印加する電流（電圧）を変化させて行ってもよいことは言うまでもない。また、先に説明した（図３３、図３５などを用いて）ゲート信号線１７の制御と、ソース信号線１８に印加する電流（電圧）を変化させることを組み合わせて行ってもよいことは言うまでもない。
なお、以上の事項は、図３８などの電流プログラムの画素構成、図４３、図５１、図５４などの電圧プログラムの画素構成でも適用できることは言うまでもない。図３８では、トランジスタ１１ｄを、図４３ではトランジスタ１１ｄを、図５１ではトランジスタ１１ｅをオンオフ制御すればよい。このように、ＥＬ素子１５に電流を流す配線をオンオフすることにより、本発明のＮ倍パルス駆動を容易に実現できる。
また、ゲート信号線１７ｂの１Ｆ／Ｎの期間だけ、Ｖｇｌにする時刻は１Ｆ（１Ｆに限定するものではない。単位期間でよい。）の期間のうち、どの時刻でもよい。単位時間にうち、所定の期間だけＥＬ素子１５をオンさせることにより、所定の平均輝度を得るものだからである。ただし、電流プログラム期間（１Ｈ）後、すぐにゲート信号線１７ｂをＶｇｌにしてＥＬ素子１５を発光させる方がよい。図１のコンデンサ１９の保持率特性の影響を受けにくくなるからである。
また、この画像の分割数も可変できるように構成することが好ましい。たとえば、ユーザーが明るさ調整スイッチを押すことにより、あるいは明るさ調整ボリウムを回すことにより、この変化を検出してＫの値を変更する。表示する画像の内容、データにより手動で、あるいは自動的に変化させるように構成してもよい。
このようにＫの値（画像表示部５３の分割数）を変化させることも容易に実現できる。図６においてＳＴに印加するデータのタイミング（１Ｆのいつにレベルにするか）を調整あるいは可変できるように構成しておけばよいからである。
なお、図１６などでは、ゲート信号線１７ｂをＶｇｌにする期間（１Ｆ／Ｎ）を複数に分割（分割数Ｍ）し、Ｖｇｌにする期間は１Ｆ／（Ｋ・Ｎ）の期間をＫ回実施するとしたがこれ限定するものではない。１Ｆ／（Ｋ・Ｎ）の期間をＬ（Ｌ≠Ｋ）回実施してもよい。つまり、本発明は、ＥＬ素子１５に流す期間（時間）を制御することにより表示画面５０を表示するものである。したがって、１Ｆ／（Ｋ・Ｎ）の期間をＬ（Ｌ≠Ｋ）回実施することは本発明の技術的思想に含まれる。また、Ｌの値を変化させることにより、表示画面５０の輝度をデジタル的に変更することができる。たとえば、Ｌ＝２とＬ＝３では５０％の輝度（コントラスト）変化となる。これらの制御も、本発明の他の実施例にも適用できることは言うまでもない（もちろん、以降に説明する本発明にも適用できる）。これらも本発明のＮ倍パルス駆動である。
以上の実施例は、ＥＬ素子１５と駆動用トランジスタ１１ａとの間にスイッチング素子としてのトランジスタ１１ｄを配置（形成）し、このトランジスタ１１ｄを制御することにより、画面５０をオンオフ表示するものであった。この駆動方法により、電流プログラム方式の黒表示状態での電流書き込み不足をなくし、良好な解像度あるいは黒表示を実現するものであった。つまり、電流プログラム方式では、良好な黒表示を実現することが重要である。次に説明する駆動方法は、駆動用トランジスタ１１ａをリセットし、良好な黒表

示を実現するものである。以下、図３２を用いて、その実施例について説明をする。
図３２は基本的には図１の画素構成である。図３２の画素構成では、プログラムされたＩｗ電流がＥＬ素子１５に流れ、ＥＬ素子１５が発光する。つまり、駆動用トランジスタ１１ａはプログラムされることにより、電流を流す能力を保持している。この電流を流す能力を利用してトランジスタ１１ａをリセット（オフ状態）にする方式が図３２の駆動方式である。以降、この駆動方式をリセット駆動と呼ぶ。
図１の画素構成でリセット駆動を実現するためには、トランジスタ１１ｂとトランジスタ１１ｃを独立してオンオフ制御できるように構成する必要がある。つまり、図３２で図示するようにトランジスタ１１ｂをオンオフ制御するゲート信号線１７ａ（ゲート信号線ＷＲ）、トランジスタ１１ｃをオンオフ制御するゲート信号線１７ｃ（ゲート信号線ＥＬ）を独立して制御できるようにする。ゲート信号線１７ａとゲート信号線１７ｃの制御は、図６に図示するように独立した２つのシフトレジスタ回路６１で行えばよい。
トランジスタ１１ｂを駆動するゲート信号線１７ａとトランジスタ１１ｄを駆動するゲート信号線１７ｂの駆動電圧は変化させるとよい（図１の画素構成の場合）。ゲート信号線１７ａの振幅値（オン電圧とオフ電圧との差）は、ゲート信号線１７ｂの振幅値よりも小さくする。
ゲート信号線１７の振幅値が大きいと、ゲート信号線１７と画素１６との突き抜け電圧が大きくなり、黒浮きが発生する。ゲート信号線１７ａの振幅は、ソース信号線１８の電位が画素１６に印加されない（印加する（選択時））を制御すればよいのである。ソース信号線１８の電位変動は小さいから、ゲート信号線１７ａの振幅値は小さくすることができる。
一方、ゲート信号線１７ｂはＥＬのオンオフ制御を実施する必要がある。したがって、振幅値は大きくなる。これに対応するため、シフトレジスタ回路６１ａと６１ｂとの出力電圧を変化させる。画素がＰチャンネルトランジスタで形成されている場合は、シフトレジスタ回路６１ａと６１ｂのＶｇｈ（オフ電圧）を略同一にし、シフトレジスタ回路６１ａのＶｇｌ（オン電圧）をシフトレジスタ回路６１ｂのＶｇｌ（オン電圧）よりも低くする。
以下、図３３を参照しながら、リセット駆動方式について説明をする。図３３はリセット駆動の原理説明図である。まず、図３３の（ａ）に図示するように、トランジスタ１１ｃ、トランジスタ１１ｄをオフ状態にし、トランジスタ１１ｂをオン状態にする。すると、駆動用トランジスタ１１ａのドレイン（Ｄ）端子とゲート（Ｇ）端子はショート状態となり、Ｉｂ電流が流れる。一般的に、トランジスタ１１ａは１つ前のフィールド（フレーム）で電流プログラムされている。この状態でトランジスタ１１ｄがオフ状態となり、トランジスタ１１ｂがオン状態にすれば、駆動電流Ｉｂがトランジスタ１１ａのゲート（Ｇ）端子に流れる。そのため、トランジスタ１１ａのゲート（Ｇ）端子とドレイン（Ｄ）端子とが同一電位となり、トランジスタ１１ａはリセット（電流を流さない状態）になる。
このトランジスタ１１ａのリセット状態（電流を流さない状態）は、図５１などで説明する電圧オフセットキャンセラ方式のオフセット電圧を保持した状態と等価である。つまり、図３３の（ａ）の状態では、コンデンサ１９の端子間には、オフセット電圧が保持されていることになる。このオフセット電圧はトランジスタ１１ａの特性に応じて異なる電圧値である。したがって、図３３の（ａ）の動作を実施することにより、各画素のコンデンサ１９にはトランジスタ１１ａが電流を流さない（つまり、黒表示電流（ほとんど０に等しい）が保持されることになるのである。
なお、図３３の（ａ）の動作の前に、トランジスタ１１ｂ、トランジスタ１１ｃをオフ状態にし、トランジスタ１１ｄをオン状態にし、駆動用トランジスタ１１ａに電流を流すという動作を実施することが好ましい。この動作は、極力短時間に完了させることが好ましい。ＥＬ素子１５に電流が流れてＥＬ素子１５が点灯し、表示コントラストを低下させる恐れがあるからである。この動作時間は、１Ｈ（１水平走査期間）の０．１％以上１０％以下とすることが好ましい。さらに好ましくは０．２％以上２％以下となるようにすることが好ましい。もしくは０．２μｓｅｃ以上５μｓｅｃ以下となるようにすることが好ま

しい。また、全画面の画素１６に一括して前述の動作（図３３の（ａ）の前に行う動作）を実施してもよい。以上の動作を実施することにより、駆動用トランジスタ１１ａのドレイン（Ｄ）端子電圧が低下し、図３３の（ａ）の状態でスムーズなＩｂ電流を流すことができるようになる。なお、以上の事項は、本発明の他のリセット駆動方式にも適用される。

図３３の（ａ）の実施時間を長くするほど、Ｉｂ電流が流れ、コンデンサ１９の端子電圧が小さくなる傾向がある。したがって、図３３の（ａ）の実施時間は固定値にする必要がある。実験および検討によれば、図３３の（ａ）の実施時間は、１Ｈ以上５Ｈ以下にすることが好ましい。

なお、この期間は、Ｒ、Ｇ、Ｂの画素で異ならせることが好ましい。各色の画素でＥＬ材料が異なり、このＥＬ材料の立ち上がり電圧などに差異があるためである。ＲＧＢの各画素で、ＥＬ材料に適応して、もっとも最適な期間を設定する。なお、実施例において、この期間は１Ｈ以上５Ｈ以下にするとしたが、黒挿入（黒画面を書き込む）を主とする駆動方式では、５Ｈ以上であってもよいことは言うまでもない。なお、この期間が長いほど、画素の黒表示状態は良好となる。

図３３の（ａ）を実施後、１Ｈ以上５Ｈ以下の期間において、図３３の（ｂ）の状態にする。図３３の（ｂ）はトランジスタ１１ｃ、トランジスタ１１ｂをオンさせ、トランジスタ１１ｄをオフさせた状態である。図３３の（ｂ）の状態は、以前にも説明したが、電流プログラムを行っている状態である。つまり、ソースドライバ回路１４からプログラム電流Ｉｗを出力（あるいは吸収）し、このプログラム電流Ｉｗを駆動用トランジスタ１１ａに流す。このプログラム電流Ｉｗが流れるように、駆動用トランジスタ１１ａのゲート（Ｇ）端子の電位を設定するのである（設定電位はコンデンサ１９に保持される）。

もし、プログラム電流Ｉｗが０（Ａ）であれば、トランジスタ１１ａは図３３の（ａ）の電流を流さない状態が保持されたままとなるから、良好な黒表示を実現できる。また、図３３の（ｂ）で白表示の電流プログラムを行う場合であっても、各画素の駆動用トランジスタの特性バラツキが発生していても、完全に黒表示状態のオフセット電圧から電流プログラムを行う。したがって、目標の電流値にプログラムされる時間が階調に応じて等しくなる。そのため、トランジスタ１１ａの特性バラツキによる階調誤差がなく、良好な画像表示を実現できる。

図３３の（ｂ）の電流プログラミング後、図３３の（ｃ）に図示するように、トランジスタ１１ｂ、トランジスタ１１ｃとオフし、トランジスタ１１ｄをオンさせて、駆動用トランジスタ１１ａからのプログラム電流Ｉｗ（＝Ｉｅ）をＥＬ素子１５に流し、ＥＬ素子１５を発光させる。図３３の（ｃ）に関しても、図１などで以前に説明をしたので詳細は省略する。

つまり、図３３で説明した駆動方式（リセット駆動）は、駆動用トランジスタ１１ａとＥＬ素子１５間を切断（電流が流れない状態）し、かつ、駆動用トランジスタのドレイン（Ｄ）端子とゲート（Ｇ）端子（もしくはソース（Ｓ）端子とゲート（Ｇ）端子、さらに一般的に表現すれば駆動用トランジスタのゲート（Ｇ）端子を含む２端子）間をショートする第１の動作と、前記動作の後、駆動用トランジスタに電流（電圧）プログラムを行う第２の動作とを実施するものである。かつ、少なくとも第２の動作は第１の動作後に行うものである。なお、リセット駆動を実施するためには、図３２の構成のように、トランジスタ１１ｂとトランジスタ１１ｃとを独立に制御できるように、構成しておかねばならない。

画像表示状態は（もし、瞬時的な変化が観察できるのであれば）、まず、電流プログラムを行われる画素行は、リセット状態（黒表示状態）になり、１Ｈ後に電流プログラムが行われる（この時も黒表示状態である。トランジスタ１１ｄがオフだからである。）。次に、ＥＬ素子１５に電流が供給され、画素行は所定輝度（プログラムされた電流）で発光する。つまり、画面の上から下方向に、黒表示の画素行が移動し、この画素行が通りすぎた位置で画像が書き換わっていくように見えるはずである。

なお、リセット後、１Ｈ後に電流プログラムを行うとしたがこの期間は、５Ｈ程度以内と

してもよい。図３３の（ａ）のリセットが完全に行われるのに比較的長時間を必要とするからである。もし、この期間を５Ｈとすれば、５画素行が黒表示（電流プログラムの画素行もいれると６画素行）となるはずである。
また、リセット状態は１画素行ずつ行うことに限定するものではなく、複数画素行ずつ同時にリセット状態にしてもよい。また、複数画素行ずつ同時にリセット状態にし、かつオーバーラップしながら走査してもよい。たとえば、４画素行を同時にリセットするのであれば、第１の水平走査期間（１単位）に、画素行（１）（２）（３）（４）をリセット状態にし、次の第２の水平走査期間に、画素行（３）（４）（５）（６）をリセット状態にし、さらに次の第３の水平走査期間に、画素行（５）（６）（７）（８）をリセット状態にする。また、次の第４の水平走査期間に、画素行（７）（８）（９）（１０）をリセット状態にするという駆動状態が例示される。なお、当然、図３３の（ｂ）、図３３の（ｃ）の駆動状態も図３３の（ａ）の駆動状態と同期して実施される。
また、１画面の画素すべてを同時にあるいは走査状態でリセット状態にしてから、図３３の（ｂ）（ｃ）の駆動を実施してもよいことはいうまでもない。また、インターレース駆動状態（１画素行あるいは複数画素行の飛び越し走査）で、リセット状態（１画素行あるいは複数画素行飛び越し）にしてもよいことは言うまでもない。また、ランダムのリセット状態を実施してもよい。また、本発明のリセット駆動の説明は、画素行を操作する方式である（つまり、画面の上下方向の制御する）。しかし、リセット駆動の概念は、制御方向が画素行に限定されるものではない。たとえば、画素列方向にリセット駆動を実施してもよいことは言うまでもない。
なお、図３３のリセット駆動は、本発明のＮ倍パルス駆動などと組み合わせること、インターレース駆動と組み合わせることによりさらに良好な画像表示を実現できる。特に図２２の構成は、間欠Ｎ／Ｋ倍パルス駆動（１画面に点灯領域を複数設ける駆動方法である。この駆動方法は、ゲート信号線１７ｂを制御し、トランジスタ１１ｄをオンオフ動作させることにより容易に実現できる。このことは以前に説明をした。）を容易に実現できるので、フリッカの発生もなく、良好な画像表示を実現できる。
また、他の駆動方法、たとえば、以降の説明する逆バイアス駆動方式、プリチャージ駆動方式、突き抜け電圧駆動方式などと組み合わせることによりさらに優れた画像表示を実現できることは言うまでもない。以上のように、本発明と同様にリセット駆動も本明細書の他の実施例と組み合わせて実施することができることは言うまでもない。
図３４はリセット駆動を実現する表示装置の構成図である。ゲートドライバ回路１２ａは、図３２におけるゲート信号線１７ａおよびゲート信号線１７ｂを制御する。ゲート信号線１７ａにオンオフ電圧を印加することによりトランジスタ１１ｂがオンオフ制御される。また、ゲート信号線１７ｂにオンオフ電圧を印加することによりトランジスタ１１ｄがオンオフ制御される。ゲートドライバ回路１２ｂは、図３２におけるゲート信号線１７ｃを制御する。ゲート信号線１７ｃにオンオフ電圧を印加することによりトランジスタ１１ｃがオンオフ制御される。
したがって、ゲート信号線１７ａはゲートドライバ回路１２ａで操作し、ゲート信号線１７ｃはゲートドライバ回路１２ｂで操作する。そのため、トランジスタ１１ｂをオンさせて駆動用トランジスタ１１ａをリセットするタイミングと、トランジスタ１１１ｃをオンさせて駆動用トランジスタ１１ａに電流プログラムを行うタイミングとを自由に設定できる。他の構成などは、以前に説明したものと同一または類似するため説明を省略する。
図３５はリセット駆動のタイミングチャートである。ゲート信号線１７ａにオン電圧を印加し、トランジスタ１１ｂをオンさせ、駆動用トランジスタ１１ａをリセットしている時には、ゲート信号線１７ｂにはオフ電圧を印加し、トランジスタ１１ｄをオフ状態にしている。したがって、図３２の（ａ）の状態となっている。この期間にＩｂ電流が流れる。
図３５のタイミングチャートでは、リセット時間は２Ｈ（ゲート信号線１７ａにオン電圧が印加され、トランジスタ１１ｂがオンする）としているが、これに限定するものではない。２Ｈ以上でもよい。また、リセットが極めて高速に行える場合は、リセット時間は１Ｈ未満であってもよい。

リセット期間を何Ｈ期間にするかはゲートドライバ回路１２に入力するＤＡＴＡ（ＳＴ）パルス期間で容易に変更できる。たとえば、ＳＴ端子に入力するＤＡＴＡを２Ｈ期間の間Ｈレベルとすれば、各ゲート信号線１７ａから出力されるリセット期間は２Ｈ期間となる。同様に、ＳＴ端子に入力するＤＡＴＡを５Ｈ期間の間Ｈレベルとすれば、各ゲート信号線１７ａから出力されるリセット期間は５Ｈ期間となる。

１Ｈ期間のリセット後、画素行（１）のゲート信号線１７ｃ（１）に、オン電圧が印加される。トランジスタ１１ｃがオンすることにより、ソース信号線１８に印加されたプログラム電流Ｉｗがトランジスタ１１ｃを介して駆動用トランジスタ１１ａに書き込まれる。電流プログラム後、画素（１）のゲート信号線１７ｃにオフ電圧が印加され、トランジスタ１１ｃがオフし、画素がソース信号線と切り離される。同時に、ゲート信号線１７ａにもオフ電圧が印加され、駆動用トランジスタ１１ａのリセット状態が解消される（なお、この期間は、リセット状態と表現するよりも、電流プログラム状態と表現する方が適切である）。また、ゲート信号線１７ｂにはオン電圧が印加され、トランジスタ１１ｄがオンして、駆動用トランジスタ１１ａにプログラムされた電流がＥＬ素子１５に流れる。なお、画素行（２）以降についても、画素行（１）と同様であり、また、図３５からその動作は明らかであるから説明を省略する。

図３５において、リセット期間は１Ｈ期間であった。図３６はリセット期間を５Ｈとした実施例である。リセット期間を何Ｈ期間にするかはゲートドライバ回路１２に入力するＤＡＴＡ（ＳＴ）パルス期間で容易に変更できる。図３６ではゲートドライバ回路１２ａのＳＴ１端子に入力するＤＡＴＡを５Ｈ期間の間Ｈレベルし、各ゲート信号線１７ａから出力されるリセット期間を５Ｈ期間とした実施例である。リセット期間は、長いほど、リセットが完全に行われ、良好な黒表示を実現できる。しかし、リセット期間の割合分は表示輝度が低下することになる。

図３６はリセット期間を５Ｈとした実施例であった。また、このリセット状態は連続状態であった。しかし、リセット状態は連続して行うことに限定されるものではない。たとえば、各ゲート信号線１７ａから出力される信号を１Ｈごとにオンオフ動作させてもよい。このようにオンオフ動作させるのは、シフトレジスタの出力段に形成されたイネーブル回路（図示せず）を操作することにより容易に実現できる。また、ゲートドライバ回路１２に入力するＤＡＴＡ（ＳＴ）パルスを制御することで容易に実現できる。

図３４の回路構成では、ゲートドライバ回路１２ａは少なくとも２つのシフトレジスタ回路（１つはゲート信号線１７ａ制御用、他の１つはゲート信号線１７ｂ制御用）が必要であった。そのため、ゲートドライバ回路１２ａの回路規模が大きくなるという課題があった。図３７はゲートドライバ回路１２ａのシフトレジスタを１つにした実施例である。図３７の回路を動作させた出力信号のタイミングチャートは図３５のごとくなる。なお、図３５と図３７とはゲートドライバ回路１２ａ、１２ｂから出力されているゲート信号線１７の記号が異なっているので注意が必要である。

図３７のＯＲ回路３７１が付加されていることから明らかであるが、各ゲート信号線１７ａの出力は、シフトレジスタ回路６１ａの前段出力とのＯＲをとって出力される。つまり、２Ｈ期間、ゲート信号線１７ａからはオン電圧が出力される。一方、ゲート信号線１７ｃはシフトレジスタ回路６１ａの出力がそのまま出力される。したがって、１Ｈ期間の間、オン電圧が印加される。

たとえば、シフトレジスタ回路６１ａの２番目にＨレベル信号が出力されている時、画素１６（１）のゲート信号線１７ｃにオン電圧が出力され、画素１６（１）が電流（電圧）プログラムの状態である。同時に、画素１６（２）のゲート信号線１７ａにもオン電圧が出力され、画素１６（２）のトランジスタ１１ｂがオン状態となり、画素１６（２）の駆動用トランジスタ１１ａがリセットされる。

同様に、シフトレジスタ回路６１ａの３番目にＨレベル信号が出力されている時、画素１６（２）のゲート信号線１７ｃにオン電圧が出力され、画素１６（２）が電流（電圧）プログラムの状態である。同時に、画素１６（３のゲート信号線１７ａにもオン電圧が出力され、画素１６（３）トランジスタ１１ｂがオン状態となり、画素１６（３）駆動用トラ

ンジスタ１１ａがリセットされる。つまり、２Ｈ期間、ゲート信号線１７ａからはオン電圧が出力され、ゲート信号線１７ｃに１Ｈ期間、オン電圧が出力される。
プログラム状態の時は、トランジスタ１１ｂとトランジスタ１１ｃが同時にオン状態となる（図３３の（ｂ））ら、非プログラム状態（図３３の（ｃ））に移行する際、トランジスタ１１ｃがトランジスタ１１ｂよりも先にオフ状態となると、図３３の（ｂ）のリセット状態となってしまう。これを防止するためには、トランジスタ１１ｃがトランジスタ１１ｂよりもあとからオフ状態にする必要がある。そのためには、ゲート信号線１７ａがゲート信号線１７ｃよりも先にオン電圧が印加されるように制御する必要がある。
以上の実施例は、図３２（基本的には図１）の画素構成に関する実施例であった。しかし、本発明はこれに限定されるものではない。たとえば、図３８に示すようなカレントミラーの画素構成であっても実施することができる。なお、図３８ではトランジスタ１１ｅをオンオフ制御することにより、図１３、図１５などで図示するＮ倍パルス駆動を実現できる。図３９は図３８のカレントミラーの画素構成での実施例の説明図である。以下、図３９を参照しながら、カレントミラーの画素構成におけるリセット駆動方式について説明をする。
図３９の（ａ）に図示するように、トランジスタ１１ｃ、トランジスタ１１ｅをオフ状態にし、トランジスタ１１ｄをオン状態にする。すると、電流プログラム用トランジスタ１１ｂのドレイン（Ｄ）端子とゲート（Ｇ）端子はショート状態となり、図に示すようにＩｂ電流が流れる。一般的に、トランジスタ１１ｂは１つ前のフィールド（フレーム）で電流プログラムされ、電流を流す能力がある（ゲート電位はコンデンサ１９に１Ｆ期間保持され、画像表示をおこなっているから当然である。ただし、完全な黒表示を行っている場合、電流は流れない）。この状態でトランジスタ１１ｅがオフ状態とし、トランジスタ１１ｄがオン状態にすれば、駆動電流Ｉｂがトランジスタ１１ａのゲート（Ｇ）端子の方向に流れる（ゲート（Ｇ）端子とドレイン（Ｄ）端子がショートされる）。そのため、トランジスタ１１ａのゲート（Ｇ）端子とドレイン（Ｄ）端子とが同一電位となり、トランジスタ１１ａはリセット（電流を流さない状態）になる。また、駆動用トランジスタ１１ｂのゲート（Ｇ）端子は電流プログラム用トランジスタ１１ａのゲート（Ｇ）端子と共通であるから、駆動用トランジスタ１１ｂもリセット状態となる。
このトランジスタ１１ａ、トランジスタ１１ｂのリセット状態（電流を流さない状態）は、図５１などで説明する電圧オフセットキャンセラ方式のオフセット電圧を保持した状態と等価である。つまり、図３９の（ａ）の状態では、コンデンサ１９の端子間には、オフセット電圧（電流が流れ始める開始電圧。この電圧の絶対値以上の電圧を印加することにより、トランジスタ１１に電流が流れる）が保持されていることになる。このオフセット電圧はトランジスタ１１ａ、トランジスタ１１ｂの特性に応じて異なる電圧値である。したがって、図３９の（ａ）の動作を実施することにより、各画素のコンデンサ１９にはトランジスタ１１ａ、トランジスタ１１ｂが電流を流さない（つまり、黒表示電流（ほとんど０に等しい））状態が保持されることになるのである（電流が流れ始める開始電圧にリセットされた）。
なお、図３９の（ａ）においても図３３の（ａ）と同様に、リセットの実施時間を長くするほど、Ｉｂ電流が流れ、コンデンサ１９の端子電圧が小さくなる傾向がある。したがって、図３９の（ａ）の実施時間は固定値にする必要がある。実験および検討によれば、図３９の（ａ）の実施時間は、１Ｈ以上１０Ｈ（１０水平走査期間）以下とすることが好ましい。さらには１Ｈ以上５Ｈ以下にすることが好ましい。あるいは、２０μｓｅｃ以上２ｍｓｅｃ以下とすることが好ましい。このことは図３３の駆動方式でも同様である。
図３３の（ａ）も同様であるが、図３９の（ａ）のリセット状態と、図３９の（ｂ）の電流プログラム状態とを同期をとって行う場合は、図３９の（ａ）のリセット状態から、図３９の（ｂ）の電流プログラム状態までの期間が固定値（一定値）となるから問題はない（固定値にされている）。つまり、図３３の（ａ）あるいは図３９の（ａ）のリセット状態から、図３３の（ｂ）あるいは図３９の（ｂ）の電流プログラム状態までの期間が、１Ｈ以上１０Ｈ（１０水平走査期間）以下とすることが好ましい。さらには１Ｈ以上５Ｈ以

下にすることが好ましいのである。あるいは、２０μｓｅｃ以上２ｍｓｅｃ以下とすることが好ましいのである。この期間が短いと駆動用トランジスタ１１が完全にリセットされない。また、あまりにも長いと駆動用トランジスタ１１が完全にオフ状態となり、今度は電流をプログラムするのに長時間を要するようになる。また、画面５０の輝度も低下する。

図３９の（ａ）を実施後、図３９の（ｂ）の状態にする。図３９の（ｂ）はトランジスタ１１ｃ、トランジスタ１１ｄをオンさせ、トランジスタ１１ｅをオフさせた状態である。図３９の（ｂ）の状態は、電流プログラムを行っている状態である。つまり、ソースドライバ回路１４からプログラム電流Ｉｗを出力（あるいは吸収）し、このプログラム電流Ｉｗを電流プログラム用トランジスタ１１ａに流す。このプログラム電流Ｉｗが流れるように、駆動用トランジスタ１１ｂのゲート（Ｇ）端子の電位をコンデンサ１９に設定するのである。

もし、プログラム電流Ｉｗが０（Ａ）（黒表示）であれば、トランジスタ１１ｂは電流を図３３の（ａ）の電流を流さない状態が保持されたままとなるから、良好な黒表示を実現できる。また、図３９の（ｂ）で白表示の電流プログラムを行う場合は、各画素の駆動用トランジスタの特性バラツキが発生していても、完全に黒表示状態のオフセット電圧（各駆動用トランジスタの特性に応じて設定された電流が流れる開始電圧）から電流プログラムを行う。したがって、目標の電流値にプログラムされる時間が階調に応じて等しくなる。そのため、トランジスタ１１ａあるいはトランジスタ１１ｂの特性バラツキによる階調誤差がなく、良好な画像表示を実現できる。

図３９の（ｂ）の電流プログラミング後、図３９の（ｃ）に図示するように、トランジスタ１１ｃ、トランジスタ１１ｄとオフし、トランジスタ１１ｅをオンさせて、駆動用トランジスタ１１ｂからのプログラム電流Ｉｗ（＝Ｉｅ）をＥＬ素子１５に流し、ＥＬ素子１５を発光させる。図３９の（ｃ）に関しても、以前に説明をしたので詳細は省略する。

図３３、図３９で説明した駆動方式（リセット駆動）は、駆動用トランジスタ１１ａあるいはトランジスタ１１ｂとＥＬ素子１５間を切断（電流が流れない状態。トランジスタ１１ｅあるいはトランジスタ１１ｄで行う）し、かつ、駆動用トランジスタのドレイン（Ｄ）端子とゲート（Ｇ）端子（もしくはソース（Ｓ）端子とゲート（Ｇ）端子、さらに一般的に表現すれば駆動用トランジスタのゲート（Ｇ）端子を含む２端子）間をショートする第１の動作と、前記動作の後、駆動用トランジスタに電流（電圧）プログラムを行う第２の動作とを実施するものである。

少なくとも第２の動作は第１の動作後に行うものである。なお、第１の動作における駆動用トランジスタ１１ａあるいはトランジスタ１１ｂとＥＬ素子１５間を切断するという動作は、必ずしも必須の条件ではない。もし、第１の動作における駆動用トランジスタ１１ａあるいはトランジスタ１１ｂとＥＬ素子１５間を切断せずに、駆動用トランジスタのドレイン（Ｄ）端子とゲート（Ｇ）端子間をショートする第１の動作を行っても多少のリセット状態のバラツキが発生する程度で済む場合があるからである。これは、作製したアレイのトランジスタ特性を検討して決定する。

図３９のカレントミラーの画素構成は、電流プログラムトランジスタ１１ａをリセットすることにより、結果として駆動用トランジスタ１１ｂをリセットする駆動方法であった。

図３９のカレントミラーの画素構成では、リセット状態では、必ずしも駆動用トランジスタ１１ｂとＥＬ素子１５間を切断する必要はない。したがって、電流プログラム用トランジスタａのドレイン（Ｄ）端子とゲート（Ｇ）端子（もしくはソース（Ｓ）端子とゲート（Ｇ）端子、さらに一般的に表現すれば電流プログラム用トランジスタのゲート（Ｇ）端子を含む２端子、あるいは駆動用トランジスタのゲート（Ｇ）端子を含む２端子）間をショートする第１の動作と、前記動作の後、電流プログラム用トランジスタに電流（電圧）プログラムを行う第２の動作とを実施するものである。そして、少なくとも第２の動作は第１の動作後に行うものである。

画像表示状態は（もし、瞬時的な変化が観察できるのであれば）、まず、電流プログラムを行われる画素行は、リセット状態（黒表示状態）になり、所定Ｈ後に電流プログラムが

行われる。画面の上から下方向に、黒表示の画素行が移動し、この画素行が通りすぎた位置で画像が書き換わっていくように見えるはずである。

以上の実施例は、電流プログラムの画素構成を中心として説明をしたが、本発明のリセット駆動は電圧プログラムの画素構成にも適用することができる。図４３は電圧プログラムの画素構成におけるリセット駆動を実施するための本発明の画素構成（パネル構成）の説明図である。

図４３の画素構成では、駆動用トランジスタ１１ａをリセット動作させるためのトランジスタ１１ｅが形成されている。ゲート信号線１７ｅにオン電圧が印加されることにより、トランジスタ１１ｅがオンし、駆動用トランジスタ１１ａのゲート（Ｇ）端子とドレイン（Ｄ）端子間をショートさせる。また、ＥＬ素子１５と駆動用トランジスタ１１ａとの電流経路を切断するトランジスタ１１ｄが形成されている。以下、図４４を参照しながら、電圧プログラムの画素構成における本発明のリセット駆動方式について説明をする。

図４４の（ａ）に図示するように、トランジスタ１１ｂ、トランジスタ１１ｄをオフ状態にし、トランジスタ１１ｅをオン状態にする。駆動用トランジスタ１１ａのドレイン（Ｄ）端子とゲート（Ｇ）端子はショート状態となり、図に示すようにＩｂ電流が流れる。そのため、トランジスタ１１ａのゲート（Ｇ）端子とドレイン（Ｄ）端子とが同一電位となり、駆動用トランジスタ１１ａはリセット（電流を流さない状態）になる。なお、トランジスタ１１ａをリセットする前に、図３３あるいは図３９で説明したように、ＨＤ同期信号に同期して、最初にトランジスタ１１ｄをオンさせ、トランジスタ１１ｅをオフさせて、トランジスタ１１ａに電流を流しておく。その後、図４４の（ａ）の動作を実施する。

このトランジスタ１１ａ、トランジスタ１１ｂのリセット状態（電流を流さない状態）は、図４１などで説明した電圧オフセットキャンセラ方式のオフセット電圧を保持した状態と等価である。つまり、図４４の（ａ）の状態では、コンデンサ１９の端子間には、オフセット電圧（リセット電圧）が保持されていることになる。このリセット電圧は駆動用トランジスタ１１ａの特性に応じて異なる電圧値である。つまり、図４４の（ａ）の動作を実施することにより、各画素のコンデンサ１９には駆動用トランジスタ１１ａが電流を流さない（つまり、黒表示電流（ほとんど０に等しい））状態が保持されることになるのである（電流が流れ始める開始電圧にリセットされた）。

なお、電圧プログラムの画素構成においても、電流プログラムの画素構成と同様に、図４４の（ａ）のリセットの実施時間を長くするほど、Ｉｂ電流が流れ、コンデンサ１９の端子電圧が小さくなる傾向がある。したがって、図４４の（ａ）の実施時間は固定値にする必要がある。実施時間は、０．２Ｈ以上５Ｈ（５水平走査期間）以下とすることが好ましい。さらには０．５Ｈ以上４Ｈ以下にすることが好ましい。あるいは、２μｓｅｃ以上４００μｓｅｃ以下とすることが好ましい。

また、ゲート信号線１７ｅは前段の画素行のゲート信号線１７ａと共通にしておくことが好ましい。つまり、ゲート信号線１７ｅと前段の画素行のゲート信号線１７ａとをショート状態で形成する。この構成を前段ゲート制御方式と呼ぶ。なお、前段ゲート制御方式とは、着目画素行より少なくとも１Ｈ前以上に選択される画素行のゲート信号線波形を用いるものである。したがって、１画素行前に限定されるものではない。たとえば、２画素行前のゲート信号線の信号波形を用いて着目画素の駆動用トランジスタ１１ａのリセットを実施してもよい。

前段ゲート制御方式をさらに具体的に記載すれば以下のようになる。着目する画素行が（Ｎ）画素行とし、そのゲート信号線がゲート信号線１７ｅ（Ｎ）、ゲート信号線１７ａ（Ｎ）とする。１Ｈ前に選択される前段の画素行は、画素行が（Ｎ－１）画素行とし、そのゲート信号線がゲート信号線１７ｅ（Ｎ－１）、ゲート信号線１７ａ（Ｎ－１）とする。また、着目画素行の次の１Ｈ後に選択される画素行が（Ｎ＋１）画素行とし、そのゲート信号線がゲート信号線１７ｅ（Ｎ＋１）、ゲート信号線１７ａ（Ｎ＋１）とする。

第（Ｎ－１）Ｈ期間では、第（Ｎ－１）画素行のゲート信号線１７ａ（Ｎ－１）にオン電圧が印加されると、第（Ｎ）画素行のゲート信号線１７ｅ（Ｎ）にもオン電圧が印加される。ゲート信号線１７ｅ（Ｎ）と前段の画素行のゲート信号線１７ａ（Ｎ－１）とがショ

ート状態で形成されているからである。したがって、第（Ｎ－１）画素行の画素のトランジスタ１１ｂ（Ｎ－１）がオンし、ソース信号線１８の電圧が駆動用トランジスタ１１ａ（Ｎ－１）のゲート（Ｇ）端子に書き込まれる。同時に、第（Ｎ）画素行の画素のトランジスタ１１ｅ（Ｎ）がオンし、駆動用トランジスタ１１ａ（Ｎ）のゲート（Ｇ）端子とドレイン（Ｄ）端子間がショートされ、駆動用トランジスタ１１ａ（Ｎ）がリセットされる。

第（Ｎ－１）Ｈ期間の次の第（Ｎ）期間では、第（Ｎ）画素行のゲート信号線１７ａ（Ｎ）にオン電圧が印加されると、第（Ｎ＋１）画素行のゲート信号線１７ｅ（Ｎ＋１）にもオン電圧が印加される。したがって、第（Ｎ）画素行の画素のトランジスタ１１ｂ（Ｎ）がオンし、ソース信号線１８に印加されている電圧が駆動用トランジスタ１１ａ（Ｎ）のゲート（Ｇ）端子に書き込まれる。同時に、第（Ｎ＋１）画素行の画素のトランジスタ１１ｅ（Ｎ＋１）がオンし、駆動用トランジスタ１１ａ（Ｎ＋１）のゲート（Ｇ）端子とドレイン（Ｄ）端子間がショートされ、駆動用トランジスタ１１ａ（Ｎ＋１）がリセットされる。

以下同様に、第（Ｎ）Ｈ期間の次の第（Ｎ＋１）期間では、第（Ｎ＋１）画素行のゲート信号線１７ａ（Ｎ＋１）にオン電圧が印加されると、第（Ｎ＋２）画素行のゲート信号線１７ｅ（Ｎ＋２）にもオン電圧が印加される。したがって、第（Ｎ＋１）画素行の画素のトランジスタ１１ｂ（Ｎ＋１）がオンし、ソース信号線１８に印加されている電圧が駆動用トランジスタ１１ａ（Ｎ＋１）のゲート（Ｇ）端子に書き込まれる。同時に、第（Ｎ＋２）画素行の画素のトランジスタ１１ｅ（Ｎ＋２）がオンし、駆動用トランジスタ１１ａ（Ｎ＋２）のゲート（Ｇ）端子とドレイン（Ｄ）端子間がショートされ、駆動用トランジスタ１１ａ（Ｎ＋２）がリセットされる。

以上の本発明の前段ゲート制御方式では、１Ｈ期間、１駆動用トランジスタ１１ａはリセットされ、その後、電圧（電流）プログラムが実施される。

図３３の（ａ）も同様であるが、図４４の（ａ）のリセット状態と、図４４の（ｂ）の電圧プログラム状態とを同期をとって行う場合は、図４４の（ａ）のリセット状態から、図４４の（ｂ）の電流プログラム状態までの期間が固定値（一定値）となるから問題はない（固定値にされている）。この期間が短いと駆動用トランジスタ１１が完全にリセットされない。また、あまりにも長いと駆動用トランジスタ１１ａが完全にオフ状態となり、今度は電流をプログラムするのに長時間を要するようになる。また、画面１２の輝度も低下する。

図４４の（ａ）を実施後、図４４の（ｂ）の状態にする。図４４の（ｂ）はトランジスタ１１ｂをオンさせ、トランジスタ１１ｅ、トランジスタ１１ｄをオフさせた状態である。図４４の（ｂ）の状態は、電圧プログラムを行っている状態である。つまり、ソースドライバ回路１４からプログラム電圧を出力し、このプログラム電圧を駆動用トランジスタ１１ａのゲート（Ｇ）端子に書き込む（駆動用トランジスタ１１ａのゲート（Ｇ）端子の電位をコンデンサ１９に設定する）。なお、電圧プログラム方式の場合は、電圧プログラム時にトランジスタ１１ｄを必ずしもオフさせる必要はない。また、図１３、図１５などのＮ倍パルス駆動などと組み合わせること、あるいは以上のような、間欠Ｎ／Ｋ倍パルス駆動（１画面に点灯領域を複数設ける駆動方法である。この駆動方法は、トランジスタ１１ｅをオンオフ動作させることにより容易に実現できる）を実施する必要がなければ、トランジスタ１１ｅが必要でない。このことは以前に説明をしたので、説明を省略する。

図４３の構成あるいは図４４の駆動方法で白表示の電圧プログラムを行う場合は、各画素の駆動用トランジスタの特性バラツキが発生していても、完全に黒表示状態のオフセット電圧（各駆動用トランジスタの特性に応じて設定された電流が流れる開始電圧）から電圧プログラムを行う。したがって、目標の電流値にプログラムされる時間が階調に応じて等しくなる。そのため、トランジスタ１１ａの特性バラツキによる階調誤差がなく、良好な画像表示を実現できる。

図４４の（ｂ）の電流プログラミング後、図４４の（ｃ）に図示するように、トランジスタ１１ｂをオフし、トランジスタ１１ｄをオンさせて、駆動用トランジスタ１１ａからの

プログラム電流をＥＬ素子１５に流し、ＥＬ素子１５を発光させる。
以上のように、図４３の電圧プログラムにおける本発明のリセット駆動は、まず、ＨＤ同期信号に同期して、最初にトランジスタ１１ｄをオンさせ、トランジスタ１１ｅをオフさせて、トランジスタ１１ａに電流を流す第１の動作と、トランジスタ１１ａとＥＬ素子１５間を切断し、かつ、駆動用トランジスタ１１ａのドレイン（Ｄ）端子とゲート（Ｇ）端子（もしくはソース（Ｓ）端子とゲート（Ｇ）端子、さらに一般的に表現すれば駆動用トランジスタのゲート（Ｇ）端子を含む２端子）間をショートする第２の動作と、前記動作の後、駆動用トランジスタ１１ａに電圧プログラムを行う第３の動作を実施するものである。
以上の実施例では、駆動用トランジスタ素子１１ａ（図１の画素構成の場合）からＥＬ素子１５に流す電流を制御するのに、トランジスタ１１ｄをオンオフさせて行う。トランジスタ１１ｄをオンオフさせるためには、ゲート信号線１７ｂを走査する必要があり、走査のためには、シフトレジスタ回路６１（ゲートドライバ回路１２）が必要となる。しかし、シフトレジスタ回路６１は規模が大きく、ゲート信号線１７ｂの制御にシフトレジスタ回路６１を用いたのでは狭額縁化できない。図４０で説明する方式は、この課題を解決するものである。
なお、本発明は、主として図１などに図示する電流プログラムの画素構成を例示して説明をするが、これに限定するものではなく、図３８などで説明した他の電流プログラム構成（カレントミラーの画素構成）であっても適用できることはいうまでもない。また、ブロックでオンオフする技術的概念は、図４１などの電圧プログラムの画素構成であっても適用できることは言うまでもない。また、本発明は、ＥＬ素子１５に流れる電流を間欠にする方式であるから、図５０などで説明する逆バイアス電圧を印加する方式とも組み合わせることができることは言うまでもない。以上のように、本発明は他の実施例と組み合わせて実施することができる。
図４０はブロック駆動方式の実施例である。まず、説明を容易にするため、ゲートドライバ回路１２は基板７１に直接形成したか、もしくはシリコンチップのゲートドライバＩＣ１２を基板７１に積載したとして説明をする。また、ソースドライバ回路１４およびソース信号線１８は図面が煩雑になるため省略する。
図４０において、ゲート信号線１７ａはゲートドライバ回路１２と接続されている。一方、各画素のゲート信号線１７ｂは点灯制御線４０１と接続されている。図４０では４本のゲート信号線１７ｂが１つの点灯制御線４０１と接続されている。
なお、４本のゲート信号線１７ｂでブロックするというのはこれに限定するものではなく、それ以上であってもよいことは言うまでもない。一般的に表示画面５０は少なくとも５以上に分割することが好ましい。さらに好ましくは、１０以上に分割することが好ましい。さらには、２０以上に分割することが好ましい。分割数が少ないと、フリッカが見えやすい。あまりにも分割数が多いと、点灯制御線４０１の本数が多くなり、点灯制御線４０１のレイアウトが困難になる。
したがって、ＱＣＩＦ表示パネルの場合は、垂直走査線の本数が２２０本であるから、少なくとも、２２０／５＝４４本以上でブロック化する必要があり、好ましくは、２２０／１０＝１１以上でブロック化する必要がある。ただし、奇数行と偶数行で２つのブロック化を行った場合は、低フレームレートでも比較的フリッカの発生が少ないため、２つのブロック化で十分の場合がある。
図４０の実施例では、点灯制御線４０１ａ、４０１ｂ、４０１ｃ、４０１ｄ……４０１ｎと順次、オン電圧（Ｖｇｌ）を印加するか、もしくはオフ電圧（Ｖｇｈ）を印加し、ブロックごとにＥＬ素子１５に流れる電流をオンオフさせる。
なお、図４０の実施例では、ゲート信号線１７ｂと点灯制御線４０１とがクロスすることがない。したがって、ゲート信号線１７ｂと点灯制御線４０１とのショート欠陥は発生しない。また、ゲート信号線１７ｂと点灯制御線４０１とが容量結合することがないため、点灯制御線４０１からゲート信号線１７ｂ側を見た時の容量付加が極めて小さい。したがって、点灯制御線４０１を駆動しやすい。

ゲートドライバ回路１２にはゲート信号線１７ａが接続されている。ゲート信号線１７ａにオン電圧を印加することにより、画素行が選択され、選択された各画素のトランジスタ１１ｂ、１１ｃはオンして、ソース信号線１８に印加された電流（電圧）を各画素のコンデンサ１９にプログラムする。一方、ゲート信号線１７ｂは各画素のトランジスタ１１ｄのゲート（Ｇ）端子と接続されている。したがって、点灯制御線４０１にオン電圧（Ｖｇｌ）が印加されたとき、駆動用トランジスタ１１ａとＥＬ素子１５との電流経路を形成し、逆にオフ電圧（Ｖｇｈ）が印加された時は、ＥＬ素子１５のアノード端子をオープンにする。

なお、点灯制御線４０１に印加するオンオフ電圧の制御タイミングと、ゲートドライバ回路１２がゲート信号線１７ａに出力する画素行選択電圧（Ｖｇｌ）のタイミングは１水平走査クロック（１Ｈ）に同期していることが好ましい。しかし、これに限定するものではない。

点灯制御線４０１に印加する信号は単に、ＥＬ素子１５への電流をオンオフさせるだけである。また、ソースドライバ回路１４が出力する画像データと同期がとれている必要もない。点灯制御線４０１に印加する信号は、各画素１６のコンデンサ１９にプログラムされた電流を制御するものだからである。したがって、必ずしも、画素行の選択信号と同期がとれている必要はない。また、同期する場合であってもクロックは１Ｈ信号に限定されるものではなく、１／２Ｈでも、１／４Ｈであってもよい。

図３８に図示したカレントミラーの画素構成の場合であっても、ゲート信号線１７ｂを点灯制御線４０１に接続することにより、トランジスタ１１ｅをオンオフ制御できる。したがって、ブロック駆動を実現できる。

なお、図３２において、ゲート信号線１７ａを点灯制御線４０１に接続し、リセットを実施すれば、ブロック駆動を実現できる。つまり、本発明のブロック駆動とは、１つの制御線で、複数の画素行を同時に非点灯（あるいは黒表示）とする駆動方法である。

以上の実施例は、１画素行ごとに１本の選択画素行を配置（形成）する構成であった。本発明は、これに限定するものではなく、複数の画素行で１本の選択ゲート信号線を配置（形成）してもよい。

図４１はその実施例である。なお、説明を容易にするため、画素構成は図１の場合を主として例示して説明をする。図４１では画素行の選択ゲート信号線１７ａは３つの画素（１６Ｒ、１６Ｇ、１６Ｂ）を同時に選択する。Ｒの記号とは赤色の画素関連を意味し、Ｇの記号とは緑色の画素関連を意味し、Ｂの記号とは青色の画素関連を意味するものとする。したがって、ゲート信号線１７ａの選択により、画素１６Ｒ、画素１６Ｇおよび画素１６Ｂが同時に選択されデータ書き込み状態となる。画素１６Ｒはソース信号線１８Ｒからデータをコンデンサ１９Ｒに書き込み、画素１６Ｇはソース信号線１８Ｇからデータをコンデンサ１９Ｇに書き込む。画素１６Ｂはソース信号線１８Ｂからデータをコンデンサ１９Ｂに書き込む。

画素１６Ｒのトランジスタ１１ｄはゲート信号線１７ｂＲに接続されている。また、画素１６Ｇのトランジスタ１１ｄはゲート信号線１７ｂＧに接続され、画素１６Ｂのトランジスタ１１ｄはゲート信号線１７ｂＢに接続されている。したがって、画素１６ＲのＥＬ素子１５Ｒ、画素１６ＧのＥＬ素子１５Ｇ、画素１６ＢのＥＬ素子１５Ｂは別個にオンオフ制御することができる。つまり、ＥＬ素子１５Ｒ、ＥＬ素子１５Ｇ、ＥＬ素子１５Ｂはそれぞれのゲート信号線１７ｂＲ、１７ｂＧ、１７ｂＢを制御することにより、点灯時間、点灯周期を個別に制御可能である。

この動作を実現するためには、図６の構成において、ゲート信号線１７ａを走査するシフトレジスタ回路６１と、ゲート信号線１７ｂＲを走査するシフトレジスタ回路６１と、ゲート信号線１７ｂＧを走査するシフトレジスタ回路６１と、ゲート信号線１７ｂＢを走査するシフトレジスタ回路６１の４つを形成（配置）することが適切である。

なお、ソース信号線１８に所定電流のＮ倍の電流を流し、ＥＬ素子１５に所定電流のＮ倍の電流を１／Ｎの期間流すとしたが、実用上はこれを実現できない。実際にはゲート信号線１７に印加した信号パルスがコンデンサ１９に突き抜け、コンデンサ１９に所望の電圧

値（電流値）を設定できないからである。一般的にコンデンサ１９には所望の電圧値（電流値）よりも低い電圧値（電流値）が設定される。たとえば、１０倍の電流値を設定するように駆動しても、５倍程度の電流しかコンデンサ１９には設定されない。たとえば、Ｎ＝１０としても実際にＥＬ素子１５に流れる電流はＮ＝５の場合と同一となる。したがって、本発明はＮ倍の電流値を設定し、Ｎ倍に比例したあるいは対応する電流をＥＬ素子１５に流れるように駆動する方法である。もしくは、所望値よりも大きい電流をＥＬ素子１５にパルス状に印加する駆動方法である。

また、所望値より電流（そのまま、ＥＬ素子１５に連続して電流を流すと所望輝度よりも高くなるような電流）を駆動用トランジスタ１１ａ（図１を例示する場合）に電流（電圧）プログラムを行い、ＥＬ素子１５に流れる電流を間欠にすることにより、所望のＥＬ素子の発光輝度を得るものである。

なお、このコンデンサ１９への突き抜けによる補償回路は、ソースドライバ回路１４内に導入する。この事項については後ほど説明をする。

また、図１などのスイッチングトランジスタ１１ｂ、１１ｃなどはＮチャンネルで形成することが好ましい。コンデンサ１９への突き抜け電圧が低減するからである。また、コンデンサ１９のオフリークも減少するから、１０Ｈｚ以下の低いフレームレートにも適用できるようになる。

また、画素構成によっては、突き抜け電圧がＥＬ素子１５に流れる電流を増加させる方向に作用する場合は、白ピーク電流が増加し、画像表示のコントラスト感が増加する。したがって、良好な画像表示を実現できる。

逆に、図１のスイッチングトランジスタ１１ｂ、１１ｃをＰチャンネルにすることにより突き抜けを発生させて、より黒表示を良好にする方法も有効である。Ｐチャンネルトランジスタ１１ｂがオフするときにはＶｇｈ電圧となる。そのため、コンデンサ１９の端子電圧がＶｄｄ側に少しシフトする。そのため、トランジスタ１１ａのゲート（Ｇ）端子電圧は上昇し、より黒表示となる。また、第１階調表示とする電流値を大きくすることができるから（階調１までに一定のベース電流を流すことができる）、電流プログラム方式で書き込み電流不足を軽減できる。

以下、図面を参照しながら本発明の他の駆動方式について説明をする。図１７４は本発明のシーケンス駆動を実施するための表示パネルの説明図である。ソースドライバ回路１４は接続端子７６１にＲ、Ｇ、Ｂデータを切り替えて出力する。したがって、ソースドライバ回路１４の出力端子数は図４８などの場合に比較して１／３の出力端子数ですむ。

ソースドライバ回路１４から接続端子７６１に出力する信号は、出力切り替え回路１７４１のよりソース信号線１８Ｒ、１８Ｇ、１８Ｂに振り分けられる。出力切り替え回路１７４１はポリシリコン技術で基板７１に直接形成する。また、出力切り替え回路１７４１はシリコンチップで形成し、ＣＯＧ技術で基板７１に実装してもよい。また、出力切り替え回路１７４１は出力切り替え回路１７４１をソースドライバ回路１４の回路として、ソースドライバ回路１４に内蔵させてもよい。

切り替えスイッチ１７４２がＲ端子に接続されている時は、ソースドライバ回路１４からの出力信号は、ソース信号線１８Ｒに印加される。切り替えスイッチ１７４２がＧ端子に接続されている時は、ソースドライバ回路１４からの出力信号は、ソース信号線１８Ｇに印加される。切り替えスイッチ１７４２がＢ端子に接続されている時は、ソースドライバ回路１４からの出力信号は、ソース信号線１８Ｂに印加される。

なお、図１７５の構成では、切り替えスイッチ１７４２がＲ端子に接続されている時は、切り替えスイッチのＧ端子およびＢ端子はオープンである。したがって、ソース信号線１８Ｇおよび１８Ｂに入力される電流は０Ａである。したがって、ソース信号線１８Ｇおよび１８Ｂに接続された画素１６は黒表示となる。

切り替えスイッチ１７４２がＧ端子に接続されている時は、切り替えスイッチのＲ端子およびＢ端子はオープンである。したがって、ソース信号線１８Ｒおよび１８Ｂに入力される電流は０Ａである。したがって、ソース信号線１８Ｒおよび１８Ｂに接続された画素１６は黒表示となる。

なお、図１７５の構成では、切り替えスイッチ１７４２がＢ端子に接続されている時は、切り替えスイッチのＲ端子およびＧ端子はオープンである。したがって、ソース信号線１８Ｒおよび１８Ｇに入力される電流は０Ａである。したがって、ソース信号線１８Ｒおよび１８Ｇに接続された画素１６は黒表示となる。

基本的には、１フレームが３フィールドで構成される場合、第１フィールドで、表示画面５０の画素１６に順次Ｒ画像データが書き込まれる。第２フィールドでは、表示画面５０の画素１６に順次Ｇ画像データが書き込まれる。また、第３フィールドでは、表示画面５０の画素１６に順次Ｂ画像が書き込まれる。

以上のように、フィールドごとにＲデータ→Ｇデータ→Ｂデータ→Ｒデータ→・・・・・が順次書き換えられシーケンス駆動が実現される。図１のようにスイッチングトランジスタ１１ｄをオンオフさせて、Ｎ倍パルス駆動を実現することなどは、図５、図１３、図１６などで説明をした。これらの駆動方法をシーケンス駆動と組み合わせることができることは言うまでもない。

また、先に説明した実施例では、Ｒ画素１６に画像データを書き込む時は、Ｇ画素およびＢ画素には黒データを書き込むとした。Ｇ画素１６に画像データを書き込む時は、Ｒ画素およびＢ画素には黒データを書き込むとした。Ｂ画素１６に画像データを書き込む時は、Ｒ画素およびＧ画素には黒データを書き込むとした。本発明はこれに限定するものではない。

たとえば、Ｒ画素１６に画像データを書き込む時は、Ｇ画素およびＢ画素の画像データは前フィールドで書き換えられた画像データを保持するようにしてもよい。このように駆動すれば画面５０輝度を明るくすることができる。Ｇ画素１６に画像データを書き込む時は、Ｒ画素およびＢ画素の画像データは前フィールドで書き換えられた画像データを保持するようにする。Ｂ画素１６に画像データを書き込む時は、Ｇ画素およびＲ画素の画像データは前フィールドで書き換えられた画像データを保持する。

以上のように、書き換えている色画素以外の画素の画像データを保持するには、ＲＧＢ画素でゲート信号線１７ａを独立に制御できるようにすればよい。たとえば、図１７４に図示するように、ゲート信号線１７ａＲは、Ｒ画素のトランジスタ１１ｂ、トランジスタ１１ｃのオンオフを制御する信号線とする。また、ゲート信号線１７ａＧは、Ｇ画素のトランジスタ１１ｂ、トランジスタ１１ｃのオンオフを制御する信号線とする。ゲート信号線１７ａＢは、Ｂ画素のトランジスタ１１ｂ、トランジスタ１１ｃのオンオフを制御する信号線とする。一方、ゲート信号線１７ｂはＲ画素、Ｇ画素、Ｂ画素のトランジスタ１１ｄを共通でオンオフさせる信号線とする。

以上のように構成すれば、ソースドライバ回路１４がＲの画像データを出力し、切り替えスイッチ１７４２がＲ接点に切り替わっているときは、ゲート信号線１７ａＲにオン電圧を印加し、ゲート信号線ａＧとゲート信号線ａＢとにオフ電圧を印加することができる。したがって、Ｒの画像データをＲ画素１６に書き込み、Ｇ画素１６およびＢ画素１６は前にフィールドの画像データを保持したままにできる。

第２フィールドでソースドライバ回路１４がＧの画像データを出力し、切り替えスイッチ１７４２がＧ接点に切り替わっているときは、ゲート信号線１７ａＧにオン電圧を印加し、ゲート信号線ａＲとゲート信号線ａＢとにオフ電圧を印加することができる。したがって、Ｇの画像データをＧ画素１６に書き込み、Ｒ画素１６およびＢ画素１６は前にフィールドの画像データを保持したままにできる。

第３フィールドでソースドライバ回路１４がＢの画像データを出力し、切り替えスイッチ１７４２がＢ接点に切り替わっているときは、ゲート信号線１７ａＢにオン電圧を印加し、ゲート信号線ａＲとゲート信号線ａＧとにオフ電圧を印加することができる。したがって、Ｂの画像データをＢ画素１６に書き込み、Ｒ画素１６およびＧ画素１６は前にフィールドの画像データを保持したままにできる。

図１７４の実施例では、ＲＧＢごとに画素１６のトランジスタ１１ｂをオンオフさせるゲート信号線１７ａを形成あるいは配置するとした。しかし、本発明はこれに限定されるものではない。たとえば、図１７５に図示するように、ＲＧＢの画素１６に共通のゲート信

号線１７ａを形成または配置する構成であってもよい。
図１７４などの構成において、切り替えスイッチ１７４２がＲのソース信号線を選択しているときは、Ｇのソース信号線とＢのソース信号線はオープンになるとして説明をした。しかし、オープン状態は電気的にはフローティング状態であり、好ましいことではない。図１７５は、このフローティング状態をなくすために対策を行った構成である。出力切り替え回路１７４１の切り替えスイッチ１７４２のａ端子はＶａａ電圧（黒表示となる電圧）に接続されている。ｂ端子はソースドライバ回路１４の出力端子と接続されている。切り替えスイッチ１７４２はＲＧＢそれぞれに設けられている。
図１７５の状態では、切り替えスイッチ１７４２ＲはＶａａ端子に接続されている。したがって、ソース信号線１８Ｒには、Ｖａａ電圧（黒電圧）が印加されている。切り替えスイッチ１７４２ＧはＶａａ端子に接続されている。したがって、ソース信号線１８Ｇには、Ｖａａ電圧（黒電圧）が印加されている。切り替えスイッチ１７４２ＢはソースドライバＩＣ回路１４の出力端子に接続されている。したがって、ソース信号線１８Ｂには、Ｂの映像信号が印加されている。
以上の状態では、Ｂ画素の書き換え状態であり、Ｒ画素とＧ画素には黒表示電圧が印加される。以上のように切り替えスイッチ１７４２を制御することにより、画素１６の画像は書き換えられる。なお、ゲート信号線１７ｂの制御などに関しては以前説明した実施例と同様であるので説明を省略する。
以上の実施例では、第１フィールドでＲ画素１６を書き換え、第２フィールドでＧ画素１６を書き換え、第３フィールドでＢ画素１６を書き換えるとした。つまり、１フィールドごとに書き換えられる画素の色が変化する。本発明はこれに限定されるものではない。１水平走査期間（１Ｈ）ごとに書き換える画素の色を変化させてもよい。たとえば、１Ｈ目にＲ画素を書き換え、２Ｈ番目にＧ画素を書き換え、３Ｈ番目にＢ画素を書き換え、４Ｈ番目にＲ画素を書き換え、・・・・・・と駆動する方法である。もちろん、２Ｈ以上の複数水平走査期間ごとに書き換える画素の色を変化させてもよいし、１／３フィールドごとに書き換える画素の色を変化させてもよい。
図１７６は１Ｈごとに書き換える画素の色を変化させた実施例である。なお、図１７６から図１７８において、斜線でしめした画素１６は、画素を書き換えずに前フィールドの画像データを保持していること、もしくは、黒表示にされていることを示している。もちろん、画素を黒表示したり、前フィールドのデータを保持したりと繰り返し実施してもよい。
なお、図１７４から図１７８の駆動方式において、図１３などのＮ倍パルス駆動やＭ行同時駆動を実施してもよいことは言うまでもない。図１７４から図１７８などは画素１６の書き込み状態を説明している。ＥＬ素子１５の点灯制御は説明しないが、以前あるいは以降に説明する実施例を組み合わせることができることは言うまでもない。
また、１フレームは３フィールドで構成されることに限定されるものではない。２フィールドでもよいし、４フィールド以上でもよい。１フレームが２フィールドで、ＲＧＢの３原色の場合は、第１フィールドで、ＲとＧ画素を書き換え、第２フィールドでＢ画素を書き換えるという実施例が例示される。また、１フレームが４フィールドで、ＲＧＢの３原色の場合は、第１フィールドで、Ｒ画素を書き換え、第２フィールドでＧ画素を書き換え、第３フィールドと第４フィールドでＢ画素を書き換えるという実施例が例示される。これらのシーケンスは、ＲＧＢのＥＬ素子１５の発光効率を考慮して検討することにより効率よくホワイトバランスをとることができる。
以上の実施例では、第１フィールドでＲ画素１６を書き換え、第２フィールドでＧ画素１６を書き換え、第３フィールドでＢ画素１６を書き換えるとした。つまり、１フィールドごとに書き換えられる画素の色が変化する。
図１７６の実施例では、第１フィールドの１Ｈ目にＲ画素を書き換え、２Ｈ番目にＧ画素を書き換え、３Ｈ番目にＢ画素を書き換え、４Ｈ番目にＲ画素を書き換え、・・・・・・と駆動する方法である。もちろん、２Ｈ以上の複数水平走査期間ごとに書き換える画素の色を変化させてもよいし、１／３フィールドごとに書き換える画素の色を変化させてもよ

い。
図１７６の実施例では、第１フィールドの１Ｈ目にＲ画素を書き換え、２Ｈ番目にＧ画素を書き換え、３Ｈ番目にＢ画素を書き換え、４Ｈ番目にＲ画素を書き換える。第２フィールドの１Ｈ目にＧ画素を書き換え、２Ｈ番目にＢ画素を書き換え、３Ｈ番目にＲ画素を書き換え、４Ｈ番目にＧ画素を書き換える。第３フィールドの１Ｈ目にＢ画素を書き換え、２Ｈ番目にＲ画素を書き換え、３Ｈ番目にＧ画素を書き換え、４Ｈ番目にＢ画素を書き換える。
以上のように、各フィールドでＲ、Ｇ、Ｂ画素を任意にあるいは所定の規則性を持って書き換えることにより、Ｒ、Ｇ、Ｂのカラーセパレーションを防止することができる。また、フリッカの発生も抑制できる。
図１７７では、１Ｈごとに書き換えられる画素１６の色数は複数となっている。図１７６では、第１フィールドにおいて、１Ｈ番目は書き換えられる画素１６はＲ画素であり、２Ｈ番目は書き換えられる画素１６はＧ画素である。また、３Ｈ番目は書き換えられる画素１６はＢ画素であり、４Ｈ番目は書き換えられる画素１６はＲ画素である。
図１７７では、１Ｈごとに、書き換える画素の色位置を異ならせている。各フィールドでＲ、Ｇ、Ｂ画素を異ならせ（所定の規則性を持っていてもよいことは言うまでもない）、順次書き換えることにより、Ｒ、Ｇ、Ｂのカラーセパレーションを防止することができる。また、フリッカの発生も抑制できる。
なお、図１７７の実施例においても、各絵素（ＲＧＢ画素の組）では、ＲＧＢの点灯時間あるいは発光強度を一致させる。このことは、図１７５、図１７６などの実施例においても当然実施することは言うまでもない。色ムラになるからである。
図１７７のように、１Ｈごとに書き換える画素の色数（図１７７の第１フィールドの１Ｈ番目は、Ｒ、Ｇ、Ｂの３色が書き換えられている）を複数にするのは、図１７４において、ソースドライバ回路１４が各出力端子に任意（一定の規則性があってもよい）の色の映像信号を出力できるように構成し、切り替えスイッチ１７４２が接点Ｒ、Ｇ、Ｂを任意（一定の規則性があってもよい）に接続できるように構成すればよい。
図１７８の実施例の表示パネルでは、ＲＧＢの３原色に加えて、Ｗ（白）の画素１６Ｗを有している。画素１６Ｗを形成または配置することにより、色ピーク輝度を良好に実現できる。また、高輝度表示を実現できる。図１７８の（ａ）は１画素行に、Ｒ、Ｇ、Ｂ、Ｗ画素１６を形成した実施例である。図１７８の（ｂ）は、１画素行ごとに、ＲＧＢＷの画素１６を配置した構成である。
図１７８の駆動方法においても、図１７６、図１７７などの駆動方式を実施できることは言うまでもない。また、Ｎ倍パルス駆動や、Ｍ画素行同時駆動などを実施できることは言うまでもない。これらの事項は、当業者であれば本明細書により容易に具現化できるので説明を省略する。
なお、本発明は説明を容易にするため、本発明の表示パネルはＲＧＢの３原色を有するとして説明しているが、これに限定するものではない。ＲＧＢに加えて、シアン、イエロー、マゼンダを加えても良いし、Ｒ、Ｇ、Ｂのいずれかの単色、Ｒ、Ｇ、Ｂのいずれかの２色を用いた表示パネルであってもよい。
また、以上のシーケンス駆動方式では、フィールドごとにＲＧＢを操作するとしてが、本発明はこれに限定されるものではないことは言うまでもない。また、図１７４から図１７８の実施例は、画素１６に画像データを書き込む方法について説明したものである。図１などのトランジスタ１１ｄを操作し、ＥＬ素子１５に電流を流して画像を表示する方式を説明したものではない（もちろん、関連している）。ＥＬ素子１５に流れる電流は、図１の画素構成では、トランジスタ１１ｄを制御することにより行う。
また、図１７６、図１７７などの駆動方法では、トランジスタ１１ｄ（図１の場合）を制御することにより、ＲＧＢ画像を順次表示することができる。たとえば、図１７９の（ａ）は１フレーム（１フィールド）期間にＲ表示領域５３Ｒ、Ｇ表示領域５３Ｇ、Ｂ表示領域５３Ｂを画面の上から下方向（下方向から上方向でもよい）に走査する。ＲＧＢの表示領域以外の領域は非表示領域５２とする。つまり、間欠駆動を実施する。

図１７９の（ｂ）は１フィールド（１フレーム）期間にＲＧＢ表示領域５３を複数発生するように実施した実施例である。この駆動方法は、図１６の駆動方法と類似である。したがって、説明を必要としないであろう。図１７９の（ｂ）に表示領域５３を複数に分割することにより、フリッカの発生はより低フレームレートでもなくなる。

図１８０の（ａ）は、ＲＧＢの表示領域５３で表示領域５３の面積を異ならせたものである（表示領域５３の面積は点灯期間に比例することは言うまでもない）。図１８０の（ａ）では、Ｒ表示領域５３ＲとＧ表示領域５３Ｇと面積を同一にしている。Ｇ表示領域５３ＧよりＢ表示領域５３Ｂの面積を大きくしている。有機ＥＬ表示パネルでは、Ｂの発光効率が悪い場合が多い。図１８０の（ａ）のようにＢ表示領域５３Ｂを他の色の表示領域５３よりも大きくすることにより、効率よくホワイトバランスをとることができるようになる。

図１８０の（ｂ）は、１フィールド（フレーム）期間で、Ｂ表示期間５３Ｂが複数（５３Ｂ１、５３Ｂ２）となるようにした実施例である。図１８０の（ａ）は１つのＢ表示領域５３Ｂを変化させる方法であった。変化させることによりホワイトバランスを良好に調整できるようにする。図１８０の（ｂ）は、同一面積のＢ表示領域５３Ｂを複数表示させることにより、ホワイトバランスを良好にする。

本発明の駆動方式は図１８０の（ａ）と図１８０の（ｂ）のいずれに限定するものではない。Ｒ、Ｇ、Ｂの表示領域５３を発生し、また、間欠表示することにより、結果として動画ボケを対策し、画素１６への書き込み不足を改善することを目的としている。なお、図１６の駆動方法では、Ｒ、Ｇ、Ｂが独立の表示領域５３は発生しない。ＲＧＢが同時に表示される（Ｗ表示領域５３が表示されると表現すべきである）。なお、図１８０の（ａ）と図１８０の（ｂ）とは組み合わせてもよいことはいうまでもない。たとえば、図１８０の（ａ）のＲＧＢの表示面積５３を変化し、かつ図１８０の（ｂ）のＲＧＢの表示領域５３を複数発生させる駆動方法の実施である。

なお、図１７９から図１８０の駆動方式は、図１７４から図１７８の本発明の駆動方式に限定されるものではない。図４１のように、ＲＧＢごとにＥＬ素子１５（ＥＬ素子１５Ｒ、ＥＬ素子１５Ｇ、ＥＬ素子１５Ｂ）に流れる電流を制御できる構成あれば、図１７９、図１８０の駆動方式を容易に実施できることは言うでもないであろう。ゲート信号線１７ｂＲにオンオフ電圧を印加することにより、Ｒ画素１６Ｒをオンオフ制御することができる。ゲート信号線１７ｂＧにオンオフ電圧を印加することにより、Ｇ画素１６Ｇをオンオフ制御することができる。ゲート信号線１７ｂＢにオンオフ電圧を印加することにより、Ｂ画素１６Ｂをオンオフ制御することができる。

また、以上の駆動を実現するためには、図１８１に図示するように、ゲート信号線１７ｂＲを制御するゲートドライバ回路１２ｂＲ、ゲート信号線１７ｂＧを制御するゲートドライバ回路１２ｂＧ、ゲート信号線１７ｂＢを制御するゲートドライバ回路１２ｂＢを形成または配置すればよい。図１８１のゲートドライバ１２ｂＲ、１２ｂＧ、１２ｂＢを図６などで説明した方法で駆動することにより、図１７９、図１８０の駆動方法を実現できる。もちろん、図１８１の表示パネルの構成で、図１６の駆動方法なども実現できることは言うまでもない。

また、図１７４から図１７７の構成で、画像データを書き換える画素１６以外の画素１６に、黒画像データを書き換える方式であれば、ＥＬ素子１５Ｒを制御するゲート信号線１７ｂＲ、ＥＬ素子１５Ｇを制御するゲート信号線１７ｂＧ、ＥＬ素子１５Ｂを制御するゲート信号線ｂＢが分離されておらず、ＲＧＢ画素に共通のゲート信号線１７ｂであっても、図１７９、図１８０の駆動方式を実現できることは言うまでもない。

図１５、図１８、図２１などでは、ゲート信号線１７ｂ（ＥＬ側選択信号線）は１水平走査期間（１Ｈ）を単位として、オン電圧（Ｖｇｌ）、オフ電圧（Ｖｇｈ）を印加するとして説明をした。しかし、ＥＬ素子１５の発光量は、流す電流が定電流の時、流す時間に比例する。したがって、流す時間は１Ｈ単位に限定する必要はない。

図１９４は、１／４ｄｕｔｙ駆動である。４Ｈ期間に１Ｈ期間の間、ゲート信号線１７ｂ（ＥＬ側選択信号線）にオン電圧が印加され、水平同期信号（ＨＤ）に同期してオン電圧

が印加されている位置が走査される。したがって、オン時間は１Ｈ単位である。
しかし、本発明はこれに限定するものではなく、図１９７に図示するように１Ｈ未満（図１９７は１／２Ｈ）としてもよく、また、１Ｈ以下としてもよい。つまり、１Ｈ単位に限定されるものではなく、１Ｈ単位以外の発生も容易である。ゲートドライバ回路１２ｂ（ゲート信号線１７ｂを制御する回路である）の出力段に形成または配置されたＯＥＶ２回路を用いればよい。
アウトプットイネーブル（ＯＥＶ）の概念を導入するため、以下のように規定する。ＯＥＶ制御を行うことにより、１水平走査期間（１Ｈ）以内のゲート信号線１７ａ、１７ｂにオンオフ電圧（Ｖｇｌ電圧、Ｖｇｈ電圧）を画素１６に印加できるようになる。
説明を容易にするため、本発明の表示パネルでは、電流プログラムを行う画素行を選択するゲート信号線１７ａ（図１の場合）であるとして説明をする。また、ゲート信号線１７ａを制御するゲートドライバ回路１２ａの出力をＷＲ側選択信号線と呼ぶ。ＥＬ素子１５を選択するゲート信号線１７ｂ（図１の場合）であるとして説明をする。また、ゲート信号線１７ｂを制御するゲートドライバ回路１２ｂの出力をＥＬ側選択信号線と呼ぶ。
ゲートドライバ回路１２は、スタートパルスが入力され、入力されたスタートパルスが保持データとして順次シフトレジスタ内をシフトする。ゲートドライバ回路１２ａのシフトレジスタ内の保持データにより、ＷＲ側選択信号線に出力される電圧がオン電圧（Ｖｇｌ）かオフ電圧（Ｖｇｈ）かが決定される。さらに、ゲートドライバ回路１２ａの出力段には、強制的に出力をオフにするＯＥＶ１回路（図示せず）が形成または配置されている。ＯＥＶ１回路がＬレベルの時には、ゲートドライバ回路１２ａの出力であるＷＲ側選択信号をそのままゲート信号線１７ａに出力する。以上の関係をロジック的に図示すれば、図２２４の（ａ）の関係となる（ＯＲ回路である）。なお、オン電圧をロジックレベルのＬ（０）とし、オフ電圧をロジック電圧のＨ（１）としている。
つまり、ゲートドライバ回路１２ａがオフ電圧を出力している場合は、ゲート信号線１７ａにオフ電圧が印加される。ゲートドライバ回路１２ａがオン電圧（ロジックではＬレベル）を出力している場合は、ＯＲ回路でＯＥＶ１回路の出力とＯＲが取られてゲート信号線１７ａに出力される。つまり、ＯＥＶ１回路は、Ｈレベルの時、ゲートドライバ信号線１７ａに出力する電圧をオフ電圧（Ｖｇｈ）にする（図２２４のタイミングチャートの例を参照のこと）。
ゲートドライバ回路１２ｂのシフトレジスタ内の保持データにより、ゲート信号線１７ｂ（ＥＬ側選択信号線）に出力される電圧がオン電圧（Ｖｇｌ）かオフ電圧（Ｖｇｈ）かが決定される。さらに、ゲートドライバ回路１２ｂの出力段には、強制的に出力をオフにするＯＥＶ２回路（図示せず）が形成または配置されている。ＯＥＶ２回路がＬレベルの時には、ゲートドライバ回路１２ｂの出力をそのままゲート信号線１７ｂに出力する。以上の関係をロジック的に図示すれば、図１１６の（ａ）の関係となる。なお、オン電圧をロジックレベルのＬ（０）とし、オフ電圧をロジック電圧のＨ（１）としている。
つまり、ゲートドライバ回路１２ｂがオフ電圧を出力している場合（ＥＬ側選択信号はオフ電圧）は、ゲート信号線１７ｂにオフ電圧が印加される。ゲートドライバ回路１２ｂがオン電圧（ロジックではＬレベル）を出力している場合は、ＯＲ回路でＯＥＶ２回路の出力とＯＲが取られてゲート信号線１７ｂに出力される。つまり、ＯＥＶ２回路は、入力信号がＨレベルの時、ゲートドライバ信号線１７ｂに出力する電圧をオフ電圧（Ｖｇｈ）にする。したがって、ＯＥＶ２回路のよりＥＬ側選択信号がオン電圧出力状態であっても、強制的にゲート信号線１７ｂに出力される信号はオフ電圧（Ｖｇｈ）になる。なお、ＯＥＶ２回路の入力がＬであれば、ＥＬ側選択信号がスルーでゲート信号線１７ｂに出力される（図２２４のタイミングチャートの例を参照のこと）。
なお、ＯＥＶ２の制御により、画面輝度を調整する。画面輝度により変化できる明るさの許容範囲がある。図２２３は許容変化（％）と画面輝度（ｎｔ）の関係を図示したものである。図２２３でわかるように、比較的暗い画像で許容変化量が小さい。したがって、ＯＥＶ２による制御あるいはｄｕｔｙ比制御による画面５０の輝度調整は、画面５０輝度を考慮して制御する。制御による許容変化は画面が明るい時よりも暗い時を短くする。

図１９５は、ゲート信号線１７ｂ（ＥＬ側選択信号線）のオン時間は１Ｈを単位としていない。奇数画素行のゲート信号線１７ｂ（ＥＬ側選択信号線）は１Ｈ弱の期間オン電圧が印加される。偶数画素行のゲート信号線１７ｂ（ＥＬ側選択信号線）は、極短い期間オン電圧が印加される。また、奇数画素行のゲート信号線１７ｂ（ＥＬ側選択信号線）に印加されるオン電圧時間Ｔ１と偶数画素行のゲート信号線１７ｂ（ＥＬ側選択信号線）に印加されるオン電圧時間Ｔ２を加えた時間を１Ｈ期間となるようにしている。図１９５を第１フィールドの状態とする。

第１フィールドの次の第２フィールドでは、偶数画素行のゲート信号線１７ｂ（ＥＬ側選択信号線）は１Ｈ弱の期間オン電圧が印加される。奇数画素行のゲート信号線１７ｂ（ＥＬ側選択信号線）は、極短い期間オン電圧が印加される。また、偶数画素行のゲート信号線１７ｂ（ＥＬ側選択信号線）に印加されるオン電圧時間Ｔ１と奇数画素行のゲート信号線１７ｂ（ＥＬ側選択信号線）に印加されるオン電圧時間Ｔ２を加えた時間を１Ｈ期間となるようにしている。

以上のように、複数画素行でのゲート信号線１７ｂ（ＥＬ側選択信号線）に印加するオン時間の和を一定となるようにし、また、複数フィールドで各画素行のＥＬ素子１５の点灯時間を一定となるようにしてもよい。

図１９６は、ゲート信号線１７ｂ（ＥＬ側選択信号線）のオン時間を１．５Ｈをしている。また、Ａ点におけるゲート信号線１７ｂ（ＥＬ側選択信号線）の立ち上りと立下りが重なるようにしている。ゲート信号線１７ｂ（ＥＬ側選択信号線）とソース信号線１８とはカップリングしている。そのため、ゲート信号線１７ｂ（ＥＬ側選択信号線）の波形が変化すると波形の変化がソース信号線１８に突き抜ける。この突き抜けによりソース信号線１８に電位変動が発生すると電流（電圧）プログラムの精度が低下し、駆動用トランジスタ１１ａの特性ムラが表示されるようになる。

図１９６において、Ａ点において、ゲート信号線１７Ｂ（ＥＬ側選択信号線）（１）はオン電圧（Ｖｇｌ）印加状態からオフ電圧（Ｖｇｈ）印加状態に変化する。ゲート信号線１７Ｂ（ＥＬ側選択信号線）（２）はオフ電圧（Ｖｇｈ）印加状態からオン電圧（Ｖｇｌ）印加状態に変化する。したがって、Ａ点では、ゲート信号線１７Ｂ（ＥＬ側選択信号線）（１）の信号波形とゲート信号線１７Ｂ（ＥＬ側選択信号線）（２）の信号波形が打ち消しあう。したがって、ソース信号線１８とゲート信号線１７Ｂ（ＥＬ側選択信号線）とがカップリングしていても、ゲート信号線１７Ｂ（ＥＬ側選択信号線）の波形変化がソース信号線１８に突き抜けることはない。そのため、良好な電流（電圧）プログラム精度を得ることができ、均一な画像表示を実現できる。

なお、図１９６は、オン時間が１．５Ｈの実施例であった。しかし、本発明はこれに限定するものではなく、図１９８に図示するように、オン電圧の印加時間を１Ｈ以下としてもよいことは言うまでもない。

ゲート信号線１７Ｂ（ＥＬ側選択信号線）にオン電圧を印加する期間を調整することにより、表示画面５０の輝度をリニアに調整することができる。これはＯＥＶ２回路を制御することにより容易に実現できる。たとえば、図１９９では、図１９９の（ａ）よりも図１９９の（ｂ）の方が表示輝度は低くなる。また、図１９９の（ｂ）よりも図１９９の（ｃ）の方が表示輝度は低くなる。

また、図２００に図示するように、１Ｈ期間にオン電圧を印加する期間とオフ電圧を印加する期間の組を複数回設けてもよい。図２００の（ａ）は６回設けた実施例である。図２００の（ｂ）は３回設けた実施例である。図２００の（ｃ）は１回設けた実施例である。図２００では、図２００の（ａ）よりも図２００の（ｂ）の方が表示輝度は低くなる。また、図２００の（ｂ）よりも図２００の（ｃ）の方が表示輝度は低くなる。したがって、オン期間の回数を制御することにより表示輝度を容易に調整（制御）できる。

本発明のＮ倍パルス駆動の課題にＥＬ素子１５に印加する電流が瞬時的ではあるが、従来と比較してＮ倍大きいという問題がある。電流が大きいとＥＬ素子の寿命を低下させる場合がある。この課題を解決するためには、ＥＬ素子１５に逆バイアス電圧Ｖｍを印加することが有効である。

逆バイアス電圧が印加されると、逆方向電流が印加されるため、注入された電子及び正孔がそれぞれ陰極及び陽極へ引き抜かれる。これにより、有機層中の空間電荷形成を解消し、分子の電気化学的劣化を抑えることで寿命を長くすることが可能となる。

図４５は、逆バイアス電圧ＶｍとＥＬ素子１５の端子電圧の変化を示している。この端子電圧とは、ＥＬ素子１５に定格電流を印加した時である。図４５はＥＬ素子１５に流す電流が電流密度１００Ａ／平方メーターの場合であるが、図４５の傾向は、電流密度５０～１００Ａ／平方メーターの場合とほとんど差がなかった。したがって、広い範囲の電流密度で適用できると推定される。

縦軸は初期のＥＬ素子１５の端子電圧に対して、２５００時間後の端子電圧との比である。たとえば、経過時間０時間において、電流密度１００Ａ／平方メーターの電流の印加した時の端子電圧が８（Ｖ）とし、経過時間２５００時間において、電流密度１００Ａ／平方メーターの電流の印加した時の端子電圧が１０（Ｖ）とすれば、端子電圧比は、１０／８＝１．２５である。

横軸は、逆バイアス電圧Ｖｍと１周期に逆バイアス電圧を印加した時間ｔ１の積に対する定格端子電圧Ｖ０の比である。たとえば、６０Ｈｚ（とくに６０Ｈｚに意味はないが）で、逆バイアス電圧Ｖｍを印加した時間が１／２（半分）であれば、ｔ１＝０．５である。また、経過時間０時間において、電流密度１００Ａ／平方メーターの電流の印加した時の端子電圧（定格端子電圧）が８（Ｖ）とし、逆バイアス電圧Ｖｍを８（Ｖ）とすれば、｜逆バイアス電圧×ｔ１｜／（定格端子電圧×ｔ２）＝｜－８（Ｖ）×０．５｜／（８（Ｖ）×０．５）＝１．０となる。

図４５によれば、｜逆バイアス電圧×ｔ１｜／（定格端子電圧×ｔ２）が１．０以上で端子電圧比の変化はなくなる（初期の定格端子電圧から変化しない）。逆バイアス電圧Ｖｍの印加による効果がよく発揮されている。しかし、｜逆バイアス電圧×ｔ１｜／（定格端子電圧×ｔ２）が１．７５以上で端子電圧比は増加する傾向にある。したがって、｜逆バイアス電圧×ｔ１｜／（定格端子電圧×ｔ２）は１．０以上にするように逆バイアス電圧Ｖｍの大きさおよび印加時間比ｔ１（もしくはｔ２、あるいはｔ１とｔ２との比率）を決定するとよい。また、好ましくは、｜逆バイアス電圧×ｔ１｜／（定格端子電圧×ｔ２）は１．７５以下になるように逆バイアス電圧Ｖｍの大きさおよび印加時間比ｔ１などを決定するとよい。

ただし、バイアス駆動を行う場合は、逆バイアスＶｍと定格電流とを交互に印加する必要がある。図４６のようにサンプルＡとＢとの単位時間あたりの平均輝度を等しくしようとすると、逆バイアス電圧を印加する場合は、印加しない場合に比較して瞬時的には高い電流を流す必要がある。そのため、逆バイアス電圧Ｖｍを印加する場合（図４６のサンプルＡ）のＥＬ素子１５の端子電圧も高くなる。

しかし、図４５では、逆バイアス電圧を印加する駆動方法でも、定格端子電圧Ｖ０とは、平均輝度を満足する端子電圧（つまり、ＥＬ素子１５を点灯する端子電圧）とする（本明細書の具体例によれば、電流密度２００Ａ／平方メーターの電流の印加した時の端子電圧である。ただし、１／２デューティであるので、１周期の平均輝度は電流密度２００Ａ／平方メーターでの輝度となる）。

一般的に、映像表示を行う場合は、各ＥＬ素子１５に印加される電流（流れる電流）は、白ピーク電流（定格端子電圧時に流れる電流。本明細書の具体例によれば、電流密度１００Ａ／平方メーターの電流）の約０．２倍である。

したがって、図４５の実施例では、映像表示を行う場合は横軸の値に０．２をかけるものとする必要がある。したがって、｜逆バイアス電圧×ｔ１｜／（定格端子電圧×ｔ２）は０．２以上にするように逆バイアス電圧Ｖｍの大きさおよび印加時間比ｔ１（もしくはｔ２、あるいはｔ１とｔ２との比率など）を決定するとよい。また、好ましくは、｜逆バイアス電圧×ｔ１｜／（定格端子電圧×ｔ２）は１．７５×０．２＝０．３５以下になるように逆バイアス電圧Ｖｍの大きさおよび印加時間比ｔ１などを決定するとよい。

つまり、図４５の横軸（｜逆バイアス電圧×ｔ１｜／（定格端子電圧×ｔ２））において、１．０の値を０．２とする必要がある。したがって、表示パネルに映像を表示する（こ

の使用状態が通常であろう。白ラスターを常時表示することはないであろう）時は、｜逆バイアス電圧×ｔ１｜／（定格端子電圧×ｔ２）が０．２よりも大きくなるように、逆バイアス電圧Ｖｍを所定時間ｔ１印加するようにする。また、｜逆バイアス電圧×ｔ１｜／（定格端子電圧×ｔ２）の値が大きくなっても、図４５で図示するように、端子電圧比の増加は大きくない。したがって、上限値は白ラスター表示を実施することも考慮して、｜逆バイアス電圧×ｔ１｜／（定格端子電圧×ｔ２）の値が１．７５以下を満足するようにすればよい。

以下、図面を参照しながら、本発明の逆バイアス方式について説明をする。逆バイアス駆動の画素構成では、図４７に図示するように、トランジスタ１１ｇをＮチャンネルとする。もちろん、Ｐチャンネルでもよい。

図４７では、ゲート電位制御線４７３に印加する電圧を逆バイアス線４７１に印加している電圧よりも高くすることにより、トランジスタ１１ｇ（Ｎ）がオンし、ＥＬ素子１５のアノード電極に逆バイアス電圧Ｖｍが印加される。

また、図４７の画素構成などにおいて、ゲート電位制御線４７３を常時、電位固定して動作させてもよい。たとえば、図４７においてＶｋ電圧が０（Ｖ）とする時、ゲート電位制御線４７３の電位を０（Ｖ）以上（好ましくは２（Ｖ）以上）にする。なお、この電位をＶｓｇとする。この状態で、逆バイアス線４７１の電位を逆バイアス電圧Ｖｍ（０（Ｖ）以下、好ましくはＶｋより－５（Ｖ）以上小さい電圧）にすると、トランジスタ１１ｇ（Ｎ）がオンし、ＥＬ素子１５のアノードに、逆バイアス電圧Ｖｍが印加される。逆バイアス線４７１の電圧をゲート電位制御線４７３の電圧（つまり、トランジスタ１１ｇのゲート（Ｇ）端子電圧）よりも高くすると、トランジスタ１１ｇはオフ状態であるため、ＥＬ素子１５には逆バイアス電圧Ｖｍは印加されない。もちろん、この状態の時に、逆バイアス線４７１をハイインピーダンス状態（オープン状態など）としてもよいことは言うまでもない。

また、図４８に図示するように、逆バイアス線４７１を制御するゲートドライバ回路１２ｃを別途形成または配置してもよい。ゲートドライバ回路１２ｃは、ゲートドライバ回路１２ａと同様に順次シフト動作し、シフト動作に同期して、逆バイアス電圧を印加する位置がシフトされる。

以上の駆動方法では、トランジスタ１１ｇのゲート（Ｇ）端子は電位固定し、逆バイアス線４７１の電位を変化させるだけで、ＥＬ素子１５に逆バイアス電圧Ｖｍを印加することができる。したがって、逆バイアス電圧Ｖｍの印加制御が容易である。

また、逆バイアス電圧Ｖｍの印加は、ＥＬ素子１５に電流を流していない時に行うものである。したがって、トランジスタ１１ｄがオンしていない時に、トランジスタ１１ｇをオンさせることにより行えばよい。つまり、トランジスタ１１ｄのオンオフロジックの逆をゲート電位制御線４７３に印加すればよい。たとえば、図４７では、ゲート信号線１７ｂにトランジスタ１１ｄおよびトランジスタ１１ｇのゲート（Ｇ）端子を接続すればよい。トランジスタ１１ｄはＰチャンネルであり、トランジスタ１１ｇはＮチャンネルであるため、オンオフ動作は反対となる。

図４９は逆バイアス駆動のタイミングチャートである。なお、チャート図において（１）（２）などの添え字は、画素行を示している。説明を容易にするため、（１）とは、第１画素行目と示し、（２）とは第２画素行目を示すとして説明をするが、これに限定するものではない。（１）がＮ画素行目を示し、（２）がＮ＋１画素行目を示すと考えても良い。以上のことは他の実施例でも、特例を除いて同様である。また、図４９などの実施例では、図１などの画素構成を例示して説明をするがこれに限定されるものではない。たとえば、図４１、図３８などの画素構成においても適用できるものである。

第１画素行目のゲート信号線１７ａ（１）にオン電圧（Ｖｇｌ）が印加されている時には、第１画素行目のゲート信号線１７ｂ（１）にはオフ電圧（Ｖｇｈ）が印加される。つまり、トランジスタ１１ｄはオフであり、ＥＬ素子１５には電流が流れていない。

逆バイアス線４７１（１）には、Ｖｓｌ電圧（トランジスタ１１ｇがオンする電圧）が印加される。したがって、トランジスタ１１ｇがオンし、ＥＬ素子１５には逆バイアス電圧

が印加されている。逆バイアス電圧は、ゲート信号線１７ｂにオフ電圧（Ｖｇｈ）が印加された後、所定期間（１Ｈの１／２００以上の期間、または、０．５μｓｅｃ）後に、逆バイアス電圧が印加される。また、ゲート信号線１７ｂにオン電圧（Ｖｇｌ）が印加される所定期間（１Ｈの１／２００以上の期間、または、０．５μｓｅｃ）前に、逆バイアス電圧がオフされる。これは、トランジスタ１１ｄとトランジスタ１１ｇが同時にオンとなることを回避するためである。

次の水平走査期間（１Ｈ）には、ゲート信号線１７ａにはオフ電圧（Ｖｇｈ）が印加され、第２画素行が選択される。つまり、ゲート信号線１７ｂ（２）にオン電圧が印加される。一方、ゲート信号線１７ｂにはオン電圧（Ｖｇｌ）が印加され、トランジスタ１１ｄがオンして、ＥＬ素子１５にトランジスタ１１ａから電流が流れＥＬ素子１５が発光する。また、逆バイアス線４７１（１）にはオフ電圧（Ｖｓｈ）が印加されて、第１画素行（１）のＥＬ素子１５には逆バイアス電圧が印加されないようになる。第２画素行の逆バイアス線４７１（２）にはＶｓｌ電圧（逆バイアス電圧）が印加される。

以上の動作を順次くりかえすことにより、１画面の画像が書き換えられる。以上の実施例では、各画素にプログラムされている期間に、逆バイアス電圧を印加するという構成であった。しかし、図４８の回路構成はこれに限定されるものではない。複数の画素行に連続して逆バイアス電圧を印加することもできることは明らかである。また、ブロック駆動（図４０参照）や、Ｎ倍パルス駆動、リセット駆動、ダミー画素駆動とも組み合わせることができることは明らかである。

また、逆バイアス電圧の印加は、画像表示の途中に実施することに限定するものではない。ＥＬ表示装置の電源オフ後、一定の期間の間、逆バイアス電圧が印加されるように構成してもよい。

以上の実施例は、図１の画素構成の場合であったが、他の構成においても、図３８、図４１などの逆バイアス電圧を印加する構成に適用できることは言うまでもない。たとえば、図５０は電流プログラム方式の画素構成である。

図５０は、カレントミラーの画素構成である。トランジスタ１１ｄは、該当画素が選択する１Ｈ（１水平走査期間、つまり１画素行）以上前にオンする。好ましくは３Ｈ前にはオンさせる。３Ｈ前とすれば、３Ｈ前にトランジスタ１１ｄがオンし、トランジスタ１１ａのゲート（Ｇ）端子とドレイン（Ｄ）端子がショートされる。そのため、トランジスタ１１ａはオフする。したがって、トランジスタ１１ｂには電流が流れなくなり、ＥＬ素子１５は非点灯となる。

ＥＬ素子１５が非点灯状態の時、トランジスタ１１ｇがオンし、ＥＬ素子１５に逆バイアス電圧が印加される。したがって、逆バイアス電圧は、トランジスタ１１ｄがオンされている期間、印加されることになる。そのため、ロジック的にはトランジスタ１１ｄとトランジスタ１１ｇとは同時にオンすることになる。

トランジスタ１１ｇのゲート（Ｇ）端子はＶｓｇ電圧が印加されて固定されている。逆バイアス線４７１をＶｓｇ電圧より十分に小さな逆バイアス電圧を逆バイアス線４７１に印加することによりトランジスタ１１ｇがオンする。

その後、前記該当画素に映像信号が印加（書き込まれる）される水平走査期間がくると、ゲート信号線１７ａ１にオン電圧が印加され、トランジスタ１１ｃがオンする。したがって、ソースドライバ回路１４からソース信号線１８に出力された映像信号電圧がコンデンサ１９に印加される（トランジスタ１１ｄはオン状態が維持されている）。

トランジスタ１１ｄをオンさせると黒表示となる。１フィールド（１フレーム）期間に占めるトランジスタ１１ｄのオン期間が長くなるほど、黒表示期間の割合が長くなる。したがって、黒表示期間が存在しても１フィールド（１フレーム）の平均輝度を所望値とするためには、表示期間の輝度を高くする必要がある。つまり、表示期間にＥＬ素子１５に流す電流を大きくする必要がある。この動作は、本発明のＮ倍パルス駆動である。したがって、Ｎ倍パルス駆動と、トランジスタ１１ｄをオンさせて黒表示とする駆動とを組み合わせることが本発明の１つの特徴ある動作である。また、ＥＬ素子１５が非点灯状態で、逆バイアス電圧をＥＬ素子１５に印加することが本発明の特徴ある構成（方式）である。

Ｎ倍パルス駆動は、１フィールド（１フレーム）期間内において、１度、黒表示をしても再度、ＥＬ素子１５に所定の電流（プログラムされた電流（コンデンサ１９に保持されている電圧による））を流すことができる。しかし、図５０の横成では、一度、トランジスタ１１ｄがオンすると、コンデンサ１９の電荷は放電（減少を含む）されるため、ＥＬ素子１５に所定の電流（プログラムされた電流）を流すことができない。しかし、回路動作が容易であるという特徴がある。

なお、以上の実施例は画素が電流プログラムの画素構成であったが、本発明はこれに限定するものではなく、図３８、図５０のような他の電流方式の画素構成にも適用することができる。また、図５１、図５４、図６２に図示するような電圧プログラムの画素構成でも適用することができる。

図５１は一般的に最も簡単な電圧プログラムの画素構成である。トランジスタ１１ｂが選択スイッチング素子であり、トランジスタ１１ａがＥＬ素子１５に電流を印加する駆動用トランジスタである。この構成で、ＥＬ素子１５のアノードに逆バイアス電圧印加用のトランジスタ（スイッチング素子）１１ｇを配置（形成）している。

図５１の画素構成では、ＥＬ素子１５に流す電流は、ソース信号線１８に印加され、トランジスタ１１ｂが選択されることにより、トランジスタ１１ａのゲート（Ｇ）端子に印加される。

まず、図５１の構成を説明するために、基本動作について図５２を用いて説明をする。図５１の画素構成は電圧オフセットキャンセラという構成であり、初期化動作、リセット動作、プログラム動作、発光動作の４段階で動作する。

水平同期信号（ＨＤ）後、初期化動作が実施される。ゲート信号線１７ｂにオン電圧が印加され、トランジスタ１１ｇがオンする。また、ゲート信号線１７ａにもオン電圧が印加され、トランジスタ１１ｃがオンする。この時、ソース信号線１８にはＶｄｄ電圧が印加される。したがって、コンデンサ１９ｂのａ端子にはＶｄｄ電圧が印加されることになる。この状態で、駆動用トランジスタ１１ａはオンし、ＥＬ素子１５に僅かな電流が流れる。この電流により駆動用トランジスタ１１ａのドレイン（Ｄ）端子は少なくともトランジスタ１１ａの動作点よりも大きな絶対値の電圧値となる。

次にリセット動作が実施される。ゲート信号線１７ｂにオフ電圧が印加され、トランジスタ１１ｅがオフする。一方、ゲート信号線１７ｃにＴ１の期間、オン電圧が印加され、トランジスタ１１ｂがオンする。このＴ１の期間がリセット期間である。また、ゲート信号線１７ａには１Ｈの期間、継続してオン電圧が印加される。なお、Ｔ１は１Ｈ期間の２０％以上９０％以下の期間とすることが好ましい。もしくは、２０μｓｅｃ以上１６０μｓｅｃ以下の時間とすることが好ましい。また、コンデンサ１９ｂ（Ｃｂ）とコンデンサ１９ａ（Ｃａ）の容量の比率は、Ｃｂ：Ｃａ＝６：１以上１：２以下とすることが好ましい。

リセット期間では、トランジスタ１１ｂのオンにより、駆動用トランジスタ１１ａのゲート（Ｇ）端子とドレイン（Ｄ）端子間がショートされる。したがって、トランジスタ１１ａのゲート（Ｇ）端子電圧とドレイン（Ｄ）端子電圧が等しくなり、トランジスタ１１ａはオフセット状態（リセット状態：電流が流れない状態）となる。このリセット状態とはトランジスタ１１ａのゲート（Ｇ）端子が、電流を流し始める開始電圧近傍になる状態である。このリセット状態を維持するゲート電圧はコンデンサ１９ｂのｂ端子に保持される。したがって、コンデンサ１９には、オフセット電圧（リセット電圧）が保持されていることになる。

次のプログラム状態では、ゲート信号線１７ｃにオフ電圧が印加されトランジスタ１１ｂがオフする。一方、ソース信号線１８には、Ｔｄの期間、ＤＡＴＡ電圧が印加される。したがって、駆動用トランジスタ１１ａのゲート（Ｇ）端子には、ＤＡＴＡ電圧＋オフセット電圧（リセット電圧）が加えられたものが印加される。そのため、駆動用トランジスタ１１ａはプログラムされた電流を流せるようになる。

プログラム期間後、ゲート信号線１７ａにはオフ電圧が印加され、トランジスタ１１ｃはオフ状態となり、駆動用トランジスタ１１ａはソース信号線１８から切り離される。また

、ゲート信号線１７ｃにもオフ電圧が印加され、トランジスタ１１ｂがオフし、このオフ状態は１Ｆの期間保持される。一方、ゲート信号線１７ｂには、必要に応じてオン電圧とオフ電圧とが周期的に印加される。つまり、図１３、図１５などのＮ倍パルス駆動などと組み合わせること、インターレース駆動と組み合わせることによりさらに良好な画像表示を実現できる。

図５２の駆動方式では、リセット状態でコンデンサ１９には、トランジスタ１１ａの開始電流電圧（オフセット電圧、リセット電圧）が保持される。そのため、このリセット電圧がトランジスタ１１ａのゲート（Ｇ）端子に印加されている時が、最も暗い黒表示状態である。しかし、ソース信号線１８と画素１６とのカップリング、コンデンサ１９への突き抜け電圧あるいはトランジスタの突き抜けにより、黒浮き（コントラスト低下）が発生する。したがって、図５３で説明した駆動方法では、表示コントラストを高くすることができない。

逆バイアス電圧ＶｍをＥＬ素子１５に印加するためには、トランジスタ１１ａがオフさせる必要がある。トランジスタ１１ａをオフさせるためには、トランジスタ１１ａのＶｄｄ端子とゲート（Ｇ）端子間をショートすればよい。この構成については、後に図５３を用いて説明をする。

また、ソース信号線１８にＶｄｄ電圧またはトランジスタ１１ａをオフさせる電圧を印加し、トランジスタ１１ｂをオンさせてトランジスタ１１ａのゲート（Ｇ）端子に印加させてもよい。この電圧によりトランジスタ１１ａがオフする（もしくは、ほとんど、電流が流れないような状態にする（略オフ状態：トランジスタ１１ａが高インピーダンス状態））。その後、トランジスタ１１ｇをオンさせて、ＥＬ素子１５に逆バイアス電圧を印加する。

次に、図５１の画素構成におけるリセット駆動について説明をする。図５３はその実施例である。図５３に示すように画素１６ａのトランジスタ１１ｃのゲート（Ｇ）端子に接続されたゲート信号線１７ａは次段画素１６ｂのリセット用トランジスタ１１ｂのゲート（Ｇ）端子にも接続されている。同様に、画素１６ｂのトランジスタ１１ｃのゲート（Ｇ）端子に接続されたゲート信号線１７ａは次段画素１６ｃのリセット用トランジスタ１１ｂのゲート（Ｇ）端子に接続されている。

したがって、画素１６ａのトランジスタ１１ｃのゲート（Ｇ）端子に接続されたゲート信号線１７ａにオン電圧を印加すると、画素１６ａが電圧プログラム状態となるとともに、次段画素１６ｂのリセット用トランジスタ１１ｂがオンし、画素１６ｂの駆動用トランジスタ１１ａがリセット状態となる。同様に、画素１６ｂのトランジスタ１１ｃのゲート（Ｇ）端子に接続されたゲート信号線１７ａにオン電圧を印加すると、画素１６ｂが電流プログラム状態となるとともに、次段画素１６ｃのリセット用トランジスタ１１ｂがオンし、画素１６ｃの駆動用トランジスタ１１ａがリセット状態となる。したがって、容易に前段ゲート制御方式によるリセット駆動を実現できる。また、各画素あたりのゲート信号線の引き出し本数を減少させることができる。

さらに詳しく説明する。図５３の（ａ）のようにゲート信号線１７に電圧が印加されているとする。つまり、画素１６ａのゲート信号線１７ａにオン電圧が印加され、他の画素１６のゲート信号線１７ａにオフ電圧が印加されているとする。また、ゲート信号線１７ｂは画素１６ａ、１６ｂにはオフ電圧が印加され、画素１６ｃ、１６ｄにはオン電圧が印加されているとする。

この状態では、画素１６ａは電圧プログラム状態で非点灯、画素１６ｂはリセット状態で非点灯、画素１６ｃはプログラム電流の保持状態で点灯、画素１６ｄはプログラム電流の保持状態で点灯状態である。

１Ｈ後、制御用ゲートドライバ回路１２のシフトレジスタ回路６１内のデータが１ビットシフトし、図５３の（ｂ）の状態となる。図５３の（ｂ）の状態は、画素１６ａはプログラム電流保持状態で点灯、画素１６ｂは電流プログラム状態で非点灯、画素１６ｃはリセット状態で非点灯、画素１６ｄはプログラム保持状態で点灯状態である。

以上のことから、各画素は前段に印加されたゲート信号線１７ａの電圧により、次段の画

素の駆動用トランジスタ１１ａがリセットされ、次の水平走査期間に電圧プログラムが順次行われることがわかる。
図４３に図示する電圧プログラムの画素構成でも前段ゲート制御を実現できる。図５４は図４３の画素構成を前段ゲート制御方式の接続とした実施例である。
図５４に示すように画素１６ａのトランジスタ１１ｂのゲート（Ｇ）端子に接続されたゲート信号線１７ａは次段画素１６ｂのリセット用トランジスタ１１ｅのゲート（Ｇ）端子に接続されている。同様に、画素１６ｂのトランジスタ１１ｂのゲート（Ｇ）端子に接続されたゲート信号線１７ａは次段画素１６ｃのリセット用トランジスタ１１ｅのゲート（Ｇ）端子に接続されている。
したがって、画素１６ａのトランジスタ１１ｂのゲート（Ｇ）端子に接続されたゲート信号線１７ａにオン電圧を印加すると、画素１６ａが電圧プログラム状態となるとともに、次段画素１６ｂのリセット用トランジスタ１１ｅがオンし、画素１６ｂの駆動用トランジスタ１１ａがリセット状態となる。同様に、画素１６ｂのトランジスタ１１ｂのゲート（Ｇ）端子に接続されたゲート信号線１７ａにオン電圧を印加すると、画素１６ｂが電流プログラム状態となるとともに、次段画素１６ｃのリセット用トランジスタ１１ｅがオンし、画素１６ｃの駆動用トランジスタ１１ａがリセット状態となる。したがって、容易に前段ゲート制御方式によるリセット駆動を実現できる。
さらに詳しく説明する。図５５の（ａ）のようにゲート信号線１７に電圧が印加されているとする。つまり、画素１６ａのゲート信号線１７ａにオン電圧が印加され、他の画素１６のゲート信号線１７ａにオフ電圧が印加されているとする。また、すべての逆バイアス用トランジスタ１１ｇはオフ状態であるとする。
この状態では、画素１６ａは電圧プログラム状態、画素１６ｂはリセット状態、画素１６ｃはプログラム電流の保持状態、画素１６ｄはプログラム電流の保持状態である。
１Ｈ後、制御用ゲートドライバ回路１２のシフトレジスタ回路６１内のデータが１ビットシフトし、図５５の（ｂ）の状態となる。図５５の（ｂ）の状態は、画素１６ａはプログラム電流保持状態、画素１６ｂは電流プログラム状態、画素１６ｃはリセット状態、画素１６ｄはプログラム保持状態である。
以上のことから、各画素は前段に印加されたゲート信号線１７ａの電圧により、次段の画素の駆動用トランジスタ１１ａがリセットされ、次の水平走査期間に電圧プログラムが順次行われることがわかる。
電流駆動方式では、完全黒表示では、画素の駆動用トランジスタ１１にプログラムされる電流は０である。つまり、ソースドライバ回路１４からは電流が流れない。電流が流れなければ、ソース信号線１８に発生した寄生容量を充放電することができず、ソース信号線１８の電位を変化させることができない。したがって、駆動用トランジスタのゲート電位も変化しないことになり、１フレーム（フフィールド）（１Ｆ）前の電位がコンデンサ１９に蓄積されたままとなる。たとえば、１フレーム前が白表示で、次のフレームが完全黒表示であっても白表示が維持されることになる。
この課題を解決するため、本発明では、１水平走査期間（１Ｈ）の最初に黒レベルの電圧をソース信号線１８に書き込んでから、ソース信号線１８にプログラムする電流を出力する。たとえが、映像データが黒レベルに近い０階調目～７階調目の場合、１水平期間のはじめの一定期間だけ黒レベルに相当する電圧が書き込まれて、電流駆動の負担が減り、書き込み不足を補うことが可能となる。なお、完全黒表示を０階調目とし、完全白表示を６３階調目とする（６４階調表示の場合）。プリチャージに関しては後に詳細に説明をする。
以後、本発明の電流駆動方式のソースドライバＩＣ（回路）１４について説明をする。本発明のソースドライバＩＣは、以前に説明した本発明の駆動方法、駆動回路を実現するために用いる。また、本発明の駆動方法、駆動回路、表示装置と組み合わせて用いる。なお、説明は、ＩＣチップとして説明をするがこれに限定するものではなく、低温ポリシリコン技術などを用いて、表示パネル上に作製してもよいことは言うまでもない。
まず、図７２に、従来の電流駆動方式のドライバ回路の一例を示す。ただし、図７２は本

発明の電流駆動方式のソースドライバＩＣ（ソースドライバ回路）を説明するための原理的なものである。
図７２において、７２１はＤ／Ａ変換器である。Ｄ／Ａ変換器７２１にはｎビットのデータ信号が入力され、入力されたデータに基づき、Ｄ／Ａ変換器からアナログ信号が出力される。このアナログ信号はオペアンプ７２２に入力される。オペアンプ７２２はＮチャンネルトランジスタ６３１ａに入力され、トランジスタ６３１ａに流れる電流が抵抗６９１に流れる。抵抗Ｒの端子電圧はオペアンプ７２２の－入力となり、この－端子の電圧とオペアンプ７２２の＋端子とは同一電圧となる。したがってＤ／Ａ変換器７２１の出力電圧は抵抗６９１の端子電圧となる。
抵抗６９１の抵抗値が１ＭΩとし、Ｄ／Ａ変換器７２１の出力が１（Ｖ）であれば、抵抗６９１には１（Ｖ）／１ＭΩ＝１（μＡ）の電流が流れる。これが定電流回路となる。したがって、データ信号の値に応じて、Ｄ／Ａ変換器７２１のアナログ出力が変化し、このアナログ出力に値にもとづいて抵抗６９１に所定電流が流れ、プログラム電流Ｉｗとなる。
しかし、Ｄ／Ａ変換器７２１の回路規模は大きい。また、オペアンプ７２２の回路規模も大きい。１出力回路に、Ｄ／Ａ変換器７２１とオペアンプ７２２を形成するとソースドライバＩＣ１４の大きさは巨大となる。したがって、実用上は作製することが不可能である。
本発明はかかる点に鑑みてなされたものである。本発明のソースドライバ回路１４は、電流出力回路の規模をコンパクトにし、電流出力端子間の出力電流ばらつきをできるだけ最小限にするための回路構成、レイアウト構成を有するものである。
図６３に、本発明の電流駆動方式のソースドライバＩＣ（回路）１４の構成図を示す。図６３は、一例として電流源を３段構成（６３１、６３２、６３３）とした場合の多段式カレントミラー回路を示している。
図６３において、第１段の電流源６３１の電流値は、Ｎ個（ただし、Ｎは任意の整数）の第２段電流源６３２にカレントミラー回路によりコピーされる。更に、第２段電流源６３２の電流値は、Ｍ個（ただし、Ｍは任意の整数）の第３段電流源６３３にカレントミラー回路によりコピーされる。この構成により、結果として第１段電流源６３１の電流値は、Ｎ×Ｍ個の第３段電流源６３３にコピーされることになる。
例えば、ＱＣＩＦ形式の表示パネルのソース信号線１８に１個のドライバＩＣ１４で駆動する場合は、１７６出力（ソース信号線が各ＲＧＢで１７６出力必要なため）となる。この場合は、Ｎを１６個とし、Ｍ＝１１個とする。しがたって、１６×１１＝１７６となり、１７６出力に対応できる。このように、ＮまたはＭのうち、一方を８または１６もしくはその倍数とすることにより、ドライバＩＣの電流源のレイアウト設計が容易になる。
本発明の多段式カレントミラー回路による電流駆動方式のソースドライバＩＣ（回路）１４では、前記したように、第１段電流源６３１の電流値を直接Ｎ×Ｍ個の第３段電流源６３３にカレントミラー回路でコピーするのではなく、中間に第２段電流源６３２を配備しているので、そこでトランジスタ特性のばらつきを吸収することが可能である。
特に、本発明は、第１段のカレントミラー回路（電流源６３１）と第２段にカレントミラー回路（電流源６３２）を密接して配置するところに特徴がある。第１段の電流源６３１から第３段の電流源６３３（つまり、カレントミラー回路の２段構成）であれば、第１段の電流源と接続される第２段の電流源６３３の個数が多く、第１段の電流源６３１と第３段の電流源６３３を密接して配置することができない。
本発明のソースドライバ回路１４のように、第１段のカレントミラー回路（電流源６３１）の電流を第２段のカレントミラー回路（電流源６３２）にコピーし、第２段のカレントミラー回路（電流源６３２）の電流を第３段にカレントミラー回路（電流源６３２）にコピーする構成である。この構成では、第１段のカレントミラー回路（電流源６３１）に接続される第２段のカレントミラー回路（電流源６３２）の個数は少ない。したがって、第１段のカレントミラー回路（電流源６３１）と第２段のカレントミラー回路（電流源６３２）とを密接して配置することができる。

密接してカレントミラー回路を構成するトランジスタを配置できれば、当然のことながら、トランジスタのばらつきは少なくなるから、コピーされる電流値のバラツキも少なくなる。また、第２段のカレントミラー回路（電流源６３２）に接続される第３段のカレントミラー回路（電流源６３３）の個数も少なくなる。したがって、第２段のカレントミラー回路（電流源６３２）と第３段のカレントミラー回路（電流源６３３）とを密接して配置することができる。

つまり、全体として、第１段のカレントミラー回路（電流源６３１）、第２段のカレントミラー回路（電流源６３２）、第３段のカレントミラー回路（電流源６３３）の電流受け取り部のトランジスタを密接して配置することができる。したがって、密接してカレントミラー回路を構成するトランジスタを配置できるから、トランジスタのばらつきは少なくなり、出力端子からの電流信号のバラツキは極めて少なくなる（精度が高い）。

なお、本例では簡単のため多段式カレントミラー回路を３段構成で説明したが、この段数が大きければ大きいほど、電流駆動型表示パネルのソースドライバＩＣ１４の電流ばらつきが小さくなることは言うまでもない。したがって、カレントミラー回路の段数は３段に限定するものではなく、３段以上であってもよい。

本発明において、電流源６３１、６３２、６３３と表現したり、カレントミラー回路と表現したりしている。これらは同義に用いている。つまり、電流源とは、本発明の基本的な構成概念であり、電流源を具体的に構成するとカレントミラー回路となるからである。したがって、電流源はカレントミラー回路のみに限定するものではなく、図７２に図示するようにオペアンプ７２２とトランジスタ６３１と抵抗Ｒの組み合わせからなる電流回路でもよい。

図６４はさらに具体的なソースドライバＩＣ（回路）１４の構造図である。図６４は第３の電流源６３３の部分を図示している。つまり、１つのソース信号線１８に接続される出力部である。最終段のカレントミラー構成として、複数の同一サイズのカレントミラー回路（電流源６３４（１単位））で構成されており、その個数が画像データのビットに対応して、ビット重み付けされている。

なお、本発明のソースドライバＩＣ（回路）１４を構成するトランジスタは、ＭＯＳタイプに限定するものではなく、バイポーラタイプでもよい。また、シリコン半導体に限定するものではなく、ガリ砒素半導体でもよい。また、ゲルマニウム半導体でもよい。また、基板に低温ポリシリコンなどのポリシリコン技術、アモルファスシリコン技術で直接形成したものでもよい。

図６４で明らかであるが、本発明の１実施例として、６ビットのデジタル入力の場合を図示している。つまり、２の６乗であるから、６４階調表示である。このソースドライバＩＣ１４をアレイ基板に積載することにより、赤（Ｒ）、緑（Ｇ）、青（Ｂ）が各６４階調であるから、６４×６４×６４＝約２６万色を表示できることになる。

６４階調の場合は、Ｄ０ビットの単位トランジスタ６３４は１個、Ｄ１ビットの単位トランジスタ６３４は２個、Ｄ２ビットの単位トランジスタ６３４は４個、Ｄ３ビットの単位トランジスタ６３４は８個、Ｄ４ビットの単位トランジスタ６３４は１６個、Ｄ５ビットの単位トランジスタ６３４は３２個であるから、計単位トランジスタ６３４は６３個である。つまり、本発明は階調の表現数（この実施例の場合は、６４階調）－１個の単位トランジスタ６３４を１出力と構成（形成）する。なお、単位トランジスタ１個が複数のサブ単位トランジスタに分割されている場合であっても、単位トランジスタが単にサブ単位トランジスタに分割されているだけである。したがって、本発明が、階調の表現数－１個の単位トランジスタで構成されていることには差異はない（同義である）。

図６４において、Ｄ０はＬＳＢ入力を示しており、Ｄ５はＭＳＢ入力を示している。Ｄ０入力端子にＨレベル（正論理時）の時、スイッチ６４１ａ（オンオフ手段である。もちろん、単体トランジスタで構成してもよいし、ＰチャンネルトランジスタとＮチャンネルトランジスタとを組み合わせたアナログスイッチなどでもよい）がオンする。すると、カレントミラーを構成する電流源（１単位）６３４に向かって電流が流れる。この電流はＩＣ１４内の内部配線６４３に流れる。この内部配線６４３はＩＣ１４の端子電極を介してソ

ース信号線１８に接続されているから、この内部配線６４３に流れる電流が画素１６のプログラム電流となる。
たとえば、Ｄ１入力端子にＨレベル（正論理時）の時、スイッチ６４１ｂがオンする。すると、カレントミラーを構成する２つの電流源（１単位）６３４に向かって電流が流れる。この電流はＩＣ１４内の内部配線６４３に流れる。この内部配線６４３はＩＣ１４の端子電極を介してソース信号線１８に接続されているから、この内部配線６４３に流れる電流が画素１６のプログラム電流となる。
他のスイッチ６４１でも同様である。Ｄ２入力端子にＨレベル（正論理時）の時は、スイッチ６４１ｃがオンする。すると、カレントミラーを構成する４つの電流源（１単位）６３４に向かって電流が流れる。Ｄ５入力端子にＨレベル（正論理時）の時は、スイッチ６４１ｆがオンする。すると、カレントミラーを構成する３２個の電流源（１単位）６３４に向かって電流が流れる。
以上のように、外部からのデータ（Ｄ０～Ｄ５）に応じて、それに対応する電流源（１単位）に向かって電流が流れる。したがって、データに応じて、０個から６３個に電流源（１単位）に電流が流れるように構成されている。
なお、本発明は説明を容易にするため、電流源は６ビットの６３個としているが、これに限定するものではない。８ビットの場合は、２５５個の単位トランジスタ６３４を形成（配置）すればよい。また、４ビットの時は、１５個の単位トランジスタ６３４を形成（配置）すればよい。単位電流源を構成するトランジスタ６３４は同一のチャンネル幅Ｗ、チャンネル幅Ｌとする。このように同一のトランジスタで構成することにより、ばらつきの少ない出力段を構成することができる。
また、電流源６３４はすべてが、同一の電流を流すことに限定するものではない。たとえば、各電流源６３４を重み付けしてもよい。たとえば、１単位の電流源６３４と、２倍の電流源６３４と、４倍の電流源６３４などを混在させて電流出力回路を構成してもよい。しかし、電流源６３４を重み付けして構成すると、各重み付けした電流源が重み付けした割合にならず、バラツキが発生する可能性がある。したがって、重み付けする場合であっても、各電流源は、１単位の電流源となるトランジスタを複数個形成することにより構成することが好ましい。
単位トランジスタ６３４を構成するトランジスタの大きさは一定以上の大きさが必要である。トランジスタサイズが小さいほど出力電流のバラツキが大きくなる。トランジスタ６３４の大きさとは、チャンネル長Ｌとチャンネル幅Ｗをかけたサイズをいう。たとえば、Ｗ＝３μｍ、Ｌ＝４μｍであれば、１つの単位電流源を構成するトランジスタ６３４のサイズは、Ｗ×Ｌ＝１２平方μｍである。トランジスタサイズが小さくなるほどバラツキが大きくなるのはシリコンウエハの結晶界面の状態が影響しているためと考えられる。したがって、１つのトランジスタが複数の結晶界面にまたがって形成されているとトランジスタの出力電流バラツキは小さくなる。
トランジスタサイズと出力電流のバラツキの関係を図１１７に示す。図１１７のグラフの横軸はトランジスタサイズ（平方μｍ）である。縦軸は、出力電流のバラツキを％で示したものである。ただし、出力電流のバラツキ％は、単位電流源（１つの単位トランジスタ）６３４を６３個の組で形成し（６３個形成し）、この組を多数組ウエハ上に形成し、出力電流のバラツキをもとめたものである。したがって、グラフの横軸は、１つの単位電流源を構成するトランジスタサイズで図示しているが、実際の並列するトランジスタは６３個あるので面積は６３倍である。しかし、本発明は単位トランジスタ６３４の大きさを単位として検討している。したがって、図１１７でおいて、３０平方μｍの単位トランジスタ６３４を６３個形成したとき、その時の出力電流のバラツキは、０．５％となることを示している。
６４階調の場合は、１００／６４＝１．５％である。したがって、出力電流バラツキは１．５％以内にする必要がある。図１１７から１．５％以下にするためには、単位トランジスタのサイズは２平方μｍ以上にする必要がある（６４階調は６３個の２平方μｍの単位トランジスタが動作する）。一方でトランジスタサイズには制限がある。ＩＣチップサイ

ズが大きくなる点と、１出力あたりの横幅に制限があるからである。この点から、単位トランジスタ６３４のサイズの上限は、３００平方μｍである。したがって、６４階調表示では、単位トランジスタ６３４のサイズは、２平方μｍ以上３００平方μｍ以下にする必要がある。

１２８階調の場合は、１００／１２８＝１％である。したがって、出力電流バラツキは１％以内にする必要がある。図１１７から１％以下にするためには、単位トランジスタのサイズは８平方μｍ以上にする必要がある。したがって、１２８階調表示では、単位トランジスタ６３４のサイズは、８平方μｍ以上３００平方μｍ以下にする必要がある。

一般的に、階調数をＫとし、単位トランジスタ６３４の大きさをＳｔ（平方μｍ）としたとき、

４０≦Ｋ／√（Ｓｔ）かつＳｔ≦３００の関係を満足させる。さらに好ましくは、１２０≦Ｋ／√（Ｓｔ）かつＳｔ≦３００の関係を満足させることが好ましい。

以上の例は、６４階調で６３個のトランジスタを形成した場合である。６４階調を１２７個の単位トランジスタ６３４で構成する場合は、単位トランジスタ６３４のサイズとは、２つの単位トランジスタ６３４を加えたサイズである。たとえば、６４階調で、単位トランジスタ６３４のサイズが１０平方μｍであり、１２７個形成されていたら、図１１７では単位トランジスタのサイズは１０×２＝２０の欄をみる必要がある。同様に、６４階調で、単位トランジスタ６３４のサイズが１０平方μｍであり、２５５個形成されていたら、図１１７では単位トランジスタのサイズは１０×４＝４０の欄をみる必要がある。

単位トランジスタ６３４は大きさだけでなく、形状も考慮する必要がある。キンクの影響を低減するためである。キンクとは、単位トランジスタ６３４のゲート電圧を一定に保った状態で、単位トランジスタ６３４のソース（Ｓ）－ドレイン（Ｄ）電圧を変化させたときに、単位トランジスタ６３４に流れる電流が変化する現象と言う。キンクの影響がない場合（理想状態）では、ソース（Ｓ）－ドレイン（Ｄ）間に印加する電圧を変化させても、単位トランジスタ６３４に流れる電流は変化しない。

キンクの影響が発生するのは、図１などの駆動用トランジスタ１１ａのＶｔのバラツキにより、ソース信号線１８が異なる場合である。ドライバ回路１４は、画素の駆動用トランジスタ１１ａにプログラム電流が流れるように、プログラム電流をソース信号線１８に流す。このプログラム電流により、駆動用トランジスタ１１ａのゲート端子電圧が変化し、駆動用トランジスタ１１ａにプログラム電流が流れるようになる。図３でわかるように、選択された画素１６がプログラム状態の時は、駆動用トランジスタ１１ａのゲート端子電圧＝ソース信号線１８電位である。

したがって、各画素１６の駆動用トランジスタ１１ａのＶｔばらつきにより、ソース信号線１８の電位は異なる。ソース信号線１８の電位は、ドライバ回路１４の単位トランジスタ６３４のソース－ドレイン電圧となる。つまり、画素１６の駆動用トランジスタ１１ａのＶｔバラツキにより、単位トランジスタ６３４に印加されるソース－ドレイン電圧が異なり、このソース－ドレイン間電圧により、単位トランジスタ６３４にキンクによる出力電流のバラツキが発生する。

図１１８はこの現象をグラフ化したものである。縦軸はゲート端子に所定の電圧を印加した時の単位トランジスタ６３４の出力電流である。横軸は、ソース（Ｓ）－ドレイン（Ｄ）間電圧である。Ｌ／ＷのＬは単位トランジスタ６３４のチャンネル長、Ｗは単位トランジスタのチャンネル幅である。また、Ｌ、Ｗは１階調分の電流を出力する単位トランジスタ６３４のサイズである。したがって、１階調分の電流と複数のサブ単位トランジスタで出力する場合は、同等の単位トランジスタ６３４に置き換えてＷ、Ｌを算出する必要がある。基本的にトランジスタサイズと出力電流を考慮して算出する。

Ｌ／Ｗが５／３のときは、ソース－ドレイン電圧が高くなっても、出力電流はほとんど変化しない。しかし、Ｌ／Ｗが１／１のときは、ソース－ドレイン電圧にほぼ比例して、出力電流が増加する。したがって、Ｌ／Ｗは大きいほどよい。

図１７２は単位トランジスタＬ／Ｗと目標値からのずれ（ばらつき）のグラフである。単位トランジスタのＬ／Ｗ比が２以下では、目標値からのずれが大きい（直線の傾きが大き

い）。しかし、Ｌ／Ｗが大きくなるにつれて、目標値のずれが小さくなる傾向にある。単位トランジスタＬ／Ｗが２以上では目標値からのずれの変化は小さくなる。また、目標値からのずれ（ばらつき）はＬ／Ｗ＝２以上で、０．５％以下となる。したがって、トランジスタの精度としてソースドライバ回路１４に採用できる。
以上のことから、単位トランジスタＬ／Ｗは２以上にすることが好ましい。しかし、Ｌ／Ｗが大きいということはＬが長くなることを意味しているからトランジスタサイズが大きくなる。したがって、Ｌ／Ｗは４０以下にすることが好ましい。
また、Ｌ／Ｗの大きさは階調数にも依存する。階調数が少ない場合は、階調と階調との差が大きいため、キンクの影響により単位トランジスタ６３４の出力電流がばらついても問題がない。しかし、階調数が多い表示パネルでは、階調と階調との差が小さいため、キンクの影響により単位トランジスタ６３４の出力電流が少しでもばらつくと階調数が低減する。
以上のことを勘案し、本発明のドライバ回路１４は、階調数をＫとし、単位トランジスタ６３４のＬ／Ｗ（Ｌは単位トランジスタ６３４のチャンネル長、Ｗは単位トランジスタのチャンネル幅）とした時、
（√（Ｋ／１６））≦Ｌ／Ｗ≦かつ　（√（Ｋ／１６））×２０
の関係を満足させるように構成（形成）している。この関係を図示すると図１１９のようになる。図１１９の直線の上側が本発明の実施範囲である。
図６３に図示する第３段のカレントミラー部である。したがって、第１の電流源６３１と第２段の電流源６３２が別途形成されており、これらが密集（密接あるいは隣接）して配置されているのである。また、第２段の電流源６３２と第３段の電流源を構成するカラントミラー回路のトランジスタ６３３ａも密集（密接あるいは隣接）して配置される。
単位トランジスタ６３４の出力電流のバラツキはソースドライバＩＣ１４の耐圧にも依存している。ソースドライバＩＣの耐圧とは一般的にＩＣの電源電圧を意味する。たとえば、５（Ｖ）耐圧とは、電源電圧を標準電圧５（Ｖ）で使用する。なお、ＩＣ耐圧とは最大使用電圧と読み替えてもよい。これらの耐圧は、半導体ＩＣメーカーが５（Ｖ）耐圧プロセス、１０（Ｖ）耐圧プロセスと標準化して保有している。
ＩＣ耐圧が単位トランジスタ６３４の出力バラツキに影響を与えるのは、単位トランジスタ６３４のゲート絶縁膜の膜質、膜厚によると考えられる。ＩＣ耐圧が高いプロセスで製造したトランジスタ６３４はゲート絶縁膜が厚い。これば高電圧の印加でも絶縁破壊を発生しないようにするためである。絶縁膜が厚いと、ゲート絶縁膜厚の制御が困難になり、またゲート絶縁膜の膜質バラツキも大きくなる。そのため、トランジスタのバラツキが大きくなる。また、高耐圧プロセスで製造したトランジスタはモビリティが低くなる。モビリティが低いと、トランジスタのゲートに注入される電子が少し変化するだけで特性が異なる。したがって、トランジスタのバラツキが大きくなる。したがって、単位トランジスタ６３４のバラツキを少なくするためには、ＩＣ耐圧が低いＩＣプロセスを採用することが好ましい。
図１７０はＩＣ耐圧を単位トランジスタの出力バラツキの関係を図示してものである。縦軸のバラツキ比率とは、１．８（Ｖ）耐圧プロセスで作製して単位トランジスタ６３４のバラツキを１としている。なお、図１７０は単位トランジスタ６３４の形状Ｌ／Ｗを１２（μｍ）／６（μｍ）とし、各耐圧プロセスで製造した単位トランジスタ６３４の出力バラツキを示している。また、各ＩＣ耐圧プロセスで複数の単位トランジスタを形成し、出力電流バラツキを求めている。ただし、耐圧プロセスは、１．８（Ｖ）耐圧、２．５（Ｖ）耐圧、３．３（Ｖ）耐圧、５（Ｖ）耐圧、８（Ｖ）耐圧、１０（Ｖ）耐圧、１５（Ｖ）耐圧などとびとびである。しかし、説明を容易にするため、各耐圧で形成したトランジスタのバラツキをグラフに記入し、直線で結んでいる。
図１７０でもわかるが、ＩＣ耐圧が９（Ｖ）程度までは、ＩＣプロセスに対するバラツキ比率（単位トランジスタ６３４の出力電流バラツキ）の増加割合は小さい。しかし、ＩＣ耐圧が１０（Ｖ）以上になるとＩＣ耐圧に対するバラツキ比率の傾きが大きくなる。
図１７０におけるバラツキ比率は３以内が、６４階調から２５６階調表示でのバラツキ許

容範囲である。ただし、このばらつき比率は、単位トランジスタ６３４の面積、Ｌ／Ｗにより異なる。しかし、単位トランジスタ６３４の形状などを変化させても、ＩＣ耐圧に対するバラツキ比率の変化傾向はほとんど差がない。ＩＣ耐圧９～１０（Ｖ）以上でバラツキ比率が大きくなる傾向がある。

一方、図６４の出力端子６４の電位は、画素１６の駆動用トランジスタ１１ａのプログラム電流により変化する。画素１６の駆動用トランジスタ１１ａが白ラスター（最大白表示）の電流を流す時のゲート端子電位Ｖｗとする。画素１６の駆動用トランジスタ１１ａが黒ラスター（完全黒表示）の電流を流す時のゲート端子電位Ｖｂとする。Ｖｗ－Ｖｂの絶対値は２（Ｖ）以上必要である。また、Ｖｗ電圧が端子７６１に印加されている時、単位トランジスタ６３４のチャンネル間電圧は、０．５（Ｖ）必要である。

したがって、端子７６１（端子７６１はソース信号線１８と接続され、電流プログラム時、画素１６の駆動用トランジスタ１１ａのゲート端子電圧が印加される）には、０．５（Ｖ）から（（Ｖｗ－Ｖｂ）＋０．５）（Ｖ）の電圧が印加される。Ｖｗ－Ｖｂは２（Ｖ）であるから、端子７６１は最大２（Ｖ）＋０．５（Ｖ）＝２．５（Ｖ）印加される。したがって、ソースドライバＩＣ１４の出力電圧（電流）がｒａｉｌ－ｔｏ－ｒａｉｌ出力であっても、ＩＣ耐圧としては２．５（Ｖ）必要である。端子７４１の振幅必要範囲は、２．５（Ｖ）以上必要である。

以上のことから、ソースドライバＩＣ１４の耐圧は、２．５（Ｖ）以上１０（Ｖ）以下のプロセスを使用することが好ましい。さらに好ましくは、ソースドライバＩＣ１４の耐圧は、３（Ｖ）以上９（Ｖ）以下のプロセスを使用することが好ましい。

なお、以上の説明は、ソースドライバＩＣ１２の使用耐圧プロセスは、２．５（Ｖ）以上１０（Ｖ）以下のプロセスを使用するとした。しかし、この耐圧は、アレイ基板７１に直接にソースドライバ回路１４が形成された実施例（低温ポリシリコンプロセスなど）にも適用される。アレイ基板７１に形成されたソースドライバ回路１４の使用耐圧は１５（Ｖ）以上と高い場合がある。この場合は、ソースドライバ回路１４に使用する電源電圧を図１７０に図示するＩＣ耐圧に置き換えてもよい。また、ソースドライバＩＣ１４にあっても、ＩＣ耐圧とせず、使用する電源電圧に置き換えても良い。

単位トランジスタ６３４の面積は出力電流のバラツキと相関がある。図１７１は単位トランジスタ６３４の面積を一定とし、単位トランジスタ６３４のトランジスタ幅Ｗを変化させた時のグラフである。図１７０は単位トランジスタ６３４のチャンネル幅Ｗ＝２（μｍ）のバラツキを１としている。

図１７１で示すようにバラツキ比率は、単位トランジスタのＷが２（μｍ）から９～１０（μｍ）まで緩やかに増加し、１０（μｍ）以上でバラツキ比率の増加は大きくなる傾向がある。また、チャンネル幅Ｗ＝２（μｍ）以下でバラツキ比率が増加する傾向がある。図１７１におけるバラツキ比率は３以内が、６４階調から２５６階調表示でのバラツキ許容範囲である。ただし、このばらつき比率は、単位トランジスタ６３４の面積により異なる。しかし、単位トランジスタ６３４の面積を変化させても、ＩＣ耐圧に対するバラツキ比率の変化傾向はほとんど差がない。

以上のことから、単位トランジスタ６３４のチャンネル幅Ｗは２（μｍ）以上１０（μｍ）以下とすることが好ましい。さらに好ましくは、単位トランジスタ６３４のチャンネル幅Ｗは２（μｍ）以上９（μｍ）以下とすることが好ましい。

図６８に図示するように、第２段のカレントミラー回路６３２ｂを流れる電流は、第３段のカレントミラー回路を構成するトランジスタ６３３ａにコピーされ、カレントミラー倍率が１倍の時は、この電流がトランジスタ６３３ｂに流れる。この電流は、最終段の単位トランジスタ６３４にコピーされる。

Ｄ０に対応する部分は、１個の単位トランジスタ６３４で構成されているので、最終段電流源の単位トランジスタ６３３に流れる電流値である。Ｄ１に対応する部分は２個の単位トランジスタ６３４で構成されているので、最終段電流源の２倍の電流値である。Ｄ２は４個の単位トランジスタ６３４で構成されているので、最終段電流源の４倍の電流値であり、・・・、Ｄ５に対応する部分は３２個のトランジスタで構成されているので、最終段

電流源の３２倍の電流値である。したがって、６ビットの画像データＤ０、Ｄ１、Ｄ２、・・・、Ｄ５で制御されるスイッチを介してプログラム電流Ｉｗはソース信号線に出力される（電流を引き込む）。したがって、６ビットの画像データＤ０、Ｄ１、Ｄ２、・・・、Ｄ５のＯＮ、ＯＦＦに応じて、出力線には、最終段電流源６３３の１倍、２倍、４倍、・・・、３２倍の電流が加算されて出力される。すなわち、６ビットの画像データＤ０、Ｄ１、Ｄ２、・・・、Ｄ５により、最終段電流源６３３の０～６３倍の電流値が出力線より出力される（ソース信号線１８から電流を引き込む）。

実際には、図１４６に図示するように、ソースドライバＩＣ１４内には、Ｒ、Ｇ、Ｂごとに基準電流（ＩａＲ、ＩａＧ、ＩａＢ）は可変抵抗６５１（６５１Ｒ、６５１Ｇ、６５１Ｂ）で調整できるように構成されている。基準電流Ｉａを調整することにより、ホワイトバランスと容易に調整することができる。

以上のように、最終段電流源６３３の整数倍の構成により、従来のＷ／Ｌの比例配分と比較して、より高精度に電流値を制御できる（各端子の出力バラツキがなくなる）。

ただし、この構成は、画素１６を構成する駆動用トランジスタ１１ａがＰチャンネルで構成され、かつ、ソースドライバＩＣ１４を構成する電流源（１単位トランジスタ）６３４がＮチャンネルトランジスタで構成されている場合である。他の場合（例えば、画素１６の駆動用トランジスタ１１ａがＮチャンネルトランジスタで構成されている場合など）は、プログラム電流Ｉｗは吐き出し電流となる構成も実施できることはいうまでもない。

ここで、基準電流の発生回路について詳細に説明しておく。本発明のソースドライバ回路（ＩＣ）１４の電流出力方式（液晶表示パネルのソースドライバは電圧出力方式（信号は電圧のステップ）である）では、基準電流を元にし、この基準電流に比例した単位電流を複数組み合わせてプログラム電流Ｉｗを出力するものである。

図１４４はその実施例である。図６７、図６８、図７６などでは、可変抵抗６５１で基準電流を作成している。図１４４は、図６８の可変抵抗６５１をトランジスタ６３１ａで置き換え、このトランジスタ６３１ａとカレントミラー回路を形成するトランジスタ１４４４に流れる電流をオペアンプ７２２など用いて制御するものである。トランジスタ１４４４とトランジスタ６３１ａとはカレントミラー回路を形成する。カレントミラー倍率が１であれば、トランジスタ１４４３を流れる電流が基準電流となる。

オペアンプ７２２の出力電圧はＮチャンネルトランジスタ１４４３に入力され、トランジスタ１４４３に流れる電流が外付け抵抗６９１に流れる。なお、抵抗６９１ａは固定チップ抵抗である。基本的には、抵抗６９１ａのみでよい。抵抗６９１ｂはポジスタあるいはサーミスタなどの温度に対して抵抗値が変化する抵抗素子である。この抵抗６９１ａはＥＬ素子１５の温特を補償するために用いる。抵抗６９１ａは、ＥＬ素子１５の温特にあわせて（補償するために）、抵抗６９１ｂと並列あるいは直列に挿入あるいは配置する。なお、以後は説明を容易にするため、抵抗６９１ａと抵抗６９１ｂは１つの抵抗６９１とみなして説明を行う。

抵抗６９１は１％以上の精度のものが容易に入手できる。抵抗６９１はソースドライバＩＣ１４内に拡散抵抗技術による抵抗あるいはポリシリパターンによる抵抗を形成し、内蔵させてもよい。チップ抵抗６９１は入力端子７６１ａに取り付ける。特にＥＬ表示パネルでは、ＲＧＢごとにＥＬ素子１５の温特が異なる。したがって、ＲＧＢごとの３つの外付け抵抗６９１が必要となる。

抵抗６９１の端子電圧はオペアンプ７２２の－入力となり、この－端子の電圧とオペアンプ７２２の＋端子とは同一電圧となる。したがって、オペアンプ７２２の＋入力電圧がＶ１とすれば、この電圧と抵抗６９１で割ったものがトランジスタ１４４４に流れる電流となる。この電流が基準電流となる。

今、抵抗６９１の抵抗値が１００ＫΩとし、オペアンプ７２２の＋端子の入力電圧がＶ１＝１（Ｖ）であれば、抵抗６９１には１（Ｖ）／１００ＫΩ＝１０（μＡ）の基準電流が流れる。基準電流の大きさは、２μＡ以上３０μＡ以下に設定することが好ましい。さらに好ましくは、５μＡ以上２０μＡ以下に設定することが好ましい。親トランジスタ６３に流す基準電流が小さいと、単位電流源６３４の精度が悪くなる。基準電流が大きすぎる

と、ＩＣ内部で変換するカレントミラー倍率（この場合は低減方向）が大きくなり、カレントミラー回路でのバラツキが大きくなり、先と同様に単位電流源６３４の精度が悪くなる。
以上の構成によれば、オペアンプ７２２の＋入力端子の精度が良好かつ抵抗６９１の精度が良好であれば、極めて精度のよい基準電流（大きさ、バラツキ精度）を形成できる。抵抗６９１をソースドライバ回路（ＩＣ）１４内に内蔵する場合は、内蔵した抵抗をトリミングすることにより高精度に形成するとよい。
オペアンプ７２２の＋端子には、基準電圧回路１４４１からの基準電圧Ｖｒｅｆを印加する。基準電圧を出力する基準電圧回路１４４１のＩＣはマキシム社などから多数の品種が販売されている。また、基準電圧Ｖｒｅｆはソースドライバ回路１４内に形成することもできる（基準電圧Ｖｒｅｆの内蔵）。基準電圧Ｖｒｅｆの範囲は2（Ｖ）以上アノード電圧Ｖｄｄ（Ｖ）以下とすることが好ましい。
基準電圧は接続端子７６１ａから入力する。基本的には、このＶｒｅｆ電圧をオペアンプ７２２の＋端子に入力すればよい。接続端子７６１ａを＋端子間に電子ボリウム回路５６１が配置されているのは、ＥＬ素子１５はＲＧＢで発光効率が異なるためである。つまり、ＲＧＢの各ＥＬ素子１５に流す電流と調整し、ホワイトバランスを取るためである。もちろん、抵抗６９１の値で調整できる場合は、電子ボリウム回路５６１での調整は必要でない。たとえば、抵抗６９１を可変ボリウムで構成する例が例示される。
電子ボリウム回路５６１の活用としての１つは、ＥＬ素子１５がＲＧＢで劣化速度が異なることによる再度のホワイトバランス調整である。ＥＬ素子１５は特に、Ｂが劣化しやすい。そのため、ＥＬ表示パネルを使用していると長年の間にＢのＥＬ素子１５が暗くなり、画面がイエロー色になる。この場合にＢ用の電子ボリウム回路５６１を調整してホワイトバランスを実施する。もちろん、電子ボリウム回路５６１を温度センサ７８１（図７８およびその説明を参照のこと）と連動させて、ＥＬ素子の輝度補償あるいはホワイトバランス補償を実施してもよい。
電子ボリウム回路５６１はＩＣ（回路）１４内に内蔵させる。もしくは、低温ポリシリコン技術を用いてアレイ基板７１に直接に形成する。ポリシリコンをパターニングすることにより単位抵抗（Ｒ１、Ｒ２、Ｒ３、Ｒ４、・・・・・Ｒｎ）を複数個形成し、直列に接続する。また、各単位抵抗間にアナログスイッチ（Ｓ１、Ｓ２、Ｓ２、・・・・・・Ｓｎ＋１）を配置し、基準電圧Ｖｒｅｆを分圧して電圧を出力する。
図１４８などにおいて、トランジスタ１４４３はバイポーラトランジスタとして図示しているが、これに限定するものではない。ＦＥＴ、ＭＯＳトランジスタでもよい。トランジスタ１４４３はＩＣ内１４に内蔵させる必要はなく、ＩＣ外部に配置してもよいことは言うまでもない。また、ゲートドライバ回路１２内に電源などの発生回路を内蔵させ、また、トランジスタ１４４３も内蔵させてもよい。
ＥＬ表示パネルで、フルカラー表示を実現するためには、ＲＧＢのそれぞれに基準電流を形成（作成）する必要がある。ＲＧＢの基準電流の比率でホワイトバランスを調整できる。電流駆動方式の場合は、また、本発明は、１つの基準電流から単位電流源６３４が流す電流値を決定する。したがって、基準電流の大きさを決定すれば、単位電流源６３４が流す電流を決定することができる。そのため、Ｒ、Ｇ、Ｂのそれぞれの基準電流を設定すれば、すべての階調におけるホワイトバランスが取れることになる。以上の事項は、ソースドライバ回路１４が電流きざみ出力（電流駆動）であることから発揮される効果である。したがって、いかに、ＲＧＢごとに基準電流の大きさを設定できるかがポイントとなる。
ＥＬ素子の発光効率は、ＥＬ材料の蒸着あるいは塗布する膜厚で決定される。もしくは、支配的な要因である。膜厚は、ロットごとにほぼ一定である。したがって、ＥＬ素子１５の形成膜厚をロット管理すれば、ＥＬ素子１５に流す電流と発光輝度の関係が決定される。つまり、ロットごとに、ホワイトバランスをとるための電流値は固定である。
たとえば、ＲのＥＬ素子１５に流す電流をＩｒ（Ａ）、ＧのＥＬ素子１５に流す電流をＩｇ（Ａ）、ＢのＥＬ素子１５に流す電流をＩｂ（Ａ）とすれば、ロットごとにホワイトバランスがとれる基準電流の割合がわかる。したがって、一例として、Ｉｒ：Ｉｇ：Ｉｂ＝

１：２：４の時に、ホワイトバランスが取れることがわかる。ホワイトバランスを設定すると本発明のｄｕｔｙ駆動などでは、全階調でホワイトバランスがとれる。この事項は本発明の駆動方法と本発明のソースドライバ回路との相乗効果が発揮される事項である。
図１４８の構成においては、ロットごとにＲ、Ｇ、Ｂの基準電流を発生させる回路の抵抗６９１の値を変更することによりホワイトバランスをとることができる。しかし、ロットごとに抵抗６９１を変更するという作業が発生する。
図１４８では、ソースドライバ回路（ＩＣ）１４外部から電子ボリウム回路５６１を制御し、電子ボリウム回路５６１のスイッチＳｘを切り替えて基準電流Ｉａの値を変更する。
図１４９では、電子ボリウム回路５６１の設定値をフラシュメモリ１４９１に記憶できるように構成している。フラッシュメモリ１４９１の値は、各ＲＧＢの電子ボリウム回路５６１で独自に設定できるように構成されている。フラシュメモリ１４９１の値は、たとえばＥＬ表示パネルのロットごとに設定され、ソースドライバＩＣ１４の電源投入時に読み出されて、電子ボリウム回路５６１のスイッチＳｘを設定する。
図１５０は図１４９の電子ボリウム回路５６１を抵抗アレイ回路１５０１にした構成図である。なお、図１５０において、Ｒｒは外づけ抵抗である。もちろん、Ｒｒはソースドライバ回路（ＩＣ）１４内に内蔵させてもよい。抵抗アレイ１５０３はソースドライバ回路（ＩＣ）１４内に内蔵させる。抵抗アレイを構成する抵抗（Ｒ１～Ｒｎ）は直列に接続されており、各抵抗（Ｒ１～Ｒｎ）間はショート配線で結線されている。この結線を、図１５０で示すａ点ｂ点などを切断することにより、抵抗アレイ１５０３を流れる電流Ｉｒが変化する。電流Ｉｒの変化によりオペアンプ７２２の＋端子に印加される電圧が変化するから、基準電流Ｉａが変化する。切断する点は、抵抗Ｒｒを流れる電流をモニターし、目標の基準電流となる点を決定して行う。
抵抗アレイ１５０３のトリミングは、レーザー装置１５０１を用いて、レーザー光１５０２を照射することにより行うとよい。
なお、図１４８ではＲＧＢで抵抗６９１の値を変更することにより、各ＲＧＢの基準電流を変更するとした。また、図１４９では、フラッシュメモリ１４９１により、電子ボリウム回路５６１のスイッチＳｘを設定することにより、各ＲＧＢの基準電流を変更するとした。また、図１５０では、抵抗アレイ１５０３の抵抗値をトリミングにより変更することにより、各ＲＧＢの基準電流を変更するとした。しかし、本発明はこれに限定するものではない。
たとえば、図１４９、図１５０において、各ＲＧＢの基準電圧（ＶｒｅｆＲ、ＶｒｅｆＧ、ＶｒｅｆＢ）の電圧値を変更することによっても、基準電流を調整することができることは言うまでもない。各ＲＧＢの基準電圧Ｖｒｅｆはオペアンプ回路などにより容易に発生させることができる。また、図１４８、図１４９、図１５０などにおいて、抵抗Ｒｒをボリウムとすることにより、結果的にソースドライバ回路（ＩＣ）１４に印加される基準電圧を変更することができる。
最終段電流源６３３の０～６３倍の電流が出力されるとしたが、これは最終段電流源６３３のカレントミラー倍率が１倍の時である。カレントミラー倍率が２倍の時は、最終段電流源６３３の０～１２６倍の電流が出力され、カレントミラー倍率が０．５倍の時は、最終段電流源６３３の０～３１．５倍の電流が出力される。
以上のように、本発明は最終段電流源６３３あるいは、それより前段の電流源（６３１、６３２など）のカレントミラー倍率を変化させることにより、出力の電流値を容易に変更できる。また、以上の事項は、Ｒ、Ｇ、Ｂごとにカレントミラー倍率を変更する（異ならせる）ことも好ましい。たとえば、Ｒのみ、いずれかの電流源のカレントミラー倍率を他の色に対して（他の色に対応する電流源回路に対して）、変化（異ならせる）させてもよい。特に、ＥＬ表示パネルは、各色（Ｒ、Ｇ、Ｂあるいはシアン、イエロー、マゼンダ）ごとに発光効率などが異なる。したがって、各色でカレントミラー倍率を変化させることにより、ホワイトバランスを良好にできる。
電流源のカレントミラー倍率を他の色に対して（他の色に対応する電流源回路に対して）、変化（異ならせる）させるという事項は、固定的なものに限定されない。可変すること

も含まれる。可変は、電流源にカレントミラー回路を構成するトランジスタを複数形成しておき、外部からの信号によりカレント電流を流す前記トランジスタの個数を切り替えることにより実現できる。このように構成することにより、作製されたＥＬ表示パネルの各色の発光状態を観察しながら、最適なホワイトバランスに調整することが可能になる。
特に、本発明は、多数段に電流源（カレントミラー回路）を連結する構成である。したがって、第１段の電流源６３１と第２段の電流源６３２とのカレントミラー倍率を変化させると、少ない連結部（カレントミラー回路など）により容易に多数の出力の出力電流を変化できる。もちろん、第２段の電流源６３２と第３段の電流源６３３とのカレントミラー倍率を変化させるよりも、少ない連結部（カレントミラー回路など）により容易に多数の出力の出力電流を変化できることはいうまでもない。
なお、カレントミラー倍率を変化という概念は、電流倍率を変化（調整）するということである。したがって、カレントミラー回路のみに限定されるものではない。たとえば、電流出力のオペアンプ回路、電流出力のＤ／Ａ回路などでも実現できる。以上に説明した事項は、本発明の他の実施例についても適用されることはいうまでもない。
図６５に、３段式カレントミラー回路による１７６出力（Ｎ×Ｍ＝１７６）の回路図の一例を示す。図６５では、第１段カレントミラー回路による電流源６３１を親電流源、第２段カレントミラー回路による電流源６３２を子電流源、第３段カレントミラー回路による電流源６３３を孫電流源と記している。最終段カレントミラー回路である第３段カレントミラー回路による電流源の整数倍の構成により、１７６出力のばらつきを極力抑え、高精度な電流出力が可能である。もちろん、電流源５３１、６３２、６３３を密集して配置するという構成を忘れてはならない。
なお、密集して配置するとは、第１の電流源６３１と第２の電流源６３２とを少なくとも８ｍｍ以内の距離に配置（電流あるいは電圧の出力側と電流あるいは電圧の入力側）することをいう。さらには、５ｍｍ以内に配置することが好ましい。この範囲であれば、検討によりシリコンチップ内で配置されてトランジスタの特性（Ｖｔ、モビリティ（μ））差がほとんど発生しないからである。また、同様に、第２の電流源６３２と第３の電流源６３３（電流の出力側と電流の入力側）も少なくとも８ｍｍ以内の距離に配置する。さらに好ましくは、５ｍｍ以内の位置に配置することが好ましい。以上の事項は、本発明の他の実施例においても適用されることは言うまでもない。
この電流あるいは電圧の出力側と電流あるいは電圧の入力側とは、以下の関係を意味する。図６６の電圧受け渡しの場合は、第（Ｉ）段の電流源のトランジスタ６３１（出力側）と第（Ｉ＋１）の電流源のトランジスタ６３２ａ（入力側）とを密集して配置する関係である。図６７の電流受け渡しの場合は、第（Ｉ）段の電流源のトランジスタ６３１ａ（出力側）と第（Ｉ＋１）の電流源のトランジスタ６３２ｂ（入力側）とを密集して配置する関係である。
なお、図６５、図６６などにおいて、トランジスタ６３１は１個としたが、これに限定するものではない。たとえば、小さなサブトランジスタ６３１を複数個形成し、この複数個のサブトランジスタのソースまたはドレイン端子を可変抵抗６５１と接続して単位トランジスタを構成してもよい。小さなサブトランジスタを複数個並列に接続することにより、単位トランジスタのばらつきを低減することができる。
同様に、トランジスタ６３２ａは１個としたが、これに限定するものではない。たとえば、小さなトランジスタ６３２ａを複数個形成し、このトランジスタ６３２ａの複数個のゲート端子を、トランジスタ６３１のゲート端子と接続してもよい。小さなトランジスタ６３２ａを複数個並列に接続することにより、トランジスタ６３２ａのばらつきを低減することができる。
したがって、本発明の構成としては、１つのトランジスタ６３１と複数個のトランジスタ６３２ａとを接続する構成、複数個のトランジスタ６３１と１個のトランジスタ６３２ａとを接続する構成、複数個のトランジスタ６３１と複数個のトランジスタ６３２ａとを接続する構成が例示される。以上の実施例は後に詳細に説明する。
以上の事項は、図６８のトランジスタ６３３ａとトランジスタ６３３ｂとの構成にも適用

される。１つのトランジスタ６３３ａと複数個のトランジスタ６３３ｂａとを接続する構成、複数個のトランジスタ６３３ａと１個のトランジスタ６３３ｂとを接続する構成、複数個のトランジスタ６３３ａと複数個のトランジスタ６３３ｂとを接続する構成が例示される。小さなトランジスタ６３３を複数個並列に接続することにより、トランジスタ６３３のばらつきを低減することができるからである。

以上の事項は、図６８のトランジスタ６３２ａ、６３２ｂとの関係にも適用することができる。また、図６４のトランジスタ６３３ｂも複数個のトランジスタで構成することが好ましい。図７３、図７４のトランジスタ６３３についても同様に複数個のトランジスタで構成することが好ましい。

ここで、シリコンチップとしたが、これは、半導体チップの意味である。したがって、ガリウム基板に形成されたチップ、ゲルマニウム基板など形成された他の半導体チップも同様である。したがって、ソースドライバＩＣ１４はいずれの半導体基板で作製してもよい。また、単位トランジスタ６３４は、バイポーラトランジスタ、ＣＭＯＳトランジスタ、バイＣＭＯＳトランジスタ、ＤＭＯＳトランジスタのいずれでもよい。しかし、単位トランジスタ６３４の出力バラツキを小さくする観点から、単位トランジスタ６３４はＣＭＯＳトランジスタで構成することが好ましい。

単位トランジスタ６３４はＮチャンネルで構成することが好ましい。Ｐチャンネルトランジスタで構成した単位トランジスタは、Ｎチャンネルトランジスタで構成した単位トランジスタに比較して、出力バラツキが１．５倍になる。

ソースドライバＩＣ１４の単位トランジスタ６３４は、Ｎチャンネルトランジスタで構成することが好ましいことから、ソースドライバＩＣ１４のプログラム電流は、画素１６からソースドライバＩＣへの引き込み電流となる。したがって、画素１６の駆動用トランジスタ１１ａはＰチャンネルで構成される。また、図１のスイッチング用トランジスタ１１ｄもＰチャンネルトランジスタで構成される。

以上のことから、ソースドライバＩＣ（回路）１４の出力段の単位トランジスタ６３４をＮチャンネルトランジスタで構成し、画素１６の駆動用トランジスタ１１ａをＰチャンネルトランジスタで構成するという構成は、本発明の特徴ある構成である。なお、画素１６を構成するトランジスタ１１のすべてを図１に図示することにより画素１６を作製するプロセスマスクを低減することができるからより好ましい構成である。

画素１６を構成するトランジスタ１１をＰチャンネルで構成すると、プログラム電流は画素１６からソース信号線１８に流れ出す方向になる。そのため、ソースドライバ回路の単位トランジスタ６３４（図７３、図７４、図１２６、図１２９などを参照のこと）は、Ｎチャンネルのトランジスタで構成する必要がある。つまり、ソースドライバ回路１４はプログラム電流Ｉｗを引き込むように回路構成する必要がある。

したがって、画素１６の駆動用トランジスタ１１ａ（図１の場合）がＰチャンネルトランジスタの場合は、必ず、ソースドライバ回路１４はプログラム電流Ｉｗを引き込むように、単位トランジスタ６３４をＮチャンネルトランジスタで構成する。ソースドライバ回路１４をアレイ基板７１に形成するには、Ｎチャンネル用マスク（プロセス）とＰチャンネル用マスク（プロセス）の両方を用いる必要がある。概念的に述べれば、画素１６とゲートドライバ１２をＰチャンネルトランジスタで構成し、ソースドライバの引き込み電流源のトランジスタはＮチャンネルで構成するのが本発明の表示パネル（表示装置）である。

したがって、画素１６のトランジスタ１１をＰチャンネルトランジスタで形成し、ゲートドライバ回路１２をＰチャンネルトランジスタで形成する。このように画素１６のトランジスタ１１とゲートドライバ回路１２の両方をＰチャンネルトランジスタで形成することにより基板７１を低コスト化できる。しかし、ソースドライバ１４は、単位トランジスタ６３４をＮチャンネルトランジスタで形成することが必要になる。したがって、ソースドライバ回路１４は基板７１に直接形成することができない。そこで別途、シリコンチップなどでソースドライバ回路１４を作製し、基板７１に積載する。つまり、本発明は、ソースドライバＩＣ１４（映像信号としてのプログラム電流を出力する手段）を外付けする構成である。

なお、ソースドライバ回路１４はシリコンチップで構成するとしたがこれに限定するものではない。たとえば、低温ポリシリコン技術などでガラス基板に多数個を同時に形成し、チップ状に切断して、基板７１に積載してもよい。なお、基板７１にソースドライバ回路を積載するとして説明しているが、積載に限定するものではない。ソースドライバ回路１４の出力端子６８１を基板７１のソース信号線１８に接続するのであればいずれの形態でもよい。たとえば、ＴＡＢ技術でソースドライバ回路１４をソース信号線１８に接続する方式が例示される。シリコンチップなどに別途ソースドライバ回路１４を形成することにより、出力電流のバラツキが低減し、良好な画像表示を実現できる。また、低コスト化が可能である。

また、画素１６の選択トランジスタをＰチャンネルで構成し、ゲートドライバ回路をＰチャンネルトランジスタで構成するという構成は、有機ＥＬなどの自己発光デバイス（表示パネルあるいは表示装置）に限定されるものではない。たとえば、液晶表示デバイス、ＦＥＤ（フィールドエミッションディスプレイ）にも適用することができる。

画素１６のスイッチング用トランジスタ１１ｂ、１１ｃがＰチャンネルトランジスタで形成されていると、Ｖｇｈで画素１６が選択状態となる。Ｖｇｌで画素１６が非選択状態となる。以前にも説明したが、ゲート信号線１７ａがオン（Ｖｇｌ）からオフ（Ｖｇｈ）になる時に電圧が突き抜ける（突き抜け電圧）。画素１６の駆動用トランジスタ１１ａがＰチャンネルトランジスタで形成されていると、黒表示状態の時、この突き抜け電圧によりトランジスタ１１ａがより電流が流れないようになる。したがって、良好な黒表示を実現できる。黒表示を実現することが困難であるという点が、電流駆動方式の課題である。

本発明では、ゲートドライバ回路１２をＰチャンネルトランジスタで構成することにより、オン電圧はＶｇｈとなる。したがって、Ｐチャンネルトランジスタで形成された画素１６とマッチングがよい。また、黒表示を良好にする効果を発揮させるためには、図１、図２、図３２、図１４０、図１４２、図１４４、図１４５の画素１６の構成のように、アノード電圧Ｖｄｄから駆動用トランジスタ１１ａ、ソース信号線１８を介してソースドライバ回路１４の単位トランジスタ６３４にプログラム電流Ｉｗが流入するように構成することが重要である。したがって、ゲートドライバ回路１２および画素１６をＰチャンネルトランジスタで構成し、ソースドライバ回路１４を基板に積載し、かつソースドライバ回路１４の単位トランジスタ６３４をＮチャンネルトランジスタで構成することは、すぐれた相乗効果を発揮する。また、Ｎチャンネルで形成した単位トランジスタ６３４はＰチャンネルで形成した単位トランジスタ６３４に比較して出力電流のバラツキが小さい。同一面積（Ｗ・Ｌ）のトランジスタ６３４で比較した場合、Ｎチャンネルの単位トランジスタ６３４はＰチャンネルの単位トランジスタ６３４に比較して、出力電流のばらつきは、１／１．５から１／２になる。この理由からもソースドライバＩＣ１４の単位トランジスタ６３４はＮチャンネルで形成することが好ましい。

なお、図４２の（ｂ）においても同様である。図４２の（ｂ）は駆動用トランジスタ１１ｂを介してソースドライバ回路１４の単位トランジスタ６３４に電流が流入するのではない。しかし、アノード電圧Ｖｄｄからプログラム用トランジスタ１１ａ、ソース信号線１８を介してソースドライバ回路１４の単位トランジスタ６３４にプログラム電流Ｉｗが流入するように構成である。したがって、図１と同様に、ゲートドライバ回路１２および画素１６をＰチャンネルトランジスタで構成し、ソースドライバ回路１４を基板に積載し、かつソースドライバ回路１４の単位トランジスタ６３４をＮチャンネルトランジスタで構成することは、すぐれた相乗効果を発揮する。

なお、本発明では、画素１６の駆動用トランジスタ１１ａをＰチャンネルで構成し、スイッチングトランジスタ１１ｂ、１１ｃをＰチャンネルで構成する。また、ソースドライバＩＣ１４の出力段の単位トランジスタ６３４をＮチャンネルで構成するとした。また、好ましくは、ゲートドライバ回路１２はＰチャンネルトランジスタで構成するとした。

前述の逆の構成でも効果を発揮することは言うまでもない。画素１６の駆動用トランジスタ１１ａをＮチャンネルで構成し、スイッチングトランジスタ１１ｂ、１１ｃをＮチャンネルで構成する。また、ソースドライバＩＣ１４の出力段の単位トランジスタ６３４をＰ

チャンネルとする構成である。なお、好ましくは、ゲートドライバ回路１２はＮチャンネルトランジスタで構成する。この構成も本発明の構成である。
以上の事項では、単位トランジスタ６３４は１個の単体トランジスタ６３４で構成されるＩＣに限定されるものではない。電流出力段回路が、複数のトランジスタで構成されるもの、カレントミラーで構成されるものなど他の構成で構成されるソースドライバＩＣ１４にも適用される。
さらには、低温ポリシリコン、高温ポリシリコンもしくは固相成長により形成された半導体膜（ＣＧＳ）、もしくはアモルファスシリコン技術を用いてソースドライバ回路１４にも適用される。ただし、この場合は、パネルが比較的大型の場合が多い。パネルが大型であると多少のソース信号線１８からの出力バラツキがあっても視覚的に認識されにくい。
したがって、以上のガラス基板などに画素トランジスタと同時にソースドライバ回路１４を形成する表示パネルでは、密集して配置するとは、第１の電流源６３１と第２の電流源６３２とを少なくとも３０ｍｍ以内の距離に配置（電流の出力側と電流の入力側）することをいう。さらには、２０ｍｍ以内に配置することが好ましい。この範囲であれば、検討によりこの範囲に配置されたトランジスタの特性（Ｖｔ、モビリティ（μ））差がほとんど発生しないからである。また、同様に、第２の電流源６３２と第３の電流源６３３（電流の出力側と電流の入力側）も少なくとも３０ｍｍ以内の距離に配置する。さらに好ましくは、２０ｍｍ以内の位置に配置することが好ましい。
以上の説明は、理解を容易に、あるいは説明を容易にするため、カレントミラー回路間は電圧により信号を受け渡すように説明をした。しかし、電流受け渡し構成にすることにより。よりばらつきの小さい電流駆動型表示パネルの駆動用ドライバ回路（ＩＣ）１４を実現することができる。
図６７は電流受け渡し構成の実施例である。なお、図６６は電圧受け渡し構成の実施例である。
図６６、図６７とも回路図としては同じであり、レイアウト構成すなわち配線の引き回し方が異なる。図６６において、６３１は第１段電流源用Ｎチャンネルトランジスタ、６３２ａは第２段電流源用Ｎチャンネルトランジスタ、６３２ｂは第２段電流源用Ｐチャンネルトランジスタである。
図６７において、６３１ａは第１段電流源用Ｎチャンネルトランジスタ、６３２ａは第２段電流源用Ｎチャンネルトランジスタ、６３２ｂは第２段電流源用Ｐチャンネルトランジスタである。
図６６では、可変抵抗６５１（電流を変化するために用いるものである）とＮチャンネルトランジスタ６３１で構成される第１段電流源のゲート電圧が、第２段電流源のＮチャンネルトランジスタ６３２ａのゲートに受け渡されているので、電圧受け渡し方式のレイアウト構成となる。
一方、図６７では、可変抵抗６５１とＮチャンネルトランジスタ６３１ａで構成される第１段電流源のゲート電圧が、隣接する第２段電流源のＮチャンネルトランジスタ６３２ａのゲートに印加され、その結果トランジスタに流れる電流値が、第２段電流源のＰチャンネルトランジスタ６３２ｂに受け渡されているので、電流受け渡し方式のレイアウト構成となる。
なお、本発明の実施例では説明を容易にするため、あるいは理解を容易にするために、第１の電流源と第２の電流源との関係を中心に説明しているが、これに限定されるものではなく、第２の電流源と第３の電流源との関係、あるいはそれ以外の電流源との関係においても適用される（適用できる）ことは言うまでもない。
図６６に示した電圧受け渡し方式のカレントミラー回路のレイアウト構成では、カレントミラー回路を構成する第１段の電流源のＮチャンネルトランジスタ６３１と第２段の電流源のＮチャンネルトランジスタ６３２ａが離れ離れになる（離れ離れになりやすいというべきではある）ので、両者のトランジスタ特性に相違が生じやすい。したがって、第１段電流源の電流値が第２段電流源に正確に伝達されず、ばらつきが生じやすい。
それに対して、図６７に示した電流受け渡し方式のカレントミラー回路のレイアウト構成

では、カレントミラー回路を構成する第１段電流源のＮチャンネルトランジスタ６３１ａと第２段電流源のＮチャンネルトランジスタ６３２ａが隣接している（隣接して配置しやすい）ので、両者のトランジスタ特性に相違は生じにくく、第１段電流源の電流値が第２段電流源に正確に伝達され、ばらつきが生じにくい。

以上のことから、本発明の多段式カレントミラー回路の回路構成（本発明の電流駆動方式のソースドライバ回路（ＩＣ）１４として、電圧受け渡しではなく、電流受け渡しとなるレイアウト構成とすることにより、よりばらつきが小さくでき好ましい。以上の実施例は本発明の他の実施例にも適用できることは言うまでもない。

なお、説明の都合上、第１段電流源から第２段電流源の場合を示したが、第２段電流源から第３段電流源、第３段電流源から第４段電流源、・・・の場合も同様であることは言うまでもない。

図６８は、図６５の３段構成のカレントミラー回路（３段構成の電流源）を、電流受け渡し方式にした場合の例を示している（したがって、図６５は電圧受け渡し方式の回路構成である）。

図６８では、まず、可変抵抗６５１とＮチャンネルトランジスタ６３１で基準電流が作成される。なお、可変抵抗６５１で基準電流を調整するように説明しているが、実際は、ソースドライバＩＣ（回路）１４内に形成（もしくは配置）された電子ボリウム回路によりトランジスタ６３１のソース電圧が設定され、調整されるように構成される。もしくは、図６４に図示するような多数の電流源（１単位）６３４から構成される電流方式の電子ボリウムから出力される電流を直接にトランジスタ６３１のソース端子に供給することにより基準電流は調整される（図６９を参照のこと）。

トランジスタ６３１による第１段電流源のゲート電圧が、隣接する第２段電流源のＮチャンネルトランジスタ６３２ａのゲートに印加され、その結果トランジスタに流れる電流値が、第２段電流源のＰチャンネルトランジスタ６３２ｂに受け渡される。また、第２の電流源のトランジスタ６３２ｂによるゲート電圧が、隣接する第３段電流源のＮチャンネルトランジスタ６３３ａのゲートに印加され、その結果トランジスタに流れる電流値が、第３段電流源のＮチャンネルトランジスタ６３３ｂに受け渡される。第３段電流源のＮチャンネルトランジスタ６３３ｂのゲートには図６４に図示する多数の電流源６３４が必要なビット数に応じて形成（配置）される。

図６９では、前記多段式カレントミラー回路の第１段電流源６３１に、電流値調整用素子が具備されていることを特徴としている。この構成により、第１段電流源６３１の電流値を変化させることにより、出力電流をコントロールすることが可能となる。

トランジスタのＶｔバラツキ（特性バラツキ）は、１ウエハ内で１００（ｍＶ）程度のばらつきがある。しかし、１００μ以内に近接して形成されたトランジスタのＶｔバラツキは、少なくとも、１０（ｍＶ）以下である（実測）。つまり、トランジスタを近接して形成し、カレントミラー回路を構成することにより、カレントミラー回路の出力電流バラツキを減少させることができる。したがって、ソースドライバＩＣの各端子の出力電流バラツキを少なくすることができる。

なお、トランジスタのバラツキはＶｔであるとして説明をするが、トランジスタのバラツキはＶｔだけではない。しかし、Ｖｔバラツキがトランジスタの特性バラツキの主要因であるから、理解を容易にするため、Ｖｔバラツキ＝トランジスタバラツキとして説明をする。

図１１０はトランジスタの形成面積（平方ミリメートル）と、単体トランジスタの出力電流バラツキとの測定結果を示している。出力電流バラツキとは、Ｖｔ電圧での電流バラツキである。黒点は所定の形成面積内に作製された評価サンプル（１０－２００個）のトランジスタ出力電流バラツキである。図１１０のＡ領域（形成面積０．５平方ミリメートル以内）内で形成されたトランジスタには、ほとんど出力電流のバラツキがない（ほぼ、誤差範囲の出力電流バラツキしかない。つまり、一定の出力電流が出力される）。逆にＣ領域（形成面積２．４平方ミリメートル以上）では、形成面積に対する出力電流のバラツキが急激に大きくなる傾向がある。Ｂ領域（形成面積０．５平方ミリメートル以上２．４平

方ミリメートル以下）では、形成面積に対する出力電流のバラツキはほぼ比例の関係にある。
ただし、出力電流の絶対値は、ウエハごとに異なる。しかし、この問題は、本発明のソースドライバ回路（ＩＣ）１４において、基準電流を調整すること、あるいは所定値にすることにより対応できる。また、カレントミラー回路などの回路工夫で対応できる（解決できる）。
本発明は、入力デジタルデータ（Ｄ）により、単位トランジスタ６３４に流れる電流数を切り替えることによりソース信号線１８に流れる電流量を変化（制御）する。階調数が６４階調以上であれば、１／６４＝０．０１５であるから、理論的には、１～２％以内の出力電流バラツキ以内にする必要がある。なお、１％以内の出力バラツキは、視覚的には判別することが困難になり、０．５％以下ではほぼ判別することができない（均一に見える）。
出力電流バラツキ（％）を１％以内にするためには、図１１０の結果に示すようにトランジスタ群（バラツキの発生を抑制すべきトランジスタ）の形成面積を２平方ミリメーター以内にする必要がある。さらに好ましくは、出力電流のバラツキ（つまり、トランジスタのＶｔバラツキ）を０．５％以内にすることが好ましい。図１１０の結果に示すようにトランジスタ群６８１の形成面積を１．２平方ミリメーター以内にすればよい。なお、形成面積とは、縦×横の長さの面積である。たとえば、一例として、１．２平方ミリメートルでは、１ｍｍ×１．２ｍｍである。
なお、以上は、特に８ビット（２５６階調）以上の場合である。２５６階調以下の場合、たとえば、６ビット（６４階調）の場合は、出力電流のバラツキは２％程度であっても良い（画像表示上、実状は問題がない）。この場合は、トランジスタ群６８１は、５平方ミリメートル以内に形成すればよい。また、トランジスタ群６８１（図６８では、トランジスタ群６８１ａと６８１ｂの２つを図示している）の両方が、この条件を満足することを要しない。少なくとも一方が（３つ以上ある場合は、１つ以上のトランジスタ群６８１）この条件を満足するように構成すれば本発明の効果が発揮される。特に、下位のトランジスタ群６８１（６８１ａが上位で、６８１ｂが下位の関係）に、関してこの条件を満足させることが好ましい。画像表示に問題が発生しにくくなるからである。
本発明のソースドライバ回路（ＩＣ）１４は、図６８に図示するように、親、子、孫というように少なくとも複数の電流源を多段接続し、かつ各電流源密配置にしている（もちろん、親、子の２段接続でもよい）。また、各電流源間（トランジスタ群６８１間）を電流受け渡しにしている。具体的には、図６８の点線で囲った範囲（トランジスタ群６８１）を密配置にする。このトランジスタ群６８１は電圧受け渡しの関係にある。また、親の電流源６３１と子の電流源６３２ａとは、ソースドライバＩＣ１４チップの略中央部に形成または配置する。チップの左右に配置された子の電流源を構成するトランジスタ６３２ａと、子の電流源を構成するトランジスタ６３２ｂとの距離を比較的短くすることができるからである。つまり、最上位のトランジスタ群６８１ａをＩＣチップの略中央部に配置する。そして、ＩＣチップ１４の左右に、下位のトランジスタ群６８１ｂを配置する。好ましくは、この下位のトランジスタ群６８１ｂの個数がＩＣチップの左右で略等しくなるように配置または、形成もしくは作製するのである。なお、以上の事項は、ＩＣチップ１４に限定されず、低温あるいは高温ポリシリコン技術でアレイ基板７１に直接形成したソースドライバ回路１４にも適用される。他の事項も同様である。
本発明では、トランジスタ群６８１ａはＩＣチップ１４の略中央部に１つ構成または配置または形成あるいは作製されたおり、チップの左右に８個ずつトランジスタ群６８１ｂが形成されている（Ｎ＝８＋８、図６３を参照のこと）。子のトランジスタ群６８１ｂはチップの左右に等しくなるように、もしくは、チップ中央の親が形成された位置に対し、左側に形成または配置されたトランジスタ群６８１ｂの個数と、チップの右側に形成または配置されたトランジスタ群６８１ｂの個数との差が、４個以内となるように構成することが好ましい。さらには、チップの左側に形成または配置されたトランジスタ群６８１ｂの個数と、チップの右側に形成または配置されたトランジスタ群６８１ｂの個数との差が、

１個以内となるように構成することが好ましい。以上の事項は、孫にあたるトランジスタ群（図６８では省略されているが）についても同様である。
親電流源６３１と子電流源６３２ａ間は電圧受け渡し（電圧接続）されている。したがって、トランジスタのＶｔバラツキの影響を受けやすい。そのため、トランジスタ群６８１ａの部分を密配置する。このトランジスタ群６８１ａの形成面積を、図１１０の図示するように２平方ミリメートル以内の面積に形成する。さらに好ましくは１．２平方ミリメートル以内に形成する。もちろん、階調数が６４階調以下の場合は、５平方ミリメートル以内でもよい。
トランジスタ群６８１ａを子トランジスタ６３２ｂ間は電流でデータを受け渡し（電流受け渡し）をしているので、多少、距離は流れても構わない。この距離の範囲（たとえば、上位のトランジスタ群６８１ａの出力端から下位のトランジスタ群６８１ｂの入力端までの距離）は、先に説明したように、第２の電流源（子）を構成するトランジスタ６３２ａと第２の電流源（子）を構成するトランジスタ６３２ｂとを、少なくとも１０ｍｍ以内の距離に配置する。このましくは８ｍｍ以内に配置または形成する。さらには、５ｍｍ以内に配置することが好ましい。
この範囲であれば、検討によりシリコンチップ内で配置されてトランジスタの特性（Ｖｔ、モビリティ（μ））差が、電流受け渡しではほとんど影響しないからである。特に、この関係は、下位のトランジスタ群で実施することが好ましい。たとえば、トランジスタ群６８１ａが上位で、その下位にトランジスタ群６８１ｂ、さらにその下位にトランジスタ群６８１ｃがあれば、トランジスタ群６８１ｂとトランジスタ群６８１ｃの電流受け渡しをこの関係を満足させる。したがって、すべてのトランジスタ群６８１がこの関係を満足させることに、本発明が限定されるものではない。少なくとも１組のトランジスタ群６８１がこの関係を満足するようにすればよい。特に、下位の方が、トランジスタ群６８１の個数が多くなるからである。
第３の電流源（孫）を構成するトランジスタ６３３ａと第３の電流源を構成するトランジスタ６３３ｂについても同様である。なお、電圧受け渡しでも、ほぼ適用することができることは言うまでもない。
トランジスタ群６８１ｂはチップの左右方向（長手方向、つまり、出力端子７６１と対面する位置に）に形成または作製あるいは配置されている。トランジスタ群６８１ｂはチップの左右方向（長手方向、つまり、出力端子７６１と対面する位置に）に形成または作製あるいは配置されている。このトランジスタ群６８１ｂの個数Ｍは、本発明では１１個（図６３を参照）である。
子電流源６３２ｂと孫電流源６３３ａ間は電圧受け渡し（電圧接続）されている。そのため、トランジスタ群６８１ａと同様にトランジスタ群６８１ｂの部分を密配置する。このトランジスタ群６８１ｂの形成面積を、図１１０の図示するように２平方ミリメートル以内の面積に形成する。さらに好ましくは１．２平方ミリメートル以内に形成する。ただし、このトランジスタ群６８１ｂ部分のＶｔが少しでもばらつくと画像として認識されやすい。したがって、ほとんどバラツキが発生しないように、形成面積は図１１０のＡ領域（０．５平方ミリメートル以内）にすることが好ましい。
トランジスタ群６８１ｂを孫トランジスタ６３３ａとトランジスタ６３３ｂ間は電流でデータを受け渡し（電流受け渡し）をしているので、多少、距離は流れても構わない。この距離の範囲についても先の説明と同様である。第３の電流源（孫）を構成するトランジスタ６３３ａと第２の電流源（孫）を構成するトランジスタ６３３ｂとを、少なくとも８ｍｍ以内の距離に配置する。さらには、５ｍｍ以内に配置することが好ましい。
図６９に、前記電流値制御用素子として、電子ボリウムで構成した場合を示す。電子ボリウムは抵抗６９１（電流制限および各基準電圧を作成する。抵抗６９１はポリシリで形成する）、デコーダ回路６９２、レベルシフタ回路６９３などで構成される。なお、電子ボリウムは電流を出力する。トランジスタ６４１はアナログスイッチ回路として機能する。
なお、ソースドライバＩＣ（回路）１４において、トランジスタを電流源と記載する場合がある。トランジスタで構成されたカレントミラー回路などは電流源として機能するから

である。
また、電子ボリウム回路は、ＥＬ表示パネルの色数に応じて形成（もしくは配置）する。たとえば、ＲＧＢの３原色であれば、各色に対応する３つの電子ボリウム回路を形成（もしくは配置）し、各色を独立に調整できるようにすることが好ましい。しかし、１つの色を基準にする（固定する）場合は、色数－１分の電子ボリウム回路を形成（もしくは配置）する。
図７６は、ＲＧＢの３原色を独立に基準電流を制御する抵抗素子６５１を形成（配置）した構成である。もちろん、抵抗素子６５１は電子ボリウムに置き換えてもよいことは言うまでもない。電流源６３１、電流源６３２などの親電流源、子電流源など基本（根本）となる電流源は図７６に図示する領域に出力電流回路７０４に密集して配置する。密集して配置することにより、各ソース信号線１８からの出力バラツキが低減する。図７６に図示するようにＩＣチップ（回路）１４の中央部に出力電流回路７０４（電流出力回路に限定されるものではない。基準電流発生回路部、コントローラ部でもよい。つまり、７０４とは出力回路が形成されていない領域である）に配置することにより、ＩＣチップ（回路）１４の左右に電流源６３１、６３２などから電流を均等に分配することが容易となる。したがって、左右の出力バラツキが発生しにくい。
ただし、中央部に出力電流回路７０４に配置することに限定するものではない。ＩＣチップの片端もしくは両端に形成してもよい。また、出力電流回路７０４と平行に形成または配置してもよい。
ＩＣチップ１４の中央部にコントローラあるいは出力電流回路７０４を形成することは、ＩＣチップ１４の単位トランジスタ６３４のＶｔ分布の影響を受けやすいため、あまり好ましいとはいえない（ウエハのＶｔはウエハ内で滑らかな分布が発生している）。
この理由を図１２０で説明をする。ＩＣチップ１４の中央部にコントローラあるいは出力電流回路７０４を形成すると、中央部には単位トランジスタ６３４からなる出力電流回路を形成または構成することができない。一方で表示パネルの表示画面５０はマトリックス状に画素１６が形成されている。画素は碁盤目状に等間隔に形成されている。したがって、図１２０に図示するように、ＩＣチップ１４の中央部には、出力電流回路の出力端子７６１ｂはない。そのため、パネルの表示画面５０の中央部には、ＥＬ素子１５の中央部以外の出力端子７６１ａ、７６１ｃから配線を引き回す。
しかし、出力端子７６１ｂ、７６１ｃに接続される出力回路の単位トランジスタのＶｔは異なっている可能性がある。各出力端子の単位トランジスタ６３４のゲート端子電圧が同一であっても、単位トランジスタ６３４のＶｔ分布により出力電流が異なる。したがって、パネルの中央部で出力電流の段差が発生する可能性がある。出力電流の段差が発生すると、画面の中央部で左右の輝度が異なる。
この課題を解決する構成を図１２２に図示する。図１２２の（ａ）は出力電流回路７０４をＩＣチップの片側に構成した例である。図１２２の（ｂ）は出力電流回路７０４をＩＣチップの両側に分割して構成した例である。図１２２の（ｃ）は出力電流回路７０４をＩＣチップの入力端子側に構成した例である。したがって、出力電流回路７０４以外の領域に出力端子が規則的に形成されている。
図６８の回路構成では、１つのトランジスタ６３３ａと１つのトランジスタ６３３ｂとが一対一の完成で接続されている。図６７においても、１つのトランジスタ６３２ａと１つのトランジスタ６３２ｂとが一対一の完成で接続されている。図６５などにおいても同様である。
しかし、１つのトランジスタと１つのトランジスタとが一対一の関係で接続されていると、対応するトランジスタの特性（Ｖｔなど）の特性がバラツクとこのトランジスタに接続されたトランジスタの出力にバラツキが発生してしまう。
この課題を解決する構成の実施例が図１２３の構成である。図１２３の構成は、一例として４つのトランジスタ６３３ａからなる伝達トランジスタ群６８１ｂ（６８１ｂ１、６８１ｂ２、６８１ｂ３）と４つのトランジスタ６３３ｂからなる伝達トランジスタ群６８１ｃ（６８１ｃ１、６８１ｃ２、６８１ｃ３）とが接続されている。ただし、伝達トランジ

スタ群６８１ｂ、伝達トランジスタ群６８１ｃはそれぞれ４つのトランジスタ６３３で構成されるとしたがこれに限定されるものではなく、３以下でもよく、５以上でもよいことは言うまでもない。つまり、トランジスタ６３３ａに流れる基準電流Ｉｂを、トランジスタ６３３ａとカレントミラー回路を構成する複数のトランジスタ６３３で出力し、この出力電流を複数のトランジスタ６３３ｂで受けるものである。複数のトランジスタ６３３ａと複数のトランジスタ６３３ｂと略同一サイズで、かつ同一個数に設定することが好ましい。また、１出力を構成する単位トランジスタ６３４の個数（図１２４のように６４階調の場合は６３個）と、単位トランジスタ６３４とカレントミラーを構成するトランジスタ６３３ｂの個数とは略同一サイズ、かつ同一個数にすることが好ましい。以上のように構成すればカレント倍率が精度よく設定でき、また、出力電流のばらつきも少なくなる。

なお、トランジスタ６３３ｂに流す電流Ｉｃ１に対して、６３２ｂに流れる電流Ｉｂは５倍以上になるように設定することが好ましい。トランジスタ６３３ａのゲート電位が安定し、出力電流による過渡現象の発生を抑制できるからである。

また、伝達トランジスタ群６８１ｂ１には４つのトランジスタ６３３ａが隣接して配置され、伝達トランジスタ群６８１ｂ１に隣接して伝達トランジスタ群６８１ｂ２が配置され、この伝達トランジスタ群６８１ｂ２には４つのトランジスタ６３３ａが隣接して配置されというように形成されるとしているがこれに限定するものではない。たとえば、伝達トランジスタ群６８１ｂ１のトランジスタ６３３ａと伝達トランジスタ群６８１ｂ２のトランジスタ６３３ａとが相互に位置関係を交錯するように配置または形成してもよい。位置関係を交錯（トランジスタ６３３の配置を伝達トランジスタ群６８１間で入れ替える）させることにより、各端子での出力電流（プログラム電流）のバラツキをより少なくすることができる。

このように電流受け渡しするトランジスタを複数のトランジスタで構成することにより、トランジスタ群全体として出力電流のバラツキが少なくなり、各端子での出力電流（プログラム電流）のバラツキをより少なくすることができる。

伝達トランジスタ群６８１を構成するトランジスタ６３３の形成面積の総和が重要な項目である。基本的にトランジスタ６３３の形成面積の総和が大きいほど、出力電流（ソース信号線１８から流入するプログラム電流）のバラツキは少なくなる。つまり、伝達トランジスタ群６８１の形成面積（トランジスタ６３３の形成面積の総和）が大きいほどバラツキは小さくなる。しかし、トランジスタ６３３の形成面積が大きくなればチップ面積が大きくなり、ＩＣチップ１４の価格が高くなる。

なお、伝達トランジスタ群６８１の形成面積とは、伝達トランジスタ群６８１を構成するトランジスタ６３３の面積の総和である。また、トランジスタ６３３の面積とは、トランジスタ６３３のチャンネル長Ｌとトランジスタ６３３のチャンネル幅Ｗをかけた面積をいう。したがって、トランジスタ群６８１が１０個のトランジスタ６３３で構成され、トランジスタ６３３のチャンネル長Ｌが１０μｍ、トランジスタ６３３のチャンネル幅Ｗが５μｍとすれば、伝達トランジスタ群６８１の形成面積Ｔｍ（平方μｍ）は１０μｍ×５μｍ×１０個＝５００（平方μｍ）である。

伝達トランジスタ群６８１の形成面積は単位トランジスタ６３４との関係を所定の関係を維持するようにする必要がある。また、伝達トランジスタ群６８１ａと伝達トランジスタ群６８１ｂとは所定の関係を維持するようにする必要がある。

トランジスタ群６８１の形成面積と単位トランジスタ６３４との関係について説明をする。図６６でも図示しているように、１つのトランジスタ６３３ｂに対応して複数の単位トランジスタ６３４が接続されている。６４階調の場合は、１つのトランジスタ６３３ｂに対応する単位トランジスタ６３４は６３個である（図６４の構成の場合）。この単位トランジスタ郡の形成面積Ｔｓ（平方μｍ）は、単位トランジスタ６３３のチャンネル長Ｌが１０μｍ、トランジスタ６３３のチャンネル幅Ｗが１０μｍとすれば、１０μｍ×１０μｍ×６３個＝６３００平方μｍである。

図６４のトランジスタ６３３ｂが、図１２３では、伝達トランジスタ群６８１ｃが該当する。単位トランジスタ群の形成面積Ｔｓと伝達トランジスタ群６８１ｃの形成面積Ｔｍと

は、以下の関係となるようにする。
１／４≦Ｔｍ／Ｔｓ≦６
さらに好ましくは、単位トランジスタ群の形成面積Ｔｓと伝達トランジスタ群６８１ｃの形成面積Ｔｍとは、以下の関係となるようにする。
１／２≦Ｔｍ／Ｔｓ≦４
以上の関係を満足させることにより、各端子での出力電流（プログラム電流）のバラツキを少なくすることができる。
また、伝達トランジスタ群６８１ｂの形成面積Ｔｍｍは伝達トランジス群６８１ｃの形成面積Ｔｍｓとは、以下の関係となるようにする。
１／２≦Ｔｍｍ／Ｔｍｓ≦８
さらに好ましくは、単位トランジスタ群の形成面積Ｔｓと伝達トランジスタ群６８１ｃの形成面積Ｔｍとは、以下の関係となるようにする。
１≦Ｔｍ／Ｔｓ≦４
以上の関係を満足させることにより、各端子での出力電流（プログラム電流）のバラツキを少なくすることができる。
トランジスタ群６８１ｂ１からの出力電流Ｉｃ１、トランジスタ群６８１ｂ２からの出力電流Ｉｃ２、トランジスタ群６８１ｂ２からの出力電流Ｉｃ３とするとき、出力電流Ｉｃ１、出力電流Ｉｃ２、および出力電流Ｉｃ３は一致させる必要がある。本発明では、トランジスタ群６８１は複数のトランジスタ６３３で構成しているため、個々のトランジスタ６３３がばらついていても、トランジスタ群６８１としては、出力電流Ｉｃのバラツキは発生しない。
なお、以上の実施例は、図６８のように３段のカレントミラー接続（多段のカレントミラー接続）の構成に限定されるものではない。１段のカレントミラー接続にも適用できることは言うまでもない。また、図１２３の実施例は、複数のトランジスタ６３３ａからなるトランジスタ群６８１ｂ（６８１ｂ１、６８１ｂ２、６８１ｂ３・・・・・・）と複数のトランジスタ６３３ｂからなるトランジスタ群６８１ｃ（６８１ｃ１、６８１ｃ２、６８１ｃ３・・・・・・）とを接続した実施例であった。しかし、本発明はこれに限定するものではなく、１つのトランジスタ６３３ａと複数のトランジスタ６３３ｂからなるトランジスタ群６８１ｃ（６８１ｃ１、６８１ｃ２、６８１ｃ３・・・・・・）とを接続してもよい。また、複数のトランジスタ６３３ａからなるトランジスタ群６８１ｂ（６８１ｂ１、６８１ｂ２、６８１ｂ３・・・・・・）と１つのトランジスタ群６３３ｂとを接続してもよい。
図６４において、スイッチ６４１ａは０ビット目に対応し、スイッチ６４１ｂは１ビット目に対応し、スイッチ６４１ｃは２ビット目に対応し、……スイッチ６４１ｆは５ビット目に対応する。０ビット目は１つの単位トランジスタで構成され、１ビット目は２つの単位トランジスタで構成され、２ビット目は４つの単位トランジスタで構成され、……５ビット目は３２つの単位トランジスタで構成される。説明を容易にするために、ソースドライバ回路１４は６４階調表示対応で、６ビットであるとして説明をする。
本発明のドライバ１４の構成では、１ビット目は０ビット目に対して２倍のプログラム電流を出力する。２ビット目は１ビット目に対して２倍のプログラム電流を出力する。３ビット目は２ビット目に対して２倍のプログラム電流を出力する。４ビット目は３ビット目に対して２倍のプログラム電流を出力する。５ビット目は４ビット目に対して２倍のプログラム電流を出力する。逆に言えば、各隣接したビットは、正確に２倍のプログラム電流を出力できるように構成する必要がある。
しかし、実際には、各ビットを構成する単位トランジスタ６３４のバラツキにより、各端子は正確に２倍のプログラム電流を出力するように構成することは難しい（できないという意味ではないが）。この課題を解決する１実施例が図１２４の構成である。
図１２４の構成では、各ビットの単位トランジスタ６３４に加えて、調整用のトランジスタを形成または配置している。調整用のトランジスタ１２４１は第５ビット（スイッチ６４１ｆが対応）と、第４ビット（スイッチ６４１ｅが対応）している。

図１２４の実施例では、第５ビット目（スイッチ６４１ｆに接続された単位トランジスタ６３４部分が該当）、第４ビット（スイッチ６４１ｄに接続された単位トランジスタ６３４部分が該当）に、調整用トランジスタ１２４１を配置または形成あるいは構成している。調整用トランジスタ１２４１は第５ビットと第４ビット目に４個ずつ配置している。しかし、本発明はこれに限定されるものではない。各ビットに付加する調整用トランジスタ１２４１の個数は変化させてもよいし、また、すべてのビットに調整用トランジスタ１２４１を付加（形成あるいは構成もしくは配置）してもよい。調整用トランジスタ１２４１は、単位トランジスタ６３４のサイズに比較して小さくする。もしくは、単位トランジスタ６３４の出力電流に比較して、出力電流を少なくする。トランジスタサイズが同一でもＷ／Ｌ比を変化させることにより出力電流は異ならせることができる。

なお、調整用トランジスタ１２４１のゲート端子は、単位トランジスタ６３４のゲート端子と共通にし、同一のゲート電圧が印加されるように構成あるいは接続する。したがって、トランジスタ６３３にＩｂ電流がながれると、単位トランジスタ６３４のゲート電圧が設定され、単位トランジスタ６３４が出力する電流が規定される。同時に調整用トランジスタ１２４１の出力電流も規定される。つまり、調整用トランジスタ１２４１の出力電流は、単位トランジスタ６３４の出力電流に比例する。また、出力電流は、単位トランジスタ６３４と対を成すトランジスタ６３３に流すＩｂ電流で制御することができる。

本発明では、１つの単位トランジスタ６３４のサイズが、２個以上の調整用トランジスタのサイズを加えたサイズ以上の関係となるように構成する。つまり、単位トランジスタ６３４サイズ＞調整用トランジスタ１２４１サイズの関係となるようにする。また、２個以上の調整用トランジスタ１２４１の総和した時に、総和のサイズが単位トランジスタ６３４サイズを上回るように構成あるいは形成する。調整用トランジスタ１２４１の動作個数を制御することにより、各ビットでの出力電流のバラツキを小刻みに調整することができる。

また、他の実施例では、本発明では、１つの単位トランジスタ６３４の出力電流が、２個以上の調整用トランジスタの出力電流加えた電流の総和以上の関係となるように構成する。つまり、単位トランジスタ６３４の出力電流＞調整用トランジスタ１２４１の出力電流の関係となるようにする。調整用トランジスタ１２４１の動作個数を制御することにより、各ビットでの出力電流のバラツキを小刻みに調整することができる。

図１２５は調整用トランジスタ１２４１で、各ビットの出力電流の調整方法を説明する説明図である。図１２５は調整用トランジスタ１２４１が４個形成されたところを示している。

なお、説明を容易にするため、出力電流の調整の対象となるビットの目標出力電流をＩａとし、現在の出力電流Ｉｂは、目標出力電流Ｉａに対してＩｅだけ少ない状態で作製されてしまっているとする（Ｉａ＝Ｉｂ＋Ｉｅ）。また、調整用トランジスタ１２４１の４個のトランジスタのすべてが正常に動作したときの電流をＩｇとし、トランジスタがプロセス上、ばらついても、必ず、Ｉｇ＞Ｉｅとなるように構成する。したがって、４つの調整用トランジスタ１２４１が動作している状態では、出力電流Ｉｂは、目標出力電流Ｉａを越えている（Ｉｂ＞Ｉａ）。

以上の状態で、調整用トランジスタ１２４１を共通端子１２５２から切り離して目標出力電流Ｉａにする。調整は、調整用トランジスタ１２４１をレーザーカットして行なう。レーザーカットは、ＹＡＧレーザーを用いるのか適当である。その他、ネオンヘリウムレーザー、炭酸ガスレーザーも用いることができる。また、サンドブラスタなどの機械加工でも実現できる。

図１２５では２箇所のカット箇所１２５１を切断し、トランジスタ１２４１ａ、１２４１ｂを共通端子１２５２から切り離している。したがって、Ｉｇ電流は１／２となる。以上のように、調整用トランジスタ１２４１を共通端子１２５２から切り離していき、目標出力電流Ｉａとなるように調整していく。出力電流は、微小電流計で測定し、測定値が目標値になったときに、切断する調整用トランジスタ１２４１を切断することを停止する。

なお、図１２５の説明において、カット箇所１２５１をレーザーにより切断して、出力電

流を調整するとしたが、これに限定するものではない。たとえば、調整用トランジスタ１２４１に直接レーザー光を照射し、調整用トランジスタ１２４１を破壊して出力電流を調整してもよい。また、カット箇所１２５１にアナログスイッチなどを形成しておき、このアナログスイッチを外部からの制御信号によりオンオフさせ、ｇ点に接続される調整用トランジスタ１２４１の個数を変化させてもよい。つまり、本発明は、調整用トランジスタ１２４１を形成し、この調整用トランジスタ１２４１からの電流をオンオフさせることにより、目標の出力電流となるようにするものである。したがって、他の構成でもよいことは言うまでもない。また、カット箇所１２５１で切断することに限定するものではなく、あらかじめ、カット箇所をオープンにしておき、金属膜などを、このカット箇所に堆積させることにより接続してもよい。

また、調整用トランジスタ１２４１を別途形成しておくとしたが、これに限定するものではない。たとえば、単位トランジスタ６３４の一部をトリミングすることにより、単位トランジスタ６３４の出力電流を調整することにより、目標の出力電流となるようにしてもよい。また、各ビットを構成する単位トランジスタ６３４のゲート端子電圧を個別に調整することにより、各ビットの出力電流を目標電流とするものであってもよい。たとえば、一例として、単位トランジスタ６３４のゲート端子に接続された配線をトリミングし、高抵抗化することにより達成させることができる。

図１６６は調整用トランジスタ１２４１あるいは単位トランジスタ６３４の一部を図示したものである。複数の単位トランジスタ６３４（調整用トランジスタ１２４１）は内部配線１６６２で接続されている。調整用トランジスタ１２４１はトリミングしやすいようにソース端子（Ｓ端子）に切れ込みが入れられている。調整用トランジスタ１２４１は切断箇所１６６１ｂをカットすることにより調整用トランジスタ１２４１のチャンネル間を流れる電流が制限される。したがって、電流出力段７０４の出力電流が少なくなる。なお、切れ込みを形成する箇所はソース端子に限定するものではなく、ドレイン端子でもよく、ゲート端子でもよい。また、切れ込みを形成せずとも調整用トランジスタ１２４１の一部を切断することができることは言うまでもない。また、調整用トランジスタ１２４１は形状の異なるものを複数個形成しておき、出力電流の計測の後、調整用トランジスタ１２４１のトリミングにより目標の出力電流に最も近づくトランジスタを選択し、トリミングを行っても良い。

なお、以上の実施例は、単位トランジスタ６３４あるいは調整用トランジスタ１２４１をトリミングして出力電流を調整する実施例であったが、本発明はこれに限定するものではない。たとえば、調整用トランジスタ１２４１を孤立させて形成し、ＦＩＢ加工により、前記調整用トランジスタ１２４１のソース端子などを出力電流回路７０４と接続することにより出力電流を調整してもよい。ただし、調整用トランジスタ１２４１は完全に孤立させる必要はない。たとえば、出力電流回路７０４と調整用トランジスタ１２４１のゲート端子とソース端子とを接続した状態で形成し、ＦＩＢ加工により調整用トランジスタ１２４１のドレイン端子を接続するように構成してもよい。

また、調整用トランジスタ１２４１のゲート端子は、出力電流回路７０４を構成する単位トランジスタ６３４のゲート端子と分離して構成し前記調整トランジスタ１２４１と前記単位トランジスタ６３４のソース端子およびドレイン端子を接続して形成または配置してもよい。単位トランジスタ６３４のゲート端子電位は、図１６４などにも図示するように電流Ｉｃで決定される。調整用トランジスタ１２４１のゲート端子電位は自由に調整できるように構成しているから、調整用トランジスタ１２４１のゲート端子電位を調整することにより調整用トランジスタ１２４１の出力電流を変更できる。したがって、調整用トランジスタ１２４１のゲート端子電位を調整することにより、単位トランジスタ６３４と調整用トランジスタ１２４１の出力電流の総和である出力電流回路７０４の出力電流を調整することができる。この方式では、トリミング加工、ＦＩＢ加工は必要でない。調整用トランジスタ１２４１のゲート端子電圧の調整は電子ボリウムなどで行っても良い。

上記の実施例では調整用トランジスタ１２４１の出力電流の調整はゲート端子電位の調整によって行うとしたが、これに限定するものではない。調整用トランジスタ１２４１のソ

ース端子に印加する電圧もしくはドレイン端子に印加する電圧を調整することにより行っても良い。これらの端子電圧の調整も電子ボリウムなどで行っても良い。また、調整用トランジスタ１２４１の各端子に印加する電圧は直流電圧に限定するものではない。矩形電圧（パルス状電圧など）を印加し、時間制御により出力電流を調整してもよい。

出力電流の大きさを大きく調整するときは、図１６６に図示すように調整用トランジスタ１２４１を切断箇所１６６１ａから切り離しても良い。以上のように単位トランジスタ６３４または調整用トランジスタ１２４１の全部あるいは一部をトリミングすることにより出力電流の調整を容易に行うことができる。なお、トリミング箇所からの劣化を防止するために、トリミング後、トリミング箇所に無機材料を蒸着あるいは塗布などすること、有機材料を蒸着あるいは塗布などすることにより、トリミング箇所が外気に触れないように封止プロセスを実施しておくことが好ましい。

特に、ＩＣチップ１４の両端の出力電流回路７０４にはトリミング機能を付加した構成にすることが好ましい。表示パネルが大型の場合は、複数のソースドライバＩＣ１４をカスケード接続する必要がある。カスケード接続をした場合、隣接したＩＣの出力電流に差があると境目としてめだつからである。図１６６に図示するようにトランジスタなどをトリミングすることにより、隣接した出力電流回路の出力電流バラツキを補正することができる。

以上の事項は本発明の他の実施例においても適用できることはいうまでもない。

図１２３の構成は、複数のトランジスタ６３３ａの出力電流を複数のトランジスタ６３３ｂで受け取ることにより、各端子の出力電流のばらつきを低減させるものであった。図１２６は電流をトランジスタ群の両側から給電することにより出力電流のバラツキを低減する構成である。つまり、電流Ｉａの供給源を複数設ける。本発明では、電流Ｉａ１と電流Ｉａ２とは同一の電流値とし、電流Ｉａ１を発生するトランジスタと電流Ｉａ２を発生するトランジスタと、対をなすトランジスタでカレントミラー回路を構成している。

したがって、本発明は、単位トランジスタ６３４の出力電流を規定する基準電流を発生するトランジスタ（電流発生手段）を複数個形成または配置された構成である。さらに好ましくは、複数のトランジスタからの出力電流を、カレントミラー回路を構成するトランジスタなどの電流受け取り回路に接続し、この複数のトランジスタが発生するゲート電圧により単位トランジスタ６３４の出力電流を制御する構成である。

なお、図１２６の実施例では、単位トランジスタ６３４群の両側に、カレントミラーを構成するトランジスタ６３３ｂを形成した。しかし、本発明はこれだけに限定するものではなく、トランジスタ群６８１ｂの両側にカレントミラーを構成するトランジスタ６３２ａを配置する構成も本発明の範疇である。

図１２６で明らかなように、トランジスタ群６８１ｂには電流を出力するトランジスタ６３３ａが複数個形成されている。トランジスタ群６８１ｂの両側にトランジスタ群６８１ｂのゲート端子を共通にし、かつトランジスタ６３３ａとカレントミラー回路を構成するトランジスタ６３２ａ（６３２ａ１、６３２ａ２）が形成または配置されている。トランジスタ６３２ａ１には基準電流Ｉａ１が流れ、トランジスタ６３２ａ２には基準電流Ｉａ２が流れる。したがって、トランジスタ６３３ａ（トランジスタ６３３ａ１、６３３ａ２、６３３ａ３、６３３ａ４、……）のゲート端子電圧は、トランジスタ６３２ａ１、６３２ａ２で規定されるとともに、トランジスタ６３３ａが出力する電流が規定される。

基準電流Ｉａ１、Ｉａ２の大きさは一致させる。これは、基準電流Ｉａ１、Ｉａ２を出力するカレントミラー回路などの定電流回路で行なうことができる。また、基準電流Ｉａ１、Ｉａ２が多少ずれていても補正しあうので課題は発生しにくい構成である。

以上の実施例では電流Ｉａ１ａと電流Ｉａ２とは略一致させるとしたが本発明はこれに限定するものではない。たとえば、電流Ｉａ１と電流Ｉａ２とを異ならせても良い。たとえば、電流Ｉａ１＜電流Ｉａ２とした場合、トランジスタ６３３ａ１が出力する電流Ｉｂ１は、トランジスタ６３３ａｎが出力する電流Ｉｂｎよりも小さくすることができる（Ｉｂ１＜Ｉｂｎ）。電流Ｉｂ１が少なくなれば、トランジスタ群６８１ｃ１が出力する電流も少なくなる。電流Ｉｂｎが大きくなれば、トランジスタ群６８１ｃｎが出力する電流も大

きくなる。トランジスタ群６８１ｃ１とトランジスタ群６８１ｃｎの間に配置または形成されてトランジスタ群６８１はその中間の出力電流となる。
以上のように電流Ｉａ１と電流Ｉａ２とを異ならせることにより、トランジスタ群６８１の出力電流に傾斜を作ることができる。トランジスタ群６８１の出力電流に傾斜をつけることは、ソースドライバＩＣ１４のカスケード接続に効果を発揮する。ＩＣチップの２つの基準電流Ｉａ１とＩａ２の調整により出力電流回路７０４の出力電流を調整することができるからである。したがって、隣接したＩＣ１４チップの出力に出力電流差がないように調整できるからである。
電流Ｉａ１と電流Ｉａ２とを異ならせても、各トランジスタ群６８１の単位トランジスタ６３４ゲート端子電位が同一であったら、トランジスタ群６８１の出力電流に傾斜を発生させることはできない。各トランジスタ群６８１の出力電流に傾斜が発生するのは、単位トランジスタ６３４のゲート端子電圧が異なるからである。ゲート端子電圧を異ならせるためには、トランジスタ群６８１ｂのゲート配線１２６１を高抵抗にする必要がある。具体的にはゲート配線１２６１をポリシリコンで形成する。また、トランジスタ６３２ａ１とトランジスタ６３２ａｎ間のゲート配線の抵抗値は、２ＫΩ以上２ＭΩ以下にする。以上のようにゲート配線１２６１を高抵抗にすることにより各トランジスタ群６８１ｃの出力電流に傾斜をつくることができる。
トランジスタ６３３ａのゲート端子電圧は、ＩＣチップがシリコンチップの場合、０．５２以上０．６８（Ｖ）以下の範囲に設定することが好ましい。この範囲であれば、トランジスタ６３３ａの出力電流のバラツキが少なくなる。以上の事項は本発明の他の実施例においても同様である。
以上の事項は、本発明の他の実施例においても適用できることはいうまでもない。
図１２６の構成では、カレントミラー回路において、トランジスタ６３３ａと対を成すトランジスタ６３２ａを２個以上（複数個）形成している。したがって、基準電流の両側給電となっているため、トランジスタ６３３ａのゲート端子電圧がトランジスタ群６８１ａ内において良好に一定に保たれる。そのため、トランジスタ６３３ａが出力する電流バラツキが極めて少なくなる。したがって、ソース信号線１８に出力するプログラム電流あるいはソース信号線１８から吸収するプログラム電流のバラツキはきわめて少なくなる。
図１２６ではトランジスタ６３３ａ１はトランジスタ６３３ｂ１と電流受け渡し状態を構成しており、トランジスタ６３３ａ２はトランジスタ６３３ｂ２と電流受け渡し状態を構成している。したがって、トランジスタ群６８１ｃ１も両側給電の構成である。同様に、トランジスタ６３３ａ３はトランジスタ６３３ｂ３と電流受け渡し状態を構成しており、トランジスタ６３３ａ４はトランジスタ６３３ｂ４と電流受け渡し状態を構成している。また、トランジスタ６３３ａ５はトランジスタ６３３ｂ５と電流受け渡し状態を構成しており、トランジスタ６３３ａ６はトランジスタ６３３ｂ６と電流受け渡し状態を構成している。
トランジスタ群６８１ｃは各ソース信号線１８と接続される出力段回路である。したがって、トランジスタ群６８１ｃに両側給電し、単位トランジスタ６３４のゲート端子の電圧降下あるいは電位分布がないようにすることにより、各ソース信号線１８の出力電流バラツキを解消できる。
トランジスタ群６８１ｃには電流を出力する単位トランジスタ６３４が複数個形成されている。トランジスタ群６８１ｃの両側にトランジスタ６３４のゲート端子を共通にし、かつトランジスタ６３４とカレントミラー回路を構成するトランジスタ６３３ｂ（６３３ｂ１、６３３ｂ２）が形成または配置されている。トランジスタ６３３ｂ１には基準電流Ｉｂ１が流れ、トランジスタ６３３ｂ２には基準電流Ｉｂ２が流れる。したがって、単位トランジスタ６３４のゲート端子電圧は、トランジスタ６３３ｂ１、６３３ｂ２で規定されるとともに、単位トランジスタ６３４が出力する電流が規定される。
基準電流Ｉｂ１、Ｉｂ２の大きさは一致させる。これは、基準電流Ｉｂ１、Ｉｂ２を出力するトランジスタ６３３ａなどの定電流回路で行なうことができる。また、基準電流Ｉｂ１、Ｉｂ２が多少ずれていても補正しあうので課題は発生しにくい構成である。

図１２７は、図１２６の変形した実施例である。図１２７では、トランジスタ群６８１ｂにおいて、両側にカレントミラー回路を構成するトランジスタ６３２ａを配置するだけでなく、トランジスタ群６８１ｂの中途にもカレントミラー回路を構成するトランジスタ６３２を配置している。したがって、図１２６の構成に比較して、よりトランジスタ６３３ａのゲート端子電圧が一定になり、トランジスタ６３３ａの出力バラツキが少なくなる。以上の事項はトランジスタ群６８１ｃに適応してもよいことは言うまでもない。

図１２８も、図１２６の変形した実施例である。図１２６では、トランジスタ群６８１ｂを構成するトランジスタ６３３ａを順番に、トランジスタ群６８１ｃとカレントミラー回路を構成するトランジスタ６３３ｂに接続した構成である。しかし、図１２８の実施例は、トランジスタ６３３ａの接続の順番を異ならせている。

図１２８は、トランジスタ６３３ａ１はトランジスタ群６８１ｃ１とカレントミラー回路を構成するトランジスタ６３３ｂ１と電流受け渡ししている。トランジスタ６３３ａ２はトランジスタ群６８１ｃ２とカレントミラー回路を構成するトランジスタ６３３ｂ３と電流受け渡ししている。また、トランジスタ６３３ａ３はトランジスタ群６８１ｃ１とカレントミラー回路を構成するトランジスタ６３３ｂ２と電流受け渡ししている。トランジスタ６３３ａ４はトランジスタ群６８１ｃ３とカレントミラー回路を構成するトランジスタ６３３ｂ５と電流受け渡ししている。トランジスタ６３３ａ５はトランジスタ群６８１ｃ２とカレントミラー回路を構成するトランジスタ６３３ｂ４と電流受け渡ししている。

図１２６に図示するように構成すると、トランジスタ６３３ａの特性分布が発生すると、トランジスタ６３３ａが電流を供給するトランジスタ群６８１ｃがブロックとして出力電流変化を発生しやすい。そのため、ＥＬ表示パネルにブロック状に境目が表示されることがある。

図１２８のようにトランジスタ６３３ａを連続でなく、トランジスタ群６８１ｃとカレントミラー回路を構成するトランジスタ６３３との接続順序を入れ替えることにより、トランジスタ６３３ａの特性分布が発生していても、トランジスタ群６８１ｃがブロックとして出力電流変化を発生しにくい。そのため、ＥＬ表示パネルにブロック状に境目が表示されることはない。

もちろん、トランジスタ６３３ａとトランジスタ６３３ｂとの接続は、規則正しく行なう必要はなく、ランダムであっても良い。また、図１２８のように、トランジスタ６３３ａは１つ飛ばしでなく、２つ以上飛ばしてトランジスタ６３３ｂと接続してもよい。

以上の実施例は、図６８に図示するように、多段にカレントミラー回路を接続した構成である。しかし、回路構成は、多段の接続に限定されるものではなく、図１２９に図示するように、１段の構成であっても良い。

図１２９は、基準電流を基準電流調整手段６５１で制御あるいは調整する（可変ボリウムに限定されるものではなく、電子ボリウムでもよいことは言うまでもない。）。単位トランジスタ６３４はトランジスタ６３３ｂとカレントミラー回路を構成する。基準電流Ｉｂにより、単位トランジスタ６３４の出力電流の大きさが規定される。

図１２９の構成は、基準電流Ｉｂによって、各トランジスタ群６８１ｃの単位トランジスタ６３４の電流が制御される。逆に言えば、トランジスタ６３３ｂにより、トランジスタ群６８１ｃ１からトランジスタ群６８１ｃｎの単位トランジスタ６３４のプログラム電流が規定される。

しかし、トランジスタ群６８１ｃ１の単位トランジスタ６３４のゲート端子電圧とトランジスタ群の単位トランジスタ６３４のゲート端子電圧とは、微妙に異なることが多い。ゲート配線に流れる電流などの電圧降下などの影響によるものと思われる。電圧では微妙な変化量でも、出力電流（プログラム電流）は数％異なる。本発明では、６４階調の場合、階調差は、１００／６４＝１．５％である。そのため、出力電流は少なくとも１％程度以下にはする必要がある。

この課題を解決する構成を図１３０に図示する。図１３０では、基準電流Ｉｂの発生回路を２回路形成している。基準電流発生回路１は基準電流Ｉｂ１を流し、基準電流発生回路２は基準電流Ｉｂ２を流す。基準電流Ｉｂ１と基準電流Ｉｂ２とは同一の電流値にする。

基準電流を基準電流調整手段６５１で制御あるいは調整する（可変ボリウムに限定されるものではなく、電子ボリウムでもよいことは言うまでもない。また、固定抵抗を変更することにより調整してもよい）。なお、トランジスタ群６８１ｃの出力端子はソース信号線１８に接続されている。構成としては、カレントミラー回路の一段構成である。

ただし、基準電流Ｉｂ１と基準電流Ｉｂ２を個別に調整できるように構成しておくと、共通端子１２５３のａ点の電圧とｂ点の電圧が異なり、トランジスタ群６８１ｃ１の単位トランジスタ６３４の出力電流とトランジスタ群６８１ｃ２の単位トランジスタ６３４の出力電流が異なっている場合に出力電流（プログラム電流）を均一になるように調整することができる。また、ＩＣチップ１４の左右で単位トランジスタのＶｔが異なるため、出力電流の傾斜が発生している場合も補正し、出力電流の傾斜をなくすることができる。

図１３０では、基準電流回路を２つ個別に形成したように図示しているが、これに限定するものではなく、図１２８に図示したトランジスタ群６８１ｂのトランジスタ６３３ａで構成してもよい。図１２８の構成を採用することにより、カレントミラーを構成するトランジスタ６３２ａに流す電流を制御すること（調整すること）により、図１３０の基準電流Ｉｂ１とＩｂ２を同時に制御（調整）することができる。つまり、トランジスタ６３３ｂ１とトランジスタ６３３ｂ２をトランジスタ群として制御する（図１３０の（ｂ）を参照のこと）。

図１３０の構成を採用することにより、共通端子１２５３（ゲート配線１２６１）のａ点の電圧とｂ点の電圧を同一にすることができる。したがって、トランジスタ群６８１ｃ１の単位トランジスタ６３４の出力電流と、トランジスタ群６８１ｃ２の単位トランジスタ６３４の出力電流を同一にすることができ、均一で、ばらつきのないプログラム電流を各ソース信号線１８に供給することができる。

図１３０は、基準電流源を、２つ形成する構成であった。図１３１は共通端子１２５３の中央部にも基準電流源を構成するトランジスタ６３３ｂのゲート電圧を印加する構成である。

基準電流発生回路１は基準電流Ｉｂ１を流し、基準電流発生回路２は基準電流Ｉｂ２を流す。基準電流発生回路３は基準電流Ｉｂ３を流す。基準電流Ｉｂ１、基準電流Ｉｂ２と基準電流Ｉｂ３は同一の電流値にする。基準電流を基準電流調整手段６５１で制御あるいは調整する（可変ボリウムに限定されるものではなく、電子ボリウムでもよいことは言うまでもない。）。

基準電流Ｉｂ１、基準電流Ｉｂ２、基準電流Ｉｂ３を個別に調整できるように構成しておくと、各トランジスタ６３３ｂ１、トランジスタ６３３ｂ２、トランジスタ６３３ｂ３のゲート端子電圧を調整することができる。共通端子１２５３のａ点の電圧、ｂ点の電圧、ｃ点の電圧を調整することができる。したがって、トランジスタ群６８１ｃ１の単位トランジスタ６３４のＶｔ変化、トランジスタ群６８１ｃ２の単位トランジスタ６３４のＶｔ変化、トランジスタ群６８１ｃｎの単位トランジスタ６３４のＶｔ変化による出力電流（プログラム電流）の補正（ばらつき補正）を行うことができる。

図１３１では、基準電流回路を３つ個別に形成したように図示しているが、これに限定するものではなく、４個以上としてもよい。図１２８に図示したトランジスタ群６８１ｂのトランジスタ６３３ａで構成してもよい。図１２８の構成を採用することにより、カレントミラーを構成するトランジスタ６３２ａに流す電流を制御すること（調整すること）により、図１３０の基準電流Ｉｂ１、Ｉｂ２とＩｂ３を同時に制御（調整）することができる。つまり、トランジスタ６３３ｂ１、トランジスタ６３３ｂ２、トランジスタ６３３ｂ３をトランジスタ群として制御する（図１３１の（ｂ）を参照のこと）。

図１３０は、トランジスタ６３３ｂ１に電流調整手段６５１ａを形成または配置し、トランジスタ６３３ｂ２に電流調整手段６５１ｂを形成または配置している。図１３２は、トランジスタ６３３ｂ１、トランジスタ６３３ｂ２のソース端子を共通にし、電流調整手段６５１を形成または配置した構成である。電流調整手段６５１の制御（調整）により、基準電流Ｉｂ１とＩｂ２が変化する。基準電流Ｉｂ１とＩｂ２の変化に比例して単位トランジスタ６３４が出力するプログラム電流が変化する。トランジスタ６３３ｂ１とトランジ

スタ６３３ｂ２の接続構成は、図１２３のトランジスタ群６８１ｃのトランジスタ６３３ｂの接続状態と同一である。
基準電流Ｉｂ１、Ｉｂ２を基準電流調整手段６５１で制御あるいは調整する（可変ボリウムに限定されるものではなく、電子ボリウムでもよいことは言うまでもない。）。各トランジスタ群６８１ｃの単位トランジスタ６３４は、トランジスタ６３３ｂ（６３３ｂ１、６３３ｂ２）とカレントミラー回路を構成する。基準電流Ｉｂ１、Ｉｂ２により、単位トランジスタ６３４の出力電流の大きさが規定される。
図１２９の構成は、基準電流Ｉｂ１によって、主としてａ点のゲート端子電圧が所定値に調整され、基準電流Ｉｂ２によって、主としてｂ点のゲート端子電圧が所定値に調整される。基準電流Ｉｂ１とＩｂ２は、基本的に同一電流である。また、トランジスタ６３３ｂ１とトランジスタ６３３ｂ２は近接して形成されるため、トランジスタＶｔは等しい。
したがって、トランジスタ６３３ｂ１のゲート端子とトランジスタ６３３ｂ２のゲート端子は等しくなり、ａ点とｂ点の電圧は等しくなる。そのため、共通端子１２５３は両側から電圧が給電されていることになるから、ＩＣチップの左右での共通端子１２５３の電圧は均一になる。共通端子１２５３の電圧が均一になれば、各トランジスタ群６８１ｃの単位トランジスタ６３４のゲート端子はすべて一致するようになる。したがって、単位トランジスタ６３４が出力するソース信号線１８へのプログラム電流にバラツキは発生しない。
図１３２は、基準電流源を発生するトランジスタ６３３ｂを２つ形成する構成であった。図１３３は共通端子１２５３の中央部にも基準電流源を構成するトランジスタ６３３ｂ２のゲート電圧を印加する構成である。
基準電流発生回路１は基準電流Ｉｂ１を流し、基準電流発生回路２は基準電流Ｉｂ２を流す。基準電流発生回路３は基準電流Ｉｂ３を流す。基準電流Ｉｂ１、基準電流Ｉｂ２と基準電流Ｉｂ３は同一の電流値にする。基準電流を基準電流調整手段６５１で制御あるいは調整する（可変ボリウムに限定されるものではなく、電子ボリウムでもよいことは言うまでもない。）。
図１３３では、基準電流回路を３つ個別に形成したように図示しているが、これに限定するものではなく、４個以上としてもよい。
なお、図１２６、図１２７、図１２８などはゲート配線１２６１の両側に基準電流を流すトランジスタを配置あるいは形成する構成であった。しかし、本発明はこれに限定するものではない。トランジスタを配置せず、ゲート配線１２６１に直接に定電圧を印加してもよいことは言うまでもない。以上の事項は本発明の他の実施例にも適用される。
以上の実施例では、電流あるいは電圧の受け渡しが１段の構成を中心に説明を行ってきた。しかし、本発明はこれに限定するものではない。たとえば、図１４６に図示するように、図６８の多段接続の方式に適用してもよいことは言うまでもない。
図１４７は、トランジスタ群６８１ａの両端（ＩＣチップの左右端あるいはその近傍）に、トランジスタ６３１ａ、６３１ｂを形成あるいは配置している。また、基準電流の調整手段として可変抵抗６５１を形成または配置している。なお、基準電流Ｉａ１とＩａ２とは固定にしてもよい。また基準電流Ｉａ１＝Ｉａ２としてもよいことは言うまでもない。
基準電流Ｉａ１、Ｉａ２を基準電流調整手段６５１で調整すると、トランジスタ群６８１ａのトランジスタ６３２の出力電流Ｉｂを調整することができる。この電流Ｉｂはトランジスタ６３２ｂに受け渡され、カレントミラー回路を構成するトランジスタ群６８１ｂのトランジスタ６３３ａに電流が流れ、単位トランジスタ６３４の出力電流が決定される。
他の事項は図６８などと同様であるので説明を省略する。
チップの両側に配置されたトランジスタに流れる基準電流の大きさは、電子ボリウムなどで調整するとしたが、本発明はこれに限定するものではない。たとえば、図１６５に図示するように基準電流の調整用抵抗Ｒｍをトリミングすることによっても対応できる。つまり、抵抗Ｒｍをレーザー装置１５０１からのレーザー光１５０２でトリミングすることにより抵抗値を増大させる。抵抗Ｒｍの抵抗値を増大させることにより、基準電流Ｉａが変化する。抵抗Ｒｍ１または抵抗Ｒｍ２をトリミングすることにより、基準電流Ｉａ１、Ｉ

ａ２を調整することができる。
カレントミラー回路を構成するトランジスタが発生する電流を受け渡すのは、複数のトランジスタで受け渡すのが好ましい。ＩＣチップ１４内に形成されるトランジスタには特性バラツキが発生する。トランジスタの特性バラツキを抑制するためには、トランジスタサイズを大きくする方法がある。しかし、トランジスタサイズを大きくしてもカレントミラー回路のカレントミラー倍率が大きくずれる場合がある。この課題を解決するには、複数のトランジスタで電流あるいは電圧受け渡しをするように構成するとよい。複数のトランジスタで構成すれば、各トランジスタの特性がばらついていても全体としての特性バラツキは小さくなる。また、カレントミラー倍率の精度も向上する。トータルで考えればＩＣチップ面積も小さくなる。図１５６はその実施例である。なお、以上の事項は電流あるいは電圧の多段受け渡し、電流あるいは電圧の１段受け渡しの両方に適用することができる。
図１５６はトランジスタ群６８１ａとトランジスタ群６８１ｂでカレントミラー回路を構成している。トランジスタ群６８１ａは複数のトランジスタ６３２ｂで構成されている。一方、トランジスタ群６８１ｂはトランジスタ６３３ａで構成されている。同様にトランジスタ群６８１ｃも複数のトランジスタ６３３ｂで構成されている。
トランジスタ群６８１ｂ１、トランジスタ群６８１ｂ２、トランジスタ群６８１ｂ３、トランジスタ群６８１ｂ４・・・・・・・・を構成するトランジスタ６３３ａは同一個数に形成している。また、各トランジスタ群６８１ｂのトランジスタ６３３ａの総面積（トランジスタ群６８１ｂ内のトランジスタ６３３ａのＷＬサイズ×トランジスタ６３３ａ数）は（略）等しくなるように形成している。トランジスタ群６８１ｃについても同様である。
トランジスタ群６８１ｃのトランジスタ６３３ｂの総面積（トランジスタ群６８１ｃ内のトランジスタ６３３ｂのＷＬサイズ×トランジスタ６３３ｂ数）をＳｃとする。また、トランジスタ群６８１ｂのトランジスタ６３３ａの総面積（トランジスタ群６８１ｂ内のトランジスタ６３３ａのＷＬサイズ×トランジスタ６３３ａ数）をＳｂとする。トランジスタ群６８１ａのトランジスタ６３２ｂの総面積（トランジスタ群６８１ａ内のトランジスタ６３２ｂのＷＬサイズ×トランジスタ６３２ｂ数）をＳａとする。また、１出力の単位トランジスタ６３４の総面積をＳｄとする。
総面積Ｓｃと総面積Ｓｂとは略等しくなるように形成することが好ましい。トランジスタ群６８１ｂを構成するトランジスタ６３３ａの個数と、トランジスタ群６８１ｃのトランジスタ６３３ｂの個数とを同数にすることが好ましい。ただし、ＩＣチップ１４のレイアウトの制約などから、トランジスタ群６８１ｂを構成するトランジスタ６３３ａの個数を、トランジスタ群６８１ｃのトランジスタ６３３ｂの個数よりも少なくし、トランジスタ群６８１ｂを構成するトランジスタ６３３ａのサイズをトランジスタ群６８１ｃのトランジスタ６３３ｂのサイズよりも大きくしてもよい。この実施例を図１５７に図示する。トランジスタ群６８１ａは複数のトランジスタ６３２ｂで構成されている。トランジスタ群６８１ａとトランジスタ６３３ａはカレントミラー回路を構成する。トランジスタ６３３ａは電流Ｉｃを発生させる。１つのトランジスタ６３３ａはトランジスタ群６８１ｃの複数のトランジスタ６３３ｂを駆動する（１つのトランジスタ６３３ａからの電流Ｉｃは複数のトランジスタ６３３ｂに分流される。一般にトランジスタ６３３ａの個数は、出力回路分の個数が配置または形成される。たとえば、ＱＣＩＦ＋パネルの場合は、Ｒ、Ｇ、Ｂ回路において、各１７６個のトランジスタ６３３ａが形成または配置される。
総面積Ｓｄと総面積Ｓｃの関係は、出力バラツキに相関がある。この関係を図２１０に図示している。なお、バラツキ比率などに関しては図１７０を参照のこと。バラツキ比率は、総面積Ｓｄ：総面積Ｓｃ＝２：１（Ｓｃ／Ｓｄ＝１／２）の時を１としている。図２１０でもわかるように、Ｓｃ／Ｓｄが小さいと急激にバラツキ比率が悪くなる。特にＳｃ／Ｓｄ＝１／２以下で悪くなる傾向がある。Ｓｃ／Ｓｄが１／２以上では、出力バラツキが低減する。その低減効果は緩やかである。また、Ｓｃ／Ｓｄ＝１／２程度で出力バラツキが許容範囲となる。以上のことから、１／２＜＝Ｓｃ／Ｓｄの関係となるように形成する

ことが好ましい。しかし、Ｓｃが大きくなるとＩＣチップサイズも大きくなることになる。したがって、上限はＳｃ／Ｓｄ＝４とすることが好ましい。つまり、１／２＜＝Ｓｃ／Ｓｄ＜＝４の関係を満足するようにする。

なお、Ａ＞＝Ｂは、ＡはＢ以上という意味である。Ａ＞Ｂは、ＡはＢより大きいという意味である。Ａ＜＝Ｂは、ＡはＢ以下という意味である。Ａ＜Ｂは、ＡはＢより小さいという意味である。

さらには、総面積Ｓｄと総面積Ｓｃは、略等しくなるようにすることが好ましい。さらに１出力の単位トランジスタ６３４の個数と、トランジスタ群６８１ｃのトランジスタ６３３ｂの個数とを同数にすることが好ましい。つまり、６４階調表示であれば、１出力の単位トランジスタ６３４は６３個形成される。したがって、トランジスタ群６８１ｃを構成するトランジスタ６３３ｂは６３個形成される。

また、好ましくは、トランジスタ群６８１ａ、トランジスタ群６８１ｂ、トランジスタ群６８１ｃ、単位トランジスタ６３４は、ＷＬ面積が４倍以内のトランジスタで構成することが好ましい。さらに好ましくはＷＬ面積が２倍以内のトランジスタで構成することが好ましい。さらには、すべて同一サイズのトランジスタで構成することが好ましい。つまり、略同一形状のトランジスタでカレントミラー回路、出力電流回路７０４を構成することが好ましい。

総面積Ｓａは総面積Ｓｂよりも大きくなるようにする。好ましくは、２００Ｓｂ＞＝Ｓａ＞＝４Ｓｂの関係を満足するように構成する。また、すべてのトランジスタ群６８１ｂを構成するトランジスタ６３３ａの総面積とＳａが略等しくなるように構成する。

なお、図１６４に図示するように、トランジスタ群６８１ｂとカレントミラー回路を構成するトランジスタ６３２ａはトランジスタ群６８１ａ（図１５６を参照のこと）に構成せずともよい。

図１２６、図１２７、図１２８、図１４７などはゲート配線１２６１の両側に基準電流を流すトランジスタを配置あるいは形成する構成であった。この構成（方式）を図１５７の構成に適用した構成が、図１５８の実施例である。図１５８ではゲート配線１２６１の両側にトランジスタ群６８１ａ１、トランジスタ群６８１ａ２が配置あるいは形成されている。他の事項は、図１２６、図１２７、図１２８、図１４７などと同様であるので説明を省略する。

図１２６、図１２７、図１２８、図１４７、図１５８などはゲート配線１２６１の両端にトランジスタあるいはトランジスタ群を配置する構成であった。したがって、ゲート配線１２６１の票側に配置するトランジスタは２個であり、また、トランジスタ群は２組であった。しかし、本発明はこれに限定するものではない。図１５９に図示するようにゲート配線１２６１の中央部などにもトランジスタあるいはトランジスタ群を配置または形成してもよい。図１５９では３つのトランジスタ群６８１ａを形成している。本発明は、ゲート配線１２６１に形成するトランジスタあるいはトランジスタ群６８１は複数形成することに特徴がある。複数形成することにより、ゲート配線１２６１を低インピーダンス化でき、安定度が向上する。

さらに安定度を向上させるためには、図１６０に図示するように、ゲート配線１２６１にコンデンサ１６０１を形成または配置することが好ましい。コンデンサ１６０１はＩＣチップ１４あるいはソースドライバ回路１４内に形成してもよいし、ＩＣ１４の外付けコンデンサとしてチップ外部に配置あるいは積載してもよい。コンデンサ１６０１を外付けにする場合は、ＩＣチップの端子にコンデンサ接続端子を配置する。

以上の実施例は、基準電流を流し、この基準電流をカレントミラー回路でコピーし、最終段の単位トランジスタ６３４に伝達する構成である。画像表示が黒表示（完全な黒ラスター）の時は、いずれの単位トランジスタ６３４にも電流が流れない。いずれにスイッチ６４１もオープンだからである。したがって、ソース信号線１８に流れる電流は０（Ａ）であるから、電力は消費しない。

しかし、黒ラスター表示であっても、基準電流は流れる。たとえば、図１６１の電流Ｉｂおよび電流Ｉｃである。この電流は無効電流となる。基準電流は電流プログラム時に流れ

るように構成すると効率がよい。したがって、画像の垂直ブランキング期間水平ブランキング期間には基準電流が流れることを制限する。また、ウエイト期間なども基準電流が流れることを制限する。
基準電流が流れないようにするには、図１６１に図示するようにスリープスイッチ１６１１をオープンにすればよい。スリープスイッチ１６１１はアナログスイッチである。アナログスイッチは、ソースドライバ回路あるいはソースドライバＩＣ１４内に形成する。もちろん、ＩＣ１４の外部にスリープスイッチ１６１１を配置し、このスリープスイッチ１６１１を制御してもよい。
スリープスイッチ１６１１をオフにすることにより、基準電流Ｉｂが流れないようになる。そのため、トランジスタ群６８１ａ１内のトランジスタ６３３ａに電流が流れないから、基準電流Ｉｃも０（Ａ）となる。したがって、トランジスタ群６８１ｃのトランジスタ６３３ｂにも電流が流れない。したがって、電力効率が向上する。
図１６２は、タイミングチャートである。水平同期信号ＨＤに同期してブランキング信号が発生する。ブランキング信号はＨレベルの時、ブランキング期間であり、Ｌレベルの時、映像信号が印加されている期間である。スリープスイッチ１６１１はＬレベルの時、オフ（オープン）であり、Ｈレベルの時、オンである。
したがって、ブランキング期間Ａの時、スリープスイッチ１６１１はオフであるから、基準電流は流れない。Ｄの期間、スリープスイッチ１６１１はオンであり、基準電流が発生する。
なお、画像データに応じてスリープスイッチ１６１１のオンオフ制御を行っても良い。たとえば、１画素行の画像データがすべて黒画像データの時（１Ｈの期間はすべてのソース信号線１８に出力されるプログラム電流は０である）、スリープスイッチ１６１１をオフにして、基準電流（Ｉｃ、Ｉｂなど）が流れないようにする。また、各ソース信号線に対応するようにスリープスイッチを形成または配置し、オンオフ制御してもよい。たとえば、奇数番目のソース信号線１８が黒表示（縦黒ストライプ表示）の時は、奇数番目に対応するスリープスイッチをオフにする。
図１２４の構成において、映像期間では基準電流Ｉｂがトランジスタ６３３に流れる。また、画像データに応じてスイッチ６４１がオンオフ制御され、各単位トランジスタ６３４に電流が流れる。黒ラスター表示の時は、すべてのスイッチ６４１がオープンとなる。スイッチ６４１がオープンであっても、トランジスタ６３３には基準電流Ｉｂが流れているため、単位トランジスタ６３４は電流を流そうとする。そのため、単位トランジスタ６３４のチャンネル間電圧（Ｖｓｄ）が小さくなる（ソース電位とドレイン電位の電位差がなくなる）。同時に単位トランジスタ６３４のゲート配線１２６１電位も低下してしまう。
黒ラスターから白ラスターに画像が変化するとスイッチ６４１がオンとなり、単位トランジスタ６３４のＶｓｄ電圧が発生する。また、ゲート配線１２６１と内部配線６４３（ソース信号線１８）間には寄生容量がある。
ゲート配線１２６１と内部配線６４３（ソース信号線１８）間の寄生容量と、単位トランジスタ６３４のＶｓｄの発生により、ゲート配線１２６１は電位変動が発生する。電位変動が発生すると、単位トランジスタ６３４の出力電流が変動する。出力電流が変動すると、画像に横線などが発生する。この横線は、画像が白表示から黒表示に変化する箇所、画像が黒表示から白表示に変化する箇所に発生する。
図１５１はゲート配線１２６１の電位変動を図示している。画像変化ポイント（画像が白表示から黒表示に変化する箇所、画像が黒表示から白表示に変化する箇所など）にリンキングが発生する。
図１５２はこの課題を解決する方法の説明図である。選択スイッチ６４１に抵抗Ｒを形成または配置している。具体的には抵抗Ｒを形成するのではなく、アナログスイッチ６４１のサイズを変更している。したがって、図１５２はスイッチ６４１の等価回路図である。
スイッチ６４１の抵抗は以下の関係になるようにしている。
Ｒ１＜Ｒ２＜Ｒ３＜Ｒ４＜Ｒ５＜Ｒ６
Ｄ０は単位トランジスタ６３４が１個で構成される。Ｄ１は単位トランジスタ６３４が２

個で構成される。Ｄ２は単位トランジスタ６３４が４個で構成される。Ｄ３は単位トランジスタ６３４が８個で構成される。Ｄ４は単位トランジスタ６３４が１６個で構成される。Ｄ５は単位トランジスタ６３４が３２個で構成される。したがって、Ｄ０からＤ５になるにつれてスイッチ６４１を流れる電流が増加する。増加によりスイッチのオン抵抗も低くする必要がある。一方で、図１５１に図示するようにリンキングの発生も抑制する必要がある。図１５２のように構成することにより、リンキングの抑制とスイッチのオン抵抗の調整を行うことができる。

ゲート配線１２６１が図１５１のようにリンキングするのは、すべての単位トランジスタ６３４がオフになる画像が発生すること、すべての単位トランジスタ６３４がオフ状態であるのに、基準電流Ｉｂ（図１５３などを参照のこと）が流れている点にある。以上の事項により単位トランジスタ６３４のゲート配線電位変動が発生しやすい。

図１２７などは多段のカレントミラー接続の構成である。また、図１２９から図１３３は１段の構成である。図１５１で、ゲート配線１２６１がゆれる課題について説明をした。この揺れは、ソースドライバＩＣ１４の電源電圧が影響する。最大電圧まで振幅するからである。図２１１はソースドライバＩＣ１４の電源電圧が１．８（Ｖ）の時を基準にしたゲート配線の電位変動比率である。変動比率はソースドライバＩＣ１４の電源電圧が高くなるにつれて変動比率も大きくなる。変動比率の許容範囲は３程度である。これ以上変動比率が大きいと、横クロストークが発生する。また、変動比率はＩＣ電源電圧が１０～１２（Ｖ）以上で電源電圧に対する変化割合が大きくなる傾向がある。したがって、ソースドライバＩＣ１４の電源電圧は１２（Ｖ）以下にする必要がある。

一方、駆動用トランジスタ１１ａが白表示から黒表示の電流を流すために、ソース信号線１８の電位は一定の振幅変化させる必要がある。この振幅必要範囲は、２．５（Ｖ）以上必要である。振幅必要範囲は電源電圧以下である。ソース信号線１８の出力電圧がＩＣの電源電圧を越えることはできないからである。

以上のことから、ソースドライバＩＣ１４の電源電圧は、２．５（Ｖ）以上１２（Ｖ）以下にする必要がある。この範囲とすることにおりゲート配線１２６１の変動が規定範囲に抑制され、横クロストークが発生せず、良好な画像表示を実現できる。

ゲート配線１２６１の配線抵抗も課題となる。ゲート配線１２６１の配線抵抗Ｒ（Ω）とは、図２１５では、トランジスタ６３３ｂ１からトランジスタ６３３ｂ２までの配線全長の抵抗である。または、ゲート配線全長の抵抗である。図１５１の過渡現象の大きさは、１水平走査期間（１Ｈ）にも依存する。１Ｈ期間が短ければ、過渡現象の影響も大きいからである。配線抵抗Ｒ（Ω）が高いほど図１５１の過渡現象は発生しやすい。この現象は特に、図１２９から図１３３、図２１５から図２２０の構成で課題となる。ゲート配線１２６１が長く、１つのゲート配線１２６１に接続された単位トランジスタ６３４の数が多いためである。

図２１２は、ゲート配線１２６１の配線抵抗Ｒ（Ω）と１Ｈ期間Ｔ（ｓｅｃ）と掛算（Ｒ・Ｔ）を横軸にとり、縦軸に変動比率をとったグラフである。変動比率の１はＲ・Ｔ＝１００を基準にしている。図２１２でわかるように、Ｒ・Ｔが５以下で変動比率が大きくなる傾向がある。また、Ｒ・Ｔが１０００以上で変動比率が大きくなる傾向がある。したがって、Ｒ・Ｔは５以上１００以下にすることが好ましい。

この課題を解決する他の方法を図１５３に示す。図１５３では、定常的に電流を流す単位トランジスタ１５３１を形成または配置されている。このトランジスタ１５３１を定常トランジスタ１５３１と呼ぶ。

定常トランジスタ１５３１は基準電流Ｉｂが流れている時は常時、電流Ｉｓを流す。したがって、プログラム電流Ｉｗの大きさには依存しない。電流Ｉｓが流れることによりゲート配線１２６１の電位変動を抑制することができる。Ｉｓは単位トランジスタ６３４が流す電流の２倍以上８倍以下に設定することが好ましい。また、定常トランジスタ１５３１は単位トランジスタ６３４と同一ＷＬのトランジスタを複数個配置して構成する。なお、定常トランジスタ１５３１は基準電流Ｉｂを流すトランジスタ６３３位置から最も遠い位置に形成することが好ましい。

図１５３では定常トランジスタ１５３１を複数個形成するとしたが、本発明はこれに限定するものではない。図１５５に図示するように、１つの定常トランジスタ１５３１を形成してもよい。また、図１５４に図示するように、定常トランジスタ１５３１は複数箇所に形成してもよい。図１５４ではトランジスタ６３３の近傍に定常トランジスタ１５３１ａを１個形成し、トランジスタ６３３から最も遠い位置に定常トランジスタ１５３１ｂを４個形成している。

図１５４は定常トランジスタ１５３１ｂにスイッチＳ１を形成している。スイッチＳ１は画像データ（Ｄ０～Ｄ５）によってオンオフ制御される。画像データが黒ラスター（黒ラスターに近い時も含む、（Ｄの上位ビットが０））の時、ＮＯＲ回路１５４１の出力がＨレベルとなり、スイッチＳ１がオンしてＩｓ２電流が定常トランジスタ１５３１に流れる。それ以外の時、スイッチＳ１はオフ状態であり、定常トランジスタ１５３１には電流は流れない。以上のように構成することにより、消費電力を抑制することができる。

図１６３は定常トランジスタ１５３１とスリープスイッチ１６１１の両方を備えた構成である。以上のように、本明細書で説明した内容は組み合わせて構成することができることは言うまでもない。

チップＩＣの両端に位置するトランジスタ群６８１ｃ１、トランジスタ群６８１ｃｎの外側には、ダミーのトランジスタ群６８１ｃを形成または配置しておく。ダミーのトランジスタ群６８１ｃはチップＩＣの左右（最も外側）に２回路は形成することが好ましい。好ましくは３回路以上６回路以下形成する。ダミーのトランジスタ群６８１ｃがないと、ＩＣの製造時、拡散プロセス、エッチングプロセスで外側のトランジスタ群６８１ｃの単位トランジスタ６３４のＶｔがＩＣチップ１４の中央部と異なるという課題が発生する。Ｖｔが異なれば単位トランジスタ６３４の出力電流（プログラム電流）にバラツキが発生する。

図１２９から図１３３は１段カレントミラー構成のドライバＩＣの構成図である。さらにこの１段構成について説明をする。図２１５は１段構成のドライバ回路構成である。図２１５のトランジスタ群６８１ｃは図２１４の単位トランジスタ６３４からなる出力段構成である（図１２９～図１３３も参照のこと）。

トランジスタ６３２ｂと２つのトランジスタ６３３ａとはカレントミラー回路を構成している。トランジスタ６３３ａ１とトランジスタ６３３ａ２は同一サイズである。したがって、トランジスタ６３３ａ１が流す電流Ｉｃとトランジスタ６３３ａ２が流す電流Ｉｃは同一である。

図２１４の単位トランジスタ６３４からなるトランジスタ群６８１ｃとトランジスタ６３３ｂ１およびトランジスタ６３３ｂ２とはカレントミラー回路を構成する。トランジスタ群６８１ｃの出力電流にはバラツキが発生する。しかし、近接してカレントミラー回路を構成するトランジスタ群６８１の出力は精度よく電流が規定される。トランジスタ６３３ｂ１とトランジスタ群６８１ｃ１とは近接してカレントミラー回路を構成する。また、トランジスタ６３３ｂ２とトランジスタ群６８１ｃｎとは近接してカレントミラー回路を構成する。したがって、トランジスタ６３３ｂ１に流れる電流とトランジスタ６３３ｂ２に流れる電流が等しければ、トランジスタ群６８１ｃ１の出力電流とトランジスタ群６８１ｃｎの出力電流とは等しくなる。各ＩＣチップで電流Ｉｃを精度良く発生させれば、どのＩＣチップでも出力段の両端のトランジスタ群６８１ｃの出力電流は等しくなる。そのため、ＩＣチップをカスケード接続してもＩＣとＩＣとの継ぎ目の発生を目立たなくすることができる。

トランジスタ６３３ｂは図１２３と同様に、複数のトランジスタで形成し、トランジスタ群６８１ｂ１、トランジスタ６８１ｂ２としてもよい。また、トランジスタ６３３ａも図１２３と同様にトランジスタ群６８１ａとしてもよい。

また、トランジスタ６３２ｂの電流は抵抗Ｒ１で規定するとしたがこれに限定するものではなく、図２１８に図示するように、電子ボリウム１５０３ａ、１５０３ｂとしてもよい。図２１８の構成では電子ボリウム１５０３ａと電子ボリウム１５０３ｂを独立に動作させることができる。したがって、トランジスタ６３２ａ１とトランジスタ６３２ａ２とが

流す電流の値を変更することができる。したがって、チップの左右の出力段６８１ｃの出力電流傾きを調整可能である。なお、電子ボリウム１５０３は図２１９に図示するように１つにし、２つのオペアンプ７２２を制御するように構成してもよい。
また、図１６１でスリープスイッチ１６１１について説明した。同様に、図２２０のようにスリープスイッチを配置あるいは形成しても良いことは言うまでもない。また、図１５３、図１５４、図１５５、図１６３では、定常トランジスタ１５３１を形成または配置するとしたが、図２２５に図示するように、Ａブロックに図２２６の（ｂ）の定常トランジスタ１５３１を形成または配置してもよい。
また、図１６０では安定化のためにコンデンサ１６０１をゲート配線１２６１に接続するとしたが、図２２５においても、Ａのブロックに図２２６の（ａ）の安定化コンデンサ１６０１を配置してもよいことは言うまでもない。
また、図１６５などでは、電流調整のために、抵抗などをトリミングするとした。同様に、図２２５に図示するように、抵抗Ｒ１あるいは抵抗Ｒ２などをトリミングするようにしても良いことは言うまでもない。
図２１０ではトランジスタ群６８１を構成する面積に関し、条件があることを説明した。しかし、図１２９から図１３３、図２１５から図２２０のカレントミラーの１段構成では単位トランジスタ６３４の個数が非常に多いため、図２１０の条件と異なる。以下、１段構成のドライバ回路出力段について説明を加えておく。なお、説明を容易にするため、図２１６、図２１７を例示して説明をする。しかし、説明はトランジスタ６３３ｂの個数とその総面積、単位トランジスタ６３４の個数と総面積に関わる事項であるので他の実施例にも適用できることは言うまでもない。
図２１６、図２１７において、トランジスタ群６８１ｂのトランジスタ６３３ｂの総面積（トランジスタ群６８１ｂ内のトランジスタ６３３ｂのＷＬサイズ×トランジスタ６３３ｂ数）をＳｂとする。なお、図２１６、図２１７のようにゲート配線１２６１の左右にトランジスタ群６８１ｂがある場合は面積を２倍にする。図１２９のように１つの場合はトランジスタ６３３ｂの面積である。なお、トランジスタ群６８１ｂが１個のトランジスタ６３３ｂで構成される場合は、１個のトランジスタ６３３ｂのサイズであることは言うまでもない。
また、トランジスタ群６８１ｃの単位トランジスタ６３４の総面積（トランジスタ群６８１ｃ内のトランジスタ６３４のＷＬサイズ×トランジスタ６３４数）をＳｃとする。トランジスタ群６８１ｃの個数をｎとする。ｎはＱＣＩＦ＋パネルの場合は１７６である（ＲＧＢごとに基準電流回路が形成されている場合）。
図２１３の横軸は、Ｓｃ×ｎ／Ｓｂである。縦軸は変動比率であり、変動比率は最も悪い状況を１としている。図２１３に図示するようにＳｃ×ｎ／Ｓｂが大きくなるにしたがって、変動比率は悪くなる。Ｓｃ×ｎ／Ｓｂが大きくなることは、出力端子数ｎを一定とすると、トランジスタ群６８１ｃの単位トランジスタ６３４総面積が、トランジスタ群６８１ｂのトランジスタ６３３ｂ総面積に対して広いことを示す。この場合は変動比率が悪くなる。
Ｓｃ×ｎ／Ｓｂが小さくなることは、出力端子数ｎを一定とすると、トランジスタ群６８１ｃの単位トランジスタ６３４総面積が、トランジスタ群６８１ｂのトランジスタ６３３ｂ総面積に対して狭いことを示す。この場合は変動比率が小さくなる。
変動許容範囲は、Ｓｃ×ｎ／Ｓｂが５０以下である。Ｓｃ×ｎ／Ｓｂが５０以下であれば、変動比率は許容範囲内であり、ゲート配線１２６１の電位変動は極めて小さくなる。したがって、横クロストークの発生もなく、出力バラツキも許容範囲内となり良好な画像表示を実現できる。Ｓｃ×ｎ／Ｓｂが５０以下であれば許容範囲であるが、Ｓｃ×ｎ／Ｓｂを５以下としてもほとんど効果がない。逆に、Ｓｂが大きくなりＩＣ１４のチップ面積が増加する。したがって、Ｓｃ×ｎ／Ｓｂは５以上５０以下にすることが好ましい。
また、トランジスタ群６８１ｃ内の単位トランジスタ６３４の配置においても考慮を有する。トランジスタ群６８１ｃは規則正しく配置することが必要である。単位トランジスタ６３４に抜けがあると、その周辺の単位トランジスタ６３４の特性が他の単位トランジス

タ６３４の特性と異なってしまう。
図１３４は出力段のトランジスタ群６８１ｃでの単位トランジスタ６３４の配置を模式的に図示している。６４階調を表現する６３個の単位トランジスタ６３４はマトリックス状に規則正しく配置されている。しかし、６４個の単位トランジスタ６３４であれば、４列×１６行に配置することができるが、単位トランジスタ６３４は６３個であるので、１箇所形成しない箇所が発生する（斜線部）。すると、斜線部の周辺の単位トランジスタ６３４ａ、６３４ｂ、６３４ｃの特性が他の単位トランジスタ６３４と異なって作製されてしまう。
この課題を解決するために、本発明は、斜線部にダミートランジスタ１３４１を形成または配置する。すると、単位トランジスタ６３４ａ、単位トランジスタ６３４ｂ、単位トランジスタ６３４ｃの特性が他の単位トランジスタ６３４と一致するようになる。つまり、本発明は、ダミートランジスタ１３４１を形成することにより、単位トランジスタ６３４をマトリックス状に構成するものである。また、単位トランジスタ６３４をマトリックス状にかけがないように配置するものである。また、単位トランジスタ６３４は線対称性を有するように配置するものである。
６４階調を表現するためには、６３個の単位トランジスタ６３４をトランジスタ群６８１ｃに配置するとしたが、本発明はこれに限定されるものではない。単位トランジスタ６３４は、さらに複数のサブトランジスタで構成してもよい。
図１３５の（ａ）は、単位トランジスタ６３４である。図１３５の（ｂ）は４つのサブトランジスタ１３５２で、単位トランジスタ（１単位）１３５１を構成している。単位トランジスタ（１単位）１３５１の出力電流は、単位トランジスタ６３４と同一となるようにする。つまり、単位トランジスタ６３４を４つのサブトランジスタ１３５２で構成している。なお、本発明は単位トランジスタ６３４を４つのサブトランジスタ１３５２で構成することに限定するものではなく、単位トランジスタ６３４を複数のサブトランジスタ１３５２で構成すればいずれの構成でもよい。ただし、サブトランジスタ１３５２は同一のサイズまたは同一の出力電流を出力するように構成する。
図１３５において、Ｓはトランジスタのソース端子、Ｇはトランジスタのゲート端子、Ｄはトランジスタのドレイン端子を示している。図１３５の（ｂ）において、サブトランジスタ１３５２は同一方向に配置している。図１３５の（ｃ）はサブトランジスタ１３５２が行方向に異なる方向に配置している。また、図１３５の（ｄ）はサブトランジスタ１３５２が列方向に異なる方向に配置し、かつ点対称となるように配置している。図１３５の（ｂ）、図１３５の（ｃ）、図１３５の（ｄ）はいずれも規則性がある。
単位トランジスタ６３４あるいはサブトランジスタ１３５２の形成方向を変化させると特性は異なることが多い。たとえば、図１３５の（ｃ）において、単位トランジスタ６３４ａとサブトランジスタ１３５２ｂとは、ゲート端子に印加された電圧が同一でも、出力電流は異なる。しかし、図１３５の（ｃ）では、異なる特性のサブトランジスタ１３５２が同数ずつ形成されている。したがって、トランジスタ（単位）としてはバラツキが少なくなる。また、形成方向が異なる単位トランジスタ６３４あるいはサブトランジスタ１３５２の方向を変化させることにより、特性差が補間しあって、トランジスタ（１単位）のバラツキは低減するという効果を発揮する。以上の事項は、図１３５の（ｄ）の配置にも該当することは言うまでもない。
したがって、図１３６などに図示するように、単位トランジスタ６３４の方向を変化させ、トランジスタ群６８１ｃとして縦方向に形成した単位トランジスタ６３４の特性と横方向に形成した単位トランジスタ６３４の特性とを補間しあうことにより、トランジスタ群６８１ｃとしてばらつきを少なくすることができる。
図１３６はトランジスタ群６８１ｃ内で列ごとに単位トランジスタ６３４の形成方向を変化させた実施例である。図１３７はトランジスタ群６８１ｃ内で行ごとに単位トランジスタ６３４の形成方向を変化させた実施例である。図１３８はトランジスタ群６８１ｃ内で行および列ごとに単位トランジスタ６３４の形成方向を変化させた実施例である。なお、ダミートランジスタ１３４１を形成または配置する場合もこの構成要件にしたがって構成

する。
以上の実施例は、同一のサイズまたは同一の電流出力の単位トランジスタをトランジスタ群６８１ｃ内に構成あるいは形成する構成であった（図１３９の（ｂ）を参照のこと）。しかし、本発明はこれに限定するものではない。図１３９の（ａ）に図示するように、0ビット目（スイッチ６４１ａ）は、1単位の単位トランジスタ６３４ａを接続する（形成する）。1ビット目（スイッチ６４１ｂ）は、2単位の単位トランジスタ６３４ｂを接続する（形成する）。2ビット目（スイッチ６４１ｃ）は、4単位の単位トランジスタ６３４ｃを接続する（形成する）。3ビット目（スイッチ６４１ｄ）は、8単位の単位トランジスタ６３４ｄを接続する（形成する）。4ビット目（図示せず）は、１６単位の単位トランジスタ６３４ａを接続する（形成する）。5ビット目（図示せず）は、３２単位の単位トランジスタ６３４ａを接続する（形成する）としてもよい。なお、たとえば、１６単位の単位トランジスタとは、単位トランジスタ６３４の１６個分の電流を出力するトランジスタである。
＊単位（＊は整数）の単位トランジスタはチャンネル幅Wを比例的に変化させる（チャンネル長Lを一定にする）ことにより容易に形成することができる。しかし、現実には、チャンネル幅Wを2倍にしても出力電流は2倍にならないことが多い。これは実際にトランジスタを作製して実験によりチャンネル幅Wを決定する。しかし、本発明において、チャンネル幅Wが多少比例条件からずれていても、比例しているとして表現する。
以下、基準電流回路について説明する。出力電流回路７０４は、R、G、Bごとに形成（配置）し、かつ、このＲＧＢの出力電流回路７０４Ｒ、７０４Ｇ、７０４Ｂも近接して配置する。また、各色（R、G、B）に、図７３に図示する低電流領域の基準電流ＩＮＬを調整し、また、図７４に図示する低電流領域の基準電流ＩＮＨを調整する（図７９も参照のこと）。
したがって、Rの出力電流回路７０４Ｒには低電流領域の基準電流ＩＮＬを調整するボリウム（もしくは、電圧出力もしくは電流出力の電子ボリウム）６５１ＲＬが配置され、高電流領域の基準電流ＩＮＨを調整するボリウム（もしくは、電圧出力もしくは電流出力の電子ボリウム）６５１ＲＨが配置される。同様に、Gの出力電流回路７０４Ｇには低電流領域の基準電流ＩＮＬを調整するボリウム（もしくは、電圧出力もしくは電流出力の電子ボリウム）６５１ＧＬが配置され、高電流領域の基準電流ＩＮＨを調整するボリウム（もしくは、電圧出力もしくは電流出力の電子ボリウム）６５１ＧＨが配置される。また、Bの出力電流回路７０４Ｂには低電流領域の基準電流ＩＮＬを調整するボリウム（もしくは、電圧出力もしくは電流出力の電子ボリウム）６５１ＢＬが配置され、高電流領域の基準電流ＩＮＨを調整するボリウム（もしくは、電圧出力もしくは電流出力の電子ボリウム）６５１ＢＨが配置される。
なお、ボリウム６５１などは、ＥＬ素子１５の温特を補償できるように、温度で変化するように構成することが好ましい。また、図７９のガンマ特性で、折れ曲がり点が2点以上あるときは、各色の基準電流を調整する電子ボリウムあるいは抵抗などは3個以上にしてもよいことは言うまでもない。
ＩＣチップの出力端子には、出力パッド７６１が形成または配置されている。この出力パッドと、表示パネルのソース信号線１８とが接続される。出力バッド７６１は、メッキ技術あるいはネイルヘッドボンダ技術によりバンプ（突起）が形成されている。突起の高さは１０μｍ以上４０μｍ以下の高さにする。
前記バンプと各ソース信号線１８とは導電性接合層（図示せず）を介して電気的に接続されている。導電性接合層は接着剤としてエポキシ系、フェノール系等を主剤とし、銀（Ａｇ）、金（Ａｕ）、ニッケル（Ｎｉ）、カーボン（Ｃ）、酸化錫（SnO_2）などのフレークを混ぜた物、あるいは紫外線硬化樹脂などである。導電性接合層は、転写等の技術でバンプ上に形成する。また、バンプとソース信号線１８とをＡＣＦ樹脂で熱圧着される。なお、バンプあるいは出力パッド７６１とソース信号線１８との接続は、以上の方式に限定するものではない。また、アレイ基板上にＩＣ１４を積載せず、フィルムキャリヤ技術を用いてもよい。また、ポリイミドフィルム等を用いてソース信号線１８などと接続して

も良い。
図６９において、入力された４ビットの電流値制御用データ（ＤＩ）は、４ビットデコーダ回路６９２でデコードされる（分割数が６４必要であれば、６ビットにすることは言うまでもない。ここでは説明を容易にするため、４ビットとして説明をする）。その出力はレベルシフタ回路６９３により、ロジックレベルの電圧値からアナログレベルの電圧値に昇圧され、アナログスイッチ６４１に入力される。
電子ボリウム回路の主構成部は、固定抵抗Ｒ０（６９１ａ）と１６個の単位抵抗ｒ（６９１ｂ）で構成されている。デコーダ回路６９２の出力は、１６個のアナログスイッチ６４１のいずれかに接続されており、デコーダ回路６９２の出力により、電子ボリウムの抵抗値が定まるように構成されている。例えば、デコーダ回路６９２の出力が４であれば、電子ボリウムの抵抗値はＲ０＋５ｒとなる。この電子ボリウムの抵抗は、第１段電流源６３１の負荷となっており、アナログ電源ＡＶｄｄにプルアップされている。したがって、この電子ボリウムの抵抗値が変化すると、第１段電流源６３１の電流値が変化し、その結果、第２段電流源６３２の電流値が変化し、その結果、第３段電流源６３３の電流値も変化して、ドライバＩＣの出力電流はコントロールされることになる。
なお、説明の都合上、電流値制御用データは４ビットとしたが、これは４ビットに固定されるものではなく、ビット数が多ければ多いほど、電流値の可変数は多くなることは言うまでもない。また、多段式カレントミラーの構成を３段として説明したが、これも３段に固定されるものではなく、任意の段数でもかまわないことは言うまでもない。
また、温度変化により、ＥＬ素子の発光輝度が変化するという課題に対して、電子ボリウム回路の構成として、温度により抵抗値が変化する外付け抵抗６９１ａを具備させることが好ましい。温度により抵抗値が変化する外付け抵抗とは、サーミスタ、ポジスタなどが例示される。一般に、素子に流れる電流に応じて輝度が変化する発光素子は、温度特性を持っており、同じ電流値を流しても、その発光輝度は温度により変化する。そこで、温度により抵抗値が変化する外付け抵抗６９１ａを電子ボリウムに付けることにより、定電流出力の電流値を温度により変化させることができ、温度が変化しても発光輝度を常に一定にすることができる。
なお、前記多段式カレントミラー回路が、赤（Ｒ）用、緑（Ｇ）用、青（Ｂ）用の３系統に分離することが好ましい。一般に有機ＥＬ等の電流駆動型発光素子では、Ｒ、Ｇ、Ｂで発光特性が異なる。従って、Ｒ、Ｇ、Ｂで同じ輝度にするためには、発光素子に流す電流値をＲ、Ｇ、Ｂでそれぞれ調整する必要がある。また、有機ＥＬ表示パネル等の電流駆動型発光素子では、Ｒ、Ｇ、Ｂで温度特性が異なる。従って、温度特性を補正するために形成または配置したサーミスタ等の外部補助素子の特性も、Ｒ、Ｇ、Ｂでそれぞれ調整する必要がある。
本発明では、前記多段式カレントミラー回路が、Ｒ用、Ｇ用、Ｂ用の３系統に分離されているので、発光特性や温度特性をＲ、Ｇ、Ｂでそれぞれ調整することができ、最適なホワイトバランスを得ることが可能である。
先にも説明しているが、電流駆動方式では、黒表示時で、画素に書き込む電流が小さい。そのため、ソース信号線１８などに寄生容量があると、１水平走査期間（１Ｈ）に画素１６に十分な電流を書き込むことができないという問題点があった。一般に、電流駆動型発光素子では、黒レベルの電流値は数ｎＡ程度と微弱であるため、その信号値で数１０ｐＦ程度あると思われる寄生容量（配線負荷容量）を駆動することは困難である。この課題を解決するためには、ソース信号線１８に画像データを書き込む前に、プリチャージ電圧を印加し、ソース信号線１８の電位レベルを画素のトランジスタ１１ａの黒表示電流（基本的にはトランジスタ１１ａはオフ状態）にすることが有効である。このプリチャージ電圧の形成（作成）には、画像データの上位ビットをデコードすることにより、黒レベルの定電圧出力を行うことが有効である。
図７０に、本発明のプリチャージ機能を有した電流出力方式のソースドライバ回路（ＩＣ）１４の一例を示す。図７０では、６ビットの定電流出力回路の出力段にプリチャージ機能を搭載した場合を示している。図７０において、プリチャージ制御信号は、画像データ

Ｄ０～Ｄ５の上位３ビットＤ３、Ｄ４、Ｄ５がすべて０である場合をＮＯＲ回路７０２でデコードし、水平同期信号ＨＤによるリセット機能を有するドットクロックＣＬＫのカウンタ回路７０１の出力とのＡＮＤ回路７０３をとり、一定期間黒レベル電圧Ｖｐを出力するように構成されている。他の場合は、図６８などで説明した電流出力段７０４からの出力電流がソース信号線１８に印加される（ソース信号線１８からプログラム電流Ｉｗを吸収する）。この構成により、画像データが黒レベルに近い０階調目～７階調目の場合、１水平期間のはじめの一定期間だけ黒レベルに相当する電圧が書き込まれて、電流駆動の負担が減り、書き込み不足を補うことが可能となる。なお、完全黒表示を０階調目とし、完全白表示を６３階調目とする（６４階調表示の場合）。

なお、プリチャージを行う階調は、黒表示領域に限定すべきである。つまり、書き込み画像データを判定し、黒領域階調（低輝度、つまり、電流駆動方式では、書き込み電流が小さい（微小））を選択しプリチャージする（選択プリチャージ）。全階調データに対し、プリチャージすると、今度は、白表示領域で、輝度の低下（目標輝度に到達しない）が発生する。また、画像に縦筋が表示される。

好ましくは、階調データの階調０から１／８の領域の階調で、選択プリチャージを行う（たとえば、６４階調の時は、０階調目から７階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む）。さらに、好ましくは、階調データの階調０から１／１６の領域の階調で、選択プリチャージを行う（たとえば、６４階調の時は、０階調目から３階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む）。

特に黒表示で、コントラストを高くするためには、階調０のみを検出してプリチャージする方式も有効である。極めて黒表示が良好になる。問題は、画面全体が階調１、２の場合に画面が黒浮きして見えることである。したがって、階調データの階調０から１／８の領域の階調と、一定の範囲で選択プリチャージを行う。階調０のみをプリチャージする方法は、画像表示に与える弊害の発生が少ない。したがって、最もプリチャージ技術として採用することが好ましい。

なお、プリチャージの電圧、階調範囲は、Ｒ、Ｇ、Ｂで異ならせることも有効である。ＥＬ素子１５は、Ｒ、Ｇ、Ｂで発光開始電圧、発光輝度が異なっているからである。たとえば、Ｒは、階調データの階調０から１／８の領域の階調で、選択プリチャージを行う（たとえば、６４階調の時は、０１階調目から７階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む）。他の色（Ｇ、Ｂ）は、階調データの階調０から１／１６の領域の階調で、選択プリチャージを行う（たとえば、６４階調の時は、０階調目から３階調目までの画像データと時、プリチャージを行ってから、画像データを書き込む）などの制御を行う。また、プリチャージ電圧も、Ｒは７（Ｖ）であれば、他の色（Ｇ、Ｂ）は、７．５（Ｖ）の電圧をソース信号線１８に書き込むようにする。最適なプリチャージ電圧は、ＥＬ表示パネルの製造ロットで異なることが多い。したがって、プリチャージ電圧は、外部ボリウムなどで調整できるように構成しておくことが好ましい。この調整回路も電子ボリウム回路を用いることにより容易に実現できる。

なお、プリチャージ電圧は、図１のアノード電圧Ｖｄｄ－０．５（Ｖ）以下、アノード電圧Ｖｄｄ－２．５（Ｖ）以内にすることが好ましい。

階調０のみをプリチャージする方法にあっても、Ｒ、Ｇ、Ｂの一色あるいは２色を選択してプリチャージする方法も有効である。画像表示に与える弊害の発生が少ない。

また、全くプリチャージしない第０モード、階調０のみをプリチャージする第１モード、階調０から階調３の範囲でプリチャージする第２モード、階調０から階調７の範囲でプリチャージする第３モード、全階調の範囲でプリチャージする第４モードなどを設定し、これらをコマンドで切り替えるように構成することが好ましい。これらは、ソースドライバ回路（ＩＣ）１４内においてロジック回路を構成（設計）することにより容易に実現できる。

図７５は選択プリチャージ回路部の具体化構成図である。ＰＶはプリチャージ電圧の入力端子である。外部入力あるいは、電子ボリウム回路により、Ｒ、Ｇ、Ｂで個別のプリチャ

ージ電圧が設定される。なお、Ｒ、Ｇ、Ｂで個別のプリチャージ電圧を設定するとしたがこれに限定するものではない。Ｒ、Ｇ、Ｂで共通であってもよい。プリチャージ電圧は、画素１６の駆動用トランジスタ１１ａのＶｔに相関するものであり、この画素１６はＲ、Ｇ、Ｂ画素で同一だからである。逆には、画素１６の駆動用トランジスタ１１ａのＷ／Ｌ比などをＲ、Ｇ、Ｂで異ならせている（異なった設計となっている）場合は、プリチャージ電圧を異なった設計に対応して調整することが好ましい。たとえば、Ｌが大きくなれば、トランジスタ１１ａのダイオード特性は悪くなり、ソース－ドレイン（ＳＤ）電圧は大きくなる。したがって、プリチャージ電圧は、ソース電位（Ｖｄｄ）に対して低く設定する必要がある。

プリチャージ電圧ＰＶはアナログスイッチ７３１に入力されている。このアナログスイッチのＷ（チャンネル幅）はオン抵抗を低減するために、１０μｍ以上にする必要がある。しかし、あまりＷが大きいと、寄生容量も大きくなるので１００μｍ以下にする。さらに好ましくは、チャンネル幅Ｗは１５μｍ以上６０μｍ以下にすることが好ましい。以上の事項は図７５のスイッチ６４１ｂのアナログスイッチ７３１、図７３のアナログスイッチ７３１にも適用される。

スイッチ６４１ａはプリチャージイネーブル（ＰＥＮ）信号、選択プリチャージ信号（ＰＳＬ）と、図７４のロジック信号の上位３ビット（Ｈ５、Ｈ４、Ｈ３）で制御される。一例としたロジック信号の上位３ビット（Ｈ５、Ｈ４、Ｈ３）の意味は、上位３ビットが"０"の時に選択プリチャージが実施されるようにしたためである。つまり、下位３ビットが"１"の時（階調０から階調７）の時を選択してプリチャージが実施されるように構成している。

なお、この選択プリチャージは、階調０のみをプリチャージするとか、階調０から階調７の範囲でプリチャージするとか固定してもよいが、低階調流域（図７９の階調０から階調Ｒ１もしくは階調（Ｒ１－１））を選択プリチャージするというように、低階調領域と連動させてもよい。つまり、選択プリチャージは、低階調領域が階調０から階調Ｒ１の時はこの範囲で実施し、低階調領域が階調０から階調Ｒ２の時はこの範囲で実施するように連動させて実施する。なお、この制御方式の方が他の方式に比較して、ハード規模が小さくなる。

以上の信号の印加状態により、スイッチ６４１ａがオンオフ制御され、スイッチ６４１ａオンの時、プリチャージ電圧ＰＶがソース信号線１８に印加される。なお、プリチャージ電圧ＰＶを印加する時間は、別途形成したカウンタ（図示せず）により設定される。このカウンタはコマンドにより設定できるように構成されている。また、プリチャージ電圧の印加時間は１水平走査期間（１Ｈ）の１／１００以上１／５以下の時間に設定することが好ましい。たとえば、１Ｈが１００μｓｅｃとすれば、１μｓｅｃ以上２０μｓｅｃ（１Ｈの１／１００以上１Ｈの１／５以下）とする。さらに好ましくは、２μｓｅｃ以上１０μｓｅｃ（１Ｈの２／１００以上１Ｈの１／１０以下）とする。

図１７３は図７０あるいは図７５の変形例である。図１７３は入力画像データに応じてプリチャージするかしないかを判定し、プリチャージ制御を行うプリチャージ回路である。たとえば、画像データが階調０のみの時にプリチャージを行う設定、画像データが階調０、１のみの時にプリチャージを行う設定、階調０は必ずプリチャージし、階調１が所定以上連続して発生する場合にプリチャージする設定を行うことができる。

図１７３は、本発明のプリチャージ機能を有した電流出力方式のソースドライバ回路（ＩＣ）１４の一例を示す。図１７３では、６ビットの定電流出力回路の出力段にプリチャージ機能を搭載した場合を示している。図１７３において、一致回路１７３１は、画像データＤ０～Ｄ５に応じてデコードし、水平同期信号ＨＤによるリセット機能を有するＲＥＮ端子入力、ドットクロックＣＬＫ端子入力でプリチャージするかしないかを判定する。また、一致回路１７３１はメモリを有しており、数Ｈあるいは数フィールド（フレーム）の画像データによるプリチャージ出力結果を保持している。保持結果にもとづき、プリチャージするか否かを判定し、プリチャージ制御する機能を有する。たとえば、階調０は必ずプリチャージし、階調１が６Ｈ（６水平走査期間）以上連続して発生する場合にプリチャ

ージする設定を行うことができる。また、階調０、１は必ずプリチャージし、階調２が３Ｆ（３フレーム期間）以上連続して発生する場合にプリチャージする設定を行うことができる。

一致回路１７３１の出力と、カウンタ回路７０１の出力とが、ＡＮＤ回路７０３でＡＮＤされ、一定期間黒レベル電圧Ｖｐを出力するように構成されている。他の場合は、図６８などで説明した電流出力段７０４からの出力電流がソース信号線１８に印加される（ソース信号線１８からプログラム電流Ｉｗを吸収する）。他の構成は、図７０、図７５などと同等あるいは類似であるので説明を省略する。なお、図１７３ではプリチャージ電圧はＡ点に印加しているが、Ｂ点に印加してもよいことはいうまでもない（図７５も参照のこと）。

ソース信号線１８に印加する画像データにより、プリチャージ電圧ＰＶ印加時間を可変することによっても良好な結果が得られる。たとえば、完全黒表示の階調０では印加時間を長くし、階調４ではそれよりも短くするなどである。また、１Ｈ前の画像データと次に印加する画像データの差を考慮して、印加時間を設定することも良好な結果を得ることができる。たとえば、１Ｈ前にソース信号線に画素を白表示にする電流を書き込み、次の１Ｈに、画素に黒表示にする電流を書き込む時は、プリチャージ時間を長くする。黒表示の電流は微小であるからである。逆に、１Ｈ前にソース信号線に画素を黒表示にする電流を書き込み、次の１Ｈに、白素に黒表示にする電流を書き込む時は、プリチャージ時間を短くするか、もしくはプリチャージを停止する（行わない）。白表示の書き込み電流は大きいからである。

印加する画像データに応じてプリチャージ電圧を変化させることも有効である。黒表示の書き込み電流は微小であり、白表示の書き込み電流は大きいからである。したがって、低階調領域になるにしたがって、プリチャージ電圧を高く（Ｖｄｄに対して。なお、画素トランジスタ１１ａがＰチャンネルの時）し、高階調領域になるにしたがって、プリチャージ電圧を低く（画素トランジスタ１１ａがＰチャンネルの時）する。

以下、理解を容易にするため、図７５を中心に説明する。なお、以下に説明する事項は図７０、図１７５のプリチャージ回路にも適用できることは言うまでもない。

プログラム電流オープン端子（ＰＯ端子）が"０"の時は、スイッチ１５２１がオフ状態となり、ＩＬ端子およびＩＨ端子とソース信号線１８とは切り離される（Ｉｏｕｔ端子が、ソース信号線１８と接続されている）。したがって、プログラム電流Ｉｗはソース信号線１８には流れない。ＰＯ端子はプログラム電流Ｉｗをソース信号線に印加している時は、"１"とし、スイッチ１５２１をオンして、プログラム電流Ｉｗをソース信号線１８に流す。

ＰＯ端子に"０"を印加し、スイッチ１５２１をオープンにする時は、表示領域のいずれの画素行も選択されていない時である。単位トランジスタ６３４は入力データ（Ｄ０～Ｄ５）に基づいて電流をたえず、ソース信号線１８から引き込んでいる。この電流が選択された画素１６のＶｄｄ端子からトランジスタ１１ａを介してソース信号線１８に流れ込む電流である。したがって、いずれの画素行も選択されていない時は、画素１６からソース信号線１８に電流が流れる経路がない。いずれの画素行も選択されていない時とは、任意の画素行が選択され、次の画素行が選択されるまでの間に発生する。なお、このようないずれの画素（画素行）も選択されず、ソース信号線１８に流れ込む（流れ出す）経路がない状態を、全非選択期間と呼ぶ。

この状態で、ＩＯＵＴ端子がソース信号線１８に接続されていると、オンしている単位トランジスタ６３４（実際にはオンしているのはＤ０～Ｄ５端子のデータにより制御されるスイッチ６４１であるが）に電流が流れる。そのため、ソース信号線１８の寄生容量に充電された電荷が放電し、ソース信号線１８の電位が、急激に低下する。以上のように、ソース信号線１８の電位が低下すると、本来ソース信号線１８に書き込む電流により、元の電位まで回復するのに時間を要するようになってしまう。

この課題を解決するため、本発明は、全非選択期間に、ＰＯ端子に"０"を印加し、図７５のスイッチ１５２１をオフとして、ＩＯＵＴ端子とソース信号線１８とを切り離す。切

り離すことにより、ソース信号線１８から単位トランジスタ６３４に電流が流れ込むことはなくなるから、全非選択期間にソース信号線１８の電位変化は発生しない。以上のように、全非選択期間にＰＯ端子を制御し、ソース信号線１８から電流源を切り離すことにより、良好な電流書き込みを実施することができる。
また、画面に白表示領域（一定の輝度を有する領域）の面積（白面積）と、黒表示領域（所定以下の輝度の領域）の面積（黒面積）が混在し、白面積と黒面積の割合が一定の範囲の時、プリチャージを停止するという機能を付加することは有効である（適正プリチャージ）。この一定の範囲で、画像に縦筋が発生するからである。もちろん、逆に一定の範囲で、プリチャージするという場合もある。また、画像が動いた時、画像がノイズ的になるからである。適正プリチャージは、演算回路で白面積と黒面積に該当する画素のデータをカウント（演算）することにより、容易に実現することができる。
プリチャージ制御は、Ｒ、Ｇ、Ｂで異ならせることも有効である。ＥＬ素子１５は、Ｒ、Ｇ、Ｂで発光開始電圧、発光輝度が異なっているからである。たとえば、Ｒは、所定輝度の白面積：所定輝度の黒面積の比が１：２０以上でプリチャージを停止または開始し、ＧとＢは、所定輝度の白面積：所定輝度の黒面積の比が１：１６以上でプリチャージを停止または開始するという構成である。なお、実験および検討結果によれば、有機ＥＬパネルの場合、所定輝度の白面積：所定輝度の黒面積の比が１：１００以上（つまり、黒面積が白面積の１００倍以上）でプリチャージを停止することが好ましい。さらには、所定輝度の白面積：所定輝度の黒面積の比が１：２００以上（つまり、黒面積が白面積の２００倍以上）でプリチャージを停止することが好ましい。
プリチャージ電圧ＰＶは、画素１６の駆動用トランジスタ１１ａがＰチャンネルの場合、Ｖｄｄ（図１を参照）に近い電圧をソースドライバ回路（ＩＣ）１４から出力する必要がある。しかし、このプリチャージ電圧ＰＶがＶｄｄに近いほど、ソースドライバ回路（ＩＣ）１４は高耐圧プロセスの半導体を使用する必要がある（高耐圧といっても、５（Ｖ）～１０（Ｖ）であるが、しかし、５（Ｖ）耐圧を超えると、半導体プロセス価格は高くなる点が課題である。したがって、５（Ｖ）耐圧のプロセスを採用することにより高精細、低価格のプロセスを使用することができる）。
画素１６の駆動用トランジスタ１１ａのダイオード特性が良好で白表示のオン電流が確保した時、５（Ｖ）以下であれば、ソースドライバＩＣ１４も５（Ｖ）プロセスを使用できるから問題は発生しない。しかし、ダイオード特性が５（Ｖ）を越えると時、問題となる。特に、プリチャージは、トランジスタ１１ａのソース電圧Ｖｄｄに近いプリチャージ電圧ＰＶを印加する必要があるので、ＩＣ１４から出力することができなくなる。
図９２は、この課題を解決するパネル構成である。図９２では、アレイ基板７１側にスイッチ回路６４１を形成している。ソースドライバＩＣ１４からは、スイッチ６４１のオンオフ信号を出力する。このオンオフ信号は、アレイ基板７１に形成されたレベルシフト回路６９３で昇圧され、スイッチ６４１をオンオフ動作させる。なお、スイッチ６４１およびレベルシフト回路６９３が画素のトランジスタを形成するプロセスで同時に、もしくは順次に、形成する。もちろん、外付け回路（ＩＣ）で別途形成し、アレイ基板７１上に実装するなどしてもよい。
オンオフ信号は、先に説明（図７５など）したプリチャージ条件に基づいて、ＩＣ１４の端子７６１ａから出力される。したがって、プリチャージ電圧の印加、駆動方法は図９２の実施例においても適用できることは言うまでもない。端子７６１ａから出力される電圧（信号）は、５（Ｖ）以下と低い。この電圧（信号）がレベルシフタ回路６９３でスイッチ６４１のオンオフロジックレベルまで振幅が大きくされる。
以上のように構成することにより、ソースドライバ回路（ＩＣ）１４はプログラム電流Ｉｗを駆動できる動作電圧範囲の電源電圧で十分になる。プリチャージ電圧ＰＶは、動作電圧が高いアレイ基板７１で課題はなくなる。したがって、プリチャージもアノード電圧（Ｖｄｄ）まで十分印加できるようになる。
図８９のスイッチ１５２１もソースドライバ回路（ＩＣ）１４内に形成（配置）するとなると耐圧が問題となる。たとえば、画素１６のＶｄｄ電圧が、ＩＣ１４の電源電圧よりも

高い場合、ＩＣ１４の端子７６１にＩＣ１４を破壊するような電圧が印加される危険があるからである。
この課題を解決する実施例が図９１の構成である。アレイ基板７１にスイッチ回路６４１を形成（配置）している。スイッチ回路６４１の構成などは図９２で説明した構成、仕様などと同一または近似である。
スイッチ６４１はＩＣ１４の出力よりも先で、かつソース信号線１８の途中に配置されている。スイッチ６４１がオンすることにより、画素１６をプログラムする電流Ｉｗがソースドライバ回路（ＩＣ）１４に流れ込む。スイッチ６４１がオフすることにより、ソースドライバ回路（ＩＣ）１４はソース信号線１８から切り離される。このスイッチ６４１を制御することにより、図９０に図示する駆動方式などを実施することができる。
図９２と同様に端子７６１ａから出力される電圧（信号）は、５（Ｖ）以下と低い。この電圧（信号）がレベルシフタ回路６９３でスイッチ６４１のオンオフロジックレベルまで振幅が大きくされる。
以上のように構成することにより、ソースドライバ回路（ＩＣ）１４はプログラム電流Ｉｗを駆動できる動作電圧範囲の電源電圧で十分になる。また、スイッチ６４１もアレイ基板７１の電源電圧で動作するため、画素１６からＶｄｄ電圧がソース信号線１８に印加されてもスイッチ６４１が破壊することはなく、また、ソースドライバ回路（ＩＣ）１４が破壊されることもない。
なお、図９１のソース信号線１８の途中に配置（形成）されたスイッチ６４１とプリチャージ電圧ＰＶ印加用スイッチ６４１の双方をアレイ基板７１に形成（配置）してもよいことは言うまでもない（図９１＋図９２の構成が例示される）。
以前にも説明したが、図１のように画素１６の駆動用トランジスタ１１ａ、選択トランジスタ（１１ｂ、１１ｃ）がＰチャンネルトランジスタの場合は、突き抜け電圧が発生する。これは、ゲート信号線１７ａの電位変動が、選択トランジスタ（１１ｂ、１１ｃ）のＧ－Ｓ容量（寄生容量）を介して、コンデンサ１９の端子に突き抜けるためである。Ｐチャンネルトランジスタ１１ｂがオフするときにはＶｇｈ電圧となる。そのため、コンデンサ１９の端子電圧がＶｄｄ側に少しシフトする。そのため、選択トランジスタ１１ａのゲート（Ｇ）端子電圧は上昇し、より黒表示となる。したがって、良好な黒表示を実現できる。
しかし、第０階調目の完全黒表示は実現できるが、第１階調などは表示しにくいことになる。もしくは、第０階調から第１階調まで大きく階調飛びが発生したり、特定の階調範囲で黒つぶれが発生したりする。
この課題を解決する構成が、図７１の構成である。出力電流値を嵩上げする機能を有することを特徴としている。嵩上げ回路７１１の主たる目的は、突き抜け電圧の補償である。また、画像データが黒レベル０であっても、ある程度（数１０ｎＡ）電流が流れるようにし、黒レベルの調整にも用いることができる。
基本的には、図７１は、図６４の出力段に嵩上げ回路（図７１の点線で囲まれた部分）を追加したものである。図７１は、電流値嵩上げ制御信号として３ビット（Ｋ０、Ｋ１、Ｋ２）を仮定したものであり、この３ビットの制御信号により、孫電流源の電流値の０～７倍の電流値を出力電流に加算することが可能である。
以上が本発明のソースドライバ回路（ＩＣ）１４の基本的な概要である。以後、さらに詳細に本発明のソースドライバ回路（ＩＣ）１４についてさらに詳しく説明をする。
ＥＬ素子１５に流す電流Ｉ（Ａ）と発光輝度Ｂ（ｎｔ）とは線形の関係がある。つまり、ＥＬ素子１５に流す電流Ｉ（Ａ）と発光輝度Ｂ（ｎｔ）とは比例する。電流駆動方式では、１ステップ（階調刻み）は、電流（単位トランジスタ６３４（１単位））である。
人間の輝度に対する視覚は２乗特性をもっている。つまり、２乗の曲線で変化する時、明るさは直線的に変化しているように認識される。しかし、図８３の関係であると、低輝度領域でも高輝度領域でも、ＥＬ素子１５に流す電流Ｉ（Ａ）と発光輝度Ｂ（ｎｔ）とは比例する。したがって、１ステップ（１階調）きざみづつ変化させると、低階調部（黒領域）では、１ステップに対する輝度変化が大きい（黒飛びが発生する）。高階調部（白領域

）は、ほぼ２乗カーブの直線領域と一致するので、１ステップに対する輝度変化は等間隔で変化しているように認識される。以上のことから、電流駆動方式（１ステップが電流きざみの場合）において（電流駆動方式のソースドライバ回路（ＩＣ）１４において）、黒表示領域の表示が特に課題となる。

この課題に対して、本発明は、図７９に図示するように、低階調領域（階調０（完全黒表示）から階調（Ｒ１））の電流出力の傾きを小さくし、高階調領域（階調（Ｒ１）から最大階調（Ｒ））の電流出力の傾きを大きくする。つまり、低階調領域では、１階調あたりに（１ステップ）増加する電流量と小さくする。高階調領域では、１階調あたりに（１ステップ）増加する電流量と大きくする。図７９の２つの階調領域で１ステップあたりに変化する電流量を異ならせることにより、階調特性が２乗カーブに近くなり、低階調領域での黒飛びの発生はない。図７９などに図示する階調－電流特性カーブをガンマカーブと呼ぶ。

なお、以上の実施例では、低階調領域と高階調領域の２段階の電流傾きとしたが、これに限定するものではない。３段階以上であっても良いことは言うまでもない。しかし、２段階の場合は回路構成が簡単になるので好ましいことは言うまでもない。好ましくは、５段階以上の傾きを発生できるようにガンマ回路は構成することが望ましい。

本発明の技術的思想は、電流駆動方式のソースドライバ回路（ＩＣ）などにおいて（基本的には電流出力で階調表示を行う回路である。したがって、表示パネルがアクティブマトリックス型に限定されるものではなく、単純マトリックス型も含まれる。）、１階調ステップあたりの電流増加量が複数存在することである。

ＥＬなどの電流駆動型の表示パネルは、印加される電流量に比例して表示輝度が変化する。したがって、本発明のソースドライバ回路（ＩＣ）１４では、１つの電流源（１単位トランジスタ）６３４に流れるもととなる基準電流を調整することにより、容易に表示パネルの輝度を調整することができる。

ＥＬ表示パネルでは、Ｒ、Ｇ、Ｂで発光効率が異なり、また、ＮＴＳＣ基準に対する色純度がずれている。したがって、ホワイトバランスを最適にするためにはＲＧＢの比率を適正に調整する必要がある。調整は、ＲＧＢのそれぞれの基準電流を調整することにより行う。たとえば、Ｒの基準電流を２μＡにし、Ｇの基準電流を１．５μＡにし、Ｂの基準電流を３．５μＡにする。以上のように少なくとも複数の表示色の基準電流のうち、少なくとも１色の基準電流は変更あるいは調整あるいは制御できるように構成することが好ましい。

本発明のソースドライバ回路（ソースドライバＩＣ）１４では、図６７、図１４８などにおける第１段の電流源６３１のカラントミラー倍率を小さくし（たとえば、基準電流が１μＡであれば、トランジスタ６３２ｂに流れる電流を１／１００の１０ｎＡにするなど）、外部から調整する基準電流の調整精度をラフにできるようにし、かつ、チップ内の微小電流の精度を効率よく調整できるように構成している。以上のことは、図１４７の基準電流Ｉｂ、図１５７、図１５８、図１５９、図１６０、図１６１、図１６３、図１６４、図１６５などの基準電流Ｉｂ、Ｉｃにも適用されることは言うまでもない。

図７９のガンマカーブを実現できるように、低階調領域の基準電流の調整回路と高階調領域の基準電流の調整回路を具備している。なお、図７９は一点折れガンマ回路で発生する階調制御方法である。これは、説明を容易にするためであり、本発明はこれに限定するものではない。複数点折れガンマ回路であってもよいことは言うまでもない。

また、図示していないが、ＲＧＢで独立に調整できるように、ＲＧＢごとに低階調領域の基準電流の調整回路と高階調領域の基準電流の調整回路を具備している。もちろん、１色を固定し、他の色の基準電流を調整することによりホワイトバランスを調整する時は、２色（たとえば、Ｇを固定している場合は、Ｒ、Ｂ）を調整する低階調領域の基準電流の調整回路と高階調領域の基準電流の調整回路を具備させればよい。

電流駆動方式は、図８３にも図示したように、ＥＬに流す電流Ｉと輝度の関係は直線の関係がある。したがって、ＲＧＢの混合によるホワイトバランスの調整は、所定の輝度の一点でＲＧＢの基準電流を調整するだけでよい。つまり、所定の輝度の一点でＲＧＢの基準

電流を調整し、ホワイトバランスを調整すれば、基本的には全階調にわたりホワイトバランスがとれている。したがって、本発明はＲＧＢの基準電流を調整できる調整手段を具備する点、１点折れまたは多点折れガンマカーブ発生回路（発生手段）を具備する点に特徴がある。以上の事項は液晶表示パネルの回路ではなく、電流制御のＥＬ表示パネルに特有の回路方式である。

図７９のガンマカーブの場合は、液晶表示パネルでは課題が発生する。まず、ＲＧＢのホワイトバランスを取るためには、ガンマカーブの折れ曲がり位置（階調Ｒ１）をＲＧＢで同一にする必要がある。この課題に対して、本発明の電流駆動方式では、ガンマカーブの相対的な関係をＲＧＢで同一にできるから可能である。また、低階調領域の傾きと高階調領域の傾きとの比率をＲＧＢで、一定にする必要がある。この課題に対して、本発明の電流駆動方式では、ガンマカーブの相対的な関係をＲＧＢで同一にできるから可能である。

以上のように、本発明の電流駆動方式では、図８３で図示するように、Ｒ、Ｇ、Ｂでは傾きは異なるが、画素１６に印加する電流とＥＬ素子１５の発光輝度とが直線関係にあることを利用している。この関係を利用することにより、各階調でホワイトバランスずれがなく、簡単な回路規模でガンマ回路を実現できるという特徴を発揮する。

本発明のガンマ回路では、一例として低階調領域で１階調あたり１０ｎＡ増加（低階調領域でのガンマカーブの傾き）にする。また、高階調領域で１階調あたり５０ｎＡ増加（高階調領域でのガンマカーブの傾き）する。

なお、高階調領域で１階調あたり電流増加量／低階調領域で１階調あたり電流増加量をガンマ電流比率と呼ぶ。この実施例では、ガンマ電流比率は、５０ｎＡ／１０ｎＡ＝５である。ＲＧＢのガンマ電流比率は同一にする。つまり、ＲＧＢでは、ガンマ電流比率を同一にした状態でＥＬ素子１５に流れる電流（＝プログラム電流）を制御する。

図８０ではそのガンマカーブの例である。図８０の（ａ）では、低階調部、高階調部とも１階調あたりの電流増加が大きい。図８０の（ｂ）では、低階調部と高階調部とも１階調あたりの電流増加は図８０の（ａ）に比較して小さい。ただし、図８０の（ａ）のＲＧＢのガンマ電流比率、図８０の（ｂ）のＲＧＢのガンマ比率は同一にしている。

このようにガンマ電流比率をＲＧＢで同一に維持したまま調整すると回路構成は容易になる。各色に、低階調部に印加する基準電流を発生する定電流回路と、高階調部に印加する基準電流を発生する定電流回路とを作製し、これらに相対的に流す電流を調整するボリウムを作製（配置）すればよいからである。

図７７はガンマ電流比率を維持したまま、出力電流を可変する回路構成である。電流制御回路７７２で低電流領域の基準電流源７７１Ｌと高電流領域の基準電流源７７１Ｈとのガンマ電流比率を維持したまま、電流源６３３Ｌ、６３３Ｈに流れる電流を変化させる。

また、図７８に図示するように、ＩＣチップ（回路）１４内に形成した温度検出回路７８１で表示パネルの温度を検出することが好ましい。有機ＥＬ素子は、ＲＧＢを構成する材料により温度特性が異なるからである。この温度の検出は、温度検出回路７８１に形成されたバイポーラトランジスタを用いて行う。バイポーラトランジスタの接合部の状態が温度により変化し、バイポーラトランジスタの出力電流が温度により変化することを利用する。この検出した温度を各色に配置（形成）した温度制御回路７８２にフィードバックし、電流制御回路７７２により温度補償を行う。

なお、ガンマ比率は、３以上１０以下の関係にすることが適切である。さらに好ましくは、４以上８以下の関係にすることが適切である。特にガンマ電流比率は５以上７以下の関係を満足させることが好ましい。これを第１の関係と呼ぶ。

また、低階調部と高階調部との変化ポイント（図７９の階調Ｒ１）は、最大階調数Ｋの１／３２以上１／４以下に設定するのが適切である（たとえば、最大階調数Ｋが６ビットの６４階調とすれば、６４／３２＝２階調番目以上、６４／４＝１６階調番目以下にする）。さらに好ましくは、低階調部と高階調部との変化ポイント（図７９の階調Ｒ１）は、最大階調数Ｋの１／１６以上１／４以下に設定するのが適切である（たとえば、最大階調数Ｋが６ビットの６４階調とすれば、６４／１６＝４階調番目以上、６４／４＝１６階調番目以下にする）。さらに好ましくは、最大階調数Ｋの１／１０以上１／５以下に設定する

のが適切である（なお、計算により小数点以下が発生する場合は切り捨てる。たとえば、最大階調数Ｋが６ビットの６４階調とすれば、６４／１０＝６階調番目以上、６４／５＝１２階調番目以下にする）。以上の関係を第２の関係と呼ぶ。
なお、以上の説明は、２つの電流領域のガンマ電流比率の関係である。しかし、以上の第２の関係は、３つ以上の電流領域のガンマ電流比率がある（つまり、折れ曲がり点が２箇所以上ある）場合にも適用される。つまり、３つ以上の傾きに対し、任意の２つの傾きに対する関係に適用すればよい。
以上の第１の関係と第２の関係の両方を同時に満足させることにより、黒飛びがなく良好な画像表示を実現できる。
図８２は、本発明の電流駆動方式のソースドライバ回路（ＩＣ）１４を１つの表示パネルに複数個用いた実施例である。本発明のソースドライバＩＣ１４は複数のドライバＩＣ１４を用いることを想定している。ソースドライバＩＣ１４にはスレーブ／マスター（Ｓ／Ｍ）端子を具備している。
Ｓ／Ｍ端子をＨレベルにすることによりマスターチップとして動作し、基準電流出力端子（図示せず）から、基準電流を出力する。この電流がスレーブのＩＣ１４（１４ａ、１４ｃ）の図７３、図７４のＩＮＬ、ＩＮＨ端子に流れる電流となる。Ｓ／Ｍ端子をＬレベルにすることによりＩＣ１４はスレーブチップとして動作し、基準電流入力端子（図示せず）から、マスターチップの基準電流を受け取る。この電流が図７３、図７４のＩＮＬ、ＩＮＨ端子に流れる電流となる。
基準電流入力端子、基準電流出力端子間で受け渡される基準電流は、各色の低階調領域と高階調領域の２系統である。したがって、ＲＧＢの３色では、３×２で６系統となる。なお、上記の実施例では、各色２系統としたがこれに限定するものではなく、各色３系統以上であっても良い。
本発明の電流駆動方式では、図８１に図示するように、折れ曲がり点（階調Ｒ１など）を変更できるように構成している。図８１の（ａ）では、階調Ｒ１で低階調部と高階調部とを変化させ、図８１の（ｂ）では、階調Ｒ２で低階調部と高階調部とを変化させている。このように、折れ曲がり位置を複数箇所で変化できるようにしている。
具体的には、本発明では６４階調表示を実現できる。折れ曲がり点（Ｒ１）は、なし、２階調目、４階調目、８階調目、１６階調目としている。なお、完全黒表示を階調０としているため、折れ曲がり点は２、４、８、１６となるのであって、完全に黒表示の階調を階調１とするのであれば、折れ曲がり点は、３、５、９、１７、３３となる。以上のように、折れ曲がり位置を２の倍数の箇所（もしくは、２の倍数＋１の箇所：完全黒表示を階調１とした場合）でできるように構成することにより、回路構成が容易になるという効果が発生する。
図７３は低電流領域の電流源回路部の構成図である。また、図７４は高電流領域の電流源部および嵩上げ電流回路部の構成図である。図７３に図示するように低電流源回路部は基準電流ＩＮＬが印加され、基本的にはこの電流が単位電流となり、入力データＬ０～Ｌ４により、単位トランジスタ６３４が必要個数動作し、その総和として低電流部のプログラム電流ＩｗＬが流れる。
また、図７４に図示するように高電流源回路部は基準電流ＩＮＨが印加され、基本的にはこの電流が単位電流となり、入力データＨ０～Ｌ５により、単位トランジスタ６３４が必要個数動作し、その総和として低電流部のプログラム電流ＩｗＨが流れる。
嵩上げ電流回路部も同様であって、図７４に図示するように基準電流ＩＮＨが印加され、基本的にはこの電流が単位電流となり、入力データＡＫ０～ＡＫ２により、単位トランジスタ６３４が必要個数動作し、その総和として嵩上げ電流に対応する電流ＩｗＫが流れる。
ソース信号線１８に流れるプログラム電流ＩｗはＩｗ＝ＩｗＨ＋ＩｗＬ＋ＩｗＫである。ＩｗＨとＩｗＬの比率、つまりガンマ電流比率は、先にも説明した第１の関係を満足させるようにする。
図７３、図７４に図示するようにオンオフスイッチ６４１は、インバータ７３２とＰチャ

ンネルトランジスタとＮチャンネルトランジスタからなるアナログスイッチ７３１から構成される。このようにスイッチ６４１を、インバータ７３２とＰチャンネルトランジスタとＮチャンネルトランジスタからなるアナログスイッチ７３１から構成することにより、オン抵抗を低下することができ、単位トランジスタ６３４とソース信号線１８間の電圧降下が極めて小さくすることができる。このことは本発明の他の実施例においても適用されることは言うまでもない。

図７３の低電流回路部と図７４の高電流回路部の動作について説明をする。本発明のソースドライバ回路（ＩＣ）１４は、低電流回路部Ｌ０～Ｌ４の５ビットで構成され、高電流回路部Ｈ０～Ｈ５の６ビットで構成される。なお、回路の外部から入力されるデータはＤ０～Ｄ５の６ビット（各色６４階調）である。この６ビットデータをＬ０～Ｌ４の５ビット、高電流回路部Ｈ０～Ｈ５の６ビットに変換してソース信号線に画像データに対応するプログラム電流Ｉｗを印加する。つまり、入力６ビットデータを、５＋６＝１１ビットデータに変換している。したがって、高精度のガンマカーブを形成できる。

以上のように、入力６ビットデータを、５＋６＝１１ビットデータに変換している。本発明では、高電流領域の回路のビット数（Ｈ）は、入力データ（Ｄ）のビット数と同一にし、低電流領域の回路のビット数（Ｌ）は、入力データ（Ｄ）のビット数－１としている。なお、低電流領域の回路のビット数（Ｌ）は、入力データ（Ｄ）のビット数－２としてもよい。このように構成することにより、低電流領域のガンマカーブと、高電流領域のガンマカーブとが、ＥＬ表示パネルの画像表示に最適になる。

以下、低電流領域の回路制御データ（Ｌ０～Ｌ４）と高電流領域の回路制御データ（Ｈ０～Ｈ４）との制御方法について、図８４から図８６を参照しながら説明をする。

本発明は図７３の図７３のＬ４端子に接続された、単位トランジスタ６３４ａの動作に特徴がある。この６３４ａは１単位の電流源となる１つのトランジスタで構成されている。このトランジスタをオンオフさせることにより、プログラム電流Ｉｗの制御（オンオフ制御）が容易になる。

図８４は、低電流領域と高電流領域を階調４で切り替える場合の低電流側信号線（Ｌ）と高電流側信号線（Ｈ）との印加信号である。なお、図８４から図８６において、階調０から１８まで図示しているが、実際は６３階調目までである。したがって、各図面において階調１８以上は省略している。また、表の"１"の時にスイッチ６４１がオンし、該当単位トランジスタ６３４とソース信号線１８とが接続され、表の"０"の時にスイッチ６４１がオフするとしている。

図８４において、完全黒表示の階調０の場合は、（Ｌ０～Ｌ４）＝（０、０、０、０、０）であり、（Ｈ０～Ｈ５）＝（０、０、０、０、０）である。したがって、すべてのスイッチ６４１はオフ状態であり、ソース信号線１８にはプログラム電流Ｉｗ＝０である。

階調１では、（Ｌ０～Ｌ４）＝（１、０、０、０、０）であり、（Ｈ０～Ｈ５）＝（０、０、０、０、０）である。したがって、低電流領域の１つの単位トランジスタ６３４がソース信号線１８に接続されている。高電流領域の単位電流源はソース信号線１８には接続されていない。

階調２では、（Ｌ０～Ｌ４）＝（０、１、０、０、０）であり、（Ｈ０～Ｈ５）＝（０、０、０、０、０）である。したがって、低電流領域の２つの単位トランジスタ６３４がソース信号線１８に接続されている。高電流領域の単位電流源はソース信号線１８には接続されていない。

階調３では、（Ｌ０～Ｌ４）＝（１、１、０、０、０）であり、（Ｈ０～Ｈ５）＝（０、０、０、０、０）である。したがって、低電流領域の２つのスイッチ６４１Ｌａ、６４１Ｌｂがオンし、３つの単位トランジスタ６３４がソース信号線１８に接続されている。高電流領域の単位電流源はソース信号線１８には接続されていない。

階調４では、（Ｌ０～Ｌ４）＝（１、１、０、０、１）であり、（Ｈ０～Ｈ５）＝（０、０、０、０、０）である。したがって、低電流領域の３つのスイッチ６４１Ｌａ、６４１Ｌｂ、６４１Ｌｅがオンし、４つの単位電流源６３４がソース信号線１８に接続されている。高電流領域の単位電流源はソース信号線１８には接続されていない。

階調５以上では、低電流領域（Ｌ０～Ｌ４）＝（１、１、０、０、１）は変化がない。しかし、高電流領域において、階調５では（Ｈ０～Ｈ５）＝（１、０、０、０、０）であり、スイッチ６４１Ｈａがオンし、高電流領域の１つの単位電流源６４１がソース信号線１８と接続されている。また、階調６では（Ｈ０～Ｈ５）＝（０、１、０、０、０）であり、スイッチ６４１Ｈｂがオンし、高電流領域の２つの単位電流源６４１がソース信号線１８と接続される。同様に、階調７では（Ｈ０～Ｈ５）＝（１、１、０、０、０）であり、２つのスイッチ６４１Ｈａスイッチ６４１Ｈｂがオンし、高電流領域の３つの単位電流源６４１がソース信号線１８と接続される。さらに、階調８では（Ｈ０～Ｈ５）＝（０、０、１、０、０）であり、１つのスイッチ６４１Ｈｃがオンし、高電流領域の４つの単位電流源６４１がソース信号線１８と接続される。以後、図８４のように順次スイッチ６４１がオンオフし、プログラム電流Ｉｗがソース信号線１８に印加される。

以上の動作で特徴的なのは、折れ曲がり点において、高階調部の階調では、低階調部の電流に加算されて、高階調部のステップ（階調）に応じた電流がプログラム電流Ｉｗとなっていることである。なお、低電流領域と高電流領域の切り換わり点、正確には、プログラム電流Ｉｗとしては、高電流領域の階調の場合、低電流ＩｗＬが加算されているので、切換り点という表現は正しくない。また、嵩上げ電流ＩｗＫも加算されている。

１ステップの階調（電流が変化する点あるいはポイントもしくは位置というべきであろう）を境として、低電流領域の制御ビット（Ｌ）が変化しない点である。また、この時、図７３のＬ４端子に"１"となり、スイッチ６４１ｅがオンし、単位トランジスタ６３４ａに電流が流れている点である。

したがって、図８４の階調４では低階調部の単位トランジスタ（電流源）６３４が４個動作している。そして、階調５では、低階調部の単位トランジスタ（電流源）６３４が４個動作し、かつ高階調部のトランジスタ（電流源）６３４が１個動作している。以後同様に、階調６では、低階調部の単位トランジスタ（電流源）６３４が４個動作し、かつ高階調部のトランジスタ（電流源）６３４が２個動作する。したがって、折れ曲がりポイントである階調５以上では、折れ曲がりポイント以下の低階調領域の電流源６３４が階調分（この場合、４個）オンし、これに加えて、順次、高階調部の電流源６３４が階調に応じた個数順次オンしていく。

図７３におけるＬ４端子の単位トランジスタ６３４ａの１個は有用に作用していることがわかる。この単位トランジスタ６３４ａがないと、階調３の次に、高階調部の単位トランジスタ６３４が１個オンする動作になる。そのため、切り替わりポイントが４、８、１６というように２の乗数（累乗）にならない。２の乗数は１信号のみが"１"となった状態である。

以上の理由から、２の重み付けの信号ラインが"１"となったという条件判定がやりやすい。そのため、条件判定のハード規模を小さくすることができる。つまり、ＩＣチップの論理回路が簡略化し、結果としてチップ面積が小さいＩＣを設計できるのである（低コスト化が可能である）。

図８５は、低電流領域と高電流領域を階調８で切り替える場合の低電流側信号線（Ｌ）と高電流側信号線（Ｈ）との印加信号の説明図である。

図８５において、完全黒表示の階調０の場合は、図８４と同様であり、（Ｌ０～Ｌ４）＝（０、０、０、０、０）であり、（Ｈ０～Ｈ５）＝（０、０、０、０、０）である。したがって、すべてのスイッチ６４１はオフ状態であり、ソース信号線１８にはプログラム電流Ｉｗ＝０である。

同様に階調１では、（Ｌ０～Ｌ４）＝（１、０、０、０、０）であり、（Ｈ０～Ｈ５）＝（０、０、０、０、０）である。したがって、低電流領域の１つの単位トランジスタ６３４がソース信号線１８に接続されている。高電流領域の単位電流源はソース信号線１８には接続されていない。

階調２では、（Ｌ０～Ｌ４）＝（０、１、０、０、０）であり、（Ｈ０～Ｈ５）＝（０、０、０、０、０）である。したがって、低電流領域の２つの単位トランジスタ６３４がソース信号線１８に接続されている。高電流領域の単位電流源はソース信号線１８には接続

されていない。
階調３では、（Ｌ０～Ｌ４）＝（１、１、０、０、０）であり、（Ｈ０～Ｈ５）＝（０、０、０、０、０）である。したがって、低電流領域の２つのスイッチ６４１Ｌａ、６４１Ｌｂがオンし、３つの単位トランジスタ６３４がソース信号線１８に接続されている。高電流領域の単位電流源はソース信号線１８には接続されていない。
以下も同様に、階調４では、（Ｌ０～Ｌ４）＝（０、０、１、０、０）であり、（Ｈ０～Ｈ５）＝（０、０、０、０、０）である。また、階調５では、（Ｌ０～Ｌ４）＝（１、０、１、０、０）であり、（Ｈ０～Ｈ５）＝（０、０、０、０、０）である。階調６では、（Ｌ０～Ｌ４）＝（０、１、１、０、０）であり、（Ｈ０～Ｈ５）＝（０、０、０、０、０）である。また、階調７では、（Ｌ０～Ｌ４）＝（１、１、１、０、０）であり、（Ｈ０～Ｈ５）＝（０、０、０、０、０）である。
階調８が切り替わりポイント（折れ曲がり位置）である。階調８では、（Ｌ０～Ｌ４）＝（１、１、１、０、１）であり、（Ｈ０～Ｈ５）＝（０、０、０、０、０）である。したがって、低電流領域の４つのスイッチ６４１Ｌａ、６４１Ｌｂ、６４１Ｌｃ、６４１Ｌｅがオンし、８つの単位トランジスタ６３４がソース信号線１８に接続されている。高電流領域の単位電流源はソース信号線１８には接続されていない。
階調８以上では、低電流領域（Ｌ０～Ｌ４）＝（１、１、１、０、１）は変化がない。しかし、高電流領域において、階調９では（Ｈ０～Ｈ５）＝（１、０、０、０、０）であり、スイッチ６４１Ｈａがオンし、高電流領域の１つの単位電流源６４１がソース信号線１８と接続されている。
以下、同様に、階調ステップに応じて、高電流領域の単位トランジスタ６３４の個数が１個ずつ増加する。つまり、階調１０では（Ｈ０～Ｈ５）＝（０、１、０、０、０）であり、スイッチ６４１Ｈｂがオンし、高電流領域の２つの単位電流源６４１がソース信号線１８と接続される。同様に、階調１１では（Ｈ０～Ｈ５）＝（１、１、０、０、０）であり、２つのスイッチ６４１Ｈａスイッチ６４１Ｈｂがオンし、高電流領域の３つの単位電流源６４１がソース信号線１８と接続される。さらに、階調１２では（Ｈ０～Ｈ５）＝（０、０、１、０、０）であり、１つのスイッチ６４１Ｈｃがオンし、高電流領域の４つの単位電流源６４１がソース信号線１８と接続される。以後、図８４のように順次スイッチ６４１がオンオフし、プログラム電流Ｉｗがソース信号線１８に印加される。
図８６は、低電流領域と高電流領域を階調１６で切り替える場合の低電流側信号線（Ｌ）と高電流側信号線（Ｈ）との印加信号の説明図である。この場合も図８４、図８５と基本的な動作は同じである。
つまり、図８６において、完全黒表示の階調０の場合は、図８５と同様であり、（Ｌ０～Ｌ４）＝（０、０、０、０、０）であり、（Ｈ０～Ｈ５）＝（０、０、０、０、０）である。したがって、すべてのスイッチ６４１はオフ状態であり、ソース信号線１８にはプログラム電流Ｉｗ＝０である。同様に階調１から階調１６までは、高階調領域の（Ｈ０～Ｈ５）＝（０、０、０、０、０）である。したがって、低電流領域の１つの単位トランジスタ６３４がソース信号線１８に接続されている。高電流領域の単位電流源はソース信号線１８には接続されていない。つまり、低階調領域の（Ｌ０～Ｌ４）のみが変化する。
つまり、階調１では、（Ｌ０～Ｌ４）＝（１、０、０、０、０）であり、階調２では、（Ｌ０～Ｌ４）＝（０、１、０、０、０）であり、階調３では、（Ｌ０～Ｌ４）＝（１、１、０、０、０）であり、階調２では、（Ｌ０～Ｌ４）＝（０、０、１、０、０）である。
以下階調１６まで順次カウントされる。つまり、階調１５では、（Ｌ０～Ｌ４）＝（１、１、１、１、０）であり、階調１６では、（Ｌ０～Ｌ４）＝（１、１、１、１、１）である。階調１６では、階調を示すＤ０～Ｄ５の５ビット目（Ｄ４）のみが１本オンするため、データＤ０～Ｄ５の表現している内容が１６であるということが、１データ信号線（Ｄ４）の判定で決定できる。したがって、論理回路のハード規模が小さくすることができる。
階調１６が切り替わりポイント（折れ曲がり位置）である。もしくは階調１７が切り替わりポイントというべきであるかもしれない。階調１６では、（Ｌ０～Ｌ４）＝（１、１、

１、１、１）であり、（Ｈ０～Ｈ５）＝（０、０、０、０、０）である。したがって、低電流領域の４つのスイッチ６４１Ｌａ、６４１Ｌｂ、６４１Ｌｃ、６４１ｄ、６４１Ｌｅがオンし、１６つの単位トランジスタ６３４がソース信号線１８に接続されている。高電流領域の単位電流源はソース信号線１８には接続されていない。
階調１６以上では、低電流領域（Ｌ０～Ｌ４）＝（１、１、１、０、１）は変化がない。しかし、高電流領域において、階調１７では（Ｈ０～Ｈ５）＝（１、０、０、０、０）であり、スイッチ６４１Ｈａがオンし、高電流領域の１つの単位電流源６４１がソース信号線１８と接続されている。
以下、同様に、階調ステップに応じて、高電流領域の単位トランジスタ６３４の個数が１個ずつ増加する。つまり、階調１８では（Ｈ０～Ｈ５）＝（０、１、０、０、０）であり、スイッチ６４１Ｈｂがオンし、高電流領域の２つの単位電流源６４１がソース信号線１８と接続される。同様に、階調１９では（Ｈ０～Ｈ５）＝（１、１、０、０、０）であり、２つのスイッチ６４１Ｈａスイッチ６４１Ｈｂがオンし、高電流領域の３つの単位電流源６４１がソース信号線１８と接続される。さらに、階調２０では（Ｈ０～Ｈ５）＝（０、０、１、０、０）であり、１つのスイッチ６４１Ｈｃがオンし、高電流領域の４つの単位電流源６４１がソース信号線１８と接続される。
以上のように、切り替わりポイント（折れ曲がり位置）で、２の乗数の個数の電流源（１単位トランジスタ）６３４がオンもしくはソース信号線１８と接続する（逆に、オフとなる構成も考えられる）ように構成するロジック処理などがきわめて容易になる。
たとえば、図８４に図示するように折れ曲がり位置が階調４（４は２の乗数である）であれば、４個の電流源（１単位）６３４が動作などするように構成する。そして、それ以上の階調では、高電流領域の電流源（１単位）６３４が加算されるように構成する。
また、図８５に図示するように折れ曲がり位置が階調８（８は２の乗数である）であれば、８個の電流源（１単位）６３４が動作などするように構成する。そして、それ以上の階調では、高電流領域の電流源（１単位）６３４が加算されるように構成する。本発明の構成を採用すれば、６４階調に限らず（１６階調：４０９６色、２５６階調：１６７０万色など）、あらゆる階調表現で、ハード構成が小さなガンマ制御回路を構成できる。
なお、図８４、図８５、図８６で説明した実施例では、切り替わりポイントの階調が２の乗数となるとしたが、これは、完全黒階調が階調０とした場合である。階調１を完全黒表示とする場合は、１加算する必要がある。
本発明で重要なのは、複数の電流領域（低電流領域、高電流領域など）を有し、その切り替わりポイントを信号入力が少なく判定（処理）できるように構成することである。その一例として、２の乗数であれば、１信号線を検出するだけでよいからハード規模が極めて小さくなるという技術的思想である。また、その処理を容易にするため、電流源６３４ａを付加する。
負論理であれば、２、４、８・・・ではなく、階調１、３、７、１５・・・で切り替わりポイントとすればよい。また、階調０を完全黒表示としたが、これに限定するものではない。たとえば、６４階調表示であれば、階調６３を完全黒表示状態とし、階調０を最大の白表示としてもよい。この場合は、逆方向に考慮して、切り替わりポイントを処理すればよい。したがって、２の乗数から処理上、異なる構成となる場合がある。
切り替わりポイント（折れ曲がり位置）は、１つのガンマカーブに限定されるものではない。折れ曲がり位置が複数存在しても本発明の回路を構成することができる。たとえば、折れ曲がり位置が階調４と階調１６に設定することができる。また、階調４と階調１６と階調３２というように3ポイント以上に設定することもできる。
以上の実施例は、階調が２の乗数に設定するとして説明をしたが、本発明はこれに限定するものではない。たとえば、２の乗数の２と８（２＋８＝１０階調目、つまり、判定に要する信号線は２本）で折れ曲がり点を設定してもよい。それ以上の、２の乗数の２と８と１６（２＋８＋１６＝２６階調目、つまり、判定に要する信号線は３本）で折れ曲がり点を設定してもよい。この場合は、多少判定あるいは処理に要するハード規模が大きくなるが、回路構成上、、十分に対応することができる。また、以上の説明した事項は本発明の

技術的範疇に含まれることは言うまでもない。
図８７に図示するように、本発明のソースドライバ回路（ＩＣ）１４は３つの部分の電流出力回路７０４から構成されている。高階調領域で動作する高電流領域電流出力回路７０４ａであり、低電流領域および高階調領域で動作する低電流領域電流出力回路７０４ｂであり、嵩上げ電流を出力する低電流領域電流出力回路７０４ｂである。
高電流領域電流出力回路７０４ａと電流嵩上げ電流出力回路７０４ｃは高電流を出力する基準電流源７７１ａを基準電流として動作し、低電流領域電流出力回路７０４ｂは低電流を出力する基準電流源７７１ｂを基準電流として動作する。
先にも説明したが、電流出力回路７０４は、高電流領域電流出力回路７０４ａ、低電流領域電流出力回路７０４ｂ、電流嵩上げ電流出力回路７０４ｃの３つに限定するものではなく、高電流領域電流出力回路７０４ａと低電流領域電流出力回路７０４ｂの２つでもよく、また、３つ以上の電流出力回路７０４から構成してもよい。また、基準電流源７７１はそれぞれの電流領域電流出力回路７０４に対応して配置または形成してもよく、また、すべての電流領域電流出力回路７０４で共通にしてもよい。
以上の電流出力回路７０４が階調データに対応して、内部の単位トランジスタ６３４が動作し、ソース信号線１８から電流を吸収する。前記と単位トランジスタ６３４は、１水平走査期間（１Ｈ）信号に同期して動作する。つまり、１Ｈの期間の間、該当する階調データに基づく電流を入力する（単位トランジスタ６３４がＮチャンネルの場合）。
一方、ゲートドライバ回路１２も１Ｈ信号に同期して、基本的には１本のゲート信号線１７ａを順次選択する。つまり、１Ｈ信号に同期して、第１Ｈ期間にはゲート信号線１７ａ（１）を選択し、第２Ｈ期間にはゲート信号線１７ａ（２）を選択し、第３Ｈ期間にはゲート信号線１７ａ（３）を選択し、第４Ｈ期間にはゲート信号線１７ａ（４）を選択する。
しかし、第１のゲート信号線１７ａが選択されてから、次の第２のゲート信号線１７ａが選択される期間には、どのゲート信号線１７ａも選択されない期間（非選択期間、図８８のｔ１を参照）を設ける。非選択期間は、ゲート信号線１７ａの立ち上がり期間、立下り期間が必要であり、選択トランジスタ１１ｄのオンオフ制御期間を確保するために設ける。
いずれかのゲート信号線１７ａにオン電圧が印加され、画素１６のトランジスタ１１ｂ、選択トランジスタ１１ｃがオンしていれば、Ｖｄｄ電源（アノード電圧）から駆動用トランジスタ１１ａを介して、ソース信号線１８にプログラム電流Ｉｗが流れる。このプログラム電流Ｉｗが単位トランジスタ６３４に流れる（図８８のｔ２期間）。なお、ソース信号線１８には寄生容量Ｃが発生している（ゲート信号線とソース信号線とのクロスポイントの容量などにより寄生容量が発生する）。
しかし、いずれのゲート信号線１７ａも選択されていない（非選択期間　図８８のｔ１期間）はトランジスタ１１ａを流れる電流経路がない。単位トランジスタ６３４は電流を流すから、ソース信号線１８の寄生容量から電荷を吸収する。そのため、ソース信号線１８の電位が低下する（図８８のＡの部分）。ソース信号線１８の電位が低下すると、次の画像データに対応する電流を書き込むのに時間がかかる。
この課題を解決するため、図８９に図示するように、ソース端子７６１との出力端にスイッチ６４１ａを形成する。また、電流嵩上げ電流出力回路７０４ｃの出力段にスイッチ６４１ｂを形成または配置する。
非選択期間ｔ１に、制御端子Ｓ１に制御信号を印加し、スイッチ６４１ａをオフ状態にする。選択期間ｔ２ではスイッチ６４１ａをオン状態（導通状態）にする。オン状態の時にはプログラム電流Ｉｗ＝ＩｗＨ＋ＩｗＬ＋ＩｗＫが流れる。スイッチ６４１ａをオフにするとＩｗ電流は流れない。したがって、図９０に図示するように図８８のＡのような電位に低下する（変化はない）。なお、スイッチ６４１のアナログスイッチ７３１のチャンネル幅Ｗは、１０μｍ以上１００μｍ以下にする。このアナログスイッチのＷ（チャンネル幅）はオン抵抗を低減するために、１０μｍ以上にする必要がある。しかし、あまりＷが大きいと、寄生容量も大きくなるので１００μｍ以下にする。さらに好ましくは、チャン

ネル幅Ｗは１５μｍ以上６０μｍ以下にすることが好ましい。
スイッチ６４１ｂは低階調表示のみに制御するスイッチである。低階調表示（黒表示）時は、画素１６のトランジスタ１１ａのゲート電位はＶｄｄに近くする必要がある（したがって、黒表示では、ソース信号線１８の電位はＶｄｄ近くにする必要がある）。また、黒表示では、プログラム電流Ｉｗが小さく、図８８のＡように一度、電位が低下してしまうと、正規の電位に復帰するのに長時間を要する。
そのため、低階調表示の場合は、非選択期間ｔ１が発生することを避けなくてはならない。逆に、高階調表示では、プログラム電流Ｉｗが大きいため、非選択期間ｔ１が発生しても問題がない場合が多い。したがって、本発明では、高階調表示の画像書き込みでは、非選択期間でもスイッチ６４１ａ、スイッチ６４１ｂの両方をオンさせておく。また、嵩上げ電流ＩｗＫも切断しておく必要がある。極力黒表示を実現するためである。低階調表示の画像書き込みでは、非選択期間ではスイッチ６４１ａをオンさせておき、スイッチ６４１ｂはオフするというように駆動する。スイッチ６４１ｂは端子Ｓ２で制御する。
なお、低階調表示および高階調表示の両方で、非選択期間ｔ１にスイッチ６４１ａをオフ（非導通状態）、スイッチ６４１ｂはオン（導通）させたままにするという駆動を実施してもよい。もちろん、低階調表示および高階調表示の両方で、非選択期間ｔ１にスイッチ６４１ａ、スイッチ６４１ｂの両方をオフ（非導通）させた駆動を実施してもよい。いずれにしても、制御端子Ｓ１、Ｓ２の制御でスイッチ６４１を制御できる。なお、制御端子Ｓ１、Ｓ２はコマンド制御で制御する。
たとえば、制御端子Ｓ２は非選択期間ｔ１をオーバーラップするようにｔ３期間を"０"ロジックレベルとする。このように制御にすることにより、図８８のＡの状態は発生しない。また、階調が一定以上の黒表示レベルの時は、制御端子Ｓ１を"０"ロジックレベルとする。すると、嵩上げ電流ＩｗＫは停止し、より黒表示を実現できる。
通常のドライバＩＣでは、出力近傍に保護ダイオード１６７１が形成されている（図１６７を参照のこと）。保護ダイオード１６７１は、ＩＣ１４外部から静電気でＩＣ１４が破壊されることを防止するために形成される。一般的に保護ダイオード１６７１は出力配線６４３と電源Ｖｃｃ間、出力配線６４３とグランド間に形成される。
保護ダイオード１６７１は、静電気による破壊防止には有効である。しかし、等価回路図的には、コンデンサ（寄生容量）とみなされる。電流駆動方式では、出力端子６４３に寄生容量があると電流書込みが困難になる。
本発明はこの課題を解決する方法である。ソースドライバＩＣ１４は、出力段には保護ダイオード１６７１が形成された状態で製造される。製造されたソースドライバＩＣ１４はアレイ基板７１に積載または配置され、出力端子７６１とソース信号線１８とが接続される。出力端子７６１とソース信号線１８との接続後、図１６９の（ａ）に図示するようにａ点およびｂ点がレーザー光１５０２で切断され、保護ダイオード１６７１が出力配線６４３から切り離される。または、図１６９の（ｂ）に図示するように、ｃ点およびｄ点にレーザー光１５０２が照射され、切断される。したがって、保護ダイオード１６７１がフローティング状態となる。
以上のように保護ダイオード１６７１が出力配線６４３から切り離されることにより、または、保護ダイオード１６７１をフローティング状態にすることにより、保護ダイオード１６７１による寄生容量の発生を防止でき、また、ＩＣ１４の実装後に、保護ダイオード１６７１が出力配線６４３から切り離されることにより、または、保護ダイオード１６７１をフローティング状態にするため、静電気による破壊の問題も発生しない。
なお、レーザー光１５０２の照射は、図１６８に図示するように、アレイ基板７１の裏面から行う。アレイ基板７１はガラス基板であり、光透過性を有する。したがって、レーザー光１５０２はアレイ基板７１を透過することができる。
以上の実施例は、表示パネルに１つのソースドライバＩＣ１４を積載することを前提にした実施例として説明した。しかし、本発明はこの構成に限定されるものではない。ソースドライバＩＣ１４を１つの表示パネルに複数積載する構成でもよい。たとえば、図９３は３つのソースドライバＩＣ１４を積載した表示パネルの実施例である。

図８２でも説明したように、本発明の電流駆動方式のソースドライバ回路（ＩＣ）１４は複数のドライバＩＣ１４を用いることに対応している。そのため、スレーブ／マスター（Ｓ／Ｍ）端子を具備している。Ｓ／Ｍ端子をＨレベルにすることによりマスターチップとして動作し、基準電流出力端子（図示せず）から、基準電流を出力する。もちろん、Ｓ／Ｍ端子のロジックは逆極性でもよい。

スレーブ／マスター（Ｓ／Ｍ）の切り替えは、ソースドライバＩＣ１４へのコマンドにより切り替えても良い。基準電流はカスケード電流接続線９３１で伝達される。Ｓ／Ｍ端子をＬレベルにすることによりＩＣ１４はスレーブチップとして動作し、基準電流入力端子（図示せず）から、マスターチップの基準電流を受け取る。この電流が図７３、図７４のＩＮＬ、ＩＮＨ端子に流れる電流となる。

一例として、基準電流はＩＣチップ１４の中央部（真中部分）の電流出力回路７０４で発生させる。マスターチップの基準電流は外部から外付け抵抗、あるいはＩＣ内部に配置あるいは構成された電流きざみ方式の電子ボリウムにより、基準電流が調整されて印加される。

なお、ＩＣチップ１４の中央部にはコントロール回路（コマンドデコーダなど）なども形成（配置）される。基準電流源をチップの中央部に形成するのは、基準電流発生回路とプログラム電流出力端子７６１までの距離を極力短くするためである。

図９３の構成では、マスターチップ１４ｂより基準電流が２つのスレーブチップ（１４ａ、１４ｃ）に伝達される。スレーブチップは基準電流を受け取り、この電流を基準として、親、子、孫電流を発生させる。なお、マスターチップ１４ｂがスレーブチップに受け渡す基準電流は、カレントミラー回路の電流受け渡しにより行う（図６７を参照のこと）。電流受け渡しを行うことにより、複数のチップで基準電流のずれはなくなり、画面の分割線が表示されなくなる。

図９４は基準電流の受け渡し端子位置を概念的に図示している。ＩＣチップの中央部に配置されて信号入力端子９４１ｉに基準電流信号線９３２が接続されている。この基準電流信号線９３２に印加される電流（なお、電圧の場合もある。図７６を参照のこと）は、ＥＬ材料の温特補償がされている。また、ＥＬ材料の寿命劣化による補償がされている。

基準電流信号線９３２に印加された電流（電圧）に基づき、チップ１４内で各電流源（６３１、６３２、６３３、６３４）を駆動する。この基準電流がカレントミラー回路を介して、スレーブチップへの基準電流として出力される。スレーブチップへの基準電流は端子９４１ｏから出力される。端子９４１ｏは基準電流発生回路７０４の左右に少なくとも１個以上配置（形成）される。図９４では、左右に２個ずつ配置（形成）されている。この基準電流が、カスケード信号線９３１ａ１、９３１ａ２、９３１ｂ１、９３１ｂ２でスレーブチップ１４に伝達される。なお、スレーブチップ１４ａに印加された基準電流を、マスターチップ１４ｂにフィードバックし、ずれ量を補正するように回路を構成してもよい。

有機ＥＬ表示パネルをモジュール化する際、問題となる事項に、アノード配線９５１、カソード配線の引き回し（配置）の抵抗値の課題がある。有機ＥＬ表示パネルは、ＥＬ素子１５の駆動電圧が比較的低いかわりに、ＥＬ素子１５に流れる電流が大きい。そのため、ＥＬ素子１５に電流を供給するアノード配線、カソード配線を太くする必要がある。一例として、２インチクラスのＥＬ表示パネルでも高分子ＥＬ材料では、２００ｍＡ以上の電流をアノード配線９５１に流す必要がある。そのため、アノード配線９５１の電圧降下を防止するため、アノード配線は１Ω以下の低抵抗化する必要がある。しかし、アレイ基板７１では、配線は薄膜蒸着で形成するため、低抵抗化は困難である。そのため、パターン幅を太くする必要がある。しかし、２００ｍＡの電流をほとんど電圧降下なしで伝達するためには、配線幅が２ｍｍ以上となるという課題があった。

図１０５は従来のＥＬ表示パネルの構成である。表示画面５０の左右に内蔵ゲートドライバ回路１２ａ、１２ｂが形成（配置）されている。また、ソースドライバ回路１４ｐも画素１６のトランジスタと同一プロセスで形成されている（内蔵ソースドライバ回路）。

アノード配線９５１はパネルの右側に配置されている。アノード配線９５１にはＶｄｄ電

圧が印加されている。アノード配線９５１幅は一例として２ｍｍ以上である。アノード配線９５１は画面の下端から画面の上端に分岐されている。分岐数は画素列数である。たとえば、ＱＣＩＦパネルでは、１７６列×ＲＧＢ＝５２８本である。一方、ソース信号線１８は内蔵ソースドライバ回路１４ｐから出力されている。ソース信号線１８は画面の上端から画面の下端に配置（形成）されている。また、内蔵ゲートドライバ回路１２の電源配線１０５１も画面の左右に配置されている。

したがって、表示パネルの右側の額縁は狭くすることができない。現在、携帯電話などに用いる表示パネルでは、狭額縁化が重要である。また、画面の左右の額縁を均等にすることが重要である。しかし、図１０５の構成では、狭額縁化が困難である。

この課題を解決するため、本発明の表示パネルでは、図１０６に図示するように、アノード配線９５１はソースドライバＩＣ１４の裏面に位置する箇所、かつアレイ表面に配置（形成）している。ソースドライバ回路（ＩＣ）１４は半導体チップで形成（作製）し、ＣＯＧ（チップオンガラス）技術でアレイ基板７１に実装している。ソースドライバＩＣ１４化にアノード配線９５１を配置（形成）できるのは、チップ１４の裏面に基板に垂直方向に１０μｍ～３０μｍの空間があるからである。

図１０５のように、ソースドライバ回路１４ｐをアレイ基板７１に直接形成すると、マスク数の問題、あるいは歩留まりの問題、ノイズの問題からソースドライバ回路１４ｐの下層あるいは上層にアノード配線（ベースアノード線、アノード電圧線、基幹アノード線）９５１を形成することは困難である。

また、図１０６に図示するように、共通アノード線９６２を形成し、ベースアノード線９５１と共通アノード線９６２とを接続アノード線９６１で短絡させている。特に、ＩＣチップの中央部の接続アノード線９６１を形成した点がポイントである。接続アノード線９６１を形成することにより、ベースアノード線９５１と共通アノード線９６２間の電位差がなくなる。また、アノード配線９５２を共通アノード線９６２から分岐している点がポイントである。以上の構成を採用することにより、図１０５のようにアノード配線９５１の引き回しがなくなり、狭額縁化を実現できる。

共通アノード線９６２が長さ２０ｍｍとし、配線幅が１５０μｍとし、配線のシート抵抗を０．０５Ω／□とすれば、抵抗値は２００００（μｍ）／１５０（μｍ）×０．０５Ω＝約７Ωになる。共通アノード線９６２の両端を接続アノード線９６１ｃでベースアノード線９５１と接続すれば、共通アノード線９６２には両側給電されるから、見かけ上の抵抗値は、７Ω／２＝３．５Ωとなり、また、集中分布乗数に置きなおすと、さらに、見かけ上の共通アノード線９６２の抵抗値は１／２となるから、少なくとも２Ω以下となる。アノード電流が１００ｍＡであっても、この共通アノード線９６２での電圧降下は、０．２Ｖ以下となる。さらに、中央部の接続アノード線９６１ｂで短絡すれば電圧降下は、ほとんど発生しないようにすることができるのである。

本発明はベースアノード線９５１をＩＣ１４下に形成すること、共通アノード線９６２を形成し、この共通アノード線９６２とベースアノード線９５１とを電気的に接続すること（接続アノード線９６１）、共通アノード線９６２からアノード配線９５２を分岐させることである。

なお、本発明では、画素構成は図１を例示して説明をする。そのため、カソード電極をべた電極（画素１６に共通の電極）とし、アノードを配線で引き回すとして説明をする。しかし、駆動用トランジスタ１１ａの構成（ＮチャンネルかＰチャンネルか）、画素構成によっては、アノードをべた電極とし、カソードを配線により引き回す必要がある場合もある。したがって、本発明はアノードを引き回すことに限定するものではない。引き回す必要があるアノードまたはカソードに関する発明である。したがって、カソードを配線として引き回す構成である場合は、本発明で記載するアノードをカソードと読み替えればよい。

アノード線（ベースアノード線９５１、共通アノード線９６２、接続アノード線９６１、アノード配線９５２など）を低抵抗化するため、薄膜の配線を形成後、あるいはパターニング前に、無電解メッキ技術、電解メッキ技術などを用いて、導電性材料を積層し厚膜化

してもよい。厚膜化することにより、配線の断面積が広くなり、低抵抗化することができる。以上の事項はカソードに関しても同様である。また、ゲート信号線１７、ソース信号線１８にも適用することができる。
共通アノード線９６２を形成し、この共通アノード線９６２を接続アノード線９６１で両側給電を行う構成の効果は高く、また、中央部に接続アノード線９６１ｂ（９６１ｃ）を形成することによりさらに効果が高くなる。また、ベースアノード線９５１、共通アノード線９６２、接続アノード線９６１でループを構成しているため、ＩＣ１４に入力される電界を抑制することができる。
共通アノード線９６２とベースアノード線９５１は同一金属材料で形成し、また、接続アノード線９６１も同一金属材料で形成することが好ましい。また、これらのアノード線は、アレイを形成する最も抵抗値の低い金属材料あるいは構成で実現する。一般的に、ソース信号線１８の金属材料および構成（ＳＤレイヤ）で実現する。共通アノード線９６２とソース信号線１８とが交差する箇所は、同一材料で形成することはできない。したがって、交差する箇所は他の金属材料（ゲート信号線１７と同一材料および構成、ＧＥレイヤー）で形成し、絶縁膜で電気的に絶縁する。もちろん、アノード線は、ソース信号線１８の構成材料からなる薄膜と、ゲート信号線１７の構成材料からなる薄膜とを積層して構成してもよい。
なお、ソースドライバＩＣ１４の裏面にアノード配線（カソード配線）などのＥＬ素子１５に電流を供給する配線を敷設する（配置する、形成する）としたが、これに限定するものではない。たとえば、ゲートドライバ回路１２をＩＣチップで形成し、このＩＣをＣＯＧ実装してもよい。このゲートドライバＩＣ１２の裏面にアノード配線、カソード配線を配置（形成）する。
以上のように本発明は、ＥＬ表示装置などにおいて、駆動ＩＣを半導体チップで形成（作製）し、このＩＣをアレイ基板７１などの基板に直接実装し、かつ、ＩＣチップの裏面の空間部にアノード配線、カソード配線などの電源あるいはグランドパターンを形成（作製）するものである。
以上の事項を他の図面を使用しながらさらに詳しく説明をする。図９５は本発明の表示パネルの一部の説明図である。図９５において、点線がＩＣチップ１４を配置する位置である。つまり、ベースアノード線（アノード電圧線つまり分岐まえのアノード配線）がＩＣチップ１４の裏面かつアレイ基板７１上に形成（配置）されている。なお、本発明の実施例において、ＩＣチップ（１２、１４）の裏面に分岐前のアノード配線９５１を形成するとして説明するが、これは説明を容易にするためである。たとえば、分岐前のアノード配線９５１のかわりに分岐前のカソード配線あるいはカソード膜を形成（配置）してもよい。その他、ゲートドライバ回路１２の電源配線１０５１を配置または形成してもよい。
ＩＣチップ１４はＣＯＧ技術により電流出力（電流入力）端子７４１とアレイ基板７１に形成された接続端子９５３とが接続される。接続端子９５３はソース信号線１８の一端に形成されている。また、接続端子９５３は９５３ａと９５３ｂというように千鳥配置である。なお、ソース信号線の一端には接続端子９５３が形成され、他の端にもチェック用の端子電極が形成されている。
また、本発明のＩＣチップは電流駆動方式のドライバＩＣ（電流で画素にプログラムする方式）としたが、これに限定するものではない。たとえば、図４３、図５３などの電圧プログラムの画素を駆動する電圧駆動方式のドライバＩＣを積載したＥＬ表示パネル（装置）などにも適用することができる。
接続端子９５３ａと９５３ｂ間にはアノード配線９５２（分岐後のアノード配線）が配置される。つまり、太く、低抵抗のベースアノード線９５１から分岐されたアノード配線９５２が接続端子９５３間に形成され、画素１６列に沿って配置されている。したがって、アノード配線９５２とソース信号線１８とは平行に形成（配置）される。以上のように構成（形成）することにより、図１０５のようにベースアノード線９５１を画面横に引き回すことなく、各画素にＶｄｄ電圧を供給できる。
図９６はさらに、具体的に図示している。図９５との差異は、アノード配線を接続端子９

５３間に配置せず、別途形成した共通アノード線９６２から分岐させた点である。共通アノード線９６２とベースアノード線９５１とは接続アノード線９６１で接続している。
図９６はＩＣチップ１４を透視して裏面の様子を図示したように記載している。ＩＣチップ１４は出力端子７６１にプログラム電流Ｉｗを出力する電流出力回路７０４が配置されている。基本的に、出力端子７６１と電流出力回路７０４は規則正しく配置されている。ＩＣチップ１４の中央部には親電流源の基本電流を作製する回路、コントロール（制御）回路が形成されている。そのため、ＩＣチップの中央部には出力端子７６１が形成されていない。電流出力回路７０４がＩＣチップの中央部に形成できないからである。
本発明では、図９６の高電流領域電流出力回路７０４ａ部には出力端子７６１をＩＣチップに作製していない。出力回路がないからである。なお、ソースドライバなどのＩＣチップの中央部に、コントロール回路などが形成され、出力回路が形成されていない事例は多い。本発明のＩＣチップはこの点に着眼し、ＩＣチップの中央部に出力端子７６１を形成（配置）していない。もちろん、ＩＣチップの中央部に出力端子７６１を形成（配置）する場合はこの限りでない。
本発明では、ＩＣチップの中央部に接続アノード線９６１を形成している。ただし、接続アノード線９６１はアレイ基板７１面に形成されていることはいうまでもない。接続アノード線９６１の幅は、５０μｍ以上１０００μｍ以下にする。また、長さに対する抵抗（最大抵抗）値は、１００Ω以下になるようにする。
接続アノード線９６１でベースアノード線９５１と共通アノード線９６２とをショートすることにより、共通アノード線９６２に電流が流れることにより発生する電圧降下を極力抑制する。つまり、本発明の構成要素である接続アノード線９６１はＩＣチップの中央部に出力回路がない点を有効に利用しているのである。また、従来、ＩＣチップの中央部にダミーパッドとして形成されている出力端子７６１を削除することにより、このダミーパッドと接続アノード線９６１が接触することによる、ＩＣチップが電気的に影響をあたえることを防止している。
ただし、このダミーパッドがＩＣチップのベース基板（チップのグランド）、他の構成と電気的に絶縁されている場合は、ダミーパッドが接続アノード線９６１と接触しても全く問題がない。したがって、ダミーパッドをＩＣチップの中央部に形成したままでもよいことは言うまでもない。
さらに具体的には、図９９のように接続アノード線９６１、共通アノード線９６２は形成（配置）されている。まず、接続アノード線９６１は太い部分（９６１ａ）と細い部分（９６１ｂ）がある。太い部分（９６１ａ）は抵抗値を低減するためである。細い部分（９６１ｂ）は、出力端子９６３間に接続アノード線９６１ｂを形成し、共通アノード線９６２と接続するためである。
また、ベースアノード線９５１と共通アノード線９６２との接続は、中央部の接続アノード線９６１ｂだけでなく、左右の接続アノード線９６１ｃでもショートしている。つまり、共通アノード線９６２とベースアノード線９５１とは３本の接続アノード線９６１でショートされている。この構成により共通アノード線９６２に大きな電流が流れても共通アノード線９６２で電圧降下が発生しにくい。これは、ＩＣチップ１４は通常、幅が２ｍｍ以上あり、このＩＣ１４下に形成されたベースアノード線９５１の線幅を太く（低インピーダンス化できる）できるからである。そのため、低インピーダンスのベースアノード線９５１と共通アノード線９６２とを複数箇所で接続アノード線９６１によりショートしているため、共通アノード線９６２の電圧降下は小さくなるのである。
以上のように共通アノード線９６２での電圧降下を小さくできるのは、ＩＣチップ１４下にベースアノード線９５１を配置（形成）できる点、ＩＣチップ１４の左右の位置を用いて、接続アノード線９６１ｃを配置（形成）できる点、ＩＣチップ１４の中央部に接続アノード線９６１ｂを配置（形成）できる点にある。
また、図９９では、ベースアノード線９５１とカソード電源線（ベースカソード線）９９１とを絶縁膜１０２を介して積層させている。この積層した箇所がコンデンサを形成する。この構成をアノードコンデンサ構成と呼ぶ。このコンデンサは、電源パスコンデンサと

して機能する。したがって、ベースアノード線９５１の急激な電流変化を吸収することができる。コンデンサの容量は、ＥＬ表示装置の表示面積をＳ平方ミリメートルとし、コンデンサの容量をＣ（ｐＦ）としたとき、Ｍ／２００≦Ｃ≦Ｍ／１０以下の関係を満足させることがよい。さらには、Ｍ／１００≦Ｃ≦Ｍ／２０以下の関係を満足させることがよい。Ｃが小さいと電流変化を吸収することが困難であり、大きいとコンデンサの形成面積が大きくなりすぎ実用的でない。

なお、図９９などの実施例では、ＩＣチップ１４下にベースアノード線９５１を配置（形成）するとしたが、アノード線をカソード線としてもよいことは言うまでもない。また、図９９において、ベースカソード線９９１とベースアノード線９５１とを入れ替えても良い。本発明の技術的思想は、ドライバを半導体チップで形成し、かつ半導体チップをアレイ基板７１もしくはフレキシブル基板に実装し、半導体チップの下面にＥＬ素子１５などの電源あるいはグランド電位（電流）を供給する配線などを配置（形成）する点にある。したがって、半導体チップは、ソースドライバＩＣ１４に限定されるものではなく、ゲートドライバ回路１２でもよく、また、電源ＩＣでもよい。また、半導体チップをフレキシブル基板に実装し、このフレキシブル基板面かつ半導体チップの下面にＥＬ素子１５などの電源あるいはグランドパターンを配線（形成）する構成も含まれる。もちろん、ソースドライバＩＣ１４とゲートドライバＩＣ１２の両方を、半導体チップで構成し、アレイ基板７１にＣＯＧ実装を行っても良い。そして、前記チップの下面に電源あるいはグランドパターンを形成してもよい。また、ＥＬ素子１５への電源あるいはグラントパターンとしたがこれに限定するものではなく、ソースドライバ回路４への電源配線、ゲートドライバ回路１２への電源配線でもよい。また、ＥＬ表示装置に限定されるものではなく、液晶表示装置にも適用できる。その他、ＦＥＤ、ＰＤＰなど表示パネルにも適用することができる。以上の事項は、本発明の他の実施例でも同様である。

図９７は本発明の他の実施例である。主な図９５、図９６、図９９との差異は図９５が出力端子９５３間にアノード配線９５２を配置したのに対し、図９７では、ベースアノード配線９５１から多数（複数）の細い接続アノード線９６１ｄを分岐させ、この接続アノード線９６１ｄを共通アノード線９６２とをショートした点である。また、細い接続アノード線９６１ｄと接続端子９５３と接続されたソース信号線１８とを絶縁膜１０２を介して積層した点である。

アノード線９６１ｄはベースアノード線９５１とコンタクトホール９７１ａで接続を取り、アノード配線９５２は共通アノード線９６２とコンタクトホール９７１ｂで接続を取っている。他の点（接続アノード線９６１ａ、９６１ｂ、９６１ｃ、アノードコンデンサ構成など）などは図９６、図９９と同様であるので説明を省略する。

図９９のａａ'線での断面図を図９８に図示する。図９８の（ａ）では、略同一幅のソース信号線１８を接続アノード線９６１ｄが絶縁膜１０２ａを介して積層されている。

絶縁膜１０２ａの膜厚は、５００オングストローム以上３０００オングストローム（Å）以下にする。さらに好ましくは、８００オングストローム以上２０００オングストローム（Å）以下にする。膜厚が薄いと、接続アノード線９６１ｄとソース信号線１８との寄生容量が大きくなり、また、接続アノード線９６１ｄとソース信号線１８との短絡が発生しやすくなり好ましくない。逆に厚いと絶縁膜の形成時間に長時間を要し、製造時間が長くなりコストが高くなる。また、上側の配線の形成が困難になる。

絶縁膜１０２は、ポリビフェーニールアルコール（ＰＶＡ）樹脂、エポキシ樹脂、ポリプロピレン樹脂、フェノール樹脂、アクリル系樹脂、ポリイミド樹脂などの有機材料と同一材料が例示され、その他、SiO_2、ＳｉＮｘなどの無機材料が例示される。その他、Al_2O_3、Ta_2O_3などであってもよいことは言うまでもない。また、図９８の（ａ）に図示するように、最表面には絶縁膜１０２ｂを形成し、配線９６１などの腐食、機械的損傷を防止させる。

図９８の（ｂ）では、ソース信号線１８の上にソース信号線１８よりも線幅の狭い接続アノード線９６１ｄが絶縁膜１０２ａを介して積層されている。以上のように構成することにより、ソース信号線１８の段差によるソース信号線１８と接続アノード線９６１ｄとの

ショートを抑制することができる。図９８の（ｂ）の構成では、接続アノード線９６１ｄの線幅は、ソース信号線１８の線幅よりも０．５μｍ以上狭くすることが好ましい。さらには、接続アノード線９６１ｄの線幅は、ソース信号線１８の線幅よりも０．８μｍ以上狭くすることが好ましい。

図９８の（ｂ）では、ソース信号線１８の上にソース信号線１８よりも線幅の狭い接続アノード線９６１ｄが絶縁膜１０２ａを介して積層されているとしたが、図９８の（ｃ）に図示するように、接続アノード線９６１ｄの上に接続アノード線９６１ｄよりも線幅の狭いソース信号線１８が絶縁膜１０２ａを介して積層するとしてもよい。他の事項は他の実施例と同様であるので説明を省略する。

図１００はＩＣチップ１４部の断面図である。基本的には図９９の構成を基準にしているが、図９６、図９７などでも同様に適用できる。もしくは類似に適用できる。

図１００の（ｂ）は図９９のＡＡ'での断面図である。図１００の（ｂ）でも明らかなように、ＩＣチップの１４の中央部には出力パッド７６１が形成（配置）されていない。この出力パッドと、表示パネルのソース信号線１８とが接続される。出力パッド７６１は、メッキ技術あるいはネイルヘッドボンダ技術によりバンプ（突起）が形成されている。突起の高さは１０μｍ以上４０μｍ以下の高さにする。もちろん、金メッキ技術（電解、無電解）により突起を形成してもよいことは言うまでもない。

前記突起と各ソース信号線１８とは導電性接合層（図示せず）を介して電気的に接続されている。導電性接合層は接着剤としてエポキシ系、フェノール系等を主剤とし、銀（Ａｇ）、金（Ａｕ）、ニッケル（Ｎｉ）、カーボン（Ｃ）、酸化錫（SnO_2）などのフレークを混ぜた物、あるいは紫外線硬化樹脂などである。導電性接合層（接続樹脂）１００１は、転写等の技術でバンプ上に形成する。または、突起とソース信号線１８とをＡＣＦ樹脂１００１で熱圧着される。

なお、突起あるいは出力パッド７６１とソース信号線１８との接続は、以上の方式に限定するものではない。また、アレイ基板上にＩＣ１４を積載せず、フィルムキャリヤ技術を用いてもよい。また、ポリイミドフィルム等を用いてソース信号線１８などと接続しても良い。図１００の（ａ）はソース信号線１８と共通アノード線９６２とが重なっている部分の断面図である（図９８を参照のこと）。

共通アノード線９６２からアノード配線９５２が分岐されている。アノード配線９５２はＱＣＩＦパネルの場合は、１７６×ＲＧＢ＝５２８本である。アノード配線９５２を介して、図１などで図示するＶｄｄ電圧（アノード電圧）が供給される。１本のアノード配線９５２には、ＥＬ素子１５が低分子材料の場合は、最大で２００μＡ程度の電流が流れる。したがって、共通アノード線９６２には、２００μＡ×５２８で約１００ｍＡの電流が流れる。

したがって、共通アノード線９６２での電圧降下を０．２（Ｖ）以内にするには、電流が流れる最大経路の抵抗値が２Ω（１００ｍＡ流れるとして）以下にする必要がある。本発明では、図９９に示すように3箇所に接続アノード線９６１を形成しているので、集中分布回路におきなおすと、共通アノード線９６２の抵抗値は容易に極めて小さく設計することができる。また、図９７のように多数の接続アノード線９６１ｄを形成すれば、共通アノード線９６２での電圧降下は、ほぼなくなる。

問題となるのは、共通アノード線９６２とソース信号線１８との重なり部分における寄生容量（共通アノード寄生容量と呼ぶ）の影響である。基本的に、電流駆動方式では、電流を書き込むソース信号線１８に寄生容量があると黒表示電流を書き込みにくい。したがって、寄生容量は極力小さくする必要がある。

共通アノード寄生容量は、少なくとも１ソース信号線１８が表示領域内で発生する寄生容量（表示寄生容量と呼ぶ）の１／１０以下にする必要がある。たとえば、表示寄生容量が１０（ｐＦ）であれば、１（ｐＦ）以下にする必要がある。さらに好ましくは、表示寄生容量の１／２０以下にする必要がある。表示寄生容量が１０（ｐＦ）であれば、０．５（ｐＦ）以下にする必要がある。この点を考慮して、共通アノード線９６２の線幅（図１０３のＭ）、絶縁膜１０２の膜厚（図１０１を参照）を決定する。

ベースアノード線９５１はＩＣチップ１４の下に形成（配置）する。形成する線幅は、低抵抗化の観点から、極力太い方がよいことは言うまでのない。その他、ベースアノード配線９５１は遮光の機能を持たせることが好ましい。
この説明図を図１０２に図示している。なお、ベースアノード配線９５１を金属材料で所定膜厚形成すれば、遮光の効果があることはいうまでもない。また、ベースアノード線９５１が太くできない時、あるいは、ＩＴＯなどの透明材料で形成するときは、ベースアノード線９５１に積層して、あるいは多層に、光吸収膜あるいは光反射膜をＩＣチップ１４下（基本的にはアレイ基板７１の表面）に形成する。また、図１０２の遮光膜（ベースアノード線９５１）は、完全な遮光膜であることを必要としない。部分に開口部があってもよい。また、回折効果、散乱効果を発揮するものでもよい。また、ベースアノード線９５１に積層させて、光学的干渉多層膜からなる遮光膜を形成または配置してもよい。
もちろん、アレイ基板７１とＩＣチップ１４との空間に、金属箔あるいは板あるいはシートからなる反射板（シート）、光吸収板（シート）を配置あるいは挿入あるいは形成してもよいことは言うまでもない。また、金属箔に限定されず、有機材料あるいは無機材料からなる箔あるいは板あるいはシートからなる反射板（シート）、光吸収板（シート）を配置あるいは挿入あるいは形成してもよいことは言うまでもない。また、アレイ基板７１とＩＣチップ１４との空間に、ゲルあるいは液体からなる光吸収材料、光反射材料を注入あるいは配置してもよい。さらに前記ゲルあるいは液体からなる光吸収材料、光反射材料を加熱により、あるいは光照射により硬化させることが好ましい。なお、ここでは説明を容易にするために、ベースアノード線９５１を遮光膜（反射膜）にするとして説明をする。
図１０２のように、ベースアノード線９５１はアレイ基板７１の表面に形成される（なお、表面に限定するものではない。遮光膜／反射膜とするという思想を満足させるためには、ＩＣチップ１４の裏面に光が入射しなければよいのである。したがって、アレイ基板７１の内面あるいは内層にベースアノード線９５１などを形成してもよいことは言うまでもない。また、アレイ基板７１の裏面にベースアノード線９５１（反射膜、光吸収膜として機能する構成または構造）を形成することにより、ＩＣ１４に光が入射することを防止または抑制できるのであれば、アレイ基板７１の裏面でもよい）。
また、図１０２などでは、遮光膜などはアレイ基板７１に形成するとしたがこれに限定するものではなく、ＩＣチップ１４の裏面に直接に遮光膜などを形成してもよい。この場合は、ＩＣチップ１４の裏面に絶縁膜１０２（図示せず）を形成し、この絶縁膜上に遮光膜もしくは反射膜などを形成する。また、ソースドライバ回路１４がアレイ基板７１に直接に形成する構成（低温ポリシリコン技術、高温ポリシリコン技術、固相成長技術、アモルファスシリコン技術によるドライバ構成）の場合は、遮光膜、光吸収膜あるいは反射膜をアレイ基板７１に形成し、その上にドライバ回路１４を形成（配置）すればよい。
ＩＣチップ１４には電流源６３４など、微少電流を流すトランジスタ素子が多く形成されている（図１０２の回路形成部１０２１）。微少電流を流すトランジスタ素子（単位トランジスタ６３４など）に光が入射すると、ホトコンダクタ現象が発生し、出力電流（プログラム電流Ｉｗ）、親電流量、子電流量などが異常な値（バラツキが発生するなど）となる。特に、有機ＥＬなどの自発光素子は、アレイ基板７１内でＥＬ素子１５から発生した光が乱反射するため、表示画面５０以外の箇所から強い光が放射される。この放射された光が、ＩＣチップ１４の回路形成部１０２１に入射するとホトコンダクタ現象を発生する。したがって、ホトコンダクタ現象の対策は、ＥＬ表示デバイスに特有課題の対策である。
この課題に対して、本発明では、ベースアノード線９５１をアレイ基板７１上に構成し、遮光膜とする。ベースアノード線９５１の形成領域は図１０２に図示するように、回路形成部１０２１を被覆するようにする。以上のように、遮光膜（ベースアノード線９５１）を形成することにより、ホトコンダクタ現象を完全に防止できる。特にベースアノード配線９５１などのＥＬ電源線は、画面書き換えに伴い、電流がながれて電位が多少変化する。しかし、電位の変化量は、１Ｈタイミングで少しずつ変化するため、グランド電位（電位変化しないという意味）として見なせる。したがって、ベースアノード線９５１あるい

はベースカソード線は、遮光の機能だけでなく、シールドの効果も発揮する。
有機ＥＬなどの自発光素子は、アレイ基板７１内でＥＬ素子１５から発生した光が乱反射するため、表示画面５０以外の箇所から強い光が放射される。この乱反射光を防止あるいは抑制するため、図１０１に図示するように、画像表示に有効な光が通過しない箇所（無効領域）に光吸収膜１０１１を形成する（逆に有効領域とは、表示画面５０をその近傍）。光吸収膜を形成する箇所は、封止フタ８５の外面（光吸収膜１０１１ａ）、封止フタ８５の内面（光吸収膜１０１１ｃ）、基板７０の側面（光吸収膜１０１１ｄ）、基板の画像表示領域以外（光吸収膜１０１１ｂ）などである。なお、光吸収膜に限定するものではなく、光吸収シートを取り付けてもよく、また、光吸収壁でもよい。また、光吸収の概念には、光を散乱させることにより、光を発散させる方式あるいは構造も含まれる、また、広義には反射により光を封じこめる方式あるいは構成も含まれる。
光吸収膜を構成する物質としては、アクリル樹脂などの有機材料にカーボンを含有させたもの、黒色の色素あるいは顔料を有機樹脂中に分散させたもの、カラーフィルターの様にゼラチンやカゼインを黒色の酸性染料で染色したものが例示される。その他、単一で黒色となるフルオラン系色素を発色させて用いたものでもよく、緑色系色素と赤色系色素とを混合した配色ブラックを用いることもできる。また、スパッタにより形成されたＰｒＭｎO_3膜、プラズマ重合により形成されたフタロシアニン膜等が例示される。
以上の材料はすべて黒色の材料であるが、光吸収膜としては、表示素子が発生する光色に対し、補色の関係の材料を用いても良い。例えば、カラーフィルター用の光吸収材料を望ましい光吸収特性が得られるように改良して用いれば良い。基本的には前記した黒色吸収材料と同様に、色素を用いて天然樹脂を染色したものを用いても良い。また、色素を合成樹脂中に分散した材料を用いることができる。色素の選択の範囲は黒色色素よりもむしろ幅広く、アゾ染料、アントラキノン染料、フタロシアニン染料、トリフェニルメタン染料などから適切な１種、もしくはそれらのうち２種類以上の組み合わせでも良い。
また、光吸収膜としては金属材料を用いてもよい。たとえば、六価クロムが例示される。六価クロムは黒色であり、光吸収膜として機能する。その他、オパールガラス、酸化チタンなどの光散乱材料であってもよい。光を散乱させることにより、結果的に光を吸収することに等価となる場合も多い。
なお、封止フタ８５は、４μｍ以上１５μｍ以下の樹脂ビーズ１０１２を含有させた封止樹脂１０３１を用いて、アレイ基板７１と封止フタ８５とを接着する。封止フタ８５は加圧せずに配置し、固定する。
図９９の実施例は、共通アノード線９６２をＩＣチップ１４の近傍に形成（配置）するように図示したが、これに限定するものではない。たとえば、図１０３に図示するように、表示画面５０の近傍に形成してもよい。また、形成することが好ましい。なぜならば、ソース信号線１８とアノード配線９５２とが短距離で、かつ平行して配置（形成）する部分が減少するからである。ソース信号線１８とアノード配線９５２とが短距離で、かつ平行に配置されると、ソース信号線１８とアノード配線９５２間に寄生容量が発生するからである。図１０３のように、表示画面５０の近傍に共通アノード線９６２を配置するとその問題点はなくなる。表示画面５０から共通アノード線９６２の距離Ｋ（図１０３を参照）は、１ｍｍ以下にすることが好ましい。
共通アノード線９６２は、極力低抵抗化するため、ソース信号線１８を形成する金属材料で形成することが好ましい。本発明では、Ｃｕ薄膜、Ａｌ薄膜あるいはＴｉ／Ａｌ／Ｔｉの積層構造、あるいは合金もしくはアマンガムからなる金属材料（ＳＤメタル）で形成している。したがって、ソース信号線１８と共通アノード線９６２が交差する箇所はショートすることを防止するため、ゲート信号線１７を構成する金属材料（ＧＥメタル）に置き換える。ゲート信号線は、Ｍｏ／Ｗの積層構造からなる金属材料で形成している。
一般的に、ゲート信号線１７のシート抵抗は、ソース信号線１８のシート抵抗より高い。これは、液晶表示装置で一般的である。しかし、有機ＥＬ表示パネルにおいて、かつ電流駆動方式では、ソース信号線１８を流れる電流は１～５μＡと微少である。したがって、ソース信号線１８の配線抵抗が高くとも電圧降下はほとんど発生せず、良好な画像表示を

実現できる。液晶表示装置においては、電圧でソース信号線１８に画像データを書き込む。したがって、ソース信号線１８の抵抗値が高いと画像を１水平走査期間に書き込むことができない。
しかし、本発明の電流駆動方式では、ソース信号線１８の抵抗値が高く（つまり、シート抵抗値が高い）とも、課題とはならない。したがって、ソース信号線１８のシート抵抗は、ゲート信号線１７のシート抵抗より高くともよい。したがって、本発明のＥＬ表示パネルにおいて図１０４に図示するように、ソース信号線１８をＧＥメタルで作製（形成）し、ゲート信号線１７をＳＤメタルで作製（形成）してもよい（液晶表示パネルと逆）。広義には、電流駆動方式のＥＬ表示パネルにおいて、ソース信号線１８の配線抵抗は、ゲート信号線１７の配線抵抗よりも高くした構成であることに特徴を有する。
図１０７は、図９９、図１０３の構成に加えて、ゲートドライバ回路１２を駆動する電源配線１０５１を配置した構成である。電源配線１０５１はパネルの表示画面５０の右端→下辺→表示画面５０の左端に引き回している。つまり、ゲートドライバ回路１２ａと１２ｂの電源とは同一になっている。
しかし、ゲート信号線１７ａを選択するゲートドライバ回路１２ａ（ゲート信号線１７ａは選択トランジスタ１１ｂ、選択トランジスタ１１ｃを制御する）と、ゲート信号線１７ｂを選択するゲートドライバ回路１２ｂ（ゲート信号線１７ｂはトランジスタ１１ｄを制御し、ＥＬ素子１５に流れる電流を制御する）とは、電源電圧を異ならせることが好ましい。特に、ゲート信号線１７ａの振幅（オン電圧－オフ電圧）は小さいことが好ましい。ゲート信号線１７ａの振幅が小さくなるほど、画素１６のコンデンサ１９への突き抜け電圧が減少するからである（図１などを参照）。一方、ゲート信号線１７ｂはＥＬ素子１５を制御する必要があるため、振幅は小さくできない。
したがって、図１０８に図示するように、ゲートドライバ回路１２ａの印加電圧はＶｈａ（ゲート信号線１７ａのオフ電圧）と、Ｖｌａ（ゲート信号線１７ａのオン電圧）とし、ゲートドライバ回路１２ａの印加電圧はＶｈｂ（ゲート信号線１７ｂのオフ電圧）と、Ｖｌａ（ゲート信号線１７ｂのオン電圧）とする。Ｖｌａ＜Ｖｌｂなる関係とする。なお、ＶｈａとＶｈｂとは、略一致させてもよい。
ゲートドライバ回路１２は、通常、ＮチャンネルトランジスタとＰチャンネルトランジスタで構成するが、Ｐチャンネルトランジスタのみで形成することが好ましい。アレイ作製に必要とするマスク数が減少し、製造歩留まり向上、スループットの向上が見込まれるからである。したがって、図１、図２などに例示したように、画素１６を構成するトランジスタをＰチャンネルトランジスタとするとともに、ゲートドライバ回路１２もＰチャンネルトランジスタで形成あるいは構成する。ＮチャンネルトランジスタとＰチャンネルトランジスタでゲートドライバ回路を構成すると必要なマスク数は１０枚となるが、Ｐチャンネルトランジスタのみで形成すると必要なマスク数は５枚になる。
しかし、Ｐチャンネルトランジスタのみでゲートドライバ回路１２などを構成すると、レベルシフタ回路をアレイ基板７１に形成できない。レベルシフタ回路はＮチャンネルトランジスタとＰチャンネルトランジスタで構成するからである。
この課題に対して、本発明では、レベルシフタ回路機能を、電源ＩＣ１０９１に内蔵させている。図１０９はその実施例である。電源ＩＣ１０９１はゲートドライバ回路１２の駆動電圧、ＥＬ素子１５のアノード、カソード電圧、ソースドライバ回路１４の駆動電圧を発生させる。
電源ＩＣ１０９１はゲートドライバ回路１２のＥＬ素子１５のアノード、カソード電圧を発生させるため、高い耐圧の半導体プロセスを使用する必要がある。この耐圧があれば、ゲートドライバ回路１２の駆動する信号電圧までレベルシフトすることができる。
また、図２０５に図示するように、ソースドライバＩＣ１４内にレベルシフタ回路２０４１を形成してもよい。レベルシフタ回路２０４１はソースドライバＩＣ１４の左右端に形成する。図２０５のように、ソースドライバＩＣ１４を複数個用いる場合は、各ソースドライバＩＣ１４の一方のレベルシフタ回路２０４１を用いる。
図２０５ではソースドライバＩＣ１４ａのレベルシフタ回路２０４１ａを使用している。

ゲート制御データはレベルシフタ回路２０４１ａで昇圧され、ゲートドライバ制御信号２０４３ａとなり、ゲートドライバ回路１２ａを制御する。また、ソースドライバＩＣ１４ｂのレベルシフタ回路２０４１ｂを使用している。ゲート制御データはレベルシフタ回路２０４１ｂで昇圧され、ゲートドライバ制御信号２０４３ｂとなり、ゲートドライバ回路１２ｂを制御する。

レベルシフトおよびゲートドライバ回路１２の駆動は図１０９の構成で実施する。入力データ（画像データ、コマンド、制御データ）９９２はソースドライバＩＣ１４に入力される。入力データにはゲートドライバ回路１２の制御データも含まれる。ソースドライバＩＣ１４は耐圧（動作電圧）が５（Ｖ）である。一方、ゲートドライバ回路１２は動作電圧が１５（Ｖ）である。ソースドライバ回路１４から出力されるゲートドライバ回路１２に出力される信号は、５（Ｖ）から１５（Ｖ）にレベルシフトする必要がある。このレベルシフトを電源回路（ＩＣ）１０９１で行う。図１０９ではゲートドライバ回路１２を制御するデータ信号も電源ＩＣ制御信号１０９２としている。

電源回路１０９１は入力されたゲートドライバ回路１２を制御するデータ信号１０９２を内蔵するレベルシフタ回路でレベルシフトし、ゲートドライバ回路制御信号１０９３として出力し、ゲートドライバ回路１２を制御する。

以下、アレイ基板７１に内蔵するゲートドライバ回路１２をＰチャンネルのトランジスタのみで構成した本発明のゲートドライバ回路１２について説明をする。先にも説明したように、画素１６とゲートドライバ回路１２とをＰチャンネルトランジスタのみで形成する（つまり、アレイ基板７１に形成するトランジスタはすべてＰチャンネルトランジスタである。反対に言えば、Ｎチャンネルのトランジスタを用いない状態）ことにより、アレイを作製に必要とするマスク数が減少し、製造歩留まり向上、スループットの向上が見込まれるからである。また、Ｐチャンネルトランジスタの性能のみの向上に取り組みができるため、結果として特性改善が容易である。たとえば、Ｖｔ電圧の低減化（より０（Ｖ）に近くするなど）、Ｖｔバラツキの減少を、ＣＭＯＳ構造（ＰチャンネルとＮチャンネルトランジスタを用いる構成）よりも容易に実施できる。

一例として、図１０６に図示するように、本発明は、表示画面５０の左右に１相（シフトレジスタ）ずつ、ゲートドライバ回路１２を配置または形成あるいは構成している。ゲートドライバ回路１２など（画素１６のトランジスタも含む）は、プロセス温度が４５０度（摂氏）以下の低温ポリシリコン技術で形成または構成するとして説明するが、これに限定するものではない。プロセス温度が４５０度（摂氏）以上の高温ポリシリコン技術を用いて構成してもよく、また、固相（ＣＧＳ）成長させた半導体膜を用いてトランジスタなどを形成したものを用いてもよい。その他、有機トランジスタで形成してもよい。また、アモルファスシリコン技術で形成あるいは構成したトランジスタであってもよい。

１つは選択側のゲートドライバ回路１２ａである。ゲート信号線１７ａにオンオフ電圧を印加し、画素トランジスタ１１を制御する。他方のゲートドライバ回路１２ｂは、ＥＬ素子１５に流す電流を制御オンオフさせる。

本発明の実施例では、主として図１の画素構成を例示して説明をするがこれに限定するものではない。図５０、図５１、図５４などの他の画素構成においても適用できることは言うまでもない。また、本発明のゲートドライバ回路１２の構成あるいはその駆動方式は、本発明の表示パネル、表示装置あるいは情報表示装置との組み合わせにおいて、より特徴ある効果を発揮する。しかし、他の構成においても特徴ある効果を発揮できることは言うまでもない。

なお、以下に説明するゲートドライバ回路１２の構成あるいは配置形態は、有機ＥＬ表示パネルなどの自己発光デバイスに限定されるものではない。液晶表示パネルあるいは電磁遊動表示パネルなどにも採用することができる。たとえば、液晶表示パネルでは、画素の選択スイッチング素子の制御として本発明のゲートドライバ回路１２の構成あるいは方式を採用してもよい。また、ゲートドライバ回路１２を２相用いる場合は、１相を画素のスイッチング素子の選択用として用い、他方を画素において、保持容量の１方の端子に接続してもよい。この方式は、独立ＣＣ駆動と呼ばれるものである。また、図１１１、図１１

３などで説明する構成は、ゲートドライバ回路１２だけでなく，ソースドライバ回路１４のシフトレジスタ回路などにも採用することができることは言うまでもない。
本発明のゲートドライバ回路１２は、先に説明した図６、図１３、図１６、図２０、図２２、図２４、図２６、図２７、図２８、図２９、図３４、図３７、図４０、図４１、図４８、図８２、図９１、図９２、図９３、図１０３、図１０４、図１０５、図１０６、図１０７、図１０８、図１０９、図１７６、図１８１、図１８７、図１８８、図２０８などのゲートドライバ回路１２として実施あるいは採用することが好ましい。
図１１１は、本発明のゲートドライバ回路１２のブロック図である。説明を容易にするため、４段分しか図示していないが、基本的には、ゲート信号線１７数に対応する単位ゲート出力回路１１１１が形成または配置される。
図１１１に図示するように、本発明のゲートドライバ回路１２（１２ａ、１２ｂ）では、４つのクロック端子（ＳＣＫ０、ＳＣＫ１、ＳＣＫ２、ＳＣＫ３）と、１つのスタート端子（データ信号（ＳＳＴＡ））、シフト方向を上下反転制御する２つの反転端子（ＤＩＲＡ、ＤＩＲＢ、これらは、逆相の信号を印加する）の信号端子から構成される。また、電源端子としてＬ電源端子（ＶＢＢ）と、Ｈ電源端子（Ｖｄ）などから構成される。
本発明のゲートドライバ回路１２は、すべてＰチャンネルのトランジスタ（トランジスタ）で構成しているため、レベルシフタ回路（低電圧のロジック信号を高電圧のロジック信号に変換する回路）をゲートドライバ回路に内蔵することができない。そのため、図１０９などに図示した電源回路（ＩＣ）１０９１内にレベルシフタ回路を配置または形成している。
電源回路（ＩＣ）１０９１は、ゲートドライバ回路１２からゲート信号線１７に出力するオン電圧（画素１６トランジスタの選択電圧）、オフ電圧（画素１６トランジスタの非選択電圧）に必要な電位の電圧を作成する。そのため、電源ＩＣ（回路）１０９１の使用する半導体の耐圧プロセスは、十分な耐圧がある。したがって、電源ＩＣ１０９１でロジック信号をレベルシフト（ＬＳ）すると都合がよい。したがって、コントローラ（図示せず）から出力されるゲートドライバ回路１２の制御信号は、電源ＩＣ１０９１に入力し、レベルシフトしてから、本発明のゲートドライバ回路１２に入力する。コントローラ（図示せず）から出力されるソーストドライバ回路１４の制御信号は、直接に本発明のソースドライバ回路１４などに入力する（レベルシフトの必要がない）。
しかし、本発明はアレイ基板７１に形成するトランジスタをすべてＰチャンネルで形成することに限定するものではない。ゲートドライバ回路１２を後に説明する図１１１、図１１３のようにＰチャンネルで形成することにより、狭額縁化することができる。２．２インチのＱＣＩＦパネルの場合、ゲートドライバ回路１２の幅は、６μｍルールの採用時で、６００μｍで構成できる。供給するゲートドライバ回路１２の電源配線の引き回しを含めても７００μｍに構成することができる。同様の回路構成をＣＭＯＳ（Ｎチャンネルと Ｐチャンネルトランジスタ）で構成すると、１．２ｍｍになってしまう。したがって、ゲートドライバ回路１２をＰチャンネルで形成することにより、狭額縁化という特徴ある効果を発揮できる。
また、画素１６をＰチャンネルのトランジスタで構成することにより、Ｐチャンネルトランジスタで形成したゲートドライバ回路１２とのマッチングが良くなる。Ｐチャンネルトランジスタ（図１の画素構成では、選択トランジスタ１１ｂ、１１ｃ、トランジスタ１１ｄ）はＬ電圧でオンする。一方、ゲートドライバ回路１２もＬ電圧が選択電圧である。Ｐチャンネルのゲートドライバは図１１３の構成でもわかるが、Ｌレベルを選択レベルとするとマッチングが良い。Ｌレベルが長期間保持できないからである。一方、Ｈ電圧は長時間保持することができる。
また、ＥＬ素子１５に電流を供給する駆動用トランジスタ（図１ではトランジスタ１１ａ）もＰチャンネルで構成することにより、ＥＬ素子１５のカソードが金属薄膜のべた電極に構成することができる。また、アノード電位Ｖｄｄから順方向にＥＬ素子１５に電流を流すことができる。以上の事項から、画素１６のトランジスタをＰチャンネルとし、ゲートドライバ回路１２のトランジスタもＰチャンネルとすることがよい。以上のことから、

本発明の画素１６を構成するトランジスタ（駆動用トランジスタ、イッチング用トランジスタ）をＰチャンネルで形成し、ゲートドライバ回路１２のトランジスタをＰチャンネルで構成するという事項は単なる設計事項ではない。
この意味で、レベルシフタ（ＬＳ）回路を、アレイ基板７１に直接に形成してもよい。つまり、レベルシフタ（ＬＳ）回路をＮチャンネルとＰチャンネルトランジスタで形成する。コントローラ（図示せず）からのロジック信号は、アレイ基板７１に直接形成されたレベルシフタ回路で、Ｐチャンネルトランジスタで形成されたゲートドライバ回路１２のロジックレベルに適合するように昇圧する。この昇圧したロジック電圧を前記ゲートドライバ回路１２に印加する。
なお、レベルシフタ回路を半導体チップで形成し、アレイ基板７１にＣＯＧ実装などしてもよい。また、ソースドライバ回路１４は、図１０９などにも図示しているが、基本的に半導体チップで形成し、アレイ基板７１にＣＯＧ実装する。ただし、ソースドライバ回路１４を半導体チップで形成することに限定するものではなく、ポリシリコン技術を用いてアレイ基板７１に直接に形成してもよい。画素１６を構成するトランジスタ１１をＰチャンネルで構成すると、プログラム電流は画素１６からソース信号線１８に流れ出す方向になる。そのため、ソースドライバ回路の単位電流回路６３４（図７３、図７４などを参照のこと）は、Ｎチャンネルのトランジスタで構成する必要がある。つまり、ソースドライバ回路１４はプログラム電流Ｉｗを引き込むように回路構成する必要がある。
したがって、画素１６の駆動用トランジスタ１１ａ（図１の場合）がＰチャンネルトランジスタの場合は、必ず、ソースドライバ回路１４はプログラム電流Ｉｗを引き込むように、単位トランジスタ６３４をＮチャンネルトランジスタで構成する。ソースドライバ回路１４をアレイ基板７１に形成するには、Ｎチャンネル用マスク（プロセス）とＰチャンネル用マスク（プロセス）の両方を用いる必要がある。概念的に述べれば、画素１６とゲートドライバ回路１２をＰチャンネルトランジスタで構成し、ソースドライバの引き込み電流源のトランジスタはＮチャンネルで構成するのが本発明の表示パネル（表示装置）である。
なお、説明を容易にするため、本発明の実施例では、図１の画素構成を例示して説明をする。しかし、画素１６の選択トランジスタ（図１ではトランジスタ１１ｃ）をＰチャンネルで構成し、ゲートドライバ回路１２をＰチャンネルトランジスタで構成するというなどの本発明の技術的思想は、図１の画素構成に限定されるものではない。たとえば、電流駆動方式の画素構成では図４２に図示するカレントミラーの画素構成にも適用することができることは言うまでもない。また、電圧駆動方式の画素構成では、図６２に図示するような２つのトランジスタ（選択トランジスタはトランジスタ１１ｂ、駆動用トランジスタはトランジスタ１１ａ）にも適用することができる。もちろん、図１１１、図１１３のゲートドライバ回路１２の構成も適用でき、また、組み合わせて装置などを構成できる。したがって、以上の説明した事項、以下に説明する事項は、画素構成などに限定されるものではない。
また、画素１６の選択トランジスタをＰチャンネルで構成し、ゲートドライバ回路をＰチャンネルトランジスタで構成するという構成は、有機ＥＬなどの自己発光デバイス（表示パネルあるいは表示装置）に限定されるものではない。たとえば、液晶表示デバイスにも適用することができる。
反転端子（ＤＩＲＡ、ＤＩＲＢ）は各単位ゲート出力回路１１１１に対し、共通の信号が印加される。なお、図１１３の等価回路図をみれば、理解できるが、反転端子（ＤＩＲＡ、ＤＩＲＢ）は互いに逆極性の電圧値を入力する。また、シフトレジスタの走査方向を反転させる場合は、反転端子（ＤＩＲＡ、ＤＩＲＢ）に印加している電圧の極性を反転させる。
なお、図１１１の回路構成は、クロック信号線数は４つである。４つが本発明では最適な数であるが、本発明はこれに限定するものではない。４つ以下でも４つ以上でもよい。
クロック信号（ＳＣＫ０、ＳＣＫ１、ＳＣＫ２、ＳＣＫ３）の入力は、隣接した単位ゲート出力回路１１１１で異ならせている。たとえば、単位ゲート出力回路１１１１ａには、

クロック端子のＳＣＫ０がＯＣに、ＳＣＫ２がＲＳＴに入力されている。この状態は、単位ゲート出力回路１１１１ｃも同様である。単位ゲート出力回路１１１１ａに隣接した単位ゲート出力回路１１１１ｂ（次段の単位ゲート出力回路）は、クロック端子のＳＣＫ１がＯＣに、ＳＣＫ３がＲＳＴに入力されている。したがって、単位ゲート出力回路１１１１に入力されるクロック端子は、ＳＣＫ０がＯＣに、ＳＣＫ２がＲＳＴに入力され、次段は、クロック端子のＳＣＫ１がＯＣに、ＳＣＫ３がＲＳＴに入力され、さらに次段の単位ゲート出力回路１１１１に入力されるクロック端子は、ＳＣＫ０がＯＣに、ＳＣＫ２がＲＳＴに入力され、というように交互に異ならせている。

図１１３が単位ゲート出力回路１１１１の回路構成である。構成するトランジスタはＰチャンネルのみで構成している。図１１４が図１１３の回路構成を説明するためのタイミングチャートである。なお、図１１２は図１１３の複数段分におけるタイミングチャートを図示したものである。したがって、図１１３を理解することにより、全体の動作を理解することができる。動作の理解は、文章で説明するよりも、図１１３の等価回路図を参照しながら、図１１４のタイミングチャートを理解することにより達成されるため、詳細な各トランジスタの動作の説明は省略する。

Ｐチャンネルのみでドライバ回路構成を作成すると、基本的にゲート信号線１７をＨレベル（図１１３ではＶｄ電圧）に維持することは可能である。しかし、Ｌレベル（図１１３ではＶＢＢ電圧）に長時間維持することは困難である。しかし、画素行の選択時などの短期間維持は十分にできる。ＩＮ端子に入力された信号と、ＲＳＴ端子に入力されたＳＣＫクロックにより、ｎ１が変化し、ｎ２はｎ１の反転信号状態となる。ｎ２の電位とｎ４の電位とは同一極性であるが、ＯＣ端子に入力されたＳＣＫクロックによりｎ４の電位レベルはさらに低くなる。この低くなるレベルに対応して、Ｑ端子がその期間、Ｌレベルに維持される（オン電圧がゲート信号線１７から出力される）。ＳＱあるいはＱ端子に出力される信号は、次段の単位ゲート出力回路１１１１に転送される。

図１１１、図１１３の回路構成において、ＩＮ（ＩＮＡ、ＩＮＢ）端子、クロック端子の印加信号のタイミングを制御することにより、図１１５の（ａ）に図示するように、１ゲート信号線１７を選択する状態と、図１１５の（ｂ）に図示するように２ゲート信号線１７を選択する状態とを同一の回路構成を用いて実現できる。

選択側のゲートドライバ回路１２ａにおいて、図１１５の（ａ）の状態は、１画素行（５１ａ）を同時に選択する駆動方式である（ノーマル駆動）。また、選択画素行は１行ずつシフトする。図１１５の（ｂ）は、２画素行を選択する構成である。この駆動方式は、図２７、図２８で説明した複数画素行（５１ａ、５１ｂ）の同時選択駆動（ダミー画素行を構成する方式）である。選択画素行は、１画素行ずつシフトし、かつ隣接した２画素行が同時に選択される。特に、図１１５の（ｂ）の駆動方法は、最終的な映像を保持する画素行（５１ａ）に対し、画素行５１ｂは予備充電される。そのため、画素１６が書き込み易くなる。つまり、本発明は、端子に印加する信号により、２つの駆動方式を切り替えて実現できる。

なお、図１１５の（ｂ）は隣接した画素１６行を選択する方式であるが、図１１６に図示するように、隣接した以外の画素１６行を選択してもよい（図１１６は、３画素行離れた位置の画素行を選択している実施例である）。また、図１１３の構成では、４画素行の組で制御される。４画素行にうち、１画素行を選択するか、連続した２画素行を選択するかの制御を実施できる。これは、使用するクロック（ＳＣＫ）が４本によることの制約である。クロック（ＳＣＫ）８本になれば、８画素行の組で制御を実施できる。

選択側のゲートドライバ回路１２ａの動作は、図１１５の動作である。図１１５の（ａ）に図示するように、１画素行を選択し、選択位置を１水平同期信号に同期して１画素行ずつシフトする。また、図１１５の（ｂ）に図示するように、２画素行を選択し、選択位置を１水平同期信号に同期して１画素行ずつシフトする。

図１８２に図示するようにアノード接続端子１８２１から接続アノード線９６１が配線され、ソースドライバＩＣ１４の両側に形成された接続アノード線９６１は、ＩＣ１４下に形成されたスイッチ２０２１で電気的に接続されている。

ソースドライブＩＣ１４の出力側には共通アノード線９６２が形成または配置されている。共通アノード線９６２からアノード配線９５２が分岐されている。アノード配線９５２はＱＣＩＦパネルの場合は、１７６×ＲＧＢ＝５２８本である。アノード配線９５２を介して、図１などで図示するＶｄｄ電圧（アノード電圧）が供給される。１本のアノード配線９５２には、ＥＬ素子１５が低分子材料の場合は、最大で２００μＡ程度の電流が流れる。したがって、共通アノード配線８３３には、２００μＡ×５２８で約１００ｍＡの電流が流れる。

共通接続アノード線９６１の電圧降下、アノード配線９５２の電圧降下を抑制するため、図１８３に図示するように、表示画面５０の上側に共通接続アノード線９６１ａを形成し、表示画面５０の下側に共通接続アノード線９６１ｂを形成して、アノード配線９５２の上下でショート状態にするとよい。

また、図１８４に図示するように、画面５０の上下にソースドライバ回路１４を配置することも好ましい。また、図１８５に図示するように、表示画面５０を表示画面５０ａと表示画面５０ｂに分割し、表示画面５０ａをソースドライバ回路１４ａで駆動し、表示画面５０ｂをソースドライバ回路１４ｂで駆動するようにしてもよい。

図２０１は本発明の電源回路の構成図である。２０１２は制御回路である。抵抗２０１５ａと２０１５ｂの中点電位を制御し、トランジスタ２０１６のゲート信号を出力する。トランス２０１１の１次側には電源Ｖｐｃが印加され、１次側の電流がトランジスタ２０１６のオンオフ制御により２次側に伝達される。２０１３は整流ダイオードであり、２０１４は平滑化コンデンサである。

アノード電圧Ｖｄｄは抵抗２０１５ｂに出力電圧が調整される。Ｖｓｓはカソード電圧である。カソード電圧Ｖｓｓは図２０２に図示するように２つの電圧を選択して出力できるように構成されている。選択はスイッチ２０２１で行う。図２０２では、スイッチ２０２１により－９（Ｖ）が選択されている。

スイッチ２０２１の選択は温度センサ２０２２からの出力結果による。パネル温度が低いときは、Ｖｓｓ電圧として、－９（Ｖ）を選択する。一定以上のパネル温度の時は、－６（Ｖ）を選択する。これは、ＥＬ素子１５に温特があり、低温側でＥＬ素子１５の端子電圧が高くなるためである。なお、図２０２では、２つの電圧から１つの電圧を選択し、Ｖｓｓ（カソード電圧）とするとしたが、これに限定するものではなく、３つ以上の電圧からＶｓｓ電圧を選択できるように構成してもよい。以上の事項は、Ｖｄｄについても同様に適用される。

図２０２のように、複数の電圧をパネル温度により選択できるように構成することで、パネルの消費電力を低減することができる。一定温度以下の時に、Ｖｓｓ電圧を低下させればよいからである。通常は、電圧が低いＶｓｓ＝－６（Ｖ）を使用することができる。なお、スイッチ２０２１は図２０２に図示するように構成してもよい。なお、複数のカソード電圧Ｖｓｓを発生させるのは、図２０２のトランス２０１１から中間タップをとりだすことにより容易に実現できる。アノード電圧Ｖｄｄの場合も同様である。

図２０５は電位設定の説明図である。ソースドライバＩＣ１４はＧＮＤを基準にする。ソースドライバＩＣ１４の電源はＶｃｃである。Ｖｃｃはアノード電圧（Ｖｄｄ）と一致させてもよい。本発明では消費電力の観点から、Ｖｃｃ＜Ｖｄｄにしている。

ゲートドライバ回路１２のオフ電圧Ｖｇｈは、Ｖｄｄ電圧以上にする。好ましくは、Ｖｄｄ＋０．５（Ｖ）＜Ｖｇｈ＜Ｖｄｄ＋２．５（Ｖ）の関係を満足させる。オン電圧Ｖｇｌは Ｖｓｓと一致させてもよいが、好ましくは、Ｖｓｓ（Ｖ）＜Ｖｇｌ＜－０．５（Ｖ）の関係を満足させる。

ＥＬ表示パネルからの発熱対策は重要である。発熱対策のため、図２０６に図示するように、パネルの裏面（表示画面５０からの光が出ない面）に金属材料からなるシャーシ２０６２を取り付ける。シャーシ２０６２には放熱を良好にするため、凹凸２０６３を形成する。また、シャーシ２０６１とパネル（図２０６では封止フタ８５）間に接着層を配置する。接着層は熱伝導性のよい材料を用いる。たとえば、シリコン樹脂やシリコン材料からなるペーストが例示される。これらは、レギュレータＩＣと放熱板間の接着剤（密着剤）

としてよく用いられている。なお、接着層は接着する機能に限定されず、シャーシ２０６１とパネルとを密着させる機能のみでもよい。
シャーシ２０６２の裏面には、図２０７の（ａ）に図示するように、穴２０７１があけられている。穴２０７１は、シャーシ２０６２とパネルとを張り合わせた時に余分な樹脂を逃がすために用いる。また、図２０７の（ａ）のように、穴の開口形状をパネルの中央部と周辺部で変化させることにより、シャーシ２０６２の熱抵抗と調整し、パネルの温度が均一になるようにしている。図２０７の（ａ）では、パネル周辺部に形成されて穴２０７１ｃの方が、パネル中央部に形成された穴２０７１ａよりも大きくすることにより、パネル周辺部で熱抵抗を大きくしている。そのため、パネル周辺部では熱が逃げにくい。したがって、パネル全面にわたり、均一な温度分布にすることができる。なお、図２０７の（ｂ）に図示するように、穴２０７１は円形などでもよい。
図２０８は、本発明の表示パネルの構成を図示したものである。アレイ基板７１の一辺にはフレキ基板８４が取り付けられている。フレキ基板には電源回路８２、フレキ基板８４が配置されている。図２０９は図２０８のＡＡ'での断面図である。ただし、図２０９はフレキ基板８４を折り曲げ、シャーシ２０６２を取り付けた図面である。図２０９でもわかるように、電源回路８２のトランス２０１１が封止フタ８５のスペースに格納されるように配置されている。このように配置することにより、ＥＬ表示パネル（ＥＬ表示パネルモジュール）を薄型にすることができる。
つぎに、本発明の駆動方式を実施する本発明の表示機器についての実施例について説明をする。図５７は情報端末装置の一例としての携帯電話の平面図である。筐体５７３にアンテナ５７１、テンキー５７２などが取り付けられている。５７２などが表示色切換キーあるいは電源オンオフ、フレームレート切り替えキーである。
テンキー５７２を１度押さえると表示色は８色モードに、つづいて同一テンキー５７２を押さえると表示色は４０９６色モード、さらにテンキー５７２を押さえると表示色は２６万色モードとなるようにシーケンスを組んでもよい。キーは押さえるごとに表示色モードが変化するトグルスイッチとする。なお、別途表示色に対する変更キーを設けてもよい。この場合、テンキー５７２は３つ（以上）となる。
テンキー５７２はプッシュスイッチの他、スライドスイッチなどの他のメカニカルなスイッチでもよく、また、音声認識などにより切換るものでもよい。たとえば、４０９６色を受話器に音声入力すること、たとえば、「高品位表示」、「４０９６色モード」あるいは「低表示色モード」と受話器に音声入力することにより表示パネルの表示画面５０に表示される表示色が変化するように構成する。これは現行の音声認識技術を採用することにより容易に実現することができる。
また、表示色の切り替えは電気的に切換るスイッチでもよく、表示パネルの表示部２１に表示させたメニューを触れることにより選択するタッチパネルでも良い。また、スイッチを押さえる回数で切換る、あるいはクリックボールのように回転あるいは方向により切換るように構成してもよい。
５７２は表示色切換キーとしたが、フレームレートを切換るキーなどとしてもよい。また、動画と静止画とを切換るキーなどとしてもよい。また、動画と静止画とフレームレートなどの複数の要件を同時に切り替えてもよい。また、押さえ続けると徐々に（連続的に）フレームレートが変化するように構成してもよい。この場合は発振器を構成するコンデンサＣ、抵抗Ｒのうち、抵抗Ｒを可変抵抗にしたり、電子ボリウムにしたりすることにより実現できる。また、コンデンサはトリマコンデンサとすることにより実現できる。また、半導体チップに複数のコンデンサを形成しておき、１つ以上のコンデンサを選択し、これらを回路的に並列に接続することにより実現してもよい。
さらに、本発明のＥＬ表示パネルあるいはＥＬ表示装置もしくは、駆動方法を採用した実施の形態について、図面を参照しながら説明する。
図５８は本発明の実施の形態におけるビューファインダの断面図である。但し、説明を容易にするため模式的に描いている。また一部拡大あるいは縮小した箇所が存在し、また、省略した箇所もある。たとえば、図５８において、接眼カバーを省略している。以上のこ

とは他の図面においても該当する。
筐体５７３の裏面は暗色あるいは黒色にされている。これは、ＥＬ表示パネル（表示装置）５７４から出射した迷光が筐体５７３の内面で乱反射し表示コントラストの低下を防止するためである。また、表示パネルの光出射側には位相板（λ／４板など）１０８、偏光板１０９などが配置されている。このことは図１０、図１１でも説明している。
接眼リング５８１には拡大レンズ５８２が取り付けられている。観察者は接眼リング５８１を筐体５７３内での挿入位置を可変して、表示パネル５７４の表示画像５０にピントがあうように調整する。
また、必要に応じて表示パネル５７４の光出射側に正レンズ５８３を配置すれば、拡大レンズ５８２に入射する主光線を収束させることができる。そのため、拡大レンズ５８２のレンズ径を小さくすることができ、ビューファインダを小型化することができる。
図５９はビデオカメラの斜視図である。ビデオカメラは撮影（撮像）レンズ部５９２とビデオカメラ筐体５７３とを具備し、撮影レンズ部５９２と筐体（ビューファインダ部）５７３とは背中合わせとなっている。また、筐体（図５８も参照）５７３には接眼カバーが取り付けられている。観察者（ユーザー）はこの接眼カバー部から表示パネル５７４の画像５０を観察する。
一方、本発明のＥＬ表示パネルは表示モニターとしても使用されている。表示画面５０は支点５９１で角度を自由に調整できる。表示画面５０を使用しない時は、格納部５９３に格納される。
スイッチ５９４は以下の機能を実施する切り替えあるいは制御スイッチである。スイッチ５９４は表示モード切り替えスイッチである。スイッチ５９４は、携帯電話などにも取り付けることが好ましい。この表示モード切り替えスイッチ５９４について説明をする。
本発明の駆動方法の１つにＮ倍の電流をＥＬ素子１５に流し、１Ｆの１／Ｍの期間だけ点灯させる方法がある。この点灯させる期間を変化させることにより、明るさをデジタル的に変更することができる。たとえば、Ｎ＝４として、ＥＬ素子１５には４倍の電流を流す。点灯期間を１／Ｍとし、Ｍ＝１、２、３、４と切り替えれば、１倍から４倍までの明るさ切り替えが可能となる。なお、Ｍ＝１、１．５、２、３、４、５、６などと変更できるように構成してもよい。
以上の切り替え動作は、携帯電話の電源をオンしたときに、表示画面５０を非常に明るく表示し、一定の時間を経過した後は、電力セーブするために、表示輝度を低下させる構成に用いる。また、ユーザーが希望する明るさに設定する機能としても用いることができる。たとえば、屋外などでは、画面を非常に明るくする。屋外では周辺が明るく、画面が全く見えなくなるからである。しかし、高い輝度で表示し続けるとＥＬ素子１５は急激に劣化する。そのため、非常に明るくする場合は、短時間で通常の輝度に復帰させるように構成しておく。さらに、高輝度で表示させる場合は、ユーザーがボタンを押すことにより表示輝度を高くできるように構成しておく。
したがって、ユーザーがスイッチ５９４で切り替えできるようにしておくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り替えできるように構成しておくことが好ましい。また、表示輝度を５０％、６０％、８０％とユーザーなどが設定できるように構成しておくことが好ましい。
なお、表示画面５０はガウス分布表示にすることが好ましい。ガウス分布表示とは、中央部の輝度が明るく、周辺部を比較的暗くする方式である。視覚的には、中央部が明るければ周辺部が暗くとも明るいと感じられる。主観評価によれば、周辺部が中央部に比較して７０％の輝度を保っておれば、視覚的に遜色ない。さらに低減させて、５０％輝度としてもほぼ、問題がない。本発明の自己発光型表示パネルでは、以前に説明したＮ倍パルス駆動（Ｎ倍の電流をＥＬ素子１５に流し、１Ｆの１／Ｍの期間だけ点灯させる方法）を用いて画面の上から下方向に、ガウス分布を発生させている。
具体的には、画面の上部と下部ではＭの値と大きくし、中央部でＭの値を小さくする。これは、ゲートドライバ回路１２のシフトレジスタの動作速度を変調することなどにより実現する。画面の左右の明るさ変調は、テーブルのデータと映像データとを乗算することに

より発生させている。以上の動作により、周辺輝度（画角０．９）を５０％にした時、１００％輝度の場合に比較して約２０％の低消費電力化が可能である。周辺輝度（画角０．９）を７０％にした時、１００％輝度の場合に比較して約１５％の低消費電力化が可能である。

なお、ガウス分布表示はオンオフできるように切り替えスイッチなどを設けることが好ましい。たとえば、屋外などで、ガウス表示させると画面周辺部が全く見えなくなるからである。したがって、ユーザーがボタンで切り替えできるようにしておくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り替えできるように構成しておくことが好ましい。また、周辺輝度を５０％、６０％、８０％とユーザーなどが設定できるように構成しておくことがこのましい。

液晶表示パネルではバックライトで固定のガウス分布を発生させている。したがって、ガウス分布のオンオフを行うことはできない。ガウス分布をオンオフできるのは自己発光型の表示デバイス特有の効果である。

また、フレームレートが所定の時、室内の蛍光灯などの点灯状態と干渉してフリッカが発生する場合がある。つまり、蛍光灯が６０Ｈｚの交流で点灯しているとき、ＥＬ素子１５がフレームレート６０Ｈｚで動作していると、微妙な干渉が発生し、画面がゆっくりと点滅しているように感じられる場合がある。これをさけるにはフレームレートを変更すればよい。本発明はフレームレートの変更機能を付加している。また、Ｎ倍パルス駆動（Ｎ倍の電流をＥＬ素子１５に流し、１Ｆの１／Ｍの期間だけ点灯させる方法）において、ＮまたはＭの値を変更できるように構成している。

以上の機能をスイッチ５９４で実現できるようにする。スイッチ５９４は表示画面５０のメニューにしたがって、複数回おさえることにより、以上に説明した機能を切り替え実現する。

なお、以上の事項は、携帯電話だけに限定されるものではなく、テレビ、モニターなどに用いることができることはいうまでもない。また、どのような表示状態にあるかをユーザーがすぐに認識できるように、表示画面にアイコン表示をしておくことが好ましい。以上の事項は以下の事項に対しても同様である。

本実施の形態のＥＬ表示装置などはビデオカメラだけでなく、図６０に示すような電子カメラにも適用することができる。表示装置はカメラ本体６０１に付属された表示画面５０として用いる。カメラ本体６０１にはシャッタ６０３の他、スイッチ５９４が取り付けられている。

以上は表示パネルの表示領域が比較的小型の場合であるが、３０インチ以上と大型になると表示画面５０がたわみやすい。その対策のため、本発明では図６１に示すように表示パネルに外枠６１１をつけ、外枠６１１をつりさげられるように固定部材６１４で取り付けている。この固定部材６１４を用いて、壁などに取り付ける。

しかし、表示パネルの画面サイズが大きくなると重量も重たくなる。そのため、表示パネルの下側に脚取り付け部６１３を配置し、複数の脚６１２で表示パネルの重量を保持できるようにしている。

脚６１２はＡに示すように左右に移動でき、また、脚６１２はＢに示すように収縮できるように構成されている。そのため、狭い場所であっても表示装置を容易に設置することができる。

図６１のテレビでは、画面の表面を保護フィルム（保護板でもよい）で被覆している。これは、表示パネルの表面に物体があたって破損することを防止することが１つの目的である。保護フィルムの表面にはＡＩＲコートが形成されており、また、表面をエンボス加工することにより表示パネルに外の状況（外光）が写り込むことを抑制している。

保護フィルムと表示パネル間にビーズなどを散布することにより、一定の空間が配置されるように構成されている。また、保護フィルムの裏面に微細な凸部を形成し、この凸部で表示パネルと保護フィルム間に空間を保持させる。このように空間を保持することにより保護フィルムからの衝撃が表示パネルに伝達することを抑制する。

また、保護フィルムと表示パネル間にアルコール、エチレングリコールなど液体あるいは

ゲル状のアクリル樹脂あるいはエポキシなどの固体樹脂などの光結合剤を配置または注入することも効果がある。界面反射を防止できるとともに、前記光結合剤が緩衝材として機能するからである。

保護フィルムをしては、ポリカーボネートフィルム（板）、ポリプロピレンフィルム（板）、アクリルフィルム（板）、ポリエステルフィルム（板）、ＰＶＡフィルム（板）などが例示される。その他エンジニアリング樹脂フィルム（ＡＢＳなど）を用いることができることは言うまでもない。また、強化ガラスなど無機材料からなるものでもよい。保護フィルムを配置するかわりに、表示パネルの表面をエポキシ樹脂、フェノール樹脂、アクリル樹脂で０．５ｍｍ以上２．０ｍｍ以下の厚みでコーティングすることも同様の効果がある。また、これらの樹脂表面にエンボス加工などをすることも有効である。

また、保護フィルムあるいはコーティング材料の表面をフッ素コートすることも効果がある。表面についた汚れを洗剤などで容易にふき落とすことができるからである。また、保護フィルムを厚く形成し、フロントライトと兼用してもよい。

本発明の実施例における表示パネルは、３辺フリーの構成と組み合わせることも有効であることはいうまでもない。特に３辺フリーの構成は画素がアモルファスシリコン技術を用いて作製されているときに有効である。また、アモルファスシリコン技術で形成されたパネルでは、トランジスタ素子の特性バラツキのプロセス制御が不可能のため、本発明のＮ倍パルス駆動、リセット駆動、ダミー画素駆動などを実施することが好ましい。つまり、本発明におけるトランジスタなどは、ポリシリコン技術によるものに限定するものではなく、アモルファスシリコンによるものであってもよい。

なお、本発明のＮ倍パルス駆動（図１３、図１６、図１９、図２０、図２２、図２４、図３０など）などは、低温ポリシリコン技術でトランジスタ１１を形成して表示パネルよりも、アモルファスシリコン技術でトランジスタ１１を形成した表示パネルに有効である。アモルファスシリコンのトランジスタ１１では、隣接したトランジスタの特性がほぼ一致しているからである。したがって、加算した電流で駆動しても個々のトランジスタの駆動電流はほぼ目標値となっている（特に、図２２、図２４、図３０のＮ倍パルス駆動はアモルファスシリコンで形成したトランジスタの画素構成において有効である）。

ｄｕｔｙ比制御駆動、基準電流制御、Ｎ倍パルス駆動など本明細書で記載した本発明の駆動方法および駆動回路などは、有機ＥＬ表示パネルの駆動方法および駆動回路などに限定されるものではない。図２２１に図示するようにフィールドエミッションディスプレイ（ＦＥＤ）などの他のディスプレイにも適用できることは言うまでもない。

図２２１のＦＥＤでは基板７１上にマトリックス状に電子を放出する電子放出突起２２１３（図１０では画素電極１０５が該当する）が形成されている。画素には映像信号回路２２１２（図１ではソースドライバ回路１４が該当する）からの画像データを保持する保持回路２２１４が形成されている（図１ではコンデンサが該当する）。また、電子放出突起２２１３の前面には制御電極２２１１が配置されている。制御電極２２１１にはオンオフ制御回路２２１５（図１ではゲートドライバ回路１２が該当する）により電圧信号が印加される。

図２２１の画素構成で、図２２２に図示するように周辺回路を構成すれば、ｄｕｔｙ比制御駆動あるいはＮ倍パルス駆動などを実施できる。映像信号回路２２１２からソース信号線１８に画像データ信号が印加される。オンオフ制御回路２２１５ａから選択信号線２２２１に画素１６選択信号が印加され順次画素１６が選択され、画像データが書き込まれる。また、オンオフ制御回路２２１５ｂからオンオフ信号線２２２２にオンオフ信号が印加され、画素のＦＥＤがオンオフ制御（ｄｕｔｙ比制御）される。

本発明の実施例で説明した技術的思想はビデオカメラ、プロジェクター、立体テレビ、プロジェクションテレビなどに適用できる。また、ビューファインダ、携帯電話のモニター、ＰＨＳ、携帯情報端末およびそのモニター、デジタルカメラおよびそのモニターにも適用できる。

また、電子写真システム、ヘッドマウントディスプレイ、直視モニターディスプレイ、ノートパーソナルコンピュータ、ビデオカメラ、電子スチルカメラにも適用できる。また、

現金自動引き出し機のモニター、公衆電話、テレビ電話、パーソナルコンピュータ、腕時計およびその表示装置にも適用できる。
さらに、家庭電器機器の表示モニター、ポケットゲーム機器およびそのモニター、表示パネル用バックライトあるいは家庭用もしくは業務用の照明装置などにも適用あるいは応用展開できることは言うまでもない。照明装置は色温度を可変できるように構成することが好ましい。これは、ＲＧＢの画素をストライプ状あるいはドットマトリックス状に形成し、これらに流す電流を調整することにより色温度を変更できる。また、広告あるいはポスターなどの表示装置、ＲＧＢの信号器、警報表示灯などにも応用できる。
また、スキャナの光源としても有機ＥＬ表示パネルは有効である。ＲＧＢのドットマトリックスを光源として、対象物に光を照射し、画像を読み取る。もちろん、単色でもよいことは言うまでもない。また、アクティブマトリックスに限定するものではなく、単純マトリックスでもよい。色温度を調整できるようにすれば画像読み取り精度も向上する。
また、液晶表示装置のバックライトにも有機ＥＬ表示装置は有効である。ＥＬ表示装置（バックライト）のＲＧＢの画素をストライプ状あるいはドットマトリックス状に形成し、これらに流す電流を調整することにより色温度を変更でき、また、明るさの調整も容易である。その上、面光源であるから、画面の中央部を明るく、周辺部を暗くするガウス分布を容易に構成できる。また、Ｒ、Ｇ、Ｂ光を交互に走査する、フィールドシーケンシャル方式の液晶表示パネルのバックライトとしても有効である。また、バックライトを点滅しても黒挿入することにより動画表示用などの液晶表示パネルのバックライトとしても用いることができる。

産業上の利用可能性

本発明のソースドライバ回路は、カントミラー回路を構成するトランジスタが隣接するように形成しているので、しきい値のずれによる出力電流のばらつきが小さい。したがって、ＥＬ表示パネルの輝度むらの発生を抑制することが可能となり、その実用的効果は大きい。
また、本発明の表示パネル、表示装置等は、高画質、良好な動画表示性能、低消費電力、低コスト化、高輝度化等のそれぞれの構成に応じて特徴ある効果を発揮する。
なお、本発明を用いれば、低消費電力の情報表示装置などを構成できるので、電力を消費しない。また、小型軽量化できるので、資源を消費しない。また、高精細の表示パネルであっても十分に対応できる。したがって、地球環境、宇宙環境に優しいこととなる。

【図面の簡単な説明】

図１は、本発明の表示パネルの画素構成図である。
図２は、本発明の表示パネルの画素構成図である。
図３は、本発明の表示パネルの動作の説明図である。
図４は、本発明の表示パネルの動作の説明図である。
図５は、本発明の表示装置の駆動方法の説明図である。
図６は、本発明の表示装置の構成図である。
図７は、本発明の表示パネルの製造方法の説明図である。
図８は、本発明の表示装置の構成図である。
図９は、本発明の表示装置の構成図である。
図１０は、本発明の表示パネルの断面図である。
図１１は、本発明の表示パネルの断面図である。
図１２は、本発明の表示パネルの説明図である。
図１３は、本発明の表示装置の駆動方法の説明図である。
図１４は、本発明の表示装置の駆動方法の説明図である。
図１５は、本発明の表示装置の駆動方法の説明図である。
図１６は、本発明の表示装置の駆動方法の説明図である。
図１７は、本発明の表示装置の駆動方法の説明図である。
図１８は、本発明の表示装置の駆動方法の説明図である。
図１９は、本発明の表示装置の駆動方法の説明図である。

図２０は、本発明の表示装置の駆動方法の説明図である。
図２１は、本発明の表示装置の駆動方法の説明図である。
図２２は、本発明の表示装置の駆動方法の説明図である。
図２３は、本発明の表示装置の駆動方法の説明図である。
図２４は、本発明の表示装置の駆動方法の説明図である。
図２５は、本発明の表示装置の駆動方法の説明図である。
図２６は、本発明の表示装置の駆動方法の説明図である。
図２７は、本発明の表示装置の駆動方法の説明図である。
図２８は、本発明の表示装置の駆動方法の説明図である。
図２９は、本発明の表示装置の駆動方法の説明図である。
図３０は、本発明の表示装置の駆動方法の説明図である。
図３１は、本発明の表示装置の駆動方法の説明図である。
図３２は、本発明の表示装置の駆動方法の説明図である。
図３３は、本発明の表示装置の駆動方法の説明図である。
図３４は、本発明の表示装置の構成図である。
図３５は、本発明の表示装置の駆動方法の説明図である。
図３６は、本発明の表示装置の駆動方法の説明図である。
図３７は、本発明の表示装置の構成図である。
図３８は、本発明の表示装置の構成図である。
図３９は、本発明の表示装置の駆動方法の説明図である。
図４０は、本発明の表示装置の構成図である。
図４１は、本発明の表示装置の構成図である。
図４２は、本発明の表示パネルの画素構成図である。
図４３は、本発明の表示パネルの画素構成図である。
図４４は、本発明の表示装置の駆動方法の説明図である。
図４５は、本発明の表示装置の駆動方法の説明図である。
図４６は、本発明の表示装置の駆動方法の説明図である。
図４７は、本発明の表示パネルの画素構成図である。
図４８は、本発明の表示装置の構成図である。
図４９は、本発明の表示装置の駆動方法の説明図である。
図５０は、本発明の表示パネルの画素構成図である。
図５１は、本発明の表示パネルの画素図である。
図５２は、本発明の表示装置の駆動方法の説明図である。
図５３は、本発明の表示装置の駆動方法の説明図である。
図５４は、本発明の表示パネルの画素構成図である。
図５５は、本発明の表示装置の駆動方法の説明図である。
図５６は、本発明の表示装置の駆動方法の説明図である。
図５７は、本発明の携帯電話の説明図である。
図５８は、本発明のビューファインダの説明図である。
図５９は、本発明のビデオカメラの説明図である。
図６０は、本発明のデジタルカメラの説明図である。
図６１は、本発明のテレビ（モニター）の説明図である。
図６２は、従来の表示パネルの画素構成図である。
図６３は、本発明のドライバ回路の機能ブロック図である。
図６４は、本発明のドライバ回路の説明図である。
図６５は、本発明のドライバ回路の説明図である
図６６は、電圧受け渡し方式の多段式カレントミラー回路の説明図である。
図６７は、電流受け渡し方式の多段式カレントミラー回路の説明図である。
図６８は、本発明の他の実施例におけるドライバ回路の説明図である。
図６９は、本発明の他の実施例におけるドライバ回路の説明図である。

図７０は、本発明の他に実施例におけるドライバ回路の説明図である。
図７１は、本発明の他の実施例におけるドライバ回路の説明図である。
図７２は、従来のドライバ回路の説明図である。
図７３は、本発明のドライバ回路の説明図である。
図７４は、本発明のドライバ回路の説明図である。
図７５は、本発明のドライバ回路の説明図である。
図７６は、本発明のドライバ回路の説明図である。
図７７は、本発明のドライバ回路の制御方法の説明図である。
図７８は、本発明のドライバ回路の説明図である。
図７９は、本発明のドライバ回路の説明図である。
図８０は、本発明のドライバ回路の説明図である。
図８１は、本発明のドライバ回路の説明図である。
図８２は、本発明のドライバ回路の説明図である。
図８３は、本発明のドライバ回路の説明図である。
図８４は、本発明のドライバ回路の説明図である。
図８５は、本発明のドライバ回路の説明図である。
図８６は、本発明のドライバ回路の説明図である。
図８７は、本発明のドライバ回路の説明図である。
図８８は、本発明の駆動方法の説明図である。
図８９は、本発明のドライバ回路の説明図である。
図９０は、本発明の駆動方法の説明図である。
図９１は、本発明のＥＬ表示装置の構成図である。
図９２は、本発明のＥＬ表示装置の構成図である。
図９３は、本発明のドライバ回路の説明図である。
図９４は、本発明のドライバ回路の説明図である。
図９５は、本発明のＥＬ表示装置の構成図である。
図９６は、本発明のＥＬ表示装置の構成図である。
図９７は、本発明のＥＬ表示装置の構成図である。
図９８は、本発明のＥＬ表示装置の構成図である。
図９９は、本発明のＥＬ表示装置の構成図である。
図１００は、本発明のＥＬ表示装置の断面図である。
図１０１は、本発明のＥＬ表示装置の断面図である。
図１０２は、本発明のＥＬ表示装置の構成図である。
図１０３は、本発明のＥＬ表示装置の構成図である。
図１０４は、本発明のＥＬ表示装置の構成図である。
図１０５は、本発明のＥＬ表示装置の構成図である。
図１０６は、本発明のＥＬ表示装置の構成図である。
図１０７は、本発明のＥＬ表示装置の構成図である。
図１０８は、本発明のＥＬ表示装置の構成図である。
図１０９は、本発明のＥＬ表示装置の構成図である。
図１１０は、本発明のソースドライバＩＣの説明図である。
図１１１は、本発明のゲートドライバ回路のブロック図である。
図１１２は、図１１１のゲートドライバ回路のタイミングチャート図である。
図１１３は、本発明のゲートドライバ回路の１部のブロック図である。
図１１４は、図１１３のゲートドライバ回路のタイミングチャート図である。
図１１５は、本発明のＥＬ表示装置の駆動方法の説明図である。
図１１６は、本発明のＥＬ表示装置の駆動方法の説明図である。
図１１７は、本発明のＥＬ表示装置の駆動回路の説明図である。
図１１８は、本発明のソースドライバＩＣの説明図である。
図１１９は、本発明のソースドライバＩＣの説明図である。

図１２０は、本発明のソースドライバＩＣの説明図である。
図１２１は、本発明のソースドライバＩＣの説明図である。
図１２２は、本発明のソースドライバＩＣの説明図である。
図１２３は、本発明のソースドライバＩＣの説明図である。
図１２４は、本発明のソースドライバＩＣの説明図である。
図１２５は、本発明のソースドライバＩＣの説明図である。
図１２６は、本発明のソースドライバＩＣの説明図である。
図１２７は、本発明のソースドライバＩＣの説明図である。
図１２８は、本発明のソースドライバＩＣの説明図である。
図１２９は、本発明のソースドライバＩＣの説明図である。
図１３０は、本発明のソースドライバＩＣの説明図である。
図１３１は、本発明のソースドライバＩＣの説明図である。
図１３２は、本発明のソースドライバＩＣの説明図である。
図１３３は、本発明のソースドライバＩＣの説明図である。
図１３４は、本発明のソースドライバＩＣの説明図である。
図１３５は、本発明のソースドライバＩＣの説明図である。
図１３６は、本発明のソースドライバＩＣの説明図である。
図１３７は、本発明のソースドライバＩＣの説明図である。
図１３８は、本発明のソースドライバＩＣの説明図である。
図１３９は、本発明のソースドライバＩＣの説明図である。
図１４０は、本発明の表示パネルの説明図である。
図１４１は、本発明の表示パネルの説明図である。
図１４２は、本発明の表示パネルの説明図である。
図１４３は、本発明の表示パネルの説明図である。
図１４４は、本発明の表示パネルの画素構成の説明図である。
図１４５は、本発明の表示パネルの画素構成の説明図である。
図１４６は、本発明のソースドライバＩＣの説明図である。
図１４７は、本発明のソースドライバＩＣの説明図である。
図１４８は、本発明のソースドライバＩＣの説明図である。
図１４９は、本発明のソースドライバＩＣの説明図である。
図１５０は、本発明のソースドライバＩＣの説明図である。
図１５１は、本発明のソースドライバＩＣの説明図である。
図１５２は、本発明のソースドライバＩＣの説明図である。
図１５３は、本発明のソースドライバＩＣの説明図である。
図１５４は、本発明のソースドライバＩＣの説明図である。
図１５５は、本発明のソースドライバＩＣの説明図である。
図１５６は、本発明のソースドライバＩＣの説明図である。
図１５７は、本発明のソースドライバＩＣの説明図である。
図１５８は、本発明のソースドライバＩＣの説明図である。
図１５９は、本発明のソースドライバＩＣの説明図である。
図１５０は、本発明のソースドライバＩＣの説明図である。
図１６１は、本発明のソースドライバＩＣの説明図である。
図１６２は、本発明のソースドライバＩＣの説明図である。
図１６３は、本発明のソースドライバＩＣの説明図である。
図１６４は、本発明のソースドライバＩＣの説明図である。
図１６５は、本発明のソースドライバＩＣの説明図である。
図１６６は、本発明のソースドライバＩＣの説明図である。
図１６７は、本発明のソースドライバＩＣの説明図である。
図１６８は、本発明のソースドライバＩＣの説明図である。
図１６９は、本発明のソースドライバＩＣの説明図である。

図１７０は、本発明のソースドライバＩＣの説明図である。
図１７１は、本発明のソースドライバＩＣの説明図である。
図１７２は、本発明のソースドライバＩＣの説明図である。
図１７３は、本発明のソースドライバＩＣの説明図である。
図１７４は、本発明のＥＬ表示装置の駆動方法の説明図である。
図１７５は、本発明のＥＬ表示装置の駆動方法の説明図である。
図１７６は、本発明のＥＬ表示装置の駆動回路の説明図である。
図１７７は、本発明のＥＬ表示装置の駆動方法の説明図である。
図１７８は、本発明のＥＬ表示装置の駆動方法の説明図である。
図１７９は、本発明のＥＬ表示装置の駆動回路の説明図である。
図１８０は、本発明のＥＬ表示装置の駆動方法の説明図である。
図１８１は、本発明のＥＬ表示装置の駆動方法の説明図である。
図１８２は、本発明のＥＬ表示装置の説明図である。
図１８３は、本発明のＥＬ表示装置の説明図である。
図１８４は、本発明のＥＬ表示装置の説明図である。
図１８５は、本発明のＥＬ表示装置の説明図である。
図１８６は、本発明のＥＬ表示装置の駆動方法の説明図である。
図１８７は、本発明のＥＬ表示装置の駆動方法の説明図である。
図１８８は、本発明のＥＬ表示装置の駆動回路の説明図である。
図１８９は、本発明のＥＬ表示装置の駆動方法の説明図である。
図１９０は、本発明のＥＬ表示装置の駆動方法の説明図である。
図１９１は、本発明のＥＬ表示装置の駆動回路の説明図である。
図１９２は、本発明のＥＬ表示装置の駆動方法の説明図である。
図１９３は、本発明のＥＬ表示装置の駆動方法の説明図である。
図１９４は、本発明のＥＬ表示装置の駆動方法の説明図である。
図１９５は、本発明のＥＬ表示装置の駆動方法の説明図である。
図１９６は、本発明のＥＬ表示装置の駆動回路の説明図である。
図１９７は、本発明のＥＬ表示装置の駆動方法の説明図である。
図１９８は、本発明のＥＬ表示装置の駆動方法の説明図である。
図１９９は、本発明のＥＬ表示装置の駆動回路の説明図である。
図２００は、本発明のＥＬ表示装置の駆動方法の説明図である。
図２０１は、本発明のＥＬ表示装置の説明図である。
図２０２は、本発明のＥＬ表示装置の説明図である。
図２０３は、本発明のＥＬ表示装置の説明図である。
図２０４は、本発明のＥＬ表示装置の説明図である。
図２０５は、本発明のＥＬ表示装置の説明図である。
図２０６は、本発明のＥＬ表示装置の説明図である。
図２０７は、本発明のＥＬ表示装置の説明図である。
図２０８は、本発明のＥＬ表示装置の説明図である。
図２０９は、本発明のＥＬ表示装置の説明図である。
図２１０は、本発明のＥＬ表示装置の説明図である。
図２１１は、本発明のソースドライバＩＣの説明図である。
図２１２は、本発明のソースドライバＩＣの説明図である。
図２１３は、本発明のソースドライバＩＣの説明図である。
図２１４は、本発明のソースドライバＩＣの説明図である。
図２１５は、本発明のソースドライバＩＣの説明図である。
図２１６は、本発明のソースドライバＩＣの説明図である。
図２１７は、本発明のソースドライバＩＣの説明図である。
図２１８は、本発明のソースドライバＩＣの説明図である。
図２１９は、本発明のソースドライバＩＣの説明図である。

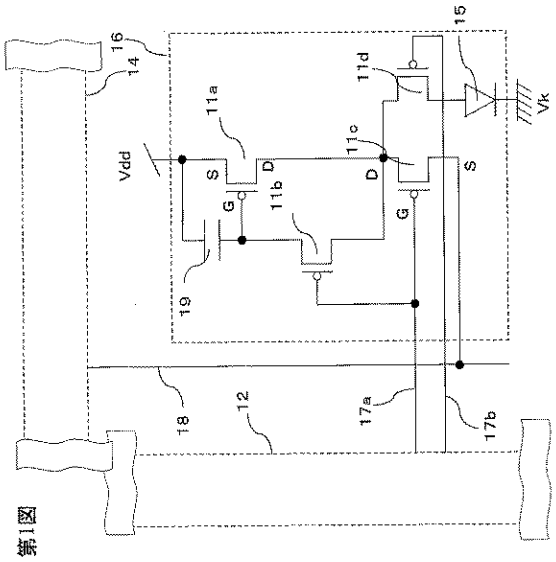
図２２０は、本発明のソースドライバＩＣの説明図である。
図２２１は、本発明の表示装置の説明図である。
図２２２は、本発明の表示装置の説明図である。
図２２３は、本発明のソースドライバＩＣの説明図である。
図２２４は、本発明のソースドライバＩＣの説明図である。
図２２５は、本発明のソースドライバＩＣの説明図である。
図２２６は、本発明のソースドライバＩＣの説明図である。
図２２７は、本発明の表示装置の説明図である。
図２２８は、本発明の表示装置の説明図である。
（符号の説明）
１１　トランジスタ（薄膜トランジスタ）
１２　ゲートドライバＩＣ（回路）
１４　ソースドライバＩＣ（回路）
１５　ＥＬ（素子）（発光素子）
１６　画素
１７　ゲート信号線
１８　ソース信号線
１９　蓄積容量（付加コンデンサ、付加容量）
５０　表示画面
５１　書き込み画素（行）
５２　非表示画素（非表示領域、非点灯領域）
５３　表示画素（表示領域、点灯領域）
６１　シフトレジスタ
６２　インバータ
６３　出力バッファ
７１　アレイ基板（表示パネル）
７２　レーザー照射範囲（レーザースポット）
７３　位置決めマーカー
７４　ガラス基板（アレイ基板）
８１　コントロールＩＣ（回路）
８２　電源ＩＣ（回路）
８３　プリント基板
８４　フレキシブル基板
８５　封止フタ
８６　カソード配線
８７　アノード配線（Ｖｄｄ）
８８　データ信号線
８９　ゲート制御信号線
１０１　土手（リブ）
１０２　層間絶縁膜
１０４　コンタクト接続部
１０５　画素電極
１０６　カソード電極
１０７　乾燥剤
１０８　λ／４板
１０９　偏光板
１１１　薄膜封止膜
２８１　ダミー画素（行）
３４１　出力段回路
３７１　ＯＲ回路

４０１　点灯制御線
４７１　逆バイアス線
４７２　ゲート電位制御線
５６１　電子ボリウム回路
５６２　トランジスタのＳＤ（ソース－ドレイン）ショート
５７１　アンテナ
５７２　キー
５７３　筐体
５７４　表示パネル
５８１　接眼リング
５８２　拡大レンズ
５８３　凸レンズ
５９１　支点（回転部）
５９２　撮影レンズ
５９３　格納部
５９４　スイッチ
６０１　本体
６０２　撮影部
６０３　シャッタスイッチ
６１１　取り付け枠
６１２　脚
６１３　取り付け台
６１４　固定部
６３１　電流源
６３２　電流源
６３３　電流源
６４１　スイッチ（オンオフ手段）
６３４　電流源（１単位）
６４３　内部配線
６５１　ボリウム（電流調整手段）
６８１　トランジスタ群
６９１　抵抗（電流制限手段、所定電圧発生手段）
６９２　デコーダ回路
６９３　レベルシフタ回路
７０１　カウンタ（計数手段）
７０２　ＮＯＲ
７０３　ＡＮＤ
７０４　電流出力回路
７１１　嵩上げ回路
７２１　Ｄ／Ａ変換器
７２２　オペアンプ
７３１　アナログスイッチ（オンオフ手段）
７３２　インバータ
７６１　出力パッド（出力信号端子）
７７１　基準電流源
７７２　電流制御回路
７８１　温度検出回路
７８２　温度制御回路
９３１　カスケード電流接続線
９３２　基準電流信号線

９４１ｉ　電流入力端子
９４１ｏ　電流出力端子
９５１　ベースアノード線（アノード電圧線）
９５２　アノード配線
９５３　接続端子
９６１　接続アノード線
９６２　共通アノード線
９７１　コンタクトホール
９９１　ベースカソード線
９９２　入力信号線
１００１　接続樹脂（導電性樹脂、異方向性導電樹脂）
１０１１　光吸収膜
１０１２　樹脂ビーズ
１０１３　封止樹脂
１０２１　回路形成部
１０５１　ゲート電圧線
１０９１　電源回路（ＩＣ）
１０９２　電源ＩＣ制御信号
１０９３　ゲートドライバ回路制御信号
１１１１　単位ゲート出力回路
１２４１　調整用トランジスタ
１２５１　カット箇所
１２５２　共通端子
１３４１　ダミートランジスタ
１３５１　トランジスタ（１単位トランジスタ）
１３５２　サブトランジスタ
１４０１　切り替え回路（アナログスイッチ）
１４９１　フラシュメモリ（設定値記憶手段）
１５０１　レーザー装置
１５０２　レーザー光
１５０３　抵抗アレイ（調整用抵抗）
１５２１　スイッチ（オンオフ手段）
１５３１　定常トランジスタ
１５４１　ＮＡＮＤ回路
１６０１　コンデンサ
１６１１　スリープスイッチ（オンオフ制御手段、基準電流オンオフ手段）
１６７１　保護ダイオード
１７３１　一致回路（階調検出回路）
１７４１　出力切り替え回路
１７４２　切り替えスイッチ
１８２１　アノード接続端子
２０１１　コイル（トランス）
２０１２　制御回路
２０１３　ダイオード
２０１４　コンデンサ
２０２１　スイッチ
２０２２　温度センサ
２０４１　レベルシフタ回路
２０４２　ゲートドライバ制御信号
２０６１　接着層（接続層、熱伝導層、密着層）

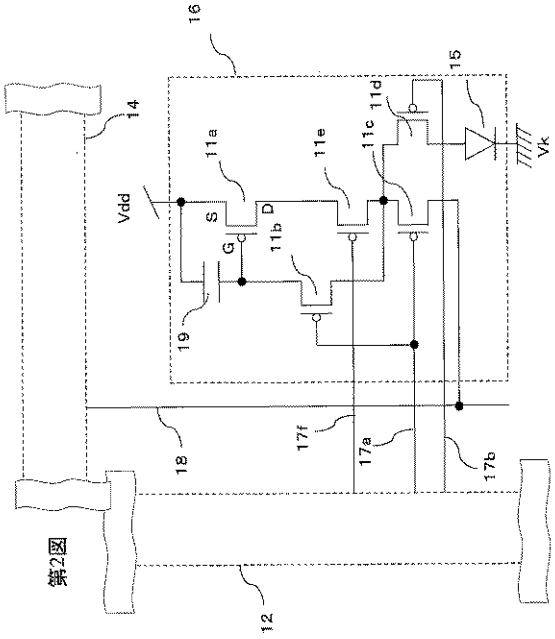
２０６２　シャーシ（金属シャーシ）
２０６３　凹凸
２０７１　穴
２２１１　制御電極
２２１２　映像信号回路
２２１３　電子放出突起
２２１４　保持回路
２２１５　オンオフ制御回路
２２２１　選択信号線
２２２２　オンオフ信号線
２２８１　封止樹脂

【図１】



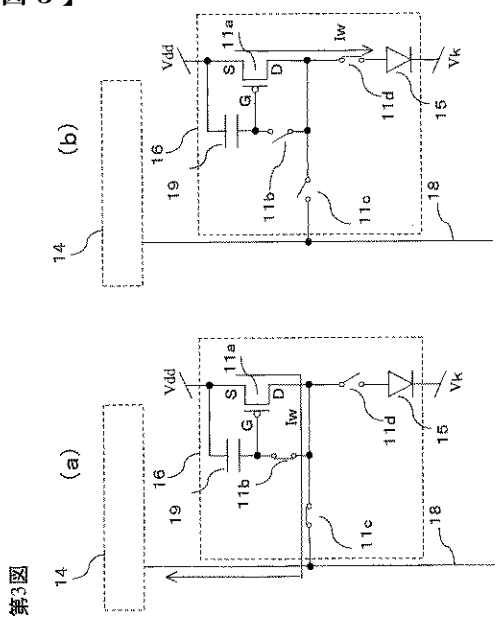
第1図

【図２】



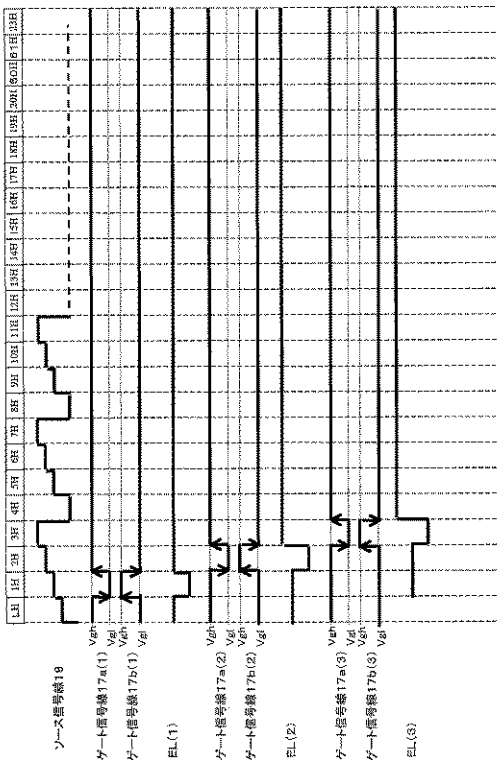
第2図

【図３】



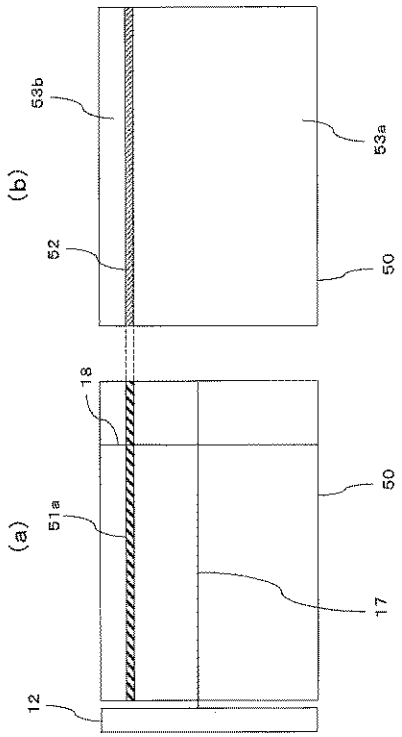
第3図

【図４】



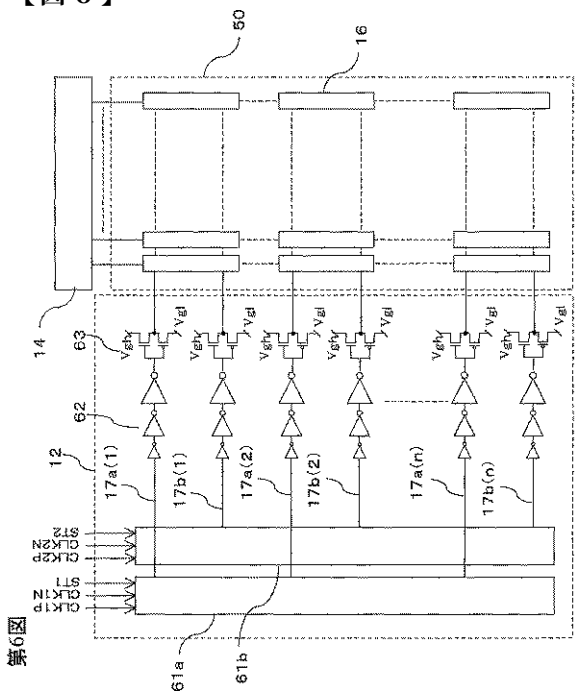
第4図

【図５】



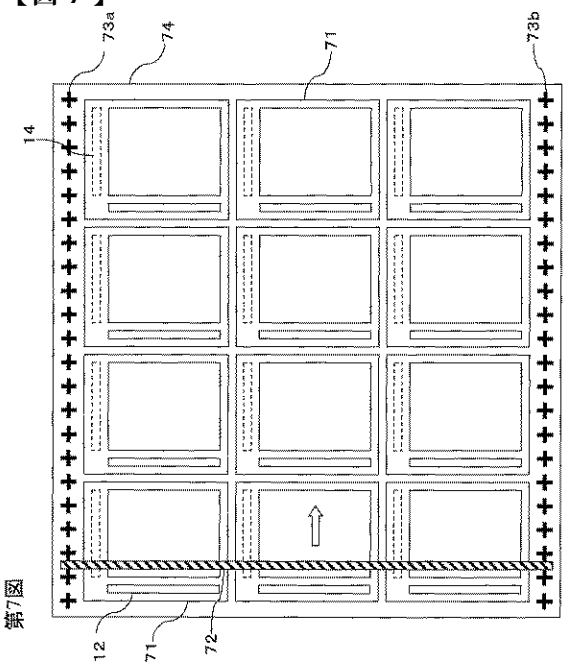
第5図

【図６】



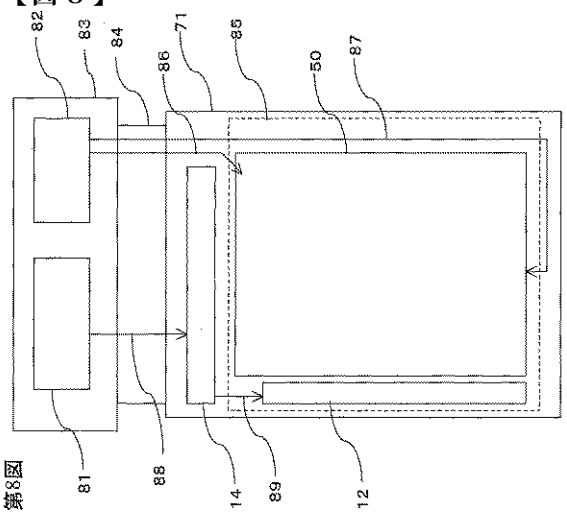
第6図

【図７】



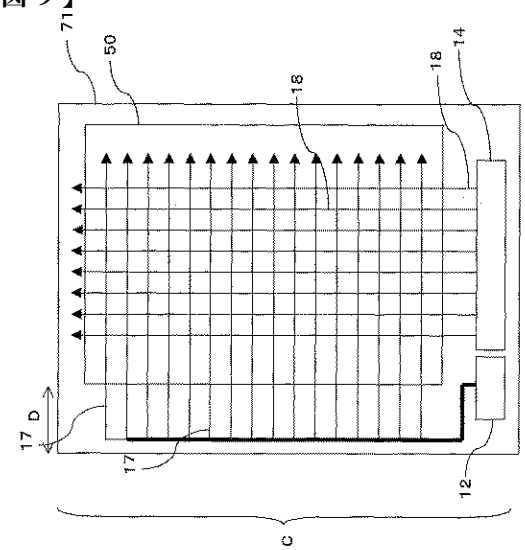
第7図

【図８】



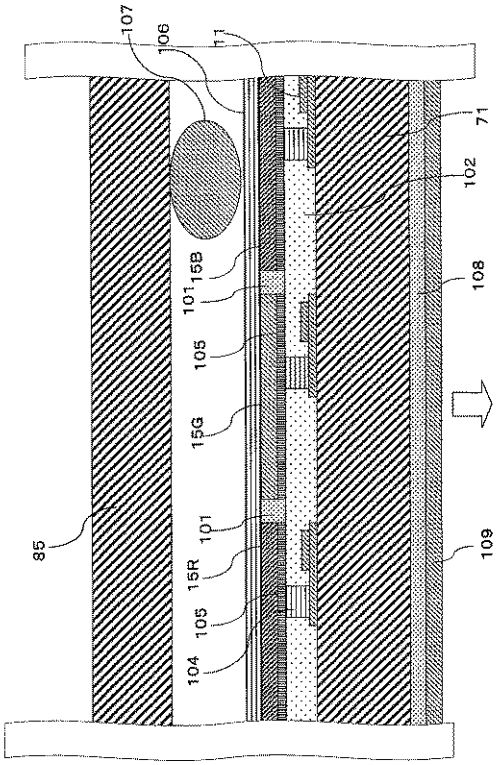
第8図

【図９】



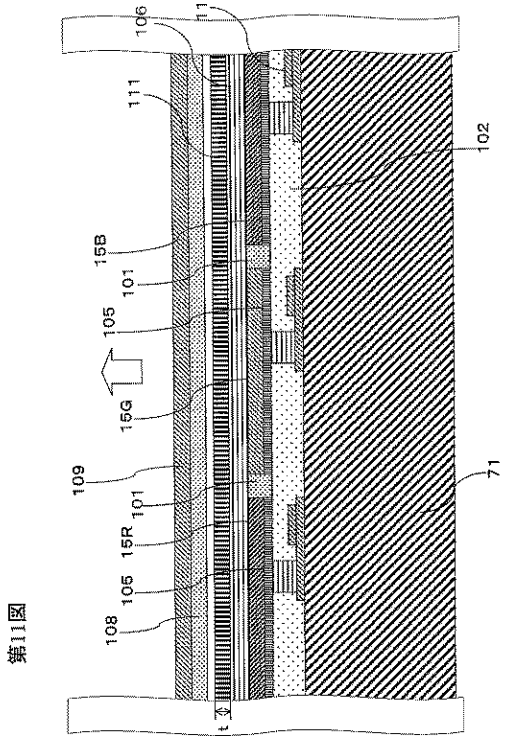
第9図

【図１０】

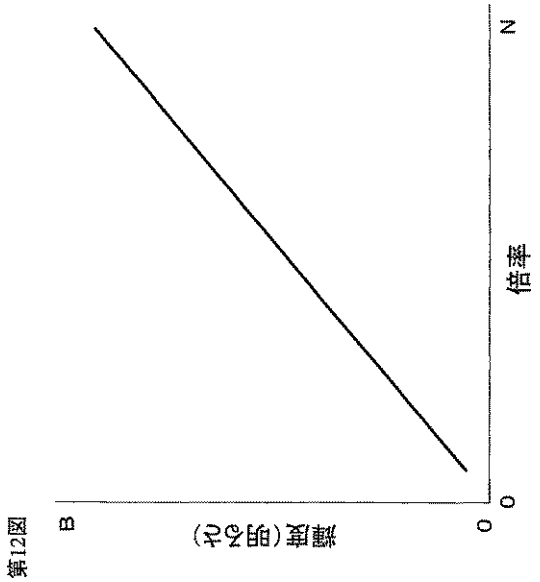


第10図

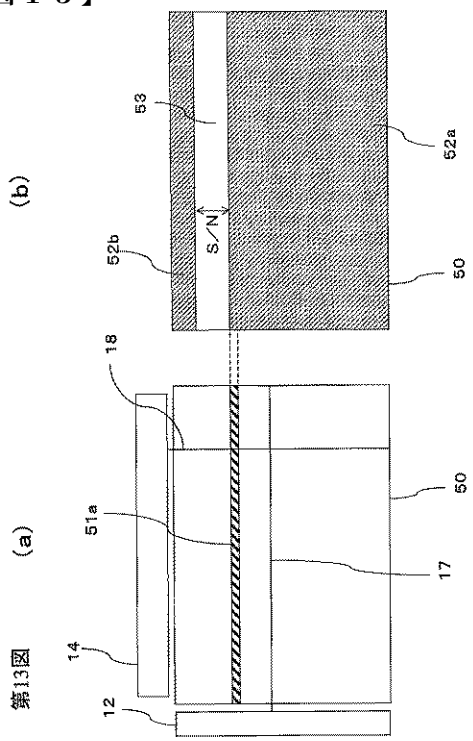
【図１１】



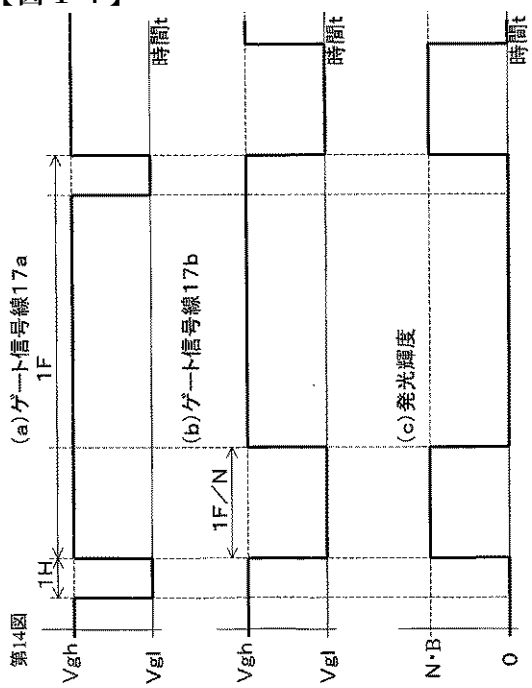
【図１２】



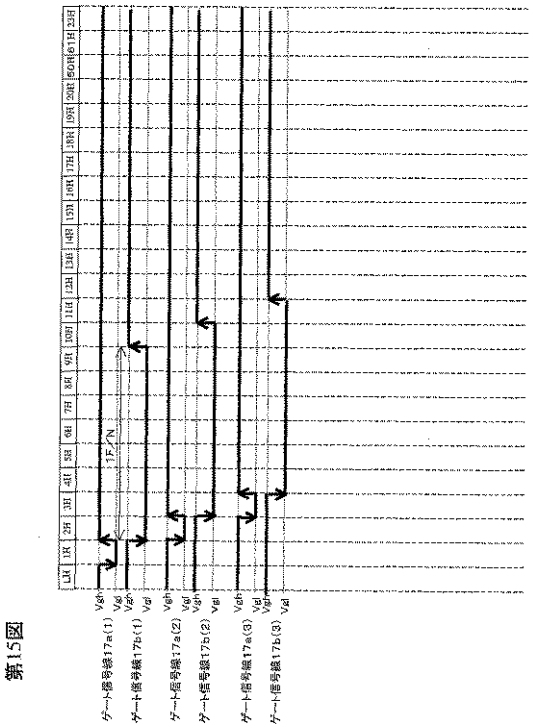
【図１３】



【図１４】

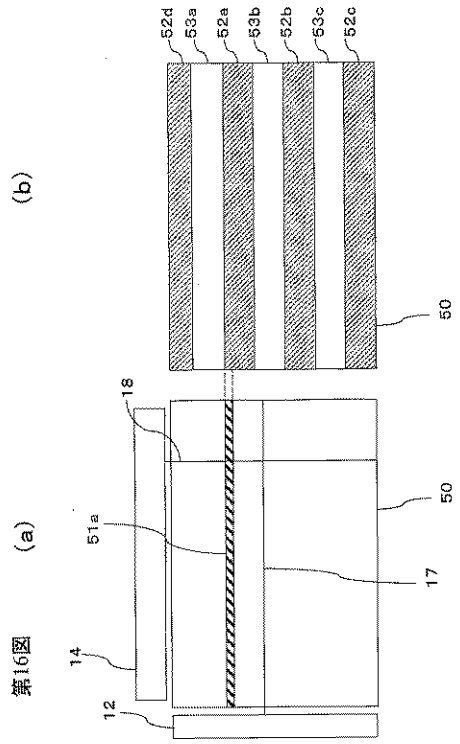


【図１５】



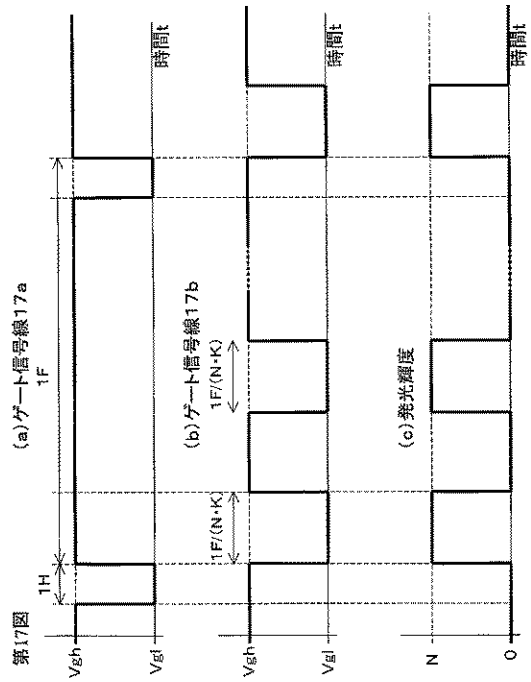
第15図

【図１６】



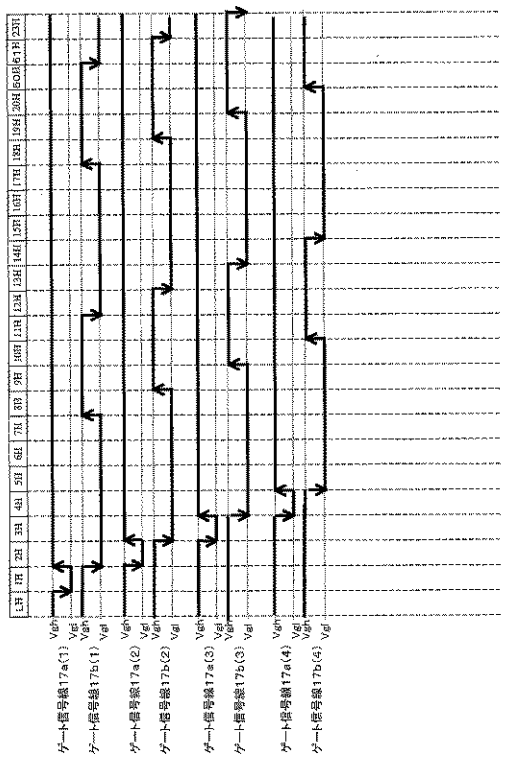
第16図

【図１７】



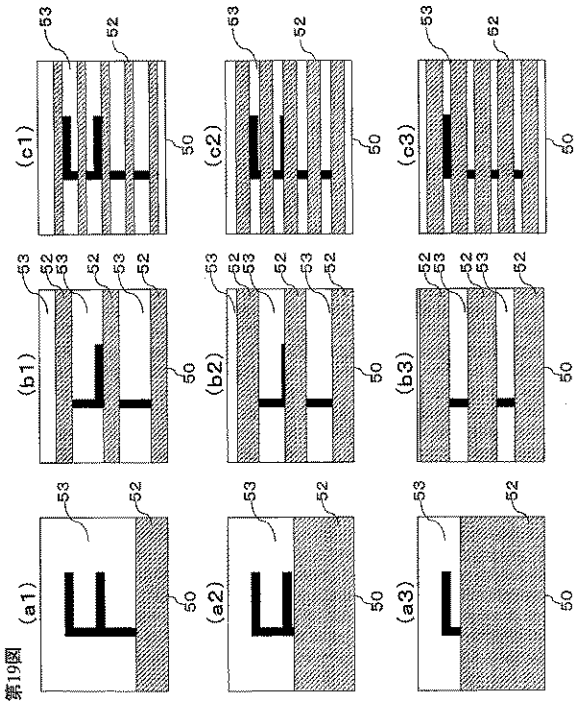
第17図

【図１８】



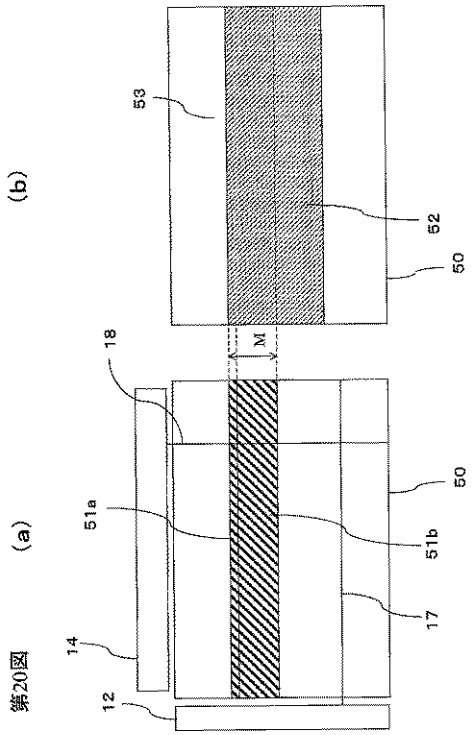
第18図

【図１９】



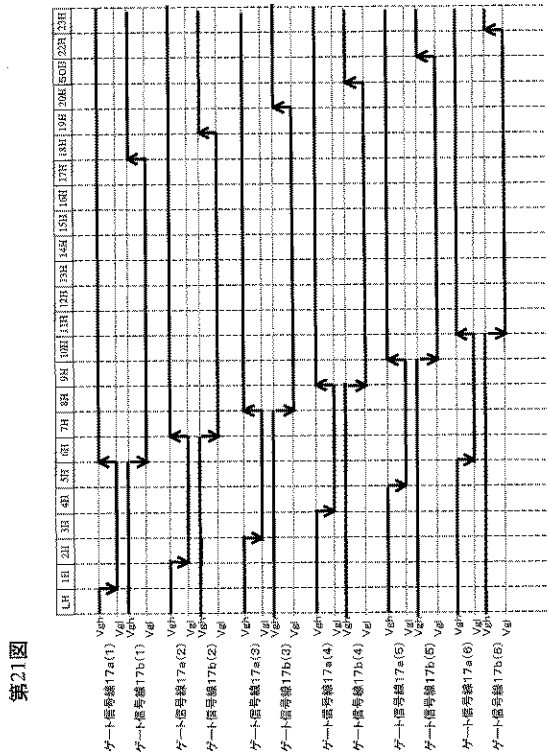
第19図

【図２０】



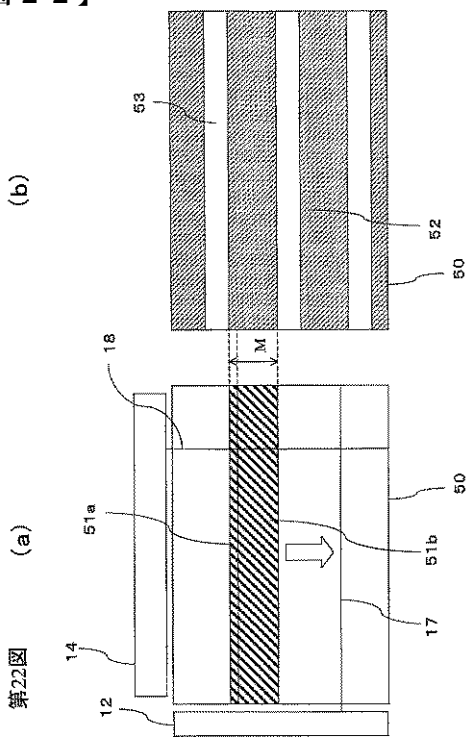
第20図

【図２１】



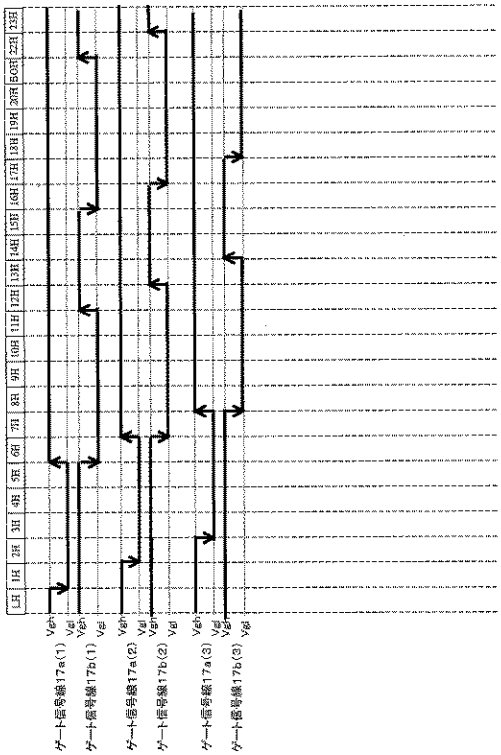
第21図

【図２２】



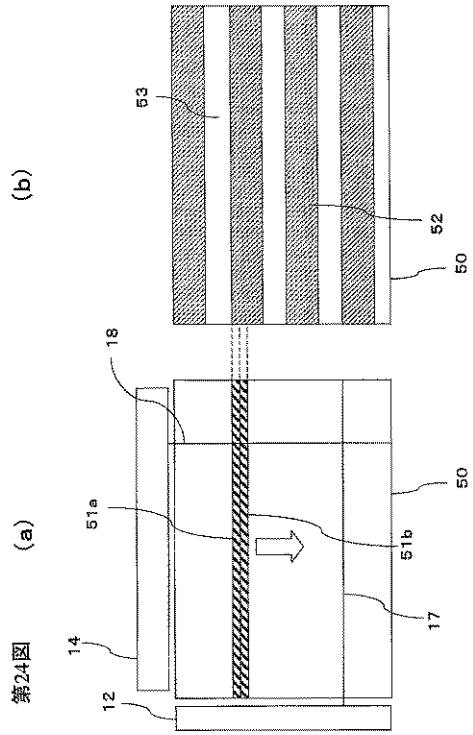
第22図

【図２３】



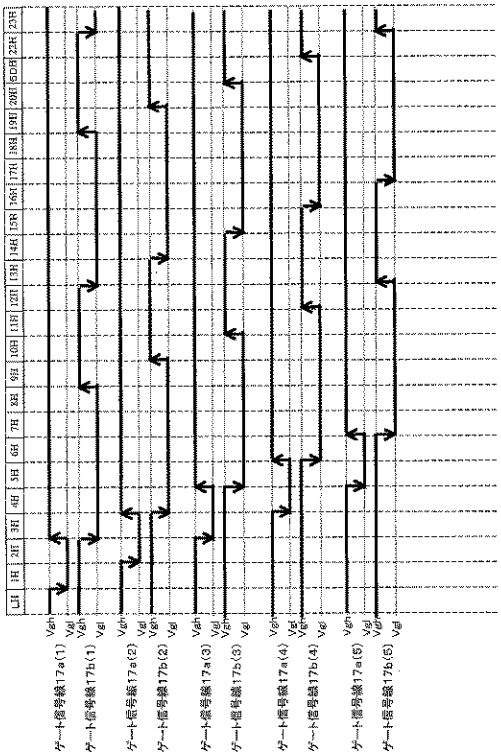
第23図

【図２４】



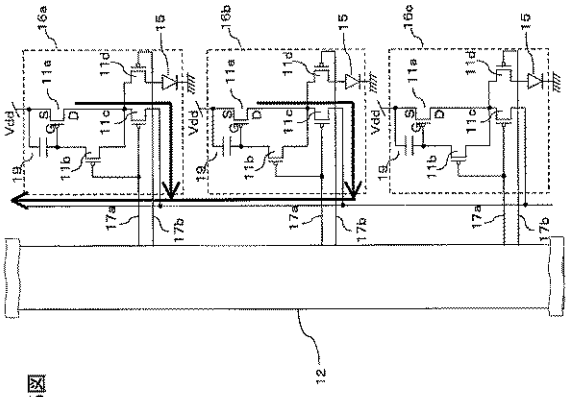
第24図

【図２５】



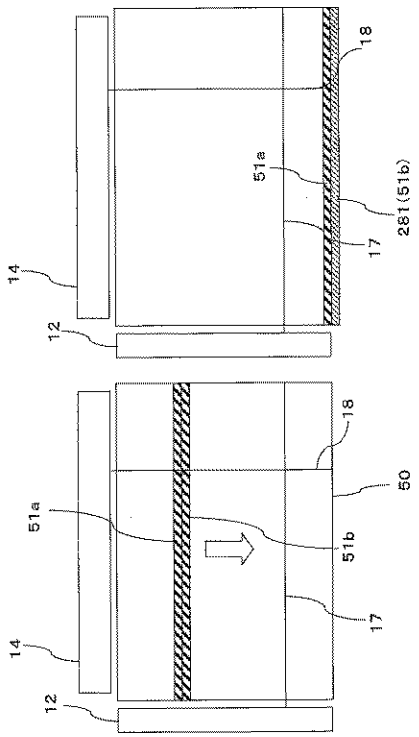
第25図

【図２６】



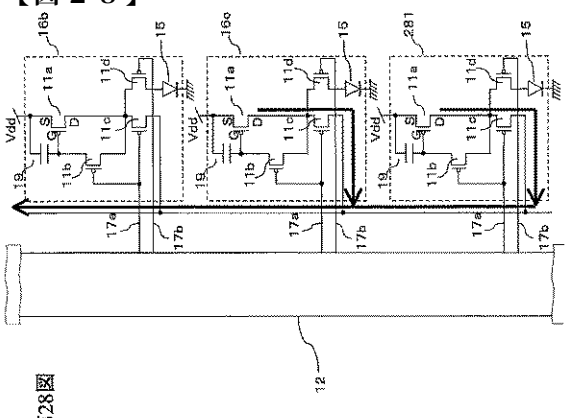
第26図

【図２７】



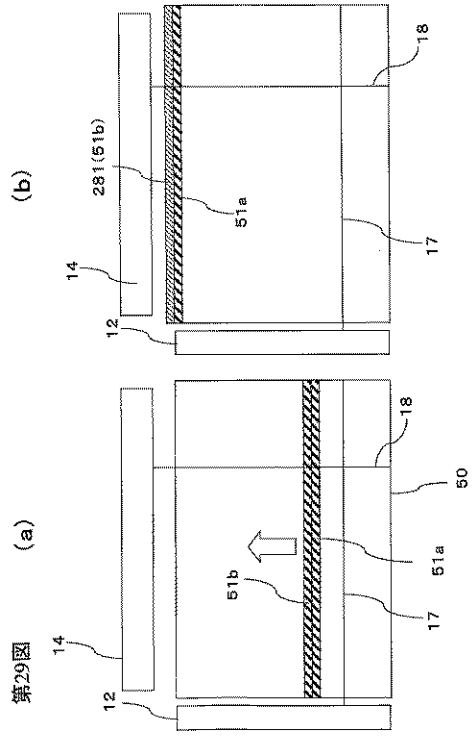
第27図

【図２８】



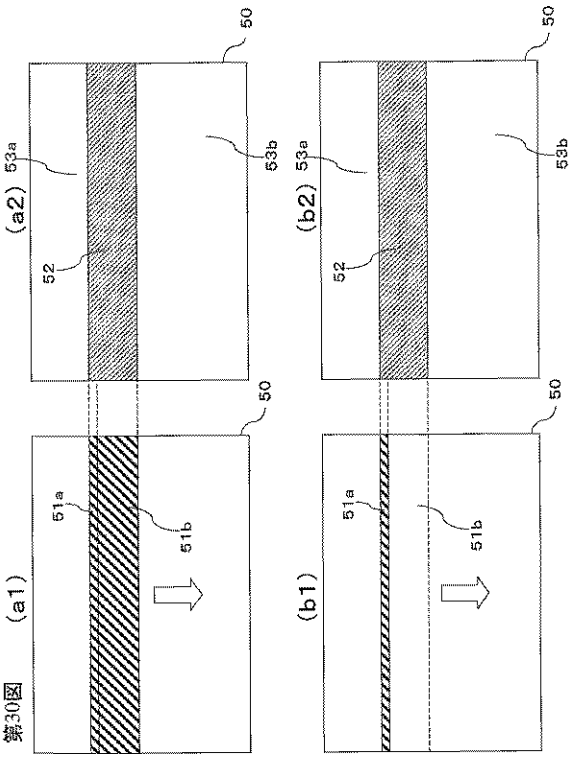
第28図

【図２９】



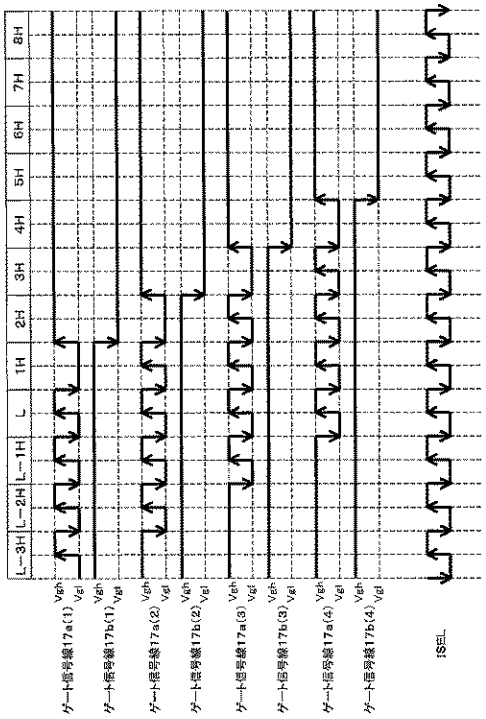
第29図

【図３０】



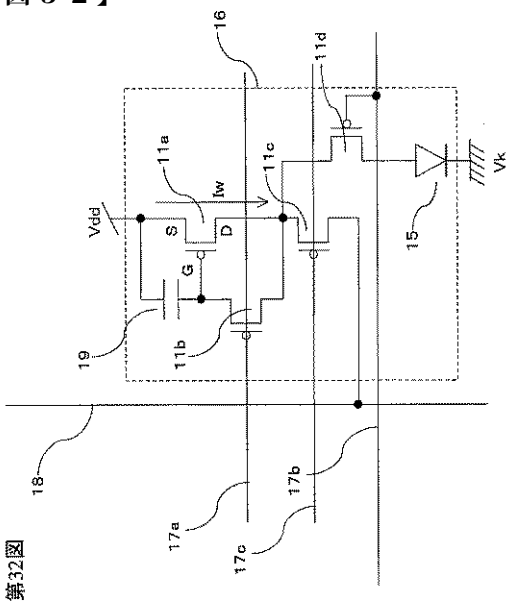
第30図

【図３１】



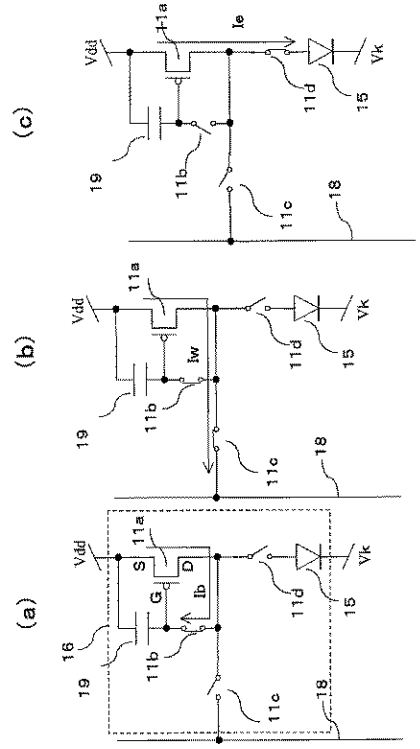
第31図

【図３２】



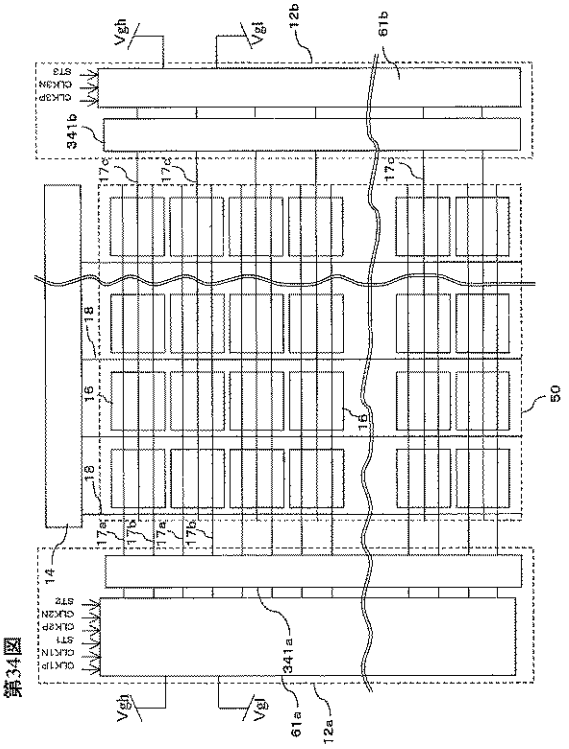
第32図

【図３３】



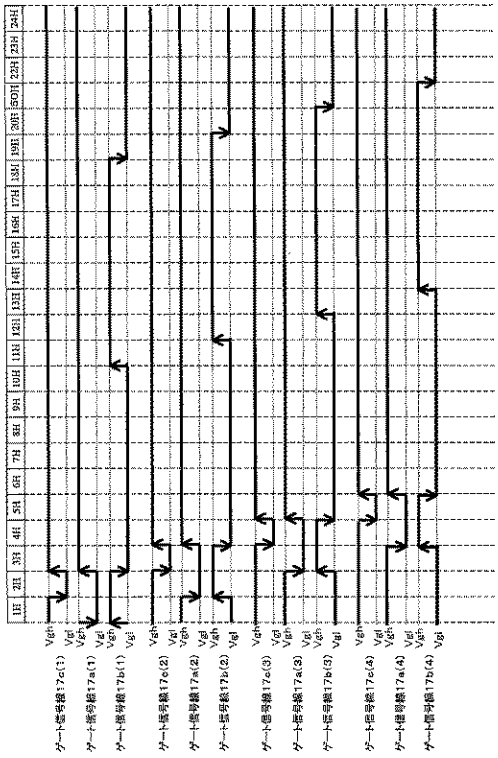
第33図

【図３４】



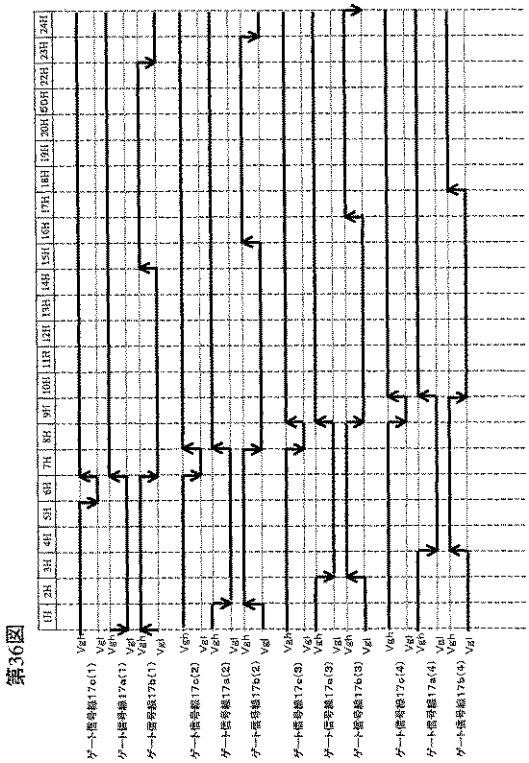
第34図

【図３５】



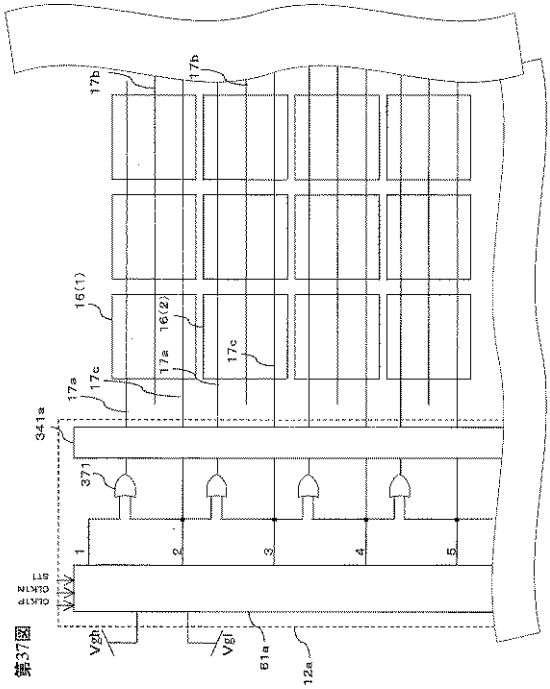
第35図

【図３６】



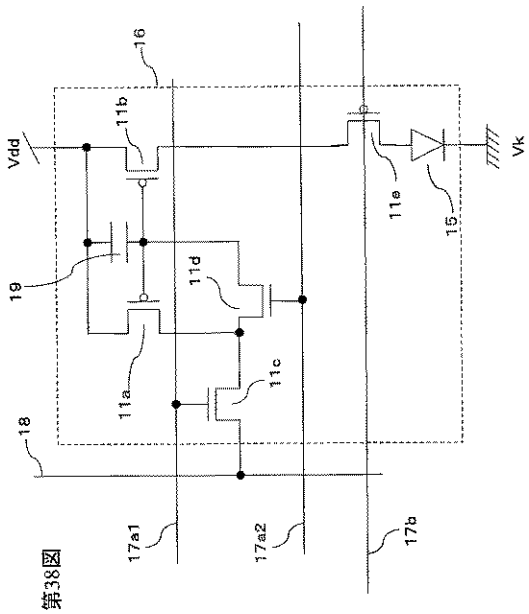
第36図

【図３７】



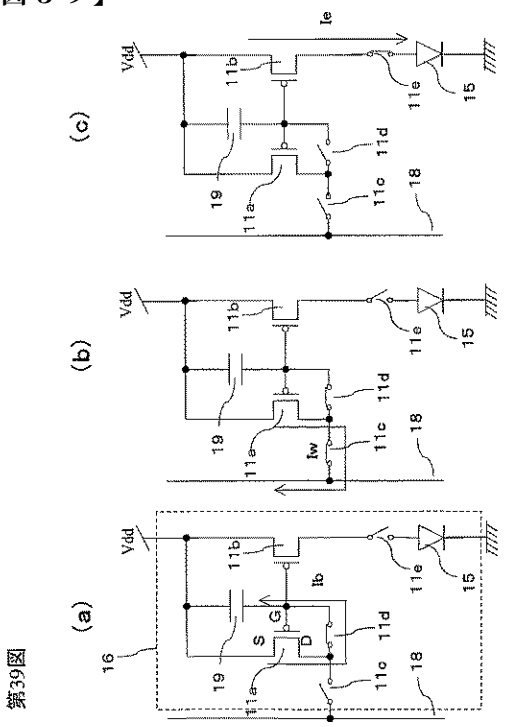
第37図

【図３８】

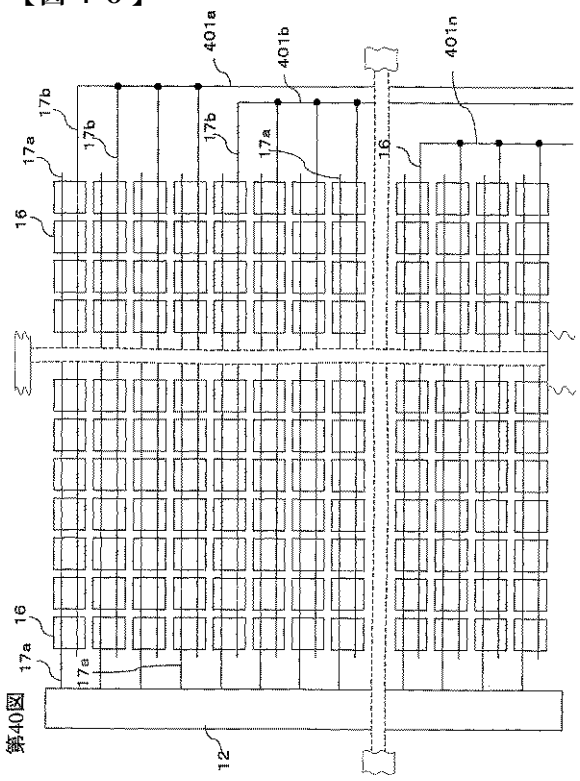


第38図

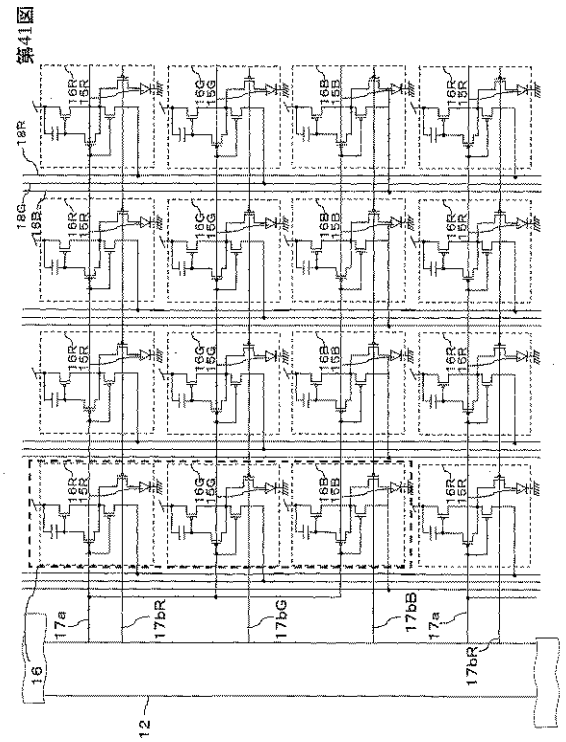
【図３９】



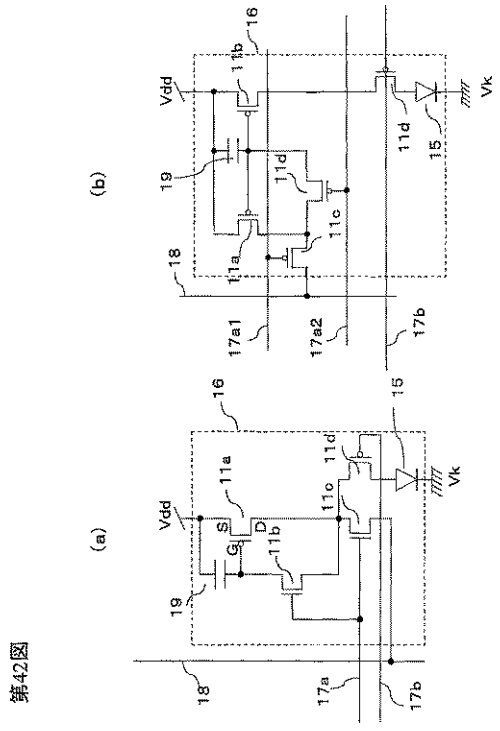
【図４０】



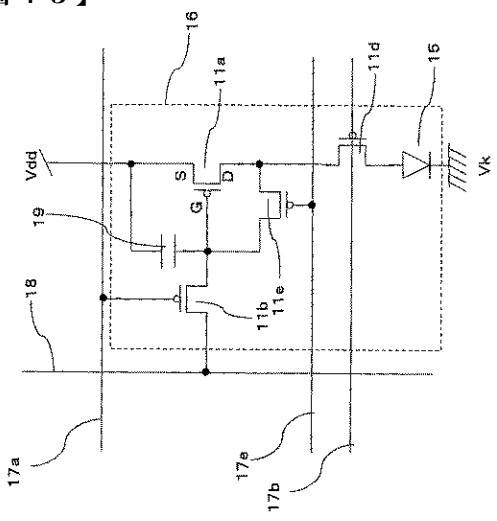
【図４１】



【図４２】

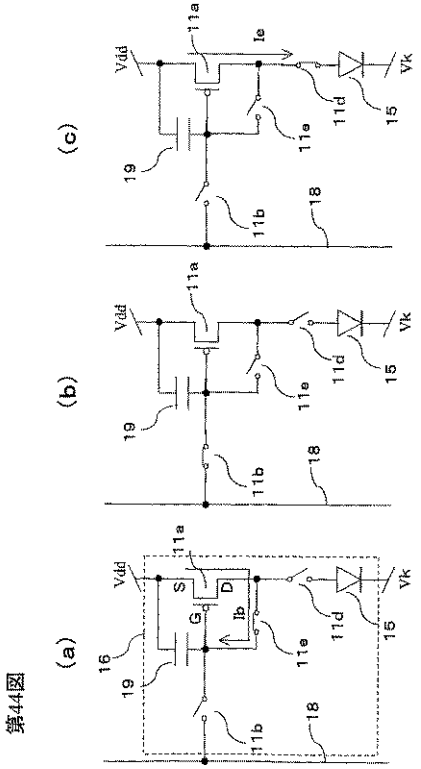


【図４３】



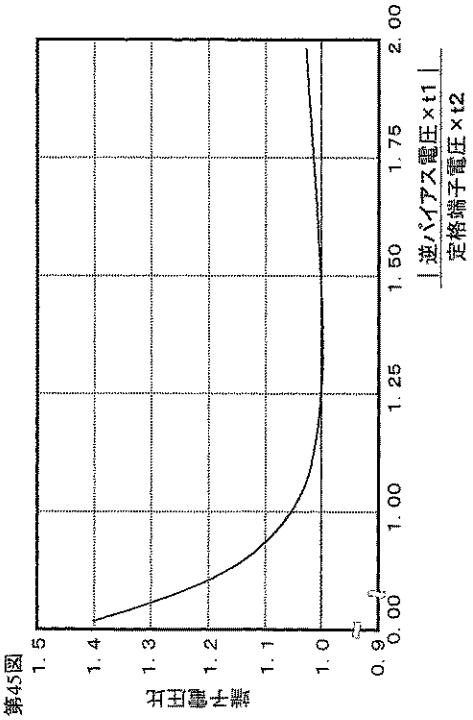
第43図

【図４４】



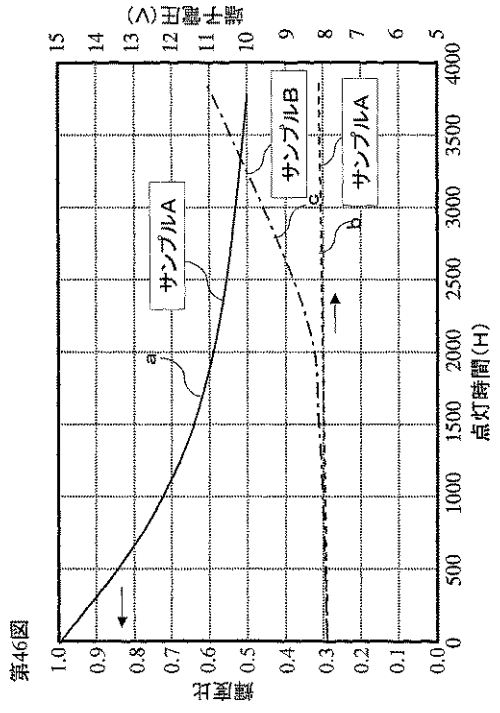
第44図

【図４５】



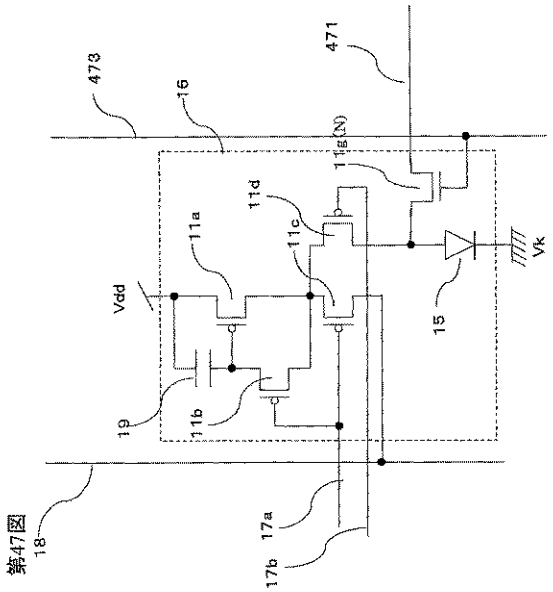
第45図

【図４６】



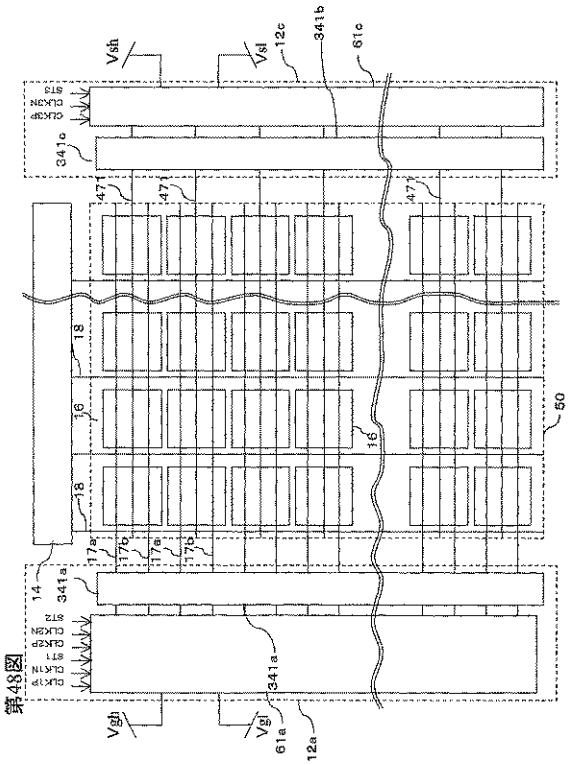
第46図

【図４７】



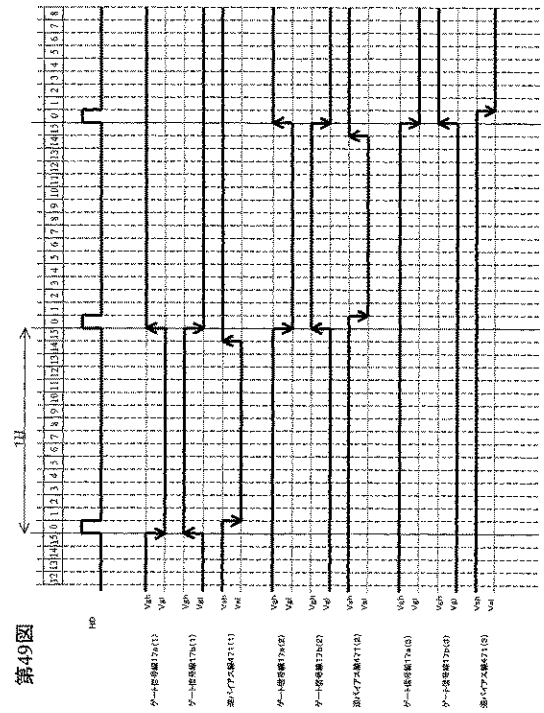
第47図

【図４８】



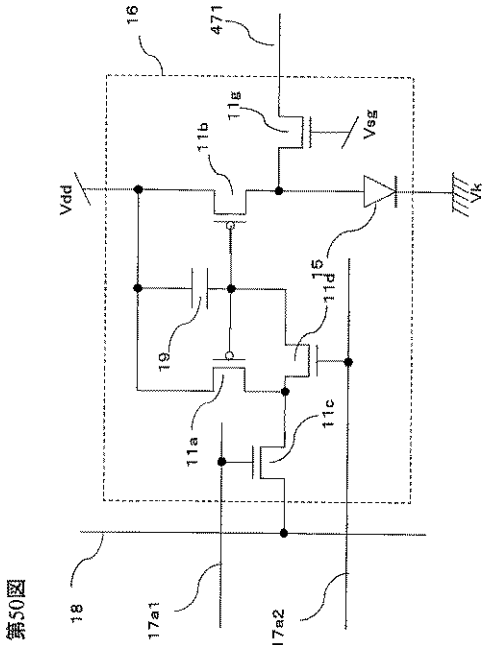
第48図

【図４９】



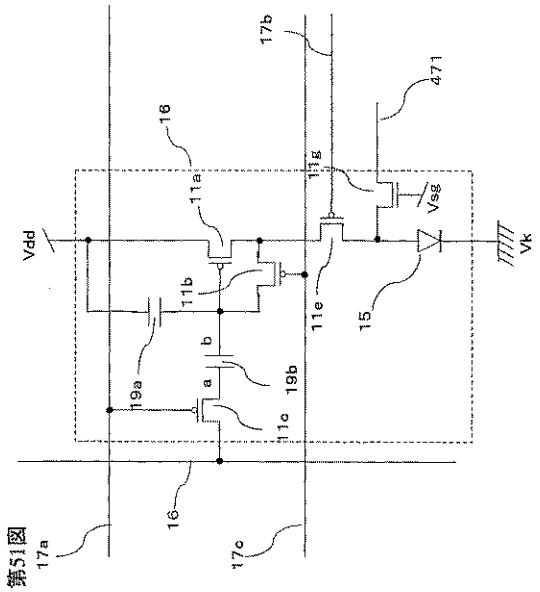
第49図

【図５０】



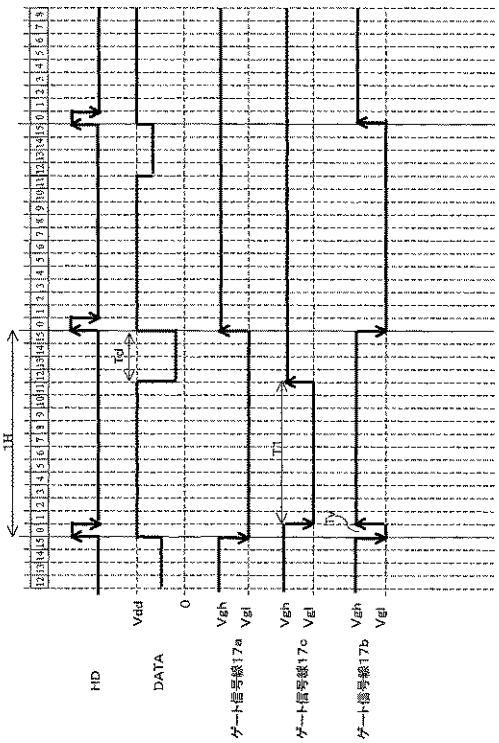
第50図

【図５１】



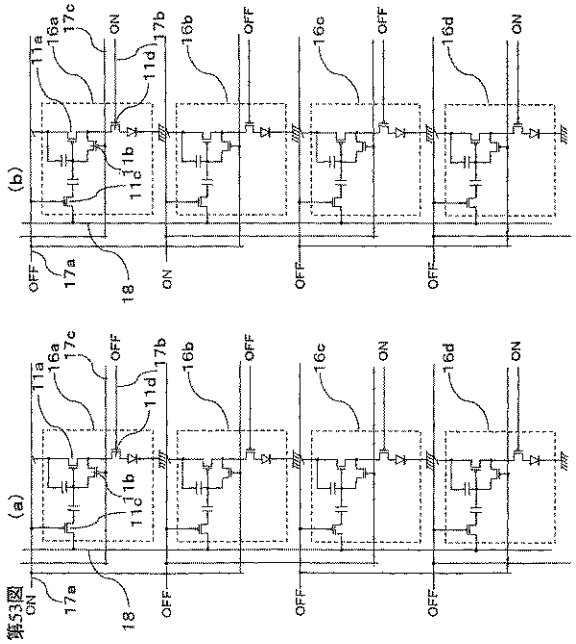
第51図

【図５２】



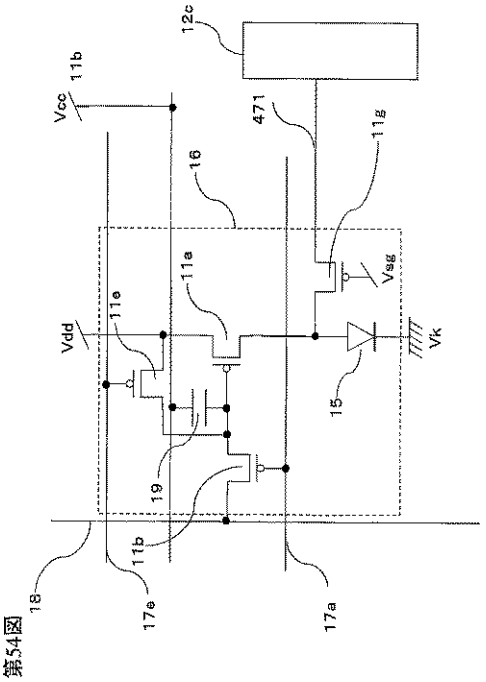
第52図

【図５３】



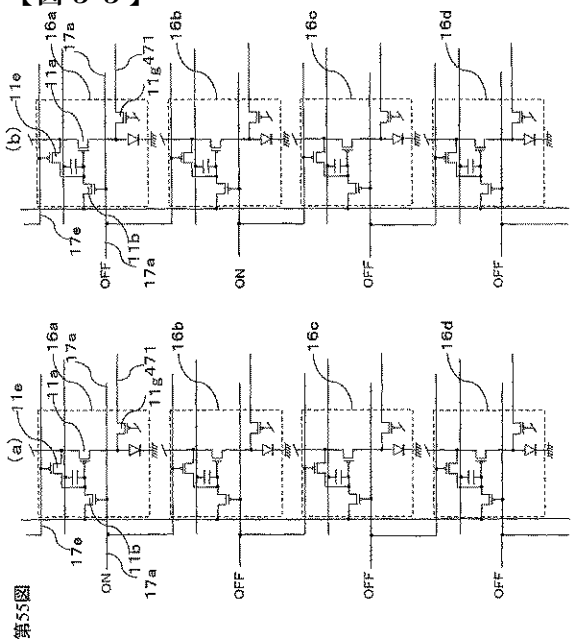
第53図

【図５４】



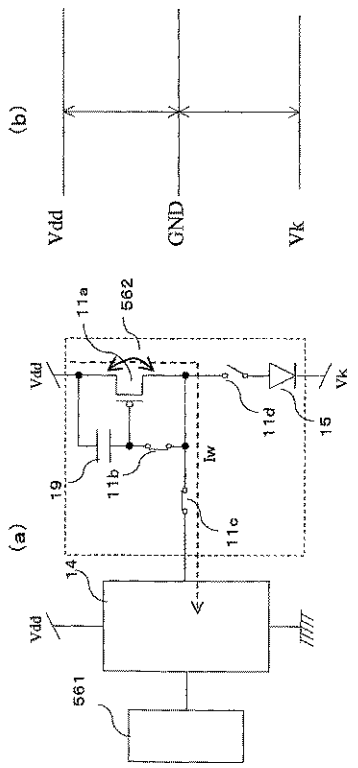
第54図

【図５５】



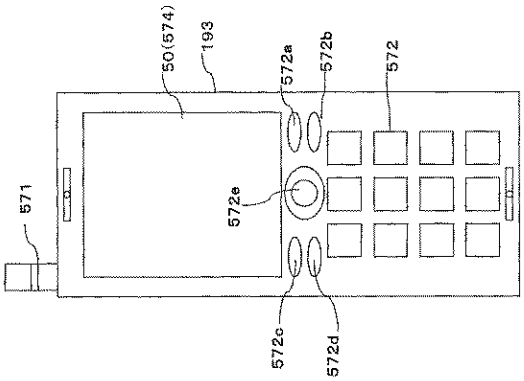
第55図

【図５６】



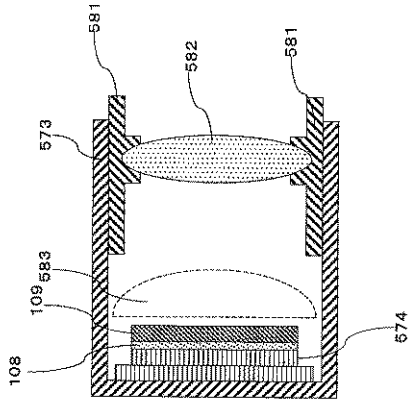
第56図

【図５７】



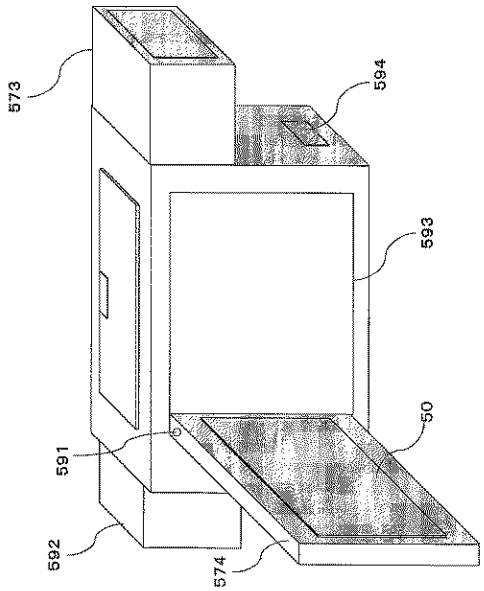
第57図

【図５８】



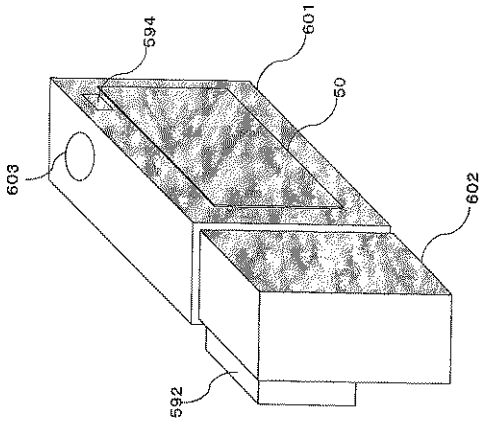
第58図

【図５９】



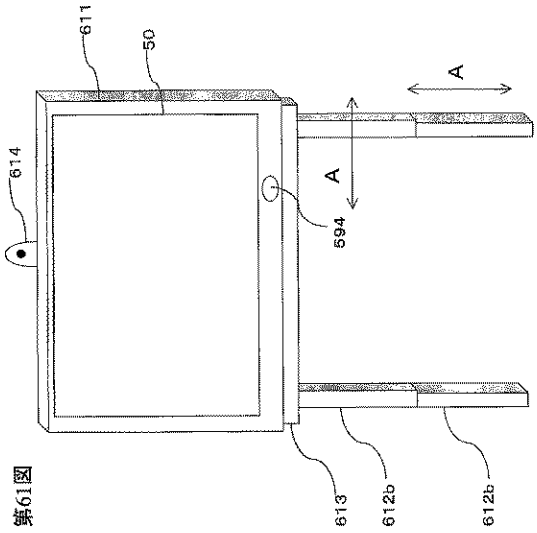
第59図

【図６０】



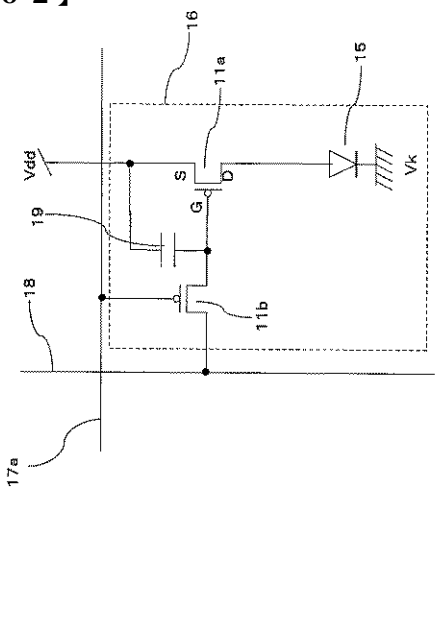
第60図

【図６１】



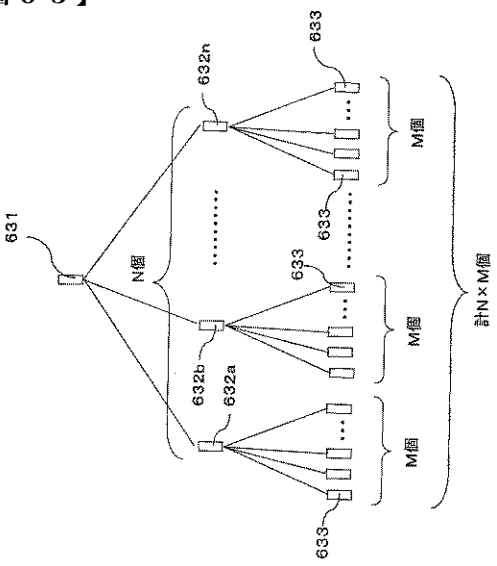
第61図

【図６２】



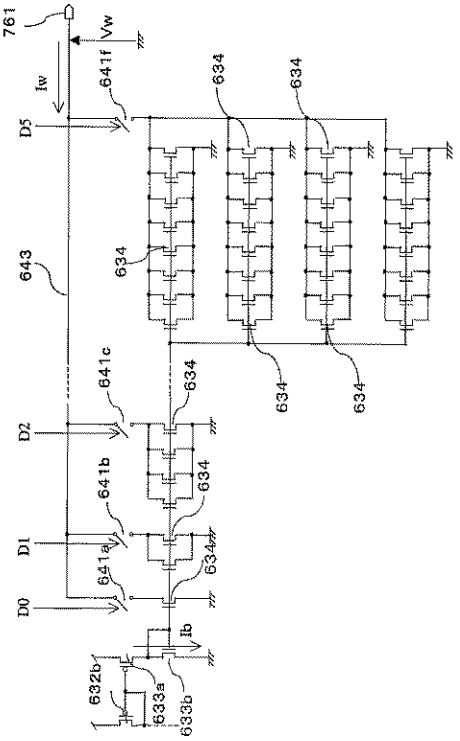
第62図

【図６３】



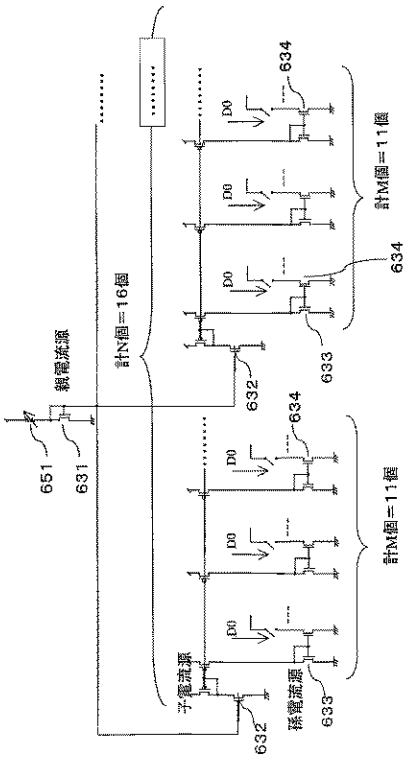
第63図

【図６４】



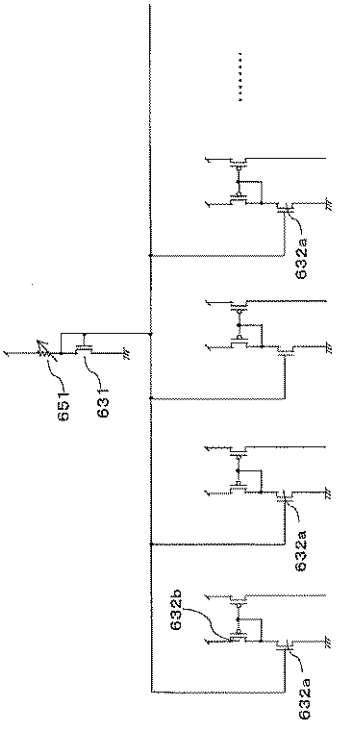
第64図

【図６５】



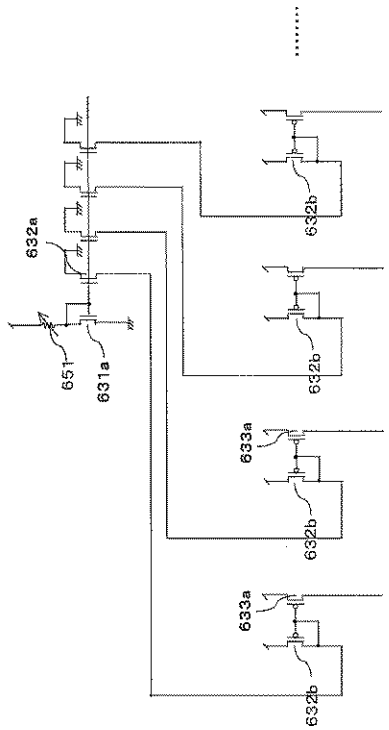
第65図

【図６６】



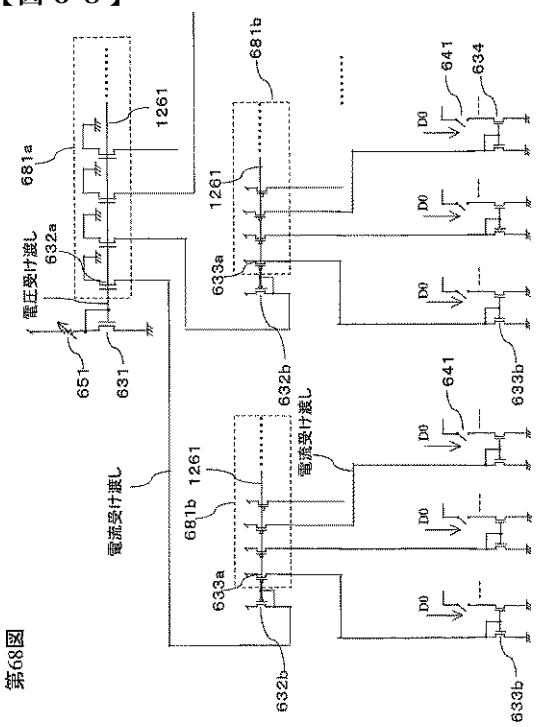
第66図

【図６７】



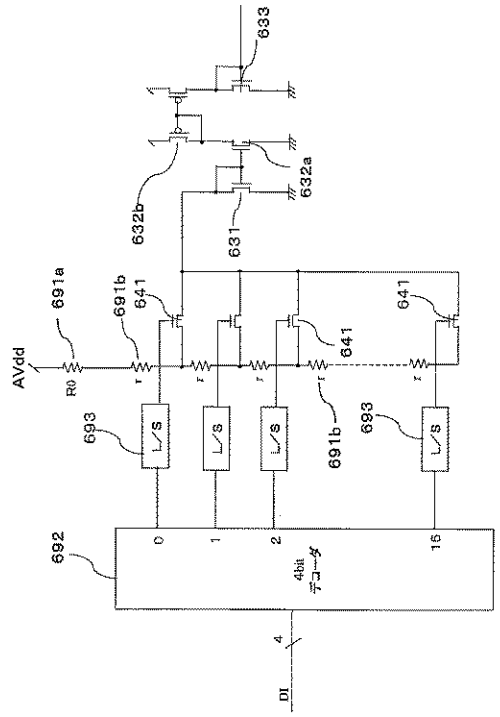
第67図

【図６８】



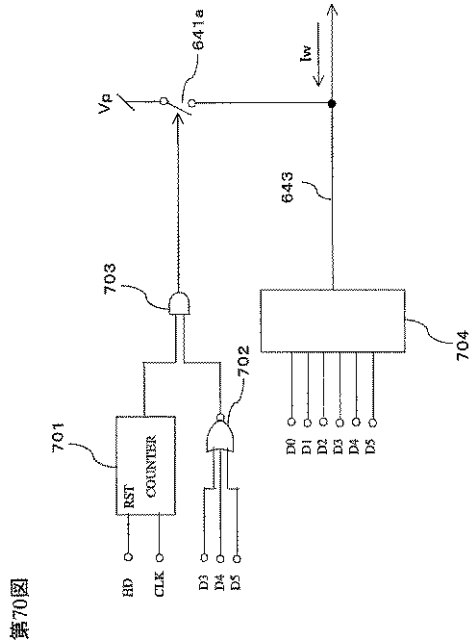
第68図

【図６９】



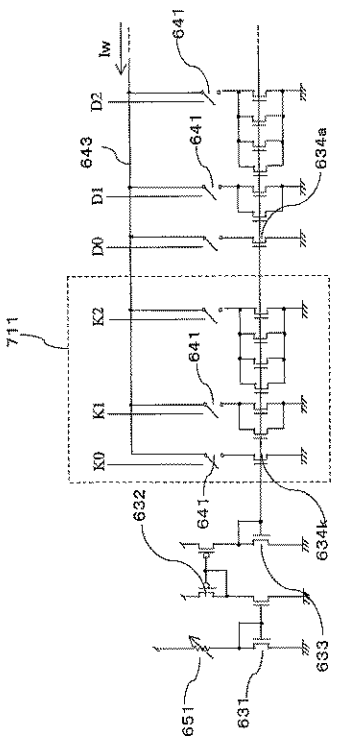
第69図

【図７０】



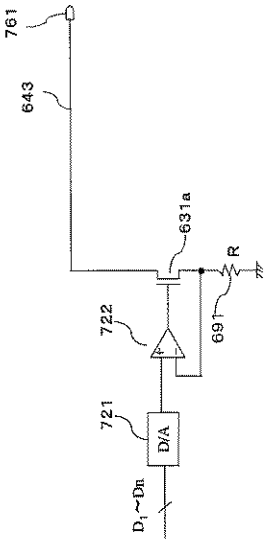
第70図

【図７１】



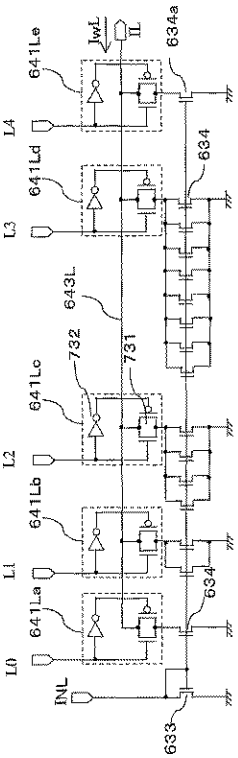
第71図

【図７２】



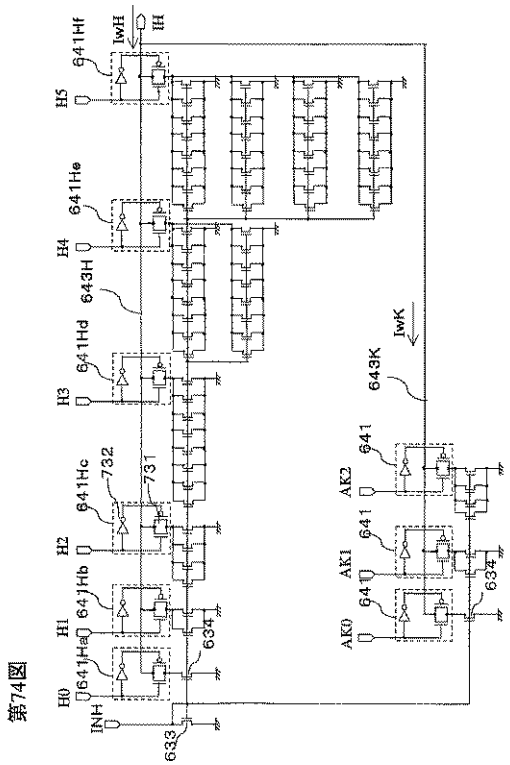
第72図

【図７３】



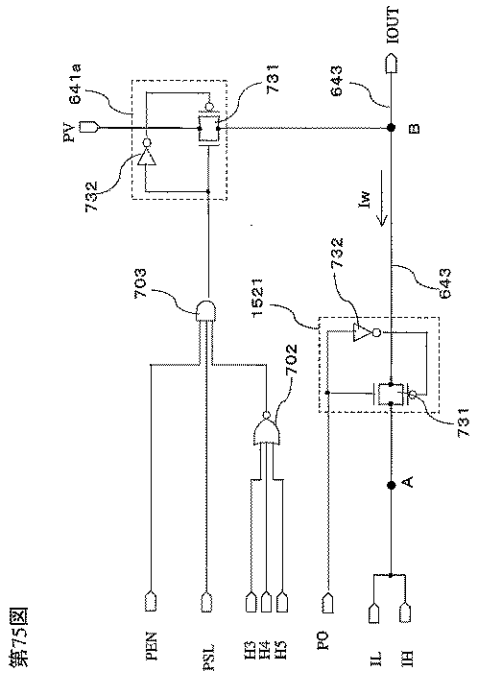
第73図

【図７４】



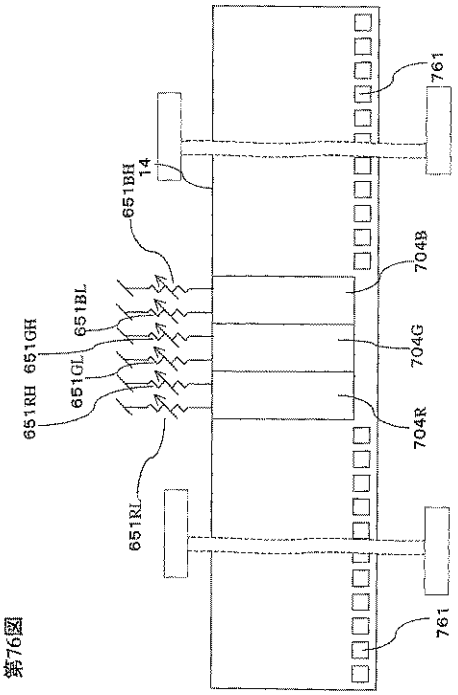
第74図

【図７５】



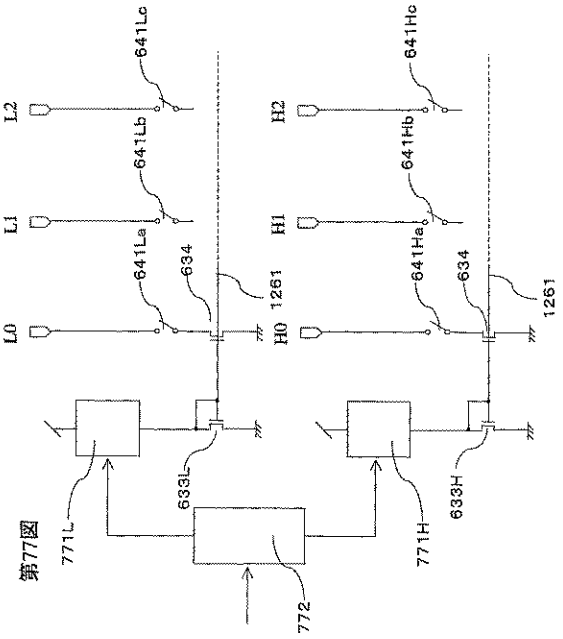
第75図

【図７６】



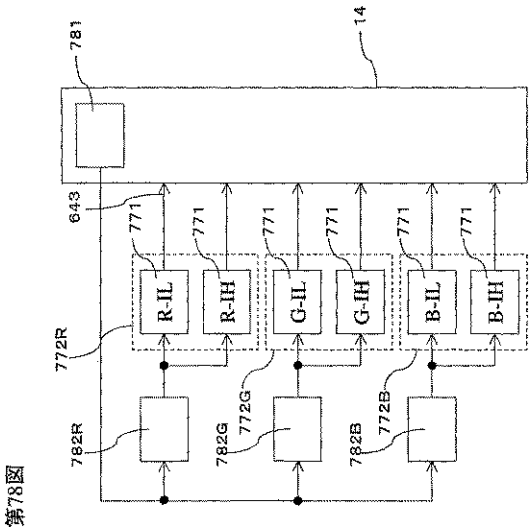
第76図

【図７７】



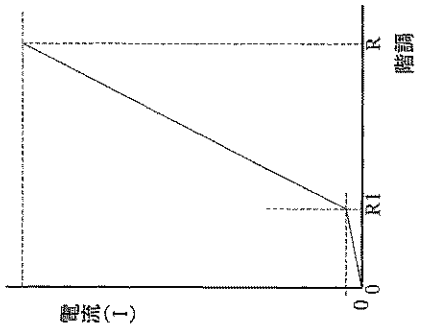
第77図

【図７８】



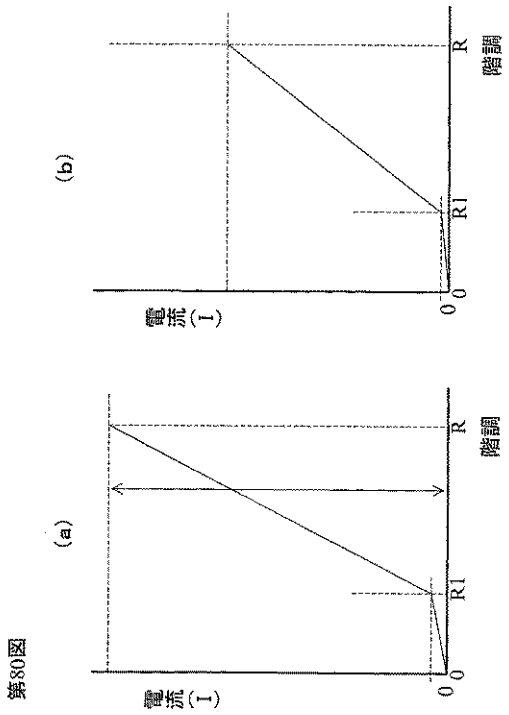
第78図

【図７９】



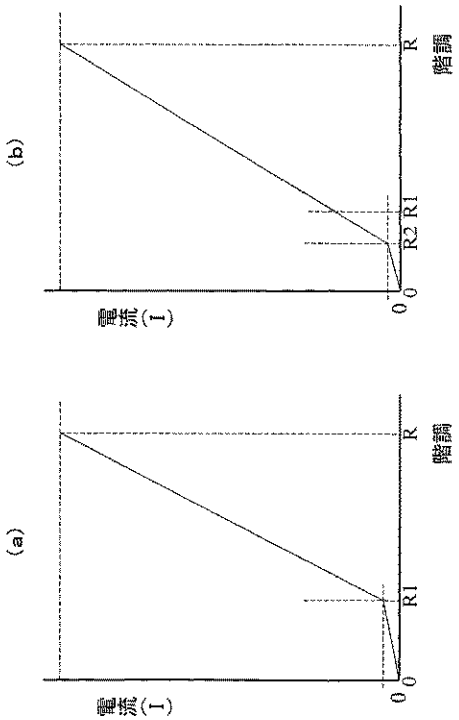
第79図

【図８０】



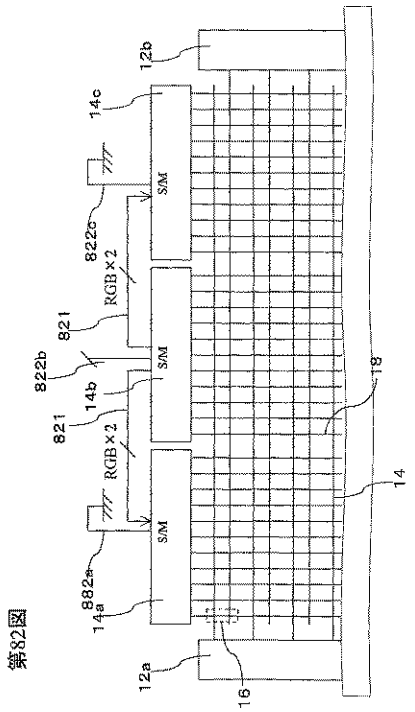
第80図

【図８１】



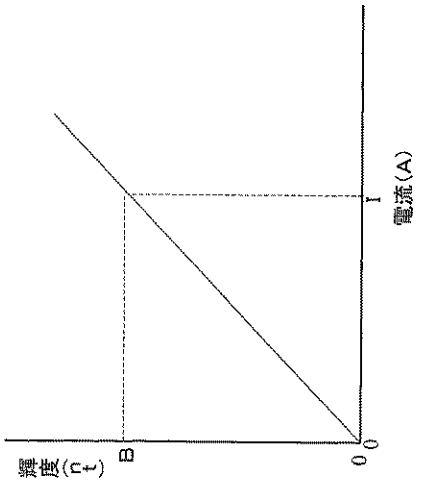
第81図

【図８２】



第82図

【図８３】



第83図

【図８４】

階調	L0	L1	L2	L3	L4	H0	H1	H2	H3	H4	H5
0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0
2	0	1	0	0	0	0	0	0	0	0	0
3	1	1	0	0	0	0	0	0	0	0	0
4	1	1	0	0	1	0	0	0	0	0	0
5	1	1	0	0	1	1	0	0	0	0	0
6	1	1	0	0	1	1	1	0	0	0	0
7	1	1	0	0	1	1	1	0	0	0	0
8	1	1	0	0	1	0	0	1	0	0	0
9	1	1	0	0	1	1	0	1	0	0	0
10	1	1	0	0	1	0	1	1	0	0	0
11	1	1	0	0	1	1	1	1	0	0	0
12	1	1	0	0	1	0	0	0	1	0	0
13	1	1	0	0	1	1	0	0	1	0	0
14	1	1	0	0	1	0	1	0	1	0	0
15	1	1	0	0	1	1	1	0	1	0	0
16	1	1	0	0	1	0	0	0	0	1	0
17	1	1	0	0	1	1	0	0	0	1	0
18	1	1	0	0	1	0	1	0	0	1	0
・											
・											

第84図

【図８５】

階調	L0	L1	L2	L3	L4	H0	H1	H2	H3	H4	H5
0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0
2	0	1	0	0	0	0	0	0	0	0	0
3	1	1	0	0	0	0	0	0	0	0	0
4	0	0	1	0	0	0	0	0	0	0	0
5	1	0	1	0	0	0	0	0	0	0	0
6	0	1	1	0	0	0	0	0	0	0	0
7	1	1	1	0	0	0	0	0	0	0	0
8	0	0	0	1	0	0	0	0	0	0	0
9	1	0	0	1	0	0	0	0	0	0	0
10	0	1	0	1	0	0	0	0	0	0	0
11	1	1	0	1	0	0	0	0	0	0	0
12	0	0	1	1	0	0	0	0	0	0	0
13	1	0	1	1	0	0	0	0	0	0	0
14	0	1	1	1	0	0	0	0	0	0	0
15	1	1	1	1	0	0	0	0	0	0	0
16	1	1	1	1	1	0	0	0	0	0	0
17	1	1	0	0	1	1	0	0	0	0	0
18	1	1	0	0	1	0	1	0	0	0	0
・											
・											

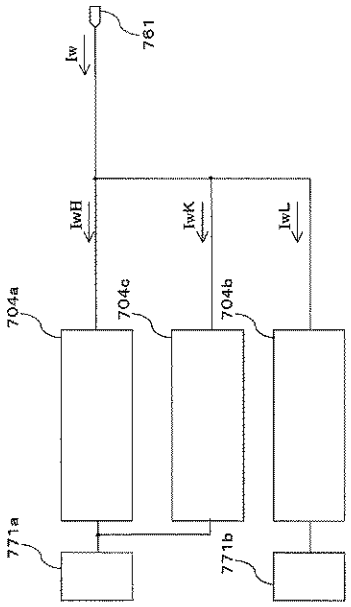
第85図

【図８６】

階調	L0	L1	L2	L3	L4	H0	H1	H2	H3	H4	H5
0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0
2	0	1	0	0	0	0	0	0	0	0	0
3	1	1	0	0	0	0	0	0	0	0	0
4	0	0	1	0	0	0	0	0	0	0	0
5	1	0	1	0	0	0	0	0	0	0	0
6	0	1	1	0	0	0	0	0	0	0	0
7	1	1	1	0	0	0	0	0	0	0	0
8	0	0	0	1	0	0	0	0	0	0	0
9	1	0	0	1	0	0	0	0	0	0	0
10	0	1	0	1	0	0	0	0	0	0	0
11	1	1	0	1	0	0	0	0	0	0	0
12	0	0	1	1	0	0	0	0	0	0	0
13	1	0	1	1	0	0	0	0	0	0	0
14	0	1	1	1	0	0	0	0	0	0	0
15	1	1	1	1	0	0	0	0	0	0	0
16	1	1	1	1	1	0	0	0	0	0	0
17	1	1	0	0	1	1	0	0	0	0	0
18	1	1	0	0	1	0	1	0	0	0	0
・											
・											

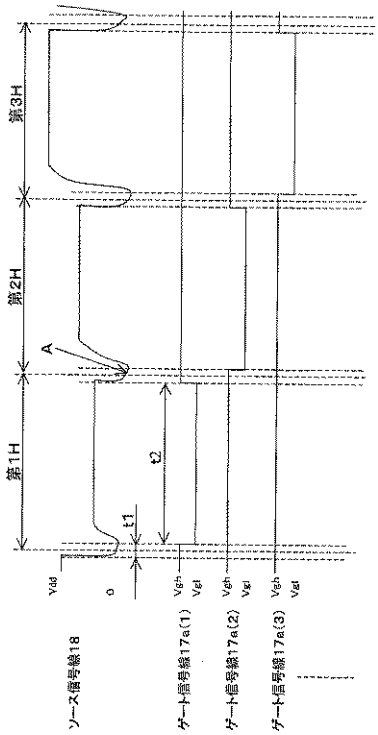
第86図

【図８７】



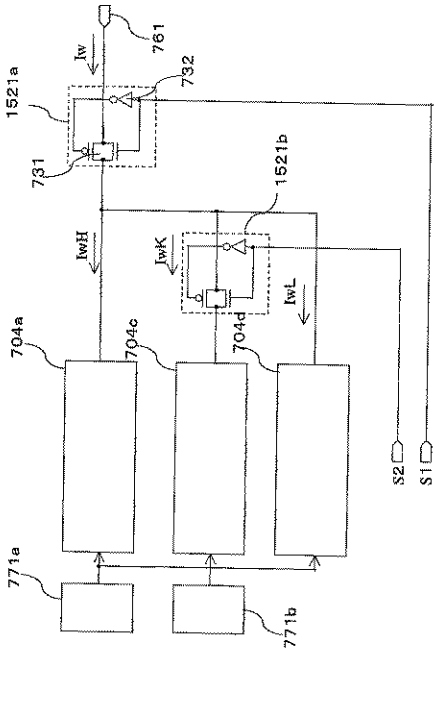
第87図

【図８８】



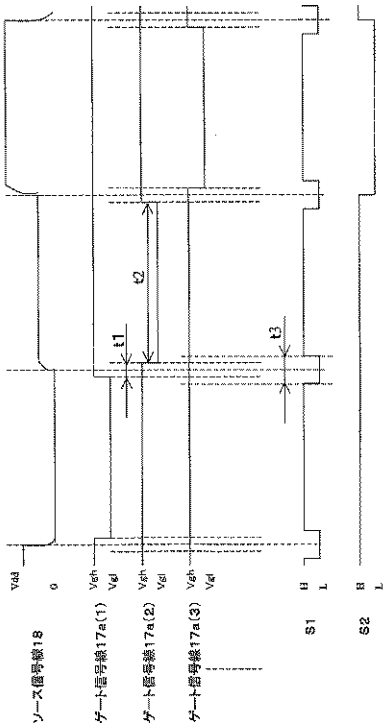
第88図

【図８９】



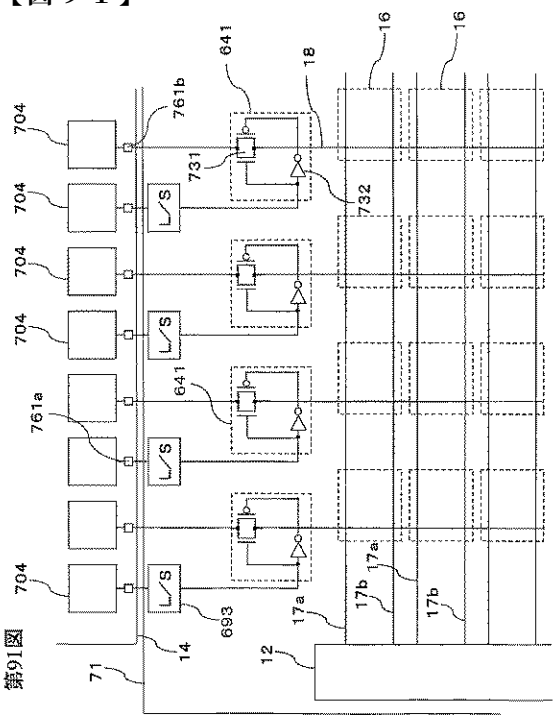
第89図

【図９０】



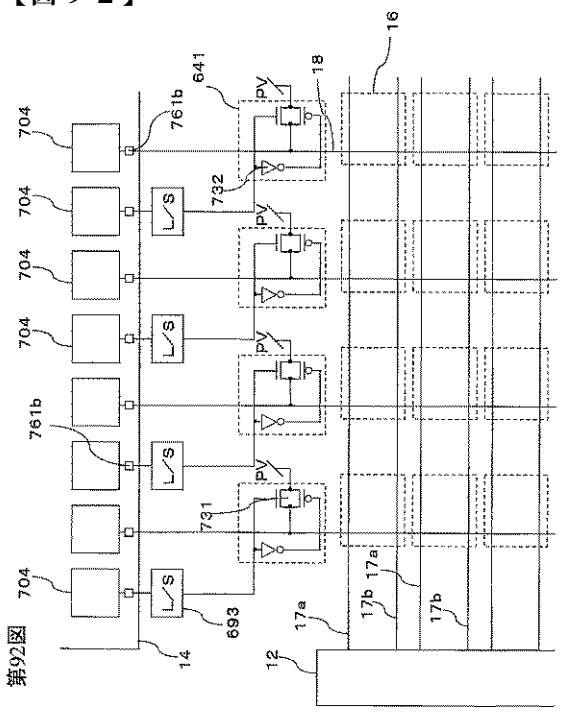
第90図

【図９１】



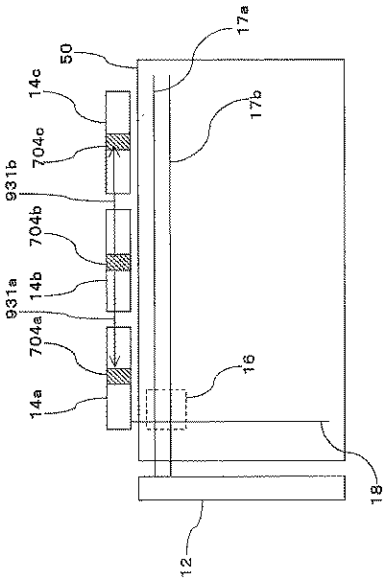
第91図

【図９２】



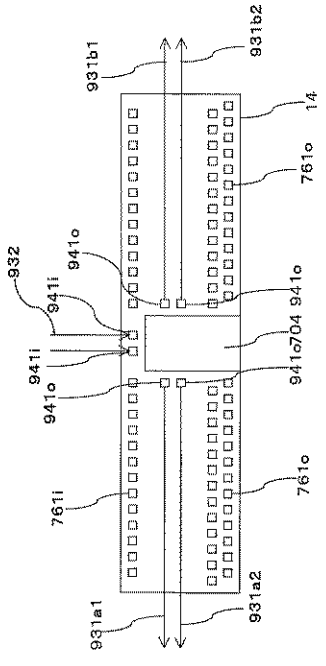
第92図

【図９３】



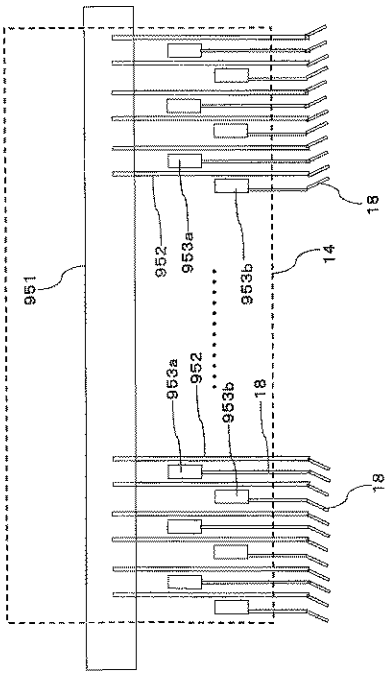
第93図

【図９４】



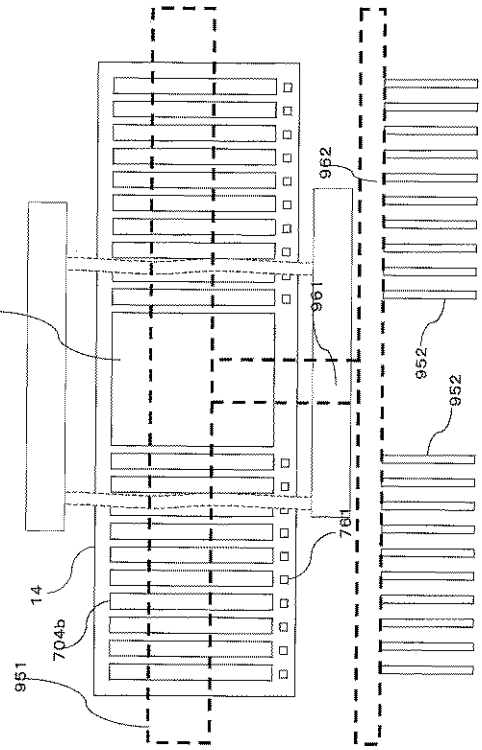
第94図

【図９５】



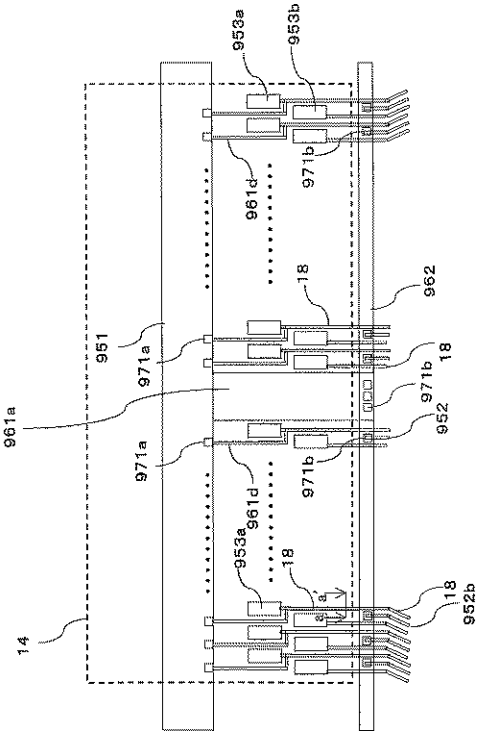
第95図

【図９６】



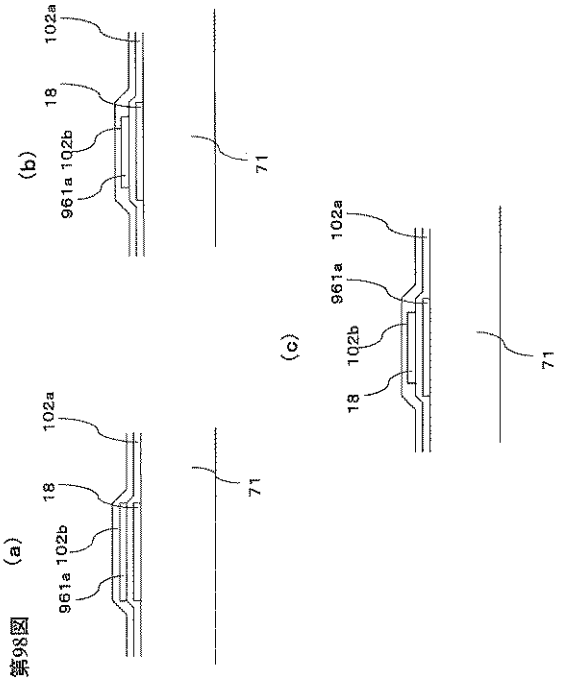
第96図

【図９７】



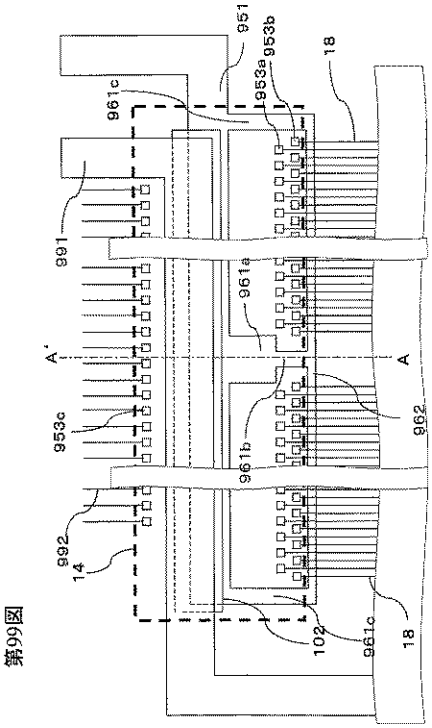
第97図

【図９８】



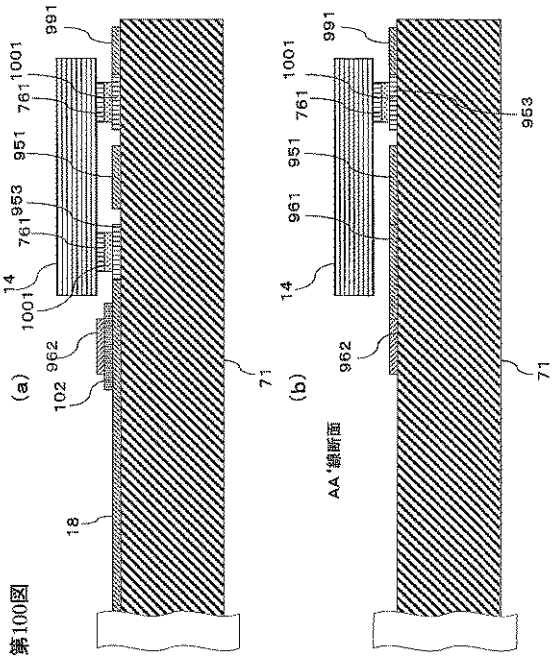
第98図

【図９９】



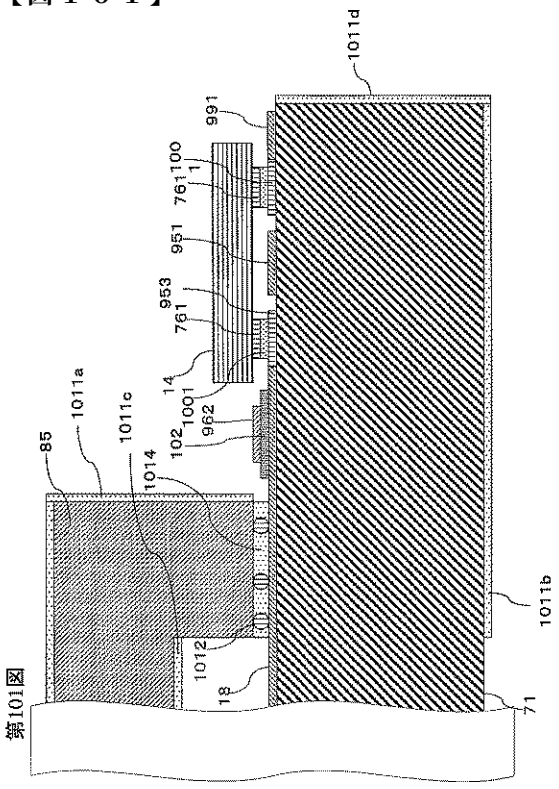
第99図

【図１００】



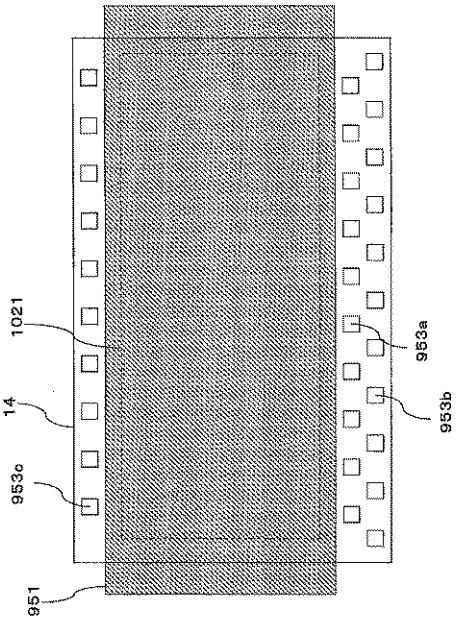
第100図

【図１０１】



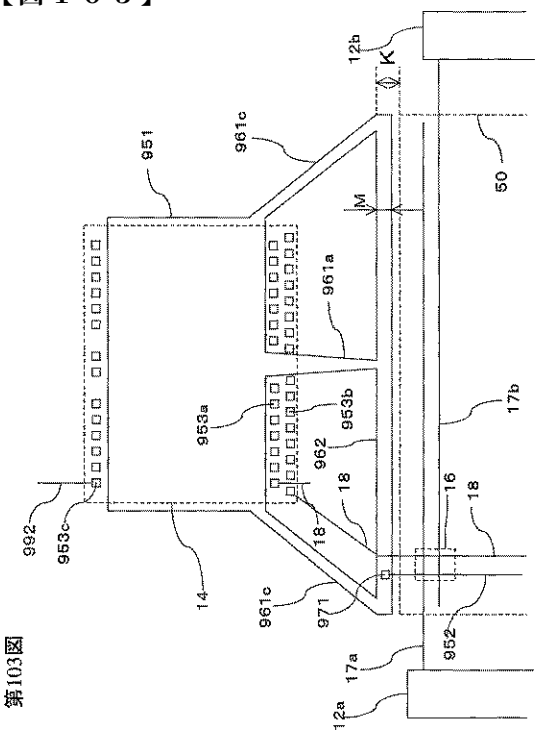
第101図

【図１０２】



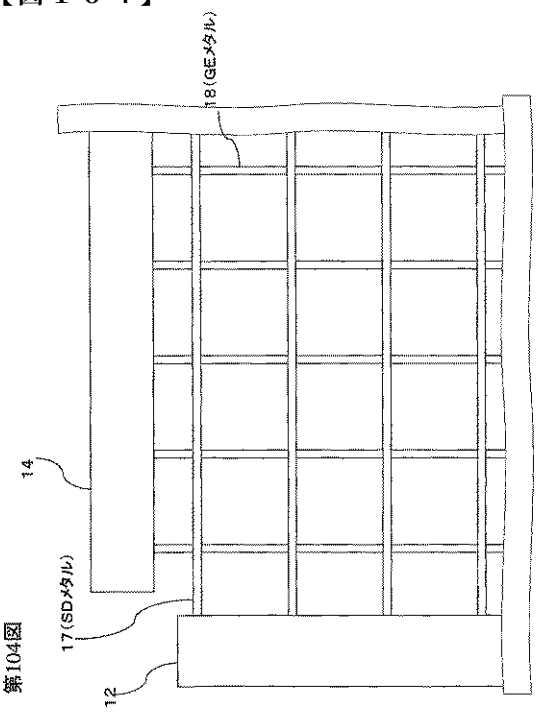
第102図

【図１０３】



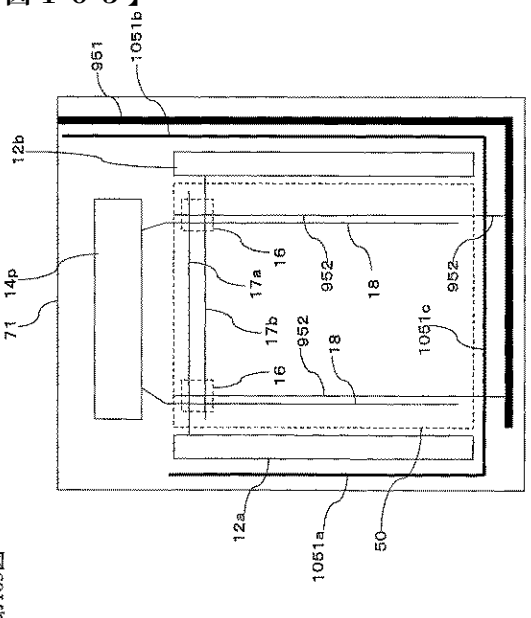
第103図

【図１０４】



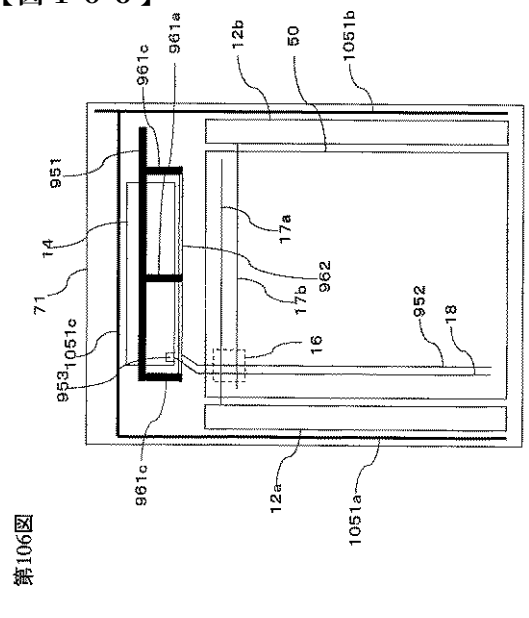
第104図

【図１０５】



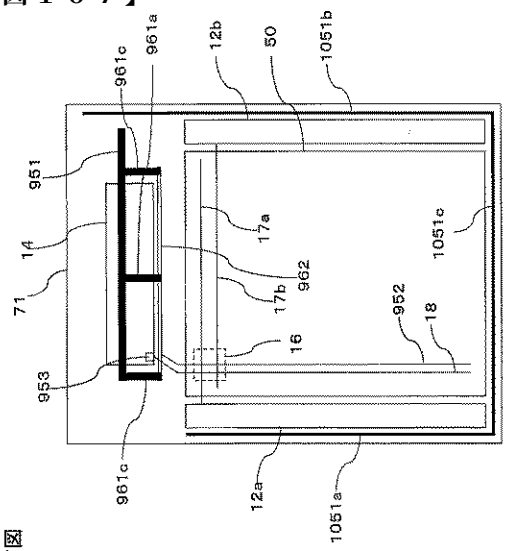
第105図

【図１０６】



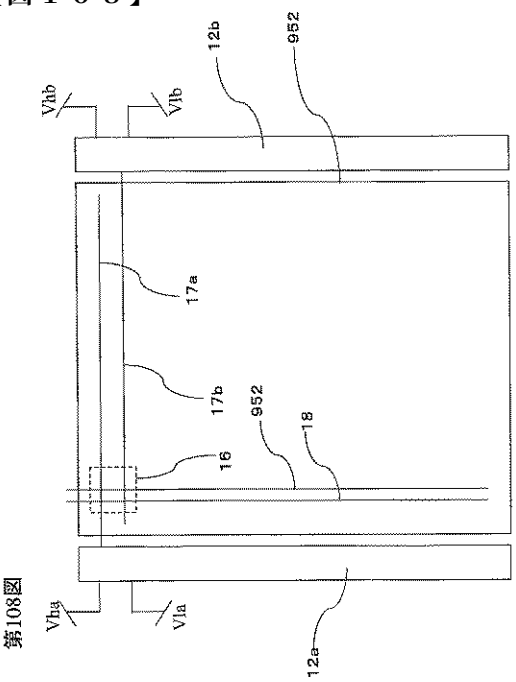
第106図

【図１０７】



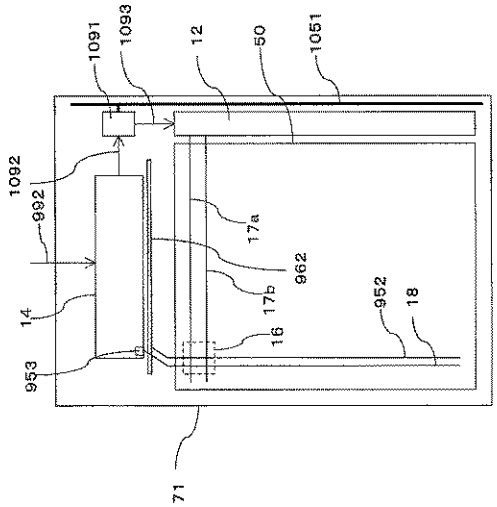
第107図

【図１０８】



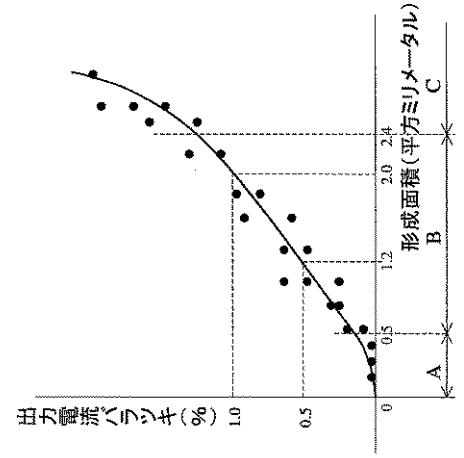
第108図

【図１０９】



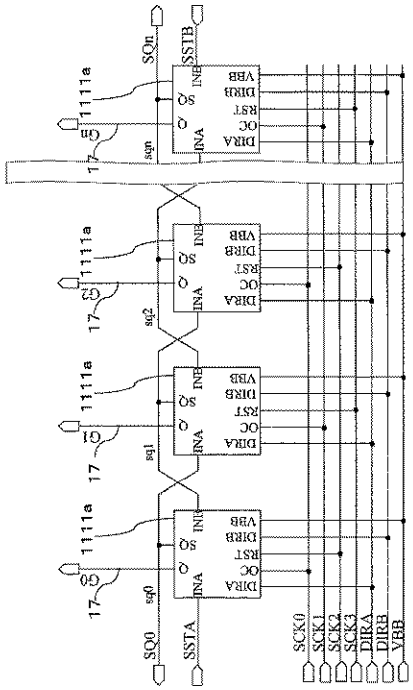
第109図

【図１１０】



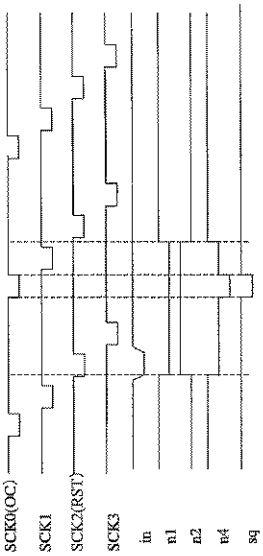
第110図

【図１１１】



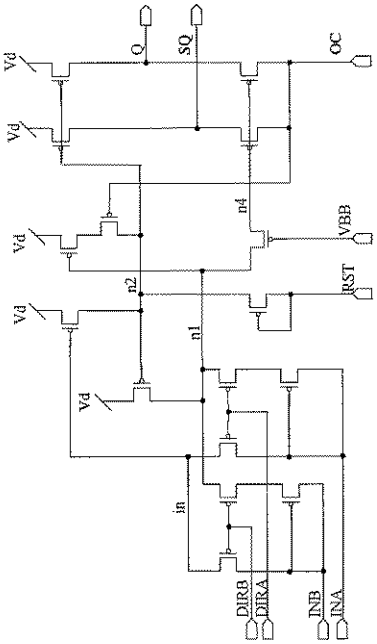
第111図

【図１１２】



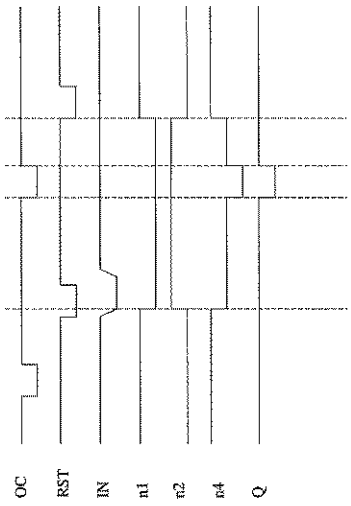
第112図

【図１１３】



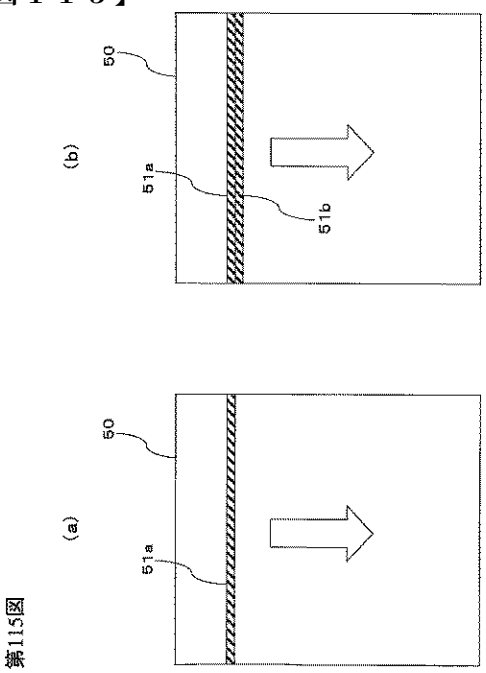
第113図

【図１１４】



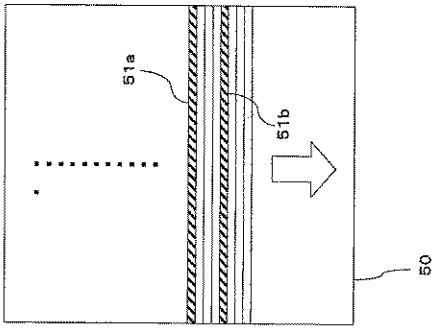
第114図

【図１１５】



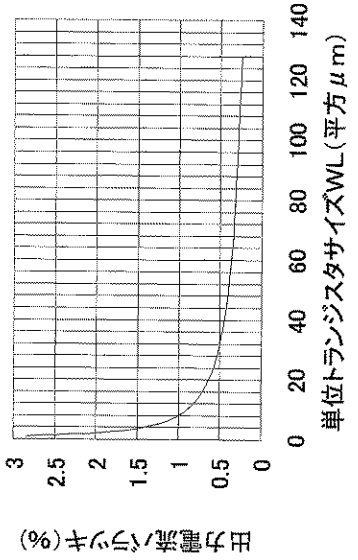
第115図

【図１１６】



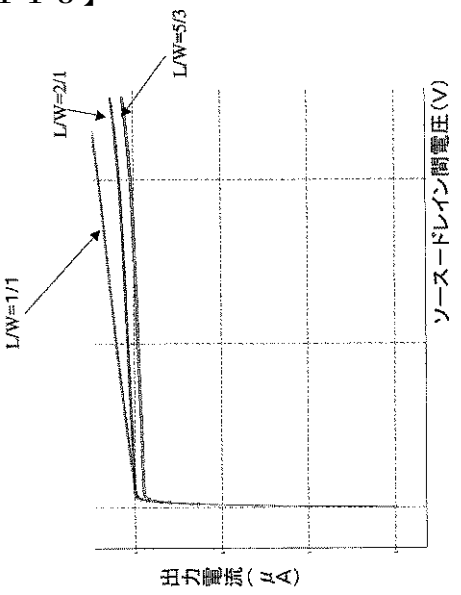
第116図

【図１１７】



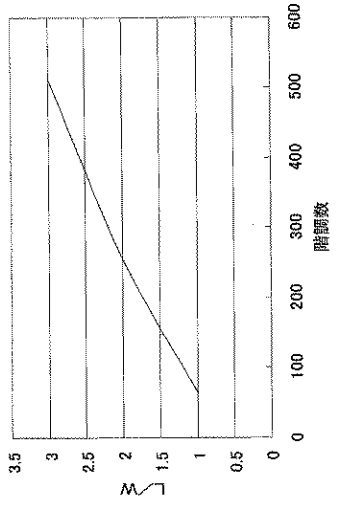
第117図

【図１１８】



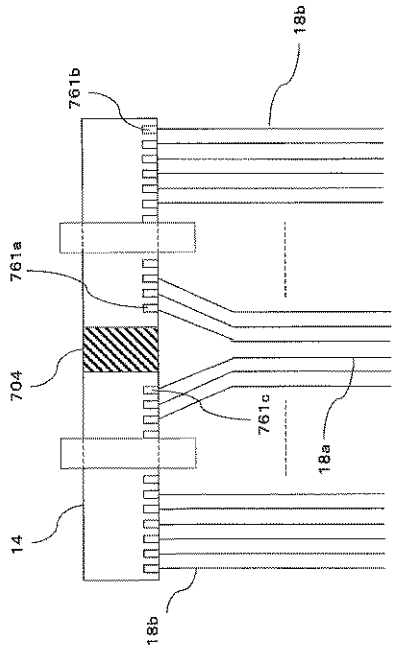
第118図

【図１１９】



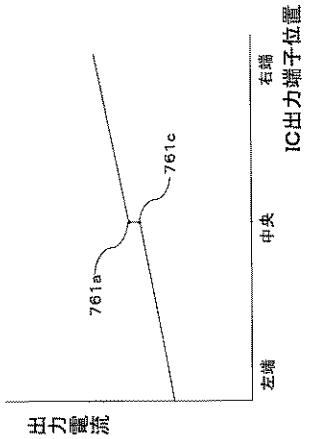
第119図

【図１２０】



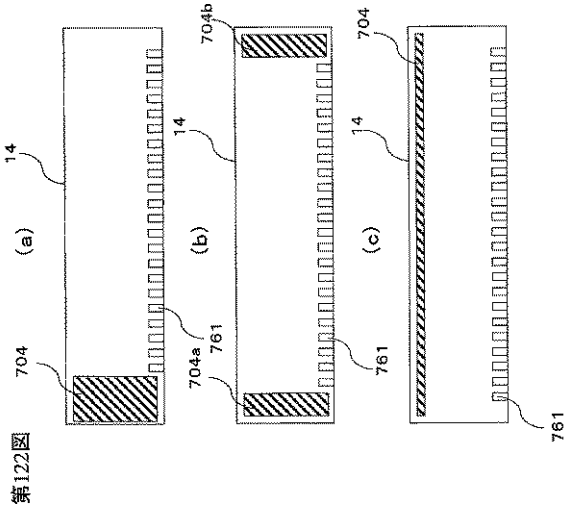
第120図

【図１２１】



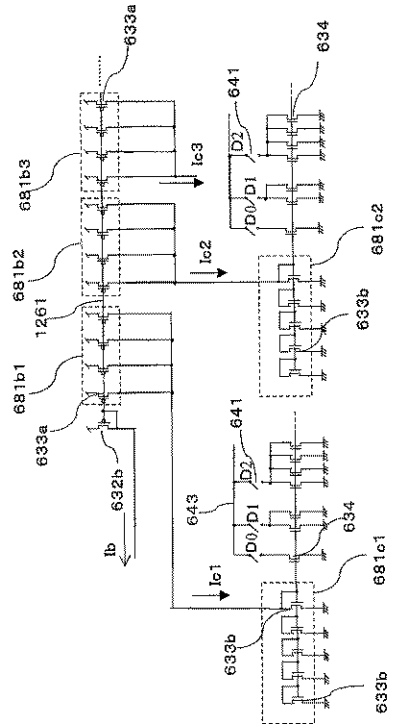
第121図

【図１２２】



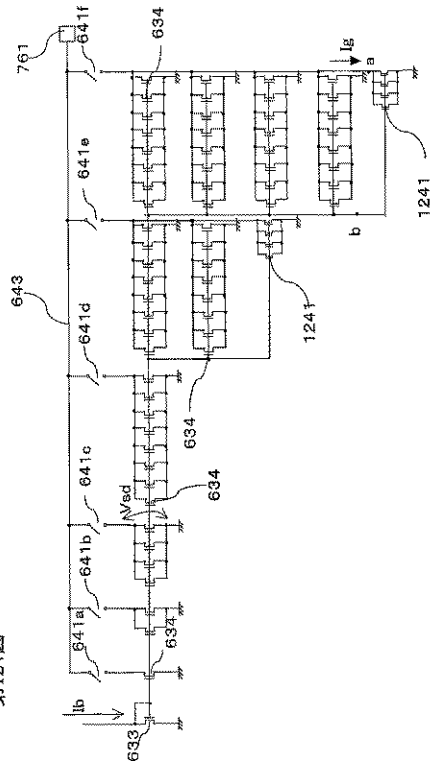
第122図

【図１２３】



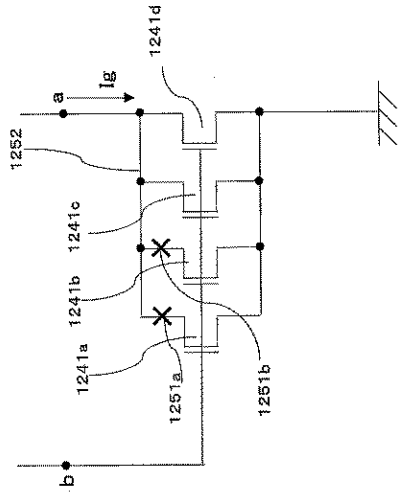
第123図

【図１２４】



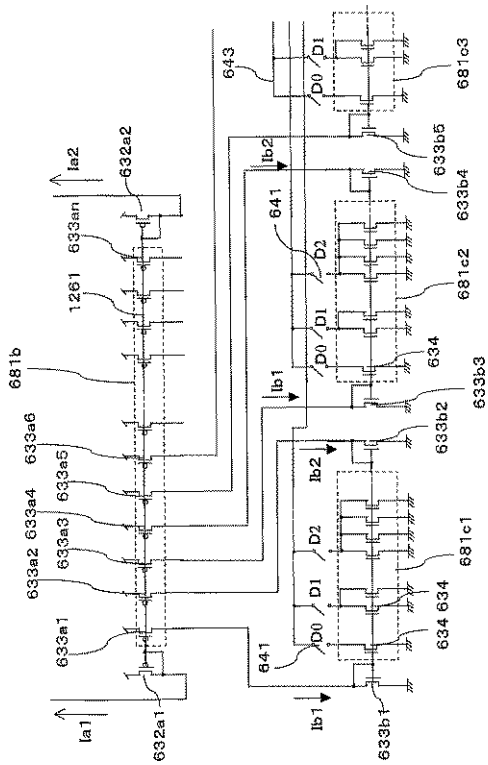
第124図

【図１２５】



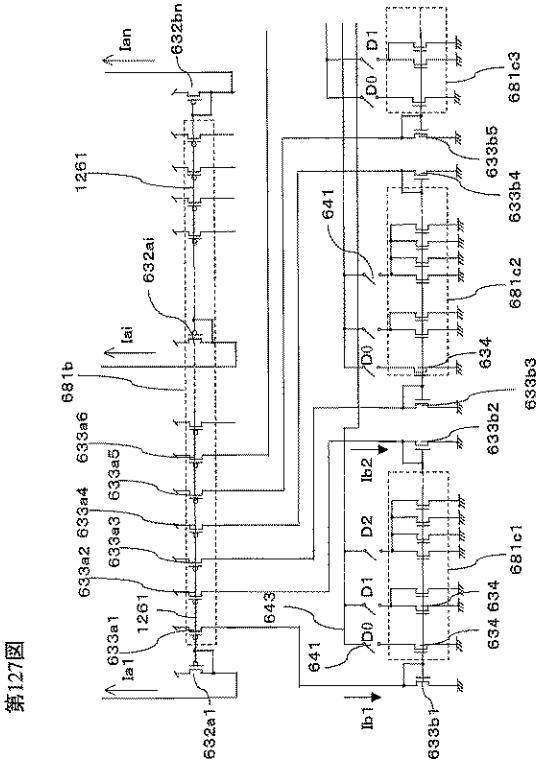
第125図

【図１２６】



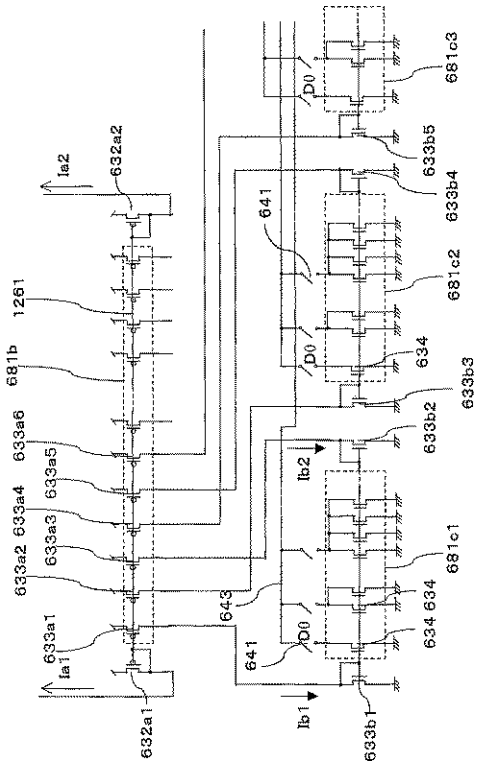
第126図

【図１２７】



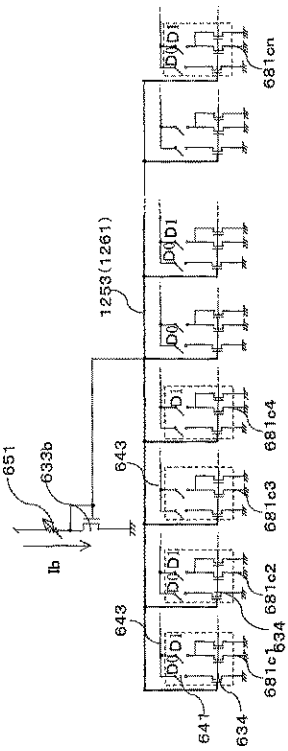
第127図

【図１２８】



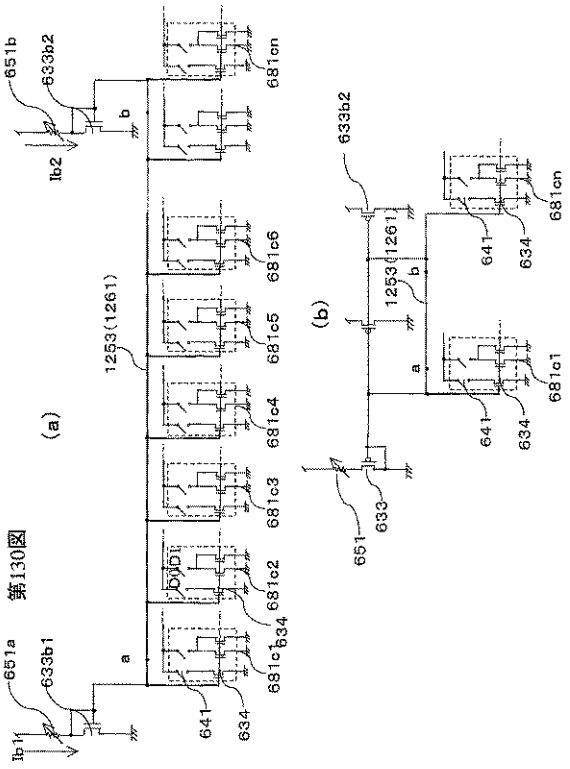
第128図

【図１２９】



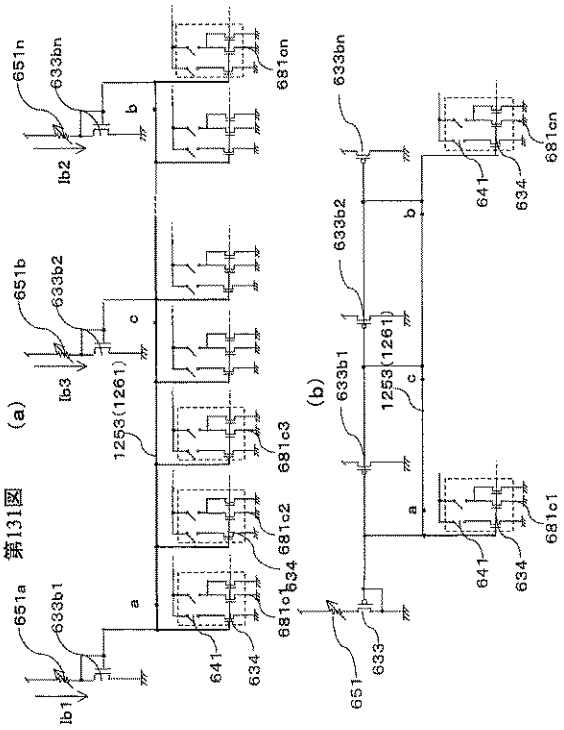
第129図

【図１３０】



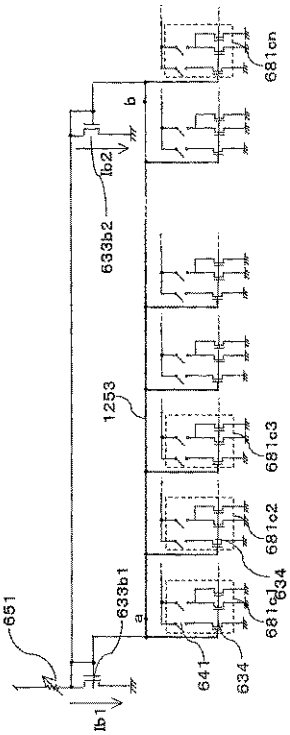
第130図

【図１３１】



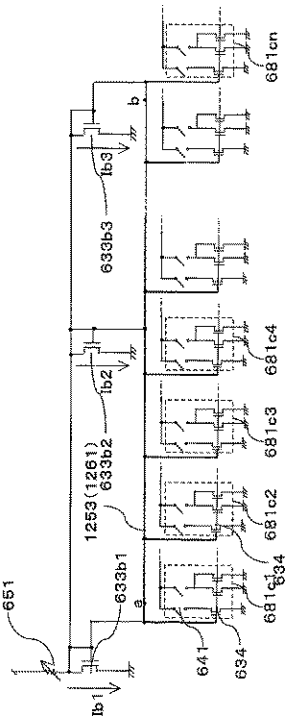
第131図

【図１３２】



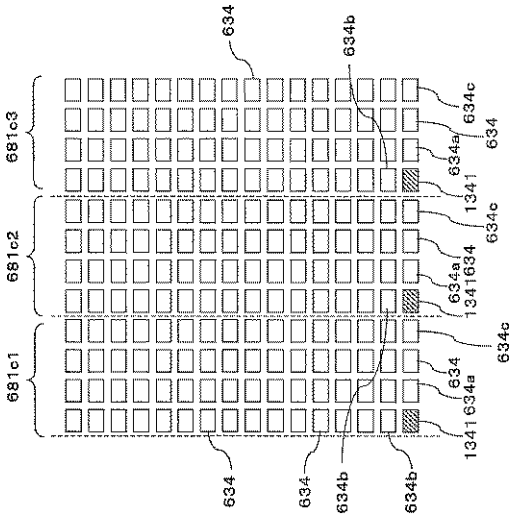
第132図

【図１３３】



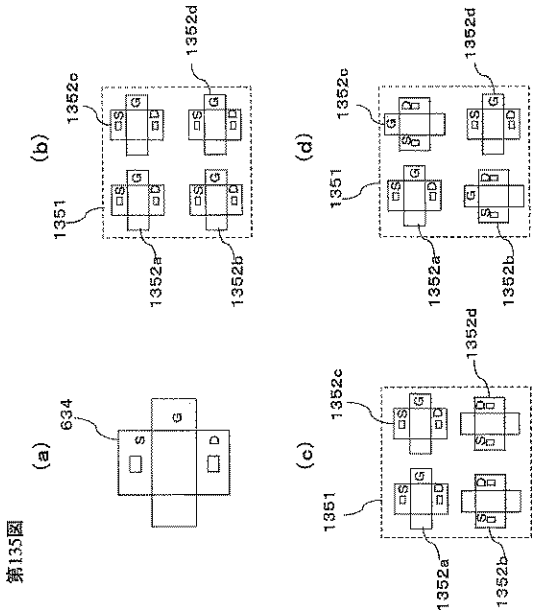
第133図

【図１３４】

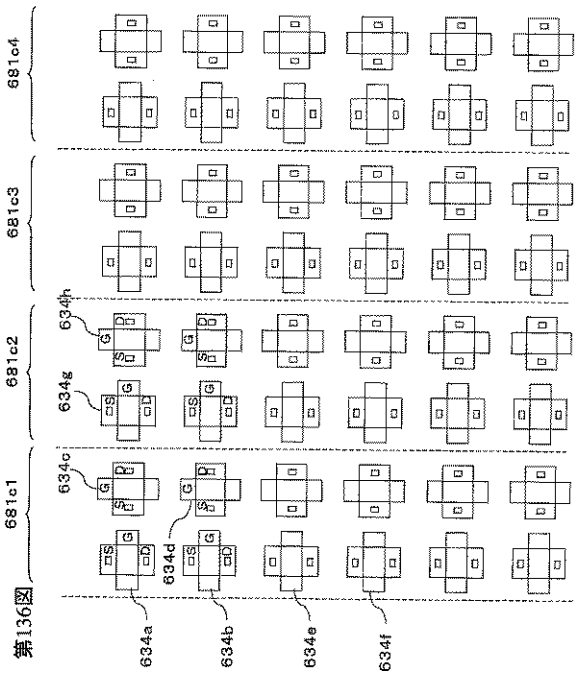


第134図

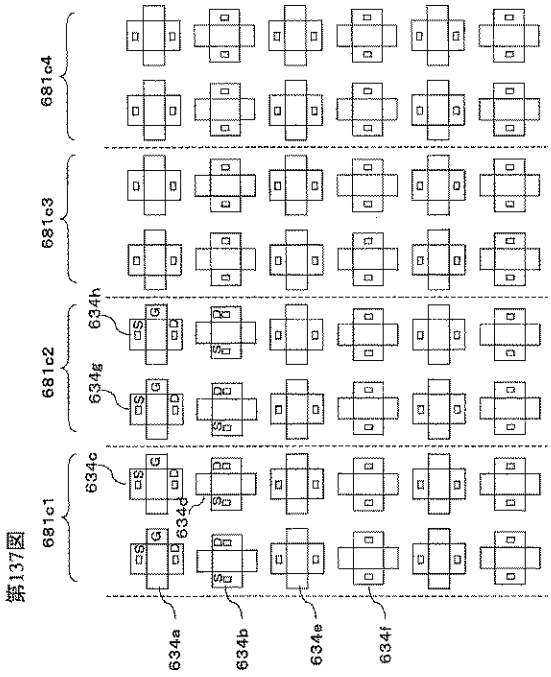
【図１３５】



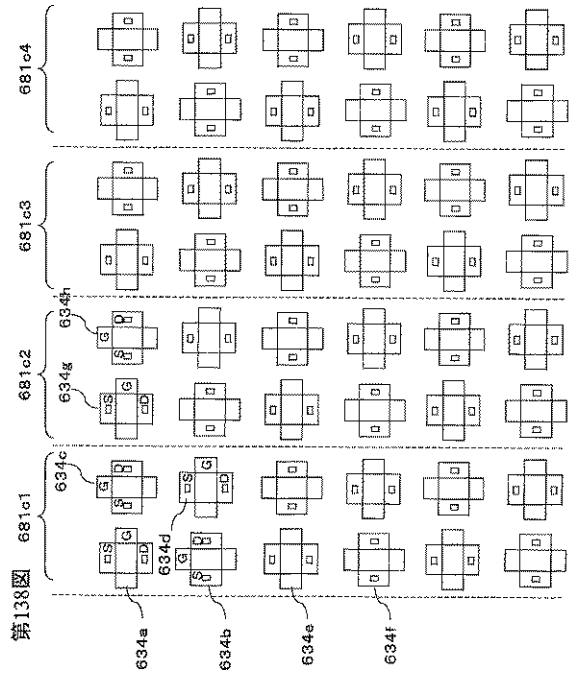
【図１３６】



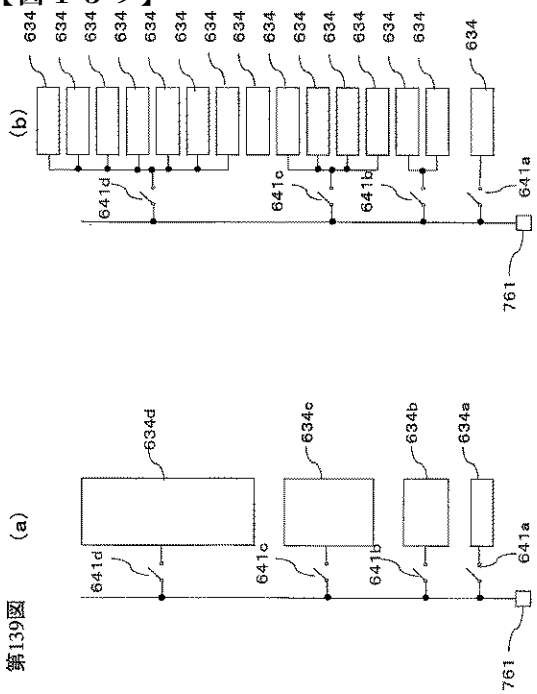
【図１３７】



【図１３８】

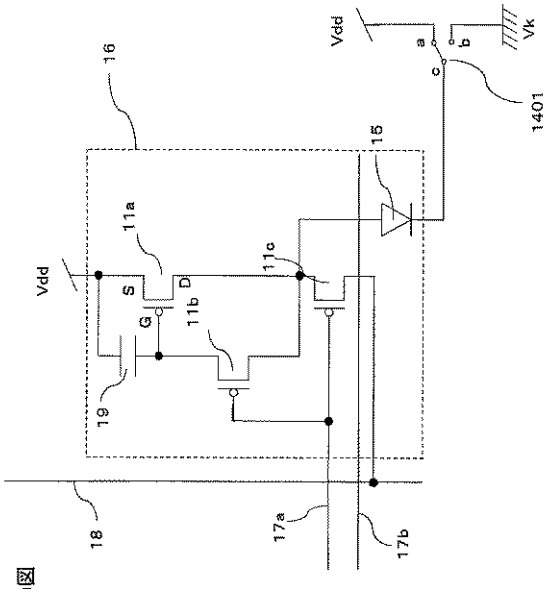


【図１３９】



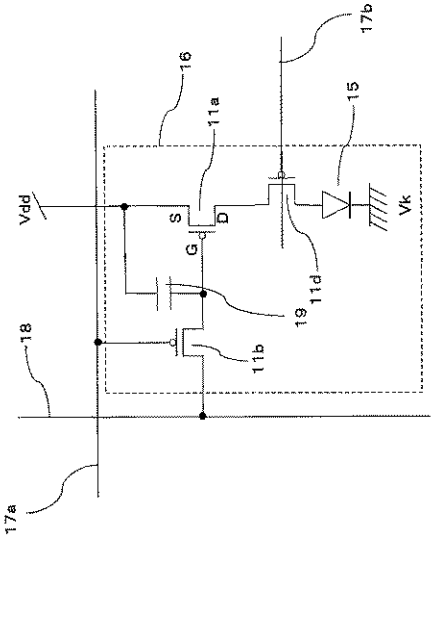
第139図

【図１４０】



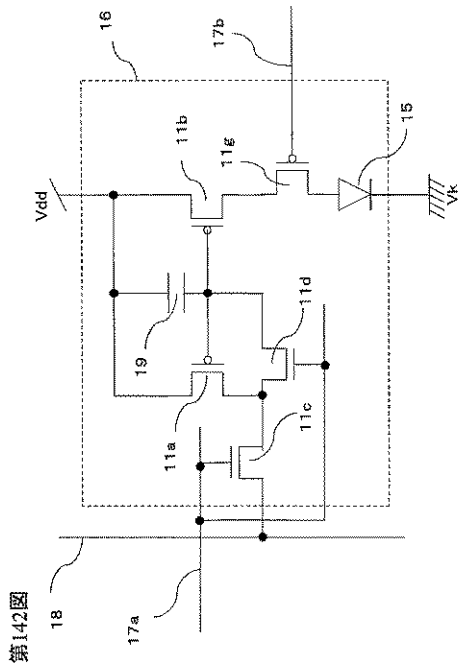
第140図

【図１４１】



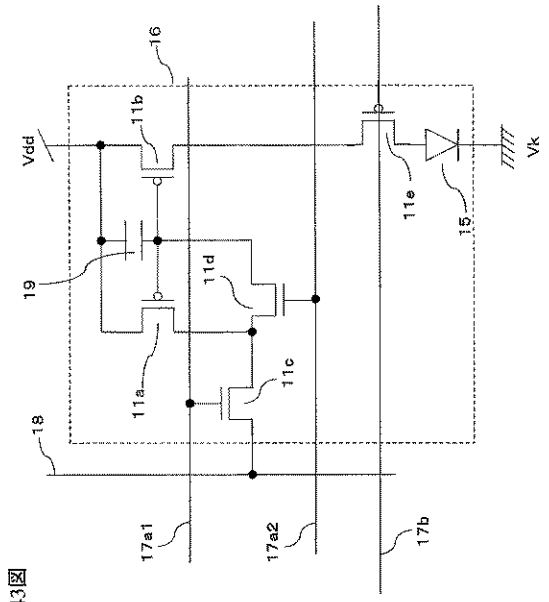
第141図

【図１４２】



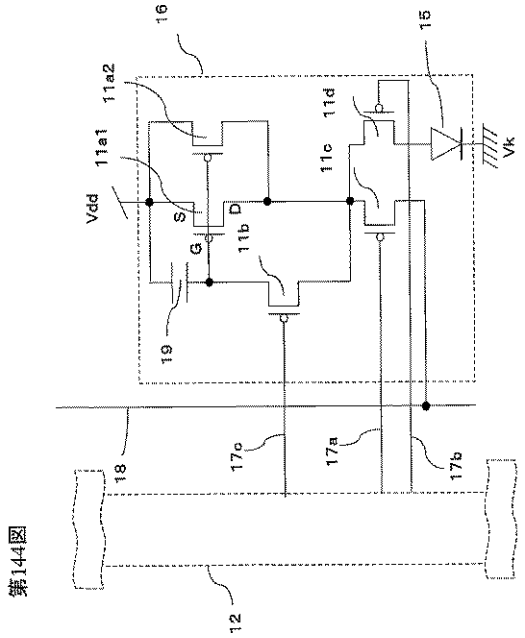
第142図

【図１４３】



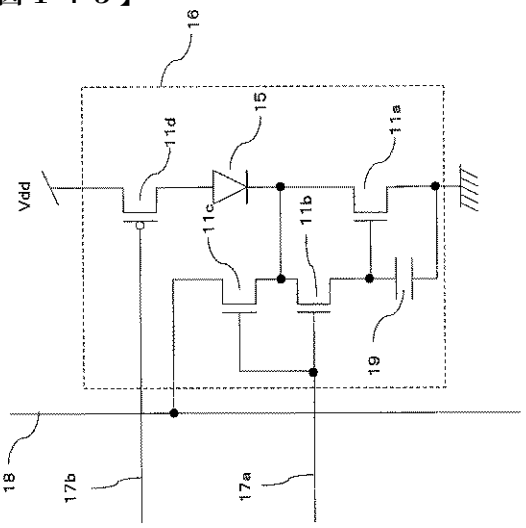
第143図

【図１４４】



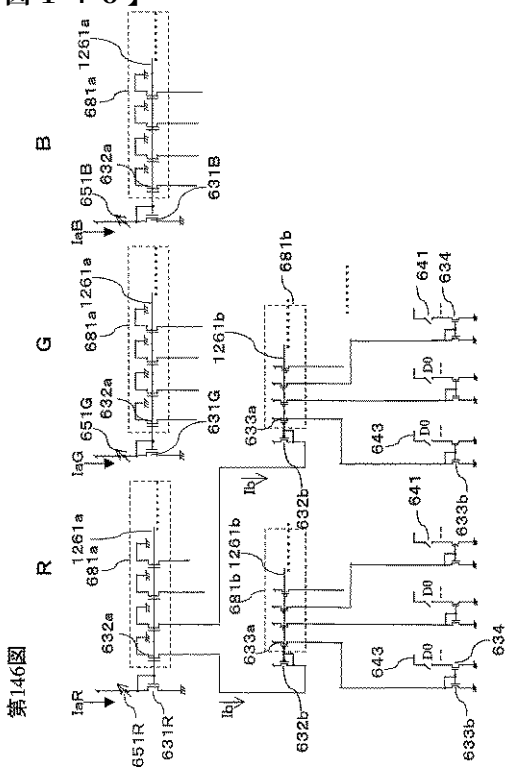
第144図

【図１４５】



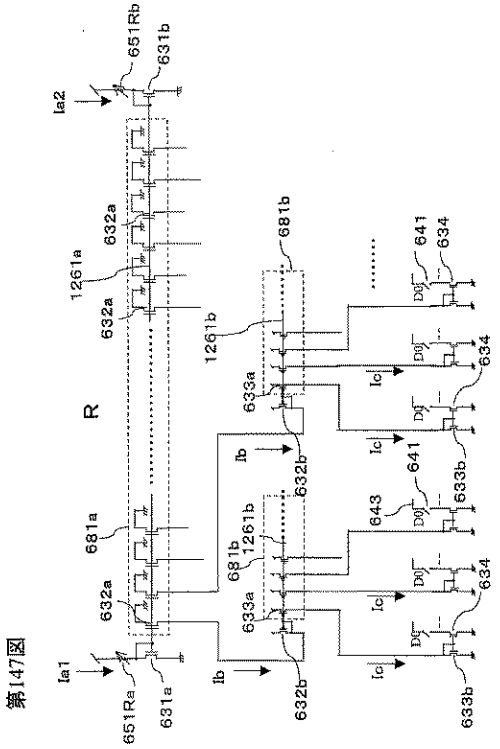
第145図

【図１４６】



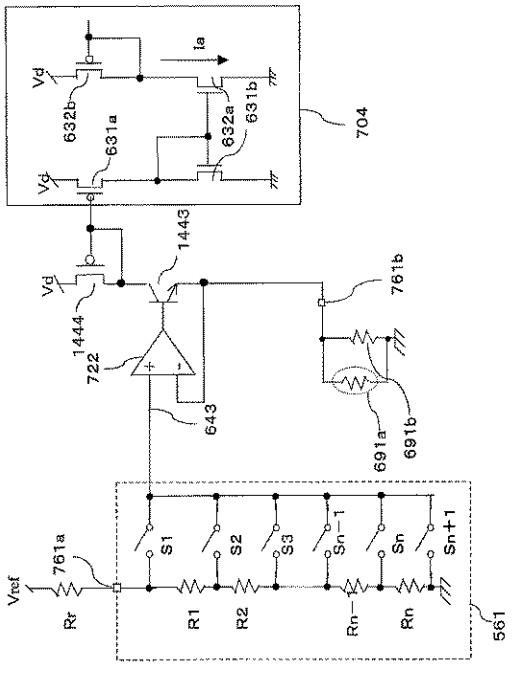
第146図

【図１４７】



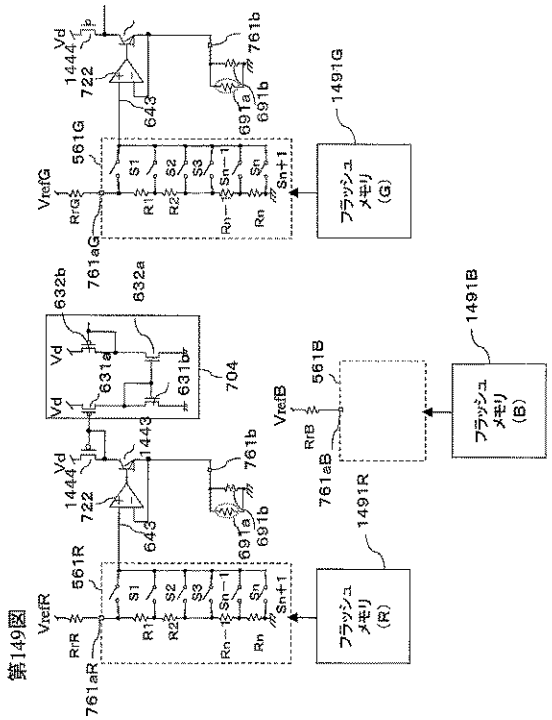
第147図

【図１４８】



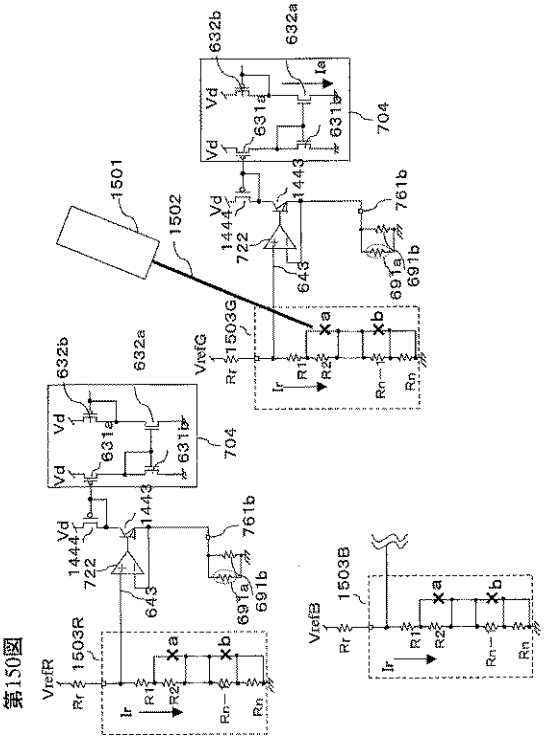
第148図

【図１４９】



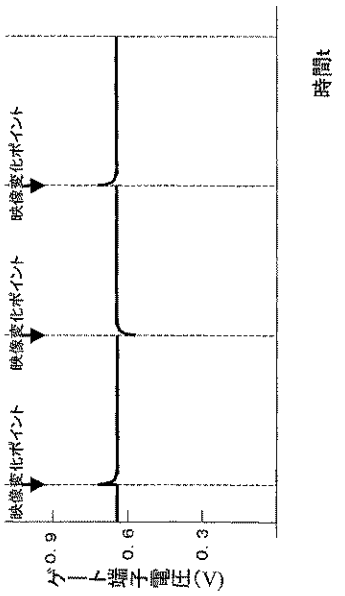
第149図

【図１５０】



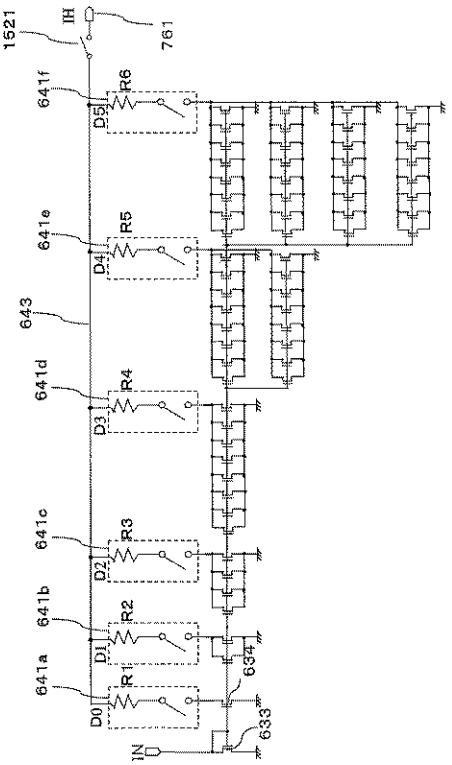
第150図

【図１５１】



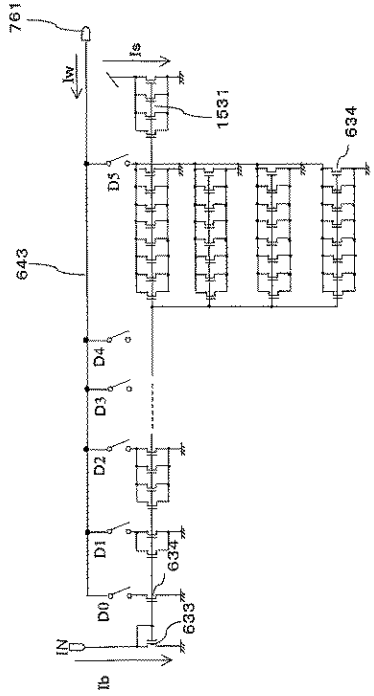
第151図

【図１５２】



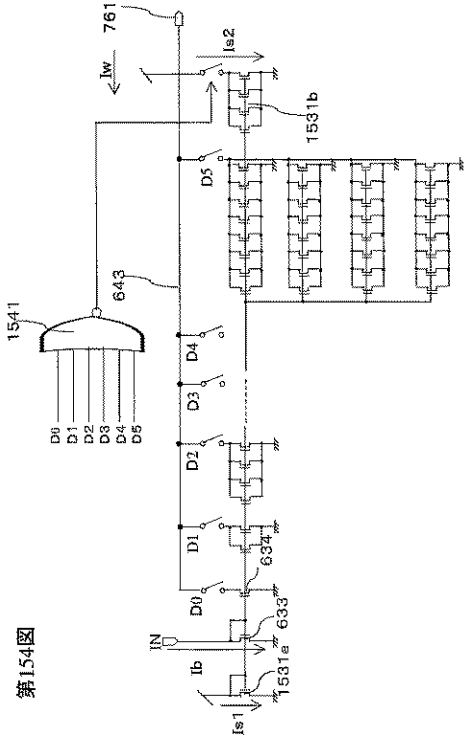
第152図

【図１５３】



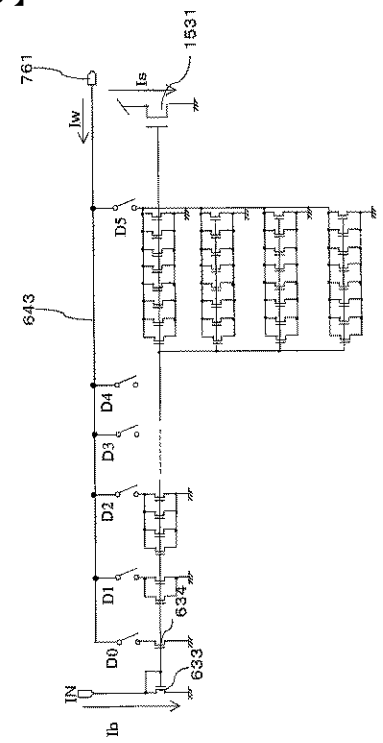
第153図

【図１５４】



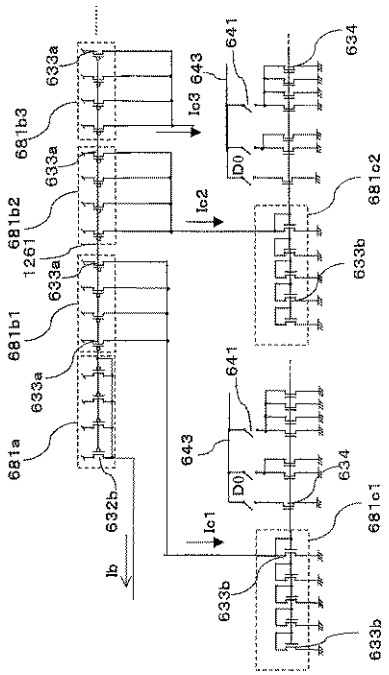
第154図

【図１５５】



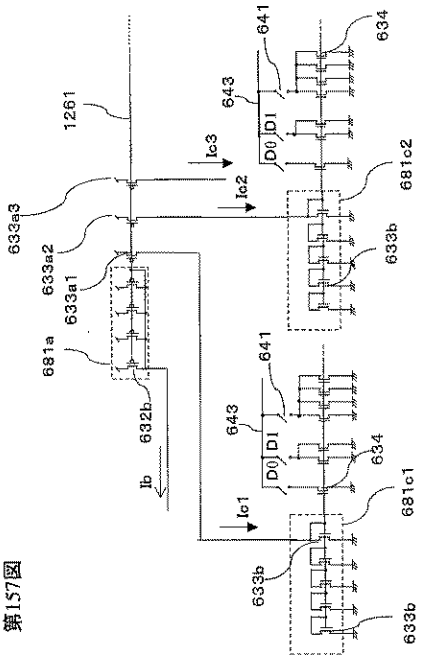
第155図

【図１５６】



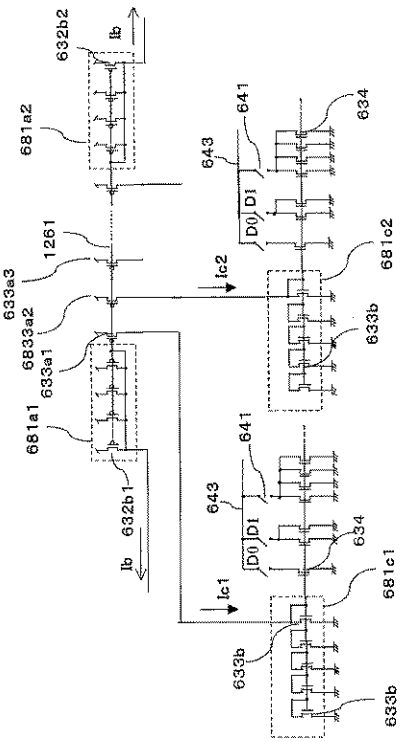
第156図

【図１５７】



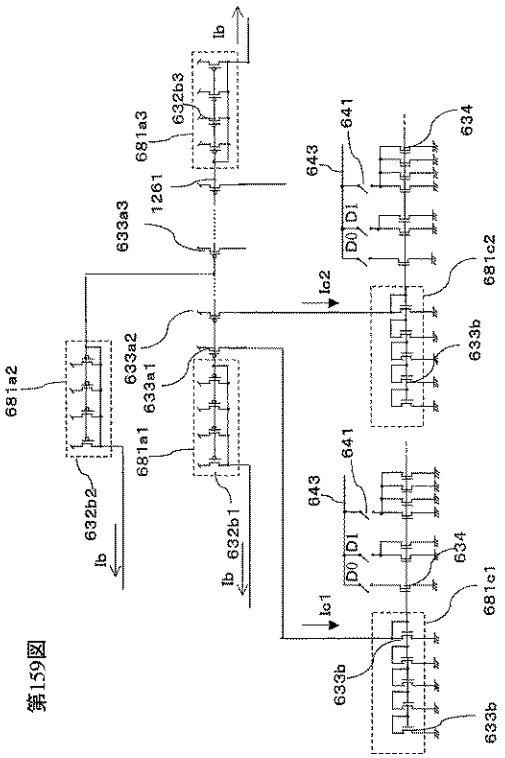
第157図

【図１５８】



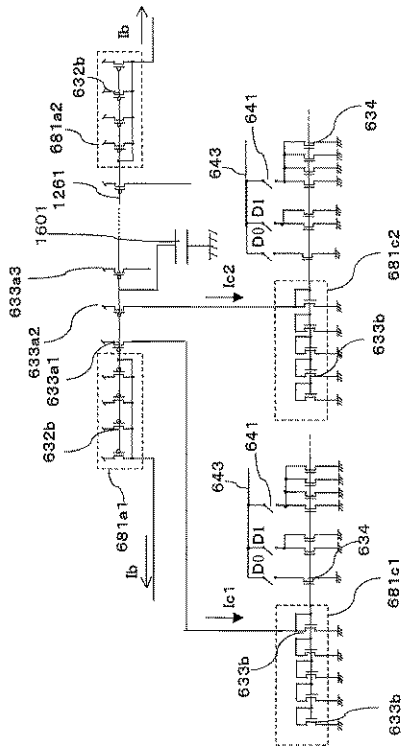
第158図

【図１５９】



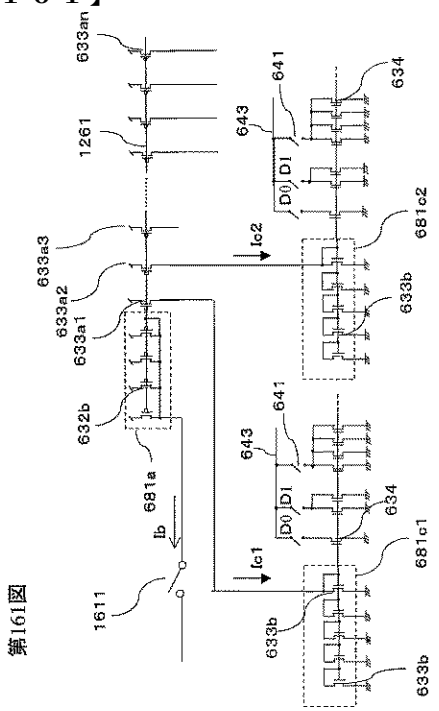
第159図

【図１６０】



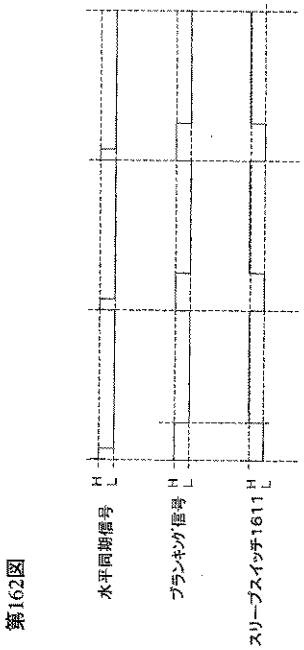
第160図

【図１６１】



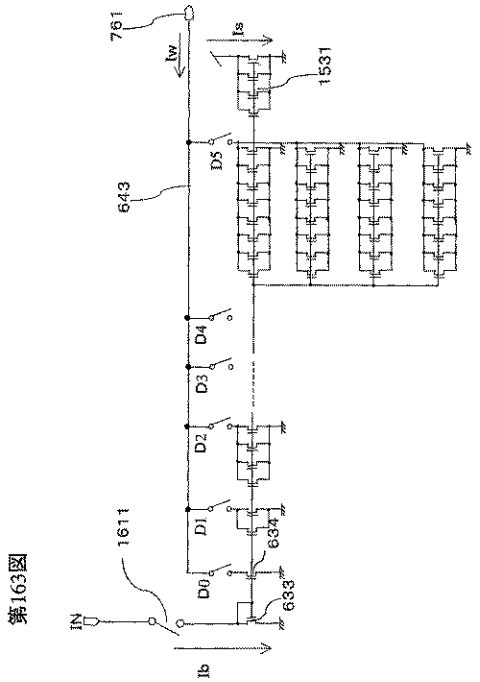
第161図

【図１６２】



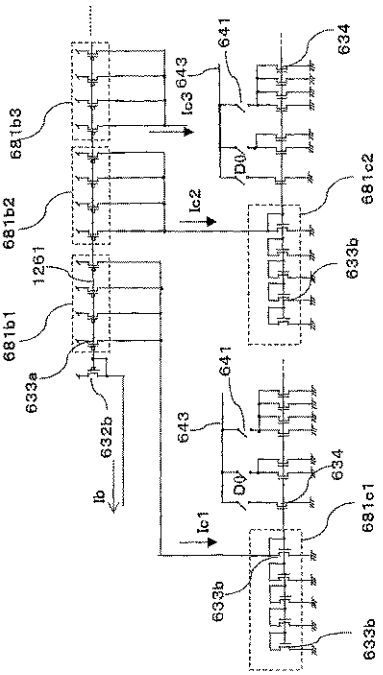
第162図

【図１６３】



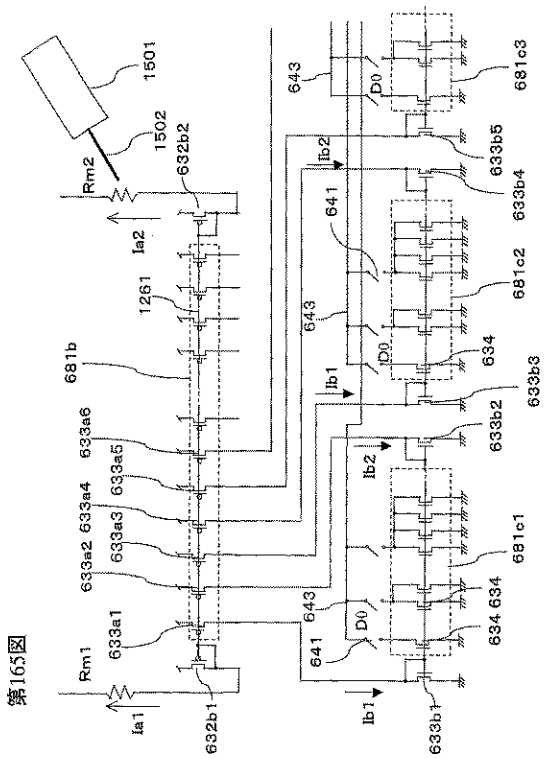
第163図

【図１６４】



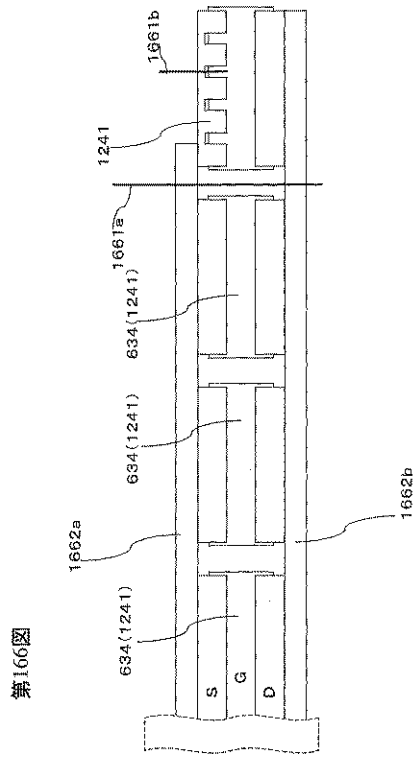
第164図

【図１６５】



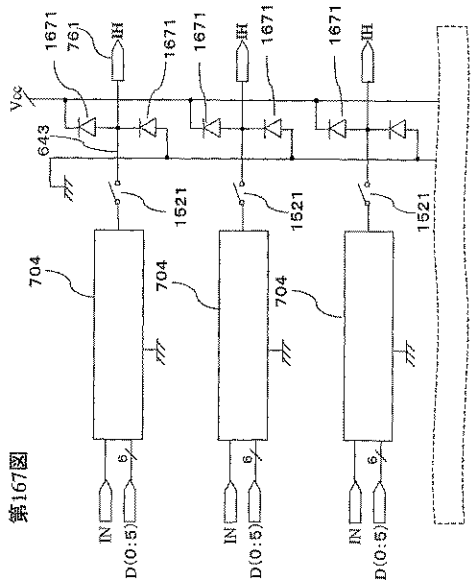
第165図

【図１６６】



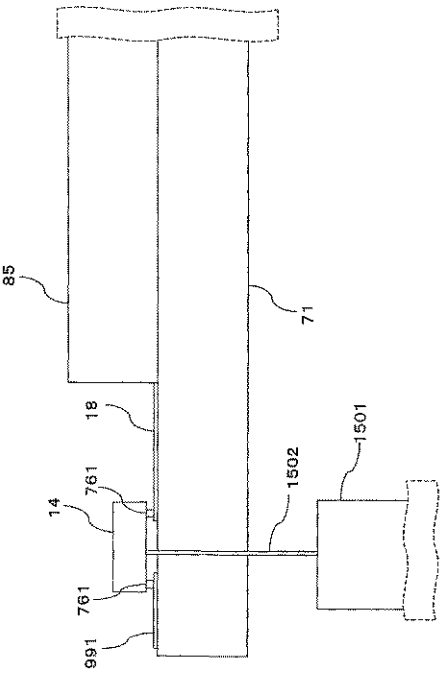
第166図

【図１６７】



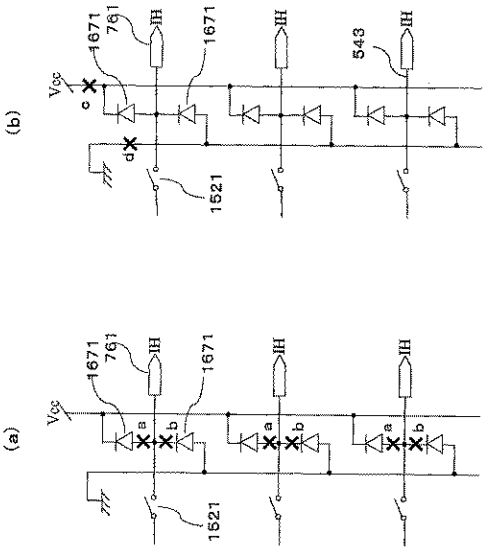
第167図

【図１６８】



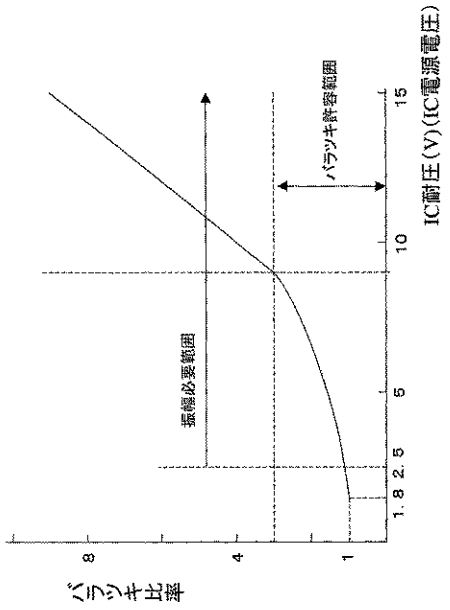
第168図

【図１６９】



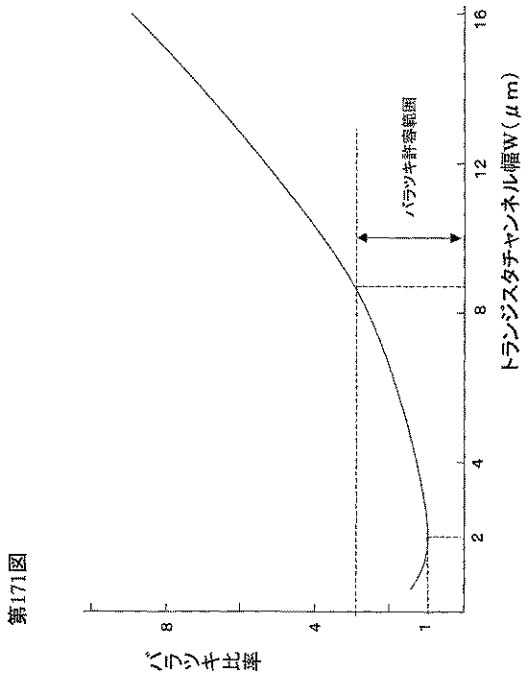
第169図

【図１７０】



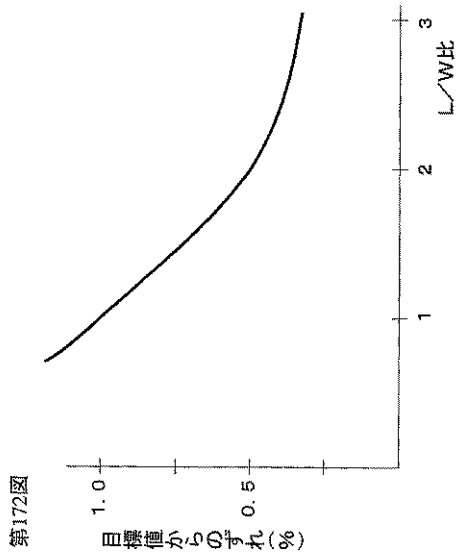
第170図

【図１７１】



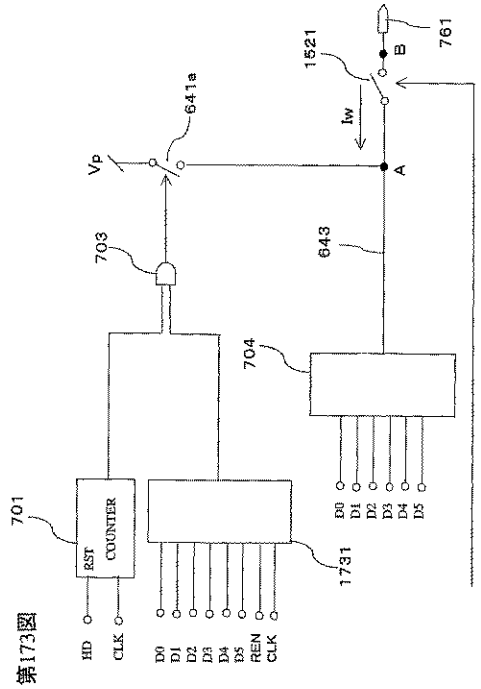
第171図

【図１７２】



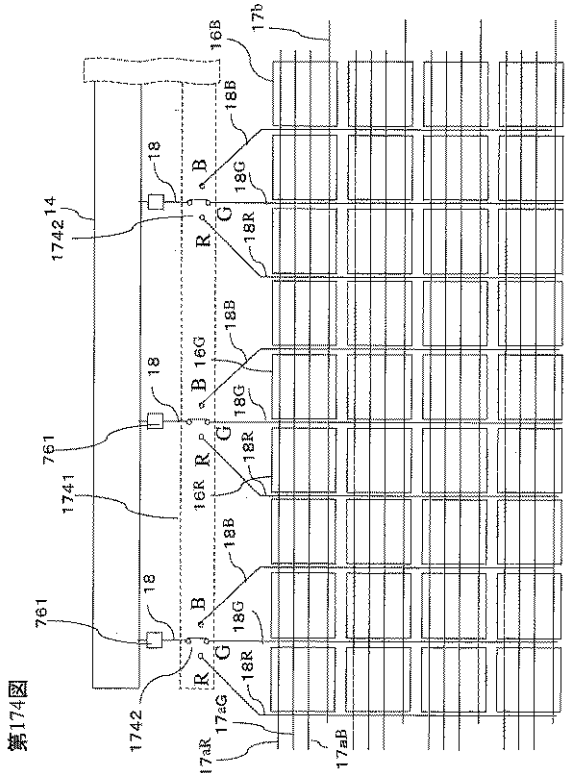
第172図

【図１７３】



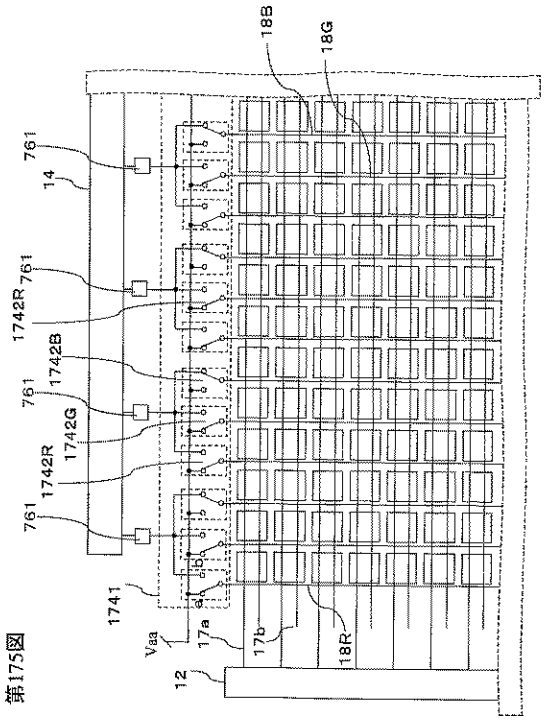
第173図

【図１７４】



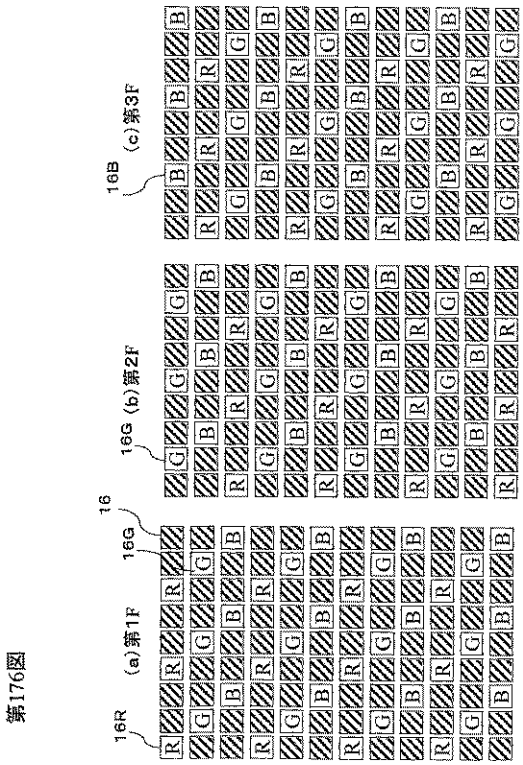
第174図

【図１７５】



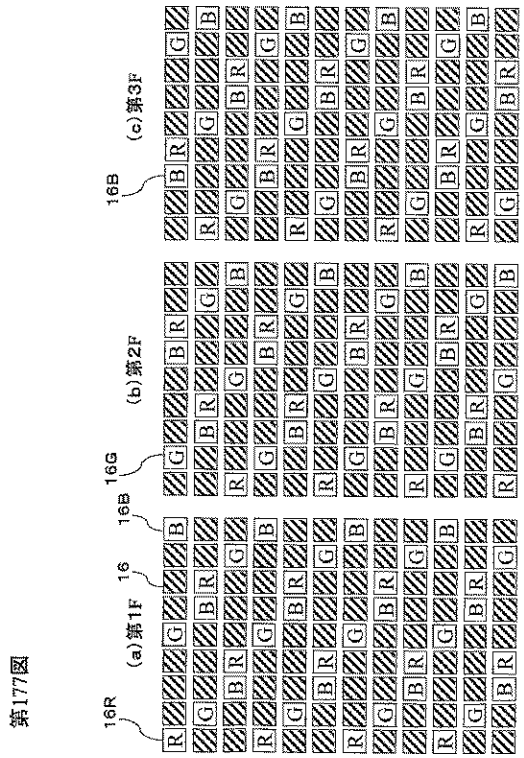
第175図

【図１７６】



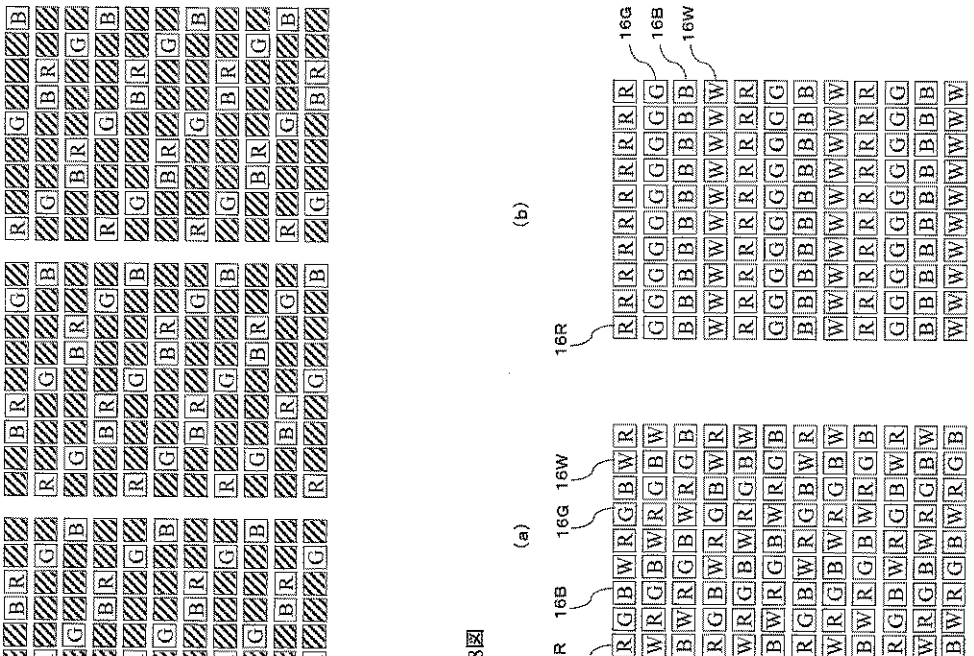
第176図

【図１７７】



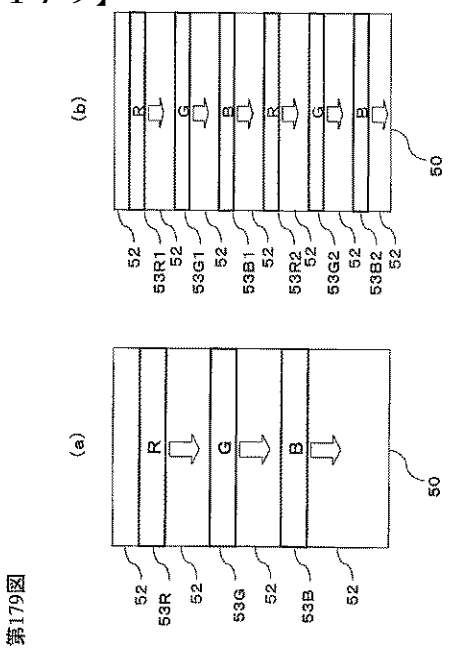
第177図

【図１７８】



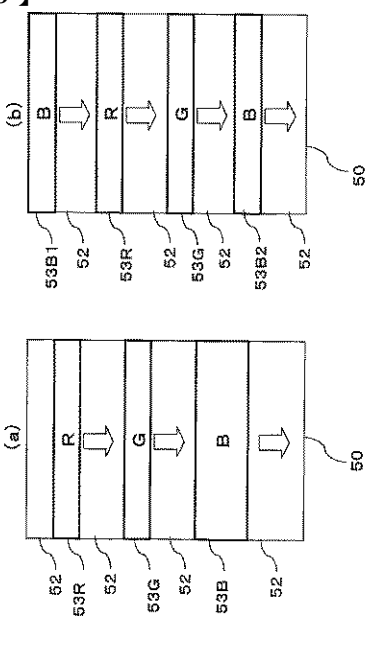
第178図

【図１７９】



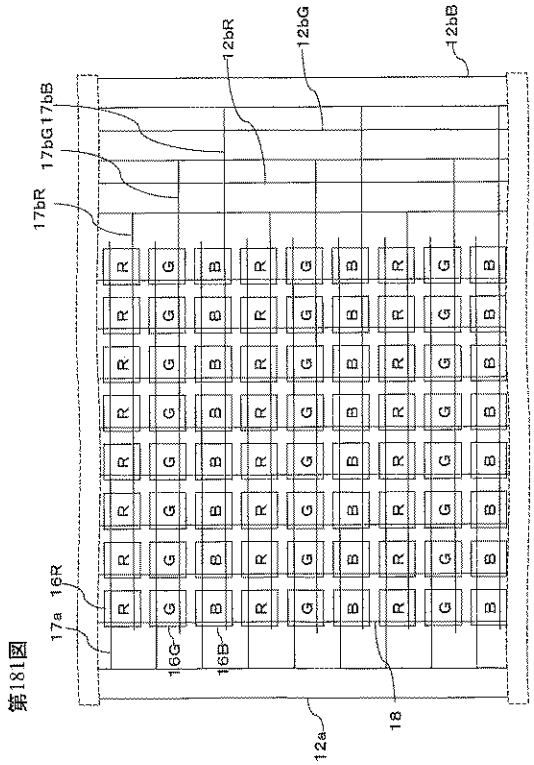
第179図

【図１８０】



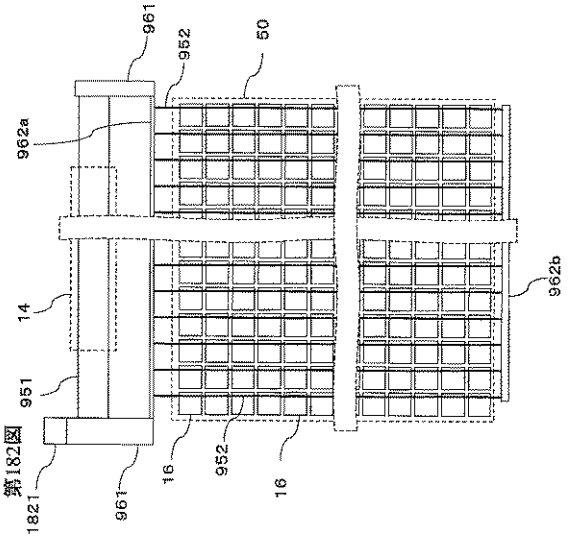
第180図

【図１８１】



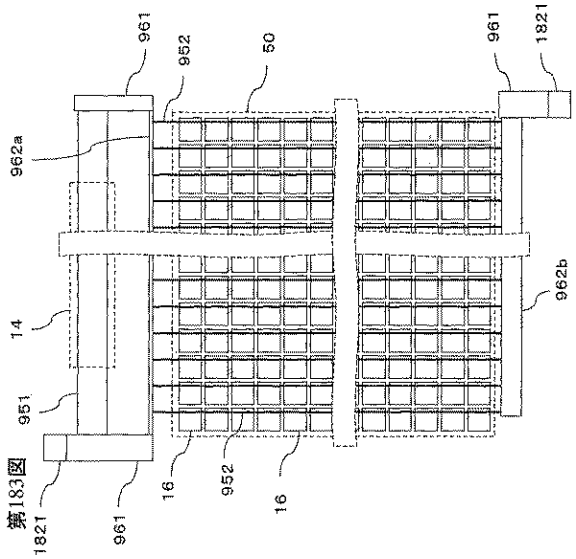
第181図

【図１８２】



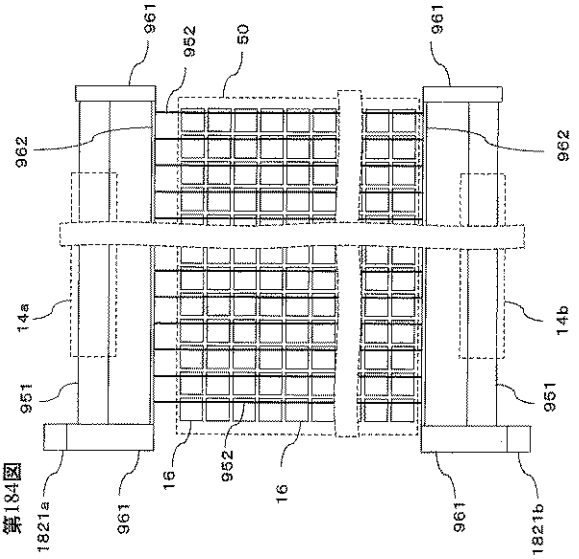
第182図

【図１８３】



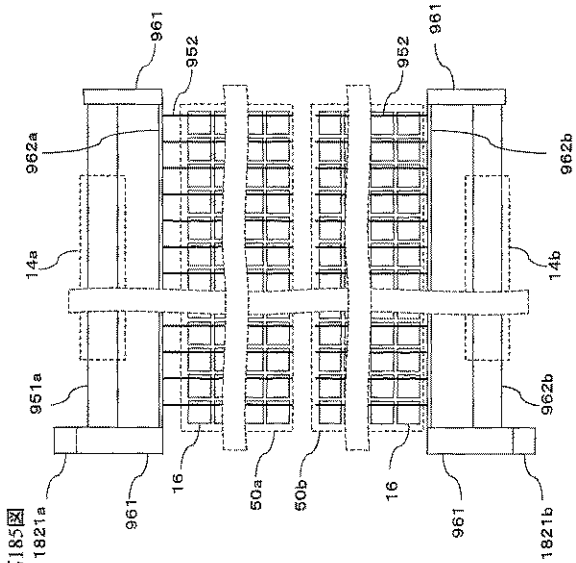
第183図

【図１８４】



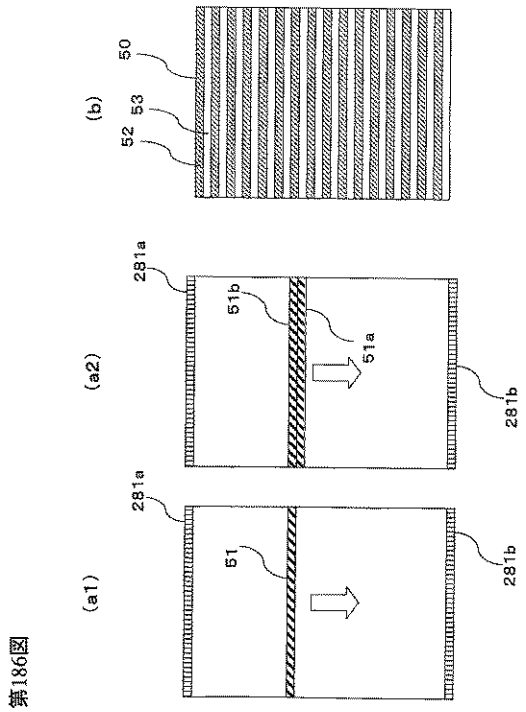
第184図

【図１８５】



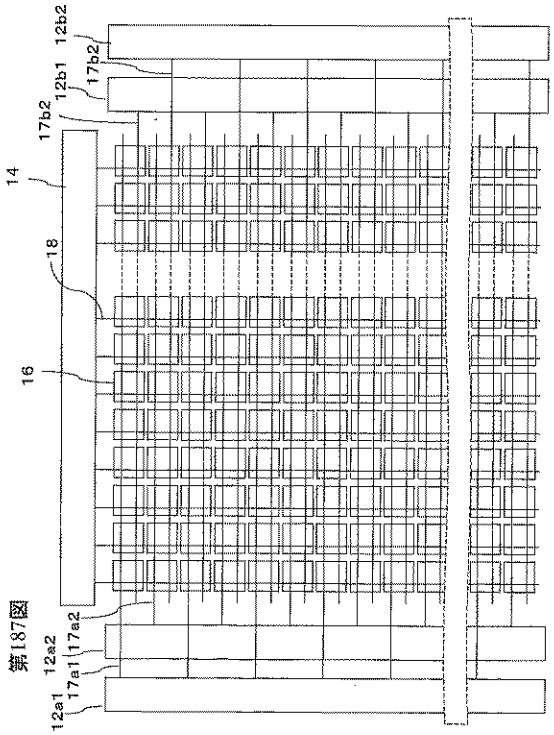
第185図

【図１８６】



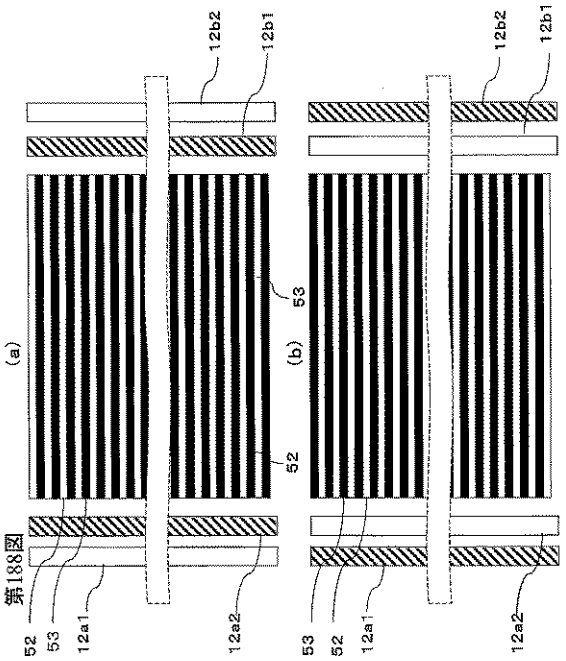
第186図

【図１８７】



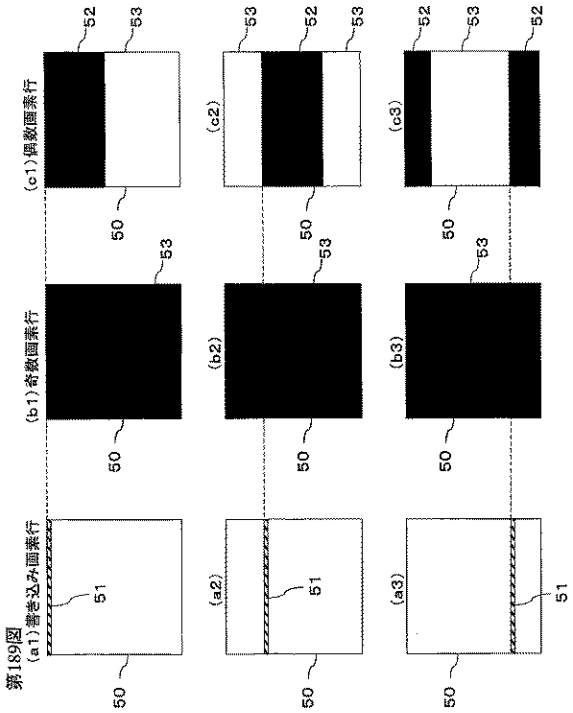
第187図

【図１８８】



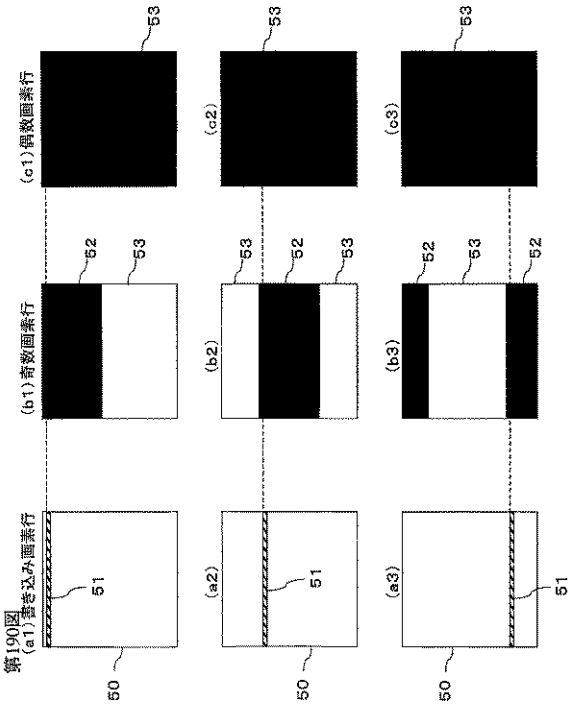
第188図

【図１８９】



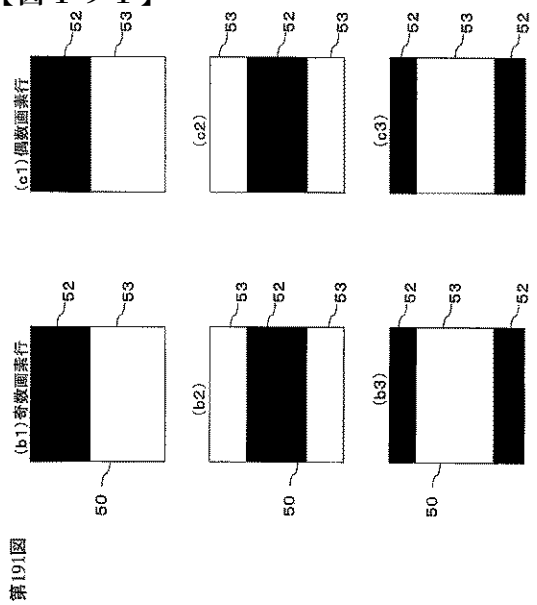
第189図

【図１９０】



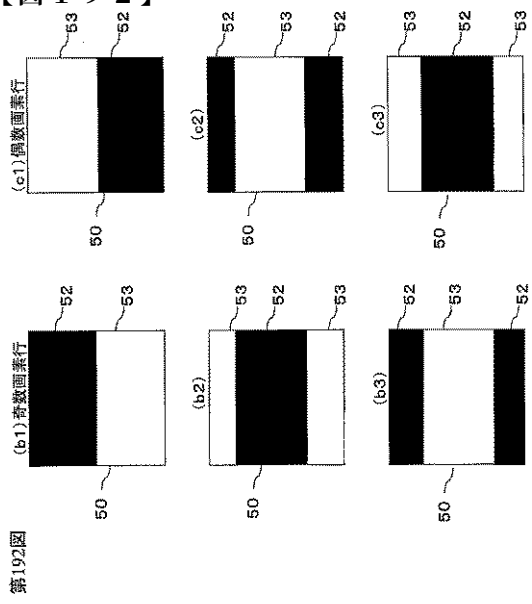
第190図

【図１９１】



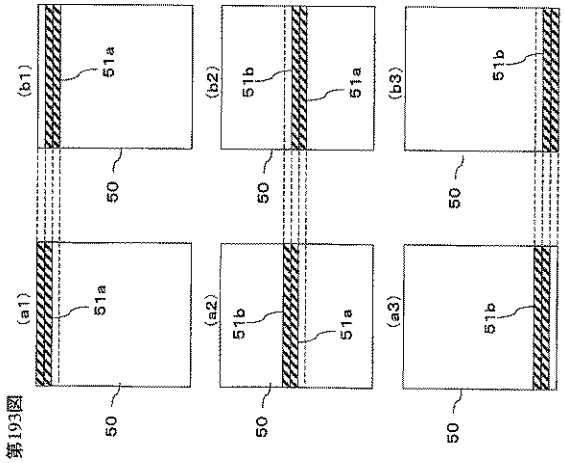
第191図

【図１９２】



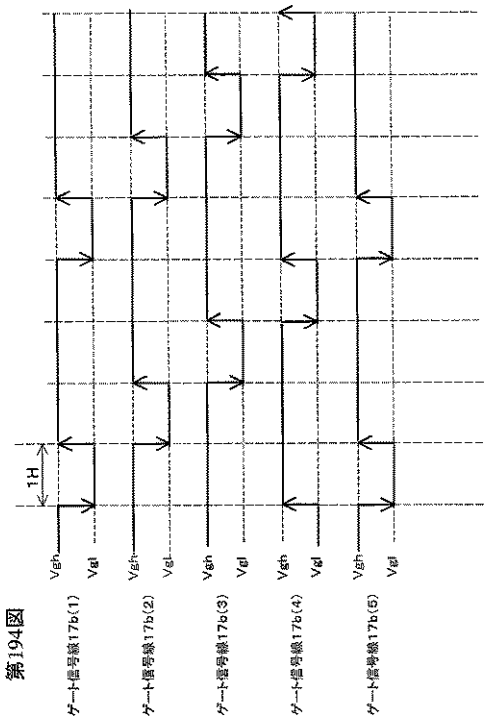
第192図

【図１９３】



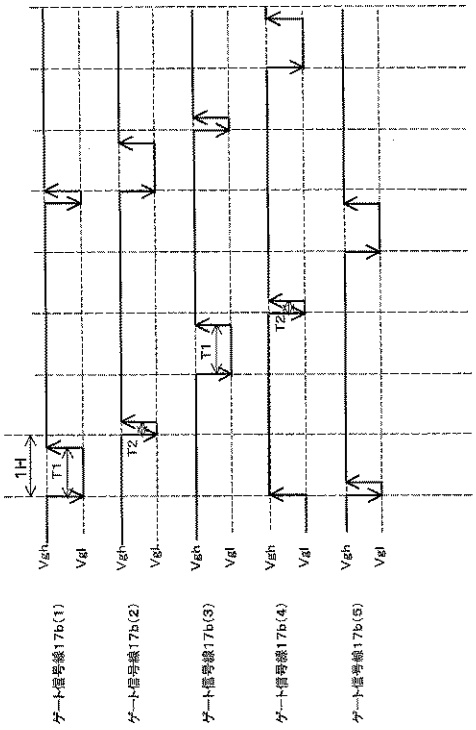
第193図

【図１９４】



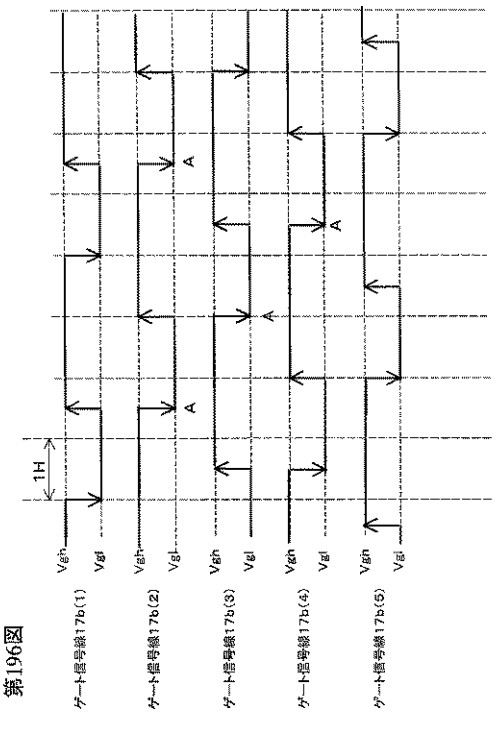
第194図

【図１９５】



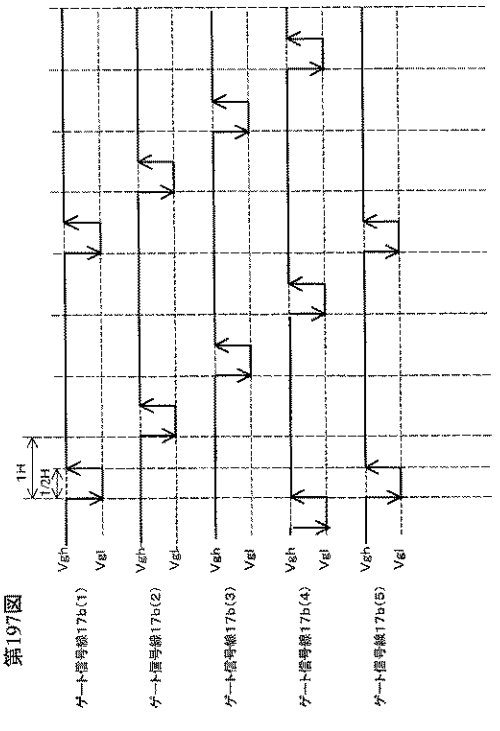
第195図

【図１９６】



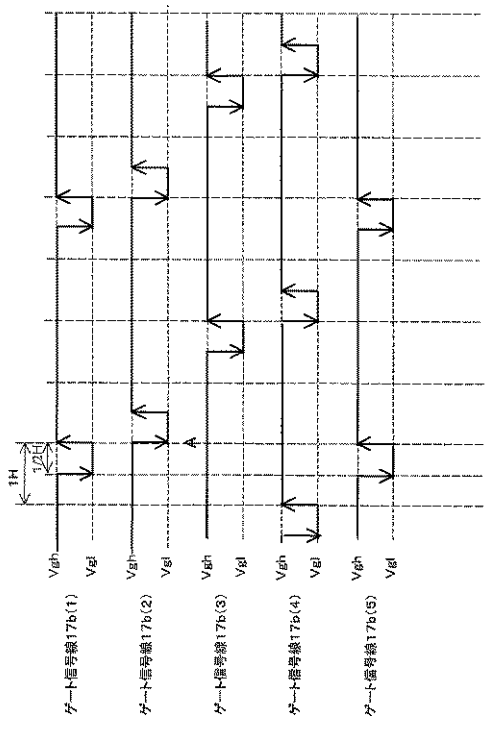
第196図

【図１９７】



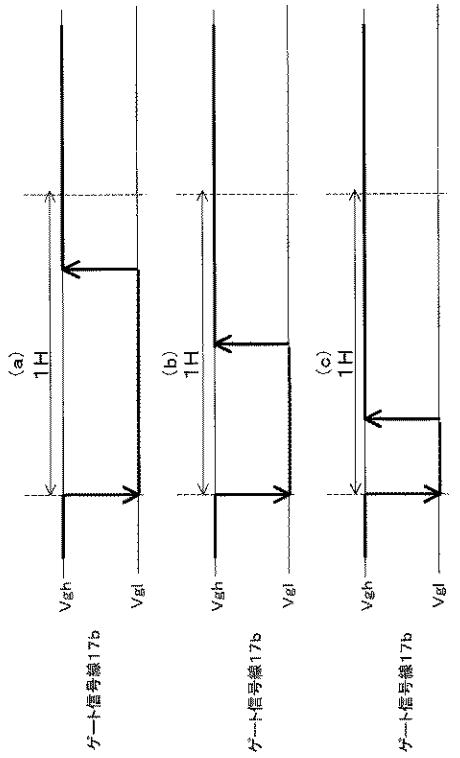
第197図

【図１９８】



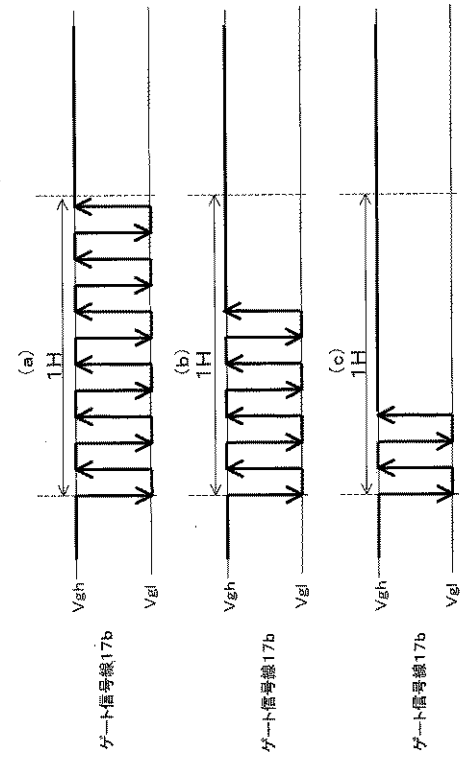
第198図

【図１９９】



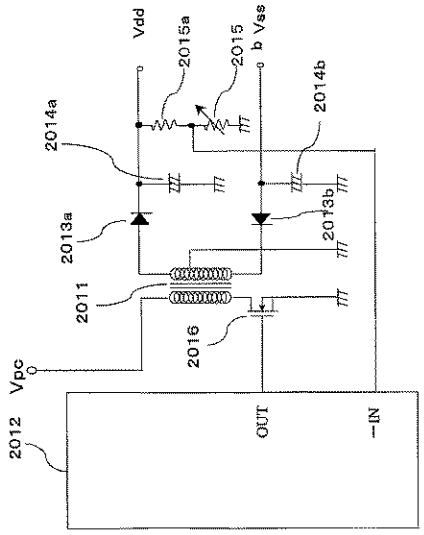
第199図

【図２００】



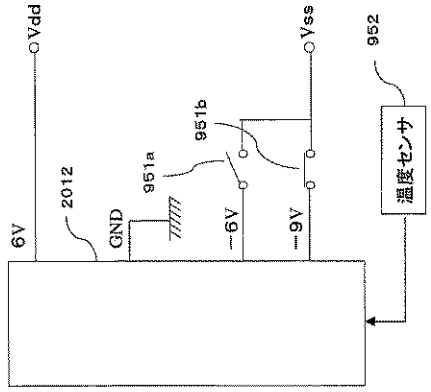
第200図

【図２０１】



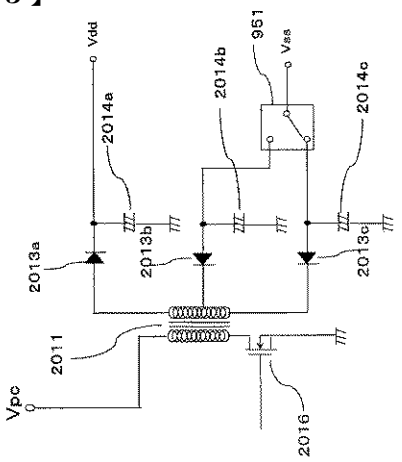
第201図

【図２０２】



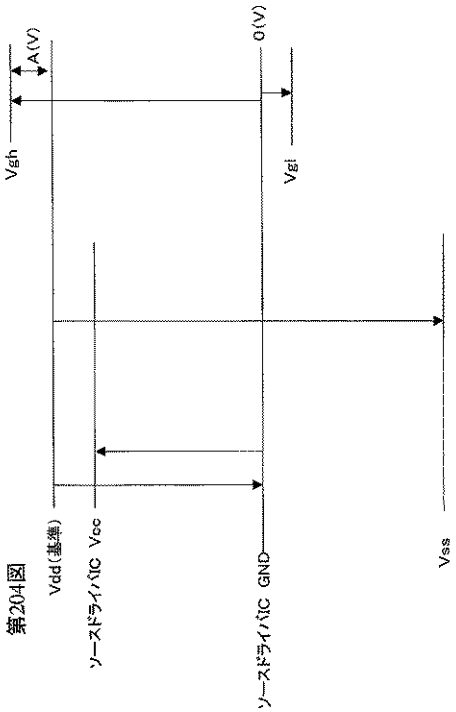
第202図

【図２０３】



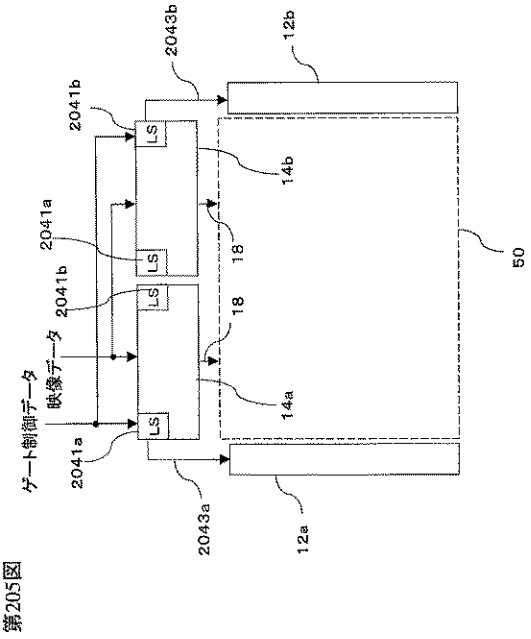
第203図

【図２０４】



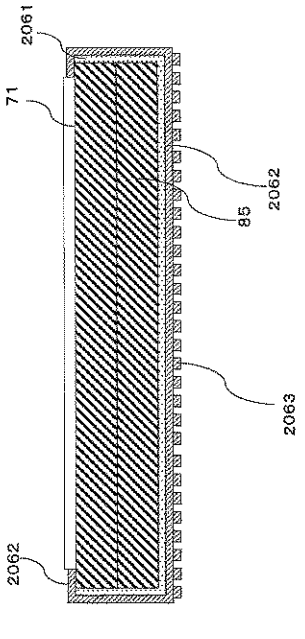
第204図

【図２０５】



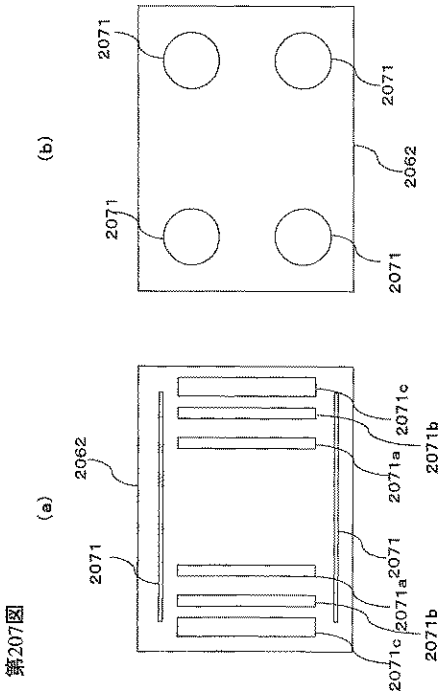
第205図

【図２０６】



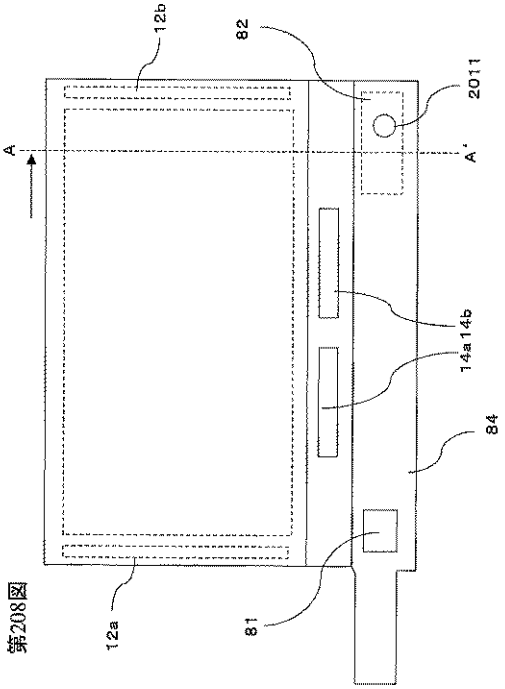
第206図

【図２０７】



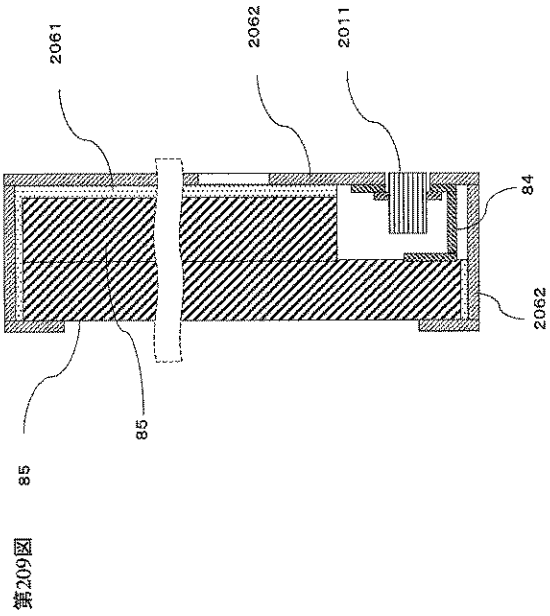
第207図

【図２０８】



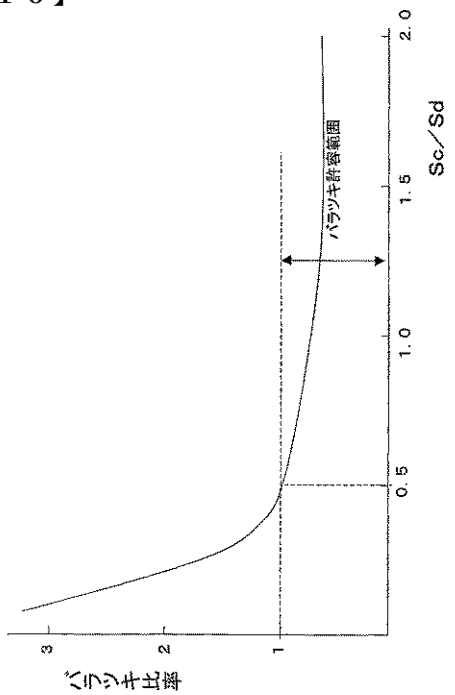
第208図

【図２０９】



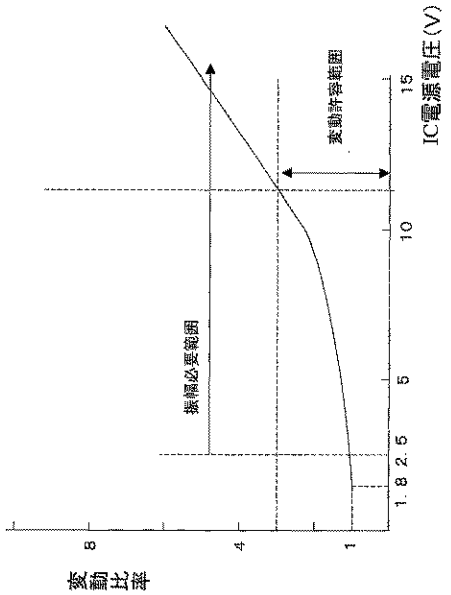
第209図

【図２１０】



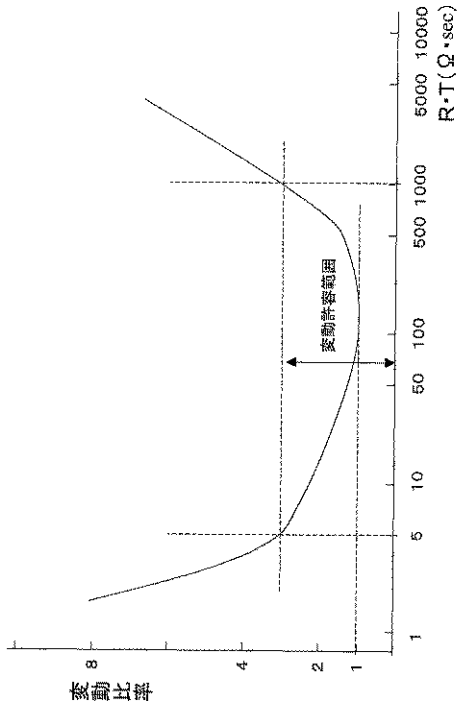
第210図

【図２１１】



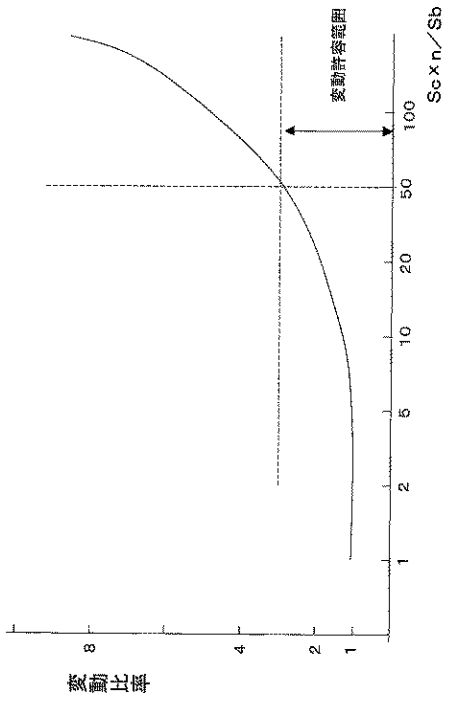
第211図

【図２１２】



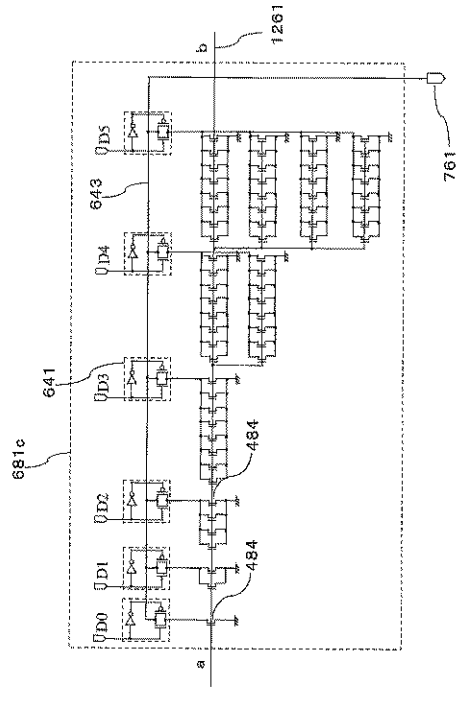
第212図

【図２１３】



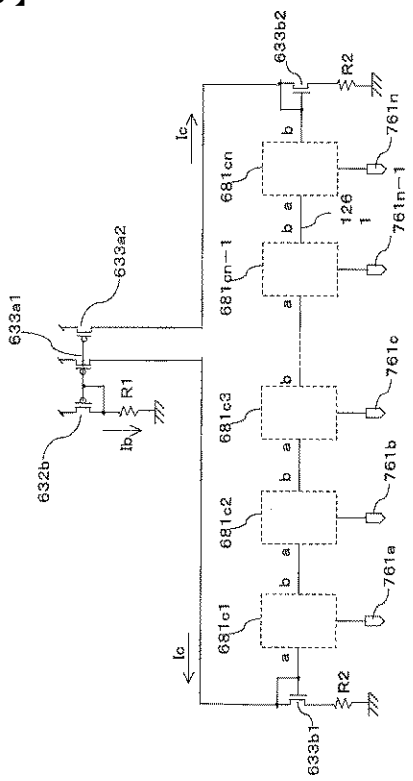
第213図

【図２１４】



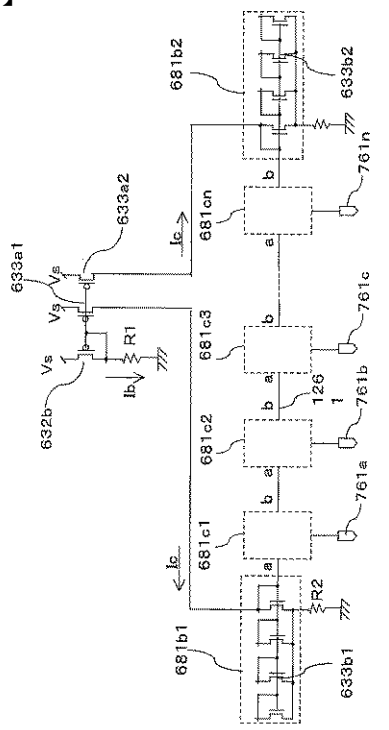
第214図

【図２１５】



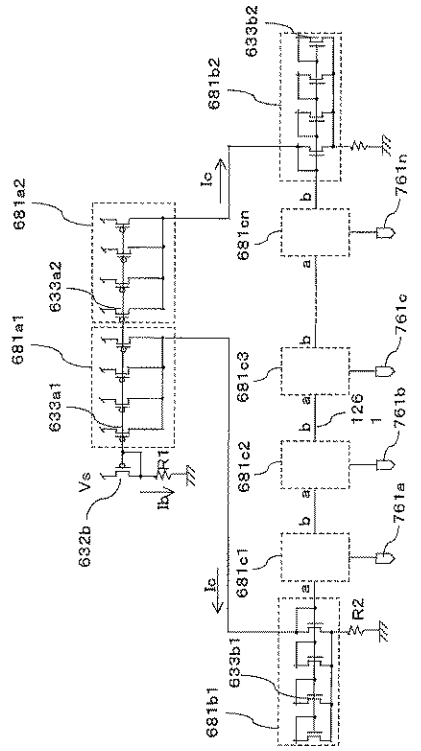
第215図

【図２１６】



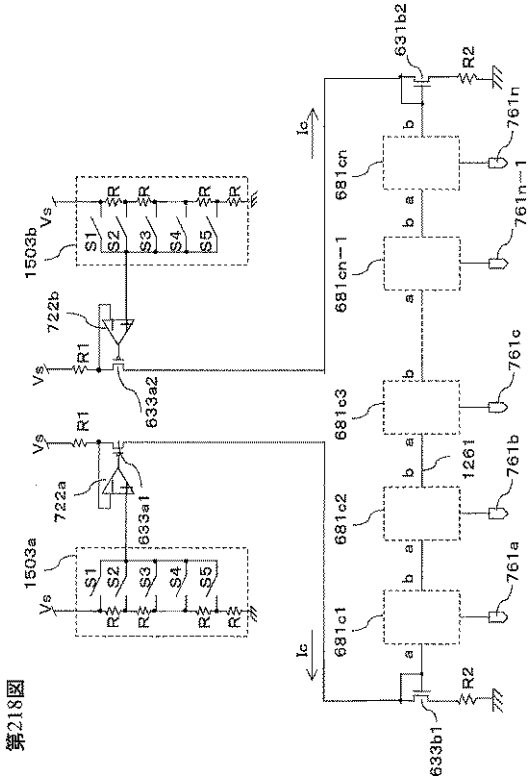
第216図

【図２１７】



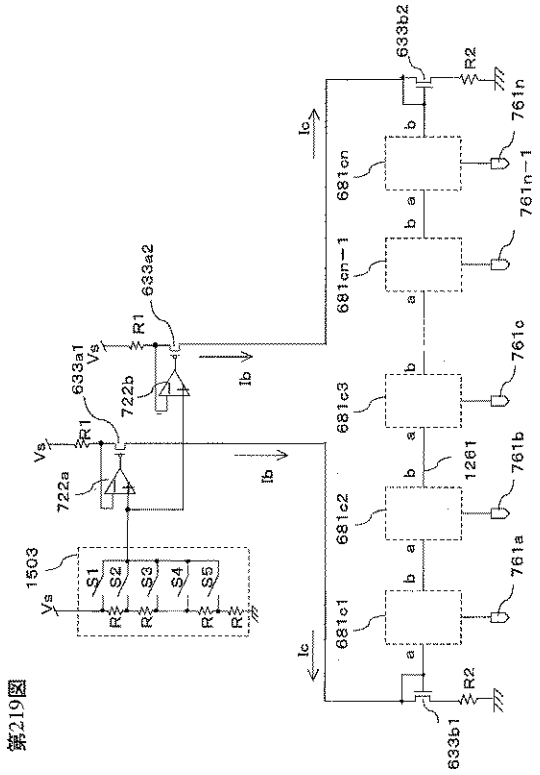
第217図

【図２１８】



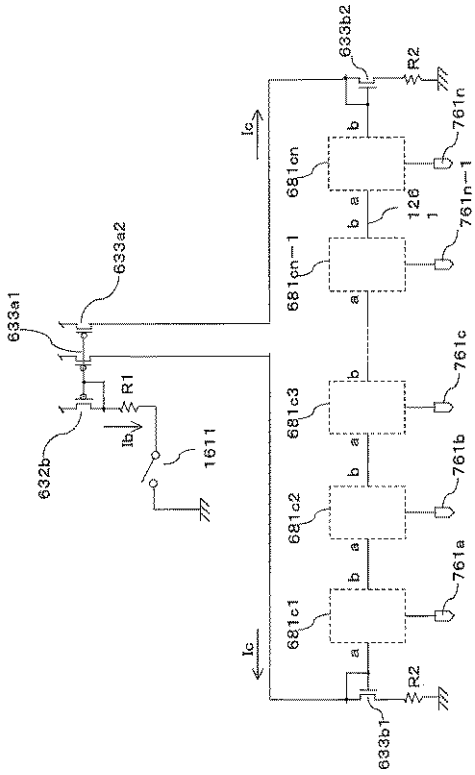
第218図

【図２１９】



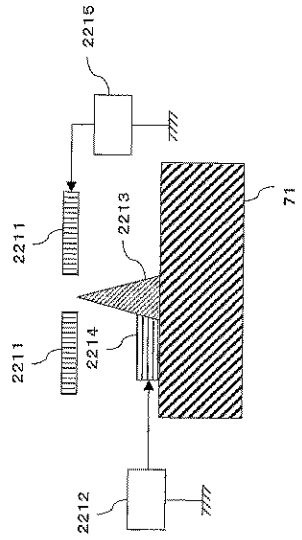
第219図

【図２２０】



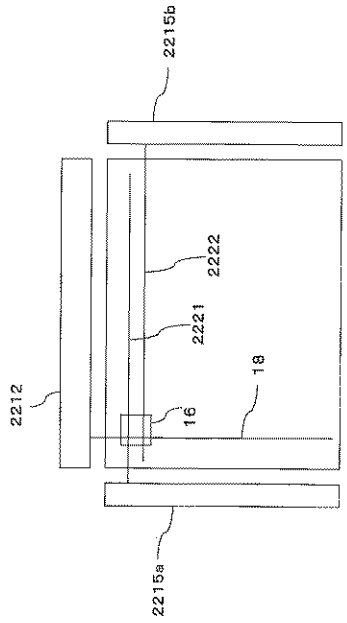
第220図

【図２２１】



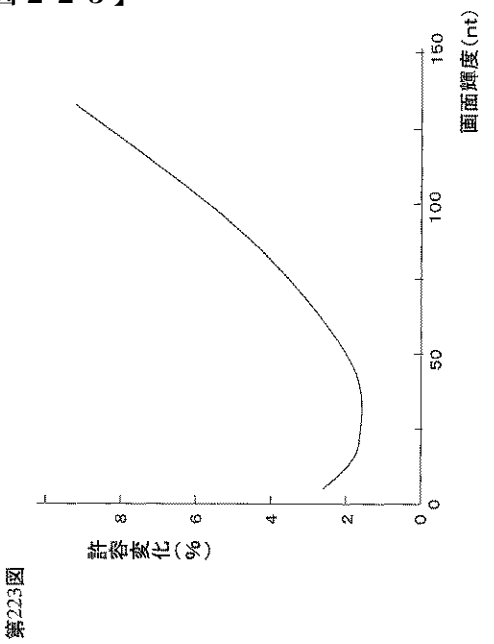
第221図

【図２２２】



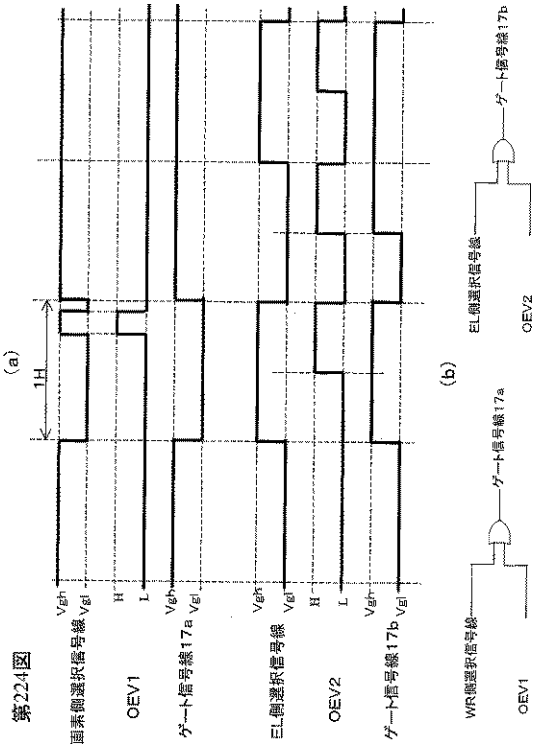
第222図

【図２２３】



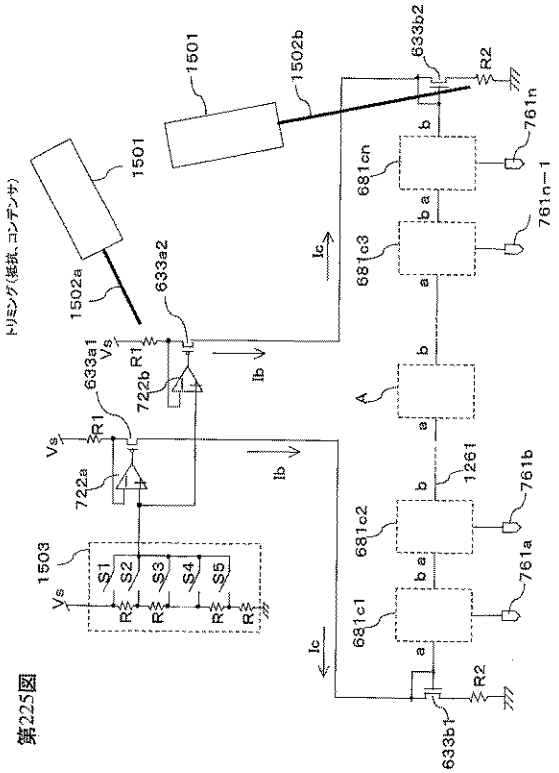
第223図

【図２２４】



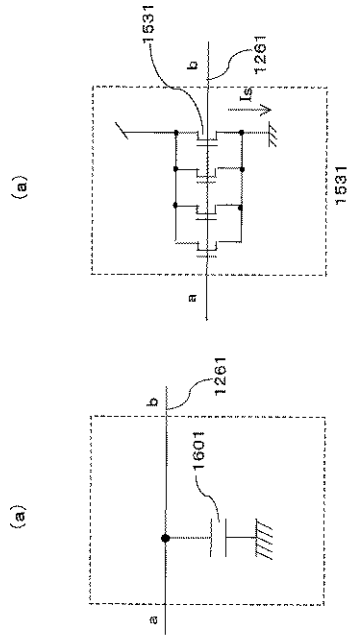
第224図

【図２２５】



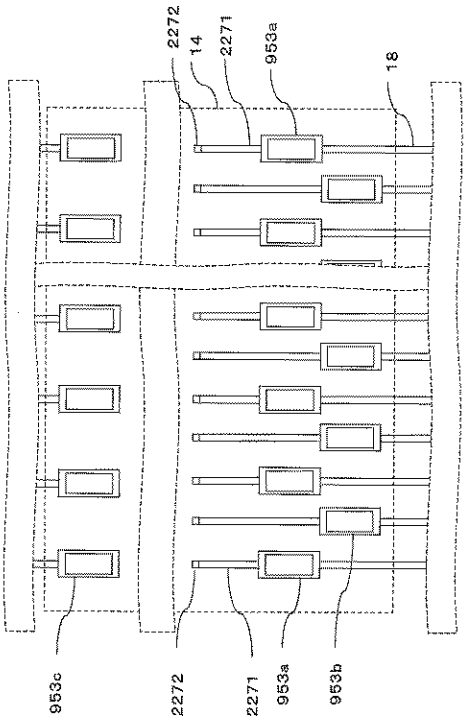
第225図

【図２２６】



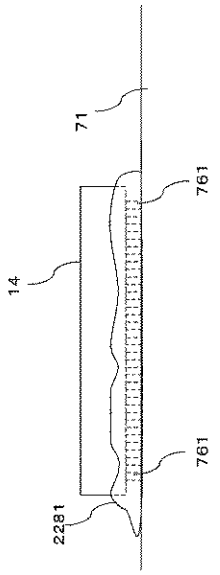
第226図

【図２２７】



第227図

【図２２８】



第228図

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/02535

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl[7] G09G3/30, G09G3/20, H05B33/14

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl[7] G09G3/30, G09G3/20, H05B33/14, G05F1/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-2003
Kokai Jitsuyo Shinan Koho 1971-2003 Jitsuyo Shinan Toroku Koho 1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
E,X	JP 2003-150104 A (Matsushita Electric Industrial Co., Ltd.), 23 May, 2003 (23.05.03), Par. No. [1488] to [1491]; Fig. 275 (Family: none)	1
X	JP 2000-293245 A (Sharp Corp.), 20 October, 2000 (20.10.00), Par. Nos. [0021] to [0029]; Figs. 2 to 3 & US 6332661 B1	1
Y	JP 2001-42827 A (Pioneer Electronic Corp.), 16 February, 2001 (16.02.01), Par. Nos. [0017] to [0026]; Fig. 7 (Family: none)	1

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
04 June, 2003 (04.06.03)	17 June, 2003 (17.06.03)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

Form PCT/ISA/210 (second sheet) (July 1998)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/02535

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 8-340243 A (Canon Inc.), 24 December, 1996 (24.12.96), Par. Nos. [0003] to [0013]; Fig. 1 (Family: none)	1
Y	JP 9-319323 A (Toshiba Micro-Electronics Corp.), 12 December, 1997 (12.12.97), Par. Nos. [0005] to [0006]; Figs. 9(1), 10 (Family: none)	1

Form PCT/ISA/210 (continuation of second sheet) (July 1998)

国際調査報告 | 国際出願番号 PCT/JP03/02535

A. 発明の属する分野の分類（国際特許分類（IPC））
Int. Cl[7] G09G3/30, G09G3/20, H05B33/14

B. 調査を行った分野
調査を行った最小限資料（国際特許分類（IPC））
Int. Cl[7] G09G3/30, G09G3/20, H05B33/14, G05F1/10

最小限資料以外の資料で調査を行った分野に含まれるもの
日本国実用新案公報 1926－1996年
日本国公開実用新案公報 1971－2003年
日本国登録実用新案公報 1994－2003年
日本国実用新案登録公報 1996－2003年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
E, X	JP 2003-150104 A (松下電器産業株式会社) 2003.05.23 段落番号【1488】－【1491】, 図275 (ファミリーなし)	1
X	JP 2000-293245 A (シャープ株式会社) 2000.10.20 段落番号【0021】－【0029】, 図2－3 &US 6332661 B1	1

[x] C欄の続きにも文献が列挙されている。 [ ] パテントファミリーに関する別紙を参照。

＊ 引用文献のカテゴリー
「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
04.06.03	17.06.03

国際調査機関の名称及びあて先	特許庁審査官（権限のある職員）		
日本国特許庁（ISA/JP） 郵便番号100－8915 東京都千代田区霞が関三丁目4番3号	橋本 直明	2G	9707
	電話番号 03－3581－1101 内線 3225		

様式PCT/ISA/210（第2ページ）（1998年7月）

国際調査報告

国際出願番号 PCT／JP03／02535

C（続き）. 関連すると認められる文献

引用文献のカテゴリー＊	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Y	JP 2001－42827 A（バイオニア株式会社） 2001．02．16 段落番号【0017】－【0026】，図7 （ファミリーなし）	1
Y	JP 8－340243 A（キャノン株式会社） 1996．12．24 段落番号【0003】－【0013】，図1 （ファミリーなし）	1
Y	JP 9－319323 A（東芝マイクロエレクトロニクス） 1997．12．12 段落番号【0005】－【0006】，図9（1），図10 （ファミリーなし）	1

フロントページの続き

(51)Int.Cl.[7]	FI		
	H03K	17/00	M
	H05B	33/14	A
	H03K	17/687	F

（注）この公表は、国際事務局（ＷＩＰＯ）により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願（日本語実用新案登録出願）の国際公開の効果は、特許法第１８４条の１０第１項(実用新案法第４８条の１３第２項）により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	EL显示装置		
公开(公告)号	JPWO2003091977A5	公开(公告)日	2007-02-08
申请号	JP2004500275	申请日	2003-03-05
[标]申请(专利权)人(译)	东芝松下显示技术股份有限公司		
申请(专利权)人(译)	东芝松下显示技术有限公司		
[标]发明人	高原博司 柘植仁志		
发明人	高原 博司 柘植 仁志		
IPC分类号	G09G3/30 G09G3/20 H03K17/00 H01L51/50 H03K17/687 H05B33/14		
CPC分类号	G09G3/006 G09G3/20 G09G3/2014 G09G3/22 G09G3/3241 G09G3/325 G09G3/3266 G09G3/3283 G09G2300/0408 G09G2300/0417 G09G2300/0452 G09G2300/0809 G09G2300/0842 G09G2300/0861 G09G2300/0866 G09G2310/02 G09G2310/0218 G09G2310/0251 G09G2310/0256 G09G2310/0262 G09G2310/027 G09G2310/0283 G09G2310/0297 G09G2310/06 G09G2310/061 G09G2320/0214 G09G2320/0223 G09G2320/0233 G09G2320/0261 G09G2320/043 G09G2320/0606 G09G2320/0626 G09G2320/066 G09G2320/08 G09G2330/02 G09G2330/12 H01L27/3213 H01L27/3218 H01L27/3223 H01L27/3244 H01L27/3276 H01L51/5253 H01L51/5259 H01L51/5262 H01L51/5281 H01L51/529 H01L2251/568		
FI分类号	G09G3/30.J G09G3/20.611.H G09G3/20.612.F G09G3/20.623.B G09G3/20.623.F H03K17/00.M H05B33/14.A H03K17/687.F		
代理人(译)	松田 正道		
优先权	2002127532 2002-04-26 JP 2002127637 2002-04-26 JP 2002284393 2002-09-27 JP		
其他公开文献	JP4357413B2 JPWO2003091977A1		

摘要(译)

提供一种EL显示面板的源极驱动电路，其输出电流变化小。源极驱动器电路由指示一个单元的单元晶体管634组成。第零比特一个单元晶体管634中，第一比特是两个单位晶体管634，第二位是四个单位晶体管634，第三位为八个单位晶体管634，第四位16在单元晶体管634中，第五位由32个单元晶体管634组成。每个单元晶体管634与晶体管633a形成电流镜电路。通过调节流过晶体管633a的电流Ib，可以改变流过单元晶体管634的电流。它构成了一个输出电流电路单元晶体管中，通过调节参考电流，能够调整单元晶体管的输出电流，准确，并能提供偏差小源极驱动器IC。