

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5756865号
(P5756865)

(45) 発行日 平成27年7月29日(2015.7.29)

(24) 登録日 平成27年6月5日(2015.6.5)

(51) Int.Cl.

F I

G09G 3/30 (2006.01)
G09G 3/20 (2006.01)G09G 3/30 J
G09G 3/20 624B
G09G 3/20 642C
G09G 3/20 611H
G09G 3/20 670J

請求項の数 10 (全 20 頁)

(21) 出願番号 特願2013-545653 (P2013-545653)
(86) (22) 出願日 平成23年11月24日(2011.11.24)
(86) 国際出願番号 PCT/JP2011/006543
(87) 国際公開番号 W02013/076772
(87) 国際公開日 平成25年5月30日(2013.5.30)
審査請求日 平成26年6月12日(2014.6.12)(73) 特許権者 514188173
株式会社 J O L E D
東京都千代田区神田錦町三丁目23番地
(74) 代理人 100189430
弁理士 吉川 修一
(74) 代理人 100190805
弁理士 傍島 正朗
(72) 発明者 小野 晋也
日本国大阪府門真市大字門真1006番地
パナソニック株式会社内
(72) 発明者 鐘ヶ江 有宣
日本国大阪府門真市大字門真1006番地
パナソニック株式会社内

最終頁に続く

(54) 【発明の名称】 表示装置及びその制御方法

(57) 【特許請求の範囲】

【請求項1】

発光素子と前記発光素子に電流を供給する駆動トランジスタとを備えた表示装置の制御方法であって、

前記駆動トランジスタのゲート端子に、ゲート端子に接続された参照電圧線を介して予め定められた参照電圧を印加すると共に、前記駆動トランジスタのソース端子及びドレイン端子のうち一方に接続された電源線から、前記駆動トランジスタのソース端子及びドレイン端子のうち他方に固定電圧を印加して、前記駆動トランジスタの閾値電圧の変動を抑制するリセットステップを含み、

前記リセットステップでは、前記駆動トランジスタのゲート端子 - ソース端子間の電圧及びゲート端子 - ドレイン端子間の電圧が、前記駆動トランジスタの閾値電圧よりも大きな電圧となるよう、前記参照電圧が設定されている、

表示装置の制御方法。

【請求項2】

前記電源線と E L 共通端子の電源線は、発光期間で設定された電圧と、前記リセットステップで設定された電圧とが、互いに等しい、

請求項1に記載の表示装置の制御方法。

【請求項3】

さらに、一方の端子が前記駆動トランジスタのゲート端子に接続された容量素子に、発光輝度に対応したデータ電圧を保持するデータ書込みステップを含み、

10

20

前記リセットステップの少なくとも一部と、前記データ書込みステップの少なくとも一部とが、同一の期間に並行して行われる、

請求項 1 に記載の表示装置の制御方法。

【請求項 4】

複数の画素回路を配置してなる表示部を有する表示装置であって、

前記画素回路の各々は、

ソース端子及びドレイン端子の一方が第 1 の電源電圧を伝達する第 1 の電源線に接続された駆動トランジスタと、

第 1 の端子が前記駆動トランジスタのゲート端子に接続された第 1 の容量素子と、

前記第 1 の容量素子の第 2 の端子と、輝度に対応したデータ電圧を伝達するデータ線との導通及び非導通を切り換える第 1 のスイッチング素子と、

前記第 1 の容量素子の第 2 の端子と、前記駆動トランジスタのソース端子との導通及び非導通を切り換える第 2 のスイッチング素子と、

前記第 1 の容量素子の第 1 の端子と、固定の参照電圧を伝達する参照電圧線との導通及び非導通を切り換える第 3 のスイッチング素子と、

第 1 の端子が前記駆動トランジスタのソース端子及びドレイン端子の他方と接続され、第 2 の端子が第 2 の電源電圧を伝達する第 2 の電源線に接続された発光素子と、

第 1 の端子が前記第 1 の容量素子の第 2 の端子に接続され、第 2 の端子が前記第 1 の電源線または前記参照電圧線に接続された第 2 の容量素子と、を備え、

前記第 3 のスイッチング素子が導通状態となる際、前記固定の参照電圧は、前記駆動トランジスタのゲート端子 - ソース端子間及びゲート端子 - ドレイン端子間に、前記駆動トランジスタの閾値電圧よりも大きな順バイアス電圧を与えるように設定されている、

表示装置。

【請求項 5】

前記画素回路の各々は、さらに、前記駆動トランジスタから前記発光素子に供給される電流の経路に挿入され、当該電流の経路の導通及び非導通を切り換える第 4 のスイッチング素子を備える、

請求項 4 に記載の表示装置。

【請求項 6】

前記第 1 のスイッチング素子を制御する制御線と、前記第 3 のスイッチング素子を制御する制御線とは共通化されており、

前記第 2 のスイッチング素子を制御する制御線と、前記第 4 のスイッチング素子を制御する制御線とは共通化されている、

請求項 5 に記載の表示装置。

【請求項 7】

前記表示装置は、さらに、前記第 1 の電源線によって伝達される電源電圧を画素行ごとに制御する電源電圧制御回路を備える、

請求項 4 に記載の表示装置。

【請求項 8】

前記リセットステップにおいて、前記駆動トランジスタのドレイン端子の電位とソース端子の電位とが等しくなる、

請求項 1 に記載の表示装置の制御方法。

【請求項 9】

前記駆動トランジスタのゲート端子に、前記固定の参照電圧を印加すると共に、前記第 1 の電源線から、前記駆動トランジスタのソース端子及びドレイン端子の他方に固定電圧を印加して、前記駆動トランジスタの閾値電圧の変動を抑制するリセット動作を行う、

請求項 4 に記載の表示装置。

【請求項 10】

前記リセット動作を行う期間において、前記駆動トランジスタのドレイン端子の電位とソース端子の電位とが等しくなる、

10

20

30

40

50

請求項 9 に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置及びその制御方法に関し、特に有機エレクトロルミネッセンス（EL）素子を用いた表示装置及びその制御方法に関する。

【背景技術】

【0002】

昨今、有機EL素子を用いた表示装置（以下、有機EL表示装置）の開発及び実用化が進んでいる。有機EL表示装置は、一般に、各々が有機EL素子を有する複数の画素回路をマトリクス状に配置してなる表示部と、当該表示部を駆動するための駆動回路とを有している。

10

【0003】

アクティブマトリクス型の有機EL表示装置に用いられる原理的な画素回路は、有機EL素子、選択スイッチングトランジスタ、キャパシタ、及び駆動トランジスタを用いて構成される。そのような画素回路では、まず、信号線に接続された選択スイッチングトランジスタを導通状態にし、当該画素の輝度に対応したデータ電圧を信号線よりキャパシタに記録した後、前記選択スイッチングトランジスタを非導通状態とすることで、前記キャパシタにデータ電圧を保持する。次いで、キャパシタに保持された電圧に応じた大きさの電流を駆動トランジスタから有機EL素子に供給し、有機EL素子が駆動トランジスタから供給された電流に応じて、データ電圧に対応した輝度で発光する。

20

【0004】

このような原理的な画素回路に対し、有機EL素子をデータ電圧により正確に対応した輝度で発光させるための構成を設けた画素回路、及びその制御方法が、種々提案されている（例えば、特許文献1）。

【0005】

図20は、特許文献1に開示された従来の画素回路90を示す回路図である。

【0006】

画素回路90は、駆動トランジスタTD、スイッチングトランジスタT1～T3、キャパシタCs、及び有機EL素子ELから構成される。

30

【0007】

画素回路90は、走査線駆動回路4から、信号線SCAN、MERGEを介して、制御信号を供給され、信号線駆動回路5から、データ線DATAを介して、輝度に対応したデータ電圧を供給される。また、画素回路90は、図示しない電源回路から、電源線VDD、VSSを介して、有機EL素子ELの発光に用いられる正、負の電源電圧を供給され、参照電圧線Vrefを介して、参照電圧を供給される。

【0008】

有機EL素子ELに電流を供給する電源線VDD、VSSの画素回路90との接続点には、電圧降下に起因する複雑な電圧変動が生じるが、直流電流を供給しない参照電圧線Vrefには、定常的な電圧降下がほとんど生じない。

40

【0009】

このように構成された画素回路90は、供給される制御信号に応じて、次のように動作する。なお、以下の説明では、キャパシタの一端に電圧A、他端に電圧Bを印加し、当該キャパシタにて電圧Aと電圧Bとの差である電圧（A-B）を保持する動作を、電圧Aを、電圧Bを基準として、キャパシタに保持する、と表現する。この表現は、本明細書の全体で用いられる。

【0010】

まず、スイッチングトランジスタT2を非導通状態として、キャパシタCsを画素内の電流経路から電氣的に切り離れた状態で、スイッチングトランジスタT1、T3を導通状態とする。キャパシタCsは、データ電圧を、参照電圧を基準として保持する。

50

【 0 0 1 1 】

このときキャパシタ C s に保持される電圧は、電源電圧の変動の影響を全く受けていない。次に、スイッチングトランジスタ T 1、T 3 を非導通状態とし、スイッチングトランジスタ T 2 を導通状態とし、キャパシタ C s に保持されている電圧を、駆動トランジスタ T D のゲート端子 - ソース端子間に印加する。

【 0 0 1 2 】

その結果、駆動トランジスタ T D は、データ電圧のみに応じた電流を有機 E L 素子 E L に供給するので、有機 E L 素子 E L はデータ電圧に対応した正確な輝度で発光する。

【 先行技術文献 】

【 特許文献 】

10

【 0 0 1 3 】

【 特許文献 1 】 国際公開第 2 0 1 0 / 0 4 1 4 2 6 号

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 1 4 】

ところで、有機 E L 素子の発光輝度の精度を損なう原因には、前述した従来技術によって解決される電源電圧の変動の他にも、例えば、駆動トランジスタの閾値電圧の変動がある。閾値電圧の変動とは、駆動トランジスタのゲート端子 - ソース端子間に印加されたバイアス電圧の大きさに依存して、その後の閾値電圧が変動する現象である。

【 0 0 1 5 】

20

駆動トランジスタは、輝度に対応した大きさのバイアス電圧をゲート端子 - ソース端子間に印加されて有機 E L 素子に所望の大きさの電流を供給するから、先行フレームにおける輝度に対応したゲート端子 - ソース端子間電圧に応じて駆動トランジスタの閾値電圧が変動し、後続フレームに影響を及ぼす。すなわち、閾値電圧が変動すると、データ電圧に対して駆動トランジスタが有機 E L 素子に供給する電流量に誤差が生じ、この誤差は有機 E L 素子の発光輝度の誤差に反映される。

【 0 0 1 6 】

その様子を図 6 A に示す。図 6 A は、先行フレームにおいて黒または白が表示された後に、中間階調（灰色）を表示させた際の輝度の時間変化を示すグラフである。表示が変化してから 1 0 以上のフレームにおいて、先行フレームの表示が白か黒かによる発光輝度の不一致が見られ、特に最初の 1 ~ 2 フレームでは大きな差異が見られる。この現象により、例えば図 6 B に示すように、中間階調の背景の中で白または黒のウィンドウをスクロールさせた場合には、ウィンドウが通過して再び背景になった領域が正しい中間階調の輝度に落ち着くまでにかなりの時間を要するため、尾引きと呼ばれる表示劣化が視認される。

30

【 0 0 1 7 】

しかしながら、前述した従来技術では、このような急激な階調変化に伴って駆動トランジスタ閾値電圧が変動して生じる表示劣化及びその対策について、検討されていない。

【 0 0 1 8 】

本発明は、上記の課題に鑑みてなされたものであり、有機 E L 素子をデータ電圧に対応したより正確な輝度で発光させることができる画素回路を備える表示装置及びその制御方法を提供することを目的とする。

40

【 課題を解決するための手段 】

【 0 0 1 9 】

上記目的を達成するために、本発明の 1 つの態様に係る表示装置は、複数の画素回路を配置してなる表示部を有する表示装置であって、前記画素回路の各々は、ソース端子及びドレイン端子の一方が第 1 の電源電圧を伝達する第 1 の電源線に接続された駆動トランジスタと、第 1 の端子が前記駆動トランジスタのゲート端子に接続された第 1 の容量素子と、前記第 1 の容量素子の第 2 の端子と、輝度に対応したデータ電圧を伝達するデータ線との導通及び非導通を切り換える第 1 のスイッチング素子と、前記第 1 の容量素子の第 2 の端子と、前記駆動トランジスタのソース端子との導通及び非導通を切り換える第 2 のスイ

50

ッチング素子と、前記第 1 の容量素子の第 1 の端子と、固定の参照電圧を伝達する参照電圧線との導通及び非導通を切り換える第 3 のスイッチング素子と、第 1 の端子が前記駆動トランジスタのソース端子及びドレイン端子の他方と接続され、第 2 の端子が第 2 の電源電圧を伝達する第 2 の電源線に接続された発光素子と、第 1 の端子が前記第 1 の容量素子の第 2 の端子に接続され、第 2 の端子が前記第 1 の電源線または前記参照電圧線に接続された第 2 の容量素子と、を備え、前記第 3 のスイッチング素子が導通状態となる際、前記固定の参照電圧は、前記駆動トランジスタのゲート端子 - ソース端子間及びゲート端子 - ドレイン端子間に、前記駆動トランジスタの閾値電圧よりも大きな順バイアス電圧を与えるように設定されている。

【発明の効果】

10

【0020】

本発明の表示装置によれば、前記閾値電圧よりも大きい固定の順バイアス電圧を印加して前記駆動トランジスタをオン状態にすることで、前記駆動トランジスタの閾値電圧の変動を抑制し、前記発光素子をより正確な輝度で発光させることができる。

【図面の簡単な説明】

【0021】

【図 1】図 1 は、実施の形態 1 における表示装置の構成の一例を示す機能ブロック図である。

【図 2】図 2 は、実施の形態 1 における画素回路の構成の一例を示す回路図である。

【図 3】図 3 は、実施の形態 1 における制御信号およびデータ信号の一例を示すタイミングチャートである。

20

【図 4】図 4 は、実施の形態 1 における画素回路の動作の一例を示す回路図である。

【図 5 A】図 5 A は、実施例の画素回路の発光輝度の時間変化を示すグラフである。

【図 5 B】図 5 B は、実施例の画素回路を用いた表示部によるスクロール表示の一例である。

【図 6 A】図 6 A は、比較例の画素回路の発光輝度の時間変化を示すグラフである。

【図 6 B】図 6 B は、比較例の画素回路を用いた表示部によるスクロール表示の一例である。

【図 7】図 7 は、実施例と比較例についてフレームごとの発光輝度の誤差を示すグラフである。

30

【図 8】図 8 は、実施の形態 1 における画素回路の構成の一例を示す回路図である。

【図 9】図 9 は、実施の形態 1 における画素回路の構成の一例を示す回路図である。

【図 10】図 10 は、実施の形態 1 の変形例における画素回路の構成の一例を示す回路図である。

【図 11】図 11 は、実施の形態 1 の変形例における画素回路の構成の一例を示す回路図である。

【図 12】図 12 は、実施の形態 1 の変形例における制御信号およびデータ信号の一例を示すタイミングチャートである。

【図 13】図 13 は、実施の形態 2 における表示装置の構成の一例を示す機能ブロック図である。

40

【図 14】図 14 は、実施の形態 2 における画素回路の構成の一例を示す回路図である。

【図 15】図 15 は、実施の形態 2 における制御信号、電源電圧、およびデータ信号の一例を示すタイミングチャートである。

【図 16】図 16 は、実施の形態 2 における画素回路の構成の一例を示す回路図である。

【図 17】図 17 は、実施の形態 2 における画素回路の構成の一例を示す回路図である。

【図 18】図 18 は、実施の形態 2 における画素回路の構成の一例を示す回路図である。

【図 19】図 19 は、本発明の表示装置を内蔵する薄型フラット TV の一例を示す外観図である。

【図 20】図 20 は、従来の画素回路の構成の一例を示す回路図である。

【発明を実施するための形態】

50

【 0 0 2 2 】

本発明の１つの態様に係る制御方法は、発光素子と前記発光素子に電流を供給する駆動トランジスタとを備えた表示装置の制御方法であって、前記駆動トランジスタのゲート端子に、ゲート端子に接続された参照電圧線を介して予め定められた参照電圧を印加すると共に、前記駆動トランジスタのソース端子及びドレイン端子のうちの一方に接続された電源線から、前記駆動トランジスタのソース端子及びドレイン端子のうちの他方に固定電圧を印加して、前記駆動トランジスタの閾値電圧の変動を抑制するリセットステップを含み、前記リセットステップでは、前記駆動トランジスタのゲート端子 - ソース端子間の電圧が、前記駆動トランジスタの閾値電圧よりも大きな電圧となるよう、前記参照電圧が設定されている。

10

【 0 0 2 3 】

このような制御方法によれば、前記リセットステップで、前記閾値電圧よりも大きい固定の順バイアス電圧の印加によって前記駆動トランジスタをオン状態にして、前記駆動トランジスタの閾値電圧の変動を抑制するので、前記発光素子をより正確な輝度で発光させることができる。

【 0 0 2 4 】

また、前記電源線と E L 共通端子の電源線は、発光期間で設定された電圧と、前記リセットステップで設定された電圧とが、互いに等しくてもよい。

【 0 0 2 5 】

このような制御方法によれば、前記発光期間と、前記リセットステップとで、電源線の電圧を変更する必要がないので、前記表示装置の回路構成を簡素化するために役立つ。

20

【 0 0 2 6 】

前記制御方法は、さらに、一方の端子が前記駆動トランジスタのゲート端子に接続された容量素子に、発光輝度に対応したデータ電圧を保持するデータ書込みステップを含み、前記リセットステップの少なくとも一部と、前記データ書込みステップの少なくとも一部とが、同一の期間に並行して行われてもよい。

【 0 0 2 7 】

このような制御方法によれば、前記データ書込みステップと並行して、前記リセットステップに十分な時間をかけることで、前記駆動トランジスタの閾値電圧の変動をより小さく抑制することができる。

30

【 0 0 2 8 】

本発明の１つの態様に係る表示装置は、複数の画素回路を配置してなる表示部を有する表示装置であって、前記画素回路の各々は、ソース端子及びドレイン端子の一方が第１の電源電圧を伝達する第１の電源線に接続された駆動トランジスタと、第１の端子が前記駆動トランジスタのゲート端子に接続された第１の容量素子と、前記第１の容量素子の第２の端子と、輝度に対応したデータ電圧を伝達するデータ線との導通及び非導通を切り換える第１のスイッチング素子と、前記第１の容量素子の第２の端子と、前記駆動トランジスタのソース端子との導通及び非導通を切り換える第２のスイッチング素子と、前記第１の容量素子の第１の端子と、固定の参照電圧を伝達する参照電圧線との導通及び非導通を切り換える第３のスイッチング素子と、第１の端子が前記駆動トランジスタのソース端子及びドレイン端子の他方と接続され、第２の端子が第２の電源電圧を伝達する第２の電源線に接続された発光素子と、第１の端子が前記第１の容量素子の第２の端子に接続され、第２の端子が前記第１の電源線または前記参照電圧線に接続された第２の容量素子と、を備え、前記第３のスイッチング素子が導通状態となる際、前記固定の参照電圧は、前記駆動トランジスタのゲート端子 - ソース端子間に、前記駆動トランジスタの閾値電圧よりも大きな順バイアス電圧を与えるように設定されている。

40

【 0 0 2 9 】

このような構成によれば、前記閾値電圧よりも大きい固定の順バイアス電圧を印加して前記駆動トランジスタをオン状態にすることで、前記駆動トランジスタの閾値電圧の変動を抑制し、前記発光素子をより正確な輝度で発光させることができる。

50

【 0 0 3 0 】

また、前記画素回路の各々は、さらに、前記駆動トランジスタから前記発光素子に供給される電流の経路に挿入され、当該電流の経路の導通及び非導通を切り換える第4のスイッチング素子を備えてもよい。

【 0 0 3 1 】

また、前記第1のスイッチング素子を制御する制御線と、前記第3のスイッチング素子を制御する制御線とは共通化されており、前記第2のスイッチング素子を制御する制御線と、前記第4のスイッチング素子を制御する制御線とは共通化されていてもよい。

【 0 0 3 2 】

また、前記表示装置は、さらに、前記第1の電源線によって伝達される電源電圧を画素行ごとに制御する電源電圧制御回路を備えてもよい。

10

【 0 0 3 3 】

このような構成によれば、閾値電圧の変動を抑制するために前記駆動トランジスタに前記固定の順バイアス電圧を印加している間に、前記発光素子の発光を抑止することができるので、表示コントラストの向上や消費電力の低減に役立つ。

【 0 0 3 4 】

以下、本発明の実施の形態について説明する。なお、以下では、全ての図を通して同等の機能を発揮する要素には同じ符号を付し、重複する説明は適宜省略する。

【 0 0 3 5 】

(実施の形態1)

20

実施の形態1における表示装置は、複数の画素回路をマトリクス状に配置してなる表示部を有する表示装置であって、前記各画素回路が、駆動トランジスタの閾値変動を抑制するように構成されている。

【 0 0 3 6 】

以下、本発明の実施の形態1について、図面を参照しながら説明する。

【 0 0 3 7 】

図1は、実施の形態1における表示装置1の構成の一例を示す機能ブロック図である。

【 0 0 3 8 】

表示装置1は、表示部2、制御回路3、走査線駆動回路4、信号線駆動回路5、及び電源回路6から構成される。

30

【 0 0 3 9 】

表示部2は、複数の画素回路10をマトリクスに配置してなる。当該マトリクスの各行には走査信号線が設けられ、当該マトリクスの各列にはデータ信号線が設けられる。

【 0 0 4 0 】

制御回路3は、表示装置1の動作を制御する回路であり、外部から映像信号を受信し、当該映像信号で表される画像が表示部2に表示されるように、走査線駆動回路4、信号線駆動回路5を制御する。

【 0 0 4 1 】

走査線駆動回路4は、表示部2の各行に設けられた走査信号線を介して画素回路10に、画素回路10の動作を制御するための制御信号を供給する。

40

【 0 0 4 2 】

信号線駆動回路5は、表示部2の各列に設けられたデータ信号線を介して画素回路10に、輝度に対応したデータ信号を供給する。

【 0 0 4 3 】

電源回路6は、表示装置1の動作の電源を、表示装置1の各部に供給する。

【 0 0 4 4 】

図2は、画素回路10の構成の一例、及び画素回路10と走査線駆動回路4及び信号線駆動回路5との接続の一例を示す回路図である。

【 0 0 4 5 】

表示部2の各行には、同じ行に配置される複数の画素回路10に共通に接続される走査

50

信号線として、信号線SCAN、ENABが設けられており、表示部2の各列には、同じ列に配置される複数の画素回路10に共通に接続されるデータ信号線として、データ線DATAが設けられている。

【0046】

また、表示部2には、電源回路6から供給される正の電源電圧を伝達して、画素回路10に分配する電源線VDD、電源回路6から供給される負の電源電圧を伝達して、画素回路10に分配する電源線VSS、及び電源回路6から供給される固定の参照電圧を伝達して、画素回路10に分配する参照電圧線Vrefが設けられている。電源線VDD、VSS、及び参照電圧線Vrefは、全ての画素回路10に共通に接続される。

【0047】

10

有機EL素子ELに電流を供給する電源線VDD、VSSの各々と画素回路10との接続点には、電気抵抗に起因する電圧降下による複雑な電圧変動が生じるが、直流電流を供給しない参照電圧線Vrefには、定常的な電圧降下は生じない。

【0048】

表示部2に配置されている各画素回路10は、画素回路10が配置されている行の信号線SCAN、ENABで走査線駆動回路4に接続されると共に、画素回路10が配置されている列のデータ線DATAで信号線駆動回路5に接続されている。

【0049】

信号線SCAN、ENABは、走査線駆動回路4から画素回路10へ、画素回路10の動作を制御するための制御信号を伝達する。データ線DATAは、信号線駆動回路5から画素回路10へ、輝度に対応したデータ信号を伝達する。

20

【0050】

画素回路10は、データ信号に対応した輝度で有機EL素子を発光させる回路であり、駆動トランジスタTD、スイッチングトランジスタT1~T4、キャパシタCs、Csusb、及び有機EL素子ELから構成される。駆動トランジスタTD、スイッチングトランジスタT1~T4は、n型の薄膜トランジスタ(TFT)で構成される。

【0051】

駆動トランジスタTDは、ドレイン端子dが電源線VDDに接続され、ソース端子sがスイッチングトランジスタT4を介在して有機EL素子ELの第1(紙面の上側)の端子に接続されている。

30

【0052】

キャパシタCsは、第1(紙面の上側)の端子が駆動トランジスタTDのゲート端子gに接続されている。

【0053】

キャパシタCsusbは、第1(紙面の上側)の端子がキャパシタCsの第2(紙面の下側)の端子に接続され、第2(紙面の下側)の端子が固定の電圧(たとえば電源線VDDまたは参照電圧線Vref)に接続されている。なお、キャパシタCsusbは、専用の領域に形成されたキャパシタである必要はなく、キャパシタCsの第2の端子を構成する導電体と電源線VDDまたは参照電圧線Vrefまたは信号線SCAN、ENABを構成する導電体との間に存在する寄生容量であってもよい。またはスイッチングトランジスタT1、T2の寄生容量であってもよい。したがって、キャパシタCsusbが明示されていない画素回路も本発明に含まれる。

40

【0054】

有機EL素子ELは、第2(紙面の下側)の端子が電源線VSSに接続されている。

【0055】

スイッチングトランジスタT1は、信号線SCANで伝達される制御信号に従って、キャパシタCsの第2(紙面の下側)の端子とデータ線DATAとの導通及び非導通を切り換える。

【0056】

スイッチングトランジスタT2は、信号線ENABで伝達される制御信号に従って、駆

50

動トランジスタT Dのソース端子sとキャパシタC sの第2の端子との導通及び非導通を切り換える。

【0057】

スイッチングトランジスタT 3は、信号線S C A Nで伝達される制御信号に従って、キャパシタC sの第1の端子と参照電圧線V r e fとの導通及び非導通を切り換える。

【0058】

スイッチングトランジスタT 4は、信号線E N A Bで伝達される制御信号に従って、駆動トランジスタT Dのソース端子sと有機E L素子E Lの第2（紙面の上側）の端子との導通及び非導通を切り換える。

【0059】

10

ここで、スイッチングトランジスタT 1～T 4が、それぞれ第1～第4のスイッチング素子の一例であり、キャパシタC sが容量素子の一例であり、有機E L素子E Lが発光素子の一例である。また、電源線V D Dが第1の電源線の一例であり、電源線V S Sが第2の電源線の一例である。また、データ信号がデータ電圧の一例である。

【0060】

図3は、画素回路10を動作させるための制御信号及びデータ信号の一例を、1フレーム期間にわたって示したタイミングチャートである。図3において、縦軸は各信号のレベル、横軸は時間の経過を表す。画素回路10のスイッチングトランジスタT 1～T 4はn型のトランジスタで構成されるので、スイッチングトランジスタT 1～T 4の各々は、対応する制御信号がH i g hレベルの期間に導通状態となり、対応する制御信号がL o wレベルの期間に非導通状態になる。

20

【0061】

図3に示す制御信号及びデータ信号に従って行われる画素回路10の動作を、図4（a）～（c）を参照して説明する。なお、説明の便宜上、電源線V D D、V S Sの各々と画素回路10との接続点の電圧を、それぞれ正の電源電圧V D D、負の電源電圧V S Sと表記し、参照電圧線V r e fの電圧を参照電圧V r e fと表記している。

【0062】

時刻t 1において、先行フレームにおける発光が終了する。

【0063】

時刻t 2からt 3までのデータ書込み期間において、データ書込み動作が行われる。データ書込み動作とは、データ線D A T Aから、スイッチングトランジスタT 1を介して、データ電圧V d a t aを取得する（つまり、データ電圧V d a t aが画素回路10内に書き込まれる）動作である。

30

【0064】

図4（a）は、データ書込み動作を説明する回路図である。データ書込み期間において非導通状態になるスイッチングトランジスタT 2、T 4は点線で示されている。

【0065】

データ書込み期間において、スイッチングトランジスタT 1、T 3が導通状態になり、データ線D A T Aからデータ電圧V d a t aが取得され、参照電圧V r e fを基準として、キャパシタC sに保持される。後述のリセット動作を行うために、参照電圧V r e fには、正の電源電圧V D Dに閾値電圧V t hを加えた電圧よりも高い電圧が用いられる。

40

【0066】

時刻t 2からt 4までのリセット期間において、リセット動作が行われる。リセット期間の一部は、データ書込み期間と重複しており、リセット動作は、時刻t 2からt 3まで、前述のデータ書込み動作と並行して行われる。リセット動作とは、駆動トランジスタの閾値電圧の変動を抑制するために、駆動トランジスタT Dの閾値電圧V t hよりも大きい順バイアス電圧を印加して、駆動トランジスタT Dをオン状態にする動作である。

【0067】

図4（b）は、リセット動作を説明する回路図である。リセット期間のうち時刻t 3以降において非導通状態になるスイッチングトランジスタT 1、T 2、T 3、T 4は点線で

50

示されている。

【0068】

リセット期間において、時刻 t_2 から t_3 まで、参照電圧線 V_{ref} から駆動トランジスタ T_D のゲート端子 g に参照電圧 V_{ref} が印加され、時刻 t_3 から t_4 まで、キャパシタ C_s の第1（紙面の上側）の端子から駆動トランジスタ T_D のゲート端子 g に参照電圧 V_{ref} が印加される。

【0069】

前述したように、参照電圧 V_{ref} は、正の電源電圧 V_{DD} に閾値電圧 V_{th} を加えた電圧よりも高いので、駆動トランジスタ T_D はオン状態になり、リセット動作が行われる。このとき、スイッチングトランジスタ T_4 が非導通状態になっているため、有機EL素子 EL の発光は抑止され、駆動トランジスタ T_D のドレイン端子およびソース端子の電位は共に正の電源電圧 V_{DD} と等しくなる。これにより、有機EL素子 EL の不要な発光による表示コントラストの低下、及び消費電力の増大が抑制される。

【0070】

なお、リセット期間において有機EL素子 EL の発光を抑止することは、駆動トランジスタ T_D の閾値電圧 V_{th} の変動を抑制するためには必須ではない。有機EL素子 EL の発光を抑止せずにリセット動作を行った場合でも、駆動トランジスタ T_D の閾値電圧 V_{th} の変動を抑制する効果があることが確かめられている。

【0071】

時刻 t_4 以降の発光期間において、発光動作が行われる。発光動作とは、データ電圧 V_{data} を反映したバイアス電圧を駆動トランジスタ T_D のゲート端子 - ソース端子間に印加して、駆動トランジスタ T_D から有機EL素子 EL に電流を供給する動作である。

【0072】

図4(c)は、発光動作を説明する回路図である。発光期間において非導通状態になるスイッチングトランジスタ T_1 、 T_3 は点線で示されている。

【0073】

発光期間において、スイッチングトランジスタ T_1 、 T_3 が非導通状態になると共に、スイッチングトランジスタ T_2 が導通状態になり、キャパシタ C_s に保持されている電圧 $V_{ref} - V_{data}$ が駆動トランジスタ T_D のゲート端子 - ソース端子間に印加される。

【0074】

その結果、駆動トランジスタ T_D から有機EL素子 EL に、データ電圧 V_{data} に対応した大きさの電流 $I_{sd} = \beta / 2 \times (V_{ref} - V_{data} - V_{th})^2$ が供給される。

【0075】

駆動トランジスタ T_D の閾値電圧 V_{th} は、発光動作に先行するリセット動作によって、前のフレームの表示状態に関わらず、どのフレームにおいても、そのフレーム期間内においてほぼ一定の値に設定されるので、閾値電圧の1フレーム内の変動の影響が排除され、有機EL素子 EL をデータ電圧 V_{data} に対応した正確な輝度で発光させることができる。

【0076】

上記のように構成された画素回路10の発光特性を確認するために行った実験の結果について説明する。実験では、画素回路10による実施例、及び従来技術である画素回路90による比較例について、画素回路の発光輝度の時間変化を測定した。

【0077】

図5Aは、実施例の画素回路10の発光輝度の時間変化を示すグラフであり、白または黒の表示から、灰色の表示に切り替わった直後の35フレームにおける発光輝度の測定結果が示されている。

【0078】

実施例では、先行フレームの表示が白か黒かによって、灰色の表示に切り替わった後の

10

20

30

40

50

最初のフレームで若干の発光輝度の差異が見られるものの、2番目のフレーム以降ではほぼ同一の発光輝度を得られ、速やかに正しい灰色表示に収束している。また、各フレーム内での発光輝度もほとんど変動がなく、よく安定している。

【0079】

その結果、例えば図5Bに示すように、中間階調の背景の中で黒または白のウィンドウをスクロールさせた場合でも、ウィンドウが通過して再び背景になった領域が速やかに正しい中間階調の輝度に落ち着くため、尾引きは視認されない。

【0080】

これに対し、図6Aは、比較例の画素回路90の発光輝度の時間変化を示すグラフであり、白または黒の表示から、灰色の表示に切り替わった直後から35フレームにおける発光輝度の測定結果が示されている。

10

【0081】

比較例では、先行フレームの表示が白か黒かによって、灰色の表示に切り替わった後の10以上のフレームにおいて発光輝度の不一致が見られ、特に最初の1~2フレームでの発光輝度には大きな差異が見られる。課題の項で指摘したように、この現象により、図6Bに示すような、中間階調の背景の中で白または黒のウィンドウをスクロールさせた際の尾引きが視認される。

【0082】

図7は、フレームごとの輝度の誤差のフレーム間推移を示すグラフである。ここでは、輝度の誤差として、正しい灰色の輝度に対する実際の輝度のずれ量を示している。実施例は、比較例と比べて、輝度のずれ量がより小さく、かつ速やかに正しい灰色表示に収束している。

20

【0083】

これらの結果から、閾値電圧 V_{th} よりも大きい固定の順バイアス電圧の印加にて駆動トランジスタTDをオン状態にしてリセットすることで、駆動トランジスタTDの閾値電圧 V_{th} の変動を抑制し、有機EL素子ELをデータ電圧 V_{data} に対応した正確な輝度で発光させる効果が認められた。

【0084】

さらに、リセット期間において、有機EL素子ELの発光を抑止することで、表示コントラストを向上し、消費電力を低減する効果が得られる。

30

【0085】

なお、上記で説明した画素回路10は、次のような変形が可能である。

【0086】

例えば、図8に示す画素回路11のように、スイッチングトランジスタT4を、駆動トランジスタTDと電源線VDDとの間に挿入してもよい。スイッチングトランジスタT4は、有機EL素子ELの発光を抑止するために、駆動トランジスタTDから有機EL素子ELに供給する電流の経路のどこに挿入されていてもよい。画素回路11は、図3に示す制御信号に従って、画素回路10と同等の動作を行う。

【0087】

また例えば、図9に示す画素回路20のように、駆動トランジスタTD、スイッチングトランジスタT1~T4を全てp型のトランジスタで構成してもよい。画素回路20は、図3に示す画素回路10に用いられる制御信号およびデータ信号のレベルをそれぞれ単純に反転した制御信号およびデータ信号が与えられると、画素回路10と同等の動作を行うように構成されている。したがって、画素回路20によっても画素回路10と同等の効果が得られる。

40

【0088】

(実施の形態1の変形例)

本発明の実施の形態1の変形例について、図面を参照しながら説明する。本変形例では、図2に示した画素回路10のスイッチングトランジスタT1、T3を、それぞれ独立したタイミングで制御するための構成および動作の一例が示される。

50

【 0 0 8 9 】

図 1 0 は、実施の形態 1 の変形例における画素回路 3 0 の構成の一例を示す回路図である。画素回路 3 0 の基本的な構成は、画素回路 1 0 と同一であるが、スイッチングトランジスタ T 1、T 3 のそれぞれのゲート端子が独立した制御線に接続されている点が異なる。画素回路 3 0 に対応して、表示部 2 の各行に信号線 R E S E T が設けられる。

【 0 0 9 0 】

画素回路 3 0 において、スイッチングトランジスタ T 3 は、信号線 R E S E T で伝達される制御信号に従って、キャパシタ C s の第 1 (紙面の上方) の端子と参照電圧線 V r e f との導通及び非導通を切り換える。

【 0 0 9 1 】

10

なお、図 1 1 に示す画素回路 3 1 のように、スイッチングトランジスタ T 4 を、駆動トランジスタ T D と電源線 V D D との間に挿入するように、画素回路 3 0 を変形してもよい。

【 0 0 9 2 】

図 1 2 は、画素回路 3 0、3 1 を動作させるための制御信号及びデータ信号の一例を、1 フレーム期間にわたって示すタイミングチャートである。図 1 2 において、縦軸は各信号のレベル、横軸は時間を表す。

【 0 0 9 3 】

図 1 2 に示す制御信号及びデータ信号に従って行われる画素回路 3 0、3 1 の動作を説明する。

20

【 0 0 9 4 】

時刻 t 1 において、先行フレームにおける発光が終了する。

【 0 0 9 5 】

時刻 t 2 から t 5 までのリセット期間において、リセット動作が行われる。

【 0 0 9 6 】

リセット期間の全体において、スイッチングトランジスタ T 3 が導通状態になり、参照電圧線 V r e f から駆動トランジスタ T D のゲート端子 g に、正の電源電圧 V D D に閾値電圧 V t h を加えた電圧よりも高い参照電圧 V r e f が印加される。これにより、駆動トランジスタ T D はオン状態になり、リセット動作が行われる。このとき、スイッチングトランジスタ T 4 が非導通状態になっているため、有機 E L 素子 E L の発光は抑止される。

30

【 0 0 9 7 】

時刻 t 3 から t 4 までのデータ書込み期間において、データ書込み動作が行われる。データ書込み期間は、リセット期間の少なくとも一部と重複しており、データ書込み動作は、リセット動作と並行して行われる。

【 0 0 9 8 】

なお、データ書込み動作は行ごとに順次行われる。そのため、最初にデータ書込み動作が行われる行のデータ書込み期間は、リセット期間と同時に、時刻 t 2 に開始されてもよい。

【 0 0 9 9 】

時刻 t 4 以降の発光期間において、発光動作が行われる。

40

【 0 1 0 0 】

データ書込み動作及び発光動作は、画素回路 1 0 について説明したデータ書込み動作及び発光動作と同様である。

【 0 1 0 1 】

画素回路 3 0、3 1 においても、画素回路 1 0 と同様、駆動トランジスタ T D の閾値電圧 V t h は、発光動作に先行するリセット動作によって、どのフレームにおいてもほぼ同一の値に設定されるので、閾値電圧の変動の影響が排除され、有機 E L 素子 E L をデータ電圧 V d a t a に対応した正確な輝度で発光させることができる。

【 0 1 0 2 】

画素回路 3 0、3 1 では、さらに、リセット期間の全体において、参照電圧線 V r e f

50

から駆動トランジスタT Dのゲート端子gに参照電圧V r e fを印加できる。そのため、画素回路1 0とは異なり、キャパシタC sのリークによって参照電圧V r e fが変動する懸念がなく、より確実なリセット動作が実現できる。

【0103】

なお、制御信号R E S E Tに信号線制御信号S C A Nと同じ信号を用いて、行ごとに順次、当該行のデータ書込み期間においてのみリセット動作を行ってもよい。その場合、信号線R E S E Tと信号線S C A Nとを同じ信号線で共通化してもよい。信号線の共通化は、配線面積を削減するので、画素回路3 0、3 1の配置密度を向上し、高精細な表示装置を実現するために役立つ。また走査線駆動回路4の出力本数を削減できるので、回路サイズを縮小することができ、コストの低減が実現できる。

10

【0104】

また、キャパシタC s u bは、専用の領域に形成されたキャパシタである必要はなく、キャパシタC sの第2の端子を構成する導電体と電源線V D Dまたは参照電圧線V r e fまたは信号線S C A N、E N A Bを構成する導電体との間に存在する寄生容量であってもよい。またはスイッチングトランジスタT 1、T 2の寄生容量であってもよい。

【0105】

(実施の形態2)

本発明の実施の形態2について、図面を参照しながら説明する。本実施の形態では、有機E L素子の発光を抑止するための回路を画素回路の外部に設けた表示装置の一例が示される。

20

【0106】

図1 3は、実施の形態2における表示装置1 aの構成の一例を示す機能ブロック図である。

【0107】

表示装置1 aは、実施の形態1の表示装置1と比べて、表示部2 aが変更され、電源電圧制御回路7が追加される。

【0108】

表示部2 aは、複数の画素回路5 0をマトリクス状に配置してなる。当該マトリクスの各行には走査信号線及び電源線が設けられ、当該マトリクスの各列にはデータ信号線が設けられる。

30

【0109】

電源電圧制御回路7は、有機E L素子の発光に用いられる電源を電源回路6から供給され、表示部2 aの各行に設けられた電源線を介して、行ごとに独立して、画素回路5 0に分配する。

【0110】

図1 4は、画素回路5 0の構成の一例、及び画素回路5 0と、走査線駆動回路4、信号線駆動回路5、及び電源電圧制御回路7との接続の一例を示す回路図である。

【0111】

表示部2 aの各行には、同じ行に配置される複数の画素回路5 0に共通に接続される走査信号線として、信号線R E S E T、M E R G E、S C A Nが設けられている。表示部2 aの各行には、さらに、同じ行に配置される複数の画素回路5 0に共通に接続される電源線V D D (k)が設けられている。

40

【0112】

信号線M E R G Eは、表示部2における信号線E N A Bと同じものである。電源線V D D (k)は、第1の電源線の一例であり、表示部2における電源線V D Dに対応している。

【0113】

画素回路5 0は、図1 0に示す画素回路3 0と比べて、スイッチングトランジスタT 4が省略される点のみが異なる。

【0114】

50

表示装置 1 a において、有機 E L 素子 E L の発光を抑止する機能は、電源電圧制御回路 7 によって果たされる。電源電圧制御回路 7 は電源線 V D D (k) に、例えば、発光期間において正の電源電圧 V D D を出力し、リセット期間において有機 E L 素子 E L が発光しない程度の低い電圧（例えば、負の電源電圧 V S S ）を出力する。これにより、リセット期間において、電源線 V D D (k) に接続されている画素回路 5 0 における有機 E L 素子 E L の発光が抑止される。

【 0 1 1 5 】

また、参照電圧 V r e f には、電源電圧 V D D (k) のリセット期間における電圧に閾値電圧 V t h を加えた電圧よりも高い電圧が用いられる。

【 0 1 1 6 】

図 1 5 は、画素回路 5 0 を動作させるための制御信号、電源電圧、及びデータ信号の一例を、1 フレーム期間にわたって示したタイミングチャートである。図 1 5 において、縦軸は各信号のレベル、横軸は時間の経過を表す。なお、説明の便宜上、電源線 V D D (k) で伝達される電圧を、電源電圧 V D D (k) と表記している。電源電圧 V D D (k) の H i g h レベルは正の電源電圧 V D D であり、電源電圧 V D D (k) の L o w レベルは、例えば負の電源電圧 V S S である。

【 0 1 1 7 】

有機 E L 素子 E L は、電源電圧 V D D (k) が L o w レベルの期間に発光が抑止されるから、図 1 5 に示す制御信号及び電源電圧に従って行われる画素回路 5 0 の動作は、図 1 2 に示す制御信号に従って行われる画素回路 3 0 の動作と同等である。

【 0 1 1 8 】

なお、上記で説明した画素回路 5 0 は、次のような変形が可能である。

【 0 1 1 9 】

例えば、図 1 6 に示す画素回路 6 0 のように、駆動トランジスタ T D、スイッチングトランジスタ T 1 ~ T 4 を全て p 型のトランジスタで構成してもよい。画素回路 6 0 は、図 1 3 に示す画素回路 5 0 に用いられる制御信号およびデータ信号のレベルをそれぞれ単純に反転した制御信号およびデータ信号が与えられると、画素回路 5 0 と同等の動作を行うように構成されている。したがって、画素回路 6 0 によっても画素回路 5 0 と同等の効果が得られる。

【 0 1 2 0 】

また例えば、図 1 7 に示す画素回路 5 1、及び図 1 8 に示す画素回路 6 1 のように、スイッチングトランジスタ T 2 を省略してもよい。

【 0 1 2 1 】

なお、各行の画素回路における駆動トランジスタ T D を、行ごとに異なるタイミングでリセットしてもよいし、全ての行の画素回路における駆動トランジスタ T D を、同一の期間に一括してリセットしてもよい。

【 0 1 2 2 】

全ての駆動トランジスタを一括してリセットする制御方法は、行ごとに異なるタイミングで電源電圧を制御する必要がないから、表示装置 1 a によって実行できることはもちろんのこと、実施の形態 1 で説明した表示装置 1 のように、電源線 V D D、V S S が、全ての画素回路に共通に接続されている構成の表示装置によっても実行することができる。

【 0 1 2 3 】

以上、本発明に係る表示装置及びその制御方法、特に、表示装置に用いられる特徴的な画素回路とその動作について、いくつかの実施の形態及び変形例を挙げて説明したが、本発明は、これらの実施の形態や変形例に限定されるものではない。本発明の主旨を逸脱しない範囲で、当業者が思いつく各種変形を施し、また実施の形態及び変形例における構成要素及び動作を任意に組み合わせて実現される表示装置およびその制御方法も本発明に含まれる。

【 0 1 2 4 】

本発明に係る表示装置は、図 1 9 に記載されたような薄型フラット T V に内蔵されても

10

20

30

40

50

よい。本発明に係る表示装置が内蔵されることにより、映像信号で表される画像を高精度に表示可能な薄型フラットＴＶが実現される。

【産業上の利用可能性】

【０１２５】

本発明は、有機ＥＬ素子を用いた表示装置に有用であり、特に、アクティブマトリクス型の有機ＥＬ表示装置に有用である。

【符号の説明】

【０１２６】

１、１ａ 表示装置

２、２ａ 表示部

３ 制御回路

４ 走査線駆動回路

５ 信号線駆動回路

６ 電源回路

７ 電源電圧制御回路

１０、１１、２０、３０、３１、５０、５１、６０、６１、９０ 画素回路

ＴＤ 駆動トランジスタ

Ｔ１～Ｔ４ スイッチングトランジスタ

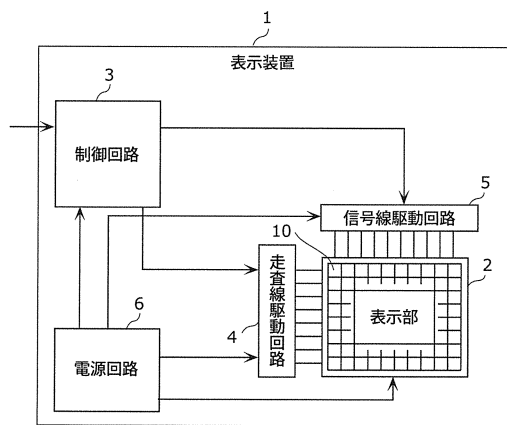
Ｃｓ キャパシタ

ＥＬ 有機ＥＬ素子

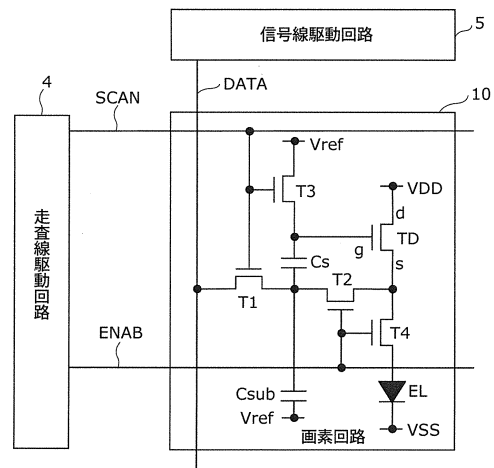
10

20

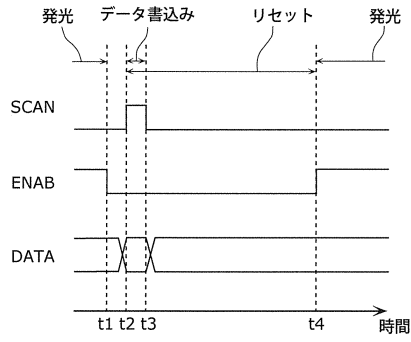
【図１】



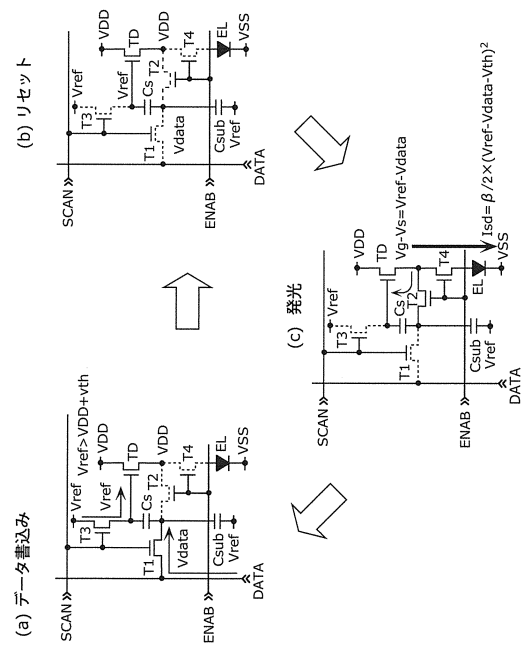
【図２】



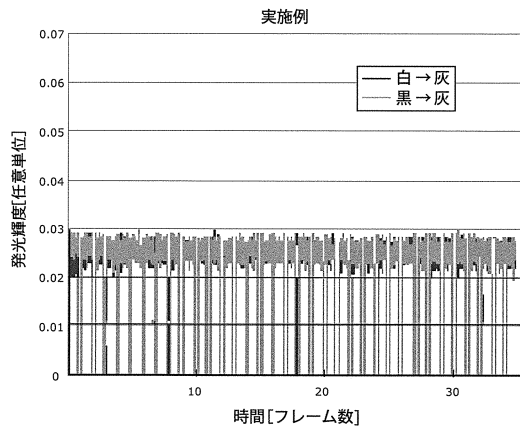
【図 3】



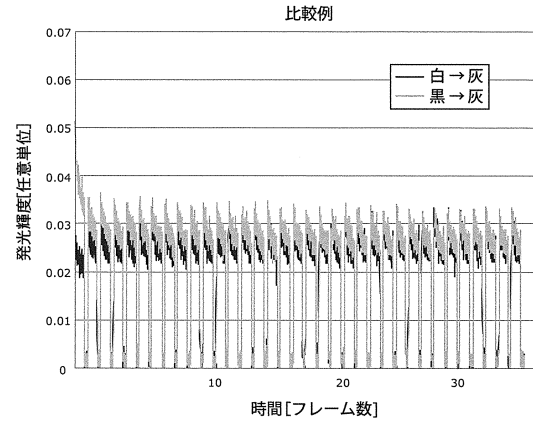
【図 4】



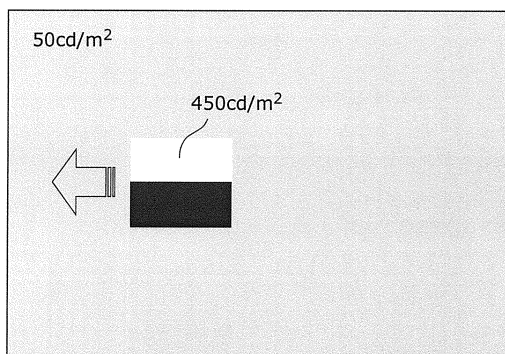
【図 5 A】



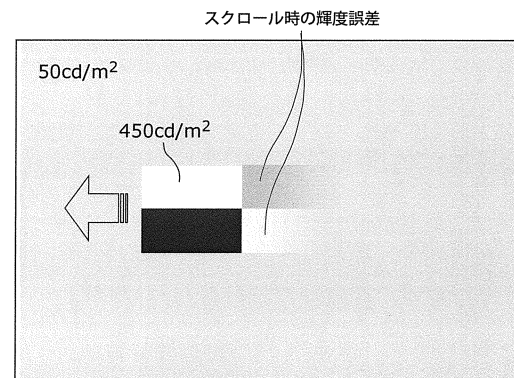
【図 6 A】



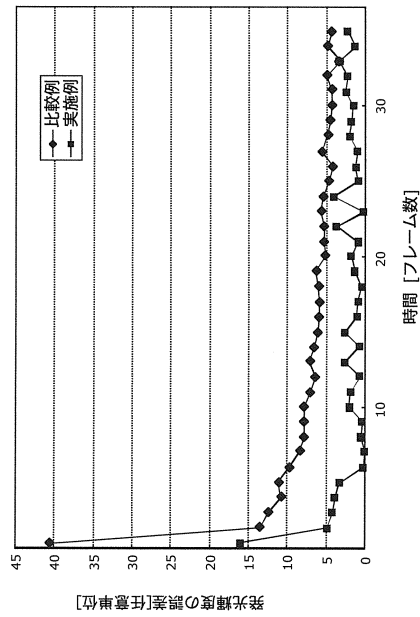
【図 5 B】



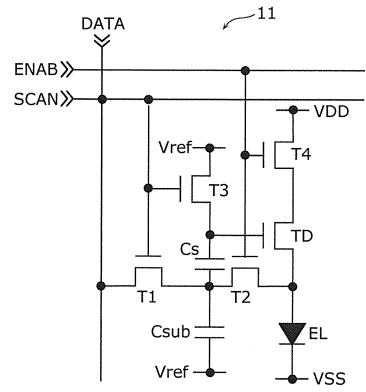
【図 6 B】



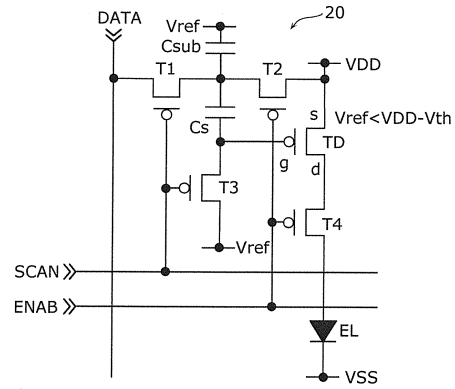
【図 7】



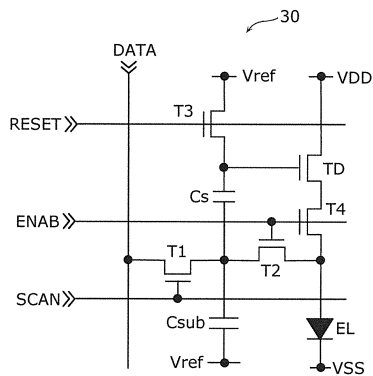
【図 8】



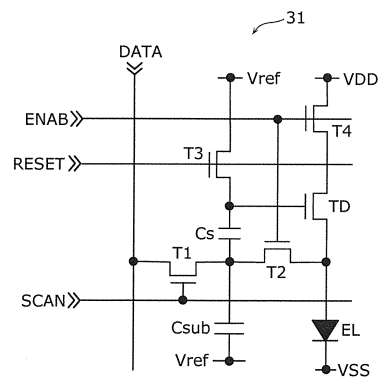
【図 9】



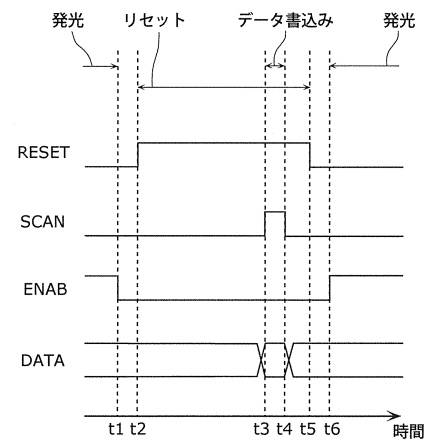
【図 10】



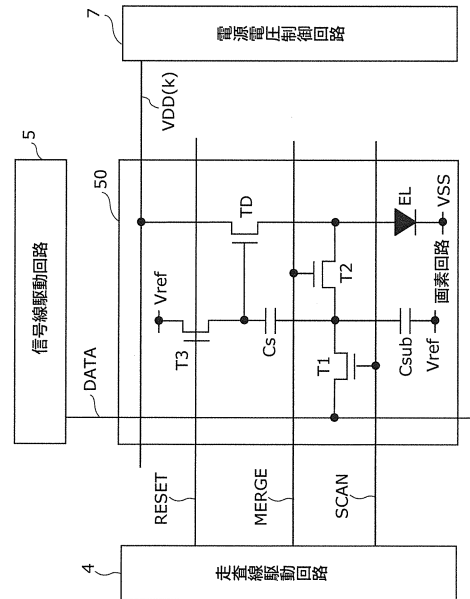
【図 11】



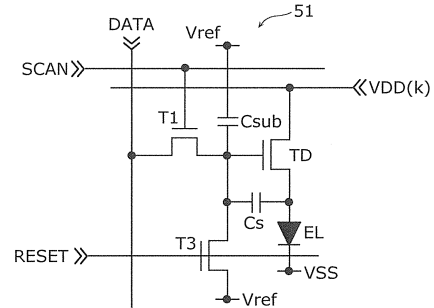
【図 12】



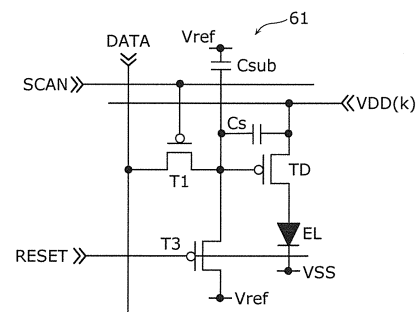
【 図 1 4 】



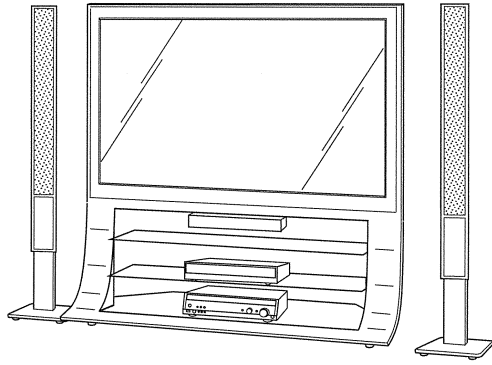
【圖 17】



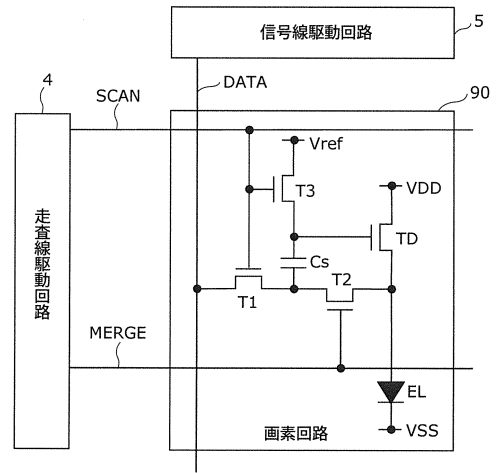
【 図 1 6 】



【図 19】



【図 20】



フロントページの続き

- (72)発明者 柘植 仁志
日本国大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内
- (72)発明者 戎野 浩平
日本国大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内

審査官 小川 浩史

- (56)参考文献 特開 2 0 0 6 - 3 0 1 6 4 7 (J P , A)
特開 2 0 1 0 - 7 8 9 4 7 (J P , A)
特開 2 0 0 6 - 3 0 1 1 5 9 (J P , A)
特開 2 0 0 1 - 8 3 9 2 4 (J P , A)
国際公開第 2 0 1 0 / 0 4 1 4 2 6 (W O , A 1)
国際公開第 2 0 1 1 / 0 3 0 3 7 0 (W O , A 1)
国際公開第 2 0 1 1 / 0 7 0 6 1 5 (W O , A 1)

- (58)調査した分野(Int.Cl. , D B 名)
G 0 9 G 3 / 2 0 - 3 / 3 8

专利名称(译)	显示装置及其控制方法		
公开(公告)号	JP5756865B2	公开(公告)日	2015-07-29
申请号	JP2013545653	申请日	2011-11-24
[标]申请(专利权)人(译)	松下电器产业株式会社		
申请(专利权)人(译)	松下电器产业株式会社		
当前申请(专利权)人(译)	株式会社JOLED		
[标]发明人	小野晋也 鐘ヶ江有宣 柘植仁志 戎野浩平		
发明人	小野 晋也 鐘ヶ江 有宣 柘植 仁志 戎野 浩平		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G3/3258 G09G3/3233 G09G3/3659 G09G2300/0439 G09G2300/0809 G09G2300/0819 G09G2300/0852 G09G2300/0861 G09G2300/0876 G09G2310/0294 G09G2320/0223 G09G2320/0233 G09G2320/043		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.642.C G09G3/20.611.H G09G3/20.670.J		
代理人(译)	吉川修 Sobashima正雄		
审查员(译)	小川博		
其他公开文献	JPWO2013076772A1		
外部链接	Espacenet		

摘要(译)	(21) 出願番号 特願2013-545653 (P2013-545653) (86) (22) 出願日 平成23年11月24日 (2011.11.24) (86) 国際出願番号 PCT/JP2011/006543 (87) 国際公開番号 WO2013/076772 (87) 国際公開日 平成25年5月30日 (2013.5.30) 審査請求日 平成26年6月12日 (2014.6.12)	(73) 特許権者 514188173 株式会社JOLED 東京都千代田区神田錦町三丁目2番地 (74) 代理人 100189430 弁理士 吉川 修一 (74) 代理人 100190805 弁理士 傍島 正朗 (72) 発明者 小野 晋也 日本国大阪府門真市大字門真1006番地 パナソニック株式会社内 (72) 発明者 鐘ヶ江 有宣 日本国大阪府門真市大字門真1006番地 パナソニック株式会社内
每个所述多个像素电路中的包括在显示装置 (10) , 源极和漏极的栅极端子而连接到所述驱动晶体管 (TD) 的端子 (VDD) 的电源线, 所述第一终端是驱动晶体管 (TD) 和其连接的电容器 (CS) , 所述第二端子和所述电容器的所述数据线 (CS) 和 (数据) (T1) , 所述电容元件和所述第二切换导通和非导通的开关元件 (CS) 驱动晶体管 (TD) 的端子和源极端子之间的导通和非导通的开关元件 (T2) , 用于切换所述第一终端的源极和电容器 (CS) 的基准电压线和 (VREF) (T3) , 所述第一端子被驱动晶体管之间的切换导通和非导通的开关元件 (TD) - 与其他和连接到连接到所述漏极端子的电源线和连接的发光元件 (VSS) (EL) , 参考电压线 (VREF) , 驱动晶体管的栅极和源极端子之间的第二终端 (TD) 施加大于阈值电压的正向偏置电压。	最終頁に続く	