

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5737568号
(P5737568)

(45) 発行日 平成27年6月17日 (2015. 6. 17)

(24) 登録日 平成27年5月1日 (2015. 5. 1)

(51) Int. Cl.

F I

G09G 3/30 (2006.01)
 G09G 3/20 (2006.01)
 H01L 51/50 (2006.01)
 H05B 33/02 (2006.01)

G09G 3/30 J
 G09G 3/20 670J
 G09G 3/20 642A
 G09G 3/20 641D
 G09G 3/20 624B

請求項の数 9 (全 19 頁) 最終頁に続く

(21) 出願番号 特願2011-73171 (P2011-73171)
 (22) 出願日 平成23年3月29日 (2011. 3. 29)
 (65) 公開番号 特開2012-208274 (P2012-208274A)
 (43) 公開日 平成24年10月25日 (2012. 10. 25)
 審査請求日 平成26年2月14日 (2014. 2. 14)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100098785
 弁理士 藤島 洋一郎
 (74) 代理人 100109656
 弁理士 三反崎 泰司
 (74) 代理人 100130915
 弁理士 長谷部 政男
 (74) 代理人 100155376
 弁理士 田名網 孝昭
 (72) 発明者 尾本 啓介
 東京都港区港南1丁目7番1号 ソニー株
 式会社内

最終頁に続く

(54) 【発明の名称】 表示パネル、表示装置および電子機器

(57) 【特許請求の範囲】

【請求項 1】

自発光素子と、前記自発光素子を駆動する画素回路とを画素ごとに備えた表示パネルであって、

前記画素回路は、第1保持容量と、映像信号に対応する電圧を前記保持容量に書き込む第1トランジスタと、前記第1保持容量の電圧に基づいて前記有機EL素子を駆動する第2トランジスタとを有するとともに、前記自発光素子で発せられた光の輝度の大きさに応じた電圧を前記第2トランジスタのゲート電圧にフィードバックするようになっており、
 前記画素回路は、前記第1保持容量に並列接続された高速フィードバック回路を有し、
 前記高速フィードバック回路は、互いに直列に接続された第3トランジスタおよび第2保持容量を有する

表示パネル。

【請求項 2】

前記第1トランジスタは、前記自発光素子から発せられた光が入射する位置に配置されている

請求項1に記載の表示パネル。

【請求項 3】

前記表示パネルは、前記画素回路が形成された基板を有し、
 前記自発光素子は、透明電極、有機層および反射電極を前記基板側から順に有し、
 前記第1トランジスタは、前記透明電極と対向する領域に配置されている

10

20

請求項 1 または 請求項 2 に記載の表示パネル。

【請求項 4】

前記表示パネルは、前記画素回路が形成された基板を有し、
前記自発光素子は、反射電極、有機層および透明電極を前記基板側から順に有し、
前記反射電極は、開口を有し、
前記第 1 トランジスタは、前記開口と対向する領域に配置されている
請求項 1 または 請求項 2 に記載の表示パネル。

【請求項 5】

自発光素子と、前記自発光素子を駆動する画素回路とを画素ごとに有する表示パネルと、
前記画素回路を駆動する駆動回路と

10

を備え、

前記画素回路は、保持容量と、映像信号に対応する電圧を前記保持容量に書き込む 1 または複数の第 1 トランジスタと、前記保持容量の電圧に基づいて前記有機 EL 素子を駆動する第 2 トランジスタとを有するとともに、前記自発光素子で発せられた光の輝度の大きさに応じた電圧を前記第 2 トランジスタのゲート電圧にフィードバックするようになっており、

前記画素回路は、前記第 1 保持容量に並列接続された高速フィードバック回路を有し、
前記高速フィードバック回路は、互いに直列に接続された第 3 トランジスタおよび第 2 保持容量を有する

表示装置。

20

【請求項 6】

前記 1 または複数の第 1 トランジスタのうち少なくとも 1 つは、前記自発光素子から発せられた光が入射する位置に配置されている

請求項 5 に記載の表示装置。

【請求項 7】

前記 1 または複数の第 1 トランジスタのうち、前記自発光素子から発せられた光が入射する位置に配置されたトランジスタが、n チャンネル MOS 型のトランジスタであり、
前記駆動回路は、前記自発光素子が発光しているときに、前記 n チャンネル MOS 型のトランジスタのゲートに対して、当該トランジスタのソース電圧およびドレイン電圧よりも低い電圧を印加するようになっている

30

請求項 6 に記載の表示装置。

【請求項 8】

前記 1 または複数の第 1 トランジスタのうち、前記自発光素子から発せられた光が入射する位置に配置されたトランジスタが、p チャンネル MOS 型のトランジスタであり、
前記駆動回路は、前記自発光素子が発光しているときに、前記 n チャンネル MOS 型のトランジスタのゲートに対して、当該トランジスタのソース電圧およびドレイン電圧よりも高い電圧を印加するようになっている

請求項 6 に記載の表示装置。

【請求項 9】

表示装置を備え、

40

前記表示装置は、

自発光素子と、前記自発光素子を駆動する画素回路とを画素ごとに有する表示パネルと、
前記画素回路を駆動する駆動回路と

を有し、

前記画素回路は、保持容量と、映像信号に対応する電圧を前記保持容量に書き込む第 1 トランジスタと、前記保持容量の電圧に基づいて前記有機 EL 素子を駆動する第 2 トランジスタとを有するとともに、前記自発光素子で発せられた光の輝度の大きさに応じた電圧を前記第 2 トランジスタのゲート電圧にフィードバックするようになっており、

前記画素回路は、前記第 1 保持容量に並列接続された高速フィードバック回路を有し、
前記高速フィードバック回路は、互いに直列に接続された第 3 トランジスタおよび第 2 保

50

持容量を有する

電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機EL(electro luminescence)素子を備えた表示パネルならびにそれを備えた表示装置および電子機器に関する。

【背景技術】

【0002】

近年、画像表示を行う表示装置の分野では、画素の発光素子として、流れる電流値に応じて発光輝度が変化する電流駆動型の光学素子、例えば有機EL素子を用いた表示装置が開発され、商品化が進められている(例えば、特許文献1参照)。有機EL素子は、液晶素子などとは異なり自発光素子である。そのため、有機EL素子を用いた表示装置(有機EL表示装置)では、光源(バックライト)が必要ないので、光源を必要とする液晶表示装置と比べて画像の視認性が高く、消費電力が低く、かつ素子の応答速度が速い。

【0003】

有機EL表示装置では、液晶表示装置と同様、その駆動方式として単純(パッシブ)マトリクス方式とアクティブマトリクス方式とがある。前者は、構造が単純であるものの、大型かつ高精細の表示装置の実現が難しいなどの問題がある。そのため、現在では、アクティブマトリクス方式の開発が盛んに行なわれている。この方式は、画素ごとに配した発光素子に流れる電流を、発光素子ごとに設けた駆動回路内に設けた能動素子(一般にはTFT(Thin Film Transistor; 薄膜トランジスタ))によって制御するものである。

【0004】

ところで、一般的に、有機EL素子の電流-電圧(I-V)特性は、時間の経過に従って劣化(経時劣化)する。有機EL素子を電流駆動する画素回路では、有機EL素子のI-V特性が経時変化すると、有機EL素子と、有機EL素子に直列に接続された駆動トランジスタとの分圧比が変化するので、駆動トランジスタのゲート-ソース間電圧も変化する。その結果、駆動トランジスタに流れる電流値が変化するので、有機EL素子に流れる電流値も変化し、その電流値に応じて発光輝度も変化する。

【0005】

また、駆動トランジスタの閾値電圧や移動度が経時的に変化したり、製造プロセスのばらつきによって閾値電圧や移動度 μ が画素回路ごとに異なったりする場合がある。駆動トランジスタの閾値電圧や移動度 μ が画素回路ごとに異なる場合には、駆動トランジスタに流れる電流値が画素回路ごとにばらつくので、駆動トランジスタのゲートに同じ電圧を印加しても、有機EL素子の発光輝度がばらつき、画面の一様性(ユニフォーミティ)が損なわれる。

【0006】

そこで、有機EL素子のI-V特性が経時変化したり、駆動トランジスタの閾値電圧や移動度が経時変化したりしても、それらの影響を受けることなく、有機EL素子の発光輝度を一定に保つようにするために、有機EL素子のI-V特性の変動に対する補償機能および駆動トランジスタの閾値電圧や移動度の変動に対する補正機能を組み込んだ表示装置が開発されている。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2008-083272号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

しかし、有機EL素子の効率が低下した場合には、移動度補正を効果的に行うことが難

10

20

30

40

50

しく、場合によっては、移動度補正が不十分なために、焼き付きが生じてしまう問題があった。

【 0 0 0 9 】

本発明はかかる問題点に鑑みてなされたものであり、その目的は、焼き付きを低減することの可能な表示パネルならびにそれを備えた表示装置および電子機器を提供することにある。

【課題を解決するための手段】

【 0 0 1 0 】

本発明による表示パネルは、自発光素子と、自発光素子を駆動する画素回路とを画素ごとに備えたものである。画素回路は、第 1 保持容量と、映像信号に対応する電圧を保持容量に書き込む第 1 トランジスタと、第 1 保持容量の電圧に基づいて有機 E L 素子を駆動する第 2 トランジスタとを有している。画素回路は、さらに、自発光素子で発せられた光の輝度の大きさに応じた電圧を第 2 トランジスタのゲート電圧にフィードバックするようになっている。

10

【 0 0 1 1 】

本発明による表示装置は、自発光素子と、自発光素子を駆動する画素回路とを画素ごとに有する表示パネルと、画素回路を駆動する駆動回路とを備えたものである。この表示装置に含まれる表示パネルは、上記の表示パネルと同一の構成要素を有している。本発明による電子機器は、上記の表示装置を備えたものである。

【 0 0 1 2 】

20

本発明による表示パネル、表示装置および電子機器では、自発光素子で発せられた光の輝度の大きさに応じた電圧を第 2 トランジスタのゲート電圧にフィードバックするようになっている。これにより、同一の映像信号に基づいて画素が駆動されているときに、発光効率の相対的に高い画素と、発光効率の相対的に低い画素との輝度差が小さくなる。

【 0 0 1 3 】

本発明において、1 または複数の第 1 トランジスタのうち少なくとも 1 つが、例えば、自発光素子から発せられた光が入射する位置に配置されている。このとき、表示パネルがボトムエミッション構造となっているときには、1 または複数の第 1 トランジスタのうち、自発光素子から発せられた光が入射する位置に配置されたトランジスタは、透明電極と対向する領域に配置されていることが好ましい。また、表示パネルがトップエミッション構造となっているときには、1 または複数の第 1 トランジスタのうち、自発光素子から発せられた光が入射する位置に配置されたトランジスタは、反射電極に設けられた開口と対向する領域に配置されていることが好ましい。

30

【 0 0 1 4 】

また、本発明において、画素回路は、第 1 保持容量に並列接続された高速フィードバック回路を有していてもよい。ここで、高速フィードバック回路は、互いに直列に接続された第 3 トランジスタおよび第 2 保持容量を有している。

【発明の効果】

【 0 0 1 5 】

本発明による表示パネル、表示装置および電子機器によれば、同一の映像信号に基づいて画素が駆動されているときに、発光効率の相対的に高い画素と、発光効率の相対的に低い画素との輝度差が小さくなるようにしたので、焼き付きを低減することができる。

40

【 0 0 1 6 】

また、本発明において、上述した高速フィードバック回路が設けられている場合には、第 2 トランジスタのゲート電圧をより早く補正することができる。

【図面の簡単な説明】

【 0 0 1 7 】

【図 1】第 1 の実施の形態に係る表示装置の概略図である。

【図 2】図 1 のサブピクセルの回路図である。

【図 3】図 1 のサブピクセルのレイアウト図である。

50

【図４】図１のサブピクセルの断面図である。

【図５】図１の表示装置の動作の一例を表す波形図である。

【図６】ＥＬ光の強さの違いによるリーク電流量について説明するための波形図である。

【図７】ＥＬ光の強さに応じた電圧がゲートにフィードバックされている様子を表す波形図である。

【図８】図２の回路の一変形例を表す回路図である。

【図９】ＥＬ光の強さに応じた電圧がゲートに高速にフィードバックされている様子を表す波形図である。

【図１０】図８の回路を用いたときの表示装置の動作の一例を表す波形図である。

【図１１】図３のサブピクセルの一変形例を表すレイアウト図である。

10

【図１２】図１０のサブピクセルの断面図である。

【図１３】上記各実施の形態の表示装置を含むモジュールの概略構成を表す平面図である。

【図１４】上記実施の形態の表示装置の適用例１の外観を表す斜視図である。

【図１５】（Ａ）は適用例２の表側から見た外観を表す斜視図であり、（Ｂ）は裏側から見た外観を表す斜視図である。

【図１６】適用例３の外観を表す斜視図である。

【図１７】適用例４の外観を表す斜視図である。

【図１８】（Ａ）は適用例５の開いた状態の正面図、（Ｂ）はその側面図、（Ｃ）は閉じた状態の正面図、（Ｄ）は左側面図、（Ｅ）は右側面図、（Ｆ）は上面図、（Ｇ）は下面図である。

20

【発明を実施するための形態】

【００１８】

以下、発明を実施するための形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

１．第１の実施の形態

表示パネルがボトムエミッション構造となっている例

２．第１の実施の形態の変形例

高速フィードバック回路が設けられている例

30

３．第２の実施の形態

表示パネルがトップエミッション構造となっている例

４．第１の実施の形態の変形例

高速フィードバック回路が設けられている例

５．モジュールおよび適用例

【００１９】

< １．実施の形態 >

[構成]

図１は、一実施の形態に係る表示装置１の全体構成の一例を表したものである。この表示装置１は、表示パネル１０と、表示パネル１０を駆動する駆動回路２０とを備えている。

40

【００２０】

表示パネル１０は、複数の表示画素１４が２次元配置された表示領域１０Ａを有している。表示パネル１０は、外部から入力された映像信号２０Ａに基づく画像を、各表示画素１４をアクティブマトリクス駆動することにより表示するものである。各表示画素１４は、赤色用のサブピクセル１３Ｒと、緑色用のサブピクセル１３Ｇと、青色用のサブピクセル１３Ｂとを含んでいる。なお、以下では、サブピクセル１３Ｒ、１１Ｇ、１１Ｂの総称としてサブピクセル１３を用いるものとする。

【００２１】

図２は、サブピクセル１３の回路構成の一例を表したものである。サブピクセル１３は

50

、図2に示したように、有機EL素子11と、有機EL素子11に並列接続された容量Csubと、有機EL素子11を駆動する画素回路12とを有している。有機EL素子11は、特許請求の範囲の「自発光素子」の一具体例に相当する。なお、サブピクセル13Rには、有機EL素子11として、赤色光を発する有機EL素子11Rが設けられている。同様に、サブピクセル13Gには、有機EL素子11として、緑色光を発する有機EL素子11Gが設けられている。サブピクセル13Bには、有機EL素子11として、青色光を発する有機EL素子11Bが設けられている。

【0022】

画素回路12は、例えば、書込トランジスタTwsと、駆動トランジスタTdrと、保持容量Csとを含んで構成されたものであり、2Tr1Cの回路構成となっている。なお、画素回路12は、2Tr1Cの回路構成に限られるものではなく、互いに直列接続された2つの書込トランジスタTwsを有していてもよいし、上記以外のトランジスタや、容量を有していてもよい。

【0023】

書込トランジスタTwsは、映像信号に対応する電圧を保持容量Csに書き込むトランジスタである。駆動トランジスタTdrは、書込トランジスタTwsによって書き込まれた保持容量Csの電圧に基づいて有機EL素子11を駆動するトランジスタである。トランジスタTws、Tdrは、例えば、nチャネルMOS型の薄膜トランジスタ(TFT(Thin Film Transistor))により構成されている。なお、トランジスタTws、Tdrは、pチャネルMOS型のTFTにより構成されていてもよい。

【0024】

なお、本実施の形態の書込トランジスタTwsが特許請求の範囲の「第1トランジスタ」の一具体例に相当し、本実施の形態の駆動トランジスタTdrが特許請求の範囲の「第2トランジスタ」の一具体例に相当する。また、本実施の形態の保持容量Csが特許請求の範囲の「第1保持容量」の一具体例に相当する。

【0025】

駆動回路20は、タイミング生成回路21、映像信号処理回路22、データ線駆動回路23、ゲート線駆動回路24およびドレイン線駆動回路25を有している。駆動回路20は、また、データ線駆動回路23の出力に接続されたデータ線DTLと、ゲート線駆動回路24の出力に接続されたゲート線WSLと、ドレイン線駆動回路25の出力に接続されたドレイン線DSLとを有している。駆動回路20は、さらに、有機EL素子11のカソードに接続されたグラウンド線GNDを有している。なお、グラウンド線GNDは、グラウンドに接続されるものであり、グラウンドに接続されたときにグラウンド電圧(参照電圧)となる。

【0026】

タイミング生成回路21は、例えば、データ線駆動回路23、ゲート線駆動回路24およびドレイン線駆動回路25が連動して動作するように制御するものである。タイミング生成回路21は、例えば、外部から入力された同期信号20Bに応じて(同期して)、これらの回路に対して制御信号21Aを出力するようになっている。

【0027】

映像信号処理回路22は、例えば、外部から入力されたデジタルの映像信号20Aを補正すると共に、補正した後の映像信号をアナログに変換して信号電圧22Bをデータ線駆動回路23に出力するものである。

【0028】

データ線駆動回路23は、制御信号21Aの入力に応じて(同期して)、映像信号処理回路22から入力されたアナログの信号電圧22Bを、各データ線DTLを介して、選択対象の表示画素14(またはサブピクセル13)に書き込むものである。データ線駆動回路23は、例えば、信号電圧22Bと、映像信号とは無関係の一定電圧とを出力することが可能となっている。

【0029】

ゲート線駆動回路24は、制御信号21Aの入力に応じて（同期して）、複数のゲート線WSLに選択パルスを順次印加して、複数の表示画素14（またはサブピクセル13）をゲート線WSL単位で順次選択するものである。ゲート線駆動回路24は、例えば、書込トランジスタTwsをオンさせるときに印加する電圧と、書込トランジスタTwsをオフさせるときに印加する電圧とを出力することが可能となっている。

【0030】

ドレイン線駆動回路25は、制御信号21Aの入力に応じて（同期して）、所定の電圧を、各ドレイン線DSLを介して、各画素回路12の駆動トランジスタTdrのドレインに出力するようになっている。ドレイン線駆動回路25は、例えば、有機EL素子11を発光させるときに印加する電圧と、有機EL素子11を消光させるときに印加する電圧とを出力することが可能となっている。

10

【0031】

次に、図2、図3を参照して、各構成要素の接続関係および配置について説明する。なお、図3は、サブピクセル13のレイアウトの一例を表したものである。

【0032】

ゲート線WSLは、行方向に延在して形成されており、コンタクト37Aを介して、書込トランジスタTwsのゲート31Aに接続されている。ドレイン線DSLも行方向に延在して形成されており、コンタクト37Bを介して、駆動トランジスタTdrのドレイン32Cに接続されている。データ線DTLは列方向に延在して形成されており、コンタクト37Cを介して、書込トランジスタTwsのドレイン31Cに接続されている。書込トランジスタTwsのソース31Bは駆動トランジスタTdrのゲート32Aと、保持容量Csの一端（端子33A）に接続されている。駆動トランジスタTdrのソース32Bと保持容量Csの他端（端子33B）とが、コンタクト37Dを介して、有機EL素子11のアノード35Aに接続されている。有機EL素子11の有機層35Cはアノード35A上に配置されている。有機EL素子11のカソード35Bは、有機層35C上に配置されており、かつ、グラウンド線GNDに接続されている。

20

【0033】

次に、表示パネル10における書込トランジスタTwsおよびその近傍の断面構成について説明する。図4は、表示パネル10における書込トランジスタTwsおよびその近傍の断面構成の一例を表したものである。表示パネル10は、例えば、図4に示したように、書込トランジスタTwsおよびその近傍において、基板41上に、絶縁層42、絶縁層43、絶縁層44および基板45を基板41側からこの順に有している。絶縁層43は開口43Aを有しており、開口43Aに有機EL素子11が設けられている。有機EL素子11は、例えば、図4に示したように、アノード電極35A、有機層35Cおよびカソード電極35Bを開口43Aの底面側から順に積層して構成されている。

30

【0034】

基板41、45は、例えば、ガラス基板、シリコン（Si）基板あるいは樹脂基板などからなる。アノード電極35Aは、絶縁層42の平坦面にならった平坦な膜となっている。アノード電極35Aは、可視光に対して透明な導電性材料、例えばITO（Indium Tin Oxide；酸化インジウムスズ）によって構成されている。有機層35Cは、例えば、アノード電極35A側から順に、正孔注入効率を高める正孔注入層と、発光層への正孔輸送効率を高める正孔輸送層と、電子と正孔との再結合による発光を生じさせる発光層と、発光層への電子輸送効率を高める電子輸送層とを有している。カソード電極35Bは、少なくとも有機層35Cの上面に接して形成されており、例えば、絶縁層43を含む表面全体に形成された共通電極として機能する。カソード電極35Bは、金属材料で構成されており、反射ミラーとして機能する。これにより、有機EL素子11の有機層35Cから発せられた光は、アノード電極35A、絶縁層42および基板41を介して外部に出力されるようになっている。従って、表示パネル10は、ボトムエミッション構造となっている。

40

【0035】

ところで、本実施の形態では、例えば、図3、図4に示したように、書込トランジスタ

50

Tws が有機 EL 素子 11 から発せられた光が直接入射する位置に配置されている。具体的には、書込トランジスタ Tws は、有機 EL 素子 11 の直下、例えば、有機 EL 素子 11 のアノード電極 35A と対向する領域に配置されている。

【0036】

[動作]

次に、本実施の形態の表示装置 1 の動作の一例について説明する。

【0037】

この表示装置 1 では、映像信号 20A に対応する信号電圧 22B がデータ線駆動回路 23 によって各データ線 DTL に印加されると共に、制御信号 21A に応じた選択パルスがゲート線駆動回路 24 およびドレイン線駆動回路 25 によって複数のゲート線 WSL およびドレイン線 DSL に順次印加される。実際には、以下に説明する動作を経て映像が表示される。

【0038】

図 5 は、ある画素回路 12 に印加される電圧波形の一例と、駆動トランジスタ Tdr のゲート電圧 Vg およびソース電圧 Vs の変化の一例とを表したものである。図 5 (A) にはデータ線 DTL に、信号電圧 $Vsig$ と、オフセット電圧 $Vofs$ が印加されている様子が示されている。図 5 (B) にはゲート線 WSL に、書込トランジスタ Tws をオンする電圧 Von と、書込トランジスタ Tws をオフする電圧 $Voff$ が印加されている様子が示されている。図 5 (C) にはドレイン線 DSL に、電圧 Vcc と、電圧 $Vini$ が印加されている様子が示されている。さらに、図 5 (D), (E) には、ドレイン線 DSL、データ線 DTL およびゲート線 WSL への電圧印加に応じて、駆動トランジスタ Tdr のゲート電圧 Vg およびソース電圧 Vs が時々刻々変化している様子が示されている。

【0039】

(閾値補正準備期間)

まず、閾値補正の準備を行う。具体的には、ゲート線 WSL の電圧が $Voff$ となっており、ドレイン線 DSL の電圧が Vcc となっている時 (つまり有機 EL 素子 11 が発光している時) に、ドレイン線駆動回路 25 がドレイン線 DSL の電圧を Vcc から $Vini$ に下げる (T1)。すると、ソース電圧 Vs が $Vini$ となり、有機 EL 素子 11 が消光する。その後、データ線 DTL の電圧が $Vofs$ となっている時にゲート線駆動回路 24 がゲート線 WSL の電圧を $Voff$ から Von に上げ、駆動トランジスタ Tdr のゲート

【0040】

(最初の閾値補正期間)

次に、閾値の補正を行う。具体的には、書込トランジスタ Tws がオンしており、データ線 DTL の電圧が $Vofs$ となっている間に、ドレイン線駆動回路 25 がドレイン線 DSL の電圧を $Vini$ から Vcc に上げる (T2)。すると、駆動トランジスタ Tdr のドレイン - ソース間に電流 $I ds$ が流れ、ソース電圧 Vs が上昇する。その後、データ線駆動回路 23 がデータ線 DTL の電圧を $Vofs$ から $Vsig$ に切り替える前に、ゲート線駆動回路 24 がゲート線 WSL の電圧を Von から $Voff$ に下げる (T3)。すると、駆動トランジスタ Tdr のゲートがフローティングとなり、閾値の補正が休止する。

【0041】

(最初の閾値補正休止期間)

閾値補正が休止している期間中は、例えば、先の閾値補正を行った行 (画素) とは異なる他の行 (画素) において、データ線 DTL の電圧のサンプリングが行われる。なお、このとき、先の閾値補正を行った行 (画素) において、ソース電圧 Vs が $Vofs - Vth$ (Vth は駆動トランジスタ Tdr の閾値電圧) よりも低いので、閾値補正休止期間中にも、先の閾値補正を行った行 (画素) において、駆動トランジスタ Tdr のドレイン - ソース間に電流 $I ds$ が流れ、ソース電圧 Vs が上昇し、保持容量 Cs を介したカップリングによりゲート電圧 Vg も上昇する。

【0042】

(2 回目の閾値補正期間)

次に、閾値補正を再び行う。具体的には、データ線 D T L の電圧が V o f s となっており、閾値補正が可能となっている時に、ゲート線駆動回路 2 4 がゲート線 W S L の電圧を V o f f から V o n に上げ、駆動トランジスタ T d r のゲート電圧を V o f s にする (T 4)。このとき、ソース電圧 V s が V o f s - V t h よりも低い場合 (閾値補正がまだ完了していない場合) には、駆動トランジスタ T d r がカットオフするまで (ゲート - ソース間電圧 V g s が V t h になるまで)、駆動トランジスタ T d r のドレイン - ソース間に電流 I d s が流れる。その後、データ線駆動回路 2 3 がデータ線 D T L の電圧を V o f s から V s i g に切り替える前に、ゲート線駆動回路 2 4 がゲート線 W S L の電圧を V o n から V o f f に下げる (T 5)。すると、駆動トランジスタ T d r のゲートがフローティングとなるので、ゲート - ソース間電圧 V g s をデータ線 D T L の電圧の大きさに拘わらず一定に維持することができる。

10

【 0 0 4 3 】

なお、この閾値補正期間において、保持容量 C s が V t h に充電され、ゲート - ソース間電圧 V g s が V t h となった場合には、駆動回路 2 0 は、閾値補正を終了する。しかし、ゲート - ソース間電圧 V g s が V t h にまで到達しない場合には、駆動回路 2 0 は、ゲート - ソース間電圧 V g s が V t h に到達するまで、閾値補正と、閾値補正休止とを繰り返し実行する。

【 0 0 4 4 】

(書き込み・移動度補正期間)

20

閾値補正休止期間が終了した後、書き込みと移動度補正を行う。具体的には、データ線 D T L の電圧が V s i g となっている間に、ゲート線駆動回路 2 4 がゲート線 W S L の電圧を V o f f から V o n に上げ (T 6)、駆動トランジスタ T d r のゲートをデータ線 D T L に接続する。すると、駆動トランジスタ T d r のゲート電圧 V g がデータ線 D T L の電圧 V s i g となる。このとき、有機 E L 素子 1 1 のアノード電圧はこの段階ではまだ有機 E L 素子 1 1 の閾値電圧 V e l よりも小さく、有機 E L 素子 1 1 はカットオフしている。そのため、電流 I d s は有機 E L 素子 1 1 の素子容量 (図示せず) に流れ、素子容量が充電されるので、ソース電圧 V s が ΔV だけ上昇し、やがてゲート - ソース間電圧 V g s が $V s i g + V t h - \Delta V$ となる。このようにして、書き込みと同時に移動度補正が行われる。ここで、駆動トランジスタ T d r の移動度が大きい程、 ΔV も大きくなるので、ゲート - ソース間電圧 V g s を発光前に ΔV だけ小さくすることにより、画素 1 3 ごとの移動度のばらつきを取り除くことができる。

30

【 0 0 4 5 】

(ブートストラップ期間)

最後に、ゲート線駆動回路 2 4 がゲート線 W S L の電圧を V o n から V o f f に下げる (T 7)。すると、駆動トランジスタ T d r のゲートがフローティングとなり、駆動トランジスタ T d r のドレイン - ソース間に電流 I d s が流れ、ソース電圧 V s が上昇する。その結果、有機 E L 素子 1 1 に閾値電圧 V e l 以上の電圧が印加され、有機 E L 素子 1 1 が所望の輝度で発光を開始する。

【 0 0 4 6 】

40

このように、本実施の形態の表示装置 1 では、各サブピクセル 1 3 において画素回路 1 2 がオンオフ制御され、各サブピクセル 1 3 の有機 E L 素子 1 1 に駆動電流が注入されることにより、正孔と電子とが再結合して発光が起こり、その光が外部に取り出される。その結果、表示パネル 1 0 の表示領域 1 0 A において画像が表示される。

【 0 0 4 7 】

[効果]

次に、本実施の形態の表示装置 1 の効果について説明する。本実施の形態では、表示パネル 1 0 がボトムエミッション構造となっており、かつ書込トランジスタ T w s が有機 E L 素子 1 1 から発せられた光が直接入射する位置に配置されている。そのため、書込トランジスタ T w s の特性は有機 E L 素子 1 1 から発せられた光によって変化する。

50

【 0 0 4 8 】

一般的に、トランジスタは、光を受光すると、図 6 のように特性が変化し、オフ領域のリーク電流が光の強度に応じて増加する特性をもつ。これを画素回路 1 2 にあてはめて考えてみる。なお、以下では、書込トランジスタ T_{ws} が n チャネル MOS 型のトランジスタで構成されている場合には、駆動回路 2 0 (ゲート線駆動かいる 2 4) が、書込トランジスタ T_{ws} のゲートに、 V_{off} (つまり、書込トランジスタ T_{ws} ソース電圧およびドレイン電圧よりも低い電圧) を印加している状態で、有機 EL 素子 1 1 が発光を開始したものとする。また、書込トランジスタ T_{ws} が p チャネル MOS 型のトランジスタで構成されている場合には、駆動回路 2 0 (ゲート線駆動かいる 2 4) が、書込トランジスタ T_{ws} のゲートに、 V_{off} (つまり、書込トランジスタ T_{ws} ソース電圧およびドレイン電圧よりも高い電圧) を印加している状態で、有機 EL 素子 1 1 が発光を開始したものとする。

10

【 0 0 4 9 】

まず、書込トランジスタ T_{ws} に、有機 EL 素子 1 1 からの EL 光が入射すると、図 3 に示したように、保持容量 C_s から電荷がリークし、書込トランジスタ T_{ws} にリーク電流 I_L が流れる。そのため、例えば、図 5 (D) , (E) に示したように、駆動トランジスタ T_{dr} のゲート - ソース間電圧 V_{gs} が低下して、電流が低下する。なお、図 5 (D) , (E) では、通常のゲート - ソース間電圧が V_{gs0} となっているときに、本実施の形態では、ゲート - ソース間電圧が V_{gs0} よりも小さな V_{gs1} となっていることが示されている。

20

【 0 0 5 0 】

保持容量 C_s からのリーク電流は光の強度に依存する。そのため、図 7 に示したように、輝度の高い画素ではリーク電流は大きくなり、輝度の低い画素ではリーク電流が小さくなる。つまり、本実施の形態では、書き込みトランジスタ T_{ws} を、有機 EL 素子 1 1 の直下に配置することにより、有機 EL 素子 1 1 で発せられた光の輝度の大きさに応じた電圧が駆動トランジスタ T_{dr} のゲート電圧にフィードバックされている。これにより、初め、輝度の高い画素ではゲート - ソース間電圧 V_{gs} が早く低下し、輝度の低い画素ではゲート - ソース間電圧 V_{gs} の低下が遅いので、同一階調の信号電圧が書き込まれた複数の画素において、発光効率の相対的に高い画素と、発光効率の相対的に低い画素との輝度差が小さくなる。その結果、有機 EL 素子 1 1 の効率が低下し、移動度補正を効果的に行うことが難しい場合であっても、焼き付きを低減することができる。また、本実施の形態では、特別な回路を設けなくても、焼き付きを低減することができる。

30

【 0 0 5 1 】

< 2 . 第 1 の実施の形態の変形例 >

[構成]

上記実施の形態では、保持容量 C_s から電荷をリークさせるため、有機 EL 素子 1 1 が発光している最中に輝度を下げながら、有機 EL 素子 1 1 の発光輝度を補正することになる。そのため、輝度を完全に補正するのに時間がかかる場合がある。そこで、例えば、図 8 に示したように、画素回路 1 2 内に高速フィードバック回路 1 5 を設けて、発光輝度を補正する時間を短縮するようにしてもよい。

40

【 0 0 5 2 】

高速フィードバック回路 1 5 は、例えば、図 8 に示したように、保持容量 C_s に並列接続された回路であり、例えば、互いに直列に接続されたトランジスタ T_{r1} および保持容量 C_{s1} を有している。トランジスタ T_{r1} のゲートは、新たに設けられたゲート線 $WSL1$ に接続されている。トランジスタ T_{r1} ソースまたはドレインが駆動トランジスタ T_{dr} のゲートに接続されており、トランジスタ T_{r1} ソースおよびドレインのうち駆動トランジスタ T_{dr} に未接続の方は、書込トランジスタ T_{ws} および保持容量 C_s に接続されている。従って、駆動トランジスタ T_{dr} のゲートは、トランジスタ T_{r1} がオンしているときには、書込トランジスタ T_{ws} および保持容量 C_s と電氣的に接続され、保持容量 C_s , C_{s1} は互いに並列に接続される。

50

【 0 0 5 3 】

[動作、効果]

次に、本変形例に係る表示装置 1 の動作および効果について説明する。本変形例では、図 9 に示したように、閾値補正準備期間からブートストラップ期間までの間、ゲート線駆動回路 2 4 は、ゲート線 W S L , W S L 1 の双方に対して、同一の信号（選択パルス）を入力するようになっている。しかし、本変形例では、ゲート線駆動回路 2 4 は、発光期間に入ると直ちに、ゲート線 W S L 1 だけに、選択パルス（図中の P 1 ）を入力するようになっている。

【 0 0 5 4 】

図 1 0 に示したように、ゲート線 W S L 1 に、選択パルス（図中の P 1 ）が入力される前では、保持容量 C s の電位差 V c s 1 は、高速フィードバック回路 1 5 が設けられていない時と同様に書込トランジスタ T w s による電流リークにより減少していく。しかし、トランジスタ T r 1 には E L 光は入射していないので、保持容量 C s 2 の電位差 V c s 2 は、書込トランジスタ T w s による電流リークによる影響を受けず、保持されたままである。このとき、保持容量 C s の電位差 V c s 1 は、有機 E L 素子 1 1 の発光輝度が高いほど減少し、有機 E L 素子 1 1 の発光輝度が低いほど減少幅が小さくなる。

【 0 0 5 5 】

その後、ゲート線 W S L 1 に、選択パルス（図中の P 1 ）が入力され、トランジスタ T r 1 がオンすると、保持容量 C s および保持容量 C s 2 が並列接続されるので、これらの電位差 V c s 1 , V c s 2 は等電位となる。そのため、有機 E L 素子 1 1 の発光輝度の高い画素では保持容量 C s 1 の電位差 V c s 2、つまり駆動トランジスタ T d r のゲート - ソース間電圧 V g s が小さくなり、有機 E L 素子 1 1 の発光輝度の低い画素では駆動トランジスタ T d r のゲート - ソース間電圧 V g s が大きくなる。これにより、同一階調の信号電圧が書き込まれた複数の画素において、発光効率の相対的に高い画素と、発光効率の相対的に低い画素との輝度差が小さくなる。その結果、焼き付きを低減することができる。また、選択パルス（図中の P 1 ）を印加するタイミングを早くすることにより、輝度を補正する時間を短くすることができる。

【 0 0 5 6 】

< 3 . 第 2 の実施の形態 >

[構成]

次に、第 2 の実施形態に係る表示装置について説明する。本実施の形態の表示装置は、表示パネル 1 0 としてトップエミッション構造のものを備えている点で、上記実施の形態の表示装置 1 の構成と主に相違する。そこで、以下では、上記実施の形態との相違点について主に説明し、上記実施の形態との共通点についての説明を適宜、省略するものとする。

【 0 0 5 7 】

図 1 1 は、本実施の形態におけるサブピクセル 1 3 のレイアウトの一例を表したものである。図 1 2 は、図 1 1 のサブピクセル 1 3 における書込トランジスタ T w s 近傍の断面構成の一例を表したものである。

【 0 0 5 8 】

本実施の形態では、有機 E L 素子 1 1 のアノード電極 3 5 A および有機層 3 5 C がサブピクセル 1 3 の上面に広く形成されている。アノード電極 3 5 A は、書込トランジスタ T w s の直上に開口 H を有している。アノード電極 3 5 A は、金属材料で構成されており、反射ミラーとして機能する。有機層 3 5 C は、書込トランジスタ T w s の直上を含むサブピクセル 1 3 の上面に広く形成されており、書込トランジスタ T w s の直上には、開口 H を介して有機層 3 5 C が見えている。つまり、書込トランジスタ T w s は、開口 H と対向する領域に配置されており、有機 E L 素子 1 1 から発せられた光が入射する位置に配置されている。カソード電極 3 5 B は、可視光に対して透明な導電性材料、例えば I T O によって構成されている。これにより、有機 E L 素子 1 1 の有機層 3 5 C から発せられた光は、アノード電極 3 5 A、絶縁層 4 2 および基板 4 1 を介して外部に出力されるようになっ

10

20

30

40

50

ている。

【 0 0 5 9 】

[効果]

次に、本実施の形態の表示装置の効果について説明する。本実施の形態では、表示パネル 10 がトップエミッション構造となっており、かつ書込トランジスタ T_{ws} が有機 EL 素子 11 から発せられた光が直接入射する位置に配置されている。そのため、書込トランジスタ T_{ws} の特性は有機 EL 素子 11 から発せられた光によって変化する。

【 0 0 6 0 】

本実施の形態では、上記第 1 の実施の形態と同様、書込トランジスタ T_{ws} に EL 光が入射すると、図 3 に示したように、保持容量 C_s から電荷がリークし、書込トランジスタ T_{ws} にリーク電流 I_L が流れる。そのため、例えば、図 5 (D) , (E) に示したように、駆動トランジスタ T_{dr} のゲート - ソース間電圧 V_{gs} が低下して、電流が低下する。保持容量 C_s からのリーク電流は光の強度に依存する。そのため、図 7 に示したように、輝度の高い画素ではリーク電流は大きくなり、輝度の低い画素ではリーク電流が小さくなる。つまり、本実施の形態では、書き込みトランジスタ T_{ws} を、開口 H を介して有機 EL 素子 11 の直下に配置することにより、有機 EL 素子 11 で発せられた光の輝度の大きさに応じた電圧が駆動トランジスタ T_{dr} のゲート電圧にフィードバックされている。これにより、初め、輝度の高い画素ではゲート - ソース間電圧 V_{gs} が早く低下し、輝度の低い画素ではゲート - ソース間電圧 V_{gs} の低下が遅いので、同一階調の信号電圧が書き込まれた複数の画素において、発光効率の相対的に高い画素と、発光効率の相対的に低い画素との輝度差が小さくなる。その結果、有機 EL 素子 11 の効率が低下し、移動度補正を効果的に行うことが難しい場合であっても、焼き付きを低減することができる。また、本実施の形態でも、特別な回路を設けなくても、焼き付きを低減することができる。

【 0 0 6 1 】

< 4 . 第 2 の実施の形態の変形例 >

[構成]

上記第 2 の実施の形態では、保持容量 C_s から電荷をリークさせるため、有機 EL 素子 11 が発光している最中に輝度を下げながら、有機 EL 素子 11 の発光輝度を補正することになる。そのため、輝度を完全に補正するのに時間がかかる場合がある。そこで、例えば、図 8 に示したように、画素回路 12 内に高速フィードバック回路 15 を設けて、発光輝度を補正する時間を短縮するようにしてもよい。このようにした場合には、焼き付きを低減することができる。また、ゲート線 $W_{SL}1$ へ選択パルス (図中の $P1$) を印加するタイミングを早くすることにより、輝度を補正する時間を短くすることができる。

【 0 0 6 2 】

< 5 . モジュールおよび適用例 >

以下、上記第 1 および第 2 の実施の形態およびそれらの変形例で説明した表示装置 1 の適用例について説明する。表示装置 1 は、テレビジョン装置、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置あるいはビデオカメラなど、外部から入力された映像信号あるいは内部で生成した映像信号を、画像あるいは映像として表示するあらゆる分野の電子機器の表示装置に適用することが可能である。

【 0 0 6 3 】

[モジュール]

表示装置 1 は、例えば、図 13 に示したようなモジュールとして、後述する適用例 1 ~ 5 などの種々の電子機器に組み込まれる。このモジュールは、例えば、基板 3 の一辺に、表示パネル 10 を封止する部材 (図示せず) から露出した領域 210 を設け、この露出した領域 210 に、タイミング生成回路 21、映像信号処理回路 22、データ線駆動回路 23、ゲート線駆動回路 24 およびドレイン線駆動回路 25 の配線を延長して外部接続端子 (図示せず) を形成したものである。外部接続端子には、信号の入出力のためのフレキシブルプリント配線基板 (FPC ; Flexible Printed Circuit) 220 が設けられていてもよい。

【 0 0 6 4 】

[適用例 1]

図 1 4 は、表示装置 1 が適用されるテレビジョン装置の外観を表したものである。このテレビジョン装置は、例えば、フロントパネル 3 1 0 およびフィルターガラス 3 2 0 を含む映像表示画面部 3 0 0 を有しており、この映像表示画面部 3 0 0 は、表示装置 1 により構成されている。

【 0 0 6 5 】

[適用例 2]

図 1 5 は、表示装置 1 が適用されるデジタルカメラの外観を表したものである。このデジタルカメラは、例えば、フラッシュ用の発光部 4 1 0、表示部 4 2 0、メニュースイッチ 4 3 0 およびシャッターボタン 4 4 0 を有しており、その表示部 4 2 0 は、表示装置 1 により構成されている。

10

【 0 0 6 6 】

[適用例 3]

図 1 6 は、表示装置 1 が適用されるノート型パーソナルコンピュータの外観を表したものである。このノート型パーソナルコンピュータは、例えば、本体 5 1 0、文字等の入力操作のためのキーボード 5 2 0 および画像を表示する表示部 5 3 0 を有しており、その表示部 5 3 0 は、表示装置 1 により構成されている。

【 0 0 6 7 】

[適用例 4]

図 1 7 は、表示装置 1 が適用されるビデオカメラの外観を表したものである。このビデオカメラは、例えば、本体部 6 1 0、この本体部 6 1 0 の前方側面に設けられた被写体撮影用のレンズ 6 2 0、撮影時のスタート/ストップスイッチ 6 3 0 および表示部 6 4 0 を有しており、その表示部 6 4 0 は、表示装置 1 により構成されている。

20

【 0 0 6 8 】

[適用例 5]

図 1 8 は、表示装置 1 が適用される携帯電話機の外観を表したものである。この携帯電話機は、例えば、上側筐体 7 1 0 と下側筐体 7 2 0 とを連結部（ヒンジ部）7 3 0 で連結したものであり、ディスプレイ 7 4 0、サブディスプレイ 7 5 0、ピクチャーライト 7 6 0 およびカメラ 7 7 0 を有している。そのディスプレイ 7 4 0 またはサブディスプレイ 7 5 0 は、表示装置 1 により構成されている。

30

【 0 0 6 9 】

以上、上記各実施の形態および適用例を挙げて本発明を説明したが、本発明はそれらに限定されるものではなく、種々変形が可能である。

【 0 0 7 0 】

例えば、上記実施の形態等では、表示装置がアクティブマトリクス型である場合について説明したが、アクティブマトリクス駆動のための画素回路 1 2 の構成は上記実施の形態等で説明したものに限られない。従って、必要に応じて容量素子やトランジスタを画素回路 1 2 に追加することが可能である。その場合、画素回路 1 2 の変更に応じて、上述したタイミング生成回路 2 1、映像信号処理回路 2 2、データ線駆動回路 2 3、ゲート線駆動回路 2 4 およびドレイン線駆動回路 2 5 のほかに、必要な駆動回路を追加してもよい。また、この場合に、書込トランジスタ T_{ws} に相当するトランジスタが複数存在するときには、複数の書込トランジスタ T_{ws} のうち少なくとも 1 つに対して遮光層 SHD が設けられていればよく、全てに対して遮光層 SHD が設けられていることが好ましい。

40

【 0 0 7 1 】

また、上記実施の形態等では、データ線駆動回路 2 3、ゲート線駆動回路 2 4 およびドレイン線駆動回路 2 5 の駆動をタイミング生成回路 2 1 および映像信号処理回路 2 2 が制御していたが、他の回路がこれらの駆動を制御するようにしてもよい。また、データ線駆動回路 2 3、ゲート線駆動回路 2 4 およびドレイン線駆動回路 2 5 の制御は、ハードウェア（回路）で行われていてもよいし、ソフトウェア（プログラム）で行われていてもよい

50

。

【 0 0 7 2 】

また、上記実施の形態等では、書込トランジスタ T_{ws} のソースおよびドレインや、駆動トランジスタ T_{dr} のソースおよびドレインが固定されたものとして説明されていたが、いうまでもなく、電流の流れる向きによっては、ソースとドレインの対向関係が上記の説明とは逆になることがある。

【 0 0 7 3 】

また、上記実施の形態等では、書込トランジスタ T_{ws} および駆動トランジスタ T_{dr} が n チャネル MOS 型の TFT により形成されているものとして説明されていたが、書込トランジスタ T_{ws} および駆動トランジスタ T_{dr} の少なくとも一方が p チャネル MOS 型の TFT により形成されていてもよい。なお、駆動トランジスタ T_{dr} が p チャネル MOS 型の TFT により形成されている場合には、上記実施の形態等において、有機 EL 素子 11 のアノード 35A がカソードとなり、有機 EL 素子 11 のカソード 35B がアノードとなる。また、上記実施の形態等において、書込トランジスタ T_{ws} および駆動トランジスタ T_{dr} は、常に、アモルファスシリコン型の TFT やマイクロシリコン型の TFT である必要はなく、例えば、低温ポリシリコン型の TFT であってもよい。

【 0 0 7 4 】

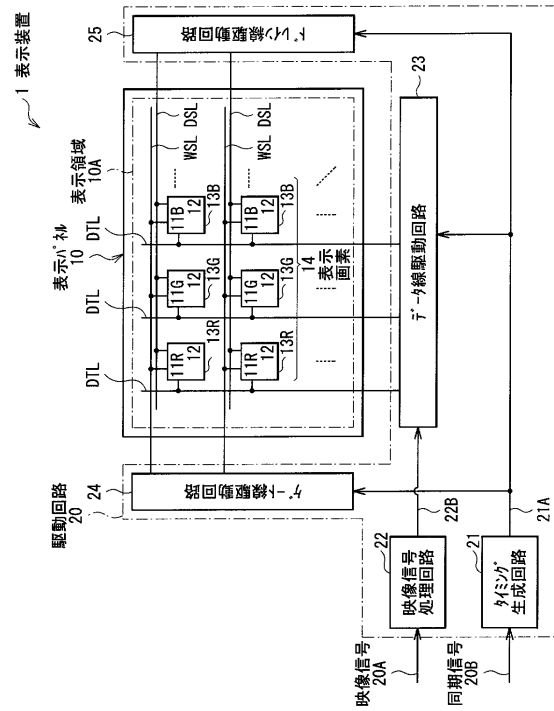
また、上記実施の形態等では、閾値補正および移動度補正が必ず行われていたが、本開示における輝度補正は、これら閾値補正および移動度補正と同時にに行われる必要はない。従って、例えば、閾値補正および移動度補正を行わずに、本開示における輝度補正だけを行うことにより、閾値や移動度のばらつきに起因する輝度むらを低減することも可能である。

【 符号の説明 】

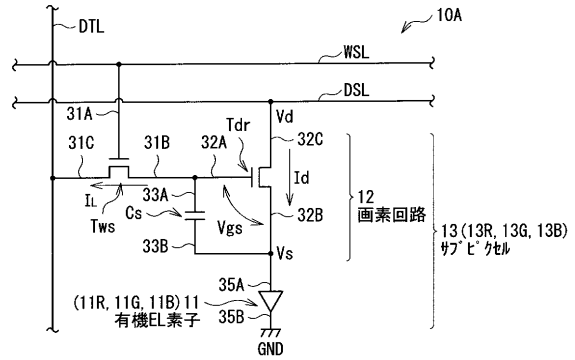
【 0 0 7 5 】

1 ... 表示装置、10 ... 表示パネル、10A ... 表示領域、11, 11R, 11G, 11B ... 有機 EL 素子、12 ... 画素回路、13, 13R, 13G, 13B ... サブピクセル、14 ... 表示画素、15 ... 高速フィードバック回路、20 ... 駆動回路、21 ... タイミング生成回路、21A ... 制御信号、22 ... 映像信号処理回路、23 ... データ線駆動回路、24 ... ゲート線駆動回路、25 ... ドレイン線駆動回路、31A, 32A ... ゲート、31B, 32B ... ソース、31C, 32C ... ドレイン、33A, 33B ... 端子、35A ... アノード電極、35B ... カソード電極、35C ... 有機層、41, 45 ... 基板、42, 43, 44 ... 絶縁層、43A, H ... 開口、Cs, Cs1 ... 保持容量、 T_{dr} ... 駆動トランジスタ、 T_{r1} ... トランジスタ、 T_{ws} ... 書込トランジスタ、DSL ... ドレイン線、DTL ... データ線、WSL, WSL1 ... ゲート線。

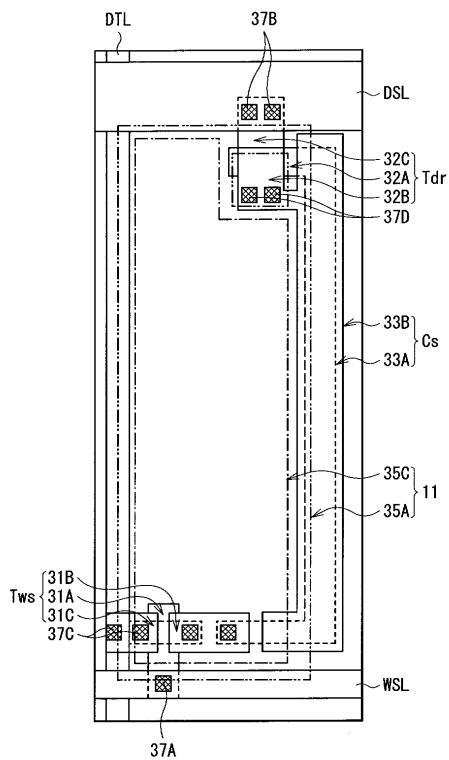
【図 1】



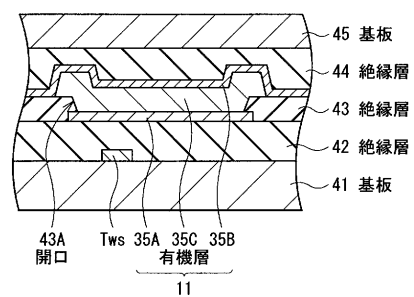
【図 2】



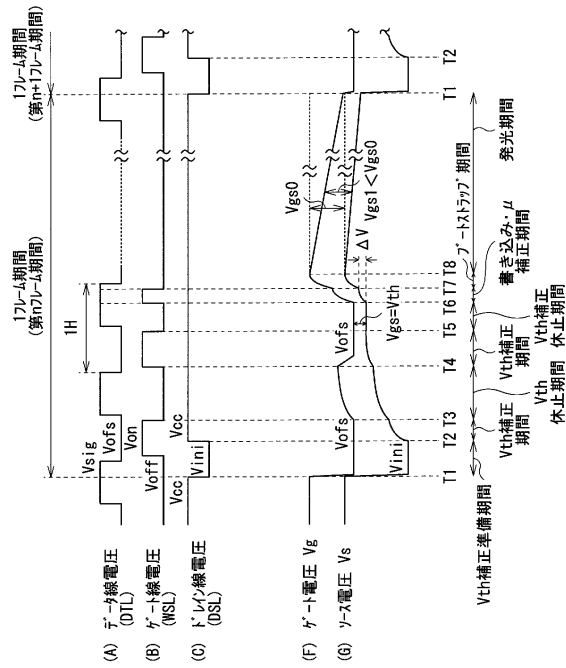
【図 3】



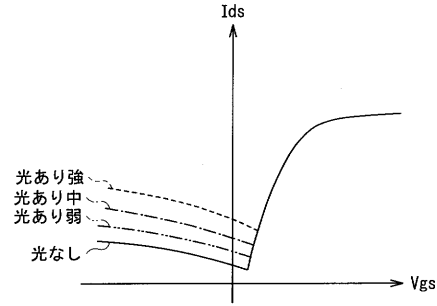
【図 4】



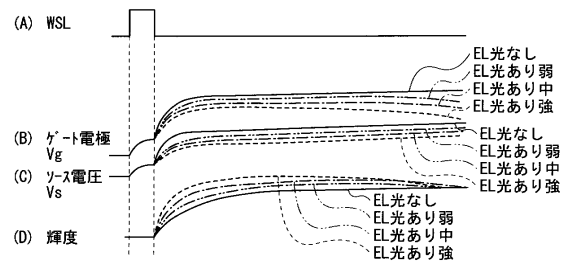
【 図 5 】



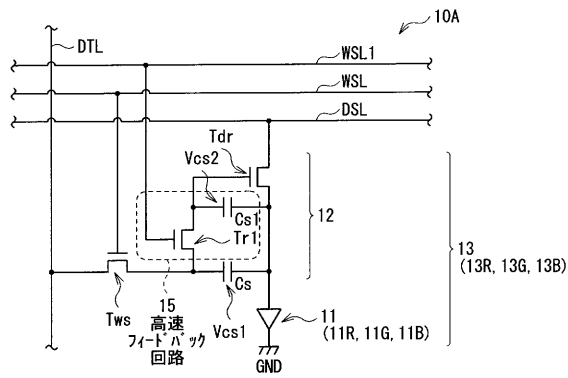
【 図 6 】



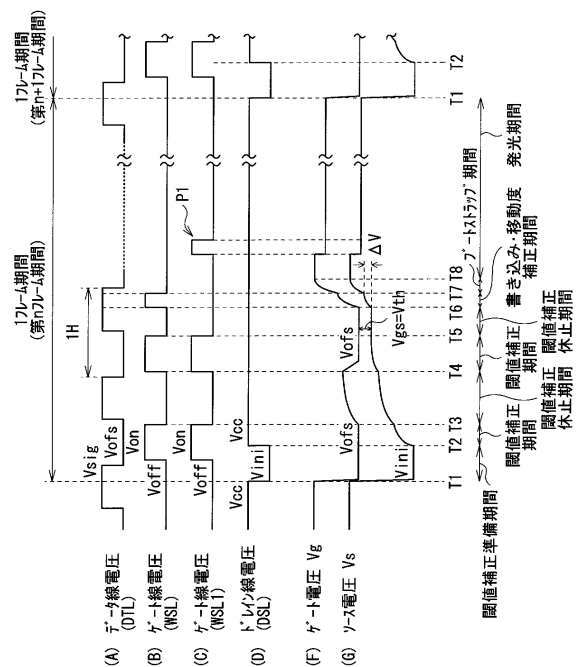
【 図 7 】



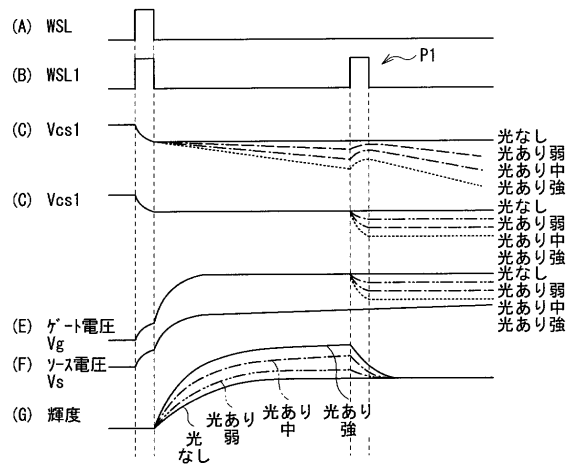
【圖 8】



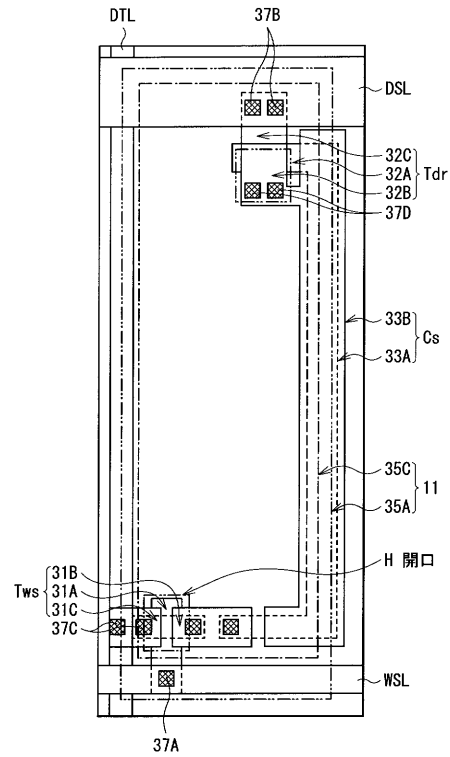
【 図 9 】



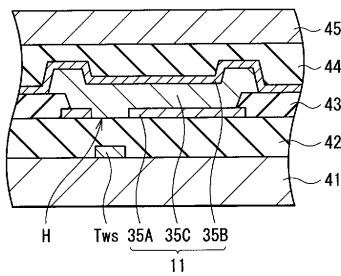
【図 10】



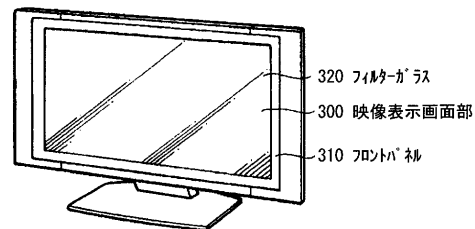
【図 11】



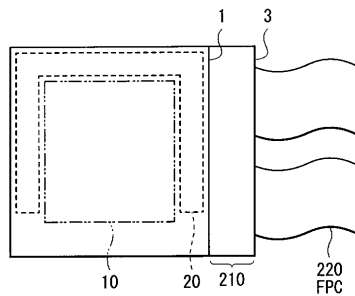
【図 12】



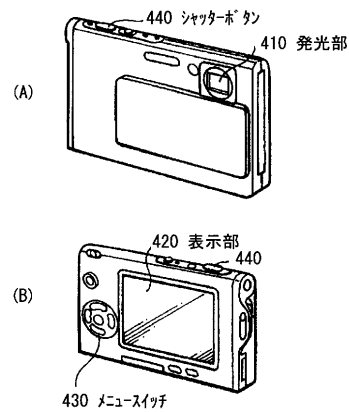
【図 14】



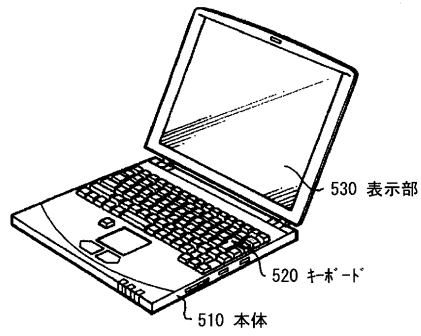
【図 13】



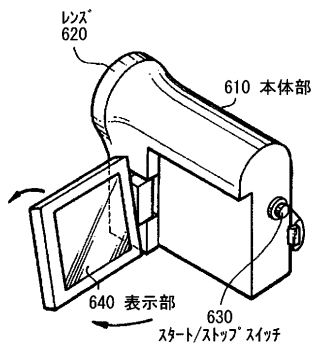
【図 15】



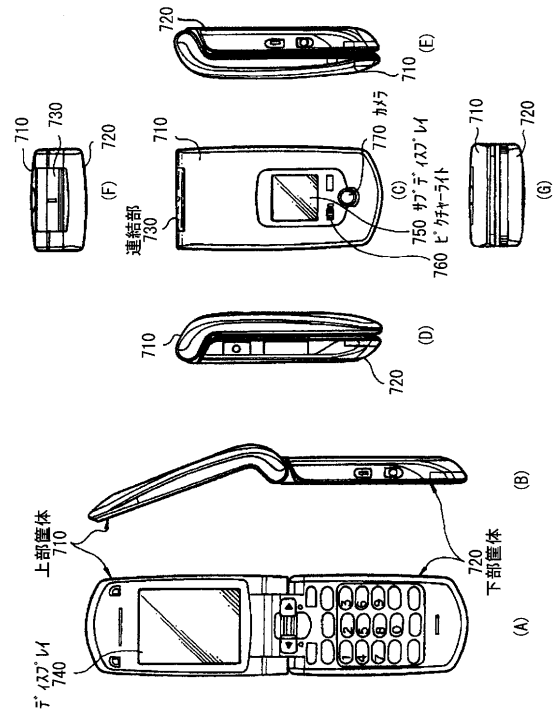
【図 16】



【図 17】



【図 18】



 フロントページの続き

(51)Int.Cl.	F I		
	G 0 9 G	3/20	6 2 1 M
	G 0 9 G	3/20	6 8 0 G
	G 0 9 G	3/20	6 4 2 P
	G 0 9 G	3/20	6 1 1 H
	H 0 5 B	33/14	A
	H 0 5 B	33/02	

審査官 中村 直行

(56)参考文献 特表 2 0 1 0 - 5 1 1 1 8 2 (J P , A)
 特開 2 0 0 9 - 2 3 8 8 3 3 (J P , A)
 特表 2 0 0 7 - 5 0 1 9 5 3 (J P , A)
 特開 2 0 0 6 - 2 5 1 0 9 1 (J P , A)
 特開 2 0 0 6 - 0 3 0 3 1 7 (J P , A)
 特開 2 0 0 4 - 3 4 8 0 4 4 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 9 G	3 / 0 0	-	3 / 3 8
H 0 1 L	5 1 / 5 0		
H 0 5 B	3 3 / 0 2		

专利名称(译)	显示面板，显示设备和电子设备		
公开(公告)号	JP5737568B2	公开(公告)日	2015-06-17
申请号	JP2011073171	申请日	2011-03-29
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	尾本啓介		
发明人	尾本 啓介		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 H05B33/02		
FI分类号	G09G3/30.J G09G3/20.670.J G09G3/20.642.A G09G3/20.641.D G09G3/20.624.B G09G3/20.621.M G09G3/20.680.G G09G3/20.642.P G09G3/20.611.H H05B33/14.A H05B33/02 G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC34 3K107/DD02 3K107/DD03 3K107/EE03 3K107/EE68 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD18 5C080/DD29 5C080/EE29 5C080/EE30 5C080/FF11 5C080/FF12 5C080/HH09 5C080/HH10 5C080/HH11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C380/AA01 5C380/AB06 5C380/AB11 5C380/AB12 5C380/AB34 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/BA10 5C380/BA36 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB05 5C380/BD02 5C380/BD05 5C380/BD11 5C380/CA02 5C380/CA08 5C380/CA12 5C380/CA53 5C380/CB01 5C380/CB20 5C380/CB26 5C380/CC04 5C380/CC06 5C380/CC07 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC41 5C380/CC61 5C380/CC62 5C380/CC63 5C380/CD012 5C380/CD023 5C380/CE19 5C380/CF48 5C380/DA02 5C380/DA06 5C380/DA47 5C380/DA50 5C380/EA01		
审查员(译)	中村直之		
其他公开文献	JP2012208274A5 JP2012208274A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供可以减少图像持久性的显示面板，以及具有该显示装置的显示装置和具有该显示装置的电子设备。解决方案：像素电路12包括保持电容器Cs，写入晶体管Tws，用于写入对应于的电压进入保持电容器Cs的视频信号和用于根据保持电容器Cs的电压驱动有机EL元件11的驱动晶体管Tdr。写入晶体管Tws设置在由有机EL元件11发射的光入射的位置处。

【图 3】

