

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5442101号
(P5442101)

(45) 発行日 平成26年3月12日 (2014. 3. 12)

(24) 登録日 平成25年12月27日 (2013. 12. 27)

(51) Int. Cl.

F I

G 0 9 G 3/30 (2006. 01)

G 0 9 G 3/30 J

G 0 9 G 3/20 (2006. 01)

G 0 9 G 3/20 6 2 4 B

H 0 1 L 51/50 (2006. 01)

G 0 9 G 3/20 6 1 1 A

G 0 9 G 3/20 6 1 1 H

G 0 9 G 3/20 6 4 2 A

請求項の数 4 (全 25 頁) 最終頁に続く

(21) 出願番号 特願2012-283304 (P2012-283304)
 (22) 出願日 平成24年12月26日 (2012. 12. 26)
 (62) 分割の表示 特願2010-528679 (P2010-528679)
 の分割
 原出願日 平成21年6月2日 (2009. 6. 2)
 (65) 公開番号 特開2013-101373 (P2013-101373A)
 (43) 公開日 平成25年5月23日 (2013. 5. 23)
 審査請求日 平成24年12月27日 (2012. 12. 27)
 (31) 優先権主張番号 特願2008-231807 (P2008-231807)
 (32) 優先日 平成20年9月10日 (2008. 9. 10)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町2番2号
 (74) 代理人 100104695
 弁理士 島田 明宏
 (74) 代理人 100121348
 弁理士 川原 健児
 (72) 発明者 岸 宣孝
 大阪府大阪市阿倍野区長池町2番2号
 シャープ株式会社内

審査官 山崎 仁之

最終頁に続く

(54) 【発明の名称】 表示装置およびその駆動方法

(57) 【特許請求の範囲】

【請求項 1】

カラー表示を行う電流駆動型の表示装置であって、

複数の走査線と複数のデータ線との各交差点に対応して配置され、それぞれが電気光学素子と、前記電気光学素子に流れる電流の量を制御する駆動素子と、前記駆動素子の制御端子と第1の導通端子との間に設けられた補償用スイッチング素子とを含む複数の画素回路と、

前記走査線を用いて書き込み対象の画素回路を選択し、選択した画素回路に前記データ線を用いてデータ電圧を書き込む駆動回路とを備え、

前記駆動回路は、選択した画素回路について、前記駆動素子の制御端子と第2の導通端子との間に初期電位差を与え、前記駆動素子が導通状態である間に前記補償用スイッチング素子を一時的に導通状態に制御する動作と、前記補償用スイッチング素子の導通期間終了時における前記駆動素子の制御端子電位を用いて補正されたデータ電圧を前記駆動素子の制御端子に印加する動作とを行い、

前記画素回路は表示色によって複数の種類に分類され、

少なくとも2種類の画素回路間で異なる初期電位差が与えられるように、前記駆動素子の第2の導通端子には少なくとも2種類の画素回路間で異なる電源電圧が印加されることを特徴とする、表示装置。

【請求項 2】

前記画素回路は、前記データ線と前記駆動素子の制御端子との間に設けられた書き込み

10

20

用スイッチング素子をさらに含み、

前記駆動回路は、前記書き込み用スイッチング素子を導通状態に制御し、前記初期電位差が与えられるように、１種類の初期電圧を前記データ線に印加することを特徴とする、請求項１に記載の表示装置。

【請求項３】

前記駆動回路は、前記データ線に対応した容量を含み、前記補償用スイッチング素子の導通期間終了後に、前記書き込み用スイッチング素子を導通状態に制御したままで、前記容量の第１の電極を前記データ線に接続し、前記容量の第２の電極に印加する電圧を参照電圧から前記データ電圧に切り替えることを特徴とする、請求項２に記載の表示装置。

【請求項４】

前記参照電圧は、少なくとも２種類の画素回路間で異なることを特徴とする、請求項３に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、表示装置に関し、より特定的には、有機ＥＬディスプレイやＦＥＤなどの電流駆動素子を用いた表示装置およびその駆動方法に関する。

【背景技術】

【０００２】

近年、薄型、軽量、高速応答可能な表示装置の需要が高まり、これに伴い、有機ＥＬ（Electro Luminescence）ディスプレイやＦＥＤ（Field Emission Display）に関する研究開発が活発に行われている。

【０００３】

有機ＥＬディスプレイに含まれる有機ＥＬ素子は、印加される電圧が高く、流れる電流が多いほど、高い輝度で発光する。ところが、有機ＥＬ素子の輝度と電圧の関係は、駆動時間や周辺温度などの影響を受けて容易に変動する。このため、有機ＥＬディスプレイに電圧制御型の駆動方式を適用すると、有機ＥＬ素子の輝度のばらつきを抑えることが非常に困難になる。これに対して、有機ＥＬ素子の輝度は電流にほぼ比例し、この比例関係は周辺温度などの外的要因の影響を受けにくい。したがって、有機ＥＬディスプレイには電流制御型の駆動方式を適用することが好ましい。

【０００４】

一方、表示装置の画素回路や駆動回路は、アモルファスシリコン、低温多結晶シリコン、ＣＧ（Continuous Grain）シリコンなどで構成されたＴＦＴ（Thin Film Transistor：薄膜トランジスタ）を用いて構成される。ところが、ＴＦＴの特性（例えば、閾値電圧や移動度）には、ばらつきが生じやすい。そこで、有機ＥＬディスプレイの画素回路にはＴＦＴの特性のばらつきを補償する回路が設けられ、この回路の作用により有機ＥＬ素子の輝度のばらつきが抑えられる。

【０００５】

電流制御型の駆動方式においてＴＦＴの特性のばらつきを補償する方式は、駆動用ＴＦＴに流れる電流の量を電流信号で制御する電流プログラム方式と、この電流の量を電圧信号で制御する電圧プログラム方式とに大別される。電流プログラム方式を用いれば閾値電圧と移動度のばらつきを補償することができ、電圧プログラム方式を用いれば閾値電圧のばらつきのみを補償することができる。

【０００６】

ところが、電流プログラム方式には、第１に、非常に微少な量の電流を扱うので画素回路や駆動回路の設計が困難である、第２に、電流信号を設定する間に寄生容量の影響を受けやすいので大面積化が困難であるという問題がある。これに対して、電圧プログラム方式では、寄生容量などの影響は軽微であり、回路設計も比較的容易である。また、移動度のばらつきが電流量に与える影響は、閾値電圧のばらつきが電流量に与える影響よりも小さく、移動度のばらつきはＴＦＴ作製工程である程度抑えることができる。したがって、

10

20

30

40

50

電圧プログラム方式を適用した表示装置でも、十分な表示品位が得ることができる。

【 0 0 0 7 】

電流制御型の駆動方式を適用した有機 E L ディスプレイについては、従来から、以下に示す画素回路が知られている。図 1 4 は、特許文献 1 に記載された画素回路と出力スイッチの回路図である。図 1 4 において、画素回路 1 2 0 はトランジスタ T 1 ~ T 4、有機 E L 素子 O L E D およびコンデンサ C s を備え、出力スイッチ 1 2 1 はトランジスタ T 5 ~ T 8 およびコンデンサ C 1 を備えている。画素回路 1 2 0 は、電源配線 V p、共通陰極 V c o m、走査線 G 1 i、G 2 i およびデータ線 S j に接続される。トランジスタ T 5 ~ T 8 の一端には、それぞれ、電圧 V 0、データ電圧 V d a t a、閾値補正電圧 V p r e および電圧 V a が印加される。電圧 V a は、トランジスタ T 3 の閾値電圧に近い電圧である。

10

【 0 0 0 8 】

画素回路 1 2 0 は、図 1 5 に示すタイミングチャートに従って動作する。図 1 5 に示すように、閾値電圧書き込み期間の前半では、トランジスタ T 1、T 2、T 5、T 7 は導通状態になり、トランジスタ T 4、T 6、T 8 は非導通状態になる。このとき、データ線 S j には閾値補正電圧 V p r e が印加され、トランジスタ T 3 のゲート端子とドレイン端子にも同じ電圧が印加される。閾値電圧書き込み期間の後半では、トランジスタ T 7 は非導通状態になる。このとき、コンデンサ C s に蓄積されていた電荷はトランジスタ T 1 ~ T 3 を経由して放電され、トランジスタ T 3 のゲート端子電位はトランジスタ T 3 の閾値電圧に応じたレベル V t まで上昇する。また、閾値電圧書き込み期間の後半では、トランジスタ T 8 が所定の時間だけ導通状態になる。これにより、データ線 S j には浮遊容量 C f

20

【 0 0 0 9 】

表示データ電圧書き込み期間では、トランジスタ T 2、T 6 は導通状態になり、トランジスタ T 1、T 4、T 5、T 7、T 8 は非導通状態になる。閾値電圧書き込み期間から表示データ電圧書き込み期間に遷移するときに、コンデンサ C 1 の電極間電圧は変化しない。このため、コンデンサ C 1 の一方の電極（トランジスタ T 5、T 6 に接続された電極）の電位が V 0 から V d a t a に変化すると、コンデンサ C 1 の他方の電極の電位も同じ量だけ変化する。これにより得られた電位（ $V t + V d a t a - V 0$ ）は、トランジスタ T 2 を介してトランジスタ T 3 のゲート端子に印加される。

30

【 0 0 1 0 】

発光期間では、トランジスタ T 4 は導通状態になり、トランジスタ T 1、T 2、T 5 ~ T 7 は非導通状態になる。表示データ電圧書き込み期間から発光期間に遷移するときに、コンデンサ C s はトランジスタ T 3 のゲート - ソース間電圧を保持する。このため、発光期間では、トランジスタ T 3 のゲート端子電位は（ $V t + V d a t a - V 0$ ）のままである。トランジスタ T 3 を流れる電流の量はゲート - ソース間電圧によって定まり、有機 E L 素子 O L E D はトランジスタ T 3 を流れる電流の量に応じた輝度で発光する。トランジスタ T 3 を流れる電流の量はトランジスタ T 3 の閾値電圧に依存しないので、有機 E L 素子 O L E D はトランジスタ T 3 の閾値電圧に依存しない輝度で発光する。

40

【 0 0 1 1 】

このように画素回路 1 2 0 を図 1 5 に示す方法で駆動することにより、画素回路 1 2 0 の内部に閾値補正用のコンデンサを設けることなく、トランジスタ T 3 のゲート端子にトランジスタ T 3 の閾値電圧に応じた電位を印加し、トランジスタ T 3 の閾値電圧にかかわらず、有機 E L 素子 O L E D を所望の輝度で発光させることができる。

【 0 0 1 2 】

図 1 6 は、特許文献 2 に記載された画素回路の回路図である。図 1 6 に示す画素回路 1 3 0 は、トランジスタ M 1 ~ M 6、有機 E L 素子 O L E D およびコンデンサ C s t を備えている。画素回路 1 3 0 は、電源配線 V p、共通陰極 V c o m、初期電圧 V i n t が印加されたプリチャージ線、走査線 G A i、G B i、制御線 E i およびデータ線 S j に接続される。画素回路 1 3 0 は、図 1 3（後述）に示すタイミングチャートに従って動作する。

50

画素回路 130 の動作は、第 2 参考例に係る画素回路の動作と同様であるので、ここではその説明を省略する。画素回路 130 を図 13 に示す方法で駆動することにより、トランジスタ M1 のゲート端子にトランジスタ M1 の閾値電圧に応じた電位を印加し、トランジスタ M1 の閾値電圧にかかわらず、有機 EL 素子 OLED を所望の輝度で発光させることができる。

【0013】

なお、上記以外にも有機 EL ディスプレイの例は、本出願と出願人および発明者が共通する別の出願（国際特許出願 PCT / JP 2007 / 69184、出願日 2007 年 10 月 1 日、優先日 2007 年 3 月 8 日）にも記載されている。

【先行技術文献】

【特許文献】

【0014】

【特許文献 1】日本国特開 2005 - 352411 号公報

【特許文献 2】日本国特開 2007 - 133369 号公報

【発明の概要】

【発明が解決しようとする課題】

【0015】

ところで、従来から知られているように、人間が有する色の判別力は色によって異なる。図 17 は、マッカラムの色度判別閾を示す図である。図 17 には、x y 色度座標上に複数の楕円が描かれている。各楕円は、人間が同じ色度と判別する範囲を示す（ただし、図面を見やすくするために、楕円は実際の 10 倍の大きさに描かれている）。人間は、小さい楕円の近傍では色度の違いに敏感であり、大きい楕円の近傍では色度の違いに鈍感である。図 17 から分かるように、人間は、赤色、緑色および青色の中では、青色の色度の違いに最も敏感であり、次に赤色の色度の違いに敏感であり、緑色の色度の違いには最も鈍感である。

【0016】

上述した有機 EL ディスプレイでは、有機 EL 素子に流れる電流の量を制御する駆動素子（図 14 ではトランジスタ T3、図 16 ではトランジスタ M1）の閾値補正を行うときに、駆動素子のゲート端子に所定の初期電圧（図 14 では V_{pre} 、図 16 では V_{int} ）が印加される。このときに駆動素子のゲート - ソース間電圧の絶対値が大きくなる初期電圧を印加すれば、閾値補正の精度は高くなり画質は向上するが、信号線の充放電による消費電力は増大する。一方、駆動素子のゲート - ソース間電圧の絶対値が小さくなる初期電圧を印加すれば、消費電力は減少するが、閾値補正の精度は低くなり画質は低下する。このように初期電圧を決定するときに、画質と消費電力はトレードオフの関係にある。

【0017】

従来のカラー表示を行う有機 EL ディスプレイでは、装置全体で 1 種類の初期電圧が使用され、初期電圧は例えばある色を基準として決定される。緑色を基準として初期電圧を決定した場合、閾値補正の精度は低くて済むので、駆動素子のゲート - ソース間電圧の絶対値は小さくなり、消費電力は減少する。ところが、緑色よりも敏感に判別可能な青色や赤色では閾値補正の精度が不十分となるので、青色や赤色では色のばらつきが目立ち、画質が低下する。一方、青色を基準として初期電圧を決定した場合、駆動素子のゲート - ソース間電圧の絶対値は大きくなり、すべての色について駆動素子の閾値補正を高い精度で行うことができる。ところが、青色よりも鈍感にしか判別できない緑色や赤色についても青色と同じ初期電圧を使用するために、消費電力は必要以上に増大する。

【0018】

それ故に、本発明は、高画質で低消費電力の電流駆動型カラー表示装置を提供することを目的とする。

【課題を解決するための手段】

【0019】

本発明の第 1 の局面は、カラー表示を行う電流駆動型の表示装置であって、

10

20

30

40

50

複数の走査線と複数のデータ線との各交差点に対応して配置され、それぞれが電気光学素子と、前記電気光学素子に流れる電流の量を制御する駆動素子と、前記駆動素子の制御端子と第1の導通端子との間に設けられた補償用スイッチング素子とを含む複数の画素回路と、

前記走査線を用いて書き込み対象の画素回路を選択し、選択した画素回路に前記データ線を用いてデータ電圧を書き込む駆動回路とを備え、

前記駆動回路は、選択した画素回路について、前記駆動素子の制御端子と第2の導通端子との間に初期電位差を与え、前記駆動素子が導通状態である間に前記補償用スイッチング素子を一時的に導通状態に制御する動作と、前記補償用スイッチング素子の導通期間終了時における前記駆動素子の制御端子電位を用いて補正されたデータ電圧を前記駆動素子の制御端子に印加する動作とを行い、

10

前記画素回路は表示色によって複数の種類に分類され、

少なくとも2種類の画素回路間で異なる初期電位差が与えられるように、前記駆動素子の第2の導通端子には少なくとも2種類の画素回路間で異なる電源電圧が印加されることを特徴とする。

【0020】

本発明の第2の局面は、本発明の第1の局面において、

前記画素回路は、前記データ線と前記駆動素子の制御端子との間に設けられた書き込み用スイッチング素子をさらに含み、

前記駆動回路は、前記書き込み用スイッチング素子を導通状態に制御し、前記初期電位差が与えられるように、1種類の初期電圧を前記データ線に印加することを特徴とする。

20

【0021】

本発明の第3の局面は、本発明の第2の局面において、

前記駆動回路は、前記データ線に対応した容量を含み、前記補償用スイッチング素子の導通期間終了後に、前記書き込み用スイッチング素子を導通状態に制御したままで、前記容量の第1の電極を前記データ線に接続し、前記容量の第2の電極に印加する電圧を参照電圧から前記データ電圧に切り替えることを特徴とする。

【0022】

本発明の第4の局面は、本発明の第3の局面において、

前記参照電圧は、少なくとも2種類の画素回路間で異なることを特徴とする。

30

【発明の効果】

【0023】

本発明の第1～第4の局面によれば、駆動素子の閾値補正を行うときに、駆動素子の制御端子と第2の導通端子との間に表示色に応じて異なる初期電位差を与えることができる。このため、人間が色度の違いに敏感な色（例えば、青色）については、大きな初期電位差を与えて閾値補正を高い精度で行い、画質を高くすることができる。一方、人間が色度の違いに鈍感な色（例えば、緑色）については、小さな初期電位差を与えて信号線の過剰な充放電を減らし、消費電力を削減することができる。このように、駆動素子の制御端子と第2の導通端子との間に与える初期電位差を人間の視覚特性を考慮して表示色に応じて切り替えることにより、画質を高くし、消費電力を削減することができる。

40

【0024】

特に、少なくとも2種類の画素回路間で異なる電源電圧を駆動素子の第2の導通端子に印加することにより、駆動素子の閾値補正を行うときに、駆動素子の制御端子と第2の導通端子との間に表示色に応じて異なる初期電位差を与え、画質を高くし、消費電力を削減することができる。

【図面の簡単な説明】

【0025】

【図1】第1参考例に係る表示装置の構成を示すブロック図である。

【図2】図1に示す表示装置に含まれる画素回路の回路図である。

【図3】図1に示す表示装置に含まれる出力回路の回路図である。

50

【図４】図１に示す表示装置における画素回路の駆動方法を示すタイミングチャートである。

【図５】ダイオード接続されたＴＦＴにおけるゲート－ソース間電圧の時間的变化の例を示す図である。

【図６】比較例に係る表示装置の構成を示すブロック図である。

【図７】図６に示す表示装置に含まれる出力回路の回路図である。

【図８】本発明の第１の実施形態に係る表示装置の構成を示すブロック図である。

【図９】図８に示す表示装置に含まれる画素回路の回路図である。

【図１０】図８に示す表示装置に含まれる出力回路の回路図である。

【図１１】第２参考例に係る表示装置の構成を示すブロック図である。

10

【図１２】図１１に示す表示装置に含まれる画素回路の回路図である。

【図１３】図１１に示す表示装置における画素回路の駆動方法を示すタイミングチャートである。

【図１４】従来の表示装置（第１の例）に含まれる画素回路と出力スイッチの回路図である。

【図１５】図１４に示す画素回路の駆動方法を示すタイミングチャートである。

【図１６】従来の表示装置（第２の例）に含まれる画素回路の回路図である。

【図１７】マッカラムの色度判別閾を示す図である。

【発明を実施するための形態】

【００２６】

20

図１～図１３を参照して、本発明の実施形態に係る表示装置について説明する。以下に示す表示装置は、電気光学素子や複数のスイッチング素子を含む画素回路を備えている。画素回路に含まれるスイッチング素子は、低温ポリシリコンＴＦＴやＣＧシリコンＴＦＴやアモルファスシリコンＴＦＴなどで構成することができる。これらＴＦＴの構成や作成プロセスは公知であるため、ここではその説明を省略する。また、画素回路に含まれる電気光学素子は、有機ＥＬ素子であるとする。有機ＥＬ素子の構成も公知であるので、ここではその説明を省略する。以下、 m は３の倍数、 n は２以上の整数、 i は１以上 n 以下の整数、 j は１以上 m 以下の整数、 k は１以上 $(m/3)$ 以下の整数であるとする。

【００２７】

以下の説明では、まず、第１参考例に係る表示装置について説明し、続いて、本発明の第１の実施形態に係る表示装置について説明する。その後、第２参考例に係る表示装置について説明し、続いて、本発明の第２の実施形態に係る表示装置について説明する。

30

【００２８】

（第１参考例および第１の実施形態）

図１は、第１参考例に係る表示装置の構成を示すブロック図である。図１に示す表示装置１０は、表示制御回路１１、ゲートドライバ回路１２、ソースドライバ回路１３、電源１４、および、 $(m \times n)$ 個の画素回路２０を備え、ＲＧＢ３色によるカラー表示を行う。

【００２９】

表示装置１０には、互いに平行な n 本の走査線 G_i と、これに直交する互いに平行な m 本のデータ線 S_j とが設けられる。画素回路２０は、走査線 G_i とデータ線 S_j の各交差点に対応してマトリクス状に配置されている。また、走査線 G_i と平行に、互いに平行な制御線 W_i 、 R_i が n 本ずつ配置されている。走査線 G_i と制御線 W_i 、 R_i はゲートドライバ回路１２に接続され、データ線 S_j はソースドライバ回路１３に接続されている。さらに、画素回路２０の配置領域には、電源配線 V_p と共通陰極 V_{com} （いずれも図示せず）が配置されている。以下、走査線 G_i が伸延する方向（図１では横方向）を行方向、データ線 S_j が伸延する方向（図１では縦方向）を列方向という。

40

【００３０】

画素回路２０は、赤色を表示するもの、緑色を表示するもの、および、青色を表示するものに分類される（以下、それぞれ、Ｒ画素回路、Ｇ画素回路およびＢ画素回路という）

50

。画素回路 20 の各列には、同じ色を表示する画素回路が配置される。具体的には、 $(3k - 2)$ 列目には R 画素回路が配置され、 $(3k - 1)$ 列目には G 画素回路が配置され、 $3k$ 列目には B 画素回路が配置される。以下、 $(3k - 2) \sim 3k$ 列目の画素回路に対応したデータ線を $S k_R$ 、 $S k_G$ 、 $S k_B$ ともいう。

【0031】

表示制御回路 11 は、ゲートドライバ回路 12 に対してタイミング信号 OE、スタートパルス YI およびクロック YCK を出力する。また、表示制御回路 11 は、ソースドライバ回路 13 に対して、スタートパルス SP、クロック CLK、データ電圧 DA およびラッチパルス LP を出力する。さらに、表示制御回路 11 は、ソースドライバ回路 13 に接続される 5 本の制御線 $SCAN1_R$ 、 $SCAN1_G$ 、 $SCAN1_B$ 、 $SCAN2$ 、 $SCAN3$ の電位を制御する。

10

【0032】

ゲートドライバ回路 12 とソースドライバ回路 13 は、画素回路 20 の駆動回路である。ゲートドライバ回路 12 は、シフトレジスタ回路、論理演算回路およびバッファ（いずれも図示せず）を含んでいる。シフトレジスタ回路は、クロック YCK に同期してスタートパルス YI を順次転送する。論理演算回路は、シフトレジスタ回路の各段から出力されたパルスとタイミング信号 OE との間で論理演算を行う。論理演算回路の出力は、バッファを経由して、対応する走査線 G_i と制御線 W_i 、 R_i に与えられる。1 本の走査線 G_i には m 個の画素回路 20 が接続されており、画素回路 20 は走査線 G_i を用いて m 個ずつ一括して選択される。

20

【0033】

ソースドライバ回路 13 は、 m ビットのシフトレジスタ 15、レジスタ 16、ラッチ 17、および、 m 個の出力回路 30 を含み、1 行分の画素回路 20 に同じタイミングで電圧を書き込む線順次走査を行う。より詳細には、シフトレジスタ 15 は、縦続接続された m 個のレジスタを有し、初段のレジスタに供給されたスタートパルス SP をクロック CLK に同期して転送し、各段のレジスタからタイミングパルス DLP を出力する。タイミングパルス DLP の出力タイミングに合わせて、レジスタ 16 にはアナログのデータ電圧 DA が供給される。レジスタ 16 は、タイミングパルス DLP に従い、データ電圧 DA を記憶する。レジスタ 16 に 1 行分のデータ電圧 DA が記憶されると、表示制御回路 11 はラッチ 17 に対してラッチパルス LP を出力する。ラッチ 17 は、ラッチパルス LP を受け取ると、レジスタ 16 に記憶されたデータ電圧を保持する。なお、データ電圧 DA は、例えば、表示装置 10 の外部に設けられた D/A 変換器（図示せず）においてデジタルの表示データをアナログ信号に変換することにより得られる。

30

【0034】

出力回路 30 は、データ線 S_j に対応して設けられる。出力回路 30 は、ゲートドライバ回路 12 によって選択された画素回路 20 から出力された電圧をデータ線 S_j 経由で受け取り、受け取った電圧とラッチ 17 から出力されたデータ電圧（以下、 V_{data} という）とに基づく電圧をデータ線 S_j に印加する。出力回路 30 の作用により、画素回路 20 に含まれる駆動用 TFT の閾値補正を行うことができる（詳細は後述）。

【0035】

40

電源 14 は、表示装置 10 の各部に電源電圧を供給する。より詳細には、電源 14 は、画素回路 20 に対して電源電圧 V_{DD} 、 V_{SS} （ただし、 $V_{DD} > V_{SS}$ ）を供給すると共に、出力回路 30 に対して初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} と参照電圧 V_{ref_R} 、 V_{ref_G} 、 V_{ref_B} を供給する。初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} は、駆動用 TFT 21 の閾値補正を行うときに駆動用 TFT 21 のゲート端子に最初に印加される電圧である。なお、図 1 では、電源 14 と画素回路 20 を接続する配線は省略されている。

【0036】

ソースドライバ回路 13 は、線順次走査に代えて、各画素回路 20 に 1 つずつ順に電圧を書き込む点順次走査を行ってもよい。点順次走査を行うときには、ある走査線 G_i が選

50

扱われている間、データ線 S_j の電圧はデータ線 S_j の容量によって保持される。点順次走査を行うソースドライバ回路の構成は公知であるので、ここでは説明を省略する。

【0037】

図2は、画素回路20の回路図である。図2に示すように、画素回路20は、駆動用TFT21、スイッチ用TFT22~24、有機EL素子25、および、コンデンサ26を備えている。駆動用TFT21はPチャネル型のエンハンスメント型、スイッチ用TFT22、23はNチャネル型、スイッチ用TFT24はPチャネル型である。スイッチ用TFT22は書き込み用スイッチング素子として機能し、スイッチ用TFT23は補償用スイッチング素子として機能する。

【0038】

画素回路20は、電源配線Vp、共通陰極Vcom、走査線Gi、制御線Wi、Ri、および、データ線Sjに接続されている。電源配線Vpには電源14から供給された電源電圧VDDが印加され、共通陰極Vcomには電源14から供給された電源電圧VSSが印加される。共通陰極Vcomは、表示装置10内のすべての有機EL素子25に共通する陰極となる。

【0039】

画素回路20では、電源配線Vpと共通陰極Vcomとの間に、電源配線Vp側から順に、駆動用TFT21、スイッチ用TFT24および有機EL素子25が直列に設けられている。駆動用TFT21のゲート端子とデータ線Sjとの間には、スイッチ用TFT22が設けられている。駆動用TFT21のゲート端子とドレイン端子との間にはスイッチ用TFT23が設けられ、駆動用TFT21のゲート端子と電源配線Vpとの間にはコンデンサ26が設けられている。スイッチ用TFT22~24のゲート端子は、それぞれ、走査線Gi、制御線Wiおよび制御線Riに接続されている。走査線Giと制御線Wi、Riの電位はゲートドライバ回路12によって制御され、データ線Sjの電位はソースドライバ回路13によって制御される。以下、駆動用TFT21のゲート端子が接続される節点をAという。

【0040】

図3は、出力回路30の回路図である。出力回路30は、R画素回路に対応するもの、G画素回路に対応するもの、および、B画素回路に対応するものに分類される（以下、それぞれ、R出力回路、G出力回路およびB出力回路という）。図3に示すように、R出力回路30r、G出力回路30gおよびB出力回路30bは、いずれも、Nチャネル型のスイッチ31~36とコンデンサ37を備えている。これら3個の出力回路30に対応して、アナログバッファ38が1個設けられる。アナログバッファ38は、ボルテージホロワ回路（ユニティゲインアンプ）である。以下、コンデンサ37の一方の電極（図3では上側の電極）が接続される節点をB、他方の電極が接続される節点をCという。

【0041】

R出力回路30rは、以下の構成を有する。スイッチ31の一端はデータ線Sk_Rに接続され、他端は節点Bに接続される。スイッチ32の一端は節点Cに接続され、他端には参照電圧Vref_Rが印加される。スイッチ33の一端は節点Cに接続され、他端にはラッチ17から出力されたデータ電圧Vdataが印加される。スイッチ34の一端は節点Bに接続され、他端はアナログバッファ38の入力に接続される。スイッチ35の一端はデータ線Sk_Rに接続され、他端はアナログバッファ38の出力に接続される。スイッチ36の一端はデータ線Sk_Rに接続され、他端には初期電圧Vint_Rが印加される。スイッチ31、32のゲート端子は制御線SCAN2に接続され、スイッチ33~35のゲート端子は制御線SCAN1_Rに接続され、スイッチ36のゲート端子は制御線SCAN3に接続される。

【0042】

G出力回路30gおよびB出力回路30bの構成は、R出力回路30rと同様である。ただし、G出力回路30gでは、スイッチ31、35、36の一端はデータ線Sk_Gに接続され、スイッチ36の他端には初期電圧Vint_Gが印加され、スイッチ33~3

10

20

30

40

50

5 のゲート端子は制御線 $SCAN1_G$ に接続される。B 出力回路 30b では、スイッチ 31、35、36 の一端はデータ線 Sk_B に接続され、スイッチ 36 の他端には初期電圧 V_{int_B} が印加され、スイッチ 33 ~ 35 のゲート端子は制御線 $SCAN1_B$ に接続される。

【0043】

以下、R 画素回路、G 画素回路および B 画素回路内の駆動用 TFT 21 の閾値電圧を、それぞれ、 V_{th_R} 、 V_{th_G} および V_{th_B} (ただし、いずれも負の値) とする。また、駆動用 TFT 21 のゲート端子に閾値電圧が印加されているとき、駆動用 TFT 21 は閾値状態にあるという。初期電圧 V_{int_R} と参照電圧 V_{ref_R} は、R 画素回路内の駆動用 TFT 21 の閾値補正に使用される。同様に、初期電圧 V_{int_G} と参照電圧 V_{ref_G} は G 画素回路内の駆動用 TFT 21 の閾値補正に使用され、初期電圧 V_{int_B} と参照電圧 V_{ref_B} は B 画素回路の駆動用 TFT 21 の閾値補正に使用される。

【0044】

図 4 は、画素回路 20 の駆動方法を示すタイミングチャートである。以下、図 4 を参照して、R 出力回路 30r、G 出力回路 30g および B 出力回路 30b (以下、総称して 3 個の出力回路 30 ともいう) を用いて、走査線 Gi とデータ線 Sk_R 、 Sk_G 、 Sk_B に接続された 3 個の画素回路 20 に対して、それぞれのデータ電圧 V_{data} を書き込むときの動作を説明する。図 4 では、時刻 t_0 から時刻 t_4 までが 3 個の画素回路 20 の選択期間となる。時刻 t_2 より前では、3 個の画素回路 20 の駆動用 TFT 21 のゲート端子電位を並列に検知する処理が行われ、時刻 t_2 より後では、3 個の画素回路 20 に対して補正後のデータ電圧を順に書き込む処理が行われる。

【0045】

時刻 t_0 より前では、走査線 Gi と制御線 Wi 、 Ri の電位はローレベルに制御される。このため、3 個の画素回路 20 では、スイッチ用 TFT 22、23 は非導通状態にあり、スイッチ用 TFT 24 は導通状態にある。このとき駆動用 TFT 21 は導通状態にあるので、電源配線 Vp から駆動用 TFT 21 とスイッチ用 TFT 24 を経由して有機 EL 素子 25 に電流が流れ、有機 EL 素子 25 は発光する。このように時刻 t_0 より前では、3 個の画素回路 20 内の有機 EL 素子 25 はいずれも発光状態にある。

【0046】

時刻 t_0 において走査線 Gi と制御線 Wi 、 Ri の電位がハイレベルに変化すると、3 個の画素回路 20 では、スイッチ用 TFT 22、23 が導通状態に変化し、スイッチ用 TFT 24 が非導通状態に変化する。また、時刻 t_0 では制御線 $SCAN3$ の電位がハイレベルに変化するので、3 個の出力回路 30 ではスイッチ 36 が導通状態に変化する。このため、データ線 Sk_R と R 画素回路内の節点 A の電位は V_{int_R} になる。同様に、データ線 Sk_G と G 画素回路内の節点 A の電位は V_{int_G} になり、データ線 Sk_B と B 画素回路内の節点 A の電位は V_{int_B} になる。時刻 t_0 以降、3 個の画素回路 20 では、駆動用 TFT 21 を通過した電流は、スイッチ用 TFT 23 を経由して節点 A に流れ込む。

【0047】

次に時刻 t_1 において制御線 $SCAN3$ の電位がローレベルに変化すると、3 個の出力回路ではスイッチ 36 が非導通状態に変化する。時刻 t_1 以降も、3 個の画素回路 20 では駆動用 TFT 21 を通過した電流は、スイッチ用 TFT 23 を経由して節点 A に流れ込み、節点 A の電位は駆動用 TFT 21 が導通状態である間は上昇する。このときスイッチ用 TFT 22 は導通状態にあるので、データ線 Sk_R 、 Sk_G 、 Sk_B の電位は、3 個の画素回路 20 内の節点 A の電位にそれぞれ等しい。

【0048】

時刻 t_0 から時刻 t_2 までの間、制御線 $SCAN1_R$ 、 $SCAN1_G$ 、 $SCAN1_B$ の電位はローレベルに、制御線 $SCAN2$ の電位はハイレベルに制御される。このため、3 個の出力回路 30 ではスイッチ 31、32 は導通状態となり、スイッチ 33、34

は非導通状態となる。したがって、R出力回路30rでは、節点Cの電位は V_{ref_R} になり、節点Bの電位はデータ線 Sk_R の電位およびR画素回路内の節点Aの電位に等しくなる。同様に、G出力回路30gでは、節点Cの電位は V_{ref_G} になり、節点Bの電位はデータ線 Sk_G の電位およびG画素回路内の節点Aの電位に等しくなる。また、B出力回路30bでは、節点Cの電位は V_{ref_B} になり、節点Bの電位はデータ線 Sk_B の電位およびB画素回路内の節点Aの電位に等しくなる。

【0049】

次に時刻 t_2 において制御線 Wi の電位がローレベルに変化すると、3個の画素回路20ではスイッチ用 TFT_{23} が非導通状態に変化する。また、時刻 t_2 では制御線 $SCAN_2$ の電位がローレベルに変化するので、3個の出力回路30ではスイッチ31、32が非導通状態に変化する。時刻 t_2 の直前におけるR画素回路、G画素回路およびB画素回路内の節点Aの電位を、それぞれ、 $(V_{DD} + V_{x_R})$ 、 $(V_{DD} + V_{x_G})$ および $(V_{DD} + V_{x_B})$ とする。ただし、電圧 V_{x_R} 、 V_{x_G} 、 V_{x_B} はいずれも負の値であり、 $|V_{x_R}| > |V_{th_R}|$ 、 $|V_{x_G}| > |V_{th_G}|$ 、 $|V_{x_B}| > |V_{th_B}|$ を満たすとする。

【0050】

時刻 t_2 においてスイッチ31、32が非導通状態に変化したとき、R出力回路30r内のコンデンサ37には電圧 $(V_{DD} + V_{x_R} - V_{ref_R})$ が保持される。同様に、G出力回路30g内のコンデンサ37には電圧 $(V_{DD} + V_{x_G} - V_{ref_G})$ が保持され、B出力回路30b内のコンデンサ37には電圧 $(V_{DD} + V_{x_B} - V_{ref_B})$ が保持される。

【0051】

上述したように、R画素回路内の節点Aの電位は、駆動用 TFT_{21} が導通状態である間は上昇する。したがって、十分な時間があれば、R画素回路内の節点Aの電位は、駆動用 TFT_{21} のゲート-ソース間電圧が閾値電圧 V_{th_R} （負の値）になる（すなわち、駆動用 TFT_{21} が閾値状態になる）まで上昇し、最終的に $(V_{DD} + V_{th_R})$ に到達する。しかし、表示装置10では、駆動用 TFT_{21} が導通状態である間に（すなわち、駆動用 TFT_{21} が閾値状態になる前に）、時刻 t_2 になる。このため、時刻 t_2 の直前における節点Aの電位 $(V_{DD} + V_{x_R})$ は $(V_{DD} + V_{th_R})$ よりも低い。電圧 V_{x_R} は閾値電圧 V_{th_R} に応じて変化し、閾値電圧 V_{th_R} の絶対値が大きいほど電圧 V_{x_R} の絶対値は大きくなる。同様に、時刻 t_2 の直前におけるG画素回路内の節点Aの電位 $(V_{DD} + V_{x_G})$ は $(V_{DD} + V_{th_G})$ よりも低く、閾値電圧 V_{th_G} の絶対値が大きいほど電圧 V_{x_G} の絶対値は大きくなる。また、時刻 t_2 の直前におけるB画素回路内の節点Aの電位 $(V_{DD} + V_{x_B})$ は $(V_{DD} + V_{th_B})$ よりも低く、閾値電圧 V_{th_B} の絶対値が大きいほど電圧 V_{x_B} の絶対値は大きくなる。

【0052】

次に時刻 t_3 から時刻 t_4 までの間に、制御線 $SCAN_1_R$ 、 $SCAN_1_G$ 、 $SCAN_1_B$ の電位が所定時間ずつハイレベルになり、これに同期して、ラッチ17から出力されるデータ電圧 V_{data} は V_{d_R} 、 V_{d_G} 、 V_{d_B} と変化する。

【0053】

制御線 $SCAN_1_R$ の電位がハイレベルである間、R出力回路30r内の節点Cにはラッチ17から出力されたデータ電圧 V_{d_R} が印加され、節点Bはスイッチ34とアナログバッファ38を介してデータ線 Sk_R に接続される。R出力回路30rでは、コンデンサ37が電圧 $(V_{DD} + V_{x_R} - V_{ref_R})$ を保持している間に、節点Cの電位が V_{ref_R} から V_{d_R} に変化する。したがって、節点Bの電位も、同じ量 $(V_{d_R} - V_{ref_R})$ だけ変化して $(V_{DD} + V_{x_R}) + (V_{d_R} - V_{ref_R}) = (V_{DD} + V_{x_R} + V_{d_R} - V_{ref_R})$ となる。このときR出力回路30r内のスイッチ34、35は導通状態にあり、アナログバッファ38の入力電圧と出力電圧は等しいので、データ線 Sk_R の電位はR出力回路30r内の節点Bと同じく $(V_{DD} +$

10

20

30

40

50

$V_{x_R} + V_{d_R} - V_{ref_R}$) となる。このとき R 画素回路ではスイッチ用 T F T 2 2 が導通状態にあるので、節点 A はデータ線 S_{k_R} と同じ電位になる。

【 0 0 5 4 】

同様に、制御線 S_{CAN1_G} の電位がハイレベルである間、G 出力回路 3 0 g 内の節点 B の電位は $(V_{DD} + V_{x_G} + V_{d_G} - V_{ref_G})$ となり、データ線 S_{k_G} および G 画素回路内の節点 A の電位はこれに等しくなる。また、制御線 S_{CAN1_B} の電位がハイレベルである間、B 出力回路 3 0 b 内の節点 B の電位は $(V_{DD} + V_{x_B} + V_{d_B} - V_{ref_B})$ となり、データ線 S_{k_B} および B 画素回路内の節点 A の電位はこれに等しくなる。

【 0 0 5 5 】

10

次に時刻 t_4 において走査線 G_i と制御線 R_i の電位がローレベルに変化すると、3 個の画素回路 2 0 ではスイッチ用 T F T 2 2 が非導通状態に変化し、スイッチ用 T F T 2 4 が導通状態に変化する。また、時刻 t_4 以降、制御線 S_{CAN1_R} 、 S_{CAN1_G} 、 S_{CAN1_B} の電位はローレベルになるので、3 個の出力回路 3 0 ではスイッチ 3 3、3 4 は非導通状態になる。

【 0 0 5 6 】

時刻 t_4 において、R 画素回路内のコンデンサ 2 6 には、駆動用 T F T 2 1 のゲート - ソース間電圧 $(V_{x_R} + V_{d_R} - V_{ref_R})$ が保持される。同様に、G 画素回路内のコンデンサ 2 6 には電圧 $(V_{x_G} + V_{d_G} - V_{ref_G})$ が保持され、B 画素回路内のコンデンサ 2 6 には電圧 $(V_{x_B} + V_{d_B} - V_{ref_B})$ が保持される。なお、制御線 R_i に与えられるオン電位 (ローレベル電位) は、スイッチ用 T F T 2 4 が線形領域で動作するように決定される。

20

【 0 0 5 7 】

時刻 t_4 以降、3 個の画素回路 2 0 内のコンデンサ 2 6 に保持された電圧は変化しない。このため、R 画素回路内の節点 A の電位は $(V_{DD} + V_{x_R} + V_{d_R} - V_{ref_R})$ のままである。同様に、G 画素回路内の節点 A の電位は $(V_{DD} + V_{x_G} + V_{d_G} - V_{ref_G})$ のままであり、B 画素回路内の節点 A の電位は $(V_{DD} + V_{x_B} + V_{d_B} - V_{ref_B})$ のままである。したがって、3 個の画素回路 2 0 では、時刻 t_4 以降、次に制御線 R_i の電位がハイレベルとなるまで、電源配線 V_p から駆動用 T F T 2 1 とスイッチ用 T F T 2 4 を経由して有機 E L 素子 2 5 に電流が流れ、有機 E L 素子 2 5 は発光する。このときに駆動用 T F T 2 1 を流れる電流の量は節点 A の電位に応じて増減するが、以下に示すように、駆動用 T F T 2 1 の閾値電圧が異なってもデータ電圧が同じであれば電流量を同じにすることができる。

30

【 0 0 5 8 】

例として、R 画素回路について説明する。R 画素回路内の駆動用 T F T 2 1 を飽和領域で動作させたとき、ドレイン - ソース間を流れる電流 I_{EL} は、チャネル長変調効果を無視すれば、次式 (1) で与えられる。

$$I_{EL} = -1/2 \cdot W/L \cdot C_{ox} \cdot \mu \times (V_g - V_{DD} - V_{th_R})^2 \quad \dots (1)$$

ただし、上式 (1) において、 W/L は駆動用 T F T 2 1 のアスペクト比、 C_{ox} はゲート容量、 μ は移動度、 V_g はゲート端子電位 (節点 A の電位) である。

40

【 0 0 5 9 】

式 (1) に示す電流 I_{EL} は、一般には、閾値電圧 V_{th_R} に応じて変動する。R 画素回路では、有機 E L 素子 2 5 が発光するときに駆動用 T F T 2 1 のゲート端子電位 V_g は $(V_{DD} + V_{x_R} + V_{d_R} - V_{ref_R})$ となるので、電流 I_{EL} は次式 (2) に示すようになる。

$$I_{EL} = -1/2 \cdot W/L \cdot C_{ox} \cdot \mu \cdot \{V_{d_R} - V_{ref_R} + (V_{x_R} - V_{th_R})\}^2 \quad \dots (2)$$

式 (2) において電圧 V_{x_R} が閾値電圧 V_{th_R} に一致すれば、電流 I_{EL} は閾値電圧 V_{th_R} には依存しない。また、電圧 V_{x_R} が閾値電圧 V_{th_R} に一致しなくて

50

も、両者の差が一定であれば、電流 I_{EL} は閾値電圧 V_{th_R} には依存しない。

【0060】

表示装置 10 では、R 画素回路内の 2 つの TFT 間で電圧 V_{x_R} の差が閾値電圧 V_{th_R} の差とほぼ同じになるように、閾値補正期間（時刻 t_1 から時刻 t_2 までの期間）の長さや初期電圧 V_{int_R} のレベルが決定される。このため、式（2）に含まれる電圧差（ $V_{x_R} - V_{th_R}$ ）はほぼ一定になる。したがって、R 画素回路では、閾値電圧 V_{th_R} の値にかかわらず、有機 EL 素子 25 にはデータ電圧 V_{d_R} に応じた量の電流が流れ、有機 EL 素子 25 はデータ電圧 V_{d_R} に応じた輝度で発光する。

【0061】

同様に、G 画素回路では、閾値電圧 V_{th_G} の値にかかわらず、有機 EL 素子 25 にはデータ電圧 V_{d_G} に応じた量の電流が流れ、有機 EL 素子 25 はデータ電圧 V_{d_G} に応じた輝度で発光する。また、B 画素回路では、閾値電圧 V_{th_B} の値にかかわらず、有機 EL 素子 25 にはデータ電圧 V_{d_B} に応じた量の電流が流れ、有機 EL 素子 25 はデータ電圧 V_{d_B} に応じた輝度で発光する。表示装置 10 では、閾値補正は画素回路 20 の外部に設けられた出力回路 30 によって行われるが、出力回路 30 には複雑な論理回路やメモリなどを設ける必要がない。

【0062】

以下、初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} について説明する。画素回路 20 では、図 4 に示す時刻 t_0 でスイッチ用 TFT 23 が導通状態になると、駆動用 TFT 21 はダイオード接続された状態になる。従来の有機 EL ディスプレイでは、駆動用 TFT がダイオード接続されてから、駆動用 TFT のゲート - ソース間電圧 V_{gs} が閾値電圧 V_{th} に十分に近づくまでの期間が、閾値補正期間となる。電圧 V_{gs} が閾値電圧 V_{th} に十分に近づけば、2 つの駆動用 TFT 間の閾値電圧の差を検出できるからである。

【0063】

ところが、高精細の表示装置では、画素回路の選択期間が短く、選択期間内に電圧 V_{gs} を閾値電圧 V_{th} に十分に近づけられないことがある。特に、第 1 参考例に係る表示装置 10 では、駆動用 TFT 21 の閾値電圧 V_{th} を検知するときに、コンデンサ 37 とデータ線 S_j の寄生容量を充電する必要があるので、選択期間内に閾値電圧を検知する処理と補正後のデータ電圧を書き込む処理を行うためには工夫が必要である。

【0064】

そこで表示装置 10 では、補正後のデータ電圧を書き込む処理を開始する前に閾値電圧のばらつきを検知するために、スイッチ 36 の作用によりデータ線 S_{k_R} 、 S_{k_G} 、 S_{k_B} に、それぞれ、初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} が固定的に与えられる。これにより、駆動用 TFT 21 の閾値電圧 V_{th} に応じた電圧がデータ線 S_j に出力されるまでの時間を短縮することができる。したがって、閾値補正期間が短い場合でも、補正効果のばらつきを抑え、画質を向上させることができる。

【0065】

初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} は、閾値補正期間の長さや閾値補正に要求される精度などに基づき決定される。スイッチ用 TFT 23 が導通状態にあり、駆動用 TFT 21 がダイオード接続されているとき、駆動用 TFT 21 の電流バランスに

【数 1】

$$k(V_{gs}(t) - V_{th})^2 = -C \frac{dV_{gs}(t)}{dt} \quad \dots (3)$$

ただし、式（3）において、 k は定数、 C は保持容量と信号線容量の和である。

【0066】

この微分方程式を解くと、次式（4）が得られる。

【数 2】

$$V_{gs}(t) = \frac{1}{\frac{k}{C}t + \frac{1}{V_{gs0} - V_{th}}} + V_{th} \quad \cdots (4)$$

ただし、式(4)において、 V_{gs0} は電圧 V_{gs} の初期値である。

【0067】

閾値電圧が ΔV_{th} だけ異なる2つのTFTを考えたとき、所定時間経過後に2つのTFT間で電圧 V_{gs} の差が ΔV_{th} に近ければ、各TFTの閾値電圧を検出できたと言える。電圧 V_{gs} の差は、次式(5)で与えられる。

10

【数 3】

$$\Delta V_{gs}(t) = \Delta V_{th} + \frac{1}{\frac{k}{C}t + \frac{1}{V_{gs0} - V_{th} - \Delta V_{th}}} - \frac{1}{\frac{k}{C}t + \frac{1}{V_{gs0} - V_{th}}} \quad \cdots (5)$$

したがって、許容時間内に式(5)に示す $\Delta V_{gs}(t)$ が ΔV_{th} に十分に近づくように電圧 V_{gs} の初期値 V_{gs0} を決定し、それに応じて初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} を求めればよい。

【0068】

図5は、ダイオード接続された駆動用TFTのゲート-ソース間電圧 V_{gs} の時間的変化の例を示す図である。図5には、閾値電圧が異なる2個のTFT($V_{th} = -0.8V$ と $V_{th} = -1.0V$)に対して、予め2種類の電圧 V_{gs0} ($V_{gs0} = -5V$ と $V_{gs0} = -1.5V$)を与え、その後にソース端子とドレイン端子を短絡してTFTをダイオード接続したときのゲート-ソース間電圧 V_{gs} の変化が記載されている。

20

【0069】

2個のTFTに予め電圧 V_{gs0} を与え、 $30\mu s$ 経過後の電圧 V_{gs} の絶対値 $|V_{gs}|$ を比較する。 $|V_{gs0}| = 5V$ の場合、 $30\mu s$ 後に2つの値 $|V_{gs}|$ はそれぞれの最終値($0.8V$ と $1.0V$)から離れているが、両者の差は既に最終値($0.2V$)にほぼ等しくなっている。これに対して、 $|V_{gs0}| = 1.5V$ の場合、 $30\mu s$ 後に2つの値 $|V_{gs}|$ はそれぞれの最終値に接近しているが、両者の差は依然として最終値から離れている。このように $|V_{gs0}|$ が大きいときほど、2つの値 $|V_{gs}|$ の差は速く増大するので、閾値補正期間を短くすることができる。したがって、高い精度で閾値補正を行うためには、 $|V_{gs0}|$ を大きくすることが好ましい。一方、 $|V_{gs0}|$ を大きくすると、データ線Sjとコンデンサ37の充放電によって消費電力が増加する。

30

【0070】

この点を考慮して、表示装置10では、3種類の初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} が使用される。R画素回路には初期電圧 V_{int_R} が使用され、G画素回路には初期電圧 V_{int_G} が使用され、B画素回路には初期電圧 V_{int_B} が使用される。これら3種類の初期電圧は、以下のようにして決定される。以下、R画素回路内の駆動用TFT21のゲート端子に初期電圧 V_{int_R} を印加したときのゲート-ソース間電圧($V_{DD} - V_{int_R}$)を V_{gs0_R} という。同様に、G画素回路内の駆動用TFT21のゲート端子に初期電圧 V_{int_G} を印加したときのゲート-ソース間電圧を V_{gs0_G} といい、B画素回路内の駆動用TFT21のゲート端子に初期電圧 V_{int_B} を印加したときのゲート-ソース間電圧を V_{gs0_B} という。

40

【0071】

表示装置10では、初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} のうち、少なくとも2つが互いに異なるように設定される。具体的には、G画素回路用の初期電圧 V_{int_G} とB画素回路用の初期電圧 V_{int_B} が異なり、 $|V_{gs0_G}| < |V_{gs0_B}|$ を満たすことが好ましい。また、初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} が互いにすべて異なり、 $|V_{gs0_G}| < |V_{gs0_R}| < |V_{gs0_B}|$

50

を満たすことがより好ましい。初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} は、いずれも電源電圧 V_{DD} よりも低いレベルに設定される。このように初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} を設定した場合、スイッチ用 T F T 2 3 の導通期間にスイッチ用 T F T 2 3 を流れる電流は、3 種類の画素回路の中で B 画素回路において最大となり、G 画素回路において最小となる。

【0072】

以下、比較例に係る表示装置と対比して、第 1 参考例に係る表示装置 1 0 の効果を説明する。図 6 は、比較例に係る表示装置の構成を示すブロック図である。図 6 に示す表示装置 1 1 0 は、出力回路 3 0 を含むソースドライバ回路 1 3 に代えて、出力回路 1 1 5 を含むソースドライバ回路 1 1 3 を備えている。図 7 は、出力回路 1 1 5 の回路図である。図 6 に示す電源 1 1 4 は、画素回路 2 0 に対して電源電圧 V_{DD} 、 V_{SS} を供給すると共に、出力回路 1 1 5 に対して初期電圧 V_{int} と参照電圧 V_{ref} を 1 種類ずつ供給する。表示装置 1 1 0 は、表示装置 1 0 と同じタイミングチャート（図 4）に従って動作する。なお、表示装置 1 1 0 は、本出願と出願人および発明者が共通する別の出願（国際特許出願 P C T / J P 2 0 0 7 / 6 9 1 8 4）に記載されたものである。

【0073】

第 1 参考例に係る表示装置 1 0 と比較例に係る表示装置 1 1 0 では、駆動用 T F T 2 1 の閾値補正を行うときに、駆動用 T F T 2 1 のゲート端子に初期電圧が印加される。このとき、上述したように、駆動用 T F T 2 1 のゲート - ソース間電圧の初期値の絶対値 $|V_{gs0}|$ が大きくなる初期電圧を使用すれば、閾値補正の精度が高くなり、 $|V_{gs0}|$ が小さくなる初期電圧を使用すれば、消費電力が減少する。

【0074】

比較例に係る表示装置 1 1 0 では、装置全体で 1 種類の初期電圧 V_{int} が使用される。このため、緑色を基準として初期電圧 V_{int} を決定すると、 $|V_{gs0}|$ は小さくなり、消費電力は減少するが、青色や赤色では閾値補正の精度が不十分となり、画質が低下する。一方、青色を基準として初期電圧 V_{int} を決定すると、 $|V_{gs0}|$ は大きくなり、画質は良くなるが、青色よりも鈍感にしか判別できない緑色や赤色についても同じ初期電圧を使用するために、消費電力が必要以上に増大する。

【0075】

これに対して、第 1 参考例に係る表示装置 1 0 では、複数の初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} が使用され、このうち少なくとも 2 つ以上が異なっている。このため、例えば、B 画素回路には $|V_{gs0}|$ が大きくなる初期電圧 V_{int_B} を使用し、G 画素回路には $|V_{gs0}|$ が小さくなる初期電圧 V_{int_G} を使用することができる。これにより、人間が色度の違いに敏感な青色については、駆動用 T F T 2 1 のゲート端子とソース端子との間に大きな初期電位差を与え、閾値補正を高い精度で行い、画質を高くすることができる。一方、人間が色度の違いに鈍感な緑色については、駆動用 T F T 2 1 のゲート端子とソース端子との間に小さな初期電位差を与え、信号線の過剰な充放電を減らし、消費電力を削減することができる。また、 $|V_{gs0_G}| < |V_{gs0_R}| < |V_{gs0_B}|$ を満たす初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} を使用すれば、上記の効果をさらに高めることができる。

【0076】

このように第 1 参考例に係る表示装置 1 0 によれば、駆動用 T F T 2 1 の閾値補正を行うときに、表示色に応じた初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} を使用することにより、駆動用 T F T 2 1 のゲート端子とソース端子との間に与える初期電位差を人間の視覚特性を考慮して表示色に応じて切り替え、画質を高くし、消費電力を削減することができる。

【0077】

また、表示色に応じて異なる初期電圧を使用するときには、データ電圧 V_{data} のゼロ点を揃えることが好ましい。例えば、図 5 に示す例では、 $30\mu s$ 経過後の駆動用 T F T のゲート - ソース間電圧の絶対値 $|V_{gs}|$ は、 $|V_{gs0}| = 5V$ の場合でも $|V_{gs}|$

10

20

30

40

50

$s0 | = 1.5V$ の場合でも、最終値と異なっている。このため、表示色に応じて異なる初期電圧を使用して所定時間経過後の駆動用TFT21のゲート端子電圧を検出すると、検出された電圧には表示色に応じて異なるオフセットが加算される。この結果、例えば、黒表示を行うときに、R画素回路とG画素回路は完全な黒色になるが、B画素回路は完全な黒色にならないなどの現象が起こり得る。

【0078】

そこで、第1参考例に係る表示装置10では、複数の参照電圧 V_{ref_R} 、 V_{ref_G} 、 V_{ref_B} が使用される。式(2)に示すように、駆動用TFT21のドレイン-ソース間を流れる電流 I_{EL} は、参照電圧 V_{ref_R} などに依存する。したがって、参照電圧 V_{ref_R} 、 V_{ref_G} 、 V_{ref_B} を調整することにより、各色のデータ電圧 V_{data} のゼロ点を揃え、データ電圧の振幅を揃えることができる。このように表示装置10の内部でデータ電圧のゼロ点を揃えることにより、表示装置10の外部で行われるD/A変換を簡単化することができる。

10

【0079】

なお、上述した表示装置10では、駆動用TFT21のゲート端子とソース端子との間に表示色に応じた初期電位差を与えるために、データ線に印加する初期電圧を表示色に応じて切り替えることとしたが、これに代えて、駆動用TFT21のソース端子に印加される電源電圧を表示色に応じて切り替えてもよい。図8は、本発明の第1の実施形態に係る表示装置の構成を示すブロック図である。図8に示す表示装置40は、出力回路30を含むソースドライバ回路13に代えて、出力回路45を含むソースドライバ回路43を備え、電源14に代えて電源44を備えている。図9は表示装置40に含まれる画素回路20の回路図であり、図10は出力回路45の回路図である。

20

【0080】

図8に示す電源44は、画素回路20に対して電源電圧 V_{DD_R} 、 V_{DD_G} 、 V_{DD_B} 、 V_{SS} を供給すると共に、出力回路45に対して初期電圧 V_{int} と参照電圧 V_{ref_R} 、 V_{ref_G} 、 V_{ref_B} を供給する。図9に示すように、R画素回路20rは電源配線 V_{p_R} に接続され、G画素回路20gは電源配線 V_{p_G} に接続され、B画素回路20bは電源配線 V_{p_B} に接続される。電源配線 V_{p_R} には電源44から供給された電源電圧 V_{DD_R} が印加され、電源配線 V_{p_G} には電源44から供給された電源電圧 V_{DD_G} が印加され、電源配線 V_{p_B} には電源44から供給された電源電圧 V_{DD_B} が印加される。図10に示すR出力回路45r、G出力回路45gおよびB出力回路45bでは、スイッチ36の一方の端子には電源44から供給された同じ初期電圧 V_{int} が印加される。

30

【0081】

表示装置40では、電源電圧 V_{DD_R} 、 V_{DD_G} 、 V_{DD_B} のうち、少なくとも2つが互いに異なるように設定される。具体的には、G画素回路用の電源電圧 V_{DD_G} とB画素回路用の電源電圧 V_{DD_B} が異なり、 $|V_{gs0_G}| < |V_{gs0_B}|$ を満たすことが好ましい。また、電源電圧 V_{DD_R} 、 V_{DD_G} 、 V_{DD_B} が互いにすべて異なり、 $|V_{gs0_G}| < |V_{gs0_R}| < |V_{gs0_B}|$ を満たす(すなわち、 $V_{DD_G} < V_{DD_R} < V_{DD_B}$ を満たす)ことがより好ましい。

40

【0082】

このように構成された表示装置40でも、表示色に応じた電源電圧 V_{DD_R} 、 V_{DD_G} 、 V_{DD_B} を使用することにより、駆動用TFT21の閾値補正を行うときに、駆動用TFT21のゲート端子とソース端子との間に与える初期電位差を人間の視覚特性を考慮して表示色に応じて切り替え、画質を高くし、消費電力を削減することができる。また、複数の参照電圧 V_{ref_R} 、 V_{ref_G} 、 V_{ref_B} を用いることにより、表示装置40の内部でデータ電圧のゼロ点を揃え、表示装置40の外部で行われるD/A変換を簡単化することができる。

【0083】

なお、以上の説明では、3本のデータ線 S_{k_R} 、 S_{k_G} 、 S_{k_B} に対応してアナ

50

ログバッファを設けることとしたが、アナログバッファを p (p は 1 以上の任意の整数) 本のデータ線に対応して設けてもよい。

【0084】

(第2参考例および第2の実施形態)

図11は、第2参考例に係る表示装置の構成を示すブロック図である。図11に示す表示装置50は、表示制御回路51、ゲートドライバ回路52、ソースドライバ回路53、電源54、および、 $(m \times n)$ 個の画素回路60を備え、RGB3色によるカラー表示を行う。第2参考例の構成要素のうち第1参考例と同一の要素については、同一の参照符号を付して説明を省略し、以下では第1参考例に係る表示装置10との相違点を説明する。

【0085】

表示装置50には、互いに平行な n 本の走査線 GA_i と、これに直交する互いに平行な m 本のデータ線 S_j とが設けられる。画素回路60は、走査線 GA_i とデータ線 S_j の各交差点に対応してマトリクス状に配置されている。また、走査線 GA_i と平行に、互いに平行な走査線 GB_i と制御線 E_i が n 本ずつ配置されている。走査線 GA_i 、 GB_i と制御線 E_i はゲートドライバ回路52に接続され、データ線 S_j はソースドライバ回路53に接続されている。画素回路60の配置領域には、電源配線 V_p 、共通陰極 V_{com} および3系統のプリチャージ線(いずれも図示せず)が配置されている。

【0086】

第1参考例と同様に、画素回路60はR画素回路、G画素回路およびB画素回路に分類される。 $(3k-2)$ 列目にはR画素回路が配置され、 $(3k-1)$ 列目にはG画素回路が配置され、 $3k$ 列目にはB画素回路が配置される。

【0087】

表示制御回路51は、第1参考例に係る表示制御回路11から制御線 $SCAN1_R$ 、 $SCAN1_G$ 、 $SCAN1_B$ 、 $SCAN2$ 、 $SCAN3$ の電位を制御する機能を削除したものである。ゲートドライバ回路52は、第1参考例に係るゲートドライバ回路12と同様の構成を有し、走査線 GA_i 、 GB_i と制御線 E_i の電位を制御する。ソースドライバ回路53は、 m ビットのシフトレジスタ15、レジスタ16、ラッチ17、および、 m 個のアナログバッファ55を含み、線順次走査を行う。アナログバッファ55は、ボルテージホロワ回路(ユニティゲインアンプ)であり、データ線 S_j に対応して設けられる。

【0088】

電源54は、表示装置50の各部に電源電圧を供給する。より詳細には、電源54は、画素回路60に対して電源電圧 V_{DD} 、 V_{SS} を供給すると共に、画素回路60に対して初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} を供給する。なお、図11では、電源54と画素回路60を接続する配線は省略されている。

【0089】

図12は、画素回路60の回路図である。図12には、R画素回路60_r、G画素回路60_gおよびB画素回路60_b(以下、総称して3個の画素回路60ともいう)が記載されている。図12に示すように、3個の画素回路60は、いずれも、駆動用TFT61、スイッチ用TFT62~66、有機EL素子67、および、コンデンサ68を備えている。駆動用TFT61はPチャネル型のエンハンスメント型、スイッチ用TFT62~66はPチャネル型である。スイッチ用TFT62は書き込み用スイッチング素子として機能し、スイッチ用TFT63は補償用スイッチング素子として機能し、スイッチ用TFT65、66は初期化用スイッチング素子として機能する。

【0090】

R画素回路60_rは、電源配線 V_p 、共通陰極 V_{com} 、1本のプリチャージ線、走査線 GA_i 、 GB_i 、制御線 E_i 、および、データ線 Sk_R に接続されている。電源配線 V_p には電源54から供給された電源電圧 V_{DD} が印加され、共通陰極 V_{com} には電源54から供給された電源電圧 V_{SS} が印加され、プリチャージ線には電源54から供給された初期電圧 V_{int_R} が印加される。共通陰極 V_{com} は、表示装置50内のすべて

10

20

30

40

50

の有機EL素子67に共通する陰極となる。

【0091】

R画素回路60rでは、電源配線Vpと共通陰極Vcomとの間に、電源配線Vp側から順に、駆動用TFT61、スイッチ用TFT64および有機EL素子67が直列に設けられている。駆動用TFT61のゲート端子とデータ線Sk_Rとの間には、ゲート端子側から順に、コンデンサ68とスイッチ用TFT62が直列に設けられている。以下、コンデンサ68の一方の電極（駆動用TFT61側の電極）が接続される節点をD、他方の電極が接続される節点をEという。駆動用TFT61のゲート端子とドレイン端子の間にはスイッチ用TFT63が設けられ、節点Eと初期電圧Vint_Rが印加されたプリチャージ線との間にはスイッチ用TFT65が設けられ、駆動用TFT61のドレイン端子と当該プリチャージ線との間にはスイッチ用TFT66が設けられている。スイッチ用TFT62、63のゲート端子は走査線G Aiに接続され、スイッチ用TFT66のゲート端子は走査線G Biに接続され、スイッチ用TFT64、65のゲート端子は制御線E iに接続されている。

10

【0092】

G画素回路60gとB画素回路60bの構成は、R画素回路60rと同様である。ただし、G画素回路60gでは、スイッチ用TFT65、66の一端は、初期電圧Vint_Gが印加されたプリチャージ線に接続される。また、B画素回路60bでは、スイッチ用TFT65、66の一端は、初期電圧Vint_Bが印加されたプリチャージ線に接続される。

20

【0093】

以下、R画素回路60r、G画素回路60gおよびB画素回路60b内の駆動用TFT61の閾値電圧を、それぞれ、Vth_R、Vth_GおよびVth_B（ただし、いずれも負の値）とする。初期電圧Vint_Rは、R画素回路60r内の駆動用TFT61の閾値補正に使用される。同様に、初期電圧Vint_GはG画素回路60g内の駆動用TFT61の閾値補正に使用され、初期電圧Vint_BはB画素回路60b内の駆動用TFT61の閾値補正に使用される。

【0094】

図13は、画素回路60の駆動方法を示すタイミングチャートである。以下、図13を参照して、3個のアナログバッファ55を用いて、走査線G Ai、G Biとデータ線Sk_R、Sk_G、Sk_Bに接続された3個の画素回路60に対して、それぞれのデータ電圧Vdataを書き込むときの動作を説明する。図13では、時刻t0から時刻t4までが3個の画素回路60の選択期間となる。時刻t2より前では、3個の画素回路60の駆動用TFT61のゲート端子電位を並列に検知する処理が行われ、時刻t2より後では、3個の画素回路60に対してそれぞれのデータ電圧を並列に書き込む処理が行われる。

30

【0095】

時刻t0より前では、走査線G Ai、G Biの電位はハイレベルに、制御線E iの電位はローレベルに制御される。このため、3個の画素回路60では、スイッチ用TFT62、63、66は非導通状態にあり、スイッチ用TFT64、65は導通状態にある。このとき駆動用TFT61は導通状態にあるので、電源配線Vpから駆動用TFT61とスイッチ用TFT64を経由して有機EL素子67に電流が流れ、有機EL素子67は発光する。このように時刻t0より前では、3個の画素回路60内の有機EL素子67はいずれも発光状態にある。

40

【0096】

時刻t0において制御線E iの電位がハイレベルに変化すると、3個の画素回路60ではスイッチ用TFT64、65が非導通状態に変化する。このため、電源配線Vpから有機EL素子67に流れる電流は遮断され、有機EL素子67は発光を停止する。

【0097】

次に時刻t1において走査線G Ai、G Biの電位がローレベルに変化すると、3個の画素回路60ではスイッチ用TFT62、63、66が導通状態に変化する。このため、

50

節点Dはスイッチ用TFT63、66を介してプリチャージ線に接続され、節点Eはスイッチ用TFT62を介してデータ線S_jに接続される。走査線G A_iの電位がローレベルである間、データ線S_k__R、S_k__G、S_k__Bには、それぞれ、ラッチ17から出力されたデータ電圧V_d__R、V_d__G、V_d__Bが印加される。したがって、R画素回路60_rでは、節点Dの電位はV_{int}__Rとなり、節点Eの電位はV_d__Rとなる。同様に、G画素回路60_gでは節点Dの電位はV_{int}__Gとなり、節点Eの電位はV_d__Gとなる。また、B画素回路60_bでは節点Dの電位はV_{int}__Bとなり、節点Eの電位はV_d__Bとなる。

【0098】

次に時刻t₂において走査線G B_iの電位がハイレベルに変化すると、3個の画素回路60ではスイッチ用TFT66が非導通状態に変化する。時刻t₂以降、電源配線V_pから駆動用TFT61とスイッチ用TFT63を経由して駆動用TFT61のゲート端子に電流が流れ込み、節点Dの電位は駆動用TFT61が導通状態である間は上昇する。

【0099】

次に時刻t₃において走査線G A_iの電位がハイレベルに変化すると、3個の画素回路60ではスイッチ用TFT62、63が非導通状態に変化する。時刻t₃の直前におけるR画素回路60_r、G画素回路60_gおよびB画素回路60_b内の節点Dの電位を(V_{DD}+V_x__R)、(V_{DD}+V_x__G)および(V_{DD}+V_x__B)とする。ただし、電圧V_x__R、V_x__G、V_x__Bは負の値であり、|V_x__R|>|V_{th}__R|、|V_x__G|>|V_{th}__G|、|V_x__B|>|V_{th}__B|を満たすとする。

【0100】

時刻t₃においてスイッチ用TFT62、63が非導通状態に変化したとき、R画素回路60_r内のコンデンサ68には電圧(V_{DD}+V_x__R-V_d__R)が保持される。同様に、G画素回路60_g内のコンデンサ68には電圧(V_{DD}+V_x__G-V_d__G)が保持され、B画素回路60_b内のコンデンサ68には電圧(V_{DD}+V_x__B-V_d__B)が保持される。

【0101】

上述したように、R画素回路60_r内の節点Dの電位は、駆動用TFT61が導通状態である間は上昇する。したがって、十分な時間があれば、R画素回路60_r内の節点Dの電位は、駆動用TFT61のゲート-ソース間電圧が閾値電圧V_{th}__R(負の値)になる(駆動用TFT61が閾値状態になる)まで上昇し、最終的に(V_{DD}+V_{th}__R)に到達する。しかし、表示装置50では、駆動用TFT61が導通状態である間に、時刻t₃になる。このため、時刻t₃の直前における節点Dの電位(V_{DD}+V_x__R)は(V_{DD}+V_{th}__R)よりも低い。電圧V_x__Rは閾値電圧V_{th}__Rに応じて変化し、閾値電圧V_{th}__Rの絶対値が大きいほど電圧V_x__Rの絶対値は大きくなる。同様に、時刻t₃の直前におけるG画素回路60_g内の節点Dの電位(V_{DD}+V_x__G)は(V_{DD}+V_{th}__G)よりも低く、閾値電圧V_{th}__Gの絶対値が大きいほど電圧V_x__Gの絶対値は大きくなる。また、時刻t₃の直前におけるB画素回路60_b内の節点Dの電位(V_{DD}+V_x__B)は(V_{DD}+V_{th}__B)よりも低く、閾値電圧V_{th}__Bの絶対値が大きいほど電圧V_x__Bの絶対値は大きくなる。

【0102】

次に時刻t₄において制御線E_iの電位がローレベルに変化すると、3個の画素回路60ではスイッチ用TFT64、65が導通状態に変化する。R画素回路60_rでは、コンデンサ68が電圧(V_{DD}+V_x__R-V_d__R)を保持している間に、節点Eの電位がV_d__RからV_{int}__Rに変化する。したがって、節点Dの電位も、同じ量(V_{int}__R-V_d__R)だけ変化して(V_{DD}+V_x__R)+(V_{int}__R-V_d__R)=(V_{DD}+V_x__R+V_{int}__R-V_d__R)となる。同様に、G画素回路60_g内の節点Dの電位は(V_{DD}+V_x__G+V_{int}__G-V_d__G)となり、B画素回路60_b内の節点Dの電位は(V_{DD}+V_x__B+V_{int}__B-V_d__B)となる。

【0103】

10

20

30

40

50

時刻 t_4 以降、3 個の画素回路 60 内のコンデンサ 68 に保持された電圧は変化しない。このため、R 画素回路 60r 内の節点 D の電位は $(V_{DD} + V_{x_R} + V_{int_R} - V_{d_R})$ のままである。同様に、G 画素回路 60g 内の節点 D の電位は $(V_{DD} + V_{x_G} + V_{int_G} - V_{d_G})$ のままであり、B 画素回路 60b 内の節点 D の電位は $(V_{DD} + V_{x_B} + V_{int_B} - V_{d_B})$ のままである。したがって、3 個の画素回路 60 では、時刻 t_4 以降、次に制御線 E_i の電位がハイレベルとなるまで、電源配線 V_p から駆動用 T F T 61 とスイッチ用 T F T 64 を経由して有機 E L 素子 67 に電流が流れ、有機 E L 素子 67 は発光する。このときに駆動用 T F T 61 を流れる電流の量は節点 D の電位に応じて増減するが、以下に示すように、駆動用 T F T 61 の閾値電圧が異なってもデータ電圧が同じであれば電流量を同じにすることができる。

10

【0104】

例として、R 画素回路 60r について説明する。R 画素回路 60r では、有機 E L 素子 67 が発光するときに駆動用 T F T 61 のゲート端子電位 V_g は $(V_{DD} + V_{x_R} + V_{int_R} - V_{d_R})$ となる。したがって、式 (1) より、駆動用 T F T 61 のドレイン - ソース間を流れる電流 I_{EL} は、次式 (6) に示すようになる。

$$I_{EL} = -1/2 \cdot W/L \cdot C_{ox} \cdot \mu \cdot \{V_{int_R} - V_{d_R} + (V_{x_R} - V_{th_R})\}^2 \quad \dots (6)$$

式 (6) において電圧 V_{x_R} が閾値電圧 V_{th_R} に一致すれば、電流 I_{EL} は閾値電圧 V_{th_R} には依存しない。また、電圧 V_{x_R} が閾値電圧 V_{th_R} に一致しなくても、両者の差が一定であれば、電流 I_{EL} は閾値電圧 V_{th_R} には依存しない。

20

【0105】

表示装置 50 では、第 1 参考例と同様に、R 画素回路内の 2 つの T F T 間で電圧 V_{x_R} の差が閾値電圧 V_{th_R} の差とほぼ同じになるように、閾値補正期間の長さや初期電圧 V_{int_R} のレベルが決定される。このため、式 (6) に含まれる電圧差 $(V_{x_R} - V_{th_R})$ はほぼ一定になる。したがって、R 画素回路 60r では、閾値電圧 V_{th_R} の値にかかわらず、有機 E L 素子 67 にはデータ電圧 V_{d_R} に応じた量の電流が流れ、有機 E L 素子 67 はデータ電圧 V_{d_R} に応じた輝度で発光する。

【0106】

同様に、G 画素回路 60g では、閾値電圧 V_{th_G} の値にかかわらず、有機 E L 素子 67 にはデータ電圧 V_{d_G} に応じた量の電流が流れ、有機 E L 素子 67 はデータ電圧 V_{d_G} に応じた輝度で発光する。また、B 画素回路 60b では、閾値電圧 V_{th_B} の値にかかわらず、有機 E L 素子 67 にはデータ電圧 V_{d_B} に応じた量の電流が流れ、有機 E L 素子 67 はデータ電圧 V_{d_B} に応じた輝度で発光する。表示装置 50 では、第 1 参考例に係る表示装置 10 と比べて画素回路 60 の構成は複雑になるが、ソースドライバ回路 53 の構成は簡単になる。

30

【0107】

表示装置 50 では、初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} のうち、少なくとも 2 つが互いに異なるように設定される。具体的には、G 画素回路用の初期電圧 V_{int_G} と B 画素回路用の初期電圧 V_{int_B} が異なり、 $|V_{gs0_G}| < |V_{gs0_B}|$ を満たすことが好ましい。また、初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} が互いにすべて異なり、 $|V_{gs0_G}| < |V_{gs0_R}| < |V_{gs0_B}|$ を満たすことがより好ましい。初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} は、いずれも電源電圧 V_{DD} よりも低いレベルに設定される。

40

【0108】

第 2 参考例に係る表示装置 50 は、第 1 参考例に係る表示装置 10 と同様の効果を奏する。図 16 に示す画素回路 130 を備えた従来の表示装置では、装置全体で 1 種類の初期電圧 V_{int} が使用される。このため、従来の表示装置には、緑色を基準として初期電圧 V_{int} を決定すると画質が低下し、青色を基準として初期電圧 V_{int} を決定すると消費電力が増大するという問題がある。

【0109】

50

これに対して、第2参考例に係る表示装置50では、複数の初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} が使用され、このうち少なくとも2つ以上が異なっている。このため、例えば、B画素回路には $|V_{gs0}|$ が大きくなる初期電圧 V_{int_B} を使用し、G画素回路には $|V_{gs0}|$ が小さくなる初期電圧 V_{int_G} を使用することができる。これにより、人間が色度の違いに敏感な青色については、駆動用TFT61のゲート端子とソース端子との間に大きな初期電位差を与え、閾値補正を高い精度で行い、画質を高くすることができる。一方、人間が色度の違いに鈍感な緑色については、駆動用TFT61のゲート端子とソース端子との間に小さな初期電位差を与え、信号線の過剰な充放電を減らして消費電力を削減することができる。また、 $|V_{gs0_G}| < |V_{gs0_R}| < |V_{gs0_B}|$ を満たす初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} を使用すれば、上記の効果をさらに高めることができる。

10

【0110】

このように第2参考例に係る表示装置50によれば、表示色に応じた初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} を使用することにより、駆動用TFT61の閾値補正を行うときに、駆動用TFT61のゲート端子とソース端子との間に与える初期電位差を人間の視覚特性を考慮して表示色に応じて切り替え、画質を高くし、消費電力を削減することができる。

【0111】

本発明の第2の実施形態に係る表示装置は、第2参考例に係る表示装置に対して、3種類の画素回路を別個の電源配線に接続する変形を施したものである。本発明の第2の実施形態に係る表示装置では、R画素回路60rに接続された電源配線には電源電圧 V_{DD_R} が印加され、G画素回路60gに接続された電源配線には電源電圧 V_{DD_G} が印加され、B画素回路60bに接続された電源配線には電源電圧 V_{DD_B} が印加される。

20

【0112】

以上に示すように、本発明の表示装置によれば、駆動素子の閾値補正を行ってカラー表示を行うときに、駆動素子の制御端子と第2の導通端子との間に表示色に応じた初期電位差を与えることにより、画質を高くし、消費電力を削減することができる。

【産業上の利用可能性】

【0113】

本発明の表示装置は、高画質で低消費電力であるという特徴を有するので、各種の電子機器の表示装置として利用することができる。

30

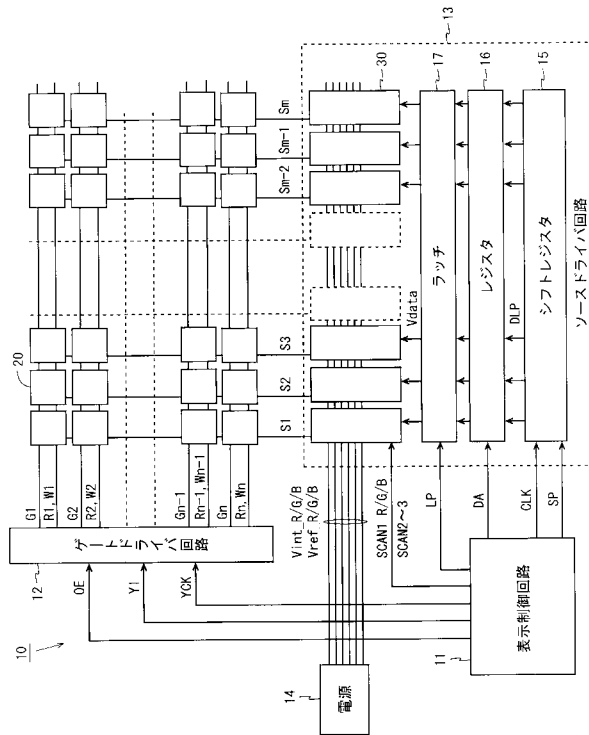
【符号の説明】

【0114】

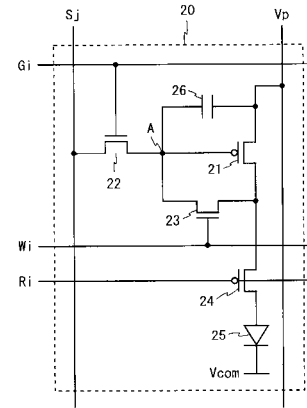
- 10、40、50 ... 表示装置
- 11、51 ... 表示制御回路
- 12、52 ... ゲートドライバ回路
- 13、43、53 ... ソースドライバ回路
- 14、44、54 ... 電源
- 15 ... シフトレジスタ
- 16 ... レジスタ
- 17 ... ラッチ
- 20、60 ... 画素回路
- 21、61 ... 駆動用TFT
- 22～24、62～66 ... スイッチ用TFT
- 25、67 ... 有機EL素子
- 26、37、68 ... コンデンサ
- 30、45 ... 出力回路
- 31～36 ... スイッチ
- 38、55 ... アナログバッファ

40

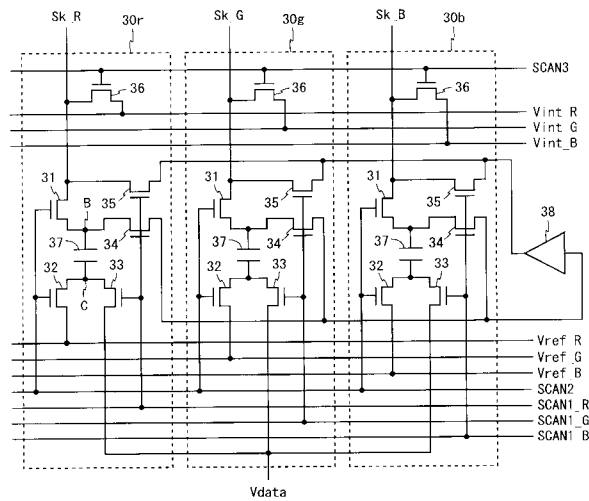
【図 1】



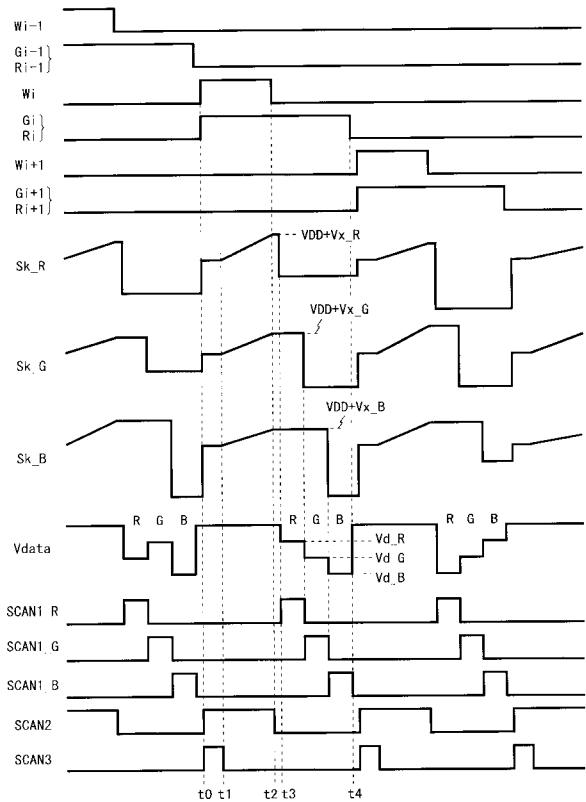
【図 2】



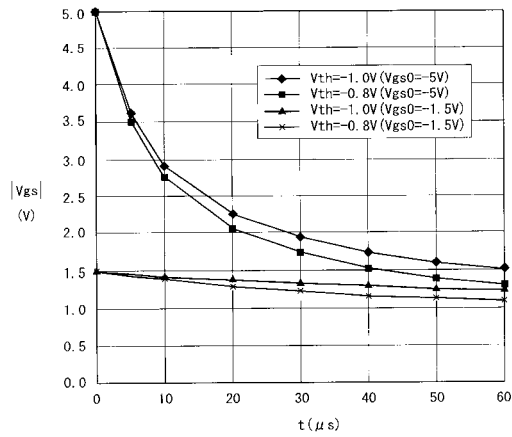
【図 3】



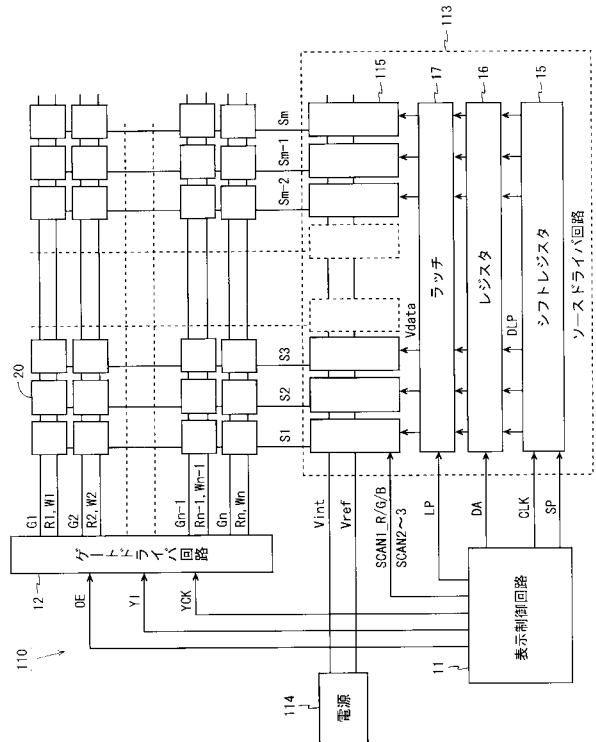
【図 4】



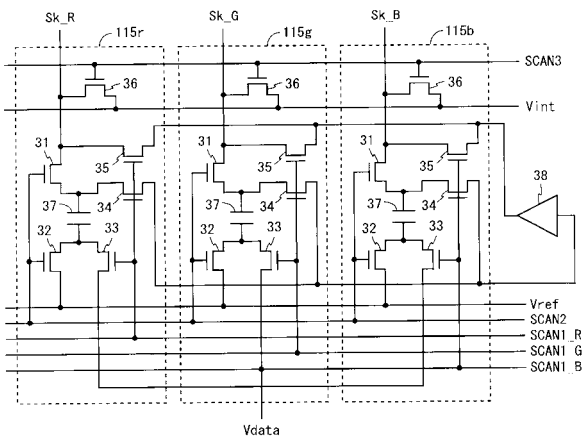
【図 5】



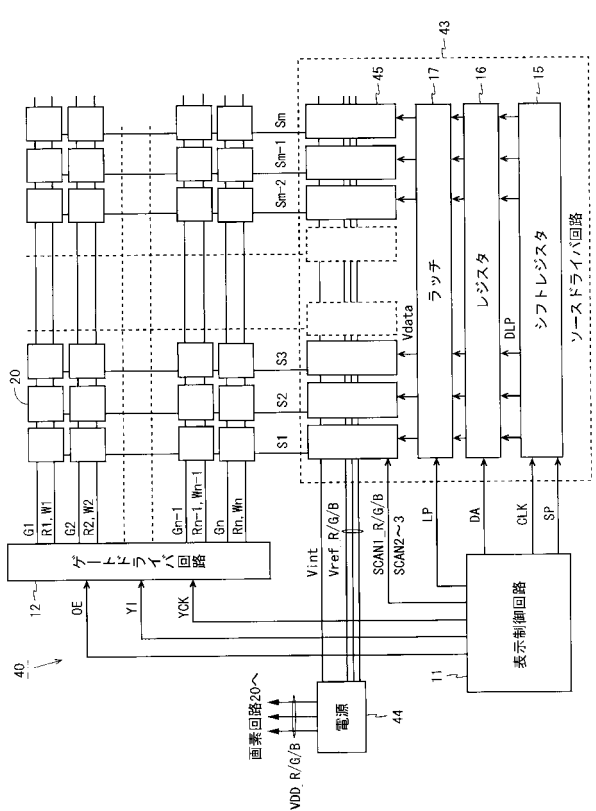
【図 6】



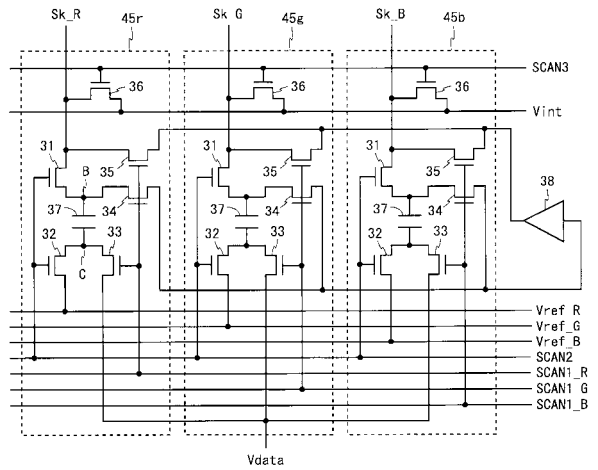
【図 7】



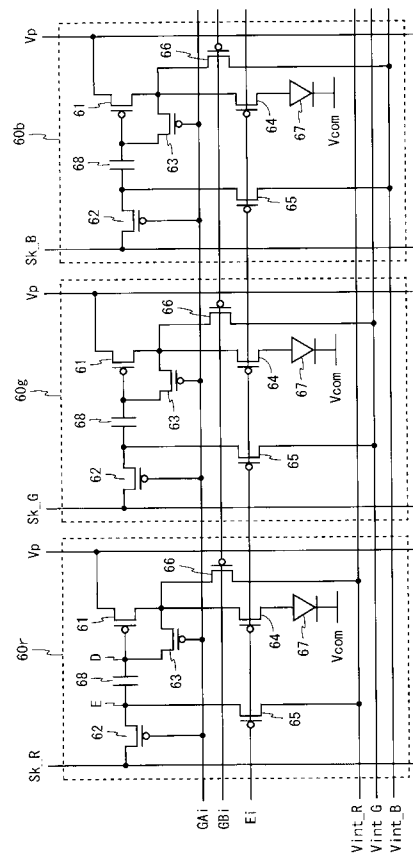
【図 8】



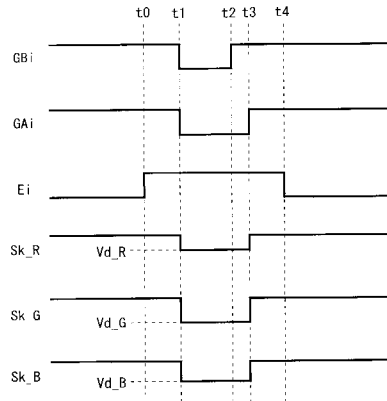
【 図 1 0 】



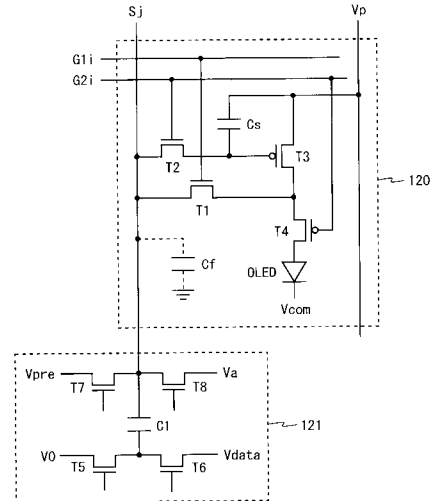
【圖 12】



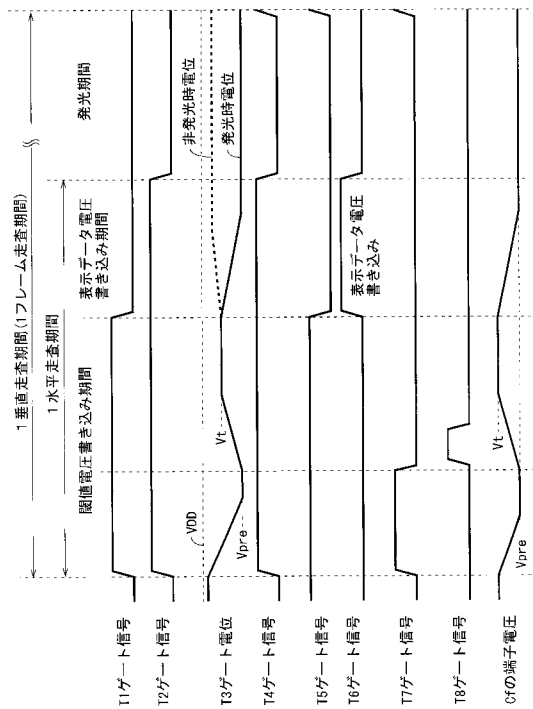
【図 13】



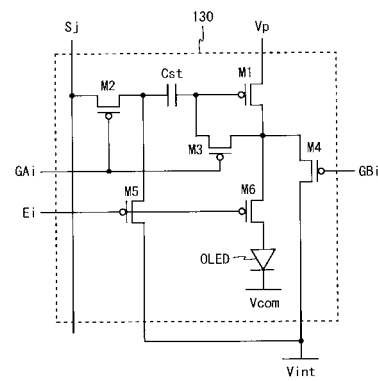
【図 14】



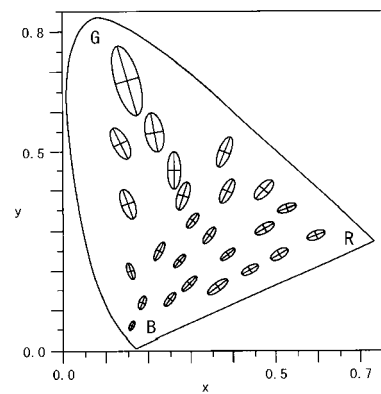
【図 15】



【図 16】



【図 17】



 フロントページの続き

(51)Int.Cl.	F I		
	G 0 9 G	3/20	6 4 2 L
	H 0 5 B	33/14	A
	G 0 9 G	3/20	6 1 2 A

(56)参考文献 特開 2 0 0 5 - 3 2 6 7 5 4 (J P , A)
 特開 2 0 0 5 - 3 0 9 1 5 0 (J P , A)
 特開 2 0 0 8 - 0 3 3 3 4 7 (J P , A)
 国際公開第 2 0 0 8 / 1 0 8 0 2 4 (W O , A 1)
 特開 2 0 0 7 - 0 9 4 3 3 0 (J P , A)
 特開 2 0 0 5 - 3 0 9 1 5 1 (J P , A)
 国際公開第 2 0 1 0 / 0 2 9 7 9 5 (W O , A 1)
 特開 2 0 0 7 - 1 9 9 3 4 7 (J P , A)
 特開平 1 0 - 1 9 8 3 2 2 (J P , A)
 特開 2 0 0 4 - 1 7 0 7 8 7 (J P , A)
 特開 2 0 0 5 - 3 5 2 4 1 1 (J P , A)
 特開 2 0 0 7 - 1 3 3 3 5 4 (J P , A)
 特表 2 0 0 5 - 5 2 0 1 9 1 (J P , A)
 特開 2 0 0 7 - 1 3 3 3 6 9 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
 G 0 9 G 3 / 3 0
 G 0 9 G 3 / 2 0
 H 0 1 L 5 1 / 5 0

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JP5442101B2	公开(公告)日	2014-03-12
申请号	JP2012283304	申请日	2012-12-26
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	岸宣孝		
发明人	岸 宣孝		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3291 G09G3/2003 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2310/0248 G09G2310/0251 G09G2320/02 G09G2320/0242 G09G2320/029 G09G2330/02 G09G2330/021 G09G2330/028		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.611.A G09G3/20.611.H G09G3/20.642.A G09G3/20.642.L H05B33/14.A G09G3/20.612.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC14 3K107/CC33 3K107/HH05 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD01 5C080/DD26 5C080/EE29 5C080/EE30 5C080/FF03 5C080/FF11 5C080/FF12 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/AB22 5C380/AB24 5C380/AB34 5C380/BA01 5C380/BA39 5C380/BB15 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CB12 5C380/CB14 5C380/CB16 5C380/CB17 5C380/CC04 5C380/CC26 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC53 5C380/CC61 5C380/CC63 5C380/CC64 5C380/CD014 5C380/CD016 5C380/CE04 5C380/CF06 5C380/CF07 5C380/CF09 5C380/CF22 5C380/DA02		
代理人(译)	岛田彰 川原贤治		
优先权	2008231807 2008-09-10 JP		
其他公开文献	JP2013101373A		
外部链接	Espacenet		

摘要(译)

提供一种具有高图像质量和低功耗的电流驱动彩色显示装置。像素电路20包括有机EL元件25，驱动TFT 21和设置在驱动TFT 21的栅极和漏极之间的开关TFT 23。在写入像素电路20时，初始电压施加到驱动TFT 21的栅极端子，在驱动TFT 21处于导通状态时临时控制开关TFT 23导通，以及驱动TFT 21并且将校正的数据电压施加到驱动TFT 21的栅极端子。人类对蓝色色度的差异很敏感，但对绿色色度的差异不敏感。增加阈值校正精度的电源电压VDD_B用于蓝色像素电路，而功耗低的电源电压VDD_G用于绿色像素电路。9系统技术领域

数3]

$$V_{gs}(t) = \Delta V_{th} + \frac{1}{\frac{k}{C}t + \frac{1}{V_{gs0} - V_{th} - \Delta V_{th}}} - \frac{1}{\frac{k}{C}t + \frac{1}{V_{gs0} - V_{th}}}$$