

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第4984863号
(P4984863)

(45) 発行日 平成24年7月25日 (2012. 7. 25)

(24) 登録日 平成24年5月11日 (2012. 5. 11)

(51) Int.Cl.	F I
G O 9 G 3/30 (2006. 01)	G O 9 G 3/30 J
G O 9 G 3/20 (2006. 01)	G O 9 G 3/20 6 1 1 H
H O 1 L 51/50 (2006. 01)	G O 9 G 3/20 6 2 1 A
	G O 9 G 3/20 6 2 2 D
	G O 9 G 3/20 6 2 3 D
請求項の数 10 (全 40 頁) 最終頁に続く	

(21) 出願番号	特願2006-331560 (P2006-331560)	(73) 特許権者	000002185
(22) 出願日	平成18年12月8日 (2006. 12. 8)		ソニー株式会社
(65) 公開番号	特開2008-145646 (P2008-145646A)		東京都港区港南1丁目7番1号
(43) 公開日	平成20年6月26日 (2008. 6. 26)	(74) 代理人	100098785
審査請求日	平成21年11月9日 (2009. 11. 9)		弁理士 藤島 洋一郎
		(74) 代理人	100109656
			弁理士 三反崎 泰司
		(74) 代理人	100130915
			弁理士 長谷部 政男
		(74) 代理人	100155376
			弁理士 田名網 孝昭
		(72) 発明者	飯田 幸人
			東京都品川区北品川6丁目7番35号 ソ
			ニー株式会社内
		最終頁に続く	

(54) 【発明の名称】 表示装置とその駆動方法

(57) 【特許請求の範囲】

【請求項 1】

駆動電流を生成する駆動トランジスタ、前記駆動トランジスタの制御入力端と出力端の間に接続された保持容量、前記駆動トランジスタの出力端に接続された電気光学素子、および前記保持容量に信号を書き込むサンプリングトランジスタを具備し、前記保持容量に保持された情報に基づく駆動電流を前記駆動トランジスタで生成して前記電気光学素子に流すことで当該電気光学素子が発光する画素回路が行列状に配置されている画素アレイ部と、

前記サンプリングトランジスタを水平周期で順次制御することで前記画素回路を線順次走査して、1行分の各保持容量に映像信号の信号電位に応じた情報を書き込む書込走査部、前記書込走査部での前記線順次走査に合わせて1行分の各駆動トランジスタの電源供給端に、駆動電流を前記電気光学素子に流すために使用される第1電位と当該第1電位とは異なる第2電位との間で切り替わる電源電圧が供給されるように制御する駆動走査部、および前記書込走査部での前記線順次走査に合わせて各水平周期内で基準電位と信号電位で切り替わる映像信号が前記サンプリングトランジスタに供給されるように制御する水平駆動部とを具備する制御部と

を備え、

前記制御部は、

前記駆動トランジスタに供給される前記第1電位と前記第2電位の遷移タイミングが、前記映像信号における前記基準電位の期間内となるように制御するとともに、

10

20

当該行における前記駆動トランジスタに供給される前記第 1 電位から前記第 2 電位への遷移タイミングが、他の行における前記駆動トランジスタに供給される前記第 2 電位から前記第 1 電位への遷移タイミングと一致するように制御する

表示装置。

【請求項 2】

駆動電流を生成する駆動トランジスタ、前記駆動トランジスタの制御入力端と出力端の間に接続された保持容量、前記駆動トランジスタの出力端に接続された電気光学素子、および前記保持容量に信号を書き込むサンプリングトランジスタを具備し、前記保持容量に保持された情報に基づく駆動電流を前記駆動トランジスタで生成して前記電気光学素子に流すことで当該電気光学素子が発光する画素回路が行列状に配置されている画素アレイ部と、

10

前記駆動電流を前記電気光学素子に流すために使用される第 1 電位が前記駆動トランジスタの電源供給端に供給されかつ映像信号における基準電位が前記サンプリングトランジスタに供給されている時間帯で前記サンプリングトランジスタを導通させることで前記駆動トランジスタの閾値電圧に対応する電圧を前記保持容量に保持するための閾値補正動作を行なうのに先立ち、前記第 1 電位とは異なる第 2 電位が前記駆動トランジスタに供給されかつ前記サンプリングトランジスタに前記基準電位が供給されている時間帯で前記サンプリングトランジスタを導通させて前記駆動トランジスタの制御入力端を前記基準電位に設定しかつ出力端を前記第 2 電位に設定するように制御する制御部と

を備え、

20

前記制御部は、前記第 1 電位から前記第 2 電位への遷移タイミングおよび / または前記第 2 電位から前記第 1 電位への遷移タイミングが、前記映像信号における前記基準電位の期間内となるように制御するとともに、

当該行における前記駆動トランジスタに供給される前記第 1 電位から前記第 2 電位への遷移タイミングが、他の行における前記駆動トランジスタに供給される前記第 2 電位から前記第 1 電位への遷移タイミングと一致するように制御する

表示装置。

【請求項 3】

前記制御部は、前記駆動トランジスタに供給される前記第 1 電位と前記第 2 電位の遷移タイミングが、前記映像信号における前記基準電位の期間内で、かつ前記サンプリングトランジスタに対する制御のアクティブ期間内となるように制御する

30

請求項 1 または請求項 2 に記載の表示装置。

【請求項 4】

前記制御部は、前記駆動トランジスタに前記第 1 電位が供給され、かつ前記サンプリングトランジスタに前記基準電位が供給されている時間帯で前記サンプリングトランジスタを導通させ、前記駆動トランジスタの閾値電圧に対応する電圧を前記保持容量に保持するための閾値補正動作を行なうように制御する

請求項 1 に記載の表示装置。

【請求項 5】

前記制御部は、前記信号電位の前記保持容量への書込みに先行する複数の水平周期で、前記閾値補正動作を繰り返し実行するように制御する

40

請求項 2 または請求項 4 に記載の表示装置。

【請求項 6】

前記制御部は、前記閾値補正動作に先立って、前記駆動トランジスタに前記第 2 電位が供給され、かつ前記サンプリングトランジスタに前記基準電位が供給されている時間帯で前記サンプリングトランジスタを導通させて、前記駆動トランジスタの制御入力端を前記基準電位に設定し、かつ出力端を前記第 2 電位に設定する

請求項 4 に記載の表示装置。

【請求項 7】

前記制御部は、前記閾値補正動作の後、前記駆動トランジスタに前記第 1 電位が供給さ

50

れ、前記サンプリングトランジスタに前記信号電位が供給されている時間帯で前記サンプリングトランジスタを導通させることで前記保持容量に前記信号電位に対応する情報を書き込む際、前記駆動トランジスタの移動度に対する補正分を前記保持容量に書き込まれる情報に加える

請求項 2 または請求項 4 に記載の表示装置。

【請求項 8】

前記制御部は、前記サンプリングトランジスタに前記信号電位が供給されている時間帯内の所定位置で当該時間帯より短い期間だけ前記サンプリングトランジスタを導通させる請求項 7 記載の表示装置。

【請求項 9】

前記制御部は、前記保持容量に前記信号電位に対応する情報が書き込まれた時点で前記サンプリングトランジスタを非導通状態にして前記駆動トランジスタの前記制御入力端への前記映像信号の供給を停止させ、当該駆動トランジスタの前記出力端の電位変動に前記制御入力端の電位が連動する動作を可能にする

請求項 1 または請求項 2 に記載の表示装置。

【請求項 10】

駆動電流を生成する駆動トランジスタ、前記駆動トランジスタの制御入力端と出力端の間に接続された保持容量、前記駆動トランジスタの出力端に接続された電気光学素子、および前記保持容量に信号を書き込むサンプリングトランジスタを具備し、前記保持容量に保持された情報に基づく駆動電流を前記駆動トランジスタで生成して前記電気光学素子に流すことで当該電気光学素子が発光する画素回路が行列状に配置されている画素アレイ部と、前記サンプリングトランジスタを水平周期で順次制御することで前記画素回路を線順次走査して、1 行分の各保持容量に映像信号の信号電位に応じた情報を書き込む書込走査部と、前記書込走査部での前記線順次走査に合わせて 1 行分の各駆動トランジスタの電源供給端に、駆動電流を前記電気光学素子に流すために使用される第 1 電位と当該第 1 電位とは異なる第 2 電位との間で切り替わる電源電圧が供給されるように制御する駆動走査部と、前記書込走査部での前記線順次走査に合わせて各水平周期内で基準電位と信号電位で切り替わる映像信号が前記サンプリングトランジスタに供給されるように制御する水平駆動部とを備える表示装置の駆動方法であって、

前記駆動トランジスタに前記第 1 電位が供給されかつ前記サンプリングトランジスタに前記基準電位が供給されている時間帯で前記サンプリングトランジスタを導通させることで前記駆動トランジスタの閾値電圧に対応する電圧を前記保持容量に保持するための閾値補正動作を行なうのに先立ち、前記駆動トランジスタに前記第 2 電位が供給され、かつ前記サンプリングトランジスタに前記基準電位が供給されている時間帯で前記サンプリングトランジスタを導通させて前記駆動トランジスタの制御入力端を前記基準電位に設定しかつ出力端を前記第 2 電位に設定する際に、前記第 1 電位から前記第 2 電位への遷移タイミングおよび / または前記第 2 電位から前記第 1 電位への遷移タイミングが、前記映像信号における前記基準電位の期間内となるように制御するとともに、当該行における前記駆動トランジスタに供給される前記第 1 電位から前記第 2 電位への遷移タイミングが、他の行における前記駆動トランジスタに供給される前記第 2 電位から前記第 1 電位への遷移タイミングと一致するように制御する

表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電気光学素子（表示素子や発光素子とも称される）を具備する画素回路（画素とも称される）が行列状に配列された画素アレイ部を有する表示装置とその駆動方法に関する。より詳細には、駆動信号の大小によって輝度が変化する電気光学素子を表示素子として有する画素回路が行列状に配置されてなり、画素回路ごとに能動素子を有して当該能動素子によって画素単位で表示駆動が行なわれるアクティブマトリクス型の表示装置と

10

20

30

40

50

その駆動方法に関する。

【背景技術】

【0002】

画素の表示素子として、印加される電圧や流れる電流によって輝度が変化する電気光学素子を用いた表示装置がある。たとえば、印加される電圧によって輝度が変化する電気光学素子としては液晶表示素子が代表例であり、流れる電流によって輝度が変化する電気光学素子としては、有機エレクトロルミネッセンス（Organic Electro Luminescence，有機EL，Organic Light Emitting Diode，OLED；以下、有機ELと記す）素子が代表例である。後者の有機EL素子を用いた有機EL表示装置は、画素の表示素子として、自発光素子である電気光学素子を用いたいわゆる自発光型の表示装置である。

10

【0003】

有機EL素子是有機薄膜に電界をかけると発光する現象を利用した電気光学素子である。有機EL素子は比較的低い印加電圧（たとえば10V以下）で駆動できるため低消費電力である。また有機EL素子は自ら光を発する自発光素子であるため、液晶表示装置では必要とされるバックライトなどの補助照明部材を必要とせず、軽量化および薄型化が容易である。さらに、有機EL素子の応答速度は非常に高速である（たとえば数 μ s程度）ので、動画表示時の残像が発生しない。これらの利点があることから、電気光学素子として有機EL素子を用いた平面自発光型の表示装置の開発が近年盛んになっている。

【0004】

ところで、液晶表示素子を用いた液晶表示装置や有機EL素子を用いた有機EL表示装置を始めとする電気光学素子を用いた表示装置においては、その駆動方式として、単純（パッシブ）マトリクス方式とアクティブマトリクス方式とを採ることができる。ただし、単純マトリクス方式の表示装置は、構造が単純であるもの、大型でかつ高精細の表示装置の実現が難しいなどの問題がある。

20

【0005】

このため、近年、画素内部の発光素子に供給する画素信号を、同様に画素内部に設けた能動素子、たとえば絶縁ゲート型電界効果トランジスタ（一般には、薄膜トランジスタ（Thin Film Transistor；TFT）をスイッチングトランジスタとして使用して制御するアクティブマトリクス方式の開発が盛んに行なわれている。

【0006】

ここで、電気光学素子を発光させる際には、入力画像信号をスイッチングトランジスタで駆動トランジスタのゲート端（制御入力端子）に設けられた画素容量に取り込み、取り込んだ入力画像信号に応じた駆動信号を電気光学素子に供給する。

30

【0007】

電気光学素子として液晶表示素子を用いる液晶表示装置では、液晶表示素子が電圧駆動型の素子であることから、画素容量に取り込んだ入力画像信号に応じた電圧信号そのもので液晶表示素子を駆動する。これに対して、電気光学素子として有機EL素子を用いる有機EL表示装置では、有機EL素子は電流駆動型の素子であることから、画素容量に取り込んだ入力画像信号に応じた駆動信号（電圧信号）を駆動トランジスタで電圧信号に変換して、その駆動電流を有機EL素子に供給する。

40

【0008】

このとき、電気光学素子の発光輝度が不変であるためには、入力画像信号に応じて画素容量に取り込まれ保持される駆動信号が一定であることが重要となる。たとえば、有機EL素子の発光輝度が不変であるためには、入力画像信号に応じた駆動電流が一定であることが重要となる。

【0009】

たとえば、プロセス変動により電気光学素子を駆動する能動素子の閾値電圧や移動度がばらついてしまう。また、有機EL素子などの電気光学素子の特性が経時的に変動する。このような駆動用の能動素子の特性ばらつきや電気光学素子の特性変動は、発光輝度に影響を与えてしまう。

50

【 0 0 1 0 】

このため、表示装置の画面全体に亘って発光輝度を均一に制御するため、各画素回路内で上述した駆動用の能動素子や電気光学素子の特性変動に起因する輝度変動を補正するための仕組みが種々検討されている。

【 0 0 1 1 】

【特許文献 1】特開 2 0 0 6 - 2 1 5 2 1 3 号公報

【 0 0 1 2 】

たとえば、特許文献 1 に記載の仕組みでは、有機 E L 素子用の画素回路として、駆動トランジスタの閾値電圧にばらつきや経時変化があった場合でも駆動電流を一定にするための閾値補正機能や、駆動トランジスタの移動度にばらつきや経時変化があった場合でも駆動電流を一定にするための移動度補正機能や、有機 E L 素子の電流 - 電圧特性に経時変化があった場合でも駆動電流を一定にするためのブートストラップ機能が提案されている。

10

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 3 】

しかしながら、特許文献 1 に記載の仕組みでは、補正用の電位を供給する配線と、補正用のスイッチングトランジスタと、それを駆動するスイッチング用のパルスが必要であり、駆動トランジスタおよびサンプリングトランジスタを含めると 5 つのトランジスタを使用する 5 T R 駆動の構成を採っており、画素回路の構成が複雑である。画素回路の構成要素が多いことから、表示装置の高精細化の妨げとなる。その結果、5 T R 駆動の構成では、携帯機器（モバイル機器）などの小型の電子機器で用いられる表示装置への適用が困難になる。

20

【 0 0 1 4 】

このため、画素回路の簡素化を図りつつ、素子の特性ばらつきによる輝度変化を抑制する方式の開発要求がある。この際には、その簡素化に伴って、5 T R 駆動の構成では生じていない問題が新たに発生することがないようにすることも考慮されるべきである。

【 0 0 1 5 】

本発明は、上記事情に鑑みてなされたもので、画素回路の簡素化により表示装置の高精細化を可能にする表示装置およびその駆動方法を提供することを一般的な目的とする。

【 0 0 1 6 】

30

特に好ましくは、画素回路の簡素化を図りつつ、画素回路を駆動する際のスイッチングパルスに起因するノイズが画質に与える影響を緩和することのできる仕組みを提供することを目的とする。

【 0 0 1 7 】

また、画素回路の簡素化に当たっては、素子の特性ばらつきによる輝度変化を抑制することの可能な仕組みを提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 8 】

本発明に係る表示装置の一実施形態は、映像信号に基づいて画素回路内の電気光学素子を発光させる表示装置であって、まず、画素アレイ部に行列状に配される画素回路内に、少なくとも、駆動電流を生成する駆動トランジスタ、駆動トランジスタの制御入力端（ゲート端が典型例）と出力端（ソース端が典型例）の間に接続された保持容量、駆動トランジスタの出力端に接続された電気光学素子、および保持容量に映像信号における信号電位に応じた情報を書き込むサンプリングトランジスタを備える。この画素回路においては、保持容量に保持された情報に基づく駆動電流を駆動トランジスタで生成して電気光学素子に流すことで電気光学素子を発光させる。

40

【 0 0 1 9 】

サンプリングトランジスタで保持容量に信号電位に応じた情報を書き込むので、サンプリングトランジスタは、その入力端（ソース端が典型例）に信号電位を取り込み、その出力端（ドレイン端が典型例）に接続された保持容量に信号電位に応じた情報を書き込む。

50

もちろん、サンプリングトランジスタの出力端は、駆動トランジスタの制御入力端にも接続されている。

【0020】

なお、ここで示した画素回路の接続構成は、最も基本的な構成を示したもので、画素回路は、少なくとも前述の各構成要素を含むものであればよく、これらの構成要素以外（つまり他の構成要素）が含まれていてもよい。また、「接続」は、直接に接続されている場合に限らず、他の構成要素を介在して接続されている場合でもよい。

【0021】

たとえば、接続間には、必要に応じてさらに、スイッチング用のトランジスタや、ある機能を持った機能部などを介在させるなどの変更が加えられることがある。典型的には、表示期間（換言すれば非発光時間）を動的に制御するためにスイッチング用のトランジスタを、駆動トランジスタの出力端と電気光学素子との間に、もしくは駆動トランジスタの電源供給端（ドレイン端が典型例）と電源供給用の配線である電源線との間に配することがある。

10

【0022】

このような変形態様の画素回路であっても、本項（課題を解決するための手段）で説明する構成や作用を実現し得るものである限り、それらの変形態様も、本発明に係る表示装置の一実施形態を実現する画素回路である。

【0023】

また、画素回路を駆動するための周辺部には、たとえば、サンプリングトランジスタを水平周期で順次制御することで画素回路を線順次走査して、1行分の各保持容量に映像信号の信号電位に応じた情報を書き込む書込走査部、書込走査部での線順次走査に合わせて1行分の各駆動トランジスタの電源供給端に、駆動電流を電気光学素子に流すために使用される第1電位と初期設定に使用される第2電位との間で切り替わる電源電圧が供給されるように制御する駆動走査部、および書込走査部での線順次走査に合わせて各水平周期内で基準電位と信号電位で切り替わる映像信号がサンプリングトランジスタに供給されるように制御する水平駆動部とを具備する制御部を設ける。

20

【0024】

ここで、好ましくは、制御部は、駆動電流を電気光学素子に流すために使用される第1電位が駆動トランジスタの電源供給端に供給されかつ映像信号における基準電位がサンプリングトランジスタに供給されている時間帯でサンプリングトランジスタを導通させることで駆動トランジスタの閾値電圧に対応する電圧を保持容量に保持するための閾値補正動作を行なうように制御する。

30

【0025】

この閾値補正動作は、必要に応じて、信号電位の保持容量への書込みに先行する複数の水平周期で繰り返し実行するとよい。ここで「必要に応じて」とは、1水平周期内の閾値補正期間では駆動トランジスタの閾値電圧に相当する電圧を十分に保持容量へ保持させることができない場合を意味する。閾値補正動作の複数回の実行により、確実に駆動トランジスタの閾値電圧に相当する電圧を保持容量に保持させるのである。

【0026】

また、さらに好ましくは、制御部は、閾値補正動作に先立って、初期設定に使用される第2電位が駆動トランジスタの電源供給端に供給されかつサンプリングトランジスタの入力端（ソース端が典型例）に基準電位が供給されている時間帯でサンプリングトランジスタを導通させて駆動トランジスタの制御入力端を基準電位に設定しかつ出力端を第2電位に設定する初期化動作を実行するように制御する。

40

【0027】

さらに好ましくは、制御部は、閾値補正動作の後、駆動トランジスタに第1電位が供給され、サンプリングトランジスタに基準電位が供給されている時間帯でサンプリングトランジスタを導通させることで保持容量に信号電位を書き込む際、駆動トランジスタの移動度に対する補正分を保持容量に書き込まれる信号に加えるように制御する。

50

【0028】

この際には、サンプリングトランジスタに基準電位が供給されている時間帯内の所定位置で、その時間帯より短い期間だけサンプリングトランジスタを導通させるのがよい。

【0029】

さらに好ましくは、制御部は、保持容量に信号電位が書き込まれた時点でサンプリングトランジスタを非導通状態にして駆動トランジスタの制御入力端への映像信号の供給を停止させ、駆動トランジスタの出力端の電位変動に制御入力端の電位が連動させるブートストラップ動作を可能にし、制御入力端と出力端の電圧を一定に維持可能にして電気光学素子の経時変動補正動作を実現するとよい。

【0030】

10

ここで、本発明に係る表示装置の一実施形態における特徴的な事項として、制御部は、駆動トランジスタに供給される第1電位と第2電位の遷移タイミング、つまり、第1電位から第2電位への遷移タイミングと第2電位から第1電位への遷移タイミングの少なくとも一方が、映像信号における基準電位の期間内となるように制御する。

【0031】

好ましくは、制御部は、駆動トランジスタに供給される第1電位と第2電位の遷移タイミングが、映像信号における基準電位の期間内で、かつサンプリングトランジスタに対する制御のアクティブ期間内となるように制御する。

【0032】

さらに好ましくは、制御部は、ある行（当該行）における駆動トランジスタに供給される第1電位から第2電位への遷移タイミングが、他の行における駆動トランジスタに供給される第2電位から第1電位への遷移タイミングと一致するように制御する。つまり、他の行との関係においては、駆動トランジスタの電源供給端の遷移タイミングが同時で、かつその遷移方向が反対方向となるようにする。相殺効果を利用することで、カップリングノイズの抑制効果を高める趣旨である。

20

【発明の効果】

【0033】

本発明の一実施形態によれば、駆動トランジスタの電源供給端に供給する第1電位と第2電位との間の遷移タイミングが、映像信号の非有効期間である基準電位の期間内となるように制御するので、発光輝度に資する信号電位の期間では第1電位と第2電位との間の遷移によるパルスノイズのカップリングなどによる飛び込みを回避できる。よって、第1電位と第2電位との間の遷移によるパルスノイズの発光輝度への影響を防止できる。

30

【0034】

また、有機EL素子などの電流駆動型の電気光学素子を画素回路に用いたアクティブマトリクス型の表示装置において、各画素回路が少なくとも駆動トランジスタの閾値補正機能を備えるようにすれば、閾値電圧のばらつきの影響を受けることがなく、良好な画質の表示装置を実現できる。望ましくは、駆動トランジスタの移動度補正機能や電気光学素子の経時変動補正機能（ブートストラップ動作）を備えるようにすれば、さらに高品質の画質を得ることができる。

【0035】

40

閾値補正機能により駆動トランジスタの閾値変動を補正することで、あるいは移動度補正機能により駆動トランジスタの移動度変動を補正することで、これらの変動やばらつきの影響を受けることなく発光輝度を一定に保つことができるからである。また、発光時における保持容量のブートストラップ動作により電気光学素子の電流 - 電圧特性が経時変動しても駆動トランジスタの制御入力端と出力端の電位差がブートストラップした保持容量により一定に保たれるため、常に一定の発光輝度を保つことができるからである。

【0036】

ここで、閾値補正機能およびそれに先立つ閾値補正準備機能（初期化機能）を実現するに当たって、駆動トランジスタの電源供給端を第1電位と第2電位との間で遷移させる、つまり電源電圧をスイッチングパルスとして使用することが有効に機能する。すなわち、

50

閾値補正機能を組み込むため、各画素回路の駆動トランジスタに供給する電源電圧をスイッチングパルスとして使用すると、閾値補正用のスイッチングトランジスタやその制御入力端を制御する走査線が不要になる。

【 0 0 3 7 】

結果として、画素回路の構成素子数と配線本数が大幅に削減でき、画素アレイ部を縮小することができ、表示装置の高精細化を達成し易くなる。画素回路の簡素化を図りつつ、素子の特性変動による輝度変化の補正機能を実現できるし、画素回路を駆動する制御パルスのノイズが画質に与える影響を緩和することができる。

【 発明を実施するための最良の形態 】

【 0 0 3 8 】

10

以下、図面を参照して本発明の実施形態について詳細に説明する。

【 0 0 3 9 】

< 表示装置の全体概要 >

図 1 は、本発明に係る表示装置の一実施形態であるアクティブマトリクス型表示装置の構成の概略を示すブロック図である。本実施形態では、たとえば画素の表示素子（電気光学素子、発光素子）として有機 E L 素子を、能動素子としてポリシリコン薄膜トランジスタ（TFT；Thin Film Transistor）をそれぞれ用い、薄膜トランジスタを形成した半導体基板上に有機 E L 素子を形成してなるアクティブマトリクス型有機 E L ディスプレイ（以下「有機 E L 表示装置」と称する）に適用した場合を例に採って説明する。

【 0 0 4 0 】

20

なお、以下においては、画素の表示素子として有機 E L 素子を例に具体的に説明するが、これは一例であって、対象となる表示素子是有機 E L 素子に限らない。一般的に電流駆動で発光する表示素子の全てに、後述する全ての実施形態が同様に適用できる。

【 0 0 4 1 】

図 1 に示すように、有機 E L 表示装置 1 は、複数の表示素子としての有機 E L 素子（図示せず）を持った画素回路（画素とも称される）110 が表示アスペクト比である縦横比が X：Y（たとえば 9：16）の有効映像領域を構成するように配置された表示パネル部 100 と、この表示パネル部 100 を駆動制御する種々のパルス信号を発するパネル制御部の一例である駆動信号生成部 200 と、映像信号処理部 300 を備えている。駆動信号生成部 200 と映像信号処理部 300 とは、1 チップの IC（Integrated Circuit；半導体集積回路）に内蔵されている。

30

【 0 0 4 2 】

なお、製品形態としては、図示のように、表示パネル部 100、駆動信号生成部 200、および映像信号処理部 300 の全てを備えたモジュール（複合部品）形態の有機 E L 表示装置 1 として提供されることに限らず、たとえば、表示パネル部 100 のみで有機 E L 表示装置 1 として提供することも可能である。また、このような有機 E L 表示装置 1 は、半導体メモリやミニディスク（MD）やカセットテープなどの記録媒体を利用した携帯型の音楽プレイヤーやその他の電子機器の表示部に利用される。

【 0 0 4 3 】

表示パネル部 100 は、基板 101 の上に、画素回路 P が n 行 × m 列のマトリクス状に配列された画素アレイ部 102 と、画素回路 P を垂直方向に走査する垂直駆動部 103 と、画素回路 P を水平方向に走査する水平駆動部（水平セクタあるいはデータ線駆動部とも称される）106 と、外部接続用の端子部（パッド部）108 などが集積形成されている。すなわち、垂直駆動部 103 や水平駆動部 106 などの周辺駆動回路が、画素アレイ部 102 と同一の基板 101 上に形成された構成となっている。

40

【 0 0 4 4 】

垂直駆動部 103（書込走査部 104 および駆動走査部 105）と水平駆動部 106 とで、信号電位の保持容量への書込みや、閾値補正動作や、移動度補正動作や、ブートストラップ動作を制御する制御部 109 が構成される。

【 0 0 4 5 】

50

垂直駆動部 103 としては、たとえば、書込走査部（ライトスキャナ WS ; Write Scan）104 や電源供給能力を有する電源スキャナとして機能する駆動走査部（ドライブスキャナ DS ; Drive Scan）105 を有する。

【0046】

画素アレイ部 102 は、一例として、図示する左右方向の一方側もしくは両側から書込走査部 104 および駆動走査部 105 で駆動され、かつ図示する上下方向の一方側もしくは両側から水平駆動部 106 で駆動されるようになっている。

【0047】

端子部 108 には、有機 EL 表示装置 1 の外部に配された駆動信号生成部 200 から、種々のパルス信号が供給されるようになっている。また同様に、映像信号処理部 300 から映像信号 Vsig が供給されるようになっている。

10

【0048】

一例としては、垂直駆動用のパルス信号として、垂直方向の書込み開始パルスの一例であるシフトスタートパルス SPDS、SPWS や垂直走査クロック CKDS、CKWS など必要なパルス信号が供給される。また、水平駆動用のパルス信号として、水平方向の書込み開始パルスの一例である水平スタートパルス SPH や水平走査クロック CKH など必要なパルス信号が供給される。

【0049】

端子部 108 の各端子は、配線 109 を介して、垂直駆動部 103 や水平駆動部 106 に接続されるようになっている。たとえば、端子部 108 に供給された各パルスは、必要に応じて図示を割愛したレベルシフタ部で電圧レベルを内部的に調整した後、バッファを介して垂直駆動部 103 の各部や水平駆動部 106 に供給される。

20

【0050】

画素アレイ部 102 は、図示を割愛するが（詳細は後述する）、表示素子としての有機 EL 素子に対して画素トランジスタが設けられた画素回路 P が行列状に 2 次元配置され、この画素配列に対して行ごとに走査線が配線されるとともに、列ごとに信号線が配線された構成となっている。

【0051】

たとえば、画素アレイ部 102 には、走査線（ゲート線）104 WS と映像信号線（データ線）106 HS が形成されている。両者の交差部分には図示を割愛した有機 EL 素子とこれを駆動する薄膜トランジスタ（TFT ; Thin Film Transistor）が形成される。有機 EL 素子と薄膜トランジスタの組み合わせで画素回路 P を構成する。

30

【0052】

具体的には、マトリクス状に配列された各画素回路 P に対しては、書込走査部 104 によって書込駆動パルス WS で駆動される n 行分の書込走査線 104 WS_1 ~ 104 WS_n および駆動走査部 105 によって電源駆動パルス DSL で駆動される n 行分の電源供給線 105 DSL_1 ~ 105 DSL_n が画素行ごとに配線される。

【0053】

書込走査部 104 および駆動走査部 105 は、駆動信号生成部 200 から供給される垂直駆動系のパルス信号に基づき、書込走査線 104 WS および電源供給線 105 DSL を介して各画素回路 P を順次選択する。水平駆動部 106 は、駆動信号生成部 200 から供給される水平駆動系のパルス信号に基づき、選択された画素回路 P に対し映像信号線 106 HS を介して映像信号 Vsig の内の所定電位をサンプリングして保持容量に書き込ませる。

40

【0054】

本実施形態の有機 EL 表示装置 1 においては、線順次駆動のみが可能になっており、垂直駆動部 103 の書込走査部 104 および駆動走査部 105 は線順次で（つまり行単位で）画素アレイ部 102 を走査するとともに、これに同期して水平駆動部 106 が、画像信号を、1 水平ライン分を同時に、画素アレイ部 102 に書き込む。

【0055】

たとえば、水平駆動部 106 は、線順次駆動に対応するため、全列の映像信号線 106

50

HS上に設けられた図示を割愛したスイッチを一斉にオンさせるドライバ回路を備えて構成され、映像信号処理部300から入力される画素信号を、垂直駆動部103によって選択された行の1ライン分の全ての画素回路Pに同時に書き込むべく、全列の映像信号線106HS上に設けられた図示を割愛したスイッチを一斉にオンさせる。

【0056】

垂直駆動部103の各部は、線順次駆動に対応するため、論理ゲートの組合せ（ラッチも含む）によって構成され、画素アレイ部102の各画素回路Pを行単位で選択する。なお、図1では、画素アレイ部102の一方側にのみ垂直駆動部103を配置する構成を示しているが、画素アレイ部102を挟んで左右両側に垂直駆動部103を配置する構成を採ることも可能である。

10

【0057】

同様に、図1では、画素アレイ部102の一方側にのみ水平駆動部106を配置する構成を示しているが、画素アレイ部102を挟んで上下両側に水平駆動部106を配置する構成を採ることも可能である。

【0058】

<画素回路>

図2は、第1実施形態の画素回路Pに対する比較例を示す図である。なお、表示パネル部100の基板101上において画素回路Pの周辺部に設けられた垂直駆動部103と水平駆動部106も合わせて示している。図3は、図2に示した比較例の画素回路Pの動作を説明するタイミングチャートである。また、図4は、有機EL素子127や駆動トランジスタ121の特性ばらつきが駆動電流 I_{ds} に与える影響を説明する図であり、図4Aは、その改善手法の概念を説明する図である。

20

【0059】

また、図5は、図1に示した有機EL表示装置1を構成する画素回路Pの第1実施形態を示す図である。なお、表示パネル部100の基板101上において画素回路Pの周辺部に設けられた垂直駆動部103と水平駆動部106も合わせて示している。

【0060】

第1実施形態の画素回路Pは、基本的にnチャネル型の薄膜電界効果トランジスタでドライブトランジスタが構成されている点に特徴を有する。また、有機EL素子の経時劣化による当該有機EL素子への駆動電流 I_{ds} の変動を抑制するための回路、すなわち電気光学素子の一例である有機EL素子の電流-電圧特性の変化を補正して駆動電流 I_{ds} を一定に維持する駆動信号一定化回路を備えた点に特徴を有する。加えて、有機EL素子の電流-電圧特性に経時変化があった場合でも駆動電流を一定にする機能を備えた点に特徴を有する。

30

【0061】

pチャネル型のトランジスタではなく、nチャネル型のトランジスタで駆動トランジスタを構成することができれば、トランジスタ作成において従来のアモルファスシリコン(a-Si)プロセスを用いることが可能になる。これにより、トランジスタ基板の低コスト化が可能となり、このような構成の画素回路Pの開発が期待される。

【0062】

駆動トランジスタを始めとする各トランジスタとしてはMOSトランジスタを使用する。この場合、駆動トランジスタについては、ゲート端を制御入力端として取り扱い、ソース端およびドレイン端の何れか一方（ここではソース端とする）を出力端として取り扱い、他方を電源供給端（ここではドレイン端とする）として取り扱う。

40

【0063】

<比較例の画素回路>

先ず、第1実施形態の画素回路Pの特徴を説明する上での比較例として、図2に示す画素回路Pについて説明する。この比較例の画素回路Pを画素アレイ部102に備える有機EL表示装置1を比較例の有機EL表示装置1と称する。比較例の画素回路Pは、基本的にnチャネル型の薄膜電界効果トランジスタでドライブトランジスタが構成されている点

50

で本実施形態と同じであるが、有機EL素子127の経時劣化による駆動電流 I_{ds} に与える影響を防ぐための駆動信号一定化回路が設けられていない。

【0064】

具体的には、画素回路Pは、それぞれnチャネル型の駆動トランジスタ121およびサンプリングトランジスタ125と、電流が流れることで発光する電気光学素子の一例である有機EL素子127とを有する。一般に、有機EL素子127は整流性があるためダイオードの記号で表している。なお、有機EL素子127には、寄生容量 C_{el} が存在する。図では、この寄生容量 C_{el} を有機EL素子127と並列に示す。

【0065】

駆動トランジスタ121は、ドレイン端Dが第1電源電位を供給する電源供給線DSLに接続され、ソース端（出力端）Sが、有機EL素子127のアノード端Aに接続され、有機EL素子127のカソード端Kが基準電位を供給する全画素共通の接地配線 V_{cath} （ GN_D ）に接続されている。

【0066】

サンプリングトランジスタ125は、ソース端Sが映像信号線HSに接続され、ドレイン端（電源供給端）Dは駆動トランジスタ121のゲート端（制御入力端）Gに接続され、その接続点と第2電源電位を供給する基準線との間に保持容量120が設けられている。第2電源電位を供給する基準線は、本構成では、図示のように、有機EL素子127用の基準電位を供給する接地配線 V_{cath} と同じにしているが、別の電位を与える配線としてもよい。サンプリングトランジスタ125は、ソース端Sとドレイン端Dとを逆転させた接続態様とすることもできる。

【0067】

なお、図示を割愛するが、発光期間を制御する発光制御トランジスタを追加した3TR型とする場合、たとえば、駆動トランジスタ121のソース端をnチャネル型の発光制御トランジスタのドレイン端Dに接続し、発光制御トランジスタのソース端Sを有機EL素子127のアノード端に接続する。

【0068】

このような画素回路Pでは、発光制御トランジスタを設けるか否かに関わらず、有機EL素子127を駆動するときには、駆動トランジスタ121のドレイン端D側が第1電源電位に接続され、ソース端Sが有機EL素子127のアノード端A側に接続されることで、全体としてソースフォロワ回路を形成するようになっている。

【0069】

図2に示す比較例の画素回路Pの動作を説明する図3のタイミングチャートは、信号線HSから供給される映像信号 V_{sig} の電位（以下、映像信号線電位とも称する）の内の有効期間の電位（信号電位と称する）をサンプリングし、発光素子の一例である有機EL素子127を発光状態にする動作を表している。

【0070】

映像信号線106HSが映像信号 V_{sig} の有効期間である信号電位にある時間帯（ $t_1 \sim t_4$ ）に、書込走査線WSの電位が高レベルに遷移することで（ t_2 ）、nチャネル型のサンプリングトランジスタ125はオン状態となり、信号線HSから供給される映像信号線電位を保持容量120に充電する。これにより駆動トランジスタ121のゲート端Gの電位（ゲート電位 V_g ）は上昇を開始し、ドレイン電流を流し始める。そのため、有機EL素子127のアノード電位は上昇し発光を開始する。

【0071】

この後、書込駆動パルスWSが低レベルに遷移すると（ t_3 ）、保持容量120にその時点の映像信号線電位、つまり、映像信号 V_{sig} の電位の内の有効期間の電位（信号電位）が保持される。これによって、駆動トランジスタ121のゲート電位 V_g が一定となり、発光輝度が次のフレーム（またはフィールド）まで一定に維持される。タイミング $t_2 \sim t_3$ が、映像信号 V_{sig} のサンプリング期間となり、タイミング t_3 以降が保持期間となる。

10

20

30

40

50

【 0 0 7 2 】

ここで、比較例の画素回路 P では、駆動トランジスタ 1 2 1 のソース端 S の電位（ソース電位 V_s ）は、駆動トランジスタ 1 2 1 と有機 E L 素子 1 2 7 との動作点で決まり、その電圧値は駆動トランジスタ 1 2 1 のゲート電位 V_g によって異なる値を持つてしまう。

【 0 0 7 3 】

ここで、一般的に、駆動トランジスタ 1 2 1 は飽和領域で駆動される。よって、飽和領域で動作するトランジスタのドレイン端 - ソース間に流れる電流を I_{ds} 、移動度を μ 、チャンネル幅（ゲート幅）を W 、チャンネル長（ゲート長）を L 、ゲート容量（単位面積当たりのゲート酸化膜容量）を C_{ox} は、トランジスタの閾値電圧を V_{th} とすると、駆動トランジスタ 1 2 1 は下記の式（ 1 ）に示した値を持つ定電流源となっている。式（ 1 ）から明らかなように、飽和領域ではトランジスタのドレイン電流 I_{ds} はゲート・ソース間電圧 V_{gs} によって制御される。

10

【 0 0 7 4 】

【数 1】

$$I_{ds} = \frac{1}{2} \mu \frac{W}{L} C_{ox} (V_{gs} - V_{th})^2 \cdots (1)$$

【 0 0 7 5 】

< 有機 E L 素子の I - V 特性 >

20

ここで、図 4（ 1 ）に示す有機 E L 素子の電流 - 電圧（ I - V ）特性において、実線で示す曲線が初期状態時の特性を示し、破線で示す曲線が経時変化後の特性を示している。一般的に、有機 E L 素子の I - V 特性は、グラフに示すように時間が経過すると劣化する。

【 0 0 7 6 】

比較例の画素回路 P では、この経時劣化により動作点が変化してしまい、同じゲート電位 V_g を印加しても駆動トランジスタ 1 2 1 のソース電位 V_s は変化してしまう。これにより、駆動トランジスタ 1 2 1 のゲート・ソース間電圧 V_{gs} は変化してしまう。特性式（ 1 ）から明らかなように、ゲート・ソース間電圧 V_{gs} が変動すると、たとえゲート電位 V_g が一定であっても駆動電流 I_{ds} が変動し、同時に有機 E L 素子 1 2 7 に流れる電流値も変化する。このように有機 E L 素子 1 2 7 の I - V 特性が変化すると、図 2 に示したソースフォロワ構成を持つ比較例の画素回路 P では、有機 E L 素子 1 2 7 の発光輝度が経時的に変化してしまう。

30

【 0 0 7 7 】

駆動トランジスタ 1 2 1 として n チャンネル型を使用した単純な回路では、ソース端 S が有機 E L 素子 1 2 7 側に接続されてしまうため、有機 E L 素子 1 2 7 の経時変化とともに、ゲート・ソース間電圧 V_{gs} が変化してしまい、有機 E L 素子 1 2 7 に流れる電流量が変化し、その結果、発光輝度は変化してしまうのである。

【 0 0 7 8 】

発光素子の一例である有機 E L 素子 1 2 7 の特性の経時変動による有機 E L 素子 1 2 7 のアノード電位変動は、駆動トランジスタ 1 2 1 のゲート・ソース間電圧 V_{gs} の変動となって現れ、ドレイン電流（駆動電流 I_{ds} ）の変動を引き起こす。この原因による駆動電流の変動は画素回路 P ごとの発光輝度のばらつきとなって現れ、画質の劣化が起きる。

40

【 0 0 7 9 】

これに対して、詳細は後述するが、駆動トランジスタ 1 2 1 のソース端 S の電位 V_s の変動にゲート端 G の電位 V_g が連動するようにするブートストラップ機能を実現する回路構成および駆動タイミングとすることで、有機 E L 素子 1 2 7 の特性の経時変動による有機 E L 素子 1 2 7 のアノード電位変動（つまりソース電位変動）があっても、その変動を相殺するようにゲート電位 V_g を変動させることで、画面輝度の均一性（ユニフォーミティ）を確保できる。ブートストラップ機能が、有機 E L 素子を代表とする電流駆動型の発

50

光素子の経時劣化補正能力を向上させることができる。

【0080】

もちろん、このブートストラップ機能は、発光開始時点で、有機EL素子127に発光電流 I_{el} が流れ始め、それによってアノード・カソード間電圧 V_{el} が安定となるまで上昇していく過程で、そのアノード・カソード間電圧 V_{el} の変動に伴って駆動トランジスタ121のソース電位 V_s が変動する際にも機能する。

【0081】

< 駆動トランジスタ $V_{gs} - I_{ds}$ 特性 >

また、駆動トランジスタ121の製造プロセスのばらつきにより、画素回路Pごとに閾値電圧や移動度などの特性変動がある。駆動トランジスタ121を飽和領域で駆動する場合においても、この特性変動により、駆動トランジスタ121に同一のゲート電位を与えても、画素回路Pごとにドレイン電流（駆動電流 I_{ds} ）が変動し、発光輝度のばらつきになって現れる。

10

【0082】

たとえば、図4(2)は、駆動トランジスタ121の閾値ばらつきに着目した電圧電流（ $V_{gs} - I_{ds}$ ）特性を示す図である。閾値電圧が V_{th1} と V_{th2} で異なる2個の駆動トランジスタ121について、それぞれ特性カーブを挙げてある。

【0083】

前述のように、駆動トランジスタ121が飽和領域で動作しているときのドレイン電流 I_{ds} は、特性式(1)で表される。特性式(1)から明らかなように、閾値電圧 V_{th} が変動すると、ゲート・ソース間電圧 V_{gs} が一定であってもドレイン電流 I_{ds} が変動する。つまり、閾値電圧 V_{th} のばらつきに対して何ら対策を施さないと、図4(2)に示すように、閾値電圧が V_{th1} のとき V_{gs} に対応する駆動電流が I_{ds1} となるのに対して、閾値電圧が V_{th2} のときの同じゲート電圧 V_{gs} に対応する駆動電流 I_{ds2} は I_{ds1} と異なってしまう。

20

【0084】

また、図4(3)は、駆動トランジスタ121の移動度ばらつきに着目した電圧電流（ $V_{gs} - I_{ds}$ ）特性を示す図である。移動度が μ_1 と μ_2 で異なる2個の駆動トランジスタ121について、それぞれ特性カーブを挙げてある。

【0085】

特性式(1)から明らかなように、移動度 μ が変動すると、ゲート・ソース間電圧 V_{gs} が一定であってもドレイン電流 I_{ds} が変動する。つまり、移動度 μ のばらつきに対して何ら対策を施さないと、図4(3)に示すように、移動度が μ_1 のとき V_{gs} に対応する駆動電流が I_{ds1} となるのに対して、移動度が μ_2 のときの同じゲート電圧 V_{gs} に対応する駆動電流 I_{ds2} は I_{ds1} と異なってしまう。

30

【0086】

これに対して、閾値補正機能および移動度補正機能を実現する駆動タイミング（詳細は後述する）とすることで、図4Aの各図から理解されるように、それらの変動の影響を抑制でき、画面輝度の均一性（ユニフォーミティ）を確保できる。

【0087】

< 閾値補正および移動度補正の概念 >

本実施形態の閾値補正動作および移動度補正動作では、詳細は後述するが、発光時のゲート・ソース間電圧 V_{gs} が“ $V_{in} + V_{th} - \Delta V$ ”で表されるようにすることで、ドレイン・ソース間電流 I_{ds} が、閾値電圧 V_{th} のばらつきや変動に依存しないようにするとともに、移動度 μ のばらつきや変動に依存しないようにする。結果として、閾値電圧 V_{th} や移動度 μ が製造プロセスにより変動しても、駆動電流 I_{ds} は変動せず、有機EL素子127の発光輝度も変動しない。

【0088】

たとえば、図4Aの各図においては、駆動トランジスタ121の電流電圧特性を、横軸に信号電位 V_{in} をとり、縦軸に駆動電流 I_{ds} をとって、閾値電圧 V_{th} が比較的 low 移動度

50

μ が比較的大きい駆動トランジスタ 121 で構成された画素回路 P a (実線のカーブ) と、逆に閾値電圧 V_{th} が比較的高く移動度 μ が比較的小さい駆動トランジスタ 121 で構成された画素回路 P b (点線のカーブ) について、それぞれ特性カーブを挙げてある。

【0089】

図 4 A (1) は、閾値補正および移動度補正ともに実行しない場合である。このときには画素回路 P a および画素回路 P b で閾値電圧 V_{th} および移動度 μ の補正が全く実行されないため、閾値電圧 V_{th} や移動度 μ の違いで $V_{in} - I_{ds}$ 特性に大きな違いが出てしまう。したがって、同じ信号電位 V_{in} を与えても、駆動電流 I_{ds} すなわち発光輝度が異なってしまう、画面輝度の均一性 (ユニフォームティ) が得られない。

【0090】

10

図 4 A (2) は、閾値補正を実行する一方、移動度補正を実行しない場合である。このとき画素回路 P a と画素回路 P b で閾値電圧 V_{th} の違いはキャンセルされる。しかしながら移動度 μ の相違はそのまま現れている。したがって信号電位 V_{in} が高い領域 (すなわち輝度が高い領域) で、移動度 μ の違いが顕著に現れ、同じ階調でも輝度が違ってしまふ。具体的には、同じ階調 (同じ信号電位 V_{in}) で、移動度 μ の大きい画素回路 P a の輝度 (駆動電流 I_{ds}) は高く、移動度 μ の小さい画素回路 P b の輝度は低くなる。

【0091】

図 4 A (3) は閾値補正および移動度補正ともに実行する場合である。閾値電圧 V_{th} および移動度 μ の相違は完全に補正され、その結果、画素回路 P a と画素回路 P b の $V_{in} - I_{ds}$ 特性は一致する。したがって、全ての階調 (信号電位 V_{in}) で輝度 (I_{ds}) が同一レベルとなり、画面輝度の均一性 (ユニフォームティ) が顕著に改善される。

20

【0092】

図 4 A (4) は、閾値補正および移動度補正ともに実行するものの、閾値電圧 V_{th} の補正が不十分な場合である。たとえば、1 回の閾値補正動作では駆動トランジスタ 121 の閾値電圧 V_{th} に相当する電圧を十分に保持容量 120 へ保持させることができない場合がその一例である。このときには、閾値電圧 V_{th} の差が除去されないため、画素回路 P a と画素回路 P b では低階調の領域で輝度 (駆動電流 I_{ds}) に差が出てしまう。よって、閾値電圧 V_{th} の補正が不十分な場合は低階調で輝度のムラが現れ画質を損なうことになる。

【0093】

< 本実施形態の画素回路 >

30

図 2 に示す比較例の画素回路 P における有機 EL 素子 127 の経時劣化による駆動電流変動を防ぐ回路 (ブートストラップ回路) を搭載し、また駆動トランジスタ 121 の特性変動 (閾値電圧ばらつきや移動度ばらつき) による駆動電流変動を防ぐ駆動方式を採用したのが図 5 に示す第 1 実施形態の画素回路 P である。本実施形態の画素回路 P を画素アレイ部 102 に備える有機 EL 表示装置 1 を本実施形態の有機 EL 表示装置 1 と称する。

【0094】

第 1 実施形態の画素回路 P は、駆動トランジスタ 121 の他に走査用に 1 つのスイッチングトランジスタ (サンプリングトランジスタ 125) を使用する 2 T R 駆動の構成を採るとともに、各スイッチングトランジスタを制御する電源駆動パルス DSL および書込駆動パルス WS のオン / オフタイミングの設定により、有機 EL 素子 127 の経時劣化や駆動トランジスタ 121 の特性変動 (たとえば閾値電圧や移動度などのばらつきや変動) による駆動電流 I_{ds} に与える影響を防ぐ点に特徴を有する。また、2 T R 駆動の構成であり、素子数や配線数が少ないため、高精細化が可能であることに加えて、映像信号 V_{sig} の劣化なくサンプリングできるため、良好な画質を得ることができるだけでなく、映像信号への電源スイッチングのカップリングノイズによる画質の乱れを防止することができる。

40

【0095】

図 2 に示した比較例に対しての構成上の大きな違いは、保持容量 120 の接続態様を变形して、有機 EL 素子 127 の経時劣化による駆動電流変動を防ぐ回路として、駆動信号一定化回路の一例であるブートストラップ回路を構成する点にある。駆動トランジスタ 121 の特性変動 (たとえば閾値電圧や移動度などのばらつきや変動) による駆動電流 I_{ds}

50

に与える影響を抑制する方法としては、各トランジスタ 121, 125 の駆動タイミングを工夫することで対処する。

【0096】

具体的には、第1実施形態の画素回路Pは、保持容量120、nチャネル型の駆動トランジスタ121、およびアクティブH（ハイ）の書込駆動パルスWSが供給されるnチャネル型のサンプリングトランジスタ125、電流が流れることで発光する電気光学素子（発光素子）の一例である有機EL素子127を有する。

【0097】

駆動トランジスタ121のゲート端G（ノードND122）とソース端Sとの間に保持容量120が接続され、駆動トランジスタ121のソース端Sが直接に有機EL素子127のアノード端Aに接続されている。有機EL素子127のカソード端Kは基準電位としてのカソード電位V_{cath}とされる。このカソード電位V_{cath}は、図2に示した比較例と同様に基準電位を供給する全画素共通の接地配線V_{cath}（GND）に接続されている。

10

【0098】

駆動トランジスタ121のドレイン端Dは、電源スキャナとして機能する駆動走査部105からの電源供給線105DSLに接続されている。電源供給線105DSLは、この電源供給線105DSLそのものが、駆動トランジスタ121に対しての電源供給能力を備える点に特徴を有する。

【0099】

具体的には、駆動走査部105は、駆動トランジスタ121のドレイン端Dに対して、それぞれ電源電圧に相当する高電圧側の第1電位V_{cc_H}と低電圧側の第2電位V_{cc_L}とを切り替えて供給する。第2電位V_{cc_L}としては、映像信号線106HSにおける映像信号V_{sig}の基準電位V_oより十分低い電位とする。具体的には、駆動トランジスタ121のゲート・ソース間電圧V_{gs}（ゲート電位V_gとソース電位V_sの差）が駆動トランジスタ121の閾値電圧V_{th}より大きくなるように、電源供給線105DSLの低電位側の第2電位V_{cc_L}を設定する。なお、基準電位V_oは、閾値補正動作に先立つ初期化動作に利用するとともに映像信号線106HSを予めプリチャージにしておくためにも利用する。

20

【0100】

サンプリングトランジスタ125は、ゲート端Gが書込走査部104からの書込走査線104WSに接続され、ソース端Sが映像信号線106HSに接続され、ドレイン端Dが駆動トランジスタ121のゲート端G（ノードND122）に接続されている。そのゲート端Gには、書込走査部104からアクティブHの書込駆動パルスWSが供給される。サンプリングトランジスタ125は、ソース端Sとドレイン端Dとを逆転させた接続態様とすることもできる。

30

【0101】

<本実施形態の画素回路の動作；第1実施形態>

このような構成の第1実施形態の画素回路Pにおいて、第1実施形態の駆動タイミングとしては、まず、サンプリングトランジスタ125は、書込走査線104WSから供給された書込駆動パルスWSに応じて導通し、映像信号線106HSから供給された映像信号V_{sig}をサンプリングして保持容量120に保持する。この点は、図2に示した比較例の画素回路Pを駆動する場合と同じである。

40

【0102】

駆動トランジスタ121は、第1電位（高電位側）にある電源供給線105DSLから電流の供給を受け保持容量120に保持された信号電位（映像信号V_{sig}の有効期間の電位に対応する電位）に応じて駆動電流I_{ds}を有機EL素子127に流す。

【0103】

垂直駆動部103は、電源供給線105DSLが第1電位にありかつ映像信号線106HSが映像信号V_{sig}の非有効期間である基準電位V_oにある時間帯でサンプリングトランジスタ125を導通させる制御信号として書込駆動パルスWSを出力して、駆動トランジスタ121の閾値電圧V_{th}に相当する電圧を保持容量120に保持しておく。この動作が閾値

50

補正機能を実現する。この閾値補正機能により、画素回路 P ごとにばらつく駆動トランジスタ 121 の閾値電圧 V_{th} の影響をキャンセルすることができる。

【0104】

第1実施形態の駆動タイミングとしては、垂直駆動部 103 は、映像信号 V_{sig} の内の信号電位 V_{in} のサンプリングに先行する複数の水平期間で閾値補正動作を繰り返し実行して確実に駆動トランジスタ 121 の閾値電圧 V_{th} に相当する電圧を保持容量 120 に保持する。

【0105】

このように、第1実施形態の画素回路 P において、閾値補正動作を複数回実行することで、十分に長い書込み時間を確保する。こうすることで、駆動トランジスタ 121 の閾値電圧 V_{th} に相当する電圧を確実に保持容量 120 に予め保持することができる。

10

【0106】

この保持された閾値電圧 V_{th} に相当する電圧は駆動トランジスタ 121 の閾値電圧 V_{th} のキャンセルに用いられる。したがって、画素回路 P ごとに駆動トランジスタ 121 の閾値電圧 V_{th} がばらついていても、画素回路 P ごとに完全にキャンセルされるため、画像のユニフォームリティすなわち表示装置の画面全体に亘る発光輝度の均一性が高まる。特に信号電位が低階調のときに現れがちな輝度ムラを防ぐことができる。

【0107】

好ましくは、垂直駆動部 103 は、閾値補正動作に先立って、電源供給線 105 DSL が第2電位にありかつ映像信号線 106 HSが映像信号 V_{sig} の非有効期間である基準電位 V_o にある時間帯で、書込駆動パルス WSをアクティブ（本例では H レベル）にしてサンプリングトランジスタ 125 を導通させ、その後に書込駆動パルス WSをアクティブ H にしたままで電源供給線 105 DSL を第1電位に設定する。

20

【0108】

こうすることで、駆動トランジスタ 121 のゲート端 G を基準電位 V_o にセットしかつソース端 S を第2電位にセットしてから閾値補正動作を開始する。このようなゲート電位およびソース電位のリセット動作（初期化動作）により、後続する閾値補正動作を確実に実行することが可能になる。

【0109】

また、特に本実施形態（第1実施形態に限らず後述する第2実施形態も）の駆動タイミングにおける特徴的な事項として、詳細は後述するが、電源駆動パルス DSL のスイッチングタイミングと映像信号 V_{sig} （特に非有効期間である基準電位 V_o の期間）との関係を一定の関係に維持する点に特徴を有する。

30

【0110】

具体的には、駆動走査部 105 は、映像信号線 106 HSが映像信号 V_{sig} の非有効期間である基準電位 V_o にある時間帯に、電源供給線 105 DSL が高電位側である第1電位から低電位側である第2電位に遷移するオフタイミングや、電源供給線 105 DSL が低電位側である第2電位から高電位側である第1電位に遷移するオンタイミングを設定する。こうすることで、電源供給線 105 DSL のパルス信号が映像信号線 106 HSの映像信号 V_{sig} （特に有効期間の信号電位）に重畳されることによるノイズ（つまり映像信号への電源パルスのカップリングノイズ）を抑制する。

40

【0111】

なお、オフタイミングは、閾値補正動作に先立つ初期化動作の開始を規定する。オンタイミングは、閾値補正動作に先立つ初期化動作の終了、換言すれば、閾値補正動作の開始を規定する。

【0112】

さらに好ましくは、駆動走査部 105 は、映像信号線 106 HSが映像信号 V_{sig} の非有効期間である基準電位 V_o にある時間帯でかつ書込駆動パルス WSがアクティブである時間帯に、電源供給線 105 DSL が高電位側である第1電位から低電位側である第2電位に遷移するオフタイミング（初期化動作の開始タイミング）（閾値補正動作の開始タイミング

50

）を設定する。こうすることで、駆動トランジスタ 121 のゲート端 G を基準電位 V_o に接続した状態で電源供給線 105 DSL が第 1 電位から第 2 電位に遷移するので、さらに、映像信号への電源パルスのカップリングノイズが抑制される。

【0113】

また、さらに好ましくは、当該行についての電源供給線 105 DSL が高電位側である第 1 電位から低電位側である第 2 電位に遷移するオフタイミングを、他の行についての電源供給線 105 DSL が低電位側である第 2 電位から高電位側である第 1 電位に遷移するオンタイミングと合わせる（一致させる）。換言すれば、電源供給線 105 DSL の当該行のオフタイミングの基準電位 V_o の期間とオンタイミングの基準電位 V_o の期間に、1 水平期間分のずれを持たせる。こうすることで、相反する方向の電源パルスのカップリングノイズの相殺効果を享受するようにする。映像信号への電源パルスのカップリングノイズが一層抑制される。

【0114】

また、第 1 実施形態の画素回路 P においては、閾値補正機能に加えて、移動度補正機能を備えている。すなわち、垂直駆動部 103 は、映像信号線 106 HS が映像信号 V_{sig} の有効期間である信号電位 V_{in} にある時間帯にサンプリングトランジスタ 125 を導通状態にするため、書込走査線 104 WS に供給する書込駆動パルス WS を、上述の時間帯より短い期間だけアクティブ（本例では H レベル）にする。この書込駆動パルス WS のアクティブ期間（サンプリング期間でもあり移動度補正期間でもある）を適切に設定することで、保持容量 120 に信号電位 V_{sig} を保持する際、同時に駆動トランジスタ 121 の移動度 μ に対する補正を信号電位 V_{sig} に加える。

【0115】

特に、本実施形態の駆動タイミングでは、電源供給線 105 DSL が高電位側である第 1 電位にあり、かつ、映像信号 V_{sig} が有効期間にある時間帯内で書込駆動パルス WS をアクティブにしている。つまり、その結果、移動度補正時間（サンプリング期間も）は、映像信号線 106 HS の電位が、映像信号 V_{sig} の有効期間の電位（信号線電位）にある時間幅と書込駆動パルス WS のアクティブ期間の両者が重なった範囲で決まる。特に、本実施形態では、映像信号線 106 HS が信号電位にある時間幅の中に入るように書込駆動パルス WS のアクティブ期間幅を細めに決めているため、結果的に移動度補正時間は書込駆動パルス WS で決まる。

【0116】

正確には、移動度補正時間（サンプリング期間も）は、書込駆動パルス WS 立ち上がってサンプリングトランジスタ 125 がオンしてから、同じく書込駆動パルス WS が立ち下がってサンプリングトランジスタ 125 がオフするまでの時間となる。

【0117】

ここで、画面の左右方向について考察した場合、詳細説明図は割愛するが、1 行内の全ての画素回路 P に対して書込駆動パルス WS は書込走査部 104 から共通に供給されるので、書込駆動パルス WS の波形が配線容量や配線抵抗の影響で、書込走査部 104 から遠い画素回路 P（遠側画素と称する）の方が書込走査部 104 から近い画素回路 P（近側画素と称する）よりも、その波形鈍りが大きくなってしまう。これに対して、映像信号線電位については、遠側画素および近側画素ともに、信号源である水平駆動部 106 からの距離が同じであるので、波形に差がない。

【0118】

よって、書込駆動パルス WS の波形が大きく鈍って劣化する遠側画素では、近側画素に比べてサンプリングトランジスタ 125 のオンタイミングが後方にずれるが、オフタイミングも後方にシフトする。したがって、両者の差で決まる移動度補正時間は、結局近側画素の移動度補正時間とあまり変わらないことになる。

【0119】

また、サンプリングトランジスタ 125 によって最終的に保持容量 120 にサンプリングされる信号電位（サンプリング電位）は、ちょうどサンプリングトランジスタ 125 が

オフになったときの映像信号線電位で与えられる。近側画素および遠側画素ともにサンプリング電位は信号電位 V_{in} となり差は生じない。

【0120】

このように、本実施形態の駆動タイミングでは、遠側画素と近側画素でサンプリングされる映像信号電位は殆ど差はない。さらに移動度補正時間についても、遠側画素と近側画素とでは殆ど差は無視できる程度である。これにより、本実施形態の有機EL表示装置1は、画面の左右で輝度差が現れることがなく、シェーディングは抑制され良好な画質の表示装置を実現できる。

【0121】

また、画面の上下方向について考察した場合、書込駆動パルスWSは、画面の上側の画素回路P（上側画素と称する）と画面の下側の画素回路P（下側画素と称する）とで同じ位置をとっているため、書込駆動パルスWSの波形（走査線電位波形）には差はない。一方、1列内の全ての画素回路Pに対して映像信号 V_{sig} は水平駆動部106から映像信号線106HSを介して共通に供給されるので、配線容量や配線抵抗の影響で、水平駆動部106から遠い遠側画素の方が水平駆動部106から近い近側画素よりも、映像信号電圧の遅延量が大きくなってしまう。

【0122】

しかしながら、映像信号線106HSに現れる信号電位波形が遅延しても、映像信号線106HSが信号電位（映像信号 V_{sig} の有効期間の電位）にある時間幅に書込駆動パルスWSが入っている限り、サンプリング電位や移動度補正時間に殆ど差は生じない。その結果、画面下側と上側で、サンプリングされる映像信号電位はほぼ等しくなるし、移動度補正時間もほぼ等しくなる。これにより、画面の上側と下側との間の輝度差は抑制され、良好な画質の表示装置を実現できる。

【0123】

また、第1実施形態の画素回路Pにおいては、ブートストラップ機能も備えている。すなわち、書込走査部104は、保持容量120に映像信号 V_{sig} の信号電位 V_{in} が保持された段階で書込走査線104WSに対する書込駆動パルスWSの印加を解除し（すなわちインアクティブL（ロー）にして）、サンプリングトランジスタ125を非導通状態にして駆動トランジスタ121のゲート端Gを映像信号線106HSから電氣的に切り離す。

【0124】

駆動トランジスタ121のゲート端Gとソース端Sとの間には保持容量120が接続されており、その保持容量120による効果によって、駆動トランジスタ121のソース電位 V_s の変動にゲート電位 V_g が連動するようになり、ゲート・ソース間電圧 V_{gs} を一定に維持することができる。

【0125】

< タイミングチャート；第1実施形態 >

図6は、図5に示した第1実施形態の画素回路Pに関する第1実施形態の駆動タイミングの基本例を説明するタイミングチャートである。図6Aは、図5に示した第1実施形態の画素回路Pに関する第1実施形態の駆動タイミングの変形例を説明するタイミングチャートである。また、図6B～図6Lは、図6に示したタイミングチャートの各期間における等価回路と動作状態を説明する図ある。

【0126】

図6においては、時間軸を共通にして、書込走査線104WSの電位変化、電源供給線105DSLの電位変化、および映像信号線106HSの電位変化を表してある。また、これらの電位変化と並行に、1行分（図では1行目）について駆動トランジスタ121のゲート電位 V_g およびソース電位 V_s の変化も表してある。

【0127】

基本的には、書込走査線104WSや電源供給線105DSLの1行ごとに、1水平走査期間だけ遅れて同じような駆動を行なう。図6における各タイミングや信号は、処理対象行を問わず、第1行目のタイミングや信号と同じタイミングや信号で示す。そして、説明中

10

20

30

40

50

において区別が必要とされるときには、そのタイミングや信号に、処理対象行を“_”付きの参照子で示すことで区別する。

【0128】

また、第1実施形態の駆動タイミングでは、映像信号Vsigが非有効期間である基準電位Voにある期間を1水平期間の前半部とし、有効期間である信号電位Vinにある期間を1水平期間の後半部とする。また、映像信号Vsigの有効期間と非有効期間を合わせた1水平期間ごとに、閾値補正動作を3回に亘って繰り返すようにする。その各回の映像信号Vsigの有効期間と非有効期間の切替タイミング(t13V, t15V)、および書込駆動パルスWSのアクティブとインアクティブの切替タイミング(t13W, t15W)については、そのタイミングに、各回を“_”なしの参照子で示すことで区別する。

10

【0129】

なお、本実施形態では、1水平期間を処理サイクルとして、閾値補正動作を3回に亘って繰り返すようにしているが、この繰り返し動作は必須ではなく、1水平期間を処理サイクルとして、1回のみ閾値補正動作を実行するようにしてもよい。

【0130】

なお、1水平期間が閾値補正動作の処理サイクルとなるのは、行ごとに、サンプリングトランジスタ125が信号電位Vinを保持容量120にサンプリングする前に、閾値補正動作に先立って、電源供給線105DSLの電位を第2電位Vcc_Lにセットし、また駆動トランジスタ121のゲートを基準電位Vinにセットし、さらにソース電位を第2電位Vcc_Lにセットする初期化動作を経てから、電源供給線105DSLの電位が第1電位Vcc_Hにある状態であつ映像信号線106HSが基準電位Voにある時間帯でサンプリングトランジスタ125を導通させて駆動トランジスタ121の閾値電圧Vthに対応する電圧を保持容量120に保持させようとする閾値補正動作を行なうからである。

20

【0131】

必然的に、閾値補正期間は、1水平期間よりも短くなってしまう。したがって、保持容量120の容量Csや第2電位Vcc_Lの大きさ関係やその他の要因で、この短い1回分の閾値補正動作期間では、閾値電圧Vthに対応する正確な電圧を保持容量120に保持仕切れないケースも起こり得る。本実施形態において、閾値補正動作を複数回実行するのは、この対処のためである。すなわち、信号電位Vinの保持容量120へのサンプリング(信号書込み)に先行する複数の水平周期で、閾値補正動作を繰り返し実行することで、確実に駆動トランジスタ121の閾値電圧Vthに相当する電圧を保持容量120に保持させるのである。

30

【0132】

ある行(ここでは第1行目とする)について、タイミングt11以前の前フィールドの発光期間Bでは、書込駆動パルスWSがインアクティブLでありサンプリングトランジスタ125が非導通状態である一方、電源駆動パルスDSLは高電位の電源電圧側である第1電位Vcc_Hにある。

【0133】

したがって、図6Bに示すように、映像信号線106HSの電位に関わらず、前フィールドの動作によって保持容量120に保持されている電圧状態(駆動トランジスタ121のゲート・ソース間電圧Vgs)に応じて有機EL素子127に駆動トランジスタ121から駆動電流Idsが供給され、全画素共通の接地配線Vcath(GND)に流れ込むことで、有機EL素子127が発光状態にある。

40

【0134】

この後、線順次走査の新しいフィールドに入って、先ず、駆動走査部105は、書込駆動パルスWSがインアクティブLにある状態で、1行目の電源供給線105DSL_1に与える電源駆動パルスDSL_1を高低電位側の第1電位Vcc_Hから低電位側の第2電位Vcc_Lに切り替える(t11_1:図6Cを参照)。このタイミング(t11_1)は、映像信号Vsigが非有効期間の基準電位Voにあるときにする。1行目については、図示のように、タイミングt13V0~t15V0の範囲内とする。

50

【 0 1 3 5 】

なお、この電源供給線 1 0 5 DSL₁ の電位を第 1 電位 V_{cc_H} から第 2 電位 V_{cc_L} に切り替えるタイミング (t_{11_1}) を、映像信号 V_{sig} が非有効期間の基準電位 V_o にあるときに設定することは、好ましい態様ではあるが、必須ではない。電源供給線 1 0 5 DSL のオンタイミングおよびオフタイミングの内の少なくとも一方を、映像信号線 1 0 6 HS が映像信号 V_{sig} の非有効期間である基準電位 V_o にある時間帯となるように駆動タイミングを管理すれば、当該タイミングとしない場合に比べてカップリングノイズの影響は緩和されるからである。

【 0 1 3 6 】

よって、たとえば、電源供給線 1 0 5 DSL の電位が第 2 電位 V_{cc_L} から第 1 電位 V_{cc_H} に遷移するオンタイミングが基準電位 V_o にある時間帯となるように駆動タイミングを管理する場合であれば、閾値補正動作に先立つ初期化動作を行なうためのオフタイミングに関しては、そのような制限を解除し、図 6 A に示す変形例のように、映像信号 V_{sig} が有効期間の信号電位 V_{in} にある期間内でもよい。たとえば、1 行目については、タイミング $t_{15V0} \sim t_{13V1}$ の範囲内でもよい。

10

【 0 1 3 7 】

もちろん、逆に、電源供給線 1 0 5 DSL の電位が第 1 電位 V_{cc_H} から第 2 電位 V_{cc_L} に遷移するオフタイミングが基準電位 V_o にある時間帯となるように駆動タイミングを管理する場合であれば、オンタイミングに関しては、そのような制限を解除し、映像信号 V_{sig} が有効期間の信号電位 V_{in} にある期間内でもよい。

20

【 0 1 3 8 】

次に、書込走査部 1 0 4 は、電源供給線 1 0 5 DSL₁ が第 2 電位 V_{cc_L} にある状態のままで、書込駆動パルス WS をアクティブ H に切り替える (t_{13W1})。このタイミング (t_{13W1}) は、直前の水平期間における映像信号 V_{sig} が非有効期間である基準電位 V_o から有効期間の信号電位 V_{in} に切り替わり (t_{15V0})、その後、当該水平期間における映像信号 V_{sig} の有効期間の信号電位 V_{in} から非有効期間である基準電位 V_o に切り替わるタイミング (t_{13V1}) と同じかそれよりも少し遅れたタイミングにする。この後に書込駆動パルス WS をインアクティブ L に切り替えるタイミング (t_{15W1}) は、映像信号 V_{sig} が非有効期間である基準電位 V_o から有効期間の信号電位 V_{in} に切り替わるタイミング (t_{15V1}) と同じかそれよりも少し前のタイミングにする。

30

【 0 1 3 9 】

つまり、好ましくは、書込駆動パルス WS をアクティブ H にする期間 ($t_{13W} \sim t_{15W}$) は、映像信号 V_{sig} が非有効期間である基準電位 V_o にある時間帯 ($t_{13V} \sim t_{15V}$) 内とする。これは、電源供給線 1 0 5 DSL が第 1 電位 V_{cc_H} にある状態のときで映像信号 V_{sig} が信号電位 V_{in} にあるときに書込駆動パルス WS をアクティブ H にすると信号電位 V_{in} の保持容量 1 2 0 へのサンプリング動作 (信号電位の書込み動作) がなされてしまい、閾値補正動作としては不都合が生じるからである。

【 0 1 4 0 】

タイミング $t_{11_1} \sim t_{13W1}$ (放電期間 C と称する) では、電源供給線 1 0 5 DSL の電位は第 2 電位 V_{cc_L} まで放電され、さらに駆動トランジスタ 1 2 1 のソース電位 V_s は第 2 電位 V_{cc_L} に近い電位まで遷移する。さらに、駆動トランジスタ 1 2 1 のゲート端 G とソース端 S との間には保持容量 1 2 0 が接続されており、その保持容量 1 2 0 による効果によって、駆動トランジスタ 1 2 1 のソース電位 V_s の変動にゲート電位 V_g が連動する。

40

【 0 1 4 1 】

電源供給線 1 0 5 DSL の配線容量が大きい場合は比較的早いタイミングで電源供給線 1 0 5 DSL を高電位 V_{cc_H} から低電位 V_{cc_L} に切り替えるとよい。この放電期間 C ($t_{11_1} \sim t_{13W1}$) を十分に確保することで、配線容量やその他の画素寄生容量の影響を受けないようにしておく。

【 0 1 4 2 】

50

電源駆動パルスDSL を低電位側の第2電位 V_{cc_L} にしたままで、書込駆動パルスWSをアクティブHに切り替えると (t_{13W1})、図6Dに示すように、サンプリングトランジスタ125が導通状態になる。

【0143】

このとき、映像信号線106HSは基準電位 V_o にある。したがって、駆動トランジスタ121のゲート電位 V_g は導通したサンプリングトランジスタ125を通じて映像信号線106HSの基準電位 V_o となる。これと同時に、駆動トランジスタ121がオンすることで、駆動トランジスタ121のソース電位 V_s は即座に低電位側の第2電位 V_{cc_L} に固定される。

【0144】

10

つまり、電源供給線105DSLの電位が高電位側の第1電位 V_{cc_H} から映像信号線106HSの基準電位 V_o より十分低い第2電位 V_{cc_L} にあることで、駆動トランジスタ121のソース電位 V_s が映像信号線106HSの基準電位 V_o より十分低い第2電位 V_{cc_L} に初期化(リセット)される。このようにして、駆動トランジスタ121のゲート電位 V_g およびソース電位 V_s を初期化することで、閾値補正動作の準備が完了する。次に電源駆動パルスDSLを高電位側の第1電位 V_{cc_H} にするまでの期間 ($t_{13W1} \sim t_{14_1}$) が、初期化期間Dとなる。なお、放電期間Cと初期化期間Dとを合わせて、駆動トランジスタ121のゲート電位 V_g とソース電位 V_s を初期化する閾値補正準備期間とも称する。

【0145】

次に、書込駆動パルスWSをアクティブHにしたままで、電源供給線105DSLに与える電源駆動パルスDSLを第1電位 V_{cc_H} に切り替える (t_{14_1})。駆動走査部105は、それ以降は、次のフレーム(あるいはフィールド)の処理まで、電源供給線105DSLの電位を第1電位 V_{cc_H} に保持しておく。

20

【0146】

これにより、ドレイン電流が保持容量120に流れ込み、駆動トランジスタ121の閾値電圧 V_{th} を補正(キャンセル)する第1回目の閾値補正期間(第1閾値補正期間Eと称する)に入る。この第1閾値補正期間Eは、書込駆動パルスWSがインアクティブLにされるタイミング (t_{15W1}) まで継続する。

【0147】

ここで、本実施形態の駆動走査部105は、電源供給線105DSLの電位を、高電位側である第1電位 V_{cc_H} から低電位側である第2電位 V_{cc_L} に遷移させるタイミング (t_{14_1}) を、映像信号線106HSが映像信号 V_{sig} の非有効期間である基準電位 V_o にある時間帯 ($t_{13V1} \sim t_{15V1}$)、さらに好ましくは書込駆動パルスWSがアクティブである時間帯 ($t_{13W1} \sim t_{15W1}$) とする。

30

【0148】

また、本実施形態の駆動走査部105は、他の行(たとえば図6に示す第2行目や第3行目)との関係においては、1行目についての電源供給線105DSL₁が低電位側である第2電位 V_{cc_L} から高電位側である第1電位 V_{cc_H} に遷移させるタイミング (t_{14_1}) を、他の行(たとえば図6に示す第2行目や第3行目)についての電源供給線105DSL₂, 105DSL₃が高電位側である第1電位 V_{cc_H} から低電位側である第2電位 V_{cc_L} に遷移するタイミング (t_{11_2} , t_{11_3}) と一致させる。

40

【0149】

ところで、タイミング (t_{14_1}) 以降の第1閾値補正期間Eでは、図6Eに示すように、電源供給線105DSLの電位が低電位側の第2電位 V_{cc_L} から高電位側の第1電位 V_{cc_H} に遷移することで、駆動トランジスタ121のソース電位 V_s が上昇を開始する。

【0150】

すなわち、駆動トランジスタ121のゲート端Gは映像信号 V_{sig} の基準電位 V_o に保持されており、駆動トランジスタ121のソース端Sの電位 V_s が上昇して駆動トランジスタ121がカットオフするまでドレイン電流が流れようとする。カットオフすると駆動トランジスタ121のソース電位 V_s は " $V_o - V_{th}$ " となる。

50

【0151】

すなわち、有機EL素子127の等価回路はダイオードと寄生容量 C_{el} の並列回路で表されるため、“ $V_{el} = V_{cath} + V_{thEL}$ ”である限り、つまり、有機EL素子127のリーク電流が駆動トランジスタ121に流れる電流よりかなり小さい限り、駆動トランジスタ121の電流は保持容量120と寄生容量 C_{el} を充電するために使われる。

【0152】

この結果、駆動トランジスタ121を流れるドレイン電流の電流路が遮断されると、有機EL素子127のアノード端Aの電圧 V_{el} つまりノードND121の電位は、時間とともに上昇してゆく。そして、ノードND121の電位（ソース電位 V_s ）とノードND122の電圧（ゲート電位 V_g ）との電位差がちょうど閾値電圧 V_{th} となったところで駆動トランジスタ121はオン状態からオフ状態となり、ドレイン電流は流れなくなり、閾値補正期間が終了する。つまり、一定時間経過後、駆動トランジスタ121のゲート・ソース間電圧 V_{gs} は閾値電圧 V_{th} という値をとる。

10

【0153】

ここで、実際には、閾値電圧 V_{th} に相当する電圧が、駆動トランジスタ121のゲート端Gとソース端Sとの間に接続された保持容量120に書き込まれることになる。しかしながら、第1閾値補正期間Eは、書込駆動パルスWSをアクティブHにしたタイミング（ t_{13W1} ）（詳しくはその後に電源駆動パルスDSLを第1電位 V_{cc_H} に戻した時点 t_{14} ）からインアクティブLに戻すタイミング（ t_{15W1} ）までであり、この期間が十分に確保されていないときには、それ以前に終了してしまうこととなる。

20

【0154】

具体的には、ゲート・ソース間電圧 V_{gs} が $V_{x1} (> V_{th})$ になったとき、つまり、駆動トランジスタ121のソース電位 V_s が低電位側の第2電位 V_{cc_L} から“ $V_o - V_{x1}$ ”になったときに終わってしまう。このため、第1閾値補正期間Eが完了した時点（ t_{15W1} ）では、 V_{x1} が保持容量120に書き込まれる。

【0155】

次に、駆動走査部105は、1水平期間の後半部で、書込駆動パルスWSをインアクティブLに切り替え（ t_{15W1} ）、さらに水平駆動部106は、映像信号線106HSの電位を基準電位 V_o から信号電位 V_{in} に切り替える（ t_{15V1} ）。これにより、図6Fに示すように、映像信号線106HSが信号電位 V_{in} に変化する一方、書込走査線104WSの電位（書込駆動パルスWS）はローレベルになる。

30

【0156】

このときには、サンプリングトランジスタ125は非導通（オフ）状態にあり、それ以前に保持容量120に保持された V_{x1} に応じたドレイン電流が有機EL素子127に流れることで、ソース電位 V_s が僅かに上昇する。この上昇分を V_{a1} とすると、ソース電位 V_s は“ $V_o - V_{x1} + V_{a1}$ ”となる。さらに、駆動トランジスタ121のゲート端Gとソース端Sとの間には保持容量120が接続されており、その保持容量120による効果によって、駆動トランジスタ121のソース電位 V_s の変動にゲート電位 V_g が連動することで、ゲート電位 V_g が“ $V_o + V_{a1}$ ”となる。

40

【0157】

第1閾値補正期間E後の、水平駆動部106が映像信号線106HSの電位を信号電位 V_{in} から基準電位 V_o に切り替え（ t_{13V2} ）、駆動走査部105が書込駆動パルスWSをアクティブHに切り替える（ t_{13W2} ）までの期間（他行書込み期間と称する）Fは、他の行の画素に対する信号電位 V_{in} のサンプリング期間となり、この処理対象行のサンプリングトランジスタ125はオフ状態にする必要がある。これで、1回目の1水平期間の処理が完結する。

【0158】

次の1水平周期（1H）の前半になると、水平駆動部106が映像信号線106HSの電位を信号電位 V_{in} から基準電位 V_o に切り替え（ t_{13V2} ）、駆動走査部105が書込駆動パルスWSをアクティブHに切り替える（ t_{13W2} ）。これにより、ドレイン電流が保持

50

容量 120 に流れ込み、駆動トランジスタ 121 の閾値電圧 V_{th} を補正（キャンセル）する第 2 回目の閾値補正期間（第 2 閾値補正期間 G と称する）に入る。この第 2 閾値補正期間 G は、書込駆動パルス WS がインアクティブ L にされるタイミング（ t_{15W2} ）まで継続する。

【0159】

第 2 閾値補正期間 G では、第 1 閾値補正期間 E と同様の動作をする。具体的には、図 6 G に示すように、駆動トランジスタ 121 のゲート端 G は映像信号 V_{sig} の基準電位 V_o に保持されることとなり、ゲート電位が直前の “ $V_g = \text{基準電位 } V_o + V_{a1}$ ” から基準電位 V_o に瞬時に切り替わる。駆動トランジスタ 121 のゲート端 G とソース端 S との間には保持容量 120 が接続されており、その保持容量 120 による効果によって、駆動トランジスタ 121 のゲート電位 V_g の変動にソース電位 V_s が連動することで、ソース電位 V_s は、直前の “ $V_o - V_{x1} + V_{a1}$ ” から V_{a1} だけ低下するので、“ $V_o - V_{x1}$ ” となる。

【0160】

この後、駆動トランジスタ 121 のソース端 S の電位 V_s が上昇して駆動トランジスタ 121 がカットオフするまでドレイン電流が流れようとする。カットオフすると駆動トランジスタ 121 のソース電位 V_s は “ $V_o - V_{th}$ ” となる。

【0161】

しかしながら、第 2 閾値補正期間 G は、書込駆動パルス WS をアクティブ H にしたタイミング（ t_{13W2} ）からインアクティブ L に戻すタイミング（ t_{15W2} ）までであり、この期間が十分に確保されていないときには、それ以前に終了してしまうこととなる。この点は、第 1 閾値補正期間 E と同じであり、ゲート・ソース間電圧 V_{gs} が V_{x2} （ $< V_{x1}$ 、かつ $> V_{th}$ ）になったとき、つまり、駆動トランジスタ 121 のソース電位 V_s が “ $V_o - V_{x1}$ ” から “ $V_o - V_{x2}$ ” になったときに終わってしまう。このため、第 2 閾値補正期間 G が完了した時点（ t_{15W2} ）では、 V_{x2} が保持容量 120 に書き込まれる。

【0162】

次に、駆動走査部 105 は、1 水平期間の後半部で、他の行の画素に対する信号電位のサンプリングを行なうため、書込駆動パルス WS をインアクティブ L に切り替え（ t_{15W2} ）、さらに水平駆動部 106 は、映像信号線 106 HS の電位を基準電位 V_o から信号電位 V_{in} に切り替える（ t_{15V2} ）。これにより、図 6 H に示すように、映像信号線 106 HS が信号電位 V_{in} に変化する一方、書込走査線 104 WS の電位（書込駆動パルス WS）はローレベルになる。

【0163】

このときには、サンプリングトランジスタ 125 は非導通（オフ）状態にあり、それ以前に保持容量 120 に保持された V_{x2} に応じたドレイン電流が有機 EL 素子 127 に流れることで、ソース電位 V_s が僅かに上昇する。この上昇分を V_{a2} とすると、ソース電位 V_s は “ $V_o - V_{x2} + V_{a2}$ ” となる。さらに、駆動トランジスタ 121 のゲート端 G とソース端 S との間には保持容量 120 が接続されており、その保持容量 120 による効果によって、駆動トランジスタ 121 のソース電位 V_s の変動にゲート電位 V_g が連動することで、ゲート電位 V_g が “ $V_o + V_{a2}$ ” となる。

【0164】

第 2 閾値補正期間 G 後の、水平駆動部 106 が映像信号線 106 HS の電位を信号電位 V_{in} から基準電位 V_o に切り替え（ t_{13V3} ）、駆動走査部 105 が書込駆動パルス WS をアクティブ H に切り替える（ t_{13W3} ）までの期間（他行書込み期間と称する）H は、他の行の画素に対する信号電位 V_{in} のサンプリング期間となり、この処理対象行のサンプリングトランジスタ 125 はオフ状態にする必要がある。これで、2 回目の 1 水平期間の処理が完結する。

【0165】

さらに、次の 1 水平周期（1 H）の前半になると、水平駆動部 106 が映像信号線 106 HS の電位を信号電位 V_{in} から基準電位 V_o に切り替え（ t_{13V3} ）、駆動走査部 105

10

20

30

40

50

が書込駆動パルスWSをアクティブHに切り替える (t_{13W3})。これにより、ドレイン電流が保持容量120に流れ込み、駆動トランジスタ121の閾値電圧 V_{th} を補正(キャンセル)する第3回目の閾値補正期間(第3閾値補正期間Iと称する)に入る。この第3閾値補正期間Iは、書込駆動パルスWSがインアクティブLにされるタイミング (t_{15W3}) まで継続する。

【0166】

この第3閾値補正期間Iでは、第1閾値補正期間Eや第2閾値補正期間Gと同様の動作をする。具体的には、図6Iに示すように、駆動トランジスタ121のゲート端Gは映像信号 V_{sig} の基準電位 V_o に保持されることとなり、ゲート電位が直前の“ $V_g = \text{基準電位 } V_o + V_{a2}$ ”から基準電位 V_o に瞬時に切り替わる。駆動トランジスタ121のゲート端Gとソース端Sとの間には保持容量120が接続されており、その保持容量120による効果によって、駆動トランジスタ121のゲート電位 V_g の変動にソース電位 V_s が連動することで、ソース電位 V_s は、直前の“ $V_o - V_{x2} + V_{a2}$ ”から V_{a2} だけ低下するので、“ $V_o - V_{x2}$ ”となる。

【0167】

この後、駆動トランジスタ121のソース端Sの電位 V_s が上昇して駆動トランジスタ121がカットオフするまでドレイン電流が流れようとする。ゲート・ソース間電圧 V_{gs} がちょうど閾値電圧 V_{th} となったところでドレイン電流がカットオフする。カットオフすると駆動トランジスタ121のソース電位 V_s は“ $V_o - V_{th}$ ”となる。

【0168】

つまり、複数回(本例では3回)に亘る閾値補正期間での処理によって、駆動トランジスタ121のゲート・ソース間電圧 V_{gs} は閾値電圧 V_{th} という値をとる。ここで、実際には、閾値電圧 V_{th} に相当する電圧が、駆動トランジスタ121のゲート端Gとソース端Sとの間に接続された保持容量120に書き込まれることになる。

【0169】

なお、3回に亘る閾値補正期間E, G, Iでは、何れもドレイン電流が専ら保持容量120側($C_s \ll C_{el}$ 時)に流れ、有機EL素子127側には流れないようにするため、有機EL素子127がカットオフとなるように共通接地配線cathの電位 V_{cath} を設定しておく。

【0170】

この後、水平駆動部106により信号線106HSに映像信号 V_{sig} の信号電位 V_{in} を実際に供給して、書込駆動パルスWSをアクティブHにする期間を、保持容量120への信号電位 V_{in} の書込み期間(サンプリング期間とも称する)とする。この信号電位 V_{in} は駆動トランジスタ121の閾値電圧 V_{th} に足し込む形で保持される。

【0171】

この結果、駆動トランジスタ121の閾値電圧 V_{th} の変動は常にキャンセルされる形となるので、閾値補正を行なっていることになる。この閾値補正によって、保持容量120に保持されるゲート・ソース間電圧 V_{gs} は、“ $V_{sig} + V_{th} = V_{in} + V_{th}$ ”となる。また、同時に、このサンプリング期間で移動度補正を実行する。すなわち、第1実施形態の駆動タイミングにおいて、サンプリング期間は移動度補正期間を兼ねることとなる。

【0172】

具体的には、まず、書込駆動パルスWSをインアクティブLに切り替え(t_{15W3})、さらに水平駆動部106は、映像信号線106HSの電位を基準電位 V_o から信号電位 V_{in} に切り替える(t_{15V3})ことで、最後(本例では3回目)の閾値補正期間を完了させる。こうすることで、図6Jに示すように、サンプリングトランジスタ125が非導通(オフ)状態とされ、次のサンプリング動作および移動度補正動作の準備が完了する。次に書込駆動パルスWSをアクティブHにするタイミング(t_{16_1})まで期間を書込み&移動度補正準備期間Jと称する。

【0173】

次に、電源供給線105DSLの電位を第1電位 V_{cc_H} にし、かつ、映像信号線106HS

10

20

30

40

50

の電位を信号電位 V_{in} に保持したままで、書込走査部 104 は、書込駆動パルス WS をアクティブ H に切り替え (t_{16_1})、水平駆動部 106 が映像信号線 106 HS の電位を信号電位 V_{in} から基準電位 V_o に切り替えるタイミング (t_{18_1}) までの間での適当なタイミングで、つまり、映像信号線 106 HS が信号電位 V_{in} にある時間帯での適当なとき、インアクティブ L に切り替える (t_{17_1})。この書込駆動パルス WS がアクティブ H にある期間 ($t_{16_1} \sim t_{17_1}$) を、サンプリング期間 & 移動度補正期間 K と称する。

【0174】

これにより、図 6 K に示すように、サンプリングトランジスタ 125 が導通 (オン) 状態となり、駆動トランジスタ 121 のゲート電位 V_g は信号電位 V_{in} となる。したがって、サンプリング期間 & 移動度補正期間 K では、駆動トランジスタ 121 のゲート端 G が映像信号 V_{sig} の信号電位 V_{in} に固定された状態で、駆動トランジスタ 121 に駆動電流 I_{ds} が流れる。

10

【0175】

ここで、有機 EL 素子 127 の閾値電圧を V_{thEL} としたとき、“ $V_o - V_{th} < V_{thEL}$ ” と設定しておくことで、有機 EL 素子 127 は、逆バイアス状態におかれ、カットオフ状態 (ハイインピーダンス状態) にあるため、発光することではなく、また、ダイオード特性ではなく単純な容量特性を示すようになる。よって駆動トランジスタ 121 に流れるドレイン電流 (駆動電流 I_{ds}) は保持容量 120 の容量値 C_s と有機 EL 素子 127 の寄生容量 (等価容量) C_{el} の容量値 C_{el} の両者を結合した容量 “ $C = C_s + C_{el}$ ” に書き込まれていく。これにより、駆動トランジスタ 121 のドレイン電流は有機 EL 素子 127 の寄生容量 C_{el} に流れ込み充電を開始する。その結果、駆動トランジスタ 121 のソース電位 V_s は上昇していく。

20

【0176】

図 6 のタイミングチャートでは、この上昇分を ΔV で表してある。この上昇分、すなわち移動度補正パラメータである負帰還量 ΔV は、閾値補正によって保持容量 120 に保持されるゲート・ソース間電圧 “ $V_{gs} = V_{in} + V_{th}$ ” から差し引かれることになり、“ $V_{gs} = V_{in} - \Delta V + V_{th}$ ” となるので、負帰還をかけたことになる。このとき、駆動トランジスタ 121 のソース電位 V_s は、ゲート電位 $V_g (= V_{in})$ から保持容量に保持される電圧 “ $V_{gs} = V_{in} - \Delta V + V_{th}$ ” を差し引いた値 “ $-V_{th} + \Delta V$ ” となる。

【0177】

30

このようにして、第 1 実施形態の駆動タイミングでは、サンプリング期間 & 移動度補正期間 K ($t_{16} \sim t_{17}$) において、映像信号 V_{sig} における信号電位 V_{in} のサンプリングと移動度 μ を補正する負帰還量 (移動度補正パラメータ) ΔV の調整が行なわれる。書込走査部 104 は、サンプリング期間 & 移動度補正期間 K の時間幅を調整可能であり、これにより保持容量 120 に対する駆動電流 I_{ds} の負帰還量を最適化することができる。

【0178】

ここで「負帰還量を最適化する」とは、映像信号電位の黒レベルから白レベルまでの範囲で、どのレベルにおいても適切に移動度補正を行なうことができるようにすることを意味する。ゲート・ソース間電圧 V_{gs} にかける負帰還量は、ドレイン電流 I_{ds} の取り出し時間すなわちサンプリング期間 & 移動度補正期間 K に依存しており、この期間を長くとるほど、負帰還量が大きくなる。負帰還量 ΔV は $\Delta V = I_{ds} \cdot C_{el} / t$ である。

40

【0179】

この式から明らかなように、駆動トランジスタ 121 のドレイン・ソース間電流である駆動電流 I_{ds} が大きいほど、負帰還量 ΔV は大きくなる。逆に、駆動トランジスタ 121 の駆動電流 I_{ds} が小さいとき、負帰還量 ΔV は小さくなる。このように、負帰還量 ΔV は駆動電流 I_{ds} に応じて決まる。

【0180】

また、信号電位 V_{in} が大きいほど駆動電流 I_{ds} は大きくなり、負帰還量 ΔV の絶対値も大きくなる。したがって、発光輝度レベルに応じた移動度補正を実現できる。その際、サンプリング期間 & 移動度補正期間 K は必ずしも一定である必要はなく、逆に駆動電流 I_{ds}

50

に応じて調整することが好ましい場合がある。たとえば、駆動電流 I_{ds} が大きい場合、移動度補正期間 t は短めにし、逆に駆動電流 I_{ds} が小さくなると、サンプリング期間 & 移動度補正期間 K は長めに設定するのがよい。

【0181】

また、負帰還量 ΔV は、 $I_{ds} \cdot C_{el} / t$ であり、画素回路 P ごとに移動度 μ のばらつきに起因して駆動電流 I_{ds} がばらつく場合でも、それぞれに応じた負帰還量 ΔV となるので、画素回路 P ごとの移動度 μ のばらつきを補正することができる。つまり、信号電位 V_{in} を一定とした場合、駆動トランジスタ 121 の移動度 μ が大きいほど負帰還量 ΔV の絶対値が大きくなる。換言すると、移動度 μ が大きいほど負帰還量 ΔV が大きくなるので、画素回路 P ごとの移動度 μ のばらつきを取り除くことができる。

10

【0182】

このようにして、第1実施形態の駆動タイミングでは、サンプリング期間 & 移動度補正期間 K にて、信号電位 V_{in} のサンプリングと移動度 μ のばらつきを補正するための負帰還量 ΔV の調整が同時に行なわれる。もちろん、負帰還量 ΔV はサンプリング期間 & 移動度補正期間 K の時間幅を調整することで最適化可能である。

【0183】

次に、書込走査部 104 は、映像信号線 106 HS の電位が信号電位 V_{in} にある状態で、書込駆動パルス WS をインアクティブ L に切り替える (t_{17_1})。これにより、図 6 L に示すように、サンプリングトランジスタ 125 が非導通 (オフ) 状態となり発光期間 L に進む。水平駆動部 106 は、その後の適当な時点で映像信号線 106 HS への映像信号 V_{sig} の信号電位 V_{in} の供給を停止して基準電位 V_o に戻す (t_{18_1})。この後、次のフレーム (もしくはフィールド) に移って、再び、閾値補正準備動作、閾値補正動作、移動度補正動作、および発光動作が繰り返される。

20

【0184】

この結果、駆動トランジスタ 121 のゲート端 G は映像信号線 106 HS から切り離される。駆動トランジスタ 121 のゲート端 G への信号電位 V_{in} の印加が解除されるので、駆動トランジスタ 121 のゲート電位 V_g は上昇可能となる。

【0185】

このとき、駆動トランジスタ 121 に流れる駆動電流 I_{ds} は有機 EL 素子 127 に流れ、有機 EL 素子 127 のアノード電位は駆動電流 I_{ds} に応じて上昇する。この上昇分を V_{el} とする。やがて、ソース電位 V_s の上昇に伴い、有機 EL 素子 127 の逆バイアス状態は解消されるので、駆動電流 I_{ds} の流入により有機 EL 素子 127 は実際に発光を開始する。このときの有機 EL 素子 127 のアノード電位の上昇 (V_{el}) は、駆動トランジスタ 121 のソース電位 V_s の上昇に他ならず、駆動トランジスタ 121 のソース電位 V_s は、“ $-V_{th} + \Delta V + V_{el}$ ” となる。

30

【0186】

駆動電流 I_{ds} 対ゲート電圧 V_{gs} の関係は、先のトランジスタ特性を表した式 (1) の V_{gs} に “ $V_{in} - \Delta V + V_{th}$ ” を代入することで、式 (2) のように表すことができる。式 (2) において、 $k = (1/2)(W/L)C_{ox}$ である。

【0187】

【数 2】

40

$$I_{ds} = k\mu (V_{gs} - V_{th})^2 = k\mu (V_{in} - \Delta V)^2 \cdots (2)$$

【0188】

この式 (2) から、閾値電圧 V_{th} の項がキャンセルされており、有機 EL 素子 127 に供給される駆動電流 I_{ds} は駆動トランジスタ 121 の閾値電圧 V_{th} に依存しないことが分かる。基本的に駆動電流 I_{ds} は映像信号 V_{sig} の信号電位 V_{in} によって決まる。換言すると、有機 EL 素子 127 は信号電位 V_{in} に応じた輝度で発光することになる。

【0189】

50

その際、信号電位 V_{in} は帰還量 ΔV で補正されている。この補正量 ΔV はちょうど式 (2) の係数部に位置する移動度 μ の効果を打ち消すように働く。したがって、駆動電流 I_{ds} は実質的に信号電位 V_{in} のみに依存することになる。駆動電流 I_{ds} は閾値電圧 V_{th} に依存しないので、閾値電圧 V_{th} が製造プロセスにより変動しても、ドレイン・ソース間の駆動電流 I_{ds} は変動せず、有機 EL 素子 127 の発光輝度も変動しない。

【0190】

また、駆動トランジスタ 121 のゲート端 G とソース端 S との間には保持容量 120 が接続されており、その保持容量 120 による効果により、発光期間の最初でブートストラップ動作が行なわれ、駆動トランジスタ 121 のゲート・ソース間電圧 " $V_{gs} = V_{in} - \Delta V + V_{th}$ " を一定に維持したまま、駆動トランジスタ 121 のゲート電位 V_g およびソース電位 V_s が上昇する。駆動トランジスタ 121 のソース電位 V_s が " $-V_{th} + \Delta V + V_{el}$ " となることで、ゲート電位 V_g は " $V_{in} + V_{el}$ " となる。

10

【0191】

このとき、駆動トランジスタ 121 のゲート・ソース間電圧 V_{gs} は一定であるので、駆動トランジスタ 121 は、一定電流 (駆動電流 I_{ds}) を有機 EL 素子 127 に流す。その結果、電圧降下が生じ、有機 EL 素子 127 のアノード端 A の電位 V_{el} (= ノード ND121 の電位) は、有機 EL 素子 127 に飽和状態での駆動電流 I_{ds} という電流が流れ得る電圧まで上昇する。

【0192】

ここで、有機 EL 素子 127 は、発光時間が長くなるとその $I-V$ 特性が変化してしまう。そのため、時間の経過とともに、ノード ND121 の電位も変化する。しかしながら、このような有機 EL 素子 127 の経時劣化によりそのアノード電位が変動しても、保持容量 120 に保持されたゲート・ソース間電圧 V_{gs} は常に " $V_{in} - \Delta V + V_{th}$ " で一定に維持される。

20

【0193】

駆動トランジスタ 121 が定電流源として動作することから、有機 EL 素子 127 の $I-V$ 特性が経時変化し、これに伴って駆動トランジスタ 121 のソース電位 V_s が変化したとしても、保持容量 120 によって駆動トランジスタ 121 のゲート・ソース間電位 V_{gs} が一定 ($V_{in} - \Delta V + V_{th}$) に保たれているため、有機 EL 素子 127 に流れる電流は変わらず、したがって有機 EL 素子 127 の発光輝度も一定に保たれる。

30

【0194】

このような、有機 EL 素子 127 の特性変動に拘らず、駆動トランジスタ 121 のゲート・ソース間電圧を一定に維持し輝度を一定に維持する補正のための動作 (保持容量 120 の効果による動作) をブートストラップ動作と呼ぶ。このブートストラップ動作により、有機 EL 素子 127 の $I-V$ 特性が経時的に変化しても、それに伴う輝度劣化のない画像表示が可能になる。

【0195】

つまり、第 1 実施形態の画素回路 P とそれを駆動する第 1 実施形態の駆動タイミングでは、電気光学素子の一例である有機 EL 素子 127 の電流 - 電圧特性の変化を補正して駆動電流を一定に維持する駆動信号一定化回路の一例であるブートストラップ回路が構成され、ブートストラップ動作が機能するようになっているのである。よって、有機 EL 素子 127 の $I-V$ 特性が劣化しても一定電流 I_{ds} が常に流れ続けるため、有機 EL 素子 127 は画素信号 V_{sig} に応じた輝度で発光を続けることになり輝度が変化することはない。

40

【0196】

また、第 1 実施形態の画素回路 P とそれを駆動する第 1 実施形態の駆動タイミングでは、駆動トランジスタ 121 の閾値電圧 V_{th} を補正して駆動電流を一定に維持する駆動信号一定化回路の一例である閾値補正回路が構成され閾値補正動作が機能するようになっている。駆動トランジスタ 121 の閾値電圧 V_{th} を反映させたゲート・ソース間電位 V_{gs} として、当該閾値電圧 V_{th} のばらつきの影響を受けない一定電流 I_{ds} を流すことができる。

【0197】

50

特に、第1実施形態の駆動タイミングでは、1回の閾値補正動作の処理サイクルを1水平期間とし、複数回に亘って閾値補正動作を繰り返すようにしており、確実に閾値電圧 V_{th} を保持容量120に保持させるようにしている。このため、閾値電圧 V_{th} の画素間差が確実に除去され、階調に拘らず、閾値電圧 V_{th} のばらつきに起因する輝度ムラを抑制できる。

【0198】

これに対して、閾値補正動作を1回にするなど閾値電圧 V_{th} の補正が不十分な場合は、つまり閾値電圧 V_{th} が保持容量120に保持されていない場合には、異なる画素回路Pの間で、低階調の領域では輝度（駆動電流 I_{ds} ）に差が出てしまう。よって閾値電圧の補正が不十分な場合は、低階調で輝度のムラが現れ画質を損なうことになる。

10

【0199】

加えて、第1実施形態の駆動タイミングでは、サンプリングトランジスタ125による信号電位 V_{in} の保持容量120への書込み動作と連動して駆動トランジスタ121の移動度 μ を補正して駆動電流を一定に維持する駆動信号一定化回路の一例である移動度補正回路が構成され移動度補正動作が機能するようになっている。駆動トランジスタ121のキャリア移動度 μ を反映させたゲート・ソース間電位 V_{gs} として、当該キャリア移動度 μ のばらつきの影響を受けない一定電流 I_{ds} を流すことができる。

【0200】

つまり、第1実施形態の画素回路Pは、駆動タイミングを工夫することで、閾値補正回路や移動度補正回路が自動的に構成され、駆動トランジスタ121の特性ばらつき（本例では閾値電圧 V_{th} およびキャリア移動度 μ のばらつき）による駆動電流 I_{ds} に与える影響を防ぐために、閾値電圧 V_{th} およびキャリア移動度 μ による影響を補正して駆動電流を一定に維持する駆動信号一定化回路として機能するようになっているのである。

20

【0201】

ブートストラップ動作だけでなく、閾値補正動作と移動度補正動作とを実行しているため、ブートストラップ動作で維持されるゲート・ソース間電圧 V_{gs} は、閾値電圧 V_{th} に相当する電圧と移動度補正用の電圧 ΔV とによって調整されているため、有機EL素子127の発光輝度は駆動トランジスタ121の閾値電圧 V_{th} や移動度 μ のばらつきの影響を受けることがないし、有機EL素子127の経時劣化の影響も受けない。入力される信号電位 V_{in} に対応する安定した階調で表示でき、高画質の画像を得ることができる。

30

【0202】

また、第1実施形態の画素回路Pは、nチャネル型の駆動トランジスタ121を用いたソースフォロア回路によって構成することができるために、現状のアノード・カソード電極の有機EL素子をそのまま用いても、有機EL素子127の駆動が可能になる。

【0203】

また、駆動トランジスタ121およびその周辺部のサンプリングトランジスタ125をも含めてnチャネル型のみトランジスタを用いて画素回路Pを構成することができ、TFT作成においてもアモルファスシリコン（a-Si）プロセスを用いることができるようになるため、TFT基板の低コスト化が図れることになる。

【0204】

40

< 電源駆動パルスDSLのスイッチングタイミングの詳細 >

図7は、図5に示した第1実施形態の画素回路Pにおいて、図6に示した第1実施形態の駆動タイミングとすること、特に、映像信号 V_{sig} （特に非有効期間である基準電位 V_o の期間）との関係における電源駆動パルスDSLのスイッチングタイミングの効果を説明する図である。

【0205】

この図7においては、図5に示した第1実施形態の画素回路Pにおいて、映像信号線106HSと電源供給線105DSLとの間に形成される寄生容量 C_p および映像信号線106HSの信号線容量 C_{sig} を表している。

【0206】

50

図示のように、映像信号線 106 HSと電源供給線 105 DSL との間に寄生容量 C_p が形成されると、電源供給線 105 DSL のスイッチング時にそのスイッチングに起因するノイズが映像信号線 106 HSにカップリング電圧として重畳される。

【0207】

このカップリング電圧が、信号電位 V_{in} の期間に発生すると、それが保持容量 120 に保持され、結果的には映像に現れることになる。つまり、電源供給線 105 DSL をスイッチングする際に交差配線している映像信号線 106 HSへのカップリングのため、映像信号 V_{sig} に乱れが生じ、画質の悪化を招くことになる。

【0208】

たとえば、電源供給線 105 DSL の電位が第 2 電位 V_{cc_L} から第 1 電位 V_{cc_H} に遷移するタイミング (t_{14} : オンタイミング) においては、 $(V_{cc_H} - V_{cc_L}) \times (C_p / (C_p + C_{sig}))$ の電位が映像信号線 106 HSにカップリングとして重畳されるし、電源供給線 105 DSL の電位が第 1 電位 V_{cc_H} から第 2 電位 V_{cc_L} に遷移するタイミング (t_{11} : オフタイミング) では $(V_{cc_L} - V_{cc_H}) \times (C_p / (C_p + C_{sig}))$ の電位が映像信号線 106 HSにカップリングとして重畳される。

【0209】

第 1 実施形態の画素回路 P では、駆動トランジスタ 121 のドレイン端 D に供給される電位を第 1 電位 V_{cc_H} と第 2 電位 V_{cc_L} とでスイッチングさせるようにしている。しかも、第 1 電位 V_{cc_H} は発光時の電源供給能力を持つ高電位側の電源電圧である一方、第 2 電位 V_{cc_L} は共通接地配線 cath の電位 V_{cath} をいわゆる接地電位 ($GND = 0V$) とすると負側の電位となり、その差 ($|V_{cc_H} - V_{cc_L}|$) が非常に大きく、大振幅のカップリングノイズが映像信号線 106 HSに重畳されることになる。

【0210】

ここで、図 6 に示した第 1 実施形態の駆動タイミングでは、電源供給線 105 DSL が低電位側である第 2 電位 V_{cc_L} から高電位側である第 1 電位 V_{cc_H} に遷移するオンタイミング (t_{14}) を、映像信号線 106 HSが映像信号 V_{sig} の非有効期間である基準電位 V_o にある時間帯で、かつ書込駆動パルス WSがアクティブである時間帯 (前例では $t_{13W} \sim t_{15W}$) に設定している。

【0211】

このため、各画素回路 P の駆動トランジスタ 121 のゲート端 G は映像信号線 106 HS上の基準電位 V_o に接続されているためローインピーダンスであり、隣接画素間のノイズを受けない。また、閾値補正動作時であるため、信号電位 V_{in} の保持容量 120 へのサンプリング電位には影響しない。電源供給線 105 DSL のパルス電圧が映像信号線 106 HSの映像信号 V_{sig} (特に有効期間の信号電位) に重畳されることによるノイズ (つまり映像信号への電源パルスのカップリングノイズ) を抑制できるので、良好な画質の表示装置を実現できる。

【0212】

また、他の行との関係においては、当該行についての電源供給線 105 DSL が高電位側である第 1 電位 V_{cc_H} から低電位側である第 2 電位 V_{cc_L} に遷移するオフタイミング (t_{11}) を、他の行についての電源供給線 105 DSL が低電位側である第 2 電位 V_{cc_L} から高電位側である第 1 電位 V_{cc_H} に遷移するオンタイミング (t_{14}) と一致させている。

【0213】

これにより、電源供給線 105 DSL の電位がスイッチングする際のカップリング電圧は、 $(V_{cc_H} - V_{cc_L}) \times (C_p / (C_p + C_{sig}))$ と $(V_{cc_L} - V_{cc_H}) \times (C_p / (C_p + C_{sig}))$ で相殺され、映像信号の乱れをより確実に防止することができる。よって、一層良好な画質の表示装置を実現できる。

【0214】

このように、電源供給線 105 DSL のスイッチングタイミング (オンタイミングとオフタイミングの何れか一方、好ましくは双方) を、映像信号線 106 HSが映像信号 V_{sig} の非有効期間である基準電位 V_o にある時間帯 (前例では $t_{13V} \sim t_{15V}$) にする、さ

10

20

30

40

50

らに好ましくは、書込駆動パルスWSがアクティブである時間帯（前例では $t_{13W} \sim t_{15W}$ ）となるように駆動タイミングを管理することで、映像信号線106HSへのカップリングを無視することができ、良好な画質の表示装置を実現できるようになる。

【0215】

< タイミングチャート；第2実施形態 >

図8は、図5に示した第1実施形態の画素回路Pに関する第2実施形態の駆動タイミングを説明するタイミングチャートである。理解を容易にするため、図6に示した第1実施形態の駆動タイミングのタイミングチャートと同一の表記を採用している。

【0216】

詳細な説明は割愛するが、図6に示した第1実施形態と異なる点は、第2実施形態では、閾値補正動作を1回しか実行していないことである。それ以外は、前述の第1実施形態の駆動タイミングと同じである。

【0217】

よって、第2実施形態の駆動タイミングにおいても、電源駆動パルスDSLのスイッチングタイミング、すなわち電源供給線105DSLの電位が第2電位 V_{cc_L} から第1電位 V_{cc_H} に遷移するタイミングや電源供給線105DSLの電位が第1電位 V_{cc_H} から第2電位 V_{cc_L} に遷移するタイミングと映像信号 V_{sig} （特に非有効期間である基準電位 V_o の期間）との関係を、前述のような一定の関係に維持する点は、第1実施形態の駆動タイミングと同じである。

【0218】

ただし、閾値補正動作を1回しか実行していないので、実際には、1水平期間よりも短くなってしまう閾値補正期間の1回の動作だけでは時間が足らず、駆動トランジスタ121の閾値電圧 V_{th} に相当する電圧を完全に保保持容量120に書き込むことができない場合が起こり得る。

【0219】

以上、本発明について実施形態を用いて説明したが、本発明の技術的範囲は上記実施形態に記載の範囲には限定されない。発明の要旨を逸脱しない範囲で上記実施形態に多様な変更または改良を加えることができ、そのような変更または改良を加えた形態も本発明の技術的範囲に含まれる。

【0220】

また、上記の実施形態は、クレーム（請求項）に係る発明を限定するものではなく、また実施形態の中で説明されている特徴の組合せの全てが発明の解決手段に必須であるとは限らない。前述した実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜の組合せにより種々の発明を抽出できる。実施形態に示される全構成要件から幾つかの構成要件が削除されても、効果が得られる限りにおいて、この幾つかの構成要件が削除された構成が発明として抽出され得る。

【0221】

< 駆動タイミングの変形例 >

たとえば、電源駆動パルスDSLのスイッチングタイミング（オフタイミングとオンタイミング）の内、少なくとも一方を映像信号 V_{sig} の非有効期間である基準電位 V_o の期間とする限りにおいて、様々な変形が可能である。たとえば、電源供給線105DSLの電位が第2電位 V_{cc_L} から第1電位 V_{cc_H} に遷移するタイミングを映像信号 V_{sig} の非有効期間である基準電位 V_o の期間としつつ、様々な変形が可能である。

【0222】

たとえば、図9は、第1の変形例を説明するタイミングチャートである。この第1の変形例は、図6に示した第1実施形態の駆動タイミングに対して、サンプリング期間&移動度補正期間Kの設定方法を変形したものである。なお、図6Aに示した第1実施形態の変形例に対しても同様に適用できる。

【0223】

具体的には、先ず映像信号 V_{sig} が基準電位 V_o から信号電位 V_{in} に遷移するタイミン

10

20

30

40

50

グ t 1 5 を図 6 に示した駆動タイミングよりも 1 水平期間の後半側にシフトさせて、有効期間である信号電位 V_{in} の期間を狭くする。

【 0 2 2 4 】

また、全ての閾値補正動作の完了時（本例では第 3 閾値補正期間 I の完了時）には、先ず、書込駆動パルス WS をアクティブ H にしたままで、水平駆動部 1 0 6 により映像信号線 1 0 6 HS に映像信号 V_{sig} の信号電位 V_{in} を供給して（ t 1 6 ）、書込駆動パルス WS をインアクティブ L にするまで（ t 1 7 ）の間を、保持容量 1 2 0 への画素信号 V_{sig} の書き込み期間とする。この信号電位 V_{in} は駆動トランジスタ 1 2 1 の閾値電圧 V_{th} に足し込む形で保持される。この結果、駆動トランジスタ 1 2 1 の閾値電圧 V_{th} の変動は常にキャンセルされる形となるので、閾値補正を行なっていることになる。この閾値補正動作によって、保持容量 1 2 0 に保持されるゲート・ソース間電圧 V_{gs} は “ $V_{sig} + V_{th}$ ” となる。

10

【 0 2 2 5 】

また、同時に、信号書込期間 t 1 6 ~ t 1 7 で移動度補正を実行する。すなわち、タイミング t 1 6 ~ t 1 7 は、信号書込期間と移動度補正期間の双方を兼ねることとなる。

【 0 2 2 6 】

なお、この移動度補正を実行する期間 t 1 6 ~ t 1 7 では、有機 EL 素子 1 2 7 は実際には逆バイアス状態にあるので発光することはない。この移動度補正期間 t 1 6 ~ t 1 7 では、駆動トランジスタ 1 2 1 のゲート端 G が映像信号 V_{sig} のレベルに固定された状態で、駆動トランジスタ 1 2 1 に駆動電流 I_{ds} が流れる。以下、図 6 に示した第 1 実施形態の駆動タイミングと同様である。

20

【 0 2 2 7 】

この第 1 の変形例の駆動タイミングでは、電源供給線 1 0 5 DSL のスイッチング動作は第 1 実施形態の駆動タイミングと完全に同じであり、電源供給線 1 0 5 DSL のスイッチングによる映像信号線 1 0 6 HS へのカップリングノイズに対する抑制効果は第 1 実施形態と同様に享受できる。

【 0 2 2 8 】

各駆動部（ 1 0 4 , 1 0 5 , 1 0 6 ）は、水平駆動部 1 0 6 が映像信号線 1 0 6 HS に供給する映像信号 V_{sig} と書込走査部 1 0 4 が供給する書込駆動パルス WS との相対的な位相差を調整して、移動度補正期間を最適化することができる。

【 0 2 2 9 】

30

ただし、書込み & 移動度補正準備期間 J が存在せずに、タイミング t 1 6 V ~ t 1 7 W がサンプリング期間 & 移動度補正期間 K となる。このため、書込走査線 1 0 4 WS や映像信号線 1 0 6 HS の配線抵抗や配線容量の距離依存の影響に起因する波形特性の相違がサンプリング期間 & 移動度補正期間 K に影響を与えてしまう。画面の書込走査部 1 0 4 に近い側と遠い側（すなわち画面の左右）でサンプリング電位や移動度補正時間が異なることになるので、画面の左右で輝度差が生じ、シェーディングとして視認される難点がある。

【 0 2 3 0 】

図 1 0 は、第 2 の変形例を説明するタイミングチャートである。この第 2 の変形例は、図 1 0 に示した第 1 の変形例の駆動タイミングに対して、さらに、電源供給線 1 0 5 DSL のオフタイミングに変更を加えたものである。

40

【 0 2 3 1 】

具体的には、図 9（図 6 も）に示した駆動タイミングでは、他の行のオフタイミングを当該行のオンタイミングと一致させるために（逆に言うと、他の行のオンタイミングを当該行のオフタイミングと一致させるために）、電源供給線 1 0 5 DSL の当該行のオフタイミングの基準電位 V_o の期間とオンタイミングの基準電位 V_o の期間に 1 水平期間分のずれを持たせているが、他の行のオフタイミングを当該行のオンタイミングと一致させる制限を外して当該行のオフタイミングとオンタイミングの双方を同じ水平期間にしている。

【 0 2 3 2 】

たとえば、書込駆動パルス WS をアクティブ H にするタイミング t 1 3 W 以前の前フィールドの発光期間では、書込駆動パルス WS がインアクティブ L でありサンプリングトランジ

50

スタ 125 が非導通状態である一方、電源駆動パルス DSL は電源電圧側である第 1 電位 V_{cc_H} にあるので、映像信号線 106 HS の電位に関わらず、前フィールドの動作によって保持容量 120 に保持されている電圧状態（駆動トランジスタ 121 のゲート・ソース間電圧 V_{gs} ）に応じて有機 EL 素子 127 に駆動トランジスタ 121 から駆動電流 I_{ds} が供給され、有機 EL 素子 127 が発光状態にある。

【0233】

この後、線順次走査の新しいフィールドに入って、まず、書込駆動パルス WS がインアクティブ L からアクティブ H に切り替わる（ t_{13w} ）。このとき、映像信号線 106 HS における映像信号 V_{sig} の電位を基準電位 V_o にしておくことで（ t_{13V} ）、駆動トランジスタ 121 のゲート電位 V_g が初期化される。このとき、駆動トランジスタ 121 のゲート端 G とソース端 S との間には保持容量 120 が接続されており、その保持容量 C_s による効果によって、駆動トランジスタ 121 のゲート電位（ V_g ）の変動にソース電位（ V_s ）が連動する。この期間をゲート初期化期間 C と称する。

10

【0234】

次に、書込駆動パルス WS をアクティブ H にしたままで、電源供給線 105 DSL に与える電源駆動パルス DSL を低電位側の第 2 電位 V_{cc_L} にする（ t_{off} ：第 1 実施形態のオフタイミング t_{11} に相当する）。これにより、駆動トランジスタ 121 への電源供給が停止し、駆動トランジスタ 121 のソース電位 V_s が概ね第 2 電位 V_{cc_L} に初期化される。この期間をソース初期化期間 D と称する。ゲート初期化期間 C とソース初期化期間 D とを合わせて、駆動トランジスタ 121 のゲート電位 V_g とソース電位 V_s を初期化する閾値補正準備期間とも称する。

20

【0235】

このように、駆動トランジスタ 121 のゲート電位 V_g およびソース電位 V_s を初期化することで、閾電圧補正動作の準備が完了する。この後、電源供給線 105 DSL に与える電源駆動パルス DSL を第 1 電位 V_{cc_H} にするまで（ t_{14} ）の期間 $t_{13V} \sim t_{14}$ が初期化期間 D となる。

【0236】

次に、書込駆動パルス WS をアクティブ H にしたままで、電源供給線 105 DSL に与える電源駆動パルス DSL を第 1 電位 V_{cc_H} にする（ t_{14} ）。これにより、ドレイン電流が保持容量 120 に流れ込み、駆動トランジスタ 121 の閾電圧 V_{th} を補正（キャンセル）する閾値補正期間に入る。以下、第 1 の変形例や第 1 実施形態と同様である。

30

【0237】

この第 2 の変形例の駆動タイミングでは、他の行のオフタイミングを当該行のオンタイミングと一致させることでそれぞれのカップリング電圧を相殺するという効果は享受できない。しかしながら、ともに映像信号 V_{sig} の基準電位 V_o の期間に電源スイッチング動作をさせており、またこのときにはサンプリングトランジスタ 125 をオンさせて駆動トランジスタ 121 のゲート端 G を基準電位 V_o に固定してローインピーダンス化しており電源パルスのカップリングノイズを抑制できる。

【0238】

< 画素回路の変形例 >

40

図 11 は、図 1 に示した有機 EL 表示装置 1 を構成する画素回路 P の第 2 実施形態を示す図である。理解を容易にするため、図 5 に示した第 2 実施形態の画素回路 P と対応する部分には対応する参照番号を付してある。

【0239】

回路理論上は「双対の理」が成立するので、第 2 実施形態では、この観点からの変形を加えていることが特徴である。まず、図 5 に示した第 1 実施形態の画素回路 P が n チャネル型のトランジスタを用いて構成しているのに対し、図 11 に示す第 2 実施形態では、p チャネル型のトランジスタを用いて画素回路 P を構成している。これに合わせて、映像信号 V_{sig} の基準電位 V_o に対する信号電位 V_{in} の極性や電源電圧の大小関係を逆転させるなど、双対の理に従った変更を加えている。

50

【0240】

具体的には、第2実施形態の画素回路Pは、pチャネル型の駆動トランジスタ121のゲート端Gとソース端Sとの間に保持容量120が接続され、駆動トランジスタ121のソース端Sが直接に有機EL素子127のカソード端Kに接続されている。有機EL素子127のアノード端Aは基準電位としてのアノード電位 V_{anode} とされる。このアノード電位 V_{anode} は、基準電位を供給する全画素共通の基準電源（高電位側）に接続される。

【0241】

駆動トランジスタ121のドレイン端Dは、電源スキヤナとして機能する駆動走査部105からの電源供給線105DSLに接続されている。電源供給線105DSLは、この電源供給線105DSLそのものが、駆動トランジスタ121に対しての電源供給能力を備える。駆動走査部105は、駆動トランジスタ121のドレイン端Dに対して、電源電圧に相当する低電圧側の第1電位 V_{cc_L} と高電圧側の第2電位 V_{cc_H} とを切り替えて供給する。換言すれば、第1実施形態の画素回路Pを駆動する駆動走査部105はアクティブHの電力供給能力を持つものに対して、第2実施形態の画素回路Pを駆動する駆動走査部105はアクティブLの電力供給能力を持つ。第2電位 V_{cc_H} としては、映像信号線106HSにおける映像信号 V_{sig} の基準電位 V_o より十分高い電位とする。

【0242】

pチャネル型のサンプリングトランジスタ125は、ゲート端Gが書込走査部104からの書込走査線104WSに接続され、ソース端Sが映像信号線106HSに接続され、ドレイン端Dが駆動トランジスタ121のゲート端Gに接続されている。そのゲート端Gには、書込走査部104からアクティブLの書込駆動パルスWSが供給される。

【0243】

このような第2実施形態の画素回路Pにおいても、図5に示した第1実施形態の画素回路Pと全く同様に閾値補正動作、移動度補正動作、およびブートストラップ動作を実行することができる。

【0244】

なお、第2実施形態の画素回路Pは、第1実施形態の画素回路Pに対して「双対の理」に従った変更を加えたものであるが、回路変更の手法はこれに限定されるものではない。電気光学素子を電流駆動する駆動トランジスタの電源供給端を第1電位と第2電位との間でスイッチングさせる駆動を行なうもの全てに、電源駆動パルスDSLのスイッチングタイミングを、映像信号 V_{sig} における非有効期間（基準電位 V_o の期間）に設定するという本実施形態の思想を適用することができる。

【図面の簡単な説明】

【0245】

【図1】本発明に係る表示装置の一実施形態であるアクティブマトリクス型表示装置の構成の概略を示すブロック図である。

【図2】第1実施形態の画素回路に対する比較例を示す図である。

【図3】図2に示した比較例の画素回路の動作を説明するタイミングチャートである。

【図4】有機EL素子や駆動トランジスタの特性ばらつきが駆動電流に与える影響を説明する図である。

【図4A】駆動トランジスタの特性ばらつきが駆動電流に与える影響の改善手法の概念を説明する図である。

【図5】図1に示した有機EL表示装置を構成する画素回路の第1実施形態を示す図である。

【図6】図5に示した第1実施形態の画素回路に関する第1実施形態の駆動タイミングの基本例を説明するタイミングチャートである。

【図6A】図5に示した第1実施形態の画素回路に関する第1実施形態の駆動タイミングの変形例を説明するタイミングチャートである。

【図6B】第1実施形態の駆動タイミングにおける発光期間Bの等価回路と動作説明の図である。

10

20

30

40

50

【図 6 C】第 1 実施形態の駆動タイミングにおける放電期間 C の等価回路と動作説明の図である。

【図 6 D】第 1 実施形態の駆動タイミングにおける初期化期間 D の等価回路と動作説明の図である。

【図 6 E】第 1 実施形態の駆動タイミングにおける第 1 閾値補正期間 E の等価回路と動作説明の図である。

【図 6 F】第 1 実施形態の駆動タイミングにおける他行書込み期間 F の等価回路と動作説明の図である。

【図 6 G】第 1 実施形態の駆動タイミングにおける第 2 閾値補正期間 G の等価回路と動作説明の図である。

10

【図 6 H】第 1 実施形態の駆動タイミングにおける他行書込み期間 H の等価回路と動作説明の図である。

【図 6 I】第 1 実施形態の駆動タイミングにおける第 3 閾値補正期間 I の等価回路と動作説明の図である。

【図 6 J】第 1 実施形態の駆動タイミングにおける書込み & 移動度補正準備期間 J の等価回路と動作説明の図である。

【図 6 K】第 1 実施形態の駆動タイミングにおけるサンプリング期間 & 移動度補正期間 K の等価回路と動作説明の図である。

【図 6 L】第 1 実施形態の駆動タイミングにおける発光期間 L の等価回路と動作説明の図である。

20

【図 7】図 5 に示した第 1 実施形態の画素回路において、図 6 に示した第 1 実施形態の駆動タイミングとすることの効果の説明する図である。

【図 8】図 5 に示した第 1 実施形態の画素回路に関する第 2 実施形態の駆動タイミングを説明するタイミングチャートである。

【図 9】駆動タイミングの第 1 の変形例を説明するタイミングチャートである。

【図 10】駆動タイミングの第 2 の変形例を説明するタイミングチャートである。

【図 11】図 1 に示した有機 E L 表示装置を構成する画素回路の第 2 実施形態を示す図である。

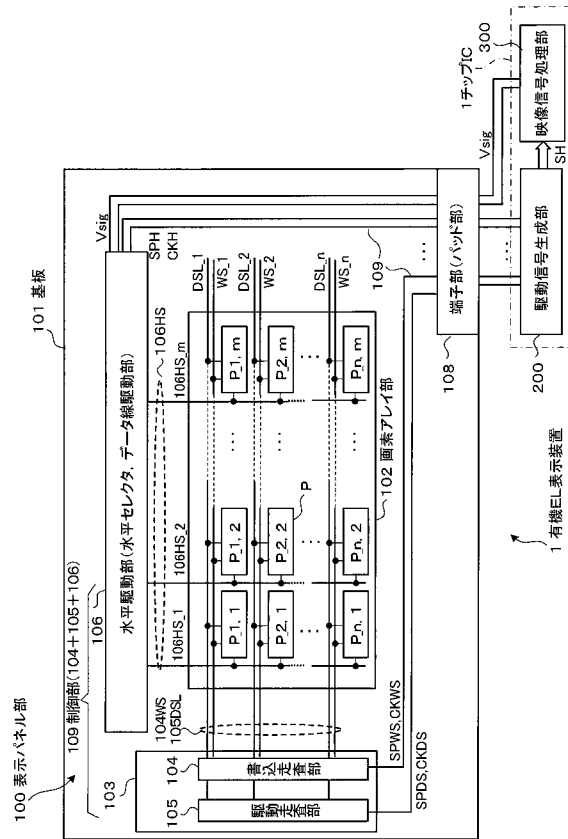
【符号の説明】

【0246】

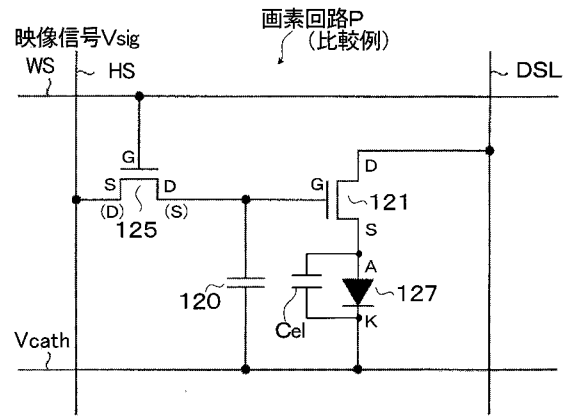
30

1 ... 有機 E L 表示装置、100 ... 表示パネル部、101 ... 基板、102 ... 画素アレイ部、103 ... 垂直駆動部、104 ... 書込走査部、104WS ... 書込走査線、105 ... 駆動走査部、105DS ... 駆動走査線、105DSL ... 電源供給線、106 ... 水平駆動部、106HS ... 映像信号線、109 ... 制御部、120 ... 保持容量、121 ... 駆動トランジスタ、125 ... サンプリングトランジスタ、127 ... 有機 E L 素子、Cel ... 有機 E L 素子の寄生容量、DSL ... 電源駆動パルス、P ... 画素回路、Vsig ... 映像信号、WS ... 書込駆動パルス、Vin ... 信号電位、Vo ... 基準電位、Vcc_H ... 第 1 電位、Vcc_L ... 第 2 電位

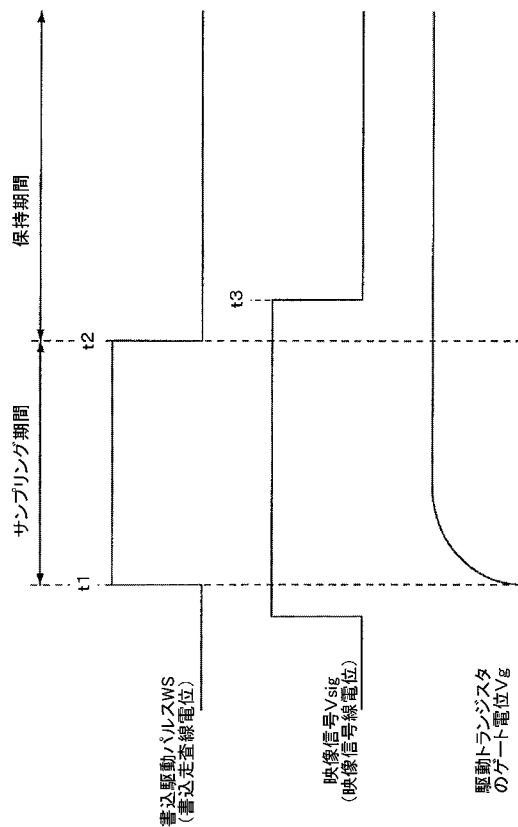
【図 1】



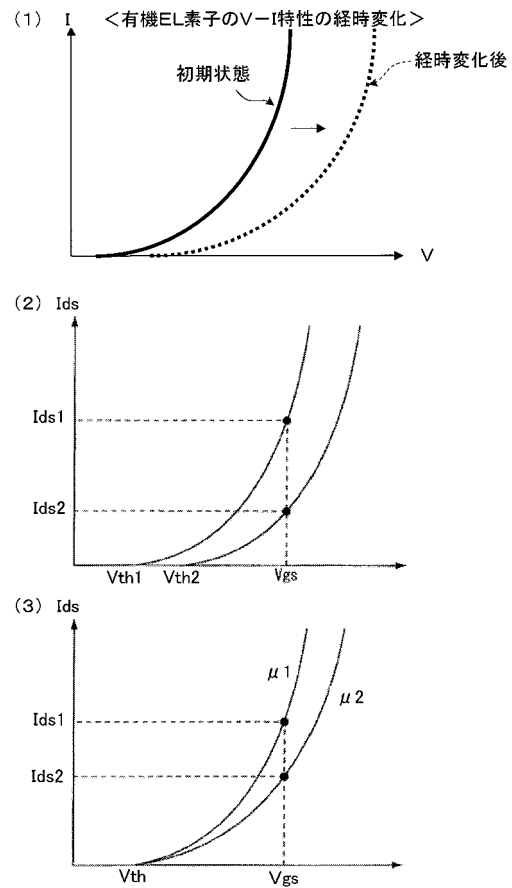
【図 2】



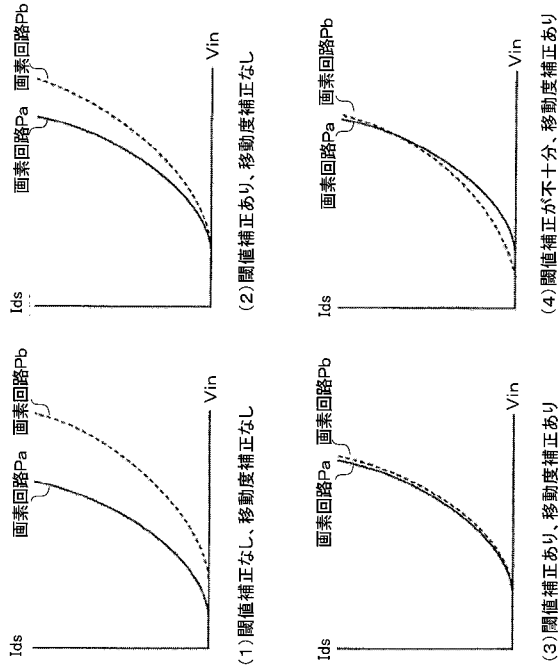
【図 3】



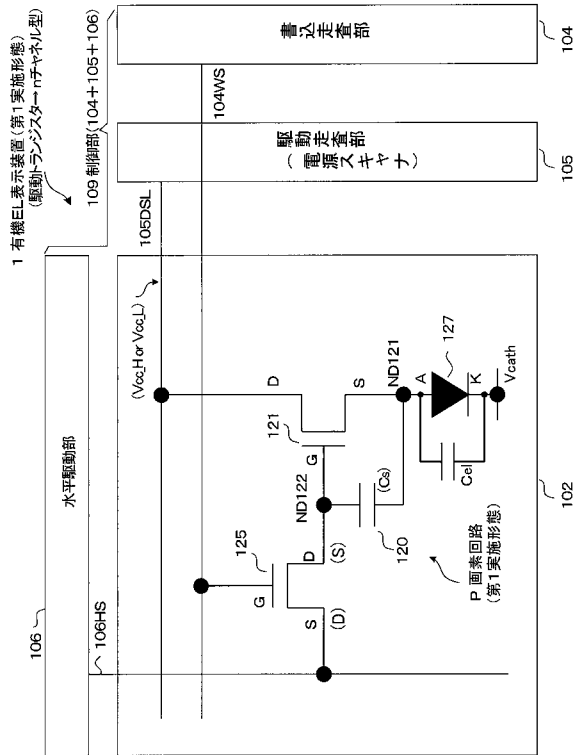
【図 4】



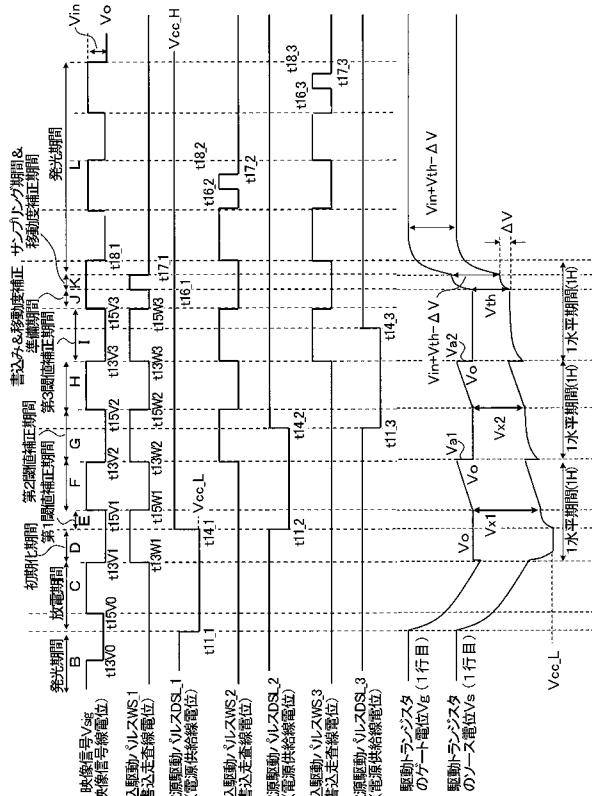
【図 4 A】



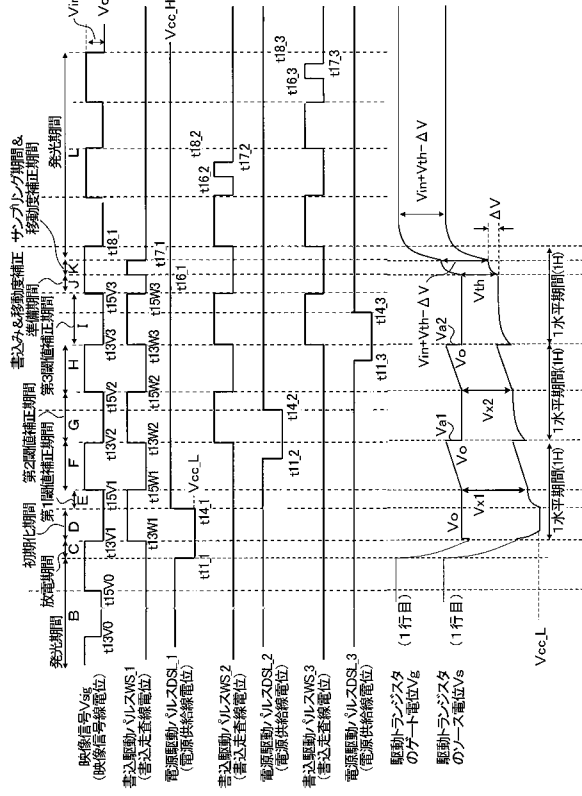
【図 5】



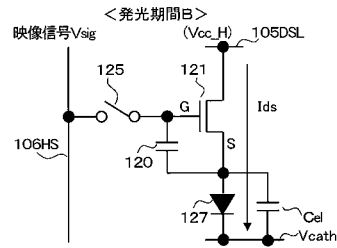
【図 6】



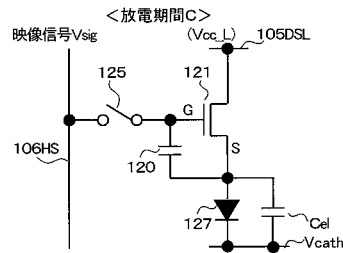
【図 6 A】



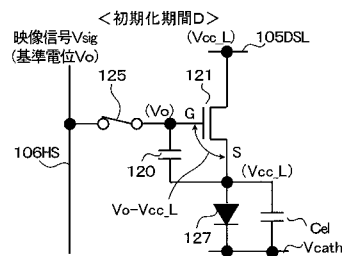
【図 6 B】



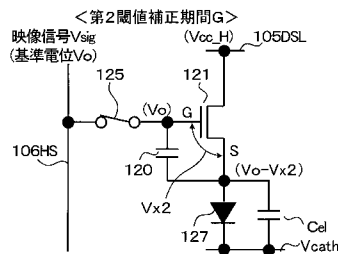
【図 6 C】



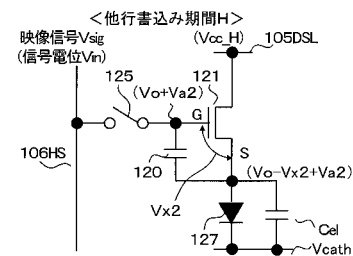
【図 6 D】



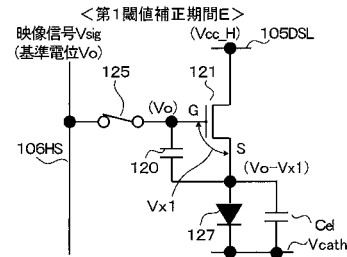
【図 6 G】



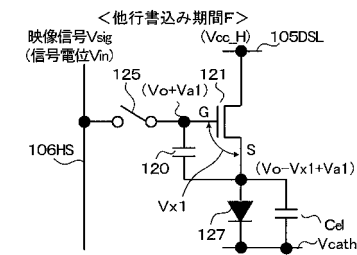
【図 6 H】



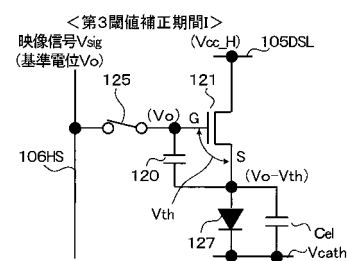
【図 6 E】



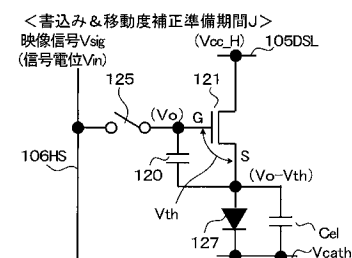
【図 6 F】



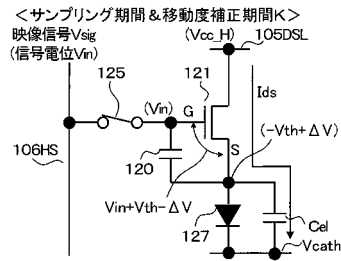
【図 6 I】



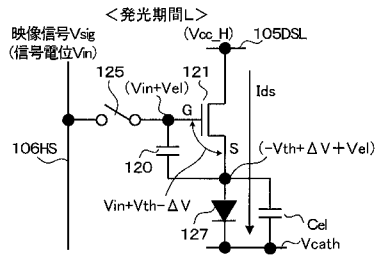
【図 6 J】



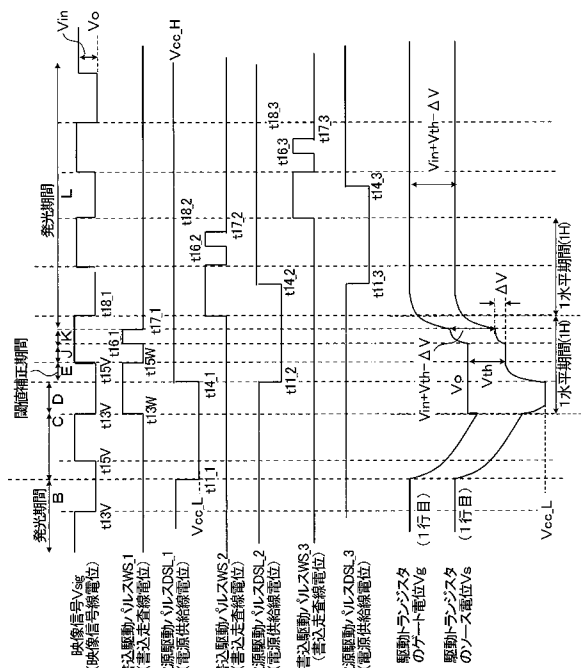
【 図 6 K 】



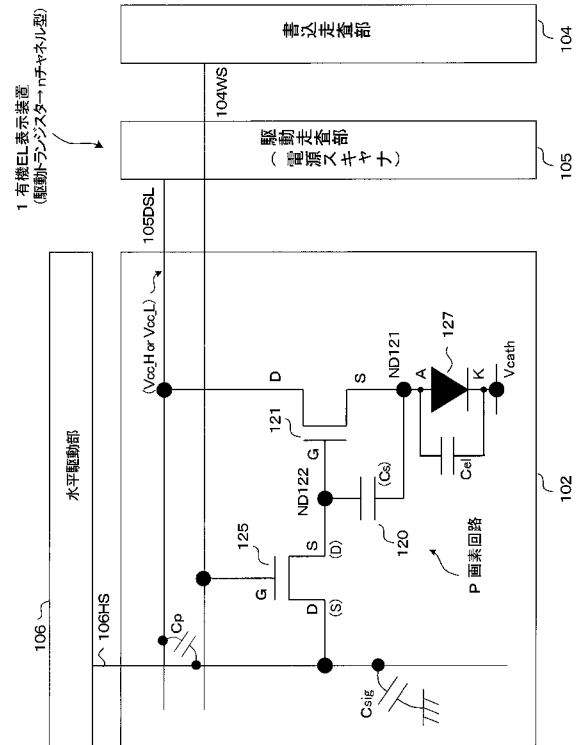
【 図 6 L 】



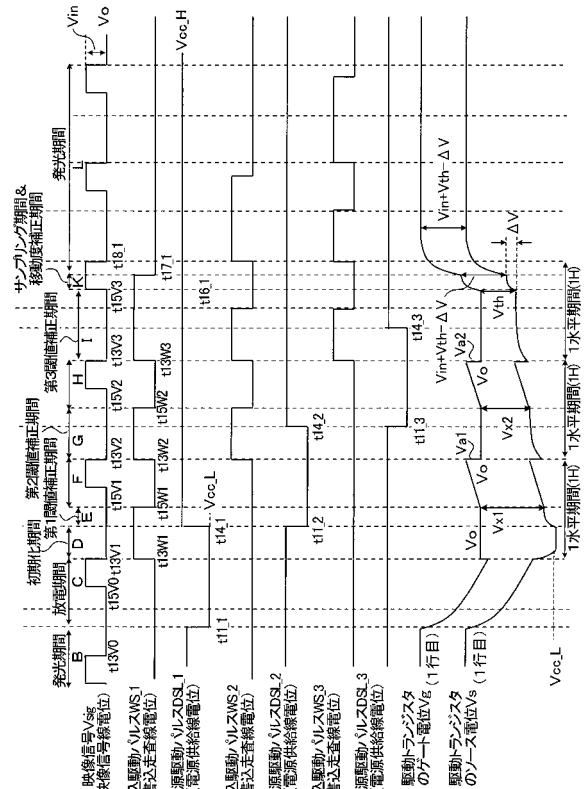
【 図 8 】



【 図 7 】



【 図 9 】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 4 2 A
G 0 9 G 3/20 6 2 4 B
H 0 5 B 33/14 A

(72)発明者 内野 勝秀
東京都品川区北品川6丁目7番35号 ソニー株式会社内

審査官 森口 忠紀

(56)参考文献 特開2003-271095(JP,A)
特表2008-523425(JP,A)
特開2007-310311(JP,A)
特開2008-033193(JP,A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 0 0 - 3 / 3 8

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JP4984863B2	公开(公告)日	2012-07-25
申请号	JP2006331560	申请日	2006-12-08
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	飯田幸人 内野勝秀		
发明人	飯田 幸人 内野 勝秀		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.611.H G09G3/20.621.A G09G3/20.622.D G09G3/20.623.D G09G3/20.642.A G09G3/20.624.B H05B33/14.A G09G3/20.611.C G09G3/20.612.R G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC16 3K107/CC31 3K107/CC33 3K107/CC35 3K107/CC43 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AB22 5C380/AB23 5C380/AC05 5C380/AC12 5C380/BA08 5C380/BA12 5C380/BA13 5C380/BA19 5C380/BA28 5C380/BA36 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB05 5C380/BC02 5C380/BC13 5C380/BD02 5C380/BD05 5C380/CA03 5C380/CA08 5C380/CA12 5C380/CA48 5C380/CA49 5C380/CA53 5C380/CA54 5C380/CB01 5C380/CB20 5C380/CB26 5C380/CB27 5C380/CB31 5C380/CB32 5C380/CC02 5C380/CC03 5C380/CC05 5C380/CC06 5C380/CC07 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC41 5C380/CC62 5C380/CC71 5C380/CD012 5C380/CD022 5C380/CE19 5C380/CF22 5C380/CF24 5C380/DA02 5C380/DA06 5C380/DA47 5C380/HA05		
其他公开文献	JP2008145646A		
外部链接	Espacenet		

摘要(译)

要解决的问题：在简化像素电路的同时，减小驱动用于校正由于元件和像素电路的特性的变化引起的亮度变化的功能的操作脉冲的噪声的影响，同时简化像素电路。Z SOLUTION：像素电路包括驱动晶体管，采样晶体管，有机EL元件和保持电容器。保持电容器连接在驱动晶体管的栅极和源极之间，并执行自举操作，以在发光时段L中实现有机EL元件的时间变化校正。提供给驱动晶体管的源极电压用作电源驱动。脉冲DSL执行阈值校正准备操作（时段C和D）和多次阈值校正操作（E，G和I）。电源驱动脉冲DSL的关闭时刻t11和时刻t14被设置为参考电位Vo的时段（t13至t15）。在信号电位贡献发光亮度的时段中，可以避免由于耦合引起的脉冲噪声的突发，以防止电源脉冲对发光亮度的影响。Z

【 図 3 】

