

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4660116号
(P4660116)

(45) 発行日 平成23年3月30日 (2011.3.30)

(24) 登録日 平成23年1月7日 (2011.1.7)

(51) Int.Cl.

F I

G09G 3/30 (2006.01)
 G09G 3/20 (2006.01)
 H03K 17/687 (2006.01)
 H01L 51/50 (2006.01)

G09G 3/30 K
 G09G 3/20 611H
 G09G 3/20 621F
 G09G 3/20 624B
 G09G 3/20 641D

請求項の数 6 (全 10 頁) 最終頁に続く

(21) 出願番号 特願2004-150944 (P2004-150944)
 (22) 出願日 平成16年5月20日 (2004.5.20)
 (65) 公開番号 特開2005-331774 (P2005-331774A)
 (43) 公開日 平成17年12月2日 (2005.12.2)
 審査請求日 平成19年5月18日 (2007.5.18)

(73) 特許権者 000001889
 三洋電機株式会社
 大阪府守口市京阪本通2丁目5番5号
 (74) 代理人 100075258
 弁理士 吉田 研二
 (74) 代理人 100096976
 弁理士 石田 純
 (72) 発明者 池田 恭二
 大阪府守口市京阪本通2丁目5番5号 三
 洋電機株式会社内
 審査官 奈良田 新一

最終頁に続く

(54) 【発明の名称】 電流駆動画素回路

(57) 【特許請求の範囲】

【請求項 1】

電流データ信号によって、有機EL素子の電流を制御する電流駆動画素回路であって、
 ゲート電圧に応じた電流を有機EL素子に供給する駆動トランジスタと、
 この駆動トランジスタのゲートに、ゲートが接続され、ドレインまたはソースが制御ラ
 インに接続された容量トランジスタと、
 を有し、
前記駆動トランジスタと前記容量トランジスタは、同極性のトランジスタであり、かつ
しきい値電圧が同一とみなせ、

前記容量トランジスタがオフの状態、電流データ信号に応じた電圧を前記駆動トラン
 ジスタのゲートにセットし、その後制御ラインの電圧を変更して前記容量トランジスタを
 オンすることで、その際に前記容量トランジスタに発生する容量に蓄積された電荷を利用
 して駆動トランジスタのゲート電圧をコントロールすることを特徴とする電流駆動画素回
 路。

【請求項 2】

請求項 1 に記載の電流駆動画素回路において、
 前記容量トランジスタは、pチャネルトランジスタであることを特徴とする電流駆動画
 素回路。

【請求項 3】

データラインに供給される電流データ信号によって、有機EL素子の電流を制御する電

10

20

流駆動画素回路であって、

一端がデータラインに接続され、制御端が第 1 制御ラインに接続される選択トランジスタと、

一端が前記選択トランジスタの他端に接続され、制御端が第 2 制御ラインに接続される書き込みトランジスタと、

制御端が前記書き込みトランジスタの他端に接続され、一端が電源ラインに接続され、他端が前記選択トランジスタの他端に接続される駆動トランジスタと、

一端が前記駆動トランジスタの他端に接続され、制御端が第 3 制御ラインに接続される制御トランジスタと、

この制御トランジスタの他端に接続され、駆動トランジスタに流れる駆動電流を流す有機 E L 素子と、

前記駆動トランジスタの制御端と、前記電源ラインを接続する保持容量と、

前記駆動トランジスタの制御端に制御端が接続され、被制御端の一方または両方が第 4 制御ラインに接続された容量トランジスタとを有し、

前記駆動トランジスタと前記容量トランジスタは、同極性のトランジスタであり、かつ、しきい値電圧が同一とみなせ、

前記選択トランジスタ、書き込みトランジスタをオンし、前記制御トランジスタをオフしてデータラインに流れるデータ電流を駆動トランジスタに流し、その後前記選択トランジスタ、前記書き込みトランジスタをオフし、前記制御トランジスタをオンするとともに、前記第 4 制御ラインの電圧を変動させて、前記容量トランジスタをオンし、前記容量トランジスタのオンに伴い前記容量トランジスタから放出される電荷によって、前記駆動トランジスタの制御端電圧を変化させ、この際に前記駆動トランジスタに流れる駆動電流によって前記有機 E L 素子を駆動することを特徴とする電流駆動画素回路。

【請求項 4】

請求項 3 に記載の電流駆動画素回路において、

前記選択トランジスタを、前記制御トランジスタと逆極性のトランジスタとし、前記第 1 制御ラインと、前記第 3 制御ラインを 1 つの制御ラインで構成することを特徴とする電流駆動画素回路。

【請求項 5】

請求項 4 に記載の電流駆動画素回路において、

前記選択トランジスタを、前記容量トランジスタと同極性のトランジスタとし、前記第 1、第 3 および第 4 制御ラインを 1 つの制御ラインで構成することを特徴とする電流駆動画素回路。

【請求項 6】

請求項 3 に記載の電流駆動画素回路において、

前記駆動トランジスタと前記容量トランジスタは、p チャネルトランジスタであり、

前記容量トランジスタをオンする際に、前記第 4 制御ラインを前記電源ライン以上の電圧に設定することを特徴とする電流駆動画素回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電流データ信号によって、有機 E L 素子の電流を制御する電流駆動画素回路に関する。

【背景技術】

【0002】

従来より、有機 E L 素子を駆動する画素回路として、電流駆動型のものが知られている。この電流駆動型の画素回路では、電流データ信号に応じて、駆動トランジスタに対応する電流を流しながらそのゲート電圧をセットする。

【0003】

単にデータ電圧を駆動トランジスタのゲートにセットした場合には、駆動トランジスタ

10

20

30

40

50

のしきい値電圧のばらつきによって、駆動トランジスタに流れる駆動電流が変化して、有機EL素子の発光輝度が変化してしまう。電流駆動型の画素回路によれば、駆動トランジスタに電流データ信号に応じた電流を流しながらそのゲート電圧をセットするため、比較的正確な駆動電流を得ることができる（特許文献1）。

【0004】

【特許文献1】特開2001-147659号公報

【特許文献2】特開2004-12897号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

10

ここで、電流駆動型の画素回路においては、最小輝度を実現するためには、小さなデータ電流信号に応じた電圧を駆動トランジスタのゲートにセットする必要があり、設定する前の時間が長くなってしまいう問題があった。

【0006】

また、電流データ信号を比較的大きくしてそれに対応する電圧を駆動トランジスタのゲートにセットし、縮小した駆動電流により、有機EL素子を駆動することについての提案もある（特許文献2）。しかし、この手法では、縮小時に駆動トランジスタに応じた電圧値を印加できず、一定の電圧値であるため、駆動トランジスタの移動度がばらついた場合には誤差が大きくなるという問題があった。

【課題を解決するための手段】

20

【0007】

本発明は、電流データ信号によって、有機EL素子の電流を制御する電流駆動画素回路であって、ゲート電圧に応じた電流を有機EL素子に供給する駆動トランジスタと、この駆動トランジスタのゲートに、ゲートが接続され、ドレインまたはソースが制御ラインに接続された容量トランジスタと、を有し、前記容量トランジスタがオフの状態で、電流データ信号に応じた電圧を前記駆動トランジスタのゲートにセットし、その後制御ラインの電圧を変更して前記容量トランジスタをオンすることで、その際に前記容量トランジスタに発生する容量に蓄積された電荷を利用して駆動トランジスタのゲート電圧をコントロールすることを特徴とする電流駆動画素回路。

【0008】

30

また、前記容量トランジスタは、pチャネルトランジスタであることが好適である。

【0009】

また、本発明は、データラインに供給される電流データ信号によって、有機EL素子の電流を制御する電流駆動画素回路であって、一端がデータラインに接続され、制御端が第1制御ラインに接続される選択トランジスタと、一端が前記選択トランジスタの他端に接続され、制御端が第2制御ラインに接続される書き込みトランジスタと、制御端が前記書き込みトランジスタの他端に接続され、一端が電源ラインに接続され、他端が前記選択トランジスタの他端に接続される駆動トランジスタと、一端が前記駆動トランジスタの他端に接続され、制御端が第3制御ラインに接続される制御トランジスタと、この制御トランジスタの他端に接続され、駆動トランジスタに流れる駆動電流を流す有機EL素子と、前記駆動トランジスタの制御端と、前記電源ラインを接続する保持容量と、前記駆動トランジスタの制御端に制御端が接続され、被制御端に一方または両方が第4制御ラインに接続された容量トランジスタと、を有することを特徴とする。

40

【0010】

また、前記選択トランジスタを、前記制御トランジスタと逆極性のトランジスタとし、前記第1制御ラインと、前記第3制御ラインを1つの制御ラインで構成することが好適である。

【0011】

また、前記選択トランジスタを、前記容量トランジスタと同極性のトランジスタとし、前記第1、第3および第4制御ラインを1つの制御ラインで構成することが好適である。

50

【 0 0 1 2 】

また、前記選択トランジスタ、書き込みトランジスタをオンし、前記制御トランジスタをオフしてデータラインに流れるデータ電流を駆動トランジスタに流し、その後前記選択トランジスタ、前記書き込みトランジスタをオフし、前記制御トランジスタをオンするとともに、前記第4制御ラインの電圧を変動させて、前記容量トランジスタをオンし、前記容量トランジスタのオンに伴い前記容量トランジスタから放出される電荷によって、前記駆動トランジスタの制御端電圧を変化させ、この際に前記駆動トランジスタに流れる駆動電流によって前記有機EL素子を駆動することが好適である。

【 0 0 1 3 】

また、前記容量トランジスタをオンする際に、前記第4制御ラインを前記電源ライン以上の電圧に設定することが好適である。

10

【 発明の効果 】

【 0 0 1 4 】

本発明によれば、容量トランジスタのオンオフを利用するため駆動トランジスタの特性に応じた電流縮小を実現できるので、電流駆動の利点であるしきい値ばらつきに対する補償と移動度のばらつきに対する補償の精度を損なうことがない。

【 0 0 1 5 】

また、容量トランジスタをオンにする際に、容量トランジスタに十分な順バイアスをかけることで、駆動トランジスタを十分オフして、十分な黒レベルを達成することができる。

20

【 発明を実施するための最良の形態 】

【 0 0 1 6 】

以下、本発明の実施形態について、図面に基づいて説明する。

【 0 0 1 7 】

図1は、実施形態にかかる画素回路の構成を示す回路図である。データラインDLには、pチャネルの選択TF T 2 0のドレインが接続され、この選択TF T 2 0のソースには、pチャネルの書き込みTF T 2 2ドレインが接続されている。また、選択TF T 2 0のゲートには、制御ラインESが接続されている。書き込みTF T 2 2のソースは、pチャネルの駆動TF T 2 4のゲートが接続されている。書き込みTF T 2 2のソースには、pチャネルの容量TF T 2 6のゲートが接続されている。

30

【 0 0 1 8 】

容量TF T 2 6は、ソース、ドレインのいずれか一方または両方が制御ラインESに接続されている。

【 0 0 1 9 】

書き込みTF T 2 2のソース、駆動TF T 2 4のゲートおよび容量TF T 2 6のゲートは、保持容量28を介し電源ラインP V D Dに接続されている。また、駆動TF T 2 4のソースは、電源ラインP V D Dに接続され、ドレインには選択TF T 2 0のソースと書き込みTF T 2 2のドレインが接続されている。さらに、駆動TF T 2 4のドレインにはnチャネルの制御TF T 3 0のドレインが接続され、この制御TF T 3 0のソースは、有機EL素子32のアノードに接続されている。また、有機EL素子32のカソードは、カソード電源CVに接続されている。

40

【 0 0 2 0 】

図7に示すように、データラインDLには、該当列における各行の画素についてのデータ信号が順次供給される。すなわち、データ信号は、水平走査方向（行方向）の各画素毎の指定電流を順次供給するものであり、これが該当するデータラインDLに順次供給される。

【 0 0 2 1 】

そして、該当行のデータがデータラインDLに順次供給されるときに、制御ラインESがその1水平期間にわたって、Lレベルに設定される。また、制御ラインWSは、制御ラインESに比べ若干遅れてLレベルに設定され、かつ制御ラインESがHレベルになる若

50

干前にHレベルに設定される。これによって、選択TFT20がオンの期間にのみ、書き込みTFT22がオンされる。

【0022】

従って、該当行の書き込みが行われるタイミングでは、まず制御ラインWS、ESがLレベルになる。これによって、選択TFT20、書き込みTFT22がオンになり、制御TFT30はオフになる。そして、データラインDLには、輝度に応じたデータ電流（指定電流：IDATA）を流す。この場合には、データラインDLから所定のデータ電流を引き抜く。

【0023】

書き込みTFT22がオンしているため駆動TFT24は、そのゲートドレイン間が短絡されており、従って、指定電流IDATAは、ダイオード接続された駆動TFT24、オンになっている選択TFT20を介しデータラインDLに流れる。すなわち、駆動TFT24に指定電流IDATAが流れる。そして、図2に示すように、そのときの駆動TFT24のゲート電圧が保持容量28によって保持される。これは、PVDよりIDATAに対応する電圧Vdataだけ低い電圧になっている。

【0024】

ここで、制御ラインESは、Lレベルであり、容量TFT26のゲートは、制御ラインESに接続されている端子（例えばソース）に比べ、十分高く、容量TFT26はオフである。よって、Cgはほとんど0とみなせ、そこに電荷は蓄積されていないものとみなせる。

【0025】

すなわち、駆動TFT24のゲート電圧は、データ電流（指定電流）IDATAが流れているときのゲート電圧であり、PVD - Vdataである。従って、保持容量28の容量をCsとすれば、保持容量Csには、Cs・Vdataの電荷が充電される。一方、制御ラインESのLレベル電圧を0Vとすれば、容量TFT26には、Cg・（PVD - Vdata）0の電荷が充電される。

【0026】

このようにして、駆動TFT24のゲート電位の設定が終了した場合には、制御ラインWSをHレベルとした後、制御ラインESをHレベル（例えばPVD）とする。これによって、書き込みTFT22をオフした後に、選択TFT20がオフされ、制御TFT30がオンする。

【0027】

TFTのゲート容量は、ESの電位がPVD - Vdata + |Vtp|から発生し、ESがPVDになるまでの電荷を蓄積する。この間の電荷量は、図3のように表され、 $\Delta Q = Cg(Vdata - |Vtp|)$ となる。これが保持容量Csと、TFT26の容量Cgによって吸収されて、駆動TFT24のゲート電圧Vg'が決定される。

【0028】

従って、ゲート電圧の変化量 $\Delta V = Vg - Vg'$ は、 $\Delta V = \alpha(Vdata - Vtp)$ となる。ここで、 $\alpha = Cg / (Cg + Cs)$ である。

【0029】

従って、駆動TFT24のゲート電圧は、制御ラインESのPVDにすることによって、 ΔV だけシフトする。従って、 α に応じて、指定電流IDATAに対し、縮小された電流Ioledが駆動TFT24の駆動電流Ioledとして取り出され、有機EL素子32に供給される。

【0030】

そこで、本実施形態によれば、指定電流IDATAを比例縮小したIoledを有機ELに供給することができ、指定電流IDATAを大きな値としておき、これを縮小した駆動電流を得ることができ、データ書き込み速度を上昇することができる。

【0031】

10

20

30

40

50

ここで、本実施形態においては、容量 $TFT26$ を利用しており、上述のように ΔV は、容量 $TFT26$ のしきい値電圧 V_{tp} に応じて変化する。この容量 $TFT26$ は、駆動 $TFT24$ の近傍に形成することが容易であり、また同じ p チャネル TFT である。従って、容量 $TFT26$ と、駆動 $TFT24$ のしきい値電圧を同一の V_{tp} にすることは容易である。

【0032】

これによって、本実施形態によれば、画素によって、駆動 $TFT24$ のしきい値電圧 V_{tp} が異なった場合において、これを補償することができる。また、容量 $TFT26$ を用いることで、キャリアの移動度のばらつきについても補償することができる。

【0033】

すなわち、図4に示すように、駆動 $TFT24$ として、 $TFT24-1$ と、 $TFT24-2$ が存在し、両者のトランジスタ特性、すなわちしきい値電圧が V_{tp1} 、 V_{tp2} と異なるとともに、ゲート電圧の変化に対するドレイン電流の傾き（キャリアの移動度）が異なる場合を考える。

【0034】

特性が異なるため、同一の指定電流 $IDATA$ に対し設定される駆動 $TFT24$ のゲート電圧は、 $TFT24-1$ について V_{data1} 、 $TFT24-2$ について V_{data2} と異なった値になる。この場合の $TFT24-1$ のドライブ領域は、それぞれ $(V_{data1} - V_{tp1})$ 、 $TFT24-2$ のドライブ領域は $(V_{data2} - V_{tp2})$ であり、 ES を H （ $PVDD$ 以下）とし、容量 $TFT26$ をオンとした場合に移動する電位 ΔV_1 、 ΔV_2 は、それぞれ $\Delta V_1 = \alpha (V_{data1} - V_{tp1})$ 、 $\Delta V_2 = \alpha (V_{data2} - V_{tp2})$ となる。ここで、 $\alpha = C_g / (C_g + C_s)$ である。従って、電位の移動後に設定される $TFT24-1$ 、 $TFT24-2$ のゲート電圧 V_{g1}' 、 V_{g2}' は、それぞれ、 $(V_{data1} - V_{tp1})$ 、 $(V_{data2} - V_{tp2})$ を $\alpha : (1 - \alpha)$ で内分した位置になり、対応する駆動電流 I_{oled} は、 α が同一であれば、 $TFT24-1$ 、 $TFT24-2$ において、同一になる。すなわち、容量 $TFT26$ の容量 C_g 、保持容量 C_s の値が各画素で変動しなければ、駆動 $TFT24$ のしきい値 V_{tp} およびキャリア移動度（ゲートソース間電圧とドレイン電流の関係）がばらついていても、駆動電流 I_{oled} は変動しないことになる。

【0035】

このように、本実施形態によれば、駆動 $TFT24$ のしきい値、および移動度の変動を補償して、ばらつきの少ない表示が行える。

【0036】

さらに、本実施形態の回路においては、制御ライン ES を H レベルにして、駆動電流 I_{oled} を有機 EL 素子32に供給する。上述の実施形態においては、制御ライン ES を $PVDD$ （またはそれ以下）としたが、これを $PVDD$ 以上の電圧 V_{VDD} にすることも好適である。

【0037】

このようにすると、指定電流 $IDATA$ を流したときにセットされる駆動 $TFT24$ のゲート電圧 V_g は、上述の場合と同様であるが、制御ライン ES が V_{VDD} になることによって、ゲート電圧 $V_g = (PVDD - V_{data})$ から $V_g' = (V_{VDD} - V_{tp})$ に変化する。従って、放出電荷 ΔQ が増加し、ゲート電圧の変化量 $\Delta V = V_g - V_g'$ はより大きくなる。

【0038】

従って、 V_{VDD} の値を大きくすることで、駆動 $TFT24$ に流れる駆動電流 I_{oled} を小さくすることができ、黒レベルにおいて、駆動電流0を達成することができる。すなわち、制御ライン ES の H レベル電圧を調整することで、駆動 $TFT24$ のオフセット量を任意に調整でき、黒レベルの際に確実に駆動電流 I_{oled} を0にすることができる。

【0039】

10

20

30

40

50

すなわち、制御ライン E S を H レベルの電圧に変更することで、図 5 に示すように、指定電流 I D A T A に対し設定されるゲート電圧 V_g に対し、実際のゲート電圧 V_g の差は $\Delta V + V_{offset}$ となり、制御ライン E S の H レベル電圧を調整することで、 V_{offset} を調整して、実際に設定されるゲート電圧 V_g を調整することができる。

【 0 0 4 0 】

なお、制御ライン E S の H レベルの電圧を P V D D より高くしても、その際に容量 T F T 2 6 から放出される電荷量がそのしきい値電圧に応じて変化することではなく、 V_{offset} は一定である。このため、駆動 T F T 2 4 の移動度のばらつきに対する補償の効果が十分でなくなるというデメリットがある。すなわち、図 5 に示すように、電圧電流特性の傾きが異なると、同一の指定電流 I d a t a に対する駆動電流 I o l e d が図において誤差と示すだけ異なることになる。しかし、この期間は、P V D D 以上、V V D D 以下の期間であり、ごくわずかであるので、黒レベルにおける電流 0 の実現が重要である電流駆動型の場合については、この構成を採用することが適切である。

10

【 0 0 4 1 】

さらに、図 6 には、他の実施形態の構成が示してある。この実施形態においては、制御ライン E S を容量 T F T 2 6 のソース（および / またはドレイン）にのみ接続し、この制御のためのみに利用する。また、選択 T F T 2 0 と、制御 T F T 3 0 のゲートには、ゲートライン G L を接続している。そして、選択 T F T 2 0、書き込み T F T 2 2 を n チャネル T F T、制御 T F T 3 0 を p チャネル T F T としている。

【 0 0 4 2 】

20

図 8 に示すように、該当行のデータがデータライン D L に順次供給されるときに、ゲートライン G L がその 1 水平期間にわたって、H レベルに設定される。また、制御ライン W S は、ゲートライン G L に比べ、若干遅れ H レベルに設定され、ゲートライン G L が L レベルになる若干前に L レベルに設定される。これによって、選択 T F T 2 0 がオンの期間にのみ、書き込み T F T 2 2 がオンされる。

【 0 0 4 3 】

そして、制御ライン E S は、ゲートライン G L が L レベルの期間に、H レベルにセットされる。従って、そのタイミング自体は、同一であるが、H レベルの電圧は、P V D D より高い V V D D に設定されている。これによって、図 5 に示したように、オフセット電圧 V_{offset} を調整することができる。特に、制御ライン E S を容量 T F T 2 6 のためのみに設けたため、他の T F T のオンオフなどに影響を与えず、オフセット電圧の調整が行える。

30

【図面の簡単な説明】

【 0 0 4 4 】

【図 1】実施形態に係る画素回路の構成を示す図である。

【図 2】指定電流と駆動電流の関係を示す図である。

【図 3】放出される電荷量について説明する図である。

【図 4】しきい値のばらつきに対する、指定電流と駆動電流の関係を示す図である。

【図 5】オフセットを大きくした場合の指定電流と駆動電流の関係を示す図である。

【図 6】他の実施形態にかかる画素回路の構成を示す図である。

40

【図 7】図 1 の回路における各信号のタイミングを示す図である。

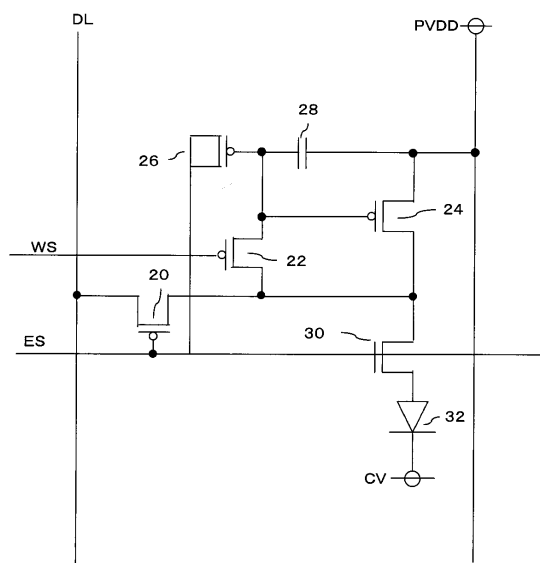
【図 8】図 6 の回路における各信号のタイミングを示す図である。

【符号の説明】

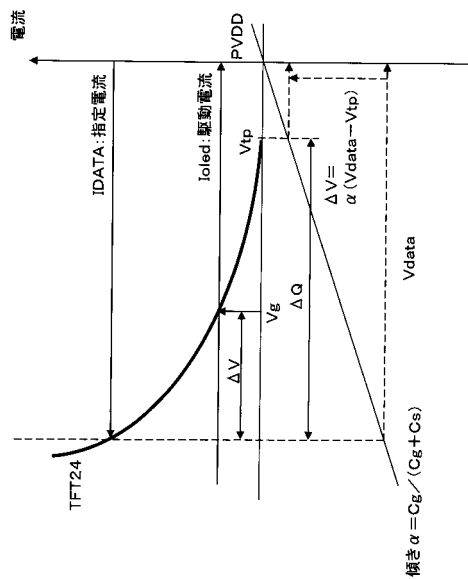
【 0 0 4 5 】

2 0 選択 T F T、2 2 書き込み T F T、2 4 駆動 T F T、2 6 容量 T F T、2 8 保持容量、3 0 制御 T F T、3 2 有機 E L 素子。

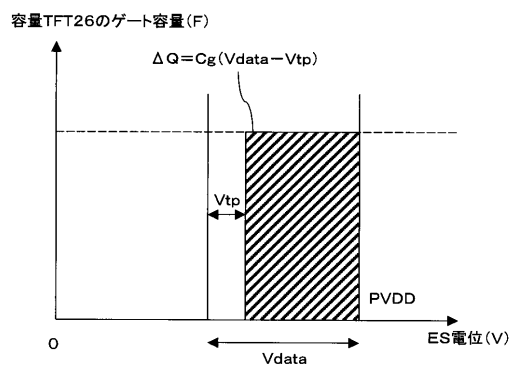
【図 1】



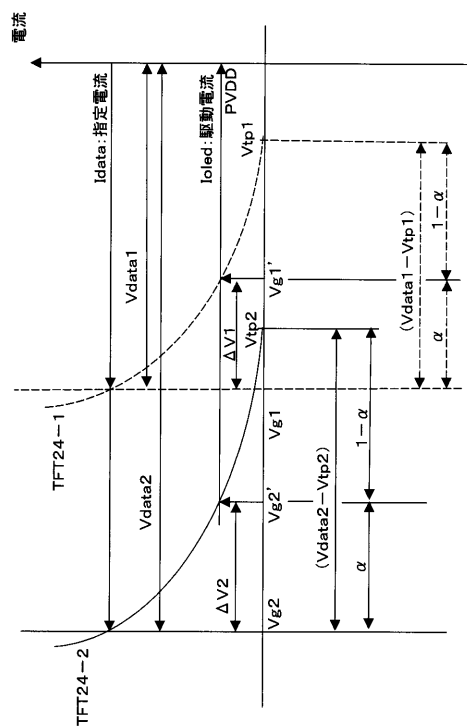
【図 2】



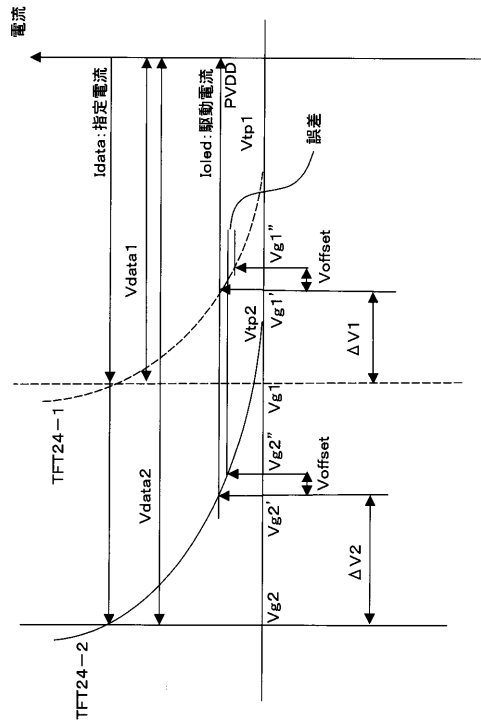
【図 3】



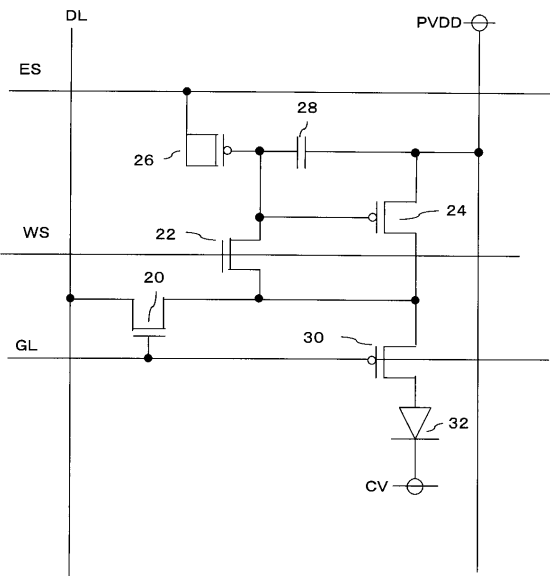
【図 4】



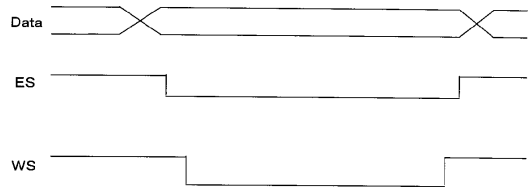
【図 5】



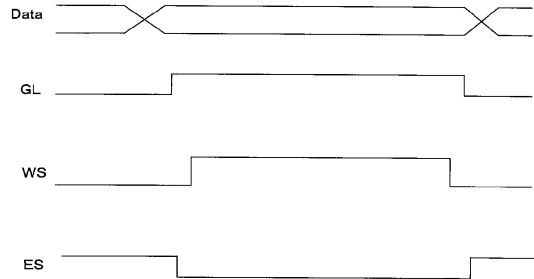
【図 6】



【図 7】



【図 8】



フロントページの続き

(51)Int.Cl. F I
H 0 3 K 17/687 A
H 0 5 B 33/14 A

(56)参考文献 特開 2 0 0 3 - 1 4 0 6 1 2 (J P , A)
特開 2 0 0 4 - 0 2 9 7 9 1 (J P , A)
国際公開第 0 1 / 0 0 6 4 8 4 (W O , A 1)
特開 2 0 0 3 - 2 9 5 8 2 4 (J P , A)
特開 2 0 0 4 - 0 1 2 8 9 7 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 9 G 3 / 2 0 , 3 / 3 0 - 3 / 3 2

专利名称(译)	电流驱动像素电路		
公开(公告)号	JP4660116B2	公开(公告)日	2011-03-30
申请号	JP2004150944	申请日	2004-05-20
[标]申请(专利权)人(译)	三洋电机株式会社		
申请(专利权)人(译)	三洋电机株式会社		
当前申请(专利权)人(译)	三洋电机株式会社		
[标]发明人	池田恭二		
发明人	池田 恭二		
IPC分类号	G09G3/30 G09G3/20 H03K17/687 H01L51/50 G09G3/10 G09G3/32 H05B33/14		
CPC分类号	G09G3/3233 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2320/043		
FI分类号	G09G3/30.K G09G3/20.611.H G09G3/20.621.F G09G3/20.624.B G09G3/20.641.D H03K17/687.A H05B33/14.A G09G3/3266 G09G3/3275		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K007/GA04 3K107/AA01 3K107/CC33 3K107/EE05 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD08 5C080/EE29 5C080/FF11 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/BA38 5C380/BA39 5C380/CA08 5C380/CB01 5C380/CC03 5C380/CC26 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC63 5C380/CD024 5C380/DA02 5C380/DA06 5J055/AX11 5J055/AX12 5J055/AX64 5J055/BX16 5J055/CX29 5J055/DX14 5J055/EY10 5J055/EY21 5J055/GX01 5J055/GX04 5J055/GX06		
代理人(译)	吉田健治 石田 纯		
其他公开文献	JP2005331774A		
外部链接	Espacenet		

摘要(译)

(经修改) 要解决的问题 : 在不降低电流驱动精度的情况下降低写入电流。 控制线设置为L电平以接通写入TFT 22, 选择TFT 20和控制TFT 30, 以通过驱动TFT 24和选择TFT 20从电源线PVDD接通数据线。 DL 数据当前。 接下来, 控制线ES和WS被设置为H电平, 写入TFT 22和选择TFT 20被关断, 控制TFT 30被接通, 并且使得与驱动TFT 24的栅极电压相对应的电流从电源线PVDD流到有机EL元件32。 此时, 电容TFT 26从OFF变为ON, 驱动TFT 24的栅极电压根据电容变化而变化, 并且驱动电流减小, 同时补偿驱动TFT 24的阈值和迁移率。 点域1

【 図 4 】

