

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4606480号
(P4606480)

(45) 発行日 平成23年1月5日(2011.1.5)

(24) 登録日 平成22年10月15日(2010.10.15)

(51) Int.Cl.	F I
H05B 33/22 (2006.01)	H05B 33/22 Z
H05B 33/12 (2006.01)	H05B 33/12 B
H01L 51/50 (2006.01)	H05B 33/14 A
G09F 9/30 (2006.01)	G09F 9/30 365Z
H01L 27/32 (2006.01)	

請求項の数 5 (全 13 頁)

(21) 出願番号 特願2008-116984 (P2008-116984)
 (22) 出願日 平成20年4月28日 (2008. 4. 28)
 (62) 分割の表示 特願2003-291462 (P2003-291462)
 の分割
 原出願日 平成15年8月11日 (2003. 8. 11)
 (65) 公開番号 特開2008-218428 (P2008-218428A)
 (43) 公開日 平成20年9月18日 (2008. 9. 18)
 審査請求日 平成20年4月28日 (2008. 4. 28)

(73) 特許権者 502356528
 株式会社 日立ディスプレイズ
 千葉県茂原市早野3300番地
 (74) 代理人 100083552
 弁理士 秋田 収喜
 (74) 代理人 100103746
 弁理士 近野 恵一
 (72) 発明者 新井 好宏
 千葉県茂原市早野3300番地 株式会社
 日立ディスプレイズ内
 (72) 発明者 東 人士
 千葉県茂原市早野3300番地 株式会社
 日立ディスプレイズ内

最終頁に続く

(54) 【発明の名称】 有機EL表示装置

(57) 【特許請求の範囲】

【請求項1】

基板上のマトリックス状に配置される各画素領域に亘ってバンク層が形成され、
 このバンク層は、各画素領域の一部に形成される発光領域に相当する領域に開口部が設けられ、少なくとも該開口部に埋設された発光層を間にして挟持する各電極のうち一方の電極が前記バンク層の上層に各画素領域に及んで形成されているものであって、
 前記一方の電極はバンク層の一边部の側壁にまで及んで形成されて、該バンク層の下層に形成され該一边部から露出されて形成された配線層と接続され、
 前記バンク層の一边部には、その辺に沿って形成された複数の切欠きを有し、この切欠きは、各々が異なる方向に指向する複数の辺を有する形状をなしていることを特徴とする有機EL表示装置。

【請求項2】

前記切欠きの形状は三角形となっていることを特徴とする請求項1に記載の有機EL表示装置。

【請求項3】

基板上のマトリックス状に配置される各画素領域に亘ってバンク層が形成され、
 このバンク層は、各画素領域の一部に形成される発光領域に相当する領域に開口部が設けられ、少なくとも該開口部に埋設された発光層を間にして挟持する各電極のうち一方の電極が前記バンク層の上層に各画素領域に及んで形成されているものであって、
 前記一方の電極はバンク層に形成されたスルーホールを通して該バンク層の下層に形成

された配線層に接続され、

前記スルーホールは、各々が異なる方向に指向する複数の辺を有する形状をなしていることを特徴とする有機EL表示装置。

【請求項4】

前記スルーホールは該バンク層の表面に散在されて複数形成されていることを特徴とする請求項3に記載の有機EL表示装置。

【請求項5】

前記スルーホールの形状は三角形となっていることを特徴とする請求項3、4のいずれかに記載の有機EL表示装置。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は有機EL表示装置に関する。

【背景技術】

【0002】

有機EL表示装置は、基板上の表示部内にマトリクス状に配置された多数の画素が形成され、これら各画素は該基板側から少なくとも一方の電極、発光層、他方の電極の積層体が設けられ、該電極を介して発光層に電流を流すことにより、該発光層を発光させるようにしている。

【0003】

20

この発光層からの光は前記各電極のうち少なくとも一方の電極を通してなされ、このため該一方の電極はたとえばITO (Indium Tin Oxide)等の透光性の導電層から構成される(特許文献1参照)。

【0004】

そして、前記特許文献には開示されていないが、該発光層は、その製造時において流動性を有することから、それを定位置に精度よく形成するため、該基板上に予めバンク(堰)層を形成し、その開口部に該発光層を埋設するようにして形成するようにしたものが知られている。また、この場合のバンク層は隣接する他の画素領域内に発光層からの光が漏洩するのを防止する機能をも有する。

ここで、このような機能を有するバンク層はその層厚が通常数 μm で形成される。

30

【0005】

【特許文献1】特開2001-56650号公報

【特許文献2】特開2002-75635号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかし、このように構成される有機EL表示装置は、前記バンク層であって、各画素領域に形成する開口とそれに隣接する他の画素領域の開口との間の部分が崩れてしまい、他の部分よりも高さが低くなってしまうということが指摘された。

【0007】

40

このようになった場合、該開口に埋設させる有機ELを挟むようにして積層される各電極のうち一方の電極を該バンク層の上層に各画素領域に及んで形成しなければならないことから、該一方の電極の前記高さの低くなった部分で段切れが生じるという不都合があるからである。

【0008】

前記バンク層の崩れは、有機材料で構成される前記バンク層を焼成する際に発生し、その焼成によって、比較的大きな面積を占める個所から狭い面積を占める個所を引っ張るような応力が発生し、狭い面積を占める個所における高さが変化してしまうと考えられる。

【0009】

本発明は、このような事情に基づいてなされたものであり、その目的は、バンク層の崩

50

れを生じさせないようにした有機EL表示装置を提供することにある。

【課題を解決するための手段】

【0010】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

(1) 本発明による有機EL表示装置は、たとえば、基板上のマトリックス状に配置される各画素領域に亘ってバンク層が形成され、

このバンク層は、各画素領域の一部に形成される発光領域に相当する領域に開口部が設けられ、少なくとも該開口部に埋設された発光層を間にして挟持する各電極のうち一方の電極が前記バンク層の上層に各画素領域に及んで形成されているものであって、

前記バンク層は各画素領域において前記発光領域以外の他の領域に開口部あるいは凹陥部が設けられていることを特徴とするものである。

なお、ここで、バンク層は絶縁材料の膜として形成され、たとえば発光層に比べて抵抗値の高い有機材料層として形成される。

【0011】

(2) 本発明による有機EL表示装置は、たとえば、前記(1)の構成を前提とし、各画素領域におけるバンク層の前記他の領域の下方に、前記発光層を間にして挟持する各電極のうち他方の電極に電流を供給する駆動回路が配置されていることを特徴とするものである。

【0012】

(3) 本発明による有機EL表示装置は、たとえば、前記(2)の構成を前提とし、前記バンク層の発光領域以外の領域に開口部が形成され、これにより露出される前記駆動回路の一部は絶縁膜で被われていることを特徴とするものである。

【0013】

(4) 本発明による有機EL表示装置は、たとえば、基板上のマトリックス状に配置される各画素領域に亘ってバンク層が形成され、

このバンク層は、各画素領域の一部に形成される発光領域に相当する領域に開口部が設けられ、少なくとも該開口部に埋設された発光層を間にして挟持する各電極のうち一方の電極が前記バンク層の上層に各画素領域に及んで形成されているものであって、

前記一方の電極はバンク層の一边部の側壁にまで及んで形成されて、該バンク層の下層に形成され該一边部から露出されて形成された配線層と接続され、

前記バンク層の一边部には、その辺に沿って形成された複数の切欠きを有し、この切欠きは複数の方向に指向する辺を有する形状をなしていることを特徴とするものである。

【0014】

(5) 本発明による有機EL表示装置は、たとえば、前記(4)の構成を前提とし、前記切欠きの形状は三角形となっていることを特徴とするものである。

【0015】

(6) 本発明による有機EL表示装置は、たとえば、基板上のマトリックス状に配置される各画素領域に亘ってバンク層が形成され、

このバンク層は、各画素領域の一部に形成される発光領域に相当する領域に開口部が設けられ、少なくとも該開口部に埋設された発光層を間にして挟持する各電極のうち一方の電極が前記バンク層の上層に各画素領域に及んで形成されているものであって、

前記一方の電極はバンク層に形成されたスルーホールを通して該バンク層の下層に形成された配線層に接続され、

前記スルーホールは複数の方向に指向する辺を有する形状をなしていることを特徴とするものである。

【0016】

(7) 本発明による有機EL表示装置は、たとえば、前記(5)の構成を前提とし、前記スルーホールは該バンク層の表面に散在されて複数形成されていることを特徴とするものである。

10

20

30

40

50

【 0 0 1 7 】

(8) 本発明による有機 E L 表示装置は、たとえば、前記 (6)、(7) のいずれかの構成を前提とし、前記スルーホールは複数の方向に指向する辺を有する形状、たとえば三角形となっていることを特徴とするものである。

なお、本発明は以上の構成に限定されず、本発明の技術思想を逸脱しない範囲で種々の変更が可能である。

【 発明の効果 】

【 0 0 1 8 】

前記 (1) の構成によれば、層厚の比較的厚いバンク層において、実質的発光領域以外の領域にてバンク層の材料の塊部を除去することになる。このことは該バンク層の焼成の際に該塊部から他の部分に引っ張るような応力を緩和でき、これにより他の部分におけるバンク層の崩れを回避させることができる。

10

【 0 0 1 9 】

前記 (2) の構成によれば、実質的発光領域以外の領域は駆動回路が下層に配置される比較的面積の大きな部分であることから、この領域を有効に利用してバンク層の材料の塊部を除去できることになる。

【 0 0 2 0 】

前記 (3) の構成によれば、バンク層の実質的発光領域以外の領域に開口を形成し、この開口から露出される前記駆動回路の一部を絶縁膜で被うことによって、該バンク層の上層に形成する導電膜 (発光層の陰極) との電氣的ショートを回避することができるようになる。

20

【 0 0 2 1 】

前記 (4) の構成によれば、バンク層の上層に形成される導電膜 (発光層の陰極) を該バンク層の下層に形成される配線層との接続を該バンク層の端辺部で信頼性よく行なうことができる。

【 0 0 2 2 】

前記 (5) の構成によれば、前記導電膜の形成において蒸着あるいはスパッタを用いる場合にて該導電膜の材料の飛散方向に影響されることなく信頼性ある接続を確保することができる。

【 0 0 2 3 】

前記 (6) の構成によれば、バンク層の上層に形成される導電膜 (発光層の陰極) を該バンク層の下層に形成される配線層との接続を該バンク層のスルーホールを通して信頼性よく行なうことができる。

30

【 0 0 2 4 】

前記 (7) の構成によれば、あるスルーホールの個所にて接続が充分でない場合にも他のスルーホールの個所にて十分な接続を確保することができる。

【 0 0 2 5 】

前記 (8) の構成によれば、前記導電膜の形成において蒸着あるいはスパッタを用いる場合にて該導電膜の材料の飛散方向に影響されることなく信頼性ある接続を確保することができる。

40

【 発明を実施するための最良の形態 】

【 0 0 2 6 】

以下、本発明による有機 E L 表示装置の実施例を図面を用いて説明をする。

図 2 は、本発明による有機 E L 表示装置の平面図を示し、対向して配置される各基板のうち一方の基板 S U B における他方の基板側の面の構成を示した図である。

【 0 0 2 7 】

まず、基板 S U B の中央の大部分には表示領域 A R が形成されている。この表示領域 A R の左右両側にはそれぞれ走査信号駆動回路 G D R - L、G D R - R が配置されている。各走査信号駆動回路 G D R - L と G D R - R からは該表示領域 A R 側にゲート信号線 G L が延在されており、走査信号駆動回路 G D R - L からのゲート信号線 G L - L と走査信号

50

駆動回路GDR - Rからのゲート信号線GL - Rとは交互に配置されている。

【0028】

また、表示領域ARの下側には映像信号駆動回路DDRが配置され、このデータ信号駆動回路DDRからは該表示領域AR側にデータ信号線DLが延在されている。さらに、表示領域ARの上側には電流供給母線CSLBが配置され、この電流供給母線CSLBからは該表示領域AR側に電流供給線CSLが延在されている。

【0029】

該データ信号線DLと電流供給線CSLは交互に配置され、これにより、これらデータ信号線DL、電流供給線CSL、および前記ゲート信号線GL - L、ゲート信号線GL - Rで囲まれた各領域において一つの画素PXの領域を構成するようになっている。

10

【0030】

表示領域AR、走査信号駆動回路GDR - L、GDR - R、映像信号駆動回路DDR、電流供給母線CSLBを囲むようにしてシール剤SLが形成され、このシール剤SLは前記基板SUBに対向して配置される他の基板を固着するようになっている。各画素領域の発光層として用いる有機ELは、水蒸気、酸素、あるいは腐食性ガスによって発光特性が劣化することから外気との遮蔽を行なう必要があるからである。

【0031】

シール剤SLの外側にあつて、基板SUBの下側の表面には複数の端子からなる端子群CNTが形成され、この端子群CNTから前記走査信号駆動回路GDR - L、GDR - R、映像信号駆動回路DDR、電流供給母線CSLBに信号を供給するようになっている。

20

【0032】

なお、図中符号CTHは、上層において各画素に共通に形成される導電層とそれよりも絶縁膜を介して下層に形成される配線層とを接続させるためのコンタクト領域を示している。ここで、前記導電層は表示領域ARの各画素内に形成される発光層の一方の電極となる陰極としての機能を有する。

【0033】

図3は、前記表示領域ARにおける各画素の等価回路を示す図である。各画素には、ゲート信号線GLからの走査信号によってオンするスイッチング素子SW1があり、このスイッチング素子SW1がオンすることによって、データ信号線DLからのデータ信号が該スイッチング素子SW1を介してドライバ・トランジスタDTのゲート電極に供給されることになる。

30

【0034】

ここで、該ドライバ・トランジスタDTのゲート電極と、前記スイッチング素子SW1を駆動させるゲート信号線GLと当該画素領域を挟んで配置される他のゲート信号線GLとの間には、容量素子Cが接続され、この容量素子Cによって、該ドライバ・トランジスタDTのゲート電極に供給されるデータ信号は比較的長く蓄積されることになる。

【0035】

ドライバ・トランジスタDTは発光素子LEDと直列に接続され、これらは電流供給線CSLとグランドとの間に接続されている。これにより、該ドライバ・トランジスタDTの電極へのデータ信号の供給によって、電流供給線CSLから該ドライバ・トランジスタDTおよび発光素子LEDへと電流が流れるようになっている。これにより発光素子LEDはそれに流れる電流値に応じた強さの発光がなされるようになる。

40

【0036】

図1は、前記基板SUB上に形成された表示領域AR内の画素を示す平面図である。マトリクス状に配置された各画素のうち一つの画素を図中一点鎖線で囲まれた領域で表している。すなわち、この領域は図3の等価回路図で説明したように、隣接する一对のゲート信号線GL、データ信号線DL、および電流供給線CSLによって囲まれた領域に相当する。

【0037】

これらの画素は、実線で囲まれた八角状枠を実質的な発光領域として形成されている。

50

この八角状枠の外側にはバンク層 B M P が形成されており、該八角状枠内は該バンク層 B M P に設けた開孔を示している。換言すれば、該バンク層 B M P の該開口内に発光層を埋設させることによって発光領域を構成している。

【 0 0 3 8 】

上述したゲート信号線 G L、データ信号線 D L、電流供給線 C S L、スイッチング素子 S W 1、ドライブ・トランジスタ D T 等は前記バンク層 B M P の下層に設けられるようになっている。

【 0 0 3 9 】

なお、各画素において、前記発光領域以外の領域であって比較的広い面積を有する部分に点線枠が描かれているが、これは前記バンク層に開口あるいは凹陷部を設けているものであり、これについては後に詳述する。

10

【 0 0 4 0 】

図 5 は、各画素領域において、前記発光領域の部分を含んで描いた断面図である。

同図において基板 S U B があり、この基板の前記ドライブ・トランジスタ D T の形成個所にたとえばポリシリコン (p - S i) からなる半導体層 P S が形成されている。この半導体層 P S は該ドライブ・トランジスタ D T のそれである。

この半導体層 P S をも被って第 1 の絶縁膜 G I が形成され、この第 1 の絶縁膜 G I は該ドライブ・トランジスタ D T のゲート絶縁膜として機能するようになっている。

【 0 0 4 1 】

第 1 の絶縁膜 G I の表面であって、前記半導体層 P S のほぼ中央を横切るようにして該ドライブ・トランジスタ D T のゲート電極 G T が形成されている。なお、該ドライブ・トランジスタ D T の製造において、前記ゲート電極 G T の形成後は、このゲート電極 G T をマスクとして前記半導体層 P S に不純物をドーブし、そのドーブされた個所に該ドライブ・トランジスタ D T のソース領域およびドレイン領域を形成するようになっている。

20

【 0 0 4 2 】

また、前記ゲート電極 G T をも被って第 2 の絶縁膜 I N が形成されている。この第 2 の絶縁膜 I N の表面には、該第 2 の絶縁膜 I N および第 1 の絶縁膜 G I を貫通するスルーホールを通してたとえばソース電極 S T が引き出されるようになっている。このソース電 S T 極は発光素子 L E D の一方の電極に接続されるべく電極だからである。

【 0 0 4 3 】

前記ソース電極 S T をも被って第 3 の絶縁膜 P A S 1、さらに第 4 の絶縁膜 P A S 2 が形成されている。これら絶縁膜は一層であってもよいが、図示しない他の回路における異なる層で形成される各導電層の絶縁を図るためにこのような構成となっている。

30

【 0 0 4 4 】

第 4 の絶縁膜 P A S 2 の上面にはたとえば I T O 等の透光性の導電膜 I T O が形成され、この導電膜 I T O は第 4 の絶縁膜 P A S 2 および第 3 の絶縁膜 P A S 1 を貫通して形成されるスルーホールを通して前記ソース電極 S T と接続されているとともに、実質的発光領域にまで及んで延在されて形成されている。

【 0 0 4 5 】

前記導電膜 I T O 上にたとえば樹脂膜からなるバンク層 B M P が形成されている。このバンク層 B M P は発光領域に相当する部分 (前記実質的発光領域に相当) に開口が形成され、この開口からは前記導電膜 I T O が露出されるようになっている。

40

【 0 0 4 6 】

そして、バンク層 B M P を被って発光素子 L E D が形成されている。同図では、前記発光素子 L E D はバンク層 B M P の開口部のみならず表面にも形成されているが、少なくとも前記開口部に形成されていることが必要となる。バンク層 B M P の開口部が実質的な発光領域となるからである。

【 0 0 4 7 】

同図に示す発光素子 L E D の上面に該発光層の他の電極となる導電膜 C T D が形成されている。この導電膜 C T D は隣接する他の画素領域にも一体に形成され、各画素領域にお

50

ける対応する導電層と共通に形成されている。すなわち、各画素領域に形成した前記各導電膜 I T O が発光素子 L E D の陽極として機能するのに対し、各画素領域に共通に形成した前記導電膜 C T D は陰極として機能するようになっている。

【 0 0 4 8 】

ここで、前記バンク層 B M P は、図 1 の平面図に示したように、各画素領域における発光領域に開口部が設けられ、当該画素の発光領域は y 方向に隣接する他の画素の発光領域と比較的大きな距離で離間されている。これら各発光領域の間の部分は画素領域内に配置させなければならない回路部品が集積されて形成される部分となっているからである。該回路部品としては、図 3 の等価回路に示したスイッチング素子 S W 1、容量素子 C、ドライブ・トランジスタ D T である。

10

【 0 0 4 9 】

そして、この部分は従来においてバンク層 B M P によって被われていたものであるが、この実施例では、その部分に開口部あるいは凹陷部を設けるように構成されている（なお、図 5 では図示されていない）。この場合、バンク層 B M P の発光領域における開口部、それ以外の領域における開口部あるいは凹陷部 O P N は互いに接続されることなく別個の領域に形成されている。発光領域における開口部はその側壁面の輪郭を確保せねばならないからである。

このため、発光領域以外の領域における前記開口部あるいは凹陷部 O P N はたとえば x 方向に隣接するもの同士で互いに接続されていてもよい。

【 0 0 5 0 】

20

このようにバンク層 B M P に前記開口部あるいは凹陷部 O P N を形成した理由は、比較的膜厚を厚く形成しなければならないバンク層 B M P において、その製造時における焼成の際に形状が崩れるのを防止するためである。

【 0 0 5 1 】

すなわち、従来のバンク層 B M P は、図 4 (a) に示した平面構成となっており、その製造時における焼成の際に、図 4 (a) の b - b 線における断面図である図 4 (b) に示すように、x 方向に隣接する画素領域を画するバンク層 B M P の部分において、その高さが低くなってしまっていた。このことは、バンク層 B M P をも被って形成する導電膜 C T D である発光素子 L E D の他方の電極（陰極）に断線を生じる原因となる。

【 0 0 5 2 】

30

上述したようなバンク層 B M P の形状の崩れは、図中 y 方向に隣接する発光領域の開口部の間の領域に相当するバンク層 B M P の材料の塊が焼成の際に応力を発生させるからだと考えられる。このため、上述したように、該領域に開口部あるいは凹陷部 O P N を形成することにより、焼成の際に発生する応力の緩和を図らんとしたものである。

【 0 0 5 3 】

なお、バンク層 B M P の発光領域以外の領域に開口部 O P N を形成した場合、その開口部 O P N から該画素を駆動させるための駆動回路の一部が露出される場合がある。この場合、露出された駆動回路を絶縁膜で被覆することが望ましい。その上層にたとえば導電膜 C T D を形成した場合に電氣的ショートが発生するからである。このことから、バンク層 B M P の発光領域以外の領域に凹陷部 O P N を形成する場合には、その底部が前記絶縁膜の機能を有し、特に絶縁膜を設ける必要はないという効果を奏する。

40

【 0 0 5 4 】

図 6 (a) は、本発明による有機 E L 表示装置の他の実施例を示す平面図で、バンク層 B M P の上面に形成された導電膜 C T D は該バンク層 B M P の端辺の側面にまで及び、該バンク層 B M P の下層に形成されかつ該端辺から露出された配線層 C N L に電氣的に接続されていることを示している。また、図 6 (b) は、バンク層 B M P の前記端面における平面図であって、前記バンク層 B M P の上面に形成される導電膜 C T D と該バンク層 B M P の下層に形成される配線層 C N L との接続部を詳細に示した図である。

【 0 0 5 5 】

ここで、バンク層 B M P の前記端辺には、その辺の方向に沿って複数の切欠き C U T が

50

形成され、これら各切欠きCUTの形状は、それぞれ三角形状となっている。そして、三角形からなる各切欠きCUTの一辺は前記端辺にほぼ平行となるように形成されているが、該一辺に対する頂角の部分は隣接する他の切欠きに対して異なる方向に指向している。

【0056】

これにより、バンク層BMPの上層の導電膜CTDはこの切欠きCUTにおいてもバンク層BMPの下層の配線層CNLと接続がなされるようになる。このことはバンク層BMPの上層の導電膜CTDとバンク層BMPの下層の配線層CNLとの接続部が多くなり、接続の信頼性を向上させることができる。

【0057】

また、バンク層BMPの上層の導電膜CTDは、その導電材料を定位置に配置させた蒸着・スパッタリング等によって形成するのが通常であり、この場合において、該導電材料の飛散方向による接続の不均一性を解消することができるようになる。

【0058】

すなわち、定位置に配置される導電材料の飛散方向は基板SUB上のある個所においてほぼ一定となる場合があり、この場合において、該導電材料は前記三角形の切欠きCUTの部分のうち少なくとも一辺に集中して堆積するようになり、バンク層BMPの下層の配線層CNLとの接続が確保されるようになる。換言すれば、基板SUB上のある個所において導電材料の飛散方向が3方向のうちのいずれであっても、三角形の切欠きCUTの部分においてそのいずれかの一辺に集中して導電材料が堆積することができ、信頼性のある接続ができるようになる。

このことから、前記切欠きCUTの形状は必ずしも三角形である必要はなく、複数の方向に指向する各辺から構成される形状であってもよく、たとえば円形であってもよい。

【0059】

図7は、やはりバンク層BMPの上層の導電膜CTDと該バンク層BMPの下層の配線層CNLとの接続の他の実施例を示すもので、該接続個所はバンク層BMPの各辺に囲まれる内部に形成され、この場合の形成個所には該バンク層BMPに複数のスルーホールTHが形成され、そのスルーホールTHの形状が三角形となっていることにある。

【0060】

このような場合であっても、上述したと同様、基板SUB上のある個所において導電材料の飛散方向が3方向のうちのいずれであっても、三角形のスルーホールTHの部分においてそのいずれかの一辺に集中して導電材料が堆積することができ、信頼性のある接続ができるようになる。

このことから、上述したと同様、スルーホールTHの形状は三角形に限定されることはなく、複数の方向に指向する各辺から構成される形状であってもよい。

【0061】

上述した実施例は、一画素当りに2つのトランジスタを備える構成のものに適用させたものであるが、図8に示すように4つのトランジスタを備える構成のものにも適用できることはもちろんである。画素を駆動させる駆動回路の構成が若干複雑となるだけで、それ以外の事情は同じだからである。

【0062】

図8(a)は有機EL表示装置の一画素とその近傍の個所を示す平面図である。該一画素は、その図中上側において当該画素を選択駆動するゲート信号線GLによって画され、左側において当該画素に映像信号を供給するデータ信号線DLによって画され、右側において当該画素に電流を供給する電流供給線PLによって画され、下側において当該画素と隣接する他の画素を選択駆動するゲート信号線GLによって画されている。

【0063】

この一画素の領域は図中上側と下側とに区分され、下側の領域には有機EL層からなる発光層が形成され、上側の領域には前記映像信号対応した電流を形成するための駆動回路が形成されている。

【0064】

10

20

30

40

50

発光層が形成された前記領域には、基板側からたとえば透光性の導電層からなる一方の電極（図中ITOで示す）、発光層、他方の電極が順次積層されている。前記発光層は前記一方の電極の上層に形成されたバンク層の開口部（図中BMP, OPN）に埋設されて形成され、この部分が実質的に発光部として構成される。また、前記他方の電極は前記バンク層の上面をも被って各画素に共通に形成されている。

【0065】

前記一方の電極を陽極、他方の電極を陰極として、その間の発光層に電流が流れることによって、該発光層は電流に応じた強度で発光がなされるようになっている。なお、前記バンク層は当該画素からの発光を隣接する画素内に伝達されるのを回避するため、あるいは、製造の工程において当初流動性をもつ発光層を所定の輪郭を有するように形成するために設けられている。

10

【0066】

前記回路に形成された前記領域には、スイッチング素子SW1、SW2、SW3、スイッチング素子SW2をオン・オフするコントロール信号線CL1、スイッチング素子SW3をオン・オフするコントロール信号線CL2、ドライブ・トランジスタDT、容量素子C1 - Csi、Csi - C2が形成されている。

【0067】

この回路は、ゲート信号線GLからの走査信号によって、データ信号線DLから映像信号を取り込み、この映像信号の強弱（電圧）に応じて、電流供給線PLからの電流を前記発光層が形成された領域の一方の電極に供給するようになっている。

20

【0068】

ここで、前記スイッチング素子SW2、SW3、および容量素子Csi - C2は、ドライブ・トランジスタDTの閾値電圧が各画素毎にばらつきがある場合において、そのばらつき補正をするために設けられている。

【0069】

図8（b）は前記一画素における等価回路を示し、図8（a）における幾何学的配置にほぼ対応させて描いている。

ゲート信号線GLからの走査信号によって、スイッチング素子SW1がオンし、データ信号線DLからの映像信号が該スイッチング素子SW1を介して容量素子C1 - Csiの一方の電極C1に供給される。このとき、該容量素子C1 - Csiの他方の電極はフローティング状態となっている。

30

【0070】

なお、容量素子C1 - Csiは、その他方の電極と導電位となるゲート電極を有するドライブ・トランジスタDTのゲート電位を所定の期間に亘り所望の値に維持させる機能を有する。

【0071】

このような状態で、まず、コントロール信号線CL1を通して伝送された制御信号がスイッチング素子SW2をターン・オンさせる。このとき、ドライブ・トランジスタDTはターン・オンされないものの、そのノードCH2側はフローティング状態から有機EL素子LEDを通して基準電位に接続され、その電位は所定の値に上がる。

40

【0072】

次にコントロール信号線CL2を通して伝送された制御信号が、これに対応するスイッチング素子SW3をターン・オンさせる。これにより、フローティング状態にあった容量素子Csi - C2の一方の電極Csiは、スイッチング素子SW3を通してドライブ・トランジスタDTのノードCH2側と接続され、その電位は上記所定の値に上がる。このとき、ドライブ・トランジスタDTのゲート電位（ノードCH1の電位）はその出力側（ノードCH2）と同じため、ドライブ・トランジスタDTのチャンネル層は電荷の流れを遮断する。

【0073】

電流供給線PLには、データ信号線DLで伝送される映像信号に関係なく所定の電流が

50

流れるため、その電位も概ね一定である。したがって、2つのスイッチング素子SW2、SW3を順次ターン・オンする（それぞれのチャンネル層を順次導通状態にする）ことにより、いずれの画素の容量素子CS_i-C₂にも概ね同じ量の電荷が蓄えられる。

【0074】

この状態で、スイッチング素子SW3のチャンネル層を閉ざし、次にスイッチング素子SW1がターン・オンされると、容量素子C₁-CS_iの一方の電極C₁に印加される電圧（映像信号）に応じて、容量素子C₁-CS_iの容量も変り、これに応じてノードCH1の電位（ドライブ・トランジスタDTのゲート電位）とその出力側（ノードCH2側）の電位との間に差が生じる。

【0075】

この電位差により、ドライブ・トランジスタDTをターン・オンし、またターン・オンされたチャンネルに流れる電荷量を制御して有機EL素子LEDを所望の輝度で光らせる。

上述した各実施例はそれぞれ単独に、あるいは組み合わせ用いても良い。それぞれの実施例での効果を単独であるいは相乗して奏することができるからである。

【図面の簡単な説明】

【0076】

【図1】本発明による有機EL表示装置に設けられるバンク層の一実施例を示す平面図である。

【図2】本発明による有機EL表示装置の全体の構成の一実施例を示す平面図である。

【図3】本発明による有機EL表示装置の画素の一実施例を示す等価回路図である。

【図4】従来における有機EL表示装置の不都合を示した説明図である。

【図5】本発明による有機EL表示装置の画素の一実施例を示す断面図である。

【図6】本発明による有機EL表示装置の画素の他の実施例を示す断面図である。

【図7】本発明による有機EL表示装置の画素の他の実施例を示す断面図である。

【図8】本発明による有機EL表示装置の画素の他の実施例を示す構成図である。

【符号の説明】

【0077】

SUB...基板

GL...ゲート信号線

DL...データ信号線

CSL...電流供給線

BMP...バンク層

LED...発光素子

ITO...導電膜（陽極）

CTD...導電膜（陰極）

C...容量素子

CUT...切欠き

OPN...開口部あるいは凹陥部

DT...ドライブ・トランジスタ

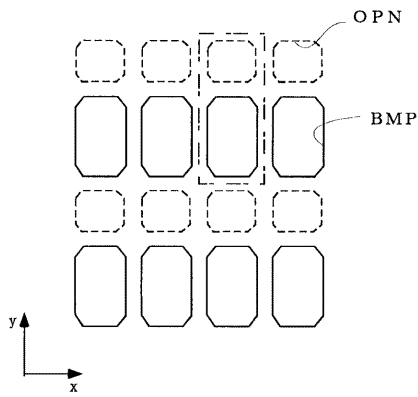
10

20

30

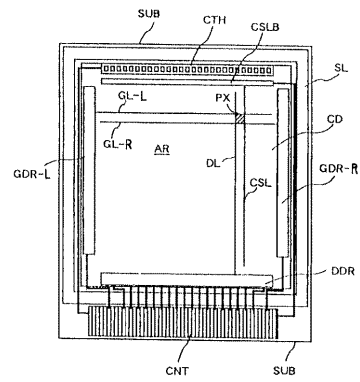
【図1】

図1



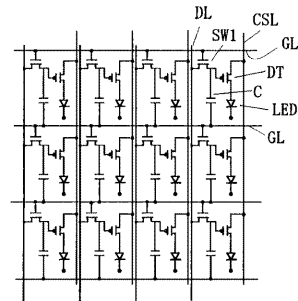
【図2】

図2



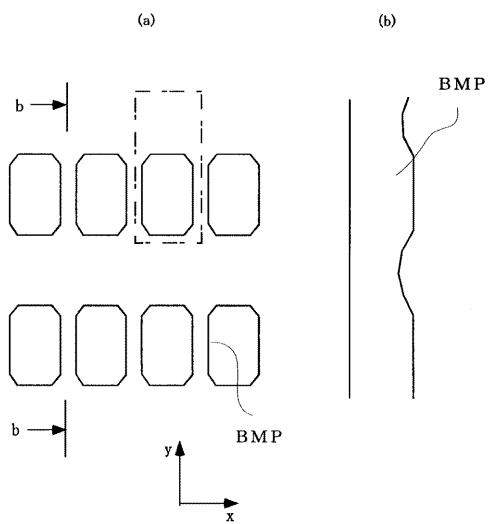
【図3】

図3



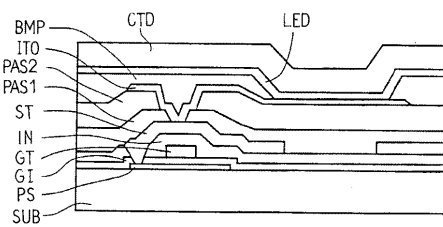
【図4】

図4



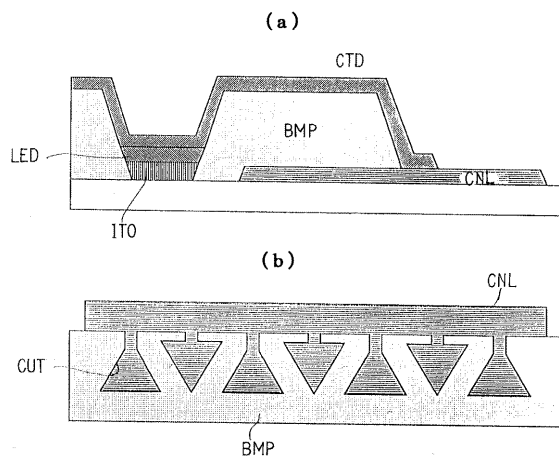
【図5】

図5



【図6】

図6



フロントページの続き

(72)発明者 石井 良典

千葉県茂原市早野3300番地 株式会社日立ディスプレイズ内

審査官 濱野 隆

(56)参考文献 特開2002-318556(JP,A)

特開2002-287663(JP,A)

特開2004-111369(JP,A)

特開2002-208491(JP,A)

特開2004-207218(JP,A)

特開2000-357584(JP,A)

(58)調査した分野(Int.Cl., DB名)

H05B 33/22

G09F 9/30

H01L 27/32

H01L 51/50

H05B 33/12

