

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3912340号
(P3912340)

(45) 発行日 平成19年5月9日(2007.5.9)

(24) 登録日 平成19年2月9日(2007.2.9)

(51) Int. Cl.	F I	
HO5B 33/22 (2006.01)	HO5B 33/22	Z
GO9F 9/30 (2006.01)	GO9F 9/30	338
HO1L 27/32 (2006.01)	GO9F 9/30	365Z
HO5B 33/12 (2006.01)	HO5B 33/12	B
HO1L 51/50 (2006.01)	HO5B 33/14	A
請求項の数 6 (全 34 頁) 最終頁に続く		

(21) 出願番号	特願2003-182908 (P2003-182908)	(73) 特許権者	000002369
(22) 出願日	平成15年6月26日(2003.6.26)		セイコーエプソン株式会社
(62) 分割の表示	特願平10-531360の分割		東京都新宿区西新宿2丁目4番1号
原出願日	平成10年2月17日(1998.2.17)	(74) 代理人	100095728
(65) 公開番号	特開2004-31356 (P2004-31356A)		弁理士 上柳 雅普
(43) 公開日	平成16年1月29日(2004.1.29)	(74) 代理人	100107076
審査請求日	平成15年6月26日(2003.6.26)		弁理士 藤網 英吉
(31) 優先権主張番号	特願平9-32474	(74) 代理人	100127661
(32) 優先日	平成9年2月17日(1997.2.17)		弁理士 宮坂 一彦
(33) 優先権主張国	日本国(JP)	(72) 発明者	小澤 徳郎
(31) 優先権主張番号	特願平9-236351		長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
(32) 優先日	平成9年9月1日(1997.9.1)	(72) 発明者	木村 睦
(33) 優先権主張国	日本国(JP)		長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
(31) 優先権主張番号	特願平9-236353		
(32) 優先日	平成9年9月1日(1997.9.1)		
(33) 優先権主張国	日本国(JP)		最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項1】

走査線と、データ線と、給電線と、前記走査線と前記データ線との交差部に対応して、トランジスタ及び当該トランジスタに接続された画素電極が配置された表示装置であって、
 前記画素電極の上方に形成された対向電極と、
 前記データ線及び前記トランジスタを覆う層間絶縁膜と、
 前記画素電極と前記トランジスタのソース又はドレイン領域とを電氣的に接続するために前記層間絶縁膜に設けられたコンタクトホールと、
 前記層間絶縁膜の上方に、前記コンタクトホールと平面的に見て重ならないように形成されると共に前記トランジスタのゲート電極と平面的に見て重なるように形成されたバンク層と、
 前記バンク層の内側に、且つ前記画素電極と前記対向電極との間の層に、前記コンタクトホールと平面的に見て重なるように形成されるとともに、前記給電線から前記トランジスタを介して電流を供給されて発光する発光薄膜と、を含み、
 前記対向電極は前記バンク層の上方に形成され、
 前記発光薄膜の発した光は前記対向電極を通して射出されること、
 を特徴とする表示装置。

【請求項2】

請求項1に記載の表示装置において、
 前記画素電極は負極として機能し、

10

20

前記対向電極は正極として機能すること、
を特徴とする表示装置。

【請求項 3】

請求項 1 または 2 に記載の表示装置において、

前記画素電極は金属膜を含み、
前記対向電極はITO膜を含むこと、
を特徴とする表示装置。

【請求項 4】

請求項 1 に記載の表示装置において、

前記画素電極は正極として機能し、
前記対向電極は負極として機能すること、
を特徴とする表示装置。

10

【請求項 5】

請求項 1 乃至 4 のいずれかに記載の表示装置において、

前記画素電極と前記対向電極との間には、さらに正孔注入層が設けられていること、
を特徴とする表示装置。

【請求項 6】

請求項 1 乃至 5 のいずれかに記載の表示装置において、

前記給電線は、前記バンク層の下方に形成されていること、
を特徴とする表示装置。

20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、表示装置に関するものである。

【0002】

【従来の技術】

EL素子またはLED素子などの電流制御型発光素子を用いたアクティブマトリクス型の表示装置が提案されている。このタイプの表示装置に用いられる発光素子はいずれも自己発光するため、液晶表示装置と違ってバックライトを必要とせず、また視野角依存性が少ないなどの利点がある。

30

【0003】

図31は、このような表示装置の一例として、電荷注入型の有機薄膜EL素子を用いたアクティブマトリクス型表示装置のブロック図である。この図に示す表示装置1Aでは、透明基板上に、複数の走査線gateと、これらの走査線gateの延設方向に対して交差する方向に延設された複数のデータ線sigと、これらのデータ線sigに並列する複数の共通給電線comと、データ線sigと走査線gateとの交差点に対応する画素7とが構成されている。

【0004】

画素7の各々には、走査線gateを介して走査信号がゲート電極（第1のゲート電極）に供給される第1のTF T 20と、この第1のTF T 20を介してデータ線sigから供給される画像信号を保持する保持容量capと、この保持容量capによって保持された画像信号がゲート電極（第2のゲート電極）に供給される第2のTF T 30と、第2のTF T 30を介して共通給電線comに電氣的に接続したときに共通給電線comから駆動電流が流れ込む発光素子40（抵抗として表してある。）とが構成されている。

40

【0005】

このように構成された表示装置1Aにおいて、第1のTF T 20および第2のTF T 30は、従来、Nチャネル型を例にとると、製造プロセスを簡略化するという観点から、図32にその等価回路を示すように、いずれもNチャネル型あるいはPチャネル型のTF Tとして構成されている。従って、Nチャネル型を例にとると、図33(A)、(B)に示すように、走査線gatcから供給される走査信号Sgateが高電位になって第1のTF T 2

50

0 がオン状態になったときにデータ線 *s i g* から保持容量 *c a p* に高電位の画像信号 *d a t a* が書き込まれると、第2のT F T 3 0 がオン状態に保持される。その結果、発光素子 4 0 では、画素電極 4 1 から対向電極 *o p* に向けて矢印 E で示す方向の駆動電流が流れ続け、発光素子 4 0 が発光し続ける（点灯状態）。これに対して、走査線 *g a t e* から供給される走査信号 *S gate* が高電位になって第1のT F T 2 0 がオン状態になったときに、データ線 *s i g* から保持容量 *c a p* に共通給電線 *c o m* の電位と対向電極 *o p* の電位の間のある電位よりも低い電位の画像信号 *d a t a* が書き込まれると、第2のT F T 3 0 がターンオフし、発光素子 4 0 が消灯する（消灯状態）。

【0006】

このような表示装置 1 A において、各素子を構成する半導体膜、絶縁膜、電極などは基板上に堆積した薄膜から構成され、かつ、この薄膜は基板の耐熱性を考慮して低温プロセスで形成されることが多い。従って、薄膜とバルクとの物性の差異などに起因して欠陥が多いなど膜品質が劣るため、T F T などでは絶縁破壊や経時劣化などの問題が表面化しやすい。

【0007】

液晶を光変調素子として用いた液晶表示装置でも薄膜を用いるという点で共通するが、この場合には光変調素子を交流駆動するので、液晶だけでなく、T F T の経時劣化も抑えることができる。これに対して、電流制御型発光素子を用いた表示装置 1 A では直流駆動せざるを得ないという点では、液晶表示装置よりもT F T に経時劣化が起きやすい。このような問題点を解消するため、電流制御型発光素子を用いた表示装置 1 A でもT F T の構造

【0008】

また、液晶を光変調素子として用いた場合には、この光変調素子を電圧により制御するので、個々の素子には電流が瞬間的に流れるだけであるので、消費電力が小さい。これに対して、電流制御型発光素子を用いた表示装置 1 A では、発光素子を点灯させ続けるには駆動電流を定常的に流す必要があるため、消費電力が高くなり、絶縁破壊や経時劣化が起きやすい。

【0009】

さらに、液晶表示装置では1画素当たり1つのT F T で液晶を交流駆動することができるが、電流制御型発光素子を用いた表示装置 1 A では、1画素当たり2つのT F T 2 0、3 0 で発光素子 4 0 を直流駆動するので、駆動電圧が高くなり、前記の絶縁破壊や消費電力が大きいという問題が顕著である。

【0010】

たとえば、図 3 3 (A) に示すように、画素を選択する際の第1のT F T 2 0 のゲート電圧 *V g s w* は、走査信号 *S gate* の高電位に相当する電位と電位保持電極 *s t* の電位（保持容量 *c a p* の電位、または第2のT F T 3 0 のゲート電極の電位）との電位差に相当するため、発光素子 4 0 を高い輝度で点灯させようと電位保持電極 *s t* の電位を高めて第2のT F T 3 0 のゲート電圧 *V g c u r* を高めたときには、その分、第1のT F T 2 0 のゲート電圧 *V g s w* が低くなってしまふので、走査信号 *S gate* の振幅を大きくする必要が生じ、表示装置 1 A の駆動電圧が高くなってしまふ。

【0011】

また、前記の表示装置 1 A では、発光素子 4 0 を消灯させる際に画像信号 *d a t a* の電位を共通給電線 *c o m* の電位と対向電極 *o p* の電位の間のある電位よりも低くして第2のT F T 3 0 をターンオフさせるため、画像信号 *d a t a* の振幅が大きいという問題点もある。従って、この種の表示装置 1 A では、液晶表示装置と比較して、消費電力やT F T の耐電圧などに格段の配慮が必要であるが、従来の表示装置 1 A ではかかる配慮が十分になされていない。

【0012】

【発明が解決しようとする課題】

そこで、本発明の課題は、電流駆動型の発光素子の発光動作を制御するT F T の導電型を

10

20

30

40

50

考慮した駆動方式を採用して、駆動電圧の低電圧化による消費電力、絶縁破壊、経時劣化の低減と表示品位の向上とを併せて図ることができる表示装置を提供することにある。

【0013】

【課題を解決するための手段】

本発明の第1の表示装置は、走査線と、データ線と、前記走査線と前記データ線との交差部に対応して、トランジスタが配置された表示装置であって、前記トランジスタに接続された画素電極と、前記画素電極の上方に形成された対向電極と、前記データ線及び前記トランジスタを覆う層間絶縁膜と、前記層間絶縁膜の上方に形成されたバンク層と、前記バンク層の内側に形成され、前記画素電極と前記対向電極との間に配置された発光薄膜と、を含み、前記バンク層は、前記画素電極と前記トランジスタとを接続するために前記層間絶縁膜に設けられたコンタクトホールとは、重ならないように設けられ、前記発光薄膜の発した光は前記対向電極を通して射出されること、を特徴とする。

10

【0014】

本発明の第2の表示装置は、走査線と、データ線と、前記走査線と前記データ線との交差部に対応して、トランジスタが配置された表示装置であって、前記トランジスタに接続された画素電極と、前記画素電極の上方に形成された対向電極と、前記データ線及び前記トランジスタを覆う層間絶縁膜と、前記層間絶縁膜の上方に形成されたバンク層と、前記バンク層の内側に形成され、前記画素電極と前記対向電極との間に配置された発光薄膜と、を含み、前記バンク層は、前記画素電極と前記トランジスタとを接続するために前記層間絶縁膜に設けられたコンタクトホールと、重なるように設けられ、前記発光薄膜の発した光は前記対向電極を通して射出されること、を特徴とする。

20

【0015】

上記の表示装置において、前記画素電極は負極として機能し、前記対向電極は正極として機能するようにしてもよい。

【0016】

上記の表示装置において、前記画素電極は金属膜を含み、前記対向電極はITO膜を含むことが好ましい。

【0017】

上記表示装置において、前記画素電極は正極として機能し、前記対向電極は負極として機能してもよい。

30

【0018】

上記の表示装置において、前記画素電極と前記対向電極の間には、さらに正孔注入層が設けられていることが好ましい。

【0019】

上記の表示装置において、前記データ線は前記バンク層の下方に形成されていることが好ましい。

【0020】

上記表示装置において、さらに、前記発光薄膜に前記トランジスタを介して電流を供給する給電線を含み、前記給電線は、前記バンク層の下方に形成されていることが好ましい。

40

【0021】

さらに、本発明では、基板上に、複数の走査線と、該走査線に交差する複数のデータ線と、複数の共通給電線と、前記データ線と前記走査線とによりマトリクス状に形成された画素とを有し、該画素の各々には、前記走査線を介して走査信号が第1のゲート電極に供給される第1のTFTと、該第1のTFTを介して前記データ線から供給される画像信号を保持する保持容量と、該保持容量によって保持された前記画像信号が第2のゲート電極に供給される第2のTFTと、前記画素毎に形成された画素電極が前記第2のTFTを介して前記共通給電線に電気的に接続したときに前記画素電極と発光薄膜を介して対向する対向電極との間に流れる駆動電流によって前記発光薄膜が発光する表示装置において、前記第2のTFTがNチャンネル型の場合には、前記共通給電線は前記対向電極よりも低電位に

50

設定されていることを特徴とする。

【0022】

本発明に係る表示装置では、第2のTFTのオン時のゲート電圧は、共通給電線の電位および画素電極の電位のうちの一方の電位と、ゲート電極の電位（画像信号の電位）との差に相当するので、第2のTFTの導電型に応じて、共通給電線の電位と発光素子の対向電極の電位との相対的な高低を最適化し、第2のTFTのゲート電圧は、共通給電線の電位と電位保持電極の電位との差に相当するように構成してある。たとえば、第2のTFTがNチャンネル型であれば、発光素子の対向電極の電位に対して共通給電線の電位を低くしてある。

【0023】

この共通給電線の電位については、画素電極の電位と相違して、十分に低い値に設定することができるため、第2のTFTで大きなオン電流が得られ、高い輝度で表示を行うことができる。また、画素を点灯状態とする際に、第2のTFTにおいて高いゲート電圧が得られるのであれば、画像信号の電位を下げるので、画像信号の振幅を小さくし、表示装置における駆動電圧を下げるができる。

【0024】

それ故、消費電力を低減できるとともに、薄膜で構成された各素子で懸念されていた耐電圧の問題が顕在化しないという利点がある。

【0025】

本発明において、上記第2のTFTがNチャンネル型の場合には点灯状態とすべき画素に対して前記データ線から供給される画像信号の電位は、前記対向電極の電位と比較して低電位、あるいは等電位であることが好ましい。このように構成した場合も、第2のTFTをオン状態に保ったまま、画像信号の振幅を小さくすることができ、表示装置における駆動電圧を下げるができる。

【0026】

本発明において、第2のTFTがNチャンネル型の場合には、消灯状態とすべき画素に対して前記データ線から供給される画像信号の電位は、前記共通給電線の電位と比較して高電位、あるいは等電位であることが好ましい。すなわち、画素を消灯状態にするときには、第2のTFTを完全にターンオフさせるほどのゲート電圧（画像信号）を印加しない。発光素子の非線型電気特性とあいまって、消灯状態は実現できる。それ故、画像信号の振幅を小さくすることができ、表示装置における駆動電圧を下げ、また画像信号の高周波化を図ることができる。

【0027】

本発明において、上記の各構成とは逆に、前記第2のTFTがPチャンネル型の場合には、各電位の相対的な関係を逆転させる。すなわち、前記第2のTFTがPチャンネル型の場合には、前記共通給電線は前記対向電極よりも高電位に設定されていることを特徴とする。この場合には、点灯状態とすべき画素に対して前記データ線から供給される画像信号の電位は、前記対向電極の電位と比較して高電位、あるいは、等電位であることが好ましい。また、消灯状態とすべき画素に対して前記データ線から供給される画像信号の電位は、前記共通給電線の電位と比較して低電位、あるいは等電位であることが好ましい。

【0028】

本発明において、前記第1のTFTと前記第2のTFTとは、逆導電型のTFTで構成されていることが好ましい。すなわち、第1のTFTがNチャンネル型であれば、第2のTFTはPチャンネル型であり、第1のTFTがPチャンネル型であれば、第2のTFTはNチャンネル型であることが好ましい。詳しくは後述するが、このように構成すると、表示装置の駆動電圧レンジの範囲内で、点灯のための画像信号の電位を、第1のTFTのオン時の抵抗が小さくなる方向に変更するだけで、表示動作の高速化を図ることができる。

【0029】

また、この時には画素を点灯させるための画像信号の電位が第2のTFTのオン時の抵抗が小さくなる方向に変更したことになるので、輝度の向上を図ることができる。よって、

10

20

30

40

50

駆動電圧の低電圧化と表示品位の向上とを併せて達成することができる。

【0030】

本発明の別の形態では、基板上に、複数の走査線と、該走査線に交差する複数のデータ線と、複数の共通給電線と、前記データ線と前記走査線とによりマトリクス状に形成された画素とを有し、該画素の各々には、前記走査線を介して走査信号が第1のゲート電極に供給される第1のTFTと、該第1のTFTを介して前記データ線から供給される画像信号を保持する保持容量と、該保持容量によって保持された前記画像信号が第2のゲート電極に供給される第2のTFTと、前記画素毎に形成された画素電極と該画素電極に対向する対向電極との層間において前記画素電極が前記第2のTFTを介して前記共通給電線に電氣的に接続したときに前記画素電極と前記対向電極との間に流れる駆動電流によって発光する発光薄膜を具備する発光素子とを備える表示装置において、前記第1のTFTと前記第2のTFTとは、逆導電型のTFTで構成されていることを特徴とする。

10

【0031】

本発明では、例えば第1のTFTがN型であれば、第2のTFTがP型であるように、第1のTFTと第2のTFTとが逆導電型であるため、第1のTFTの書き込み能力を上げるためには、走査信号の選択パルス高を高くし、第2のTFTのオン抵抗を下げた発光輝度を上げるためには、画像信号の電位を低くすることになる。このような走査信号および画像信号の最適化は、第1のTFTのゲート電圧に対して、画素の選択期間中、発光素子を点灯させるレベルの画像信号が保持容量に書き込まれていくにつれて、当該TFTのオン電流が増大する方にシフトさせるのに効く。それ故、データ線から第1のTFTを介して保持容量に画像信号がスムーズに書き込まれる。ここで、画素を選択する際の第1のTFTのゲート電圧は、走査信号の高電位に相当する電位と点灯時の電位保持電極の電位（点灯のための画像信号の電位、保持容量の電位、または第2のTFTのゲート電極の電位）との差に相当し、第2のTFTのゲート電圧は、点灯時の電位保持電極の電位と共通給電線の電位との差に相当し、このときの電位保持電極の電位を基準にしたときには、走査信号の高電位に相当する電位と共通給電線の電位は同じ極性である。従って、点灯時の電位保持電極の電位（点灯のための画像信号の電位）を変更すれば、その分、第1のTFTのゲート電圧および第2のTFTのゲート電圧の双方が同じ方向に同じ分だけシフトする。それ故、表示装置の駆動電圧レンジの範囲内で、点灯のための画像信号の電位を、第1のTFTのオン時の抵抗が小さくなる方向にシフトさせれば、表示動作の高速化を図ることができる。また、この時には点灯のための画像信号の電位が第2のTFTのオン時の抵抗が小さくなる方向にシフトしたことになるので、輝度の向上を図ることができる。よって、駆動電圧の低電圧化と表示品位の向上とを併せて達成することができる。

20

30

【0032】

本発明において、消灯状態にある画素における前記第2のTFTに印加されるゲート電圧は、該第2のTFTがオン状態となるとき極性と同一で、かつ、該第2のTFTのしきい値電圧を越えない値であることが好ましい。

【0033】

すなわち、画素を消灯状態にするときには、第2のTFTを完全にターンオフさせるほどのゲート電圧（画像信号）を印加しない。それ故、画像信号の振幅を小さくすることができ、画像信号の高周波化を実現できる。

40

【0034】

このように構成した場合において、前記第1のTFTがNチャンネル型、前記第2のTFTがPチャンネル型であれば、前記第1のTFTをオン状態にするときの走査信号の電位と前記共通給電線の電位とが等しく、かつ、消灯状態にある画素の前記第2のTFTに印加されるゲート電極の電位は、前記第1のTFTをオン状態にするときの走査信号の電位から当該第1のTFTのしきい値電圧を差し引いた電位よりも低電位であることが好ましい。それとは逆に、前記第1のTFTがPチャンネル型、前記第2のTFTがNチャンネル型であれば、前記第1のTFTをオン状態にするときの走査信号の電位と前記共通給電線の電位とが等しく、かつ、消灯状態にある画素の前記第2のTFTに印加されるゲート電極の電

50

位は、前記第1のTFTをオン状態にするときの走査信号の電位に当該第1のTFTのしきい値電圧を加えた電位よりも高電位であることが好ましい。

【0035】

このように第1のTFTをオン状態にするときの走査信号の電位と共通給電線の電位とを等しくすると、各駆動信号のレベルの数が減るため、表示装置への信号入力端子の数を減らすことができるとともに、電源数を減らすことができるので、低消費電力となる。

【0036】

本発明では、前記保持容量の両電極のうち、前記第2のTFTの第2のゲート電極に電氣的に接続する電極とは反対側の電極には、前記走査信号の選択パルスより遅延して該選択パルスとは電位が逆方向に振れるパルスが供給されることが好ましい。このように構成すると、保持容量への画像信号の書き込みを補うことができるので、画像信号の振幅を大きくせず、第2のTFTのゲート電極に印加される画像信号の電位を高輝度化の方向にシフトさせることができる。

10

【0037】

本発明のさらに別の形態においては、基板上に、複数の走査線と、該走査線に交差する複数のデータ線と、複数の共通給電線と、前記データ線と前記走査線とによりマトリクス状に形成された画素とを有し、該画素の各々には、前記走査線を介して走査信号が第1のゲート電極に供給される第1のTFTと、該第1のTFTを介して前記データ線から供給される画像信号を保持する保持容量と、該保持容量によって保持された前記画像信号が第2のゲート電極に供給される第2のTFTと、前記画素毎に形成された画素電極と該画素電極に対向する対向電極との層間において前記画素電極が前記第2のTFTを介して前記共通給電線に電氣的に接続したときに前記画素電極と前記対向電極との間に流れる駆動電流によって発光する発光薄膜を具備する発光素子とを備える表示装置において、前記保持容量の両電極のうち、前記第2のTFTの第2のゲート電極に電氣的に接続する電極とは反対側の電極には、前記走査信号の選択パルスより遅延して該選択パルスとは電位が逆方向に振れるパルスが供給されることを特徴とする。

20

【0038】

このように構成すると、保持容量への画像信号の書き込みを補うことができるので、画像信号の振幅を大きくせず、第2のTFTのゲート電極に印加される画像信号の電位を高輝度化の方向にシフトさせることができる。

30

【0039】

上記のいずれの発明においても、前記発光薄膜としては、たとえば、有機半導体膜を用いることができる。

【0040】

本発明では、上記のいずれの発明においても、第2のTFTについては、その飽和領域で動作させることにより、発光素子に異常電流が流れ、電圧降下等により他画素にクロストーク等が発生するのを防止することができる。

【0041】

また、その線形領域で動作させることによりそのしきい値電圧のばらつきが表示動作に影響を及ぼすことを防止することができる。

40

【0042】

【発明の実施の形態】

図面を参照して、本発明の実施の形態を説明する。なお、本発明の各実施の形態を説明する前に、各形態で共通の構成について説明しておく。ここで、各形態で共通の機能を有する部分については、同一の符号を付して説明の重複を避けることとする。

【0043】

(アクティブマトリクス基板の全体構成)

図1は、表示装置の全体のレイアウトを模式的に示すブロック図、図2は、それに構成されたアクティブマトリクスの等価回路図である。図1に示すように、本実施形態の表示装置1では、その基体たる透明基板10の中央部分が表示部2とされている。透明基板10

50

の外周部分のうち、図面に向かって上下の側には、データ線 *sig* に対して画像信号を出力するデータ側駆動回路 3、および検査回路 5 がそれぞれ構成され、図面に向かって左右の側には、走査線 *gate* に対して走査信号を出力する走査側駆動回路 4 が構成されている。これらの駆動回路 3、4 では、N型の T F T と P型の T F T とによって相補型 T F T が構成され、この相補型 T F T は、シフトレジスタ回路、レベルシフト回路、アナログスイッチ回路などを構成している。透明基板 10 上において、データ側駆動回路 3 よりも外周領域には、画像信号や各種の電位、パルス信号を入力するための端子群とされる実装用パッド 6 が形成されている。

【0044】

表示装置 1 では、液晶表示装置のアクティブマトリクス基板と同様、透明基板 10 上に、複数の走査線 *gate* と、該走査線 *gate* の延設方向に対して交差する方向に延設された複数のデータ線 *sig* とが構成され、図 2 に示すように、これらのデータ線 *sig* と走査線 *gate* との交差によりマトリクス状に画素 7 が多数、構成されている。

10

【0045】

これらの画素 7 のいずれにも、走査線 *gate* を介して走査信号がゲート電極 21 (第1のゲート電極) に供給される第1の T F T 20 が構成されている。この T F T 20 のソース・ドレイン領域の一方は、データ線 *sig* に電氣的に接続し、他方のソース・ドレイン領域は電位保持電極 *st* に電氣的に接続している。すなわち、走査線 *gate* に対しては容量線 *line* が並列配置され、この容量線 *line* と電位保持電極 *st* との間には保持容量 *cap* が形成されている。従って、走査信号によって選択されて第1の T F T 20 がオン状態になると、データ線 *sig* から画像信号が第1の T F T 20 を介して保持容量 *cap* に書き込まれる。

20

【0046】

電位保持電極 *st* には第2の T F T 30 のゲート電極 31 (第2のゲート電極) が電氣的に接続し、第2の T F T 30 のソース・ドレイン領域の一方は、共通給電線 *com* に電氣的に接続する一方、他方のソース・ドレイン領域は発光素子 40 の一方の電極 (後述する画素電極) に電氣的に接続している。共通給電線 *com* は定電位に保持されている。第2の T F T 30 がオン状態になったときに、第2の T F T 30 を介して共通給電線 *com* の電流が発光素子 40 を流れ、発光素子 40 を発光させる。

【0047】

このように構成した表示装置 1 において、駆動電流は、発光素子 40、第2の T F T 30、および共通給電線 *com* から構成される電流経路を流れるため、第2の T F T 30 がオフ状態になると、流れなくなる。但し、本実施形態の表示装置 1 では、走査信号によって選択されて第1の T F T 20 がオン状態になると、データ線 *sig* から画像信号が第1の T F T 20 を介して保持容量 *cap* に書き込まれる。従って、第2の T F T 30 のゲート電極は、第1の T F T 20 がオフ状態になっても、保持容量 *cap* によって画像信号に相当する電位に保持されるので、第2の T F T 30 はオン状態のままである。それ故、発光素子 40 には駆動電流が流れ続け、この画素は点灯状態のままである。この状態は、新たな画像データが保持容量 *cap* に書き込まれて、第2の T F T 30 がオフ状態になるまで維持される。

30

40

【0048】

表示装置 1 において共通給電線 *com*、画素 7、およびデータ線 *sig* については各種の配列が可能であるが、本実施形態では、共通給電線 *com* の両側に、該共通給電線 *com* との間で駆動電流の供給が行われる発光素子 40 を有する複数の画素 7 が配置され、これらの画素 7 に対して共通給電線 *com* とは反対側を 2本のデータ線 *sig* が通っている。すなわち、データ線 *sig*、それに接続する画素群、1本の共通給電線 *com*、それに接続する画素群、および該画素群に画素信号を供給するデータ線 *sig* を 1つの単位としてそれを走査線 *gate* の延設方向に繰り返してあり、共通給電線 *com* は、1本で 2列分の画素 7 に対して駆動電流を供給する。そこで、本実施形態では、共通給電線 *com* を挟むように配置された 2つの画素 7の間では、第1の T F T 20、第2の T F T 30、およ

50

び発光素子40が当該共通給電線comを中心に線対称に配置され、これらの素子と各配線層との電気的な接続を容易なものにしてある。

【0049】

このように、本実施形態では、1本の共通給電線comで2列分の画素を駆動するので、1列の画素群ごとに共通給電線comを形成する場合と比較して、共通給電線comの数が1/2で済むとともに、同一の層間に形成される共通給電線comとデータ線sigとの間に確保していた隙間が不要である。それ故、透明基板10上において配線のための領域を狭くすることができるので、輝度、コントラスト比などの表示性能を向上させることができる。なお、このように1本の共通給電線comに2列分の画素が接続される構成としたため、データ線sigは2本ずつ並列する状態にあって、それぞれの列の画素群に対して画像信号を供給することになる。

10

【0050】

(画素の構成)

このように構成した表示装置1の各画素7の構造を、図3ないし図6を参照して詳述する。図3は、本実施形態の表示装置1に形成されている複数の画素7のうちの3つの画素7を拡大して示す平面図、図4、図5、および図6はそれぞれは、そのA-A線における断面図、B-B線における断面図、およびC-C線における断面図である。

【0051】

まず、図3におけるA-A線に相当する位置では、図4に示すように、透明基板10上には各画素7の各々に、第1のTFT20を形成するための島状のシリコン膜200が形成され、その表面にはゲート絶縁膜50が形成されている。

20

【0052】

ゲート絶縁膜50の表面にはゲート電極21(走査線gateの一部)が形成され、該ゲート電極21に対して自己整合的にソース・ドレイン領域22、23が形成されている。ゲート絶縁膜50の表面側には第1の層間絶縁膜51が形成され、この層間絶縁膜に形成されたコンタクトホール61、62を介して、ソース・ドレイン領域22、23にはデータ線sig、および電位保持電極stがそれぞれ電気的に接続している。

【0053】

各画素7には走査線gateと並列するように、走査線gateやゲート電極21と同一の層間(ゲート絶縁膜50と第1の層間絶縁膜51の間)には容量線clineが形成されており、この容量線clineに対しては、第1の層間絶縁膜51を介して電位保持電極stの延設部分st1が重なっている。このため、容量線clineと電位保持電極stの延設部分st1とは、第1の層間絶縁膜51を誘電体膜とする保持容量capを構成している。なお、電位保持電極stおよびデータ線sigの表面側には第2の層間絶縁膜52が形成されている。

30

【0054】

図3におけるB-B線に相当する位置では、図5に示すように、透明基板10上に形成された第1の層間絶縁膜51および第2の層間絶縁膜52の表面に各画素7に対応するデータ線sigが2本、並列している状態にある。図3におけるC-C線に相当する位置では、図6(A)に示すように、透明基板10上には共通給電線comを挟む2つの画素7に跨がるように、第2のTFT30を形成するための島状のシリコン膜300が形成され、その表面にはゲート絶縁膜50が形成されている。ゲート絶縁膜50の表面には、共通給電線comを挟むように、各画素7の各々にゲート電極31がそれぞれ形成され、このゲート電極31に対して自己整合的にソース・ドレイン領域32、33が形成されている。

40

【0055】

ゲート絶縁膜50の表面側には第1の層間絶縁膜51が形成され、この層間絶縁膜に形成されたコンタクトホール63を介して、ソース・ドレイン領域62に中継電極35が電気的に接続している。

【0056】

50

一方、シリコン膜300の中央の2つの画素7において共通のソース・ドレイン領域33となる部分に対しては、第1の層間絶縁膜51のコンタクトホール64を介して、共通給電線comが電氣的に接続している。これらの共通給電線com、および中継電極35の表面には第2の層間絶縁膜52が形成されている。

【0057】

第2の層間絶縁膜52の表面にはITO膜からなる画素電極41が形成されている。この画素電極41は、第2の層間絶縁膜52に形成されたコンタクトホール65を介して中継電極35に電氣的に接続し、この中継電極35を介して第2のTF T30のソース・ドレイン領域32に電氣的に接続されている。

【0058】

(発光素子の特性)

発光素子40としては、いずれの構造のものを用いた場合でも本発明を適用できるので、その代表的なものを以下に説明する。まず、前記のITO膜からなる画素電極41は、図7(A)に示すように、発光素子40の一方の電極(正極)を構成している。この画素電極41の表面には正孔注入層42および発光薄膜として有機半導体膜43が積層され、さらに有機半導体膜43の表面には、リチウム含有アルミニウムまたはカルシウムなどの金属膜からなる対向電極op(負極)が形成されている。この対向電極opは、透明基板10の全面、あるいはストライプ状に形成された共通電極となるべきもので、一定の電位に保持されている。これに対して、図7(A)に示す発光素子40とは逆の方向に駆動電流を流す場合には、図7(B)に示すように、下層側から上層側に向かって、ITO膜からなる画素電極41(負極)、透光性をもつほど薄いリチウム含有アルミニウム電極45、有機半導体層43、正孔注入層42、ITO膜層46、リチウム含有アルミニウムまたはカルシウムなどの金属膜からなる対向電極op(正極)をこの順に積層して、発光素子40を構成する場合もある。

【0059】

このように構成すると、図7(A)、(B)に示す各発光素子40においてそれぞれ逆極性の駆動電流が流れる場合でも、正孔注入層42および有機半導体層43が直接、接する電極層の構成が同一であるため、発光特性が同等である。これらの図7(A)、(B)に示した発光素子40は、いずれも下層側(基板の側)にITO膜からなる画素電極41を有し、光は、矢印hで示すように、画素電極41および透明基板10を透過して透明基板10の裏面側から射出される。

【0060】

これに対して、図8(A)、(B)に示すように発光素子40を構成すると、光は、矢印hで示すように、対向電極opを透過して透明基板10の表面側に射出される。すなわち、図8(A)に示すように、リチウム含有アルミニウムなどの金属膜からなる画素電極41(負極)の表面には有機半導体膜43および正孔注入層42が積層され、さらに正孔注入層42の表面にはITO膜からなる対向電極op(正極)が形成されている。この対向電極opも、全面に一枚板で、あるいはストライプ状に形成された共通電極で、一定の電位に保持されている。

【0061】

これに対して、図8(A)に示す発光素子とは逆の方向に駆動電流を流すには、図8(B)に示すように、下層側から上層側に向かって、リチウム含有アルミニウムなどの金属膜からなる画素電極41(正極)、ITO膜層46、正孔注入層42、有機半導体層43、透光性をもつほど薄いリチウム含有アルミニウム電極45、ITO膜からなる対向電極op(負極)をこの順に積層して、発光素子40を構成する場合もある。いずれの構造を有する発光素子40を形成するにあたって、正孔注入層42および有機半導体膜43は、後述するように、インクジェット法によりバンク層bankの内側に形成すれば、上下位置が反対でも製造工程が複雑になることはない。また、透光性をもつほど薄いリチウム含有アルミニウム電極45、およびITO膜層46を追加する場合でも、リチウム含有アルミニウム電極45は画素電極41と同じ領域で積層している構造になっても表示に支

10

20

30

40

50

障がなく、ITO膜層46も対向電極opと同じ領域で積層している構造になっていても表示に支障がない。それ故、リチウム含有アルミニウム電極45と画素電極41とはそれぞれ別々にパターニングしてもよいが、同じレジストマスクで一括してパターニングしてもよい。同様に、ITO膜層46と対向電極opとはそれぞれ別々にパターニングしてもよいが、同じレジストマスクで一括してパターニングしてもよい。リチウム含有アルミニウム電極45およびITO膜層46はバンク層bankの内側領域のみに形成してもよいことは勿論である。

【0062】

さらに、対向電極opの方をITO膜で形成し、画素電極41の方を金属膜で構成してもよい。いずれも場合でも透明なITO膜の方から光が射出されることになる。このように構成された発光素子40は、対向電極opおよび画素電極41をそれぞれ正極および負極として電圧が印加され、図9(図7(A)、図8(B)に示す発光素子40の電流-電圧特性)、図10(図7(B)、図8(A)に示す発光素子40の電流-電圧特性)にそれぞれ示すように、印加電圧(横軸/画素電極41に対する対向電極opの電位)がしきい値電圧を越えた領域でオン状態、すなわち、低抵抗状態になって有機半導体膜43に流れる電流(駆動電流)が急激に増大する。その結果、発光素子40は、エレクトロルミネセンス素子あるいはLED素子として発光し、発光素子40の射出光は、対向電極opに反射され、透明な画素電極41および透明基板10を通して射出される。それとは反対に、印加電圧(横軸/画素電極41に対する対向電極opの電位)がしきい値電圧を下回る領域ではオフ状態、すなわち、高抵抗状態になって有機半導体膜43に電流(駆動電流)が流れず、発光素子40は消灯する。なお、図9、図10に示す例ではそれぞれ+2V付近、-2V付近がしきい値電圧である。

【0063】

ここで、発光効率はやや低下する傾向にあるものの、正孔注入層42を省略することもある。また、正孔注入層42を用いずに、有機半導体層43に対して正孔注入層42が形成されている位置とは反対側の位置に電子注入層を設ける場合もある。また、正孔注入層42および電子注入層の両方を設ける場合もある。

【0064】

(TF Tの特性)

このように構成した発光素子40での発光を制御するためのTF T(図2における第1のTF T20および第2のTF T30)として、Nチャネル型、およびPチャネル型のTF Tの電流電圧特性を図11および図12(いずれの図においても、ドレイン電圧が4V、8Vの例を示してある。)に示す。これらの図からわかるように、TF Tは、ゲート電極に印加するゲート電圧によってオン、オフ動作を行う。すなわち、ゲート電圧がしきい値電圧を越えると、TF Tはオン状態(低抵抗状態)になってドレイン電流が増大する。これに対して、ゲート電圧がしきい値電圧を下回ると、TF Tはオフ状態(高抵抗状態)になってドレイン電流が低減する。

【0065】

(表示装置の製造方法)

このように構成した表示装置1の製造方法において、透明基板10上に第1のTF T20および第2のTF T30を製造するまでの工程は、液晶表示装置1のアクティブマトリクス基板を製造する工程と略同様であるため、簡単に図13を参照してその概要を説明する。

【0066】

図13は、表示装置1の各構成部分を600以下の温度条件下で形成していく過程を模式的に示す工程断面図である。すなわち、図13(A)に示すように、透明基板10に対して、必要に応じて、TEOS(テトラエトキシシラン)や酸素ガスなどを原料ガスとしてプラズマCVD法により厚さが約2000~5000オングストロームのシリコン酸化膜からなる下地保護膜(図示せず。)を形成する。次に基板の温度を約350に設定して、下地保護膜の表面にプラズマCVD法により厚さが約300~700オングストロー

10

20

30

40

50

ムのアモルファスのシリコン膜からなる半導体膜100を形成する。

【0067】

次にアモルファスのシリコン膜からなる半導体膜100に対して、レーザアニールまたは固相成長法などの結晶化工程を行い、半導体膜100をポリシリコン膜に結晶化する。レーザアニール法では、たとえば、エキシマレーザでビーム形状の長寸が400mmのラインビームを用い、その出力強度はたとえば200mJ/cm²である。ラインビームについてはその短寸方向におけるレーザ強度のピーク値の90%に相当する部分が各領域毎に重なるようにラインビームを走査していく。

【0068】

次に、図13(B)に示すように、半導体膜100をパターンングして島状の半導体膜200、300とし、その表面に対して、TEOS(テトラエトキシシラン)や酸素ガスを原料ガスとしてプラズマCVD法により厚さが約600~1500オングストロームのシリコン酸化膜または窒化膜からなるゲート絶縁膜50を形成する。

【0069】

次に、図13(C)に示すように、アルミニウム、タンタル、モリブデン、チタン、タングステンなどの金属膜からなる導電膜をスパッタ法により形成した後、パターンングし、走査線gateの一部としてのゲート電極21、31を形成する。この工程では容量線clineも形成する。なお、図中、310はゲート電極31の延設部分である。この状態で高濃度のリンイオンあるいはボロンイオンなどの不純物を打ち込んで、シリコン薄膜200、300にはゲート電極21、31に対して自己整合的にソース・ドレイン領域22、23、32、33を形成する。なお、不純物が導入されなかった部分がチャンネル領域27、37となる。

【0070】

本実施形態では、後述するように、同一の基板上に導電型の異なるTFTを製造する場合があるので、その場合には、不純物導入工程において逆導電型のTFT形成領域をマスクで覆いながら不純物の導入をすすめていく。

【0071】

次に、図13(D)に示すように、第1の層間絶縁膜51を形成した後、コンタクトホール61、62、63、64、69を形成し、データ線sig、容量線clineおよびゲート電極31の延設部分310に重なる延設部分st1を備える電位保持電極st、共通給電線com、および中継電極35を形成する。その結果、電位保持電極stはコンタクトホール69および延設部分310を介してゲート電極31に電氣的に接続する。このようにして第1のTFT20および第2のTFT30を形成する。また、容量線clineと電位保持電極stの延設部分st1とによって保持容量capが形成される。

【0072】

次に、図13(E)に示すように、第2の層間絶縁膜52を形成し、この層間絶縁膜には、中継電極35に相当する部分にコンタクトホール65を形成する。

【0073】

次に、第2の層間絶縁膜52の表面全体に導電膜を形成した後、パターンングし、コンタクトホール65を介して第2のTFT30のソース・ドレイン領域32に電氣的に接続する画素電極41を形成する。

【0074】

次に、図13(F)に示すように、第2の層間絶縁膜52の表面側に黒色のレジスト層を形成した後、このレジストを発光素子40の有機半導体膜43、および正孔注入層42を形成すべき領域を囲むように残し、バンク層bankを形成する。ここで、有機半導体膜43は、各画素毎に独立して箱状に形成される場合、データ線sigに沿ってストライプ状に形成される場合のいずれであっても、それに対応する形状にバンク層bankを形成するだけで、本実施形態に係る製造方法を適用できる。

【0075】

10

20

30

40

50

次に、バンク層 *bank* の内側領域に対してインクジェットヘッド *IJ* から、有機半導体膜 43 を構成するための液状の材料（前駆体）を吐出し、バンク層 *bank* の内側領域に有機半導体膜 43 を形成する。同様に、バンク層 *bank* の内側領域に対してインクジェットヘッド *IJ* から、正孔注入層 42 を構成するための液状の材料（前駆体）を吐出し、バンク層 *bank* の内側領域に正孔注入層 42 を形成する。なお、図 7 (A)、(B) および図 8 (A)、(B) を参照して発光素子 40 の構造を説明したように、その構造によっては、有機半導体膜 43 および正孔注入層 42 を形成していく順序が入れ替わることもある。ここで、バンク層 *bank* はレジストから構成されているため、撥水性である。これに対して、有機半導体膜 43 や正孔注入層 42 の前駆体は親水性の溶媒を用いているため、有機半導体膜 43 の塗布領域はバンク層 *bank* によって確実に規定され、隣接する画素にはみ出ることがない。また、バンク層 *bank* を十分高く形成しておくこと、インクジェット法を用いなくてもスピコート法などといった塗布法を用いた場合でも、所定領域に有機半導体膜 43 や正孔注入層 42 を形成できる。

10

【0076】

本実施形態では、有機半導体膜 43 や正孔注入層 42 をインクジェット法により形成する際の作業効率を高めるために、図 3 に示すように、走査線 *gate* の延設方向に沿って隣接するいずれの画素 7 間でも、前記有機半導体膜 43 の形成領域の中心のピッチ *P* を等しくしてある。従って、矢印 *Q* で示すように、走査線 *gate* の延設方向に沿って等間隔の位置にインクジェットヘッド *IJ* から有機半導体膜 43 の材料などを吐出すればよいという利点がある。また、等ピッチの移動でよいから、インクジェットヘッド *IJ* の移動機構が簡易になり、かつ、インクジェットヘッド *IJ* の打ち込み精度を上げることも容易となる。

20

【0077】

しかる後には、図 13 (G) に示すように、透明基板 10 の表面側に対向電極 *op* を形成する。ここで、対向電極 *op* は全面またはストライプ状に形成されるが、対向電極 *op* をストライプ状に形成する場合には、透明基板 10 の表面全体に導電膜を形成した後、それをストライプ状にパターンニングする。

【0078】

なお、図 1 に示すデータ側駆動回路 3 や走査側駆動回路 4 にも *TFT* が形成されるが、これらの *TFT* は前記の画素 7 に *TFT* を形成していく工程の全部あるいは一部を援用して行われる。それ故、駆動回路を構成する *TFT* も、画素 7 の *TFT* と同一の層間に形成されることになる。

30

【0079】

本実施形態において、バンク層 *bank* は黒色で絶縁性のレジストから構成されているので、そのまま残し、ブラックマトリクス *BM*、および寄生容量を低減するための絶縁層として利用する。

【0080】

すなわち、図 1 に示すように、透明基板 10 の周辺領域に対しても前記のバンク層 *bank*（形成領域に斜線を付してある。）を形成する。従って、データ側駆動回路 3 および走査側駆動回路 4 はいずれも、バンク層 *bank* によって覆われているため、これらの駆動回路の形成領域に対して対向電極 *op* が重なる状態にあっても、駆動回路の配線層と対向電極 *op* との間にバンク層 *bank* が介在することになる。それ故、駆動回路 3、4 に容量が寄生することを防止できるので、データ側駆動回路 3 の負荷を低減でき、低消費電力化あるいは表示動作の高速化を図ることができる。

40

【0081】

また、本実施形態では、図 3 ないし図 5 に示すように、データ線 *sig* に重なるようにバンク層 *bank* を形成してある。従って、データ線 *sig* と対向電極 *op* との間にバンク層 *bank* が介在することになるので、データ線 *sig* に容量が寄生することを防止できる。その結果、駆動回路の負荷を低減できるので、低消費電力化あるいは表示動作の高速化を図ることができる。

50

【 0 0 8 2 】

さらに、本実施形態では、図 3、図 4、および図 6 (A) に示すように、画素電極 4 1 と中継電極 3 5 とが重なる領域にもバンク層 b a n k を形成するとよい。すなわち、図 6 (B) に示すように、画素電極 5 1 と中継電極 3 5 とが重なる領域にバンク層 b a n k が形成されていない場合、たとえ画素電極と対向電極 o p との間に駆動電流が流れて有機半導体、膜 4 3 が発光しても、この光は中継電極 3 5 と対向電極 o p とに挟まれているため出射されず、表示に寄与しない。かかる表示に寄与しない部分で流れる駆動電流は、表示という面からみて無効電流といえる。しかるに本実施形態では、このような無効電流が流れるはずの部分にバンク層 b a n k を形成し、そこに駆動電流が流れることを防止するので、共通給電線 c o m に無駄な電流が流れることが防止できる。それ故、共通給電線 c o m

10

【 0 0 8 3 】

また、前記のように黒色のレジストで構成したバンク層 b a n k を残しておく、バンク層 b a n k はブラックマトリクスとして機能し、輝度、コントラスト比等の表示の品位が向上する。すなわち、本実施形態に係る表示装置 1 では、対向電極 o p が透明基板 1 0 の表面側の全面、あるいは広い領域にわたってストライプ状に形成されるため、対向電極 o p での反射光がコントラスト比を低下させる。

【 0 0 8 4 】

しかるに本実施形態では、有機半導体膜 4 3 の形成領域を規定しながら寄生容量を抑える機能を有するバンク層 b a n k を黒色のレジストで構成したため、バンク層 b a n k はブラックマトリクスとしても機能し、対向電極 o p からの無駄な反射光を遮るので、コントラスト比が高いという利点がある。また、バンク層 b a n k を利用して自己整合的に発光領域を規定することができるので、バンク層 b a n k をブラックマトリクスとして用いずに別の金属層などをブラックマトリクスとして用いたときに問題となる発光領域とのアライメント余裕が不要である。

20

(アクティブマトリクス基板の別の構成)

なお、本発明は上記の構成に限らず、各種のアクティブマトリクス基板に適用できる。たとえば、図 3 1 を参照して説明したように、透明基板 1 の上において、1本のデータ線 s i g、1本の共通給電線 c o m、1列の画素 7 を1つの単位として走査線 g a t e の延設方向に繰り返した構成の表示装置 1 A についても本発明を適用できる。

30

【 0 0 8 5 】

また、保持容量 c a p については、容量線を用いずに、共通給電線 c o m と電位保持電極 s t との間に構成してもよい。この場合には、図 1 4 (A)、(B) に示すように、電位保持電極 s t とゲート電極 3 1 とを電気的に接続させるためのゲート電極 3 1 の延設部分 3 1 0 を共通給電線 c o m の下層側にまで拡張し、この延設部分 3 1 0 と共通給電線 c o m との間の位置する第 1 の層間絶縁膜 5 1 を誘電体膜とする保持容量 c a p を構成する。

【 0 0 8 6 】

さらに、保持容量 c a p については、図示を省略するが、T F T を構成するためのポリシリコン膜を利用して構成してもよく、また、容量線や共通給電線に限らず、前段の走査線との間に構成することも可能である。

40

【 0 0 8 7 】

[実施の形態 1]

図 1 5 は、本実施形態の表示装置 1 の画素構成を示す等価回路図である。図 1 6 (A)、(B) はそれぞれ、各画素に構成された各素子の電気的な接続状態を示す説明図、および駆動信号などの電位変化を示す波形図である。

【 0 0 8 8 】

図 1 5、図 1 6 (A)、(B) に示すように、本実施形態では、第 1 の T F T 2 0 は N チャネル型である。従って、走査線 g a t e から供給される走査信号 S gate が高電位になったときに、第 1 の T F T 2 0 がオン状態になって、データ線 s i g から第 1 の T F T 2 0 を介して保持容量 c a p に画像信号 d a t a が書き込まれ、走査線 g a t e から供給され

50

る走査信号 S gate が低電位になっている間は、保持容量 c a p に保持された画像信号 d a t a によって第 2 の T F T 3 0 が駆動制御される。

【 0 0 8 9 】

本実施形態では、第 2 の T F T 3 0 も N チャネル型である。従って、データ線 s i g からは、点灯状態とすべき画素の保持容量 c a p には高電位側の画像信号 d a t e が書き込まれ、消灯状態とすべき画素の保持容量 c a p には低電位側の画像信号 d a t e が書き込まれ、それに応じて、電位保持電極 s t の電位が変化する。

【 0 0 9 0 】

ここで、第 2 の T F T 3 0 のゲート電圧、V g cur に、共通給電線 c o m の電位、および画素電極 3 0 の電位のうちの低い方の電位と、電位保持電極 s t の電位との差に相当する。しかるに本実施形態では、発光素子 4 0 の対向電極 o p の電位に対して共通給電線 c o m の電位を低くして、第 2 の T F T 3 0 がオン状態になったときには、矢印 F で示すように、発光素子 4 0 の方から共通給電線 c o m の方に電流が流れるように構成してある。このため、第 2 の T F T 3 0 のゲート電圧 V g cur は、共通給電線 c o m の電位と電位保持電極 s t の電位との差に相当する。この共通給電線 c o m の電位については、共通給電線 c o m の電位と対向電極 o p の電位との間の電位に相当する画素電極 3 0 の電位と相違して、十分に低い値に設定することができる。従って、本実施形態では、第 2 の T F T 3 0 のゲート電圧 V g cur を十分、高い値とすることができるため、第 2 の T F T 3 0 のオン電流が大きいので、高い輝度で表示を行うことができる。また、画素を点灯状態とする際に、第 2 の T F T 3 0 のゲート電圧 V g cur として高い値が得られるのであれば、その分、そのときの電位保持電極 s t の電位、すなわち、画像信号 d a t a の高電位側の電位を下げることができるので、画像信号 d a t a の振幅を小さくし、表示装置 1 における駆動電圧を下げる可以降低。 10 20

【 0 0 9 1 】

なお、第 2 の T F T 3 0 のオン電流は、ゲート電圧 V g cur に限らず、ドレイン電圧にも依存するが、上記の結論が変わることはない。また、本実施形態では、第 2 の T F T 3 0 のオン電流が共通給電線 c o m の電位と電位保持電極 s t の電位との差に規定され、対向電極 o p の電位から直接的な影響を受けないので、画素を点灯状態とするための画像信号 d a t a の高電位側の電位を、対向電極 o p の電位より低い電位にまで下げ、画像信号 d a t a の振幅を小さくして、表示装置 1 における駆動電圧の低電圧化を図っている。なお、画素を点灯状態となるための画像信号 d a t a の高電位側の電位を、対向電極 o p と等電位にまで下げ、画像信号 d a t a の振幅を小さくしてもよい。 30

【 0 0 9 2 】

さらに、本実施形態では、消灯状態とすべき画素に対してデータ線 s i g から供給される画像信号 d a t a の電位を、共通給電線 c o m の電位と比較してやや高電位側にしてある。第 2 の T F T 3 0 は N チャネル型であるため、それを完全にターンオフさせるには、第 2 の T F T 3 0 のゲート電圧 V g cur を負（共通給電線 c o m より低い電位）とすることになる。または、第 2 の T F T 3 0 のゲート電圧 V g cur の絶対値が第 2 の T F T 3 0 のしきい値電圧の絶対値に相当するレベルよりやや低い電位となるように、画像信号 d a t a の低電位側の電位を高め設定する。このときは、消灯状態にある画素 7 において第 2 の T F T 3 0 のゲート電圧を、第 2 の T F T 3 0 がオン状態となる時の極性と同じで、かつ、第 2 の T F T 3 0 のしきい値電圧を下回る値に設定する。この時、画像信号 d a t a の低電位側の電位を上記の通りに高め設定した場合でも、第 2 の T F T 3 0 は高抵抗状態にあって、オン電流が極めて小さいので、発光素子 4 0 は消灯にある。なお、消灯状態とすべき画素に対してデータ線 s i g から供給される画像信号 d a t a の電位を、共通給電線 c o m と等電位にして画像信号 d a t a の振幅を小さくしてもよい。 40

【 0 0 9 3 】

このように画像信号 d a t a の低電位側の電位を第 2 の T F T 3 0 のしきい値を越えない程度に高め設定すると、画像信号 d a t a の振幅を小さくできるので、画像信号 d a t a の駆動電圧を下げる可以降低。しかも、前記のとおり、画素を点灯状態とするため 50

の画像信号 *data* の高電位側の電位を、対向電極 *op* の電位より低い電位にまで下げているので、画像信号 *data* の電位は、対向電極 *op* と共通給電線 *com* とで規定されるレンジ内におさまる。それ故、表示装置 1 における駆動電圧を下げることができ、表示装置 1 の消費電力を下げるができる。また、このように構成しても、画質の低下、動作の異常、動作可能な周波数の低下を招くものではなく、表示装置 1 の駆動電圧が低い分、薄膜から構成した各素子で懸念されていた耐電圧（絶縁耐圧）の問題が顕在化しないという利点もある。

【0094】

[実施の形態 1 の変形例]

図 17 は、本実施形態の表示装置 1 の画素構成を示す等価回路図である。図 18 (A)、(B) はそれぞれ、各画素に構成された各素子の電気的な接続状態を示す説明図、および駆動信号などの電位変化を示す波形図である。なお、本実施形態では、実施の形態 1 とは反対に、第 1 の T F T 2 0 および第 2 の T F T 3 0 のいずれをも P チャネル型の T F T で構成してある。但し、本実施形態は、実施の形態 1 と同一の技術的思想のもとで各素子を駆動制御することとし、実施の形態 1 で説明した駆動信号の極性を反転させてあるだけであり、その他の点については同様な構成を有するものであるため、構成については簡単に説明するだけとする。

10

【0095】

図 17、図 18 (A)、(B) に示すように、本実施形態では、第 1 の T F T 2 0 は P チャネル型であるため、走査線 *gate* から供給される走査信号 *S gate* が低電位になったときに、第 1 の T F T 2 0 がオン状態になる。本実施形態では、第 2 の T F T 3 0 も P チャネル型である。従って、データ線 *sig* からは、点灯状態とすべき画素の保持容量 *cap* に低電位側の画像信号 *data* が書き込まれ、消灯状態とすべき画素の保持容量 *cap* には高電位側の画像信号 *data* が書き込まれる。

20

【0096】

ここで、第 2 の T F T 3 0 のゲート電圧 V_{gcur} は、共通給電線 *com* の電位、および画素電極 3 0 の電位のうちの高い方の電位と、電位保持電極 *st* の電位との差に相当する。しかるに本実施形態では、発光素子 4 0 の対向電極 *op* の電位に対して共通給電線 *com* の電位を高くして、第 2 の T F T 3 0 がオン状態になったときには、矢印 E で示すように、共通給電線 *com* の方から発光素子 4 0 の方に電流が流れるように構成してある。このため、第 2 の T F T 3 0 のゲート電圧 V_{gcur} は、共通給電線 *com* の電位と電位保持電極 *st* の電位との差に相当する。この共通給電線 *com* の電位については、共通給電線 *com* の電位と対向電極 *op* の電位との間の電位に相当する画素電極 3 0 の電位と相違して、十分に高い値に設定することができる。従って、本実施形態では、第 2 の T F T 3 0 のゲート電圧 V_{gcur} を十分、高い値とすることができるため、第 2 の T F T 3 0 のオン電流が大きいので、高い輝度で表示を行うことができる。また、画素を点灯状態とする際に、第 2 の T F T 3 0 のゲート電圧 V_{gcur} として高い値が得られるのであれば、その分、そのときの電位保持電極 *st* の電位、すなわち、画像信号 *data* の低電位側の電位を上げることができるので、画像信号 *data* の振幅を小さくできる。

30

【0097】

また、本実施形態では、第 2 の T F T 3 0 のオン電流が対向電極 *op* の電位から直接的には影響を受けないので、画素を点灯状態とするための画像信号 *data* の低電位側の電位を、対向電極 *op* の電位よりやや高い電位まで上げ、画像信号 *data* の振幅を小さくしてある。なお、画素を点灯状態とするための画像信号 *data* の低電位側の電位を、対向電極 *op* と等電位にまで上げ、画像信号 *data* の振幅を小さくしてもよい。

40

【0098】

さらに、本実施形態では、消灯状態とすべき画素に対してデータ線 *sig* から供給される画像信号 *data* の電位を、共通給電線 *com* の電位と比較してやや低電位にまで下げている。すなわち、第 2 の T F T 3 0 のゲート電圧 V_{gcur} の絶対値がこの T F T のしきい値電圧の絶対値に相当するレベルよりやや低い電位となるように、画像信号 *data* の高

50

電位側の電位を低めに設定してある。これにより、第2のTFT30ではオン電流が極めて小さくなり、発光素子40は消灯にある。なお、消灯状態とすべき画素に対してデータ線sigから供給される画像信号dataの電位を、共通給電線comと等電位にして画像信号dataの振幅を小さくしてもよい。

【0099】

このように画像信号dataの低電位側の電位を高め、かつ、画素を点灯状態とするための画像信号dataの高電位側の電位を低めに設定してあるので、画像信号dataの電位は、対向電極opと共通給電線comとで規定されるレンジ内におさまる。それ故、表示装置1における駆動電圧を下げることができ、表示装置1の消費電力を下げるなど、実施の形態1と同様な効果を奏する。

10

[実施の形態2]

図19は、本実施形態の表示装置1の画素構成を示す等価回路図である。

図20(A)、(B)はそれぞれ、各画素に構成された各素子の電氣的な接続状態を示す説明図、および駆動信号などの電位変化を示す波形図である。図19、図20(A)、(B)に示すように、本実施形態では、第1のTFT20をNチャンネル型のTFTで、第2のTFT30をPチャンネル型のTFTで構成してある。第2のTFT30はPチャンネル型であるため、データ線sigからは、点灯状態とすべき画素の保持容量capには低電位側の画像信号dataeが書き込まれ、消灯状態とすべき画素の保持容量capには高電位側の画像信号dataeが書き込まれる。第2のTFT30のゲート電圧Vgcurは、共通給電線comの電位、および画素電極30の電位のうちの高い方の電位と、電位保持電極stの電位との差に相当する。

20

【0100】

本実施形態では、発光素子40の対向電極opの電位に対して共通給電線comの電位を高くして、第2のTFT30のゲート電圧Vgcurは、共通給電線comの電位と電位保持電極stの電位との差に相当するように構成してある。この共通給電線comの電位については、画素電極41と比較して十分に高い値に設定することができるので、第2のTFT30のオン電流が大きく、高い輝度で表示を行うことができる。また、その分、そのときの電位保持電極stの電位、すなわち、画像信号dataの低電位側の電位を上げることができるので、画像信号dataの振幅を小さくできる。また、第2のTFT30のオン電流が対向電極opの電位から直接的には影響を受けないので、画素を点灯状態とするための画像信号dataの低電位側の電位を、対向電極opの電位より高い電位、あるいは等電位にまで上げ、画像信号dataの振幅を小さくしてある。

30

【0101】

さらに、本実施形態では、消灯状態とすべき画素に対してデータ線sigから供給される画像信号dataの電位を、共通給電線comの電位と比較してやや低電位、あるいは等電位にして画像信号dataの振幅を小さくしてある。それ故、画像信号dataの電位を、対向電極opと共通給電線comとで規定されるレンジ内におさめ、ひいては表示装置1における駆動電圧を下げてあるので、表示装置1の消費電力を下げるなど、実施の形態1、あるいはその変形例と同様な効果を奏する。

【0102】

本実施形態では、第1のTFT20はNチャンネル型で、第2のTFT30と逆導電型であるため、画素を選択するときの走査線gateの電位(走査信号Sgate)は高電位である。このときの第1のTFT20のゲート電圧Vgswは、走査信号Sgateの高電位にある電位と電位保持電極st(保持容量stの電位、第2のTFT30のゲート電極の電位)との電位差に相当する。ここで、第2のTFT30はPチャンネル型であるため、画素7を点灯させるための画像信号dataは低電位側であり、画素7の選択期間中、電位保持電極stの電位は低下していく。従って、第1のTFT20のゲート電圧Vgswは、オン電流が増大する方にシフトしていく。

40

【0103】

一方、第2のTFT30のゲート電圧Vgcurは、共通給電線comと電位保持電極st

50

との電位差に相当し、選択した画素7が点灯状態にあるときには、選択期間中、電位保持電極stの電位は低下する傾向にあるため、第2のTF T 30のゲート電圧V g curは、オン電流が増大する方にシフトしていく。

【0104】

このように、本実施形態では、第1のTF T 20と第2のTF T 30とが逆導電型であるため、第1のTF T 20の書き込み能力を上げるためには走査信号S gateの選択パルス高を高くし、発光素子40の輝度を上げるために第2のTF T 30のオン抵抗を下げるべく画像信号dataを低くすることを要する。このような走査信号S gateの選択パルス高と画像信号dataとに対する最適化は、画素7の選択期間中、発光素子40を点灯させるレベルの画像信号dataが保持容量capに書き込まれていくにつれて、第1のTF T 20のゲート電圧に対して、当該TF Tのオン電流が増大する方にシフトさせるのに効く。それ故、データ線sigから第1のTF T 20を介して保持容量capに画像信号dataがスムーズに書き込まれる。

10

【0105】

ここで、画素7を選択する際の第1のTF T 20のゲート電圧V g swは、走査信号S gateの高電位に相当する電位と電位保持電極stの電位（保持容量capの電位、または第2のTF T 30のゲート電極の電位）との差に相当し、第2のTF T 30のゲート電圧V g curは、共通給電線comの電位と電位保持電極stの電位との差に相当し、電位保持電極stの電位を基準にしたときには、走査信号S gateの高電位に相当する電位と共通給電線comの電位は同じ極性である。従って、電位保持電極stの電位を変更すれば、その分、第1のTF T 20のゲート電圧V g swおよび第2のTF T 30のゲート電圧V g curの双方が同じ方向に同じ分だけシフトする。

20

【0106】

それ故、表示装置1の駆動電圧レンジの範囲内で、点灯のための画像信号dataの電位を、第1のTF T 20のオン時の抵抗が小さくなる方向に変更すれば、表示動作の高速化を図ることができるとともに、このときには第2のTF T 30のオン時の抵抗が小さくなる方向に点灯のための画像信号dataの電位が変更したことになるので、輝度の向上を図ることができる。よって、駆動電圧の低電圧化と表示品位の向上とを併せて達成することができる。

【実施の形態2の変形例】

30

図21は、本実施形態の表示装置1の画素構成を示す等価回路図である。図22(A)、(B)はそれぞれ、各画素に構成された各素子の電気的な接続状態を示す説明図、および駆動信号などの電位変化を示す波形図である。なお、本実施形態では、実施の形態2とは反対に、第1のTF T 20をPチャンネル型とし、第2のTF T 30をNチャンネル型のTF Tで構成してある。但し、本実施形態は、実施の形態2と同一の技術的思想のもとで各素子を駆動制御することとし、実施の形態2で説明した駆動信号の極性を反転させてあるだけであるため、その構成を簡単に説明するに止める。

【0107】

図21、図22(A)、(B)に示すように、本実施形態では、実施形態1と同様、第2のTF T 30はNチャンネル型であるため、データ線sigからは、点灯状態とすべき画素の保持容量capには高電位側の画像信号dateが書き込まれ、消灯状態とすべき画素の保持容量capには低電位側の画像信号dateが書き込まれる。ここで、第2のTF T 30のゲート電圧V g curは、共通給電線comの電位、および画素電極30の電位のうちの低い方の電位と、電位保持電極stの電位との差に相当する。しかるに本実施形態では、発光素子40の対向電極opの電位に対して共通給電線comの電位を低くしてあるため、第2のTF T 30のゲート電圧V g curは、共通給電線comの電位と電位保持電極stの電位との差に相当する。この共通給電線comの電位については十分に低く電位とすることができるので、第2のTF T 30のオン電流が大きく、高い輝度で表示を行うことができる。または、輝度が高い分、そのときの電位保持電極stの電位、すなわち、画像信号dataの高電位側の電位を上げて、画像信号dataの振幅を小さくできる

40

50

。また、第2のTF T 30のオン電流が対向電極opの電位から直接的には影響を受けないので、画素を点灯状態とするための画像信号dataの高電位側の電位を、対向電極opの電位より低い電位、あるいは等電位にまで下げ、画像信号dataの振幅を小さくしてある。さらに、本実施形態では、消灯状態とすべき画素に対してデータ線sigから供給される画像信号dataの電位を、共通給電線comの電位と比較してやや高電位、あるいは等電位にして画像信号dataの振幅を小さくしてある。それ故、画像信号dataの電位を、対向電極opと共通給電線comとで規定されるレンジ内におさめ、表示装置1における駆動電圧を下げてあるので、表示装置1の消費電力を下げることもできるなど、実施形態1、あるいはその変形例と同様な効果を奏する。

【0108】

本実施形態では第1のTF T 20はPチャンネル型で、第2のTF T 30と逆導電型であるため、画素を選択するときの走査線gateの電位（走査信号S gate）は低電位である。これに対して、第2のTF T 30はNチャンネル型であるため、画素7を点灯させるための画像信号dataは高電位側である。このように、本実施形態では、第1のTF T 20と第2のTF T 30とが逆導電型であるため、第1のTF T 20の書き込み能力を上げるためには走査信号S gateの選択パルスの電位を低くし、発光素子40の輝度を上げるために第2のTF T 30のオン抵抗を下げるべく画像信号dataの電位を低くすることになる。このような走査信号S gateの選択パルス高と画像信号dataとに対する最適化は、画素7の選択期間中、発光素子40を点灯させるレベルの画像信号dataが保持容量capに書き込まれていくにつれて、第1のTF T 20のゲート電圧に対して、当該TF Tの

【0109】

従って、電位保持電極stの電位を基準にしたときには、走査信号S gateの低電位に相当する電位と共通給電線comの電位は同じ極性であるため、電位保持電極stの電位を変更すれば、その分、第1のTF T 20のゲート電圧V g swおよび第2のTF T 30のゲート電圧V g curの双方が同じ方向に同じ分だけシフトする。それ故、表示装置1の駆動電圧レンジの範囲内で、点灯のための画像信号dataの電位を、第1のTF T 20のオン時の抵抗が小さくなる方向に変更すれば、表示動作の高速化を図ることができる。このときには第2のTF T 30のオン時の抵抗が小さくなる方向に点灯のための画像信号dataの電位を変更したことになるので、輝度の向上を図ることもできる。よって、実施の形態2と同様、駆動電圧の低電圧化と表示品位の向上とを併せて達成することができる。尚、上述の実施の形態2及び実施の形態2の変形例において、最適な駆動方法について図25を用いて説明する。

【0110】

実施形態2においては、第1のTF TはNチャンネル型であり、第2のTF TはPチャンネル型である。図25に示されるように、発光素子40を消灯させる際には、画像信号dataの電位を共通給電線comの電位よりも高くしてPチャンネル型の第2のTF T 30をターンオフさせているが、本実施形態では、図25に示すように、発光素子40を消灯させる場合でも、第2のTF T 30を完全にターンオフさせない。すなわち、本実施形態では、第2のTF T 30がPチャンネル型であるため、それを完全にターンオフさせるには、ゲート電圧V g curを0V（共通給電線comと同電位）、あるいは正の電位（共通給電線comより高い電位）とすることになるが、本実施形態では、第2のTF T 30のゲート電圧V g curがこのTF Tのしきい値電圧V thp(cur)に相当するレベルよりやや高い電位となるように、画像信号dataの消灯時の電位を低めに設定してある。

【0111】

従って、消灯状態にある画素7において第2のTF T 30に印加されるゲート電圧は、第2のTF T 30がオン状態となる時の極性と同じであるが、第2のTF T 30のしきい値電圧（V thp(cur)）を上回るような値である。例えば、第2のTF T 30のしきい値電圧（V thp(cur)）を-4Vとしたとき、消灯状態で第2のTF T 30に印加されるゲート電圧は-3Vとする。

10

20

30

40

50

【 0 1 1 2 】

このように第1のTFTがN型、第2のTFTがP型の場合、画像信号dataの消灯側の電位を従来より低めに設定すると、画像信号dataの振幅を小さくできるので、画像信号dataの低電圧化および高周波化を図ることができる。また、このように画像信号dataの消灯側の電位を低めに設定した場合でも、Pチャンネル型の第2のTFT30では、しきい値電圧 $V_{thp}(cur)$ に相当するレベルよりやや高めの電位であるので、消灯時に流れる電流は極めて小さい。

また、発光素子40にかかる電圧が低ければ、極めて小さい駆動電流しか流れ込まない。それ故、発光素子40を消灯させるのに実質上、問題点がない。また、本実施形態では、画像信号dataの消灯時の電位が共通給電線comの電位を越える必要がなければ、共通給電線comの電位を比較的高めに設定できる。そこで、本実施形態では、共通給電線comの電位を、第1のTFT20をオン状態にするときの走査信号Sgateの電位と等しくしてある。それ故、走査側駆動回路において、走査信号Sgateの高電位として用いた信号レベルをそのまま共通給電線comに供給すればよいので、本実施形態の表示装置1では、使用する駆動信号のレベルの数が少なく済み、表示装置1に駆動信号を入力するための端子数を減らすことができる。また、電源数を減らすことができるため、電源回路の低消費電力化、省スペース化を図ることができる。

10

【 0 1 1 3 】

この場合には、第1のTFT20がNチャンネル型で、第2のTFT30がPチャンネル型なので、消灯状態にある画素7の第2のTFT30に印加されるゲート電極の電位は、第1のTFT20をオン状態にするときの走査信号gateの電位から当該第1のTFT20のしきい値電圧 $V_{thn}(sw)$ を差し引いた電位よりも低電位にする。すなわち、画素7を消灯状態にするときの画像信号data(電位保持電極stの電位)と共通給電線comとの電位差 V_{off} の絶対値を下式

20

$$V_{thn}(sw) < |V_{off}|$$

に示すように、第1のTFT20のしきい値電圧 $V_{thn}(sw)$ よりも大きく設定し、画素7を選択する際の第1のTFT20の書き込み動作に支障が発生することを防止すればよい。

【 0 1 1 4 】

なお、実施形態2の変形例の第1のTFT20がPチャンネル型で、第2のTFT30がNチャンネル型の場合には、図26および図27(A)、(B)を参照して後述するように、本実施形態で説明した各信号の相対的な高低を入れ換えて、第1のTFT20や第2のTFT30に印加される電圧の極性を反転させることになる。この場合でも、本実施形態のように、発光素子40を消灯させる際に第2のTFT30を完全にターンオフさせなければ、画像信号dataの低電圧化および高周波化を図ることができる。また、共通給電線comの電位を、第1のTFT20をオン状態にするときの走査信号Sgateの電位と等しくすることにより、電源数を減らすことができる。この場合には、画素7を選択する際の第1のTFT20の書き込み動作に支障がないように、消灯状態にある画素7の第2のTFT30に印加されるゲート電極の電位は、第1のTFT20をオン状態にするときの走査信号gateの電位に当該第1のTFT20のしきい値電圧 $V_{thn}(sw)$ を加えた電位よりも高電位にする。

30

40

【 0 1 1 5 】

[実施形態3]

本実施形態は、図23にその等価回路を示すように、実施の形態2と同様、いずれの画素7においても第1のTFT20をNチャンネル型とし、第2のTFT30をPチャンネル型とした構成の一例である。また、本実施形態に係る表示装置1でも、第2のTFT30がPチャンネル型なので、発光素子40の対向電極opの電位に対して共通給電線comの電位を高くしてある。従って、第2のTFT30がオン状態になったときには、矢印Eで示すように、共通給電線comの方から発光素子40の方に電流が流れる。

【 0 1 1 6 】

50

尚、実施の形態 2 と同様であるため、共通する点については説明を省略し、異なる点についてのみ記載する。実施の形態 2 では保持容量が設けられていたが、本実施の形態では、保持容量 $c a p$ が無い点で異なる。このような構成とすることにより、出に保持電極 $s t$ の電位の変化を大きくすることができる。

【 0 1 1 7 】

なお、第 1 の $T F T 2 0$ が P チャネル型で、第 2 の $T F T 3 0$ が N チャネル型の場合には、図 2 6 および図 2 7 (A)、(B) を参照して後述するように、本実施形態で説明した各信号の相対的な高低を入れ換えて、第 1 の $T F T 2 0$ や第 2 の $T F T 3 0$ に印加される電圧の極性を反転させることになる。この場合でも、第 1 の $T F T 2 0$ の書き込み能力を上げるために走査信号の選択パルスの電位を低くし、第 2 の $T F T 3 0$ のオン抵抗を下げ

10

【 0 1 1 8 】

[実施形態 3 の変形例]

なお、上記実施の形態 3 では、いずれの画素 7 においても、第 1 の $T F T 2 0$ が N チャネル型で、第 2 の $T F T 3 0$ が P チャネル型の場合を説明したが、図 2 6 に等価回路を示すように、第 1 の $T F T 2 0$ が P チャネル型で、第 2 の $T F T 3 0$ が N チャネル型として構成してもよい。この図に示す例では、発光素子 4 0 の対向電極 $o p$ の電位に対して共通給電線 $c o m$ の電位を低くして、第 2 の $T F T 3 0$ がオン状態になったときには、矢印 F で示すように、発光素子 4 0 の対向電極 $o p$ の方から共通給電線 $c o m$ の方に電流が流れるように構成してある。

20

【 0 1 1 9 】

このように画素 7 を構成した場合には、図 2 7 (A)、(B) に示すように、図 2 4 (A) に示した波形の各駆動信号の極性を反転させることになる。なお、実施の形態 3 においては、第 1 の $T F T 2 0$ が N チャネル型で、第 2 の $T F T 3 0$ が P チャネル型のときには、発光素子 4 0 の対向電極 $o p$ の電位に対して共通給電線 $c o m$ の電位を低くして、第 2 の $T F T 3 0$ がオン状態になったときは、発光素子 4 0 の対向電極 $o p$ の方から共通給電線 $c o m$ の方に電流が流れるように構成する場合もあり、このように構成した場合でも、第 1 の $T F T 2 0$ および第 2 の $T F T 3 0$ を逆導電型にしたことの効果については得ることができる。それとは逆に、第 1 の $T F T 2 0$ が P チャネル型で、第 2 の $T F T 3 0$ が N

30

【 0 1 2 0 】

[実施形態 4]

上記のいずれの形態 1、2、3 においても、図 2 8 (A)、(B) を参照して説明するように、保持容量 $c a p$ の両電極のうち、第 2 の $T F T 3 0$ のゲート電極に電氣的に接続する電極とは反対側の電極には、走査信号 $g a t e$ の選択パルスより遅延して該選択パルスとは電位が逆方向に振れるパルスが供給されるように構成してもよい。

【 0 1 2 1 】

ここに示す例では、図 2 8 (A) に示すように、保持容量 $c a p$ の両電極のうち、第 2 の $T F T 3 0$ のゲート電極に電位保持電極 $s t$ を介して電氣的に接続する電極とは反対側の電極が、走査線 $g a t e$ と並列するように延設された容量線 $c l i n e$ で構成されている。

40

【 0 1 2 2 】

この容量線 $c l i n e$ には、図 2 8 (B) に示すように、走査信号 $S g a t e$ の選択パルス $P g a t e$ より遅延して該選択パルス $P g a t e$ とは電位が逆方向に振れるパルス信号 $P s t g$ を含む電位 $s t g$ が供給されるように構成されている。パルス信号 $P s t g$ は、該選択パルス $P g a t e$ が非選択状態になった後、保持容量 $c a p$ の容量結合を利用して画像信号 $d a t a$ の電位をシフトさせる。このため、画素 7 が消灯状態の保持容量 $c a p$ には画像信号 $d a t a$

50

の電位にパルス信号 Pstg の電位を加算した分の信号が保持される。画像信号 data の高電位側の信号は第 1 の TFT 20 のオン抵抗が大きいため、書き込みを限られた時間で十分に行うは難しい。この例では、書き込みが十分でない場合、点灯できないことになる。しかし、本実施形態の実施例を用いることにより、保持容量 cap への画像信号 data の書き込みを補うことができる。それでいて、駆動信号の電位の最大レンジが広がることがない。

【0123】

このようにして、容量線 cline にパルス信号 Pstg をのせるにあたっては、図 29 に示すように、容量線 cline を走査側駆動回路 4 から引き出すとともに、走査側駆動回路 4 においては、いずれのゲート段にもシフトレジスタ 401 からの出力信号を NAND ゲート回路およびインバータを介して走査線 gate に走査信号 Sgate として出力する一方、シフトレジスタ 401 からの出力信号を NAND ゲート回路および 2 段のインバータを介して遅延させながら、図 30 に示すように、高電位側の電源レベルを Vdd から電位 Vccy にレベルシフトして容量線 cline に出力すればよい。

10

【0124】

上述の実施の形態及びそれらの変形例においては、保持容量を付加する場合は、容量線 cline を設けたタイプの発光素子について説明した。しかしながら、本実施の形態はこのような容量線 cline を設ける構成に限るものではなく、保持容量の一方の電極を隣接するゲート線により構成にしてもよい。かかる構成の一例を図 34 (A) に回路ブロック図を、ゲート線の走査方向に対するゲート電極の電圧波形を図 34 (B) にそれぞれ示す。このように、当該画素に対して、隣接するゲート線を保持容量の一方の電極として構成することにより、容量線 cline をわざわざ設ける必要がないという効果を有するものである。

20

【0125】

[その他の実施の形態]

上記のいずれの形態についても、第 2 の TFT 30 の電流 - 電圧特性のいずれの領域で動作させるかについて記載しなかったが、第 2 の TFT 30 をその飽和領域で動作させれば、TFT の弱い定電流特性を利用して発光素子 40 に異常電流が流れることを防止することができる。例えば、発光素子 40 を構成する有機半導体膜等にピンホール欠陥が生じていることがあるが、その場合でも、欠陥のある発光素子に流れる電流は制限され、発光素子 40 の電極間で完全ショートになることがない。

30

【0126】

これに対して、第 2 の TFT 30 をその線形領域で動作させれば、そのしきい値電圧のばらつきが表示動作に影響を及ぼすことを防止することができる。なお、TFT の構造についても、トップゲート型に限らず、ボトムゲート型でもよく、その製造方法に関しても低温プロセスに限定されるものではない。

【0127】

(発明の利用可能性)

以上説明したように、上記の表示装置では、第 2 の TFT のオン時のゲート電圧は、共通給電線の電位および画素電極の電位のうちの一方の電位と、ゲート電極の電位 (画像信号の電位) との差に相当するので、第 2 の TFT の導電型に応じて、共通給電線の電位と発光素子の対向電極の電位との相対的な高低を設定し、第 2 の TFT のゲート電圧は、共通給電線の電位と電位保持電極の電位との差に相当するように構成してある。たとえば、第 2 の TFT が N チャンネル型であれば、発光素子の対向電極の電位に対して共通給電線の電位を低くしてある。この共通給電線の電位については、画素電極の電位と相違して、十分に低い値に設定することができるため、第 2 の TFT で大きなオン電流が得られ、高い輝度で表示を行うことができる。また、画素を点灯状態とする際に、第 2 の TFT のとして高いゲート電圧が得られるのであれば、その分、そのときの画像信号の電位を下げるので、画像信号の振幅を小さくし、表示装置における駆動電圧を下げるので、消費電力を低減できるとともに、薄膜で構成された各素子で懸念されていた

40

50

耐電圧の問題が顕在化しないという利点がある。

【0128】

また、本発明の上記の表示装置では、第1のTFTと第2のTFTとが逆導電型であるため、画素を選択するための走査信号のパルスと、発光素子を点灯させるための画像信号の電位とは逆にふる関係にある。従って、点灯時の電位保持電極の電位（点灯のための画像信号の電位）を基準にしたときには、走査信号の高電位に相当する電位と共通給電線の電位は同じ極性であるため、点灯時の電位保持電極の電位（点灯のための画像信号の電位）を変更すれば、その分、第1のTFTのゲート電圧および第2のTFTのゲート電圧の双方が同じ方向に同じ分だけシフトする。それ故、表示装置の駆動電圧レンジの範囲内で、点灯のための画像信号の電位を、第1のTFTのオン時の抵抗が小さくなる方向にシフトさせれば、表示動作の高速化を図ることができるとともに、このときには第2のTFTのオン時の抵抗が小さくなる方向に点灯のための画像信号の電位がシフトしたことになるので、輝度の向上を図ることができる。よって、駆動電圧の低電圧化と表示品位の向上とを併せて達成することができる。

10

【0129】

さらに、上記の表示装置では、保持容量の両電極のうち、第2のTFTの第2のゲート電極に電氣的に接続する電極とは反対側の電極には、走査信号の選択パルスより遅延して該選択パルスとは電位が逆方向に振れるパルスが供給されるので、保持容量への画像信号の書き込みを補うことができる。それ故、画像信号の振幅を大きくせずに、第2のTFTのゲート電極に印加される画像信号の電位を高輝度化の方向にシフトさせることができる。

20

【図面の簡単な説明】

【図1】 本発明を適用した表示装置を模式的に示す平面図である。

【図2】 本発明を適用した表示装置の基本的な構成を示すブロック図である。

【図3】 図2に示す表示装置の画素を拡大して示す平面図である。

【図4】 図3のA-A線における断面図である。

【図5】 図3のB-B線における断面図である。

【図6】 図6(A)は、図3のC-C線における断面図であり、図6(B)は、図6(A)に示すように構成したときの効果を説明するための説明図である。

【図7】 図7(A)及び図7(B)はそれぞれ、図2に示す表示装置に用いる発光素子の断面図である。

30

【図8】 図8(A)及び図8(B)はそれぞれ、図7に示す発光素子と別の構造を有する発光素子の断面図である。

【図9】 図7(A)、図8(B)に示す発光素子の電流 - 電圧特性を示すグラフである。

【図10】 図7(B)、図8(A)に示す発光素子の電流 - 電圧特性を示すグラフである。

【図11】 Nチャンネル型TFTの電流 - 電圧特性を示すグラフである。

【図12】 Pチャンネル型TFTの電流 - 電圧特性を示すグラフである。

【図13】 本発明を適用した表示装置の製造方法を示す工程断面図である。

【図14】 図14(A)及び図14(B)はそれぞれ、図3から図6に示す表示装置の画素とは異なる構成の画素の平面図、および断面図である。

40

【図15】 本発明の実施の形態1に係る表示装置の画素構成を示す等価回路図である。

【図16】 図16(A)及び図16(B)はそれぞれ、図15に示す画素に構成された各素子の電氣的な接続状態を示す説明図、及び駆動信号などの電位変化を示す波形図である。

【図17】 本発明の実施の形態1の変形例に係る表示装置の画素構成を示す等価回路図である。

【図18】 図18(A)及び図18(B)はそれぞれ、図17に示す画素に構成された各素子の電氣的な接続状態を示す説明図、および駆動信号などの電位変化を示す波形図である。

50

【図19】、本発明の実施の形態2に係る表示装置の画素構成を示す等価回路図である。

【図20】 図20(A)及び図20(B)はそれぞれ、図19に示す画素に構成された各素子の電気的な接続状態を示す説明図、および駆動信号などの電位変化を示す波形図である。

【図21】 本発明の実施の形態2の変形例に係る表示装置の画素構成を示す等価回路図である。

【図22】 図22(A)及び図22(B)はそれぞれ、図21に示す画素に構成された各素子の電気的な接続状態を示す説明図、および駆動信号などの電位変化を示す波形図である。

【図23】 本発明の実施の形態3に係る表示装置の画素構成を示す等価回路図である。 10

【図24】 図24(A)及び図24(B)はそれぞれ、図23に示す画素を駆動するための信号の波形図、これらの信号と等価回路との対応を示す説明図である。

【図25】 本発明の実施の形態2に係る表示装置の画素を駆動するための信号の波形図である。

【図26】 本発明の実施の形態3の変形例に係る表示装置の画素構成を示す等価回路図である。

【図27】 図27(A)及び図27(B)はそれぞれ、図26に示す画素を駆動するための信号の波形図、これらの信号と等価回路との対応を示す説明図である。

【図28】 図28(A)及び図28(B)はそれぞれ、本発明の実施の形態4に係る表示装置の画素の等価回路図、それを駆動するための信号の波形図である。 20

【図29】 図28に示す信号を発生させるための走査側駆動回路のブロック図である。

【図30】 図29に示す走査側駆動回路から出力される各信号の波形図である。

【図31】 表示装置のブロック図である。

【図32】 図31に示す表示装置における従来の画素構成を示す等価回路図である。

【図33】 図33(A)及び図33(B)はそれぞれ、図32に示す画素を駆動するための信号の波形図、これらの信号と等価回路との対応を示す説明図である。

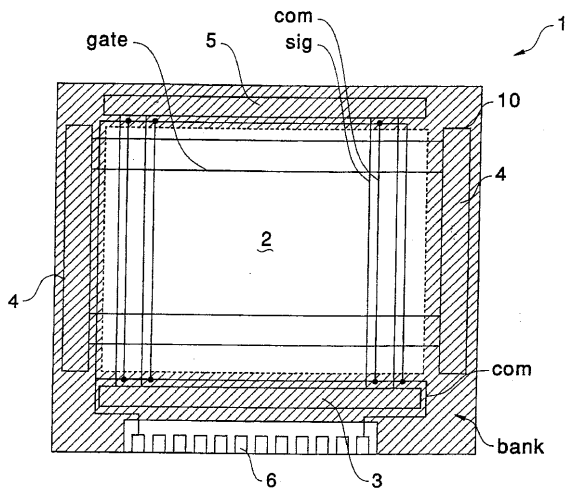
【図34】 図34(A)及び図34(B)はそれぞれ、隣接するゲート線を用いて容量を形成する構成のブロック図と、そのゲート電圧の信号波形である。

【符号の説明】

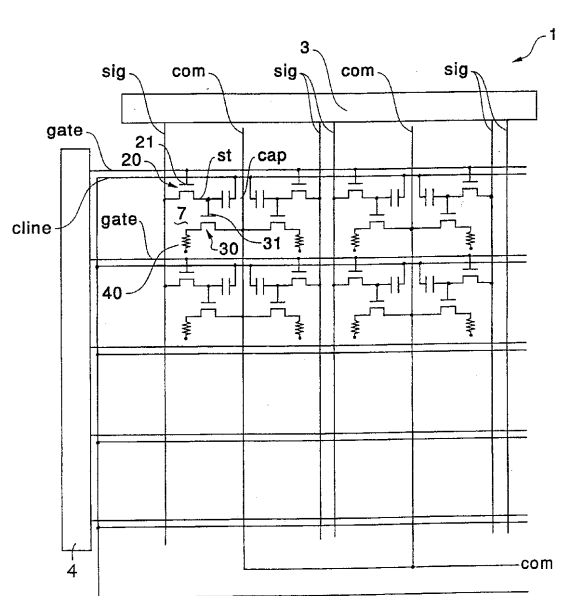
- | | |
|-----------------|----|
| 1 表示装置 | 30 |
| 2 表示部 | |
| 3 データ側駆動回路 | |
| 4 走査側駆動回路 | |
| 5 検査回路 | |
| 6 実装用パッド | |
| 7 画素 | |
| 10 透明基板 | |
| 20 第1のTFT | |
| 21 第1のTFTのゲート電極 | |
| 30 第2のTFT | 40 |
| 31 第2のTFTのゲート電極 | |
| 40 発光素子 | |
| 41 画素電極 | |
| 42 正孔注入層 | |
| 43 有機半導体膜 | |
| 50 ゲート絶縁膜 | |
| bank バンク層 | |
| cap 保持容量 | |
| line 容量線 | |
| com 共通給電線 | 50 |

gate 走査線
op 対向電極
sig データ線
st 電位保持電極

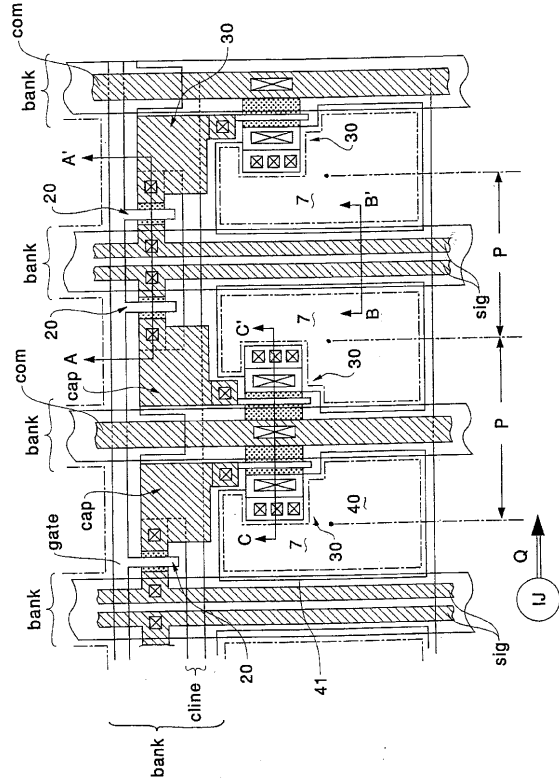
【 図 1 】



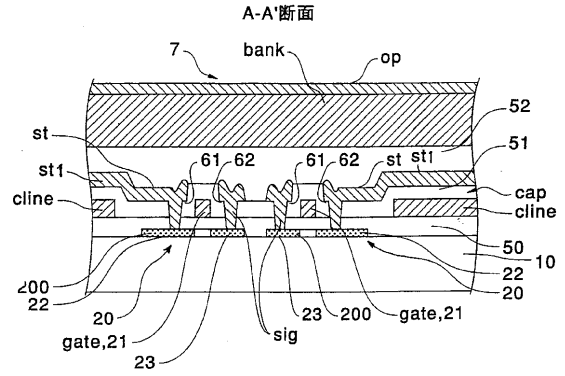
【 図 2 】



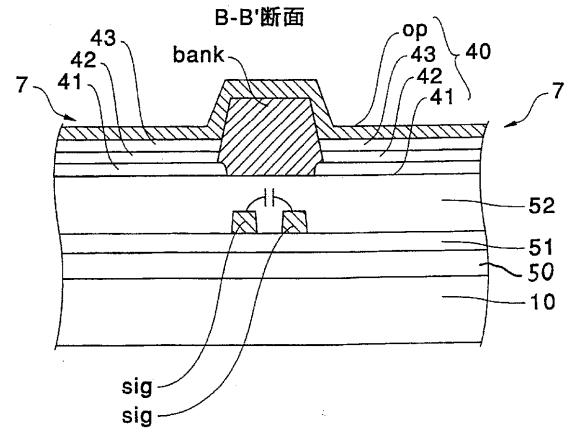
【 図 3 】



【 図 4 】

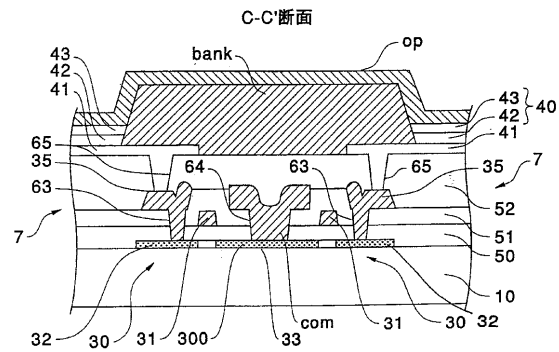


【 図 5 】

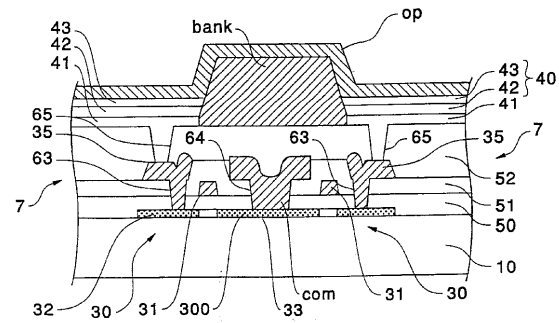


【 図 6 】

(A)

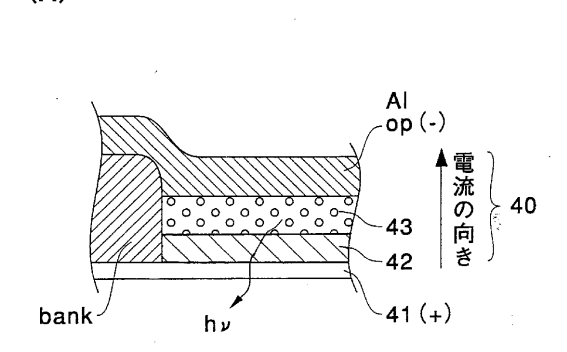


(B)

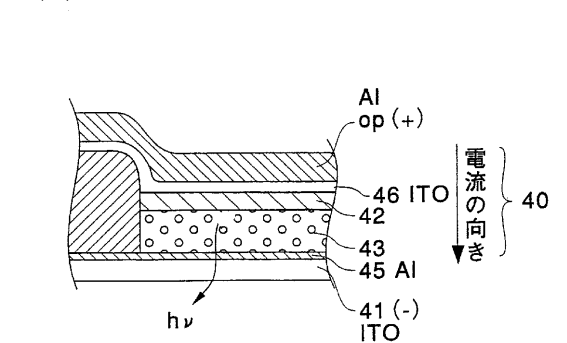


【 図 7 】

(A)

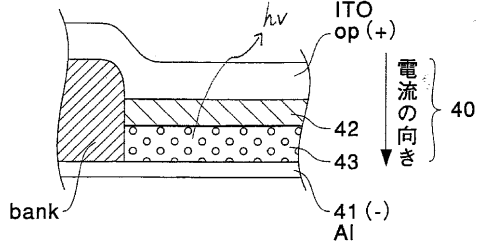


(B)

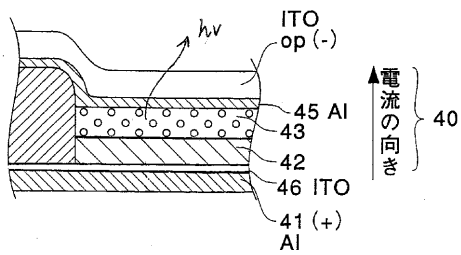


【 図 8 】

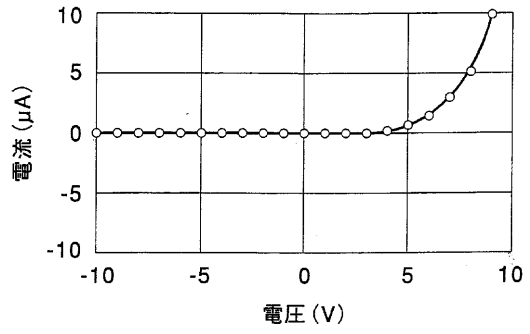
(A)



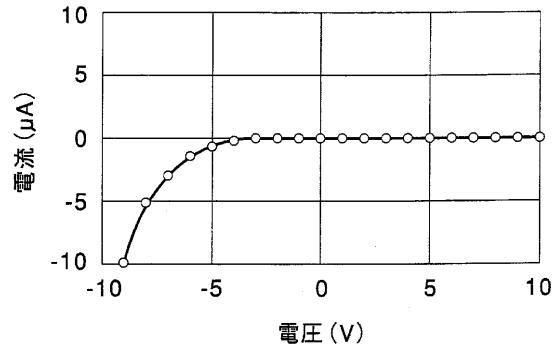
(B)



【 図 9 】

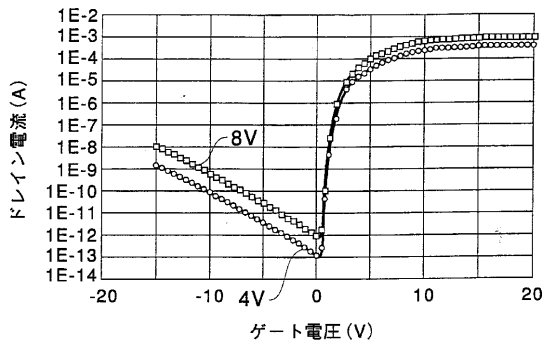


【 図 10 】



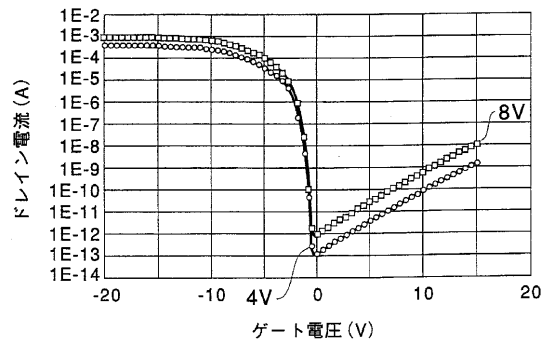
【 図 11 】

Nチャンネル型薄膜トランジスタの
電流電圧特性

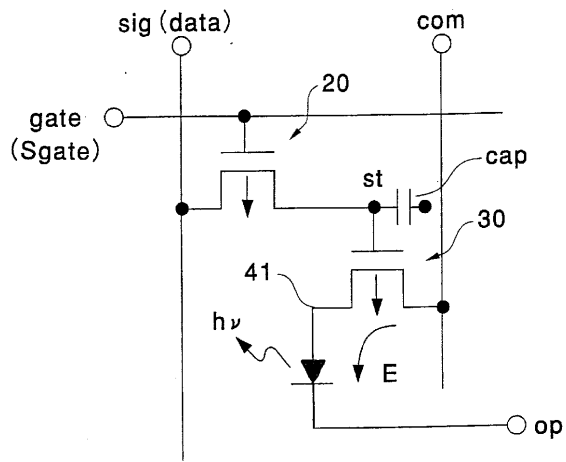


【 図 12 】

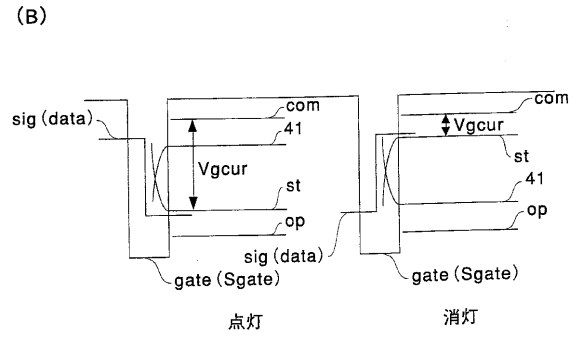
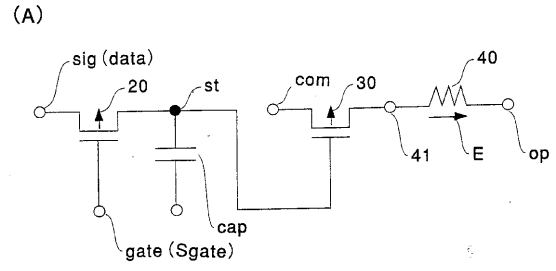
Pチャンネル型薄膜トランジスタの
電流電圧特性



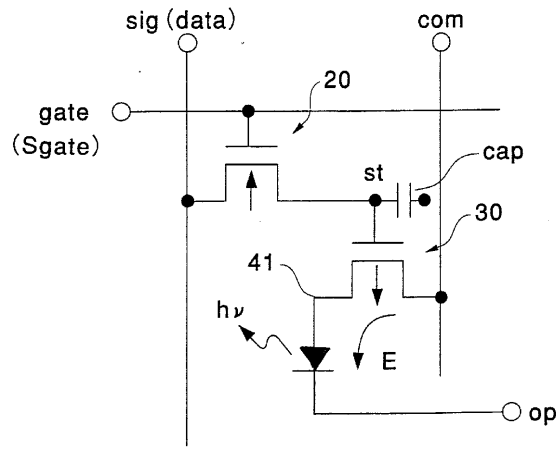
【 図 17 】



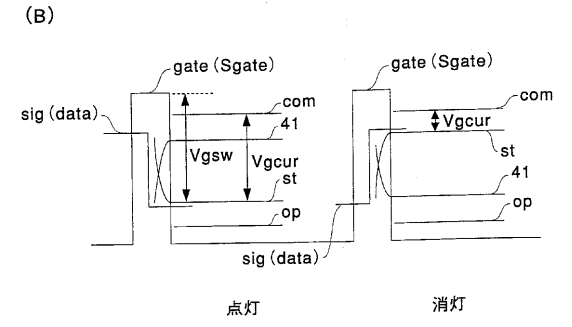
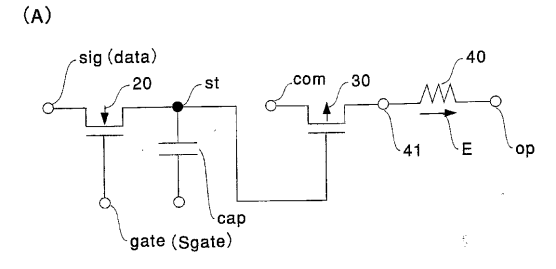
【 図 18 】



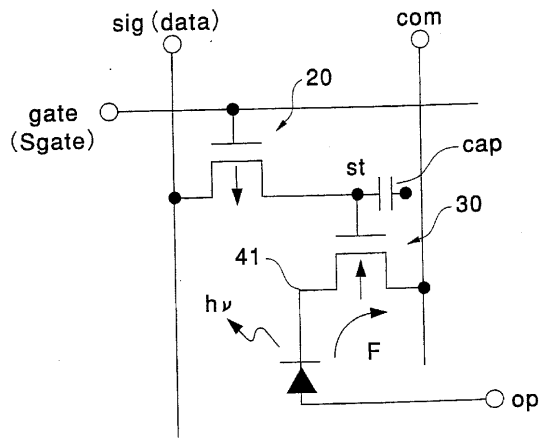
【 図 19 】



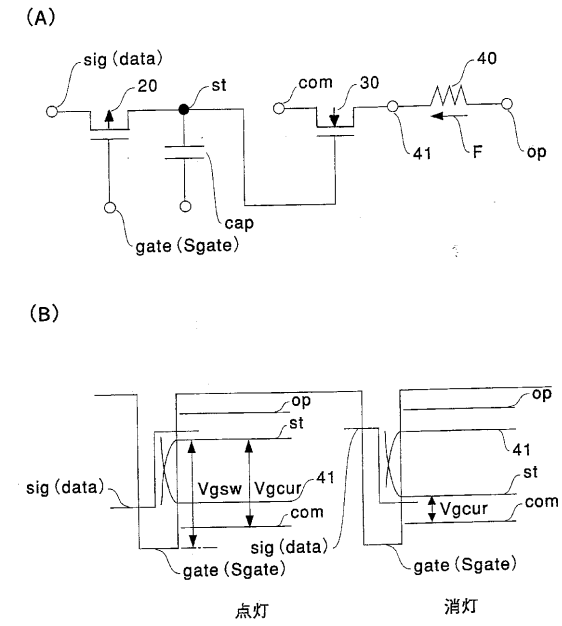
【 図 20 】



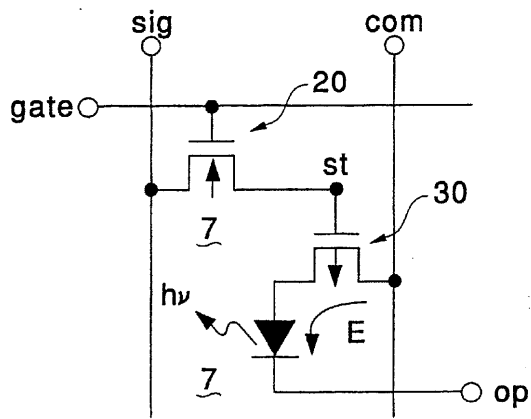
【 2 1 】



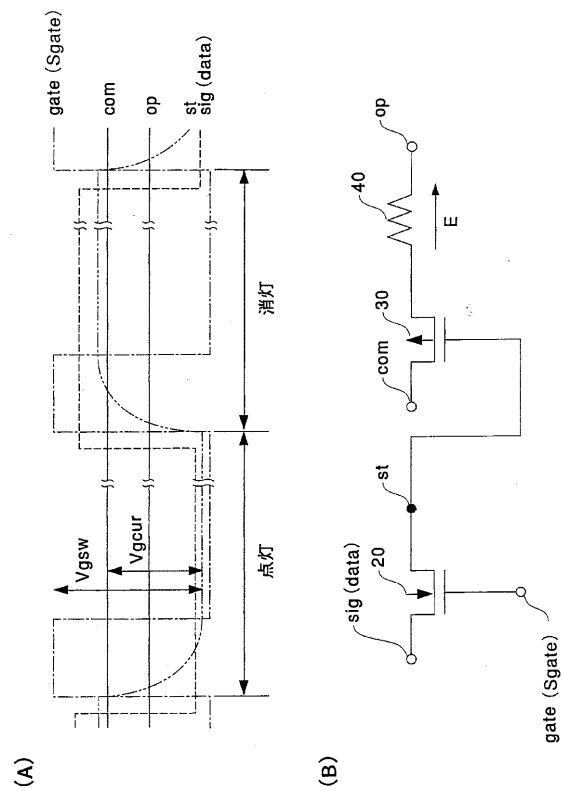
【 2 2 】



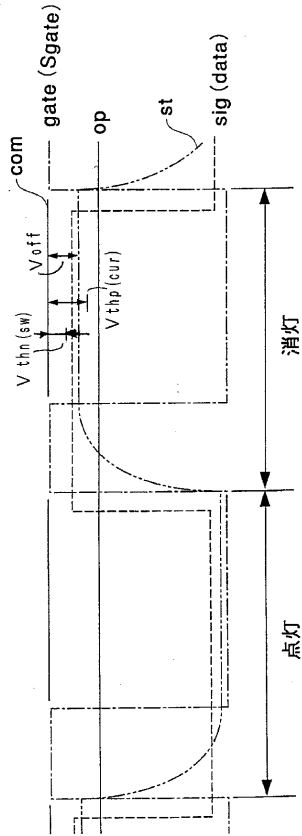
【 2 3 】



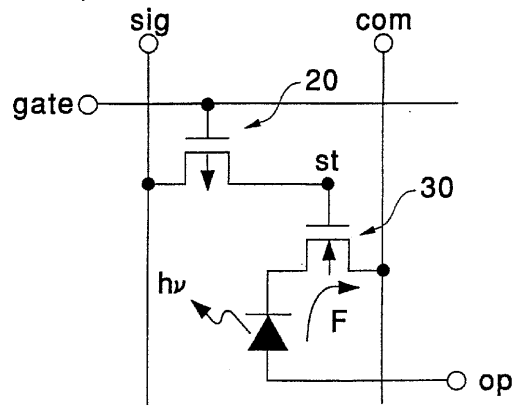
【 2 4 】



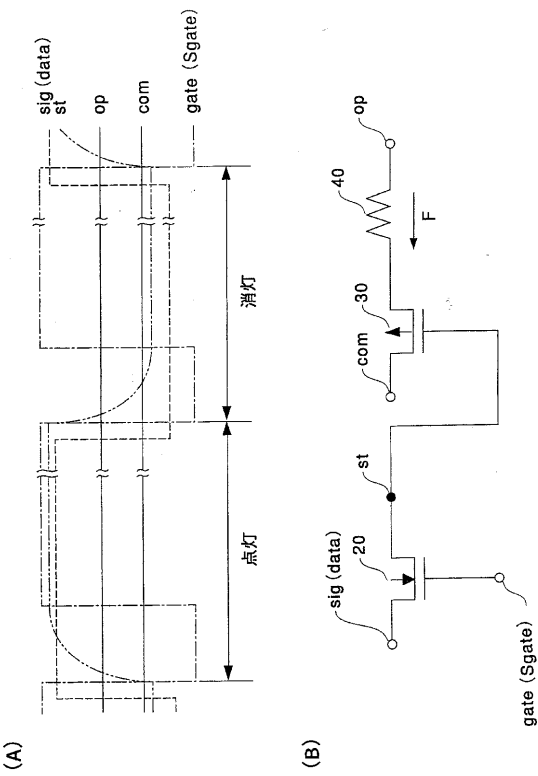
【 2 5 】



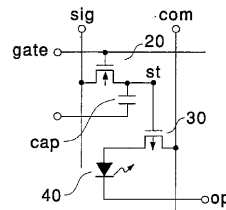
【 2 6 】



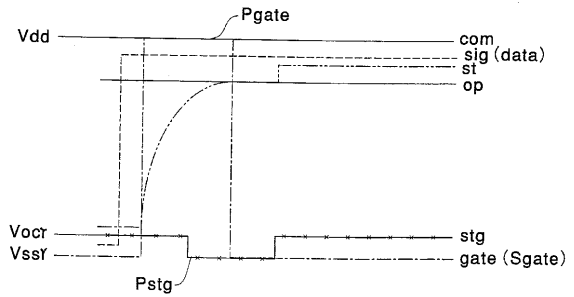
【 2 7 】



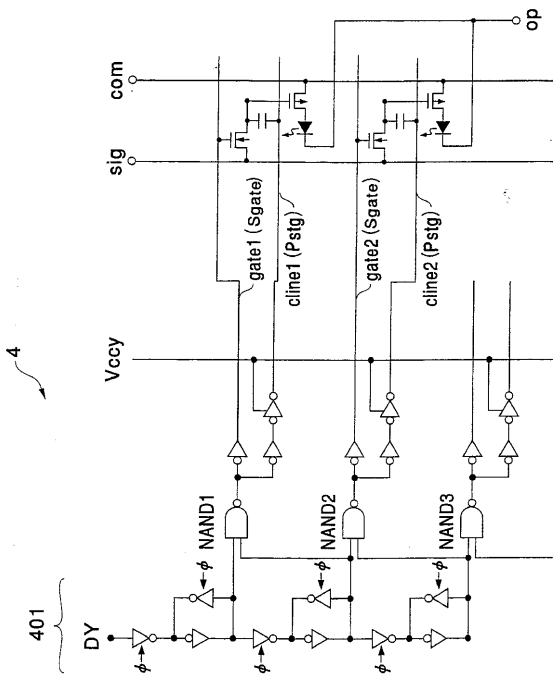
【 2 8 】
(A)



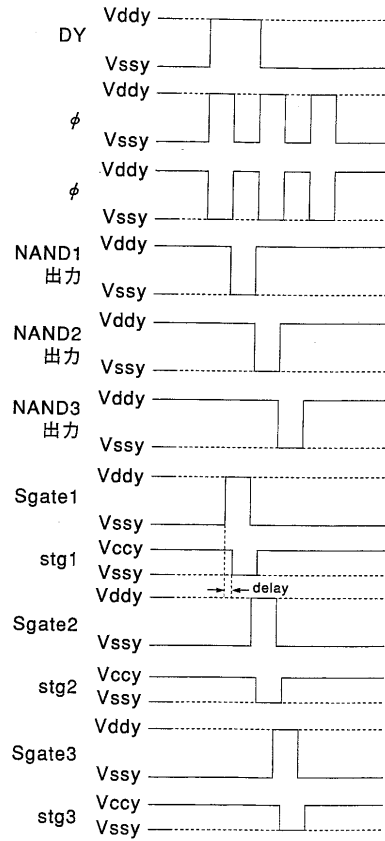
(B)



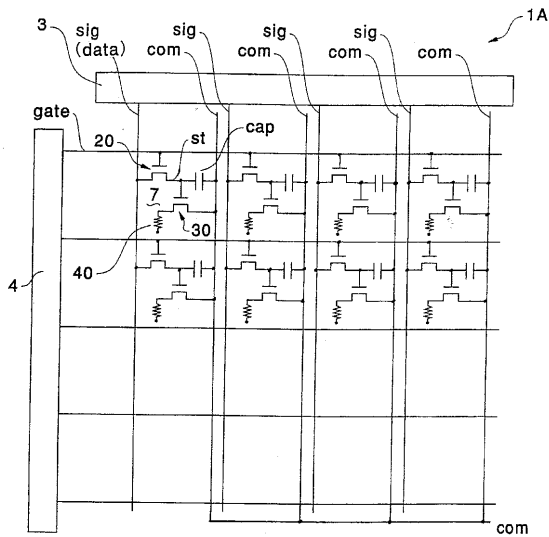
【 図 2 9 】



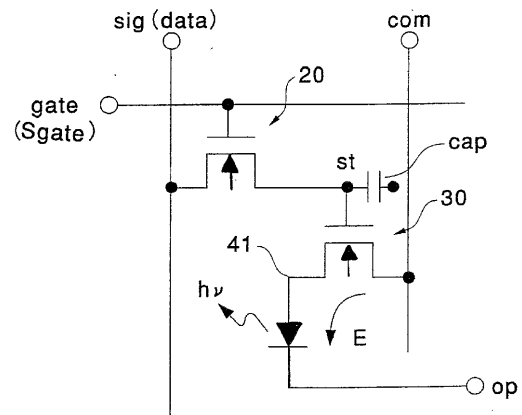
【 図 3 0 】



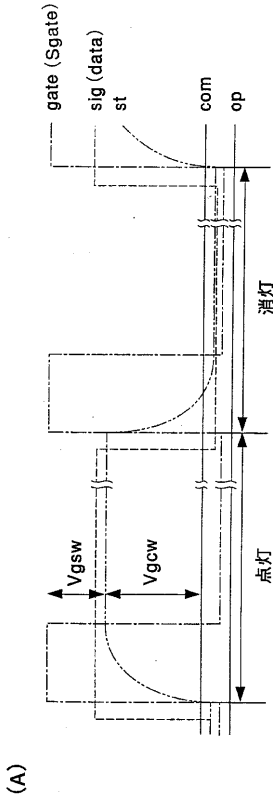
【 図 3 1 】



【 図 3 2 】

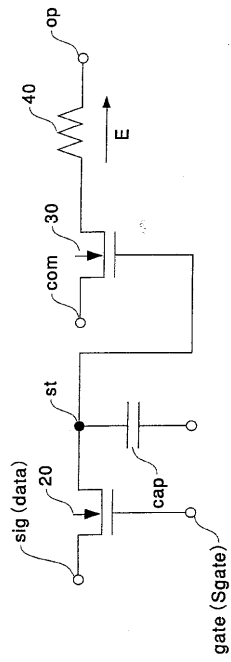


【 図 3 3 】

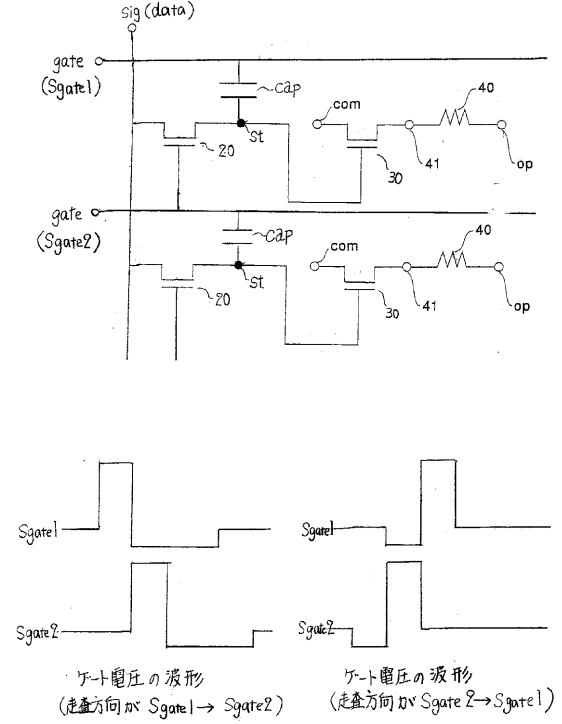


(A)

(B)



【 図 3 4 】



ゲート電圧の波形
(走査方向が Sgate1 → Sgate2)

ゲート電圧の波形
(走査方向が Sgate2 → Sgate1)

フロントページの続き

(51) Int.Cl. F I
H 0 5 B 33/26 (2006.01) H 0 5 B 33/26 Z

前置審査

審査官 里村 利光

(56) 参考文献 特開平 0 8 - 2 2 7 2 7 6 (J P , A)
特開平 0 8 - 2 4 1 0 4 8 (J P , A)
特開平 0 7 - 1 5 3 5 7 6 (J P , A)
特開平 0 4 - 1 2 5 6 8 3 (J P , A)
特開平 1 1 - 2 5 1 0 5 9 (J P , A)

(58) 調査した分野(Int.Cl. , D B名)
H01L51/00-51/56、H01L27/32、C09K11/06

专利名称(译)	表示装置		
公开(公告)号	JP3912340B2	公开(公告)日	2007-05-09
申请号	JP2003182908	申请日	2003-06-26
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
当前申请(专利权)人(译)	精工爱普生公司		
[标]发明人	小澤徳郎 木村睦		
发明人	小澤 徳郎 木村 睦		
IPC分类号	H05B33/22 G09F9/30 H01L27/32 H05B33/12 H01L51/50 H05B33/26 H05B33/14		
FI分类号	H05B33/22.Z G09F9/30.338 G09F9/30.365.Z H05B33/12.B H05B33/14.A H05B33/26.Z G09F9/30.365 H01L27/32		
F-TERM分类号	3K007/AB03 3K007/AB06 3K007/AB11 3K007/AB17 3K007/BA06 3K007/CB01 3K007/CC00 3K007/DB03 3K007/EA00 3K107/AA01 3K107/BB01 3K107/CC12 3K107/CC14 3K107/CC21 3K107/CC29 3K107/CC31 3K107/DD03 3K107/DD39 3K107/DD44Y 3K107/DD46X 3K107/DD89 3K107/DD90 3K107/EE03 5C094/AA22 5C094/AA24 5C094/AA31 5C094/AA53 5C094/BA03 5C094/BA27 5C094/DA09 5C094/DA13 5C094/DB01 5C094/FB01 5C094/FB16		
代理人(译)	宫坂和彦		
优先权	1997032474 1997-02-17 JP 1997236351 1997-09-01 JP 1997236353 1997-09-01 JP		
其他公开文献	JP2004031356A		
外部链接	Espacenet		

摘要(译)

要解决的问题在包括晶体管的有机EL显示装置中实现驱动电压的降低而不会导致图像质量的劣化，操作的异常和可操作频率的降低。解决方案：来自有机EL元件的光发射从与设置晶体管的一侧相反的一侧的相对电极侧取出。点域8

【图1】

