

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-95366

(P2016-95366A)

(43) 公開日 平成28年5月26日(2016.5.26)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 611H	5C080
H01L 51/50 (2006.01)	G09G 3/20 624B	5C380
	G09G 3/20 641D	
	G09G 3/20 642A	
審査請求 未請求 請求項の数 21 O L (全 42 頁) 最終頁に続く		

(21) 出願番号	特願2014-230722 (P2014-230722)	(71) 出願人	514188173
(22) 出願日	平成26年11月13日 (2014.11.13)		株式会社 J O L E D
			東京都千代田区神田錦町三丁目23番地
		(74) 代理人	100189430
			弁理士 吉川 修一
		(74) 代理人	100190805
			弁理士 傍島 正朗
		(72) 発明者	戎野 浩平
			大阪府門真市大字門真1006番地 パナ
			ソニック株式会社内
		(72) 発明者	小野 晋也
			大阪府門真市大字門真1006番地 パナ
			ソニック株式会社内
		Fターム(参考)	3K107 AA01 BB01 CC33 EE04 HH05
			最終頁に続く

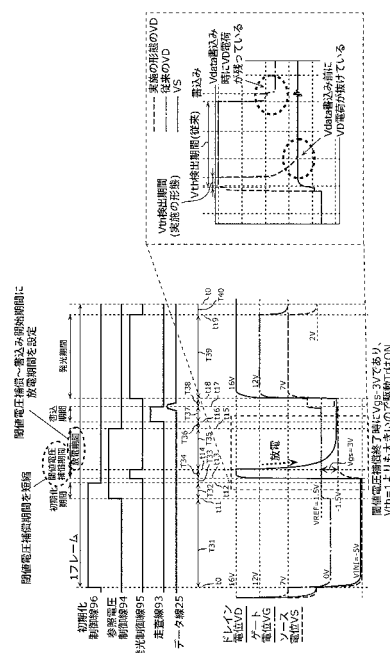
(54) 【発明の名称】 表示装置およびその駆動方法

(57) 【要約】

【課題】スイッチ素子の突抜け電圧による書き込電圧の変動が抑制された表示装置を提供する。

【解決手段】表示装置の駆動方法は、駆動トランジスタ202のゲートに参照電圧を印加した状態でスイッチ205を導通状態かつスイッチ203を非導通状態とすることにより容量素子210に駆動トランジスタ202の閾値電圧を保持させる閾値電圧検出ステップと、スイッチ205を非導通状態かつスイッチ203を導通状態とすることにより容量素子210にデータ電圧を書込む書き込みステップと、スイッチ205を導通状態とすることによりデータ電圧に応じた電流を有機EL素子201に流す発光ステップと、閾値電圧検出ステップの終了時刻と書き込みステップの終了時刻との間に、駆動トランジスタ202のドレインとソースとが同電位となるまで、ドレインに蓄積されている電荷をソースへと引き抜く電荷引き抜きステップとを含む。

【選択図】 図7B



【特許請求の範囲】

【請求項 1】

複数の表示画素が行列状に配置された表示部を有する表示装置の駆動方法であって、
前記表示装置は、
前記複数の表示画素に駆動電圧を供給するための駆動電源線と、
画素列に対応して配置され、映像信号を反映したデータ電圧を前記複数の表示画素へ伝達する複数のデータ線とを備え、
前記複数の表示画素の各々は、
発光素子と、
前記データ電圧に対応した電圧を保持するための容量素子と、
前記電圧がゲートソース間に印加されることにより当該電圧に応じた電流を前記発光素子に流す駆動トランジスタと、

10

第 1 ゲート電極、第 2 電極および第 3 電極を有し、前記第 2 電極が前記駆動電源線に接続され、前記第 3 電極が前記駆動トランジスタのソースおよびドレインの一方に接続され、前記駆動電源線と前記駆動トランジスタの導通および非導通を切り換える第 1 スイッチトランジスタと、

第 2 ゲート電極、第 4 電極および第 5 電極を有し、前記第 4 電極が前記複数のデータ線のうち対応するデータ線に接続され、前記第 5 電極が前記容量素子に接続され、前記データ線と前記容量素子との導通および非導通を切り換える第 2 スイッチトランジスタとを備え、

20

前記駆動トランジスタのゲートに参照電圧を印加した状態で、かつ前記第 1 スイッチトランジスタを導通状態かつ前記第 2 スイッチトランジスタを非導通状態とすることにより前記容量素子に前記駆動トランジスタの閾値電圧を保持させる閾値電圧検出ステップと、

閾値電圧検出ステップの後、前記第 1 スイッチトランジスタを非導通状態かつ前記第 2 スイッチトランジスタを導通状態とすることにより前記容量素子に前記データ電圧を書込む書込みステップと、

前記書込みステップの後、前記第 1 スイッチトランジスタを導通状態とすることにより当該電圧に応じた電流を前記発光素子に流す発光ステップと、

前記閾値電圧検出ステップの終了時点と書込みステップの終了時点との間に、前記駆動トランジスタの前記ソースおよびドレインの一方の電位とソースおよびドレインの他方の電位とが同電位となるまで、前記ソースおよびドレインの一方に蓄積されている電荷を前記ソースおよびドレインの他方へと引き抜く電荷引き抜きステップとを含む

30

表示装置の駆動方法。

【請求項 2】

前記電荷引き抜きステップでは、前記閾値電圧検出ステップの後、前記第 1 スイッチトランジスタを非導通状態とし、かつ、前記駆動トランジスタのゲートに前記参照電圧を印加した状態を維持することにより、前記駆動トランジスタの前記ソースおよびドレインの一方の電位とソースおよびドレインの他方の電位とが同電位となるまで、前記ソースおよびドレインの一方に蓄積されている電荷を前記ソースおよびドレインの他方へと引き抜く
請求項 1 に記載の表示装置の駆動方法。

40

【請求項 3】

前記電荷引き抜きステップを、前記閾値電圧検出ステップよりも長く実行する
請求項 2 に記載の表示装置の駆動方法。

【請求項 4】

前記電荷引き抜きステップを、前記書込みステップが実行される期間内に実行する
請求項 1 に記載の表示装置の駆動方法。

【請求項 5】

前記書込みステップは、

前記閾値電圧検出ステップの後、前記第 1 スイッチトランジスタを非導通状態かつ前記第 2 スイッチトランジスタを導通状態とし、前記データ線から前記容量素子に所定の電圧

50

を印加することにより、前記駆動トランジスタの前記ソースおよびドレインの一方の電位とソースおよびドレインの他方の電位とが同電位となるまで、前記ソースおよびドレインの一方に蓄積されている電荷を前記ソースおよびドレインの他方へと引き抜く前記電荷引き抜きステップと、

前記電荷引き抜きステップの後、前記第 1 スイッチトランジスタを非導通状態かつ前記第 2 スイッチトランジスタを導通状態としたままで前記容量素子に前記データ電圧を書込むデータ電圧書込みステップとを含む

請求項 1 に記載の表示装置の駆動方法。

【請求項 6】

前記所定の電圧は、最大階調を表す電圧である

10

請求項 5 に記載の表示装置の駆動方法。

【請求項 7】

前記書込みステップは、行順次走査における単位水平走査期間内に実行される

請求項 5 または請求項 6 に記載の表示装置の駆動方法。

【請求項 8】

前記書込みステップは、前記電荷引き抜きステップを複数行に対して同時に実施した後に、前記データ電圧書込みステップを前記複数行の各行に対して 1 行ずつ実施する

請求項 5 または請求項 6 に記載の表示装置の駆動方法。

【請求項 9】

前記駆動トランジスタ、前記第 1 スイッチトランジスタおよび前記第 2 スイッチトランジスタは、スタガ型または逆スタガ型構造を有する

20

請求項 1 ～ 8 のいずれか 1 項に記載の表示装置の駆動方法。

【請求項 10】

前記駆動トランジスタ、前記第 1 スイッチトランジスタおよび前記第 2 スイッチトランジスタは、アモルファスシリコンまたは酸化物半導体で構成される

請求項 9 に記載の表示装置の駆動方法。

【請求項 11】

前記複数の表示画素の各々は、さらに、

前期参照電圧を伝達する参照電源線と前記容量素子との導通および非導通を切り換える第 3 スイッチトランジスタを備え、

30

前記閾値電圧検出ステップでは、前記第 1 スイッチトランジスタおよび前記第 3 スイッチトランジスタを導通状態かつ前記第 2 スイッチトランジスタを非導通状態とすることにより前記容量素子に前記駆動トランジスタの閾値電圧を保持させ、

前記書込みステップでは、前記閾値電圧検出ステップの後、前記第 1 スイッチトランジスタおよび前記第 3 スイッチトランジスタを非導通状態かつ前記第 2 スイッチトランジスタを導通状態とすることにより前記容量素子に前記データ電圧を書込む

請求項 1 ～ 10 のいずれか 1 項に記載の表示装置の駆動方法。

【請求項 12】

前記電荷引き抜きステップでは、前記閾値電圧検出ステップの後、前記第 1 スイッチトランジスタを非導通状態とし、かつ、前記第 3 スイッチトランジスタを導通状態に維持した状態とすることにより、前記駆動トランジスタの前記ソースおよびドレインの一方の電位とソースおよびドレインの他方の電位とが同電位となるまで、前記ソースおよびドレインの一方に蓄積されている電荷を前記ソースおよびドレインの他方へと引き抜く

40

請求項 11 に記載の表示装置の駆動方法。

【請求項 13】

前記書込みステップは、

閾値電圧検出ステップの後、前記第 1 スイッチトランジスタおよび前記第 3 スイッチトランジスタを非導通状態かつ前記第 2 スイッチトランジスタを導通状態とし、前記データ線から前記容量素子に所定の電圧を印加することにより、前記駆動トランジスタの前記ソースおよびドレインの一方の電位とソースおよびドレインの他方の電位とが同電位となる

50

まで、前記ソースおよびドレインの一方に蓄積されている電荷を前記ソースおよびドレインの他方へと引き抜く前記電荷引き抜きステップと、

前記電荷引き抜きステップの後、前記第1スイッチトランジスタおよび前記第3スイッチトランジスタを非導通状態かつ前記第2スイッチトランジスタを導通状態としたままで前記容量素子に前記データ電圧を書込むデータ電圧書込みステップとを含む

請求項11に記載の表示装置の駆動方法。

【請求項14】

前記第3スイッチトランジスタは、スタガ型または逆スタガ型構造を有する

請求項11～13のいずれか1項に記載の表示装置の駆動方法。

【請求項15】

前記第3スイッチトランジスタは、アモルファスシリコンまたは酸化物半導体で構成される

請求項14に記載の表示装置の駆動方法。

【請求項16】

前記複数の表示画素の各々は、さらに、

初期化電圧を伝達する初期化電源線と前記容量素子との導通および非導通を切り換える第4スイッチトランジスタを備え、

前記表示装置の駆動方法は、さらに、

前記閾値電圧検出ステップの前に、前記第1スイッチトランジスタおよび前記第2スイッチトランジスタを非導通状態かつ前記第3スイッチトランジスタおよび前記第4スイッチトランジスタを導通状態とすることにより、前記駆動トランジスタを導通状態とすることで初期化期間を開始する初期化ステップを含み、

前記初期化ステップの前において、前記第1スイッチトランジスタ、前記第2スイッチトランジスタ、前記第3スイッチトランジスタおよび前記第4スイッチトランジスタのうち前記第4スイッチトランジスタのみを導通状態に切り換えることで第1期間を開始し、

前記初期化ステップにおいて、前記第3スイッチトランジスタを導通状態に切り換えることで前記第1期間に続く前記初期化期間を開始する

請求項11～15のいずれか1項に記載の表示装置の駆動方法。

【請求項17】

前記初期化電源線は、前記駆動電源線および前記参照電源線と直交する方向に配置されている

請求項16に記載の表示装置の駆動方法。

【請求項18】

さらに、前記第1期間の前に、

前記第1スイッチトランジスタを非導通状態に切り換えることで、前記発光素子を発光させる期間を終了させて、前記第1スイッチトランジスタ、前記第2スイッチトランジスタ、前記第3スイッチトランジスタおよび前記第4スイッチトランジスタが非導通状態に切り換えられた第2期間を開始し、前記第4スイッチトランジスタを導通状態に切り換えることで前記第2期間に続く前記1期間を開始する

請求項16または17に記載の表示装置の駆動方法。

【請求項19】

複数の表示画素が行列状に配置された表示部を有する表示装置であって、

前記複数の表示画素に駆動電圧を供給するための駆動電源線と、

画素列に対応して配置され、映像信号を反映したデータ電圧を前記複数の表示画素へ伝達する複数のデータ線とを備え、

前記複数の表示画素の各々は、

発光素子と、

前記データ電圧に対応した電圧を保持するための容量素子と、

前記電圧がゲートソース間に印加されることにより当該電圧に応じた電流を前記発光素子に流す駆動トランジスタと、

10

20

30

40

50

第1ゲート電極、第2電極および第3電極を有し、前記第2電極が前記駆動電源線に接続され、前記第3電極が前記駆動トランジスタのソースおよびドレインの一方に接続され、前記駆動電源線と前記駆動トランジスタの導通および非導通を切り換える第1スイッチトランジスタと、

第2ゲート電極、第4電極および第5電極を有し、前記第4電極が前記複数のデータ線のうち対応するデータ線に接続され、前記第5電極が前記容量素子に接続され、前記データ線と前記容量素子との導通および非導通を切り換える第2スイッチトランジスタとを備え、

前記表示装置は、さらに、

前記駆動トランジスタのゲートに参照電圧を印加した状態で、かつ前記第1スイッチトランジスタを導通状態かつ前記第2スイッチトランジスタを非導通状態とすることにより前記容量素子に前記駆動トランジスタの閾値電圧を保持させる閾値電圧検出ステップと、

閾値電圧検出ステップの後、前記第1スイッチトランジスタを非導通状態かつ前記第2スイッチトランジスタを導通状態とすることにより前記容量素子に前記データ電圧を書込む書込みステップと、

前記書込みステップの後、前記第1スイッチトランジスタを導通状態とすることにより当該電圧に応じた電流を前記発光素子に流す発光ステップと、

前記閾値電圧検出ステップの終了時点と書込みステップの終了時点との間に、前記駆動トランジスタの前記ソースおよびドレインの一方の電位とソースおよびドレインの他方の電位とが同電位となるまで、前記ソースおよびドレインの一方に蓄積されている電荷を前記ソースおよびドレインの他方へと引き抜く電荷引き抜きステップとを実行する制御部を備える

表示装置。

【請求項20】

前記複数の表示画素の各々は、さらに

前期参照電圧を伝達する参照電源線と前記容量素子との導通および非導通を切り換える第3スイッチトランジスタを備え、

前記制御部は、

前記第1スイッチトランジスタおよび前記第3スイッチトランジスタを導通状態かつ前記第2スイッチトランジスタを非導通状態とすることにより前記容量素子に前記駆動トランジスタの閾値電圧を保持させる前記閾値電圧検出ステップと、

閾値電圧検出ステップの後、前記第1スイッチトランジスタおよび前記第3スイッチトランジスタを非導通状態かつ前記第2スイッチトランジスタを導通状態とすることにより前記容量素子に前記データ電圧を書込む前記書込みステップと、

前記発光ステップと、

前記電荷引き抜きステップとを実行する

請求項19に記載の表示装置。

【請求項21】

前記複数の表示画素の各々は、さらに、

初期化電圧を伝達する初期化電源線と前記容量素子との導通および非導通を切り換える第4スイッチトランジスタを備え、

前記制御部は、

前記第1スイッチトランジスタおよび前記第2スイッチトランジスタを非導通状態かつ前記第3スイッチトランジスタおよび前記第4スイッチトランジスタを導通状態とすることにより、前記駆動トランジスタを導通状態とすることで初期化期間を開始する初期化ステップと、

前記閾値電圧検出ステップと、

閾値書込みステップと、

前記発光ステップと、

前記電荷引き抜きステップとを実行し、

10

20

30

40

50

前記初期化期間前に前記第 1 スイッチトランジスタ、前記第 2 スイッチトランジスタ、前記第 3 スイッチトランジスタおよび前記第 4 スイッチトランジスタのうち前記第 4 スイッチトランジスタのみ導通状態に切り換えることで第 1 期間を開始し、前記第 3 スイッチトランジスタを導通状態に切り換えることで前記第 1 期間に続く前記初期化期間を開始する

請求項 20 に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置およびその駆動方法に関する。

10

【背景技術】

【0002】

電流駆動型の発光素子を用いた表示装置として、有機エレクトロルミネッセンス (EL) 素子を用いた表示装置が知られている。この自発光する有機 EL 素子を用いた表示装置は、液晶を用いた表示装置に必要なバックライトが不要で装置の薄型化に最適である。また、視野角にも制限がないため、次世代の表示装置として実用化が期待されている。また、有機 EL 素子は、各発光素子の輝度がそこに流れる電流値により制御される点で、液晶セルがそこに印加される電圧により制御されるのとは異なる。

【0003】

有機 EL 素子を用いた表示装置では、通常、画素を構成する有機 EL 素子がマトリクス状に配置される。複数の走査線と複数のデータ線との交点にスイッチング薄膜トランジスタ (TFT: Thin Film Transistor) を設け、このスイッチング TFT に駆動トランジスタのゲート電極を接続し、選択した走査線を通じてこのスイッチング TFT を導通状態 (導通状態) にさせてデータ線からデータ信号電圧を駆動トランジスタに入力する。この駆動トランジスタによって有機 EL 素子を駆動するものをアクティブマトリクス型の有機 EL 表示装置と呼ぶ。

20

【0004】

アクティブマトリクス型の有機 EL 表示装置では、高精度な画像表示を実現するため、映像信号を反映したデータ電圧を、画素回路に正確に書き込むことが必要となる。つまり、駆動トランジスタは、上記データ電圧に対応した駆動電流を発光素子に流すことで発光素子を所望の輝度で発光させるため、駆動トランジスタのゲートソース間に正確にデータ電圧を書き込むことが必要となる。

30

【0005】

例えば、特許文献 1 では、駆動素子の移動度を補正することで、駆動素子のデバイス特性のばらつきを抑える方法が開示されている。具体的には、駆動電源 V_{cc} 、駆動トランジスタ T_{rd} 、および有機 EL 素子 EL が接続された駆動電流経路に、有機 EL 素子の発光および非発光を制御するスイッチ素子 T_{r4} が存在し、データ電圧の書き込み時においてデータ電圧が、駆動トランジスタ T_{rd} のゲートに印加される。

【先行技術文献】

【特許文献】

40

【0006】

【特許文献 1】特開 2008-310352 号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、特許文献 1 に開示された画素回路では、データ電圧の書き込み時に、駆動トランジスタのドレイン側の寄生容量からソース側に放電される電荷量が、データ電圧の大きさおよびスイッチ素子の突抜け電圧により影響を受ける。このため、データ電圧書き込み完了時の駆動トランジスタのドレイン電位が階調によって変動する。これにより、駆動トランジスタの発光時のゲートソース電圧が上記変動の影響を受け、データ電圧と駆動

50

電流との関係を表すガンマカーブに歪みが生じる。また、上記歪みが発生する階調が面内分布を持つため、表示パネルに輝度ムラが生じる。

【0008】

本発明は上記課題に鑑みてなされたものであり、ガンマカーブの歪みが抑制された表示装置およびその駆動方法を提供することを目的とする。

【課題を解決するための手段】

【0009】

上記目的を達成するために、本発明の一態様に係る表示装置の駆動方法は、複数の表示画素が行列状に配置された表示部を有する表示装置の駆動方法であって、前記表示装置は、前記複数の表示画素に駆動電圧を供給するための駆動電源線と、画素列に対応して配置され、映像信号を反映したデータ電圧を前記複数の表示画素へ伝達する複数のデータ線とを備え、前記複数の表示画素の各々は、発光素子と、前記データ電圧に対応した電圧を保持するための容量素子と、前記電圧がゲートソース間に印加されることにより当該電圧に応じた電流を前記発光素子に流す駆動トランジスタと、第1ゲート電極、第2電極および第3電極を有し、前記第2電極が前記駆動電源線に接続され、前記第3電極が前記駆動トランジスタのソースおよびドレインの一方に接続され、前記駆動電源線と前記駆動トランジスタの導通および非導通を切り換える第1スイッチトランジスタと、第2ゲート電極、第4電極および第5電極を有し、前記第4電極が前記複数のデータ線のうち対応するデータ線に接続され、前記第5電極が前記容量素子に接続され、前記データ線と前記容量素子との導通および非導通を切り換える第2スイッチトランジスタとを備え、前記駆動トランジスタのゲートに参照電圧を印加した状態で、かつ前記第1スイッチトランジスタを導通状態かつ前記第2スイッチトランジスタを非導通状態とすることにより前記容量素子に前記駆動トランジスタの閾値電圧を保持させる閾値電圧検出ステップと、閾値電圧検出ステップの後、前記第1スイッチトランジスタを非導通状態かつ前記第2スイッチトランジスタを導通状態とすることにより前記容量素子に前記データ電圧を書込む書込みステップと、前記書込みステップの後、前記第1スイッチトランジスタを導通状態とすることにより当該電圧に応じた電流を前記発光素子に流す発光ステップと、前記閾値電圧検出ステップの終了時点と書込みステップの終了時点との間に、前記駆動トランジスタの前記ソースおよびドレインの一方の電位とソースおよびドレインの他方の電位とが同電位となるまで、前記ソースおよびドレインの一方に蓄積されている電荷を前記ソースおよびドレインの他方へと引き抜く電荷引き抜きステップとを含むことを特徴とする。

【発明の効果】

【0010】

本発明に係る表示装置の駆動方法によれば、閾値電圧検出ステップの終了時刻と書込みステップの終了時刻との間に、駆動トランジスタのソースとドレインとの電位が同電位となるまで、ソースおよびドレインの一方に蓄積されている電荷をソースおよびドレインの他方へと引き抜く。これにより、駆動トランジスタのソースおよびドレインの一方からゲートへの突抜け電圧のデータ電圧依存性が低減される。よって、書込み電圧の変動が抑制され、表示パネルの輝度ムラを抑制できる。

【図面の簡単な説明】

【0011】

【図1】表示装置の全体構成を示す機能ブロック図である。

【図2A】表示装置の画素回路構成の一例を示す図である。

【図2B】表示装置の画素回路の動作タイミングチャートの一例である。

【図3】データ電圧と画素電流との関係を表すグラフである。

【図4A】データ電圧が1. 0 Vの場合の、V_{t h}検出期間の終了時点～発光期間開始時点の画素回路の状態遷移図である。

【図4B】データ電圧が2. 6 Vの場合の、V_{t h}検出期間の終了時点～発光期間開始時点の画素回路の状態遷移図である。

【図4C】データ電圧が3. 4 Vの場合の、V_{t h}検出期間の終了時点～発光期間開始時点

点の画素回路の状態遷移図である。

【図４Ｄ】データ電圧が４．０Ｖの場合の、 V_{th} 検出期間の終了時点～発光期間開始時点の画素回路の状態遷移図である。

【図５】駆動トランジスタのドレイン電位の時間変化を表すグラフである。

【図６】階調特性と駆動トランジスタのゲートソース間電圧との関係を表すグラフである。

【図７Ａ】実施の形態１に係る閾値電圧検出期間終了時点での画素回路の状態図である。

【図７Ｂ】実施の形態１に係る表示装置の動作タイミングチャートである。

【図８Ａ】実施の形態２に係る書込み期間における画素回路の状態図である。

【図８Ｂ】実施の形態２に係る表示装置の動作タイミングチャートである。

10

【図９Ａ】実施の形態３に係る書込み期間における画素回路の状態図である。

【図９Ｂ】実施の形態３に係る表示装置の動作タイミングチャートである。

【図１０】実施の形態１～３のいずれかに係る表示装置を内蔵した薄型フラットＴＶの外観図である。

【図１１】表示装置の電源線の配置の一例を示す図である。

【図１２】表示装置の電源線の配置の一例を示す図である。

【発明を実施するための形態】

【００１２】

（本発明の基礎となった知見）

本発明者は、「背景技術」の欄において記載した表示装置に関し、０－３．階調特性の歪みで後述するような問題が生じることを見出した。以下、図面を用いて本問題について説明する。

20

【００１３】

〔０－１．表示装置の全体構成〕

図１は、表示装置の全体構成を示す機能ブロック図である。表示装置１は、表示部２と、電源部３と、データ線駆動回路４０と、走査線駆動回路５０と、制御回路６０とを備える。

【００１４】

表示部２は、有機ＥＬ素子および当該有機ＥＬ素子を発光駆動するための回路素子を有する画素２０が行列状に配置されている。

30

【００１５】

電源部３は、表示部２の外周領域に配置された給電線３０から各画素２０に電源電圧を給電する。なお、給電線３０は、正電源電圧を伝達する正電圧給電線と、当該正電源電圧よりも低電位である負電源電圧を伝達する負電圧給電線とを有している。なお、給電線３０は、図１のように表示部２の外周部を包囲している必要はなく、例えば、表示部２の上下辺または左右辺に分割して配置されていてもよい。なお、給電線３０の電位は、正電圧給電線の電位より相対的に低ければよく、必ずしも負の電位である必要はない。

【００１６】

制御回路６０は、外部から入力された映像信号に基づいて、データ線駆動回路４０を制御するための制御信号Ｓ４を生成し、生成した制御信号Ｓ４をデータ線駆動回路４０へ出力する。また、制御回路６０は、入力される同期信号に基づいて走査線駆動回路５０を制御するための制御信号Ｓ５を生成し、当該生成した制御信号Ｓ５を走査線駆動回路５０へ出力する。

40

【００１７】

データ線駆動回路４０は、制御回路６０で生成された制御信号Ｓ４に基づいて、表示部２のデータ線を駆動する。より具体的には、データ線駆動回路４０は、映像信号および水平同期信号に基づいて、各画素回路に映像信号を反映したデータ電圧を出力する。

【００１８】

走査線駆動回路５０は、制御回路６０で生成された制御信号Ｓ５に基づいて、表示部２の走査線を駆動する。より具体的には、走査線駆動回路５０は、垂直同期信号および水平

50

同期信号に基づいて、各画素回路に走査信号等を、少なくとも表示ライン単位で出力する。

【0019】

[0-2. 画素回路構成および駆動方法]

図2Aは、表示装置の画素回路構成の一例を示す図である。また、図2Bは、表示装置の画素回路の動作タイミングチャートの一例である。図2Aには、有機EL発光パネル上に行列状に配置された複数の画素のうちの一画素における回路が示されている。画素20は、有機EL素子201と、駆動トランジスタ202と、スイッチ203～206と、容量素子210とを備えた表示画素である。また、画素20には、参照電源線24と、ELアノード電源線21 (V_{tft}) と、ELカソード電源線22 (V_{el}) と、初期化電源線23 (V_{ini}) と、走査線93と、参照電圧制御線94と、初期化制御線96と、発光制御線95と、データ線25とが配線されている。

10

【0020】

図2Aに示されように、スイッチ205および203を有する画素回路構成では、図3に示されたような、階調特性の歪みが発生する。

【0021】

図3は、データ電圧と画素電流との関係を表すグラフである。同図の左側には、データ電圧 V_{data} —画素電流 I_{pix} 特性であるガンマカーブが示されており、右側には、データ電圧 V_{data} —画素電流 I_{pix} の微分値特性が示されている。ガンマカーブの特性を、微分により詳細に分析した右側のグラフでは、階調特性の歪み（領域P）が観測される。この歪みが発生する階調は表示パネル内ではばらつくため、輝度ムラとなって表示品位を下げる原因となる。この歪みが発生する主要因として、駆動トランジスタ202のゲートドレイン間寄生容量を介した発光時の突上げ電圧量が表示階調により異なること、が挙げられる。

20

【0022】

以下、図2Bの駆動タイミングチャート、図4A～図4Dの状態遷移図、図5の駆動トランジスタ202のドレイン電位の時間変化、および図6のガンマカーブと駆動トランジスタ202のゲートソース間電圧 V_{gs} との関係を参照しながら、上記歪みの発生原理について説明する。

【0023】

30

[期間T21]

図2Bに示すように、時刻 t_0 において、スイッチ206のみを導通状態として、駆動トランジスタ202のソース電位を安定させる（駆動トランジスタ202のソース電位を初期化電圧 V_{ini} に設定する）。より具体的には、時刻 t_0 において、走査線駆動回路50は、走査線93と参照電圧制御線94と発光制御線95との電圧レベルをLOWに維持しつつ、初期化制御線96の電圧レベルをLOWからHIGHに変化させる。すなわち、時刻 t_0 において、スイッチ203、スイッチ204およびスイッチ205は非導通状態（オフ状態）のままで、スイッチ206が導通状態（オン状態）にされる。なお初期化電圧 V_{ini} は、電位差 ($V_{ini} - V_{el}$) が有機EL素子201の閾値電圧よりも小さくなるように設定されている。より望ましくは ($V_{ini} - V_{el}$) < 0 である。

40

【0024】

このように、初期化制御線96の動作により、スイッチ203、スイッチ204、スイッチ205およびスイッチ206のうちスイッチ206のみを導通とする期間T21を設けることにより、駆動トランジスタ202のソース電位を初期化電源線23の電圧 V_{ini} により短期間に設定することができる。また、容量素子210により、駆動トランジスタ202のゲート電位も、初期化電源線23の電圧 V_{ini} + 前フレームでの発光時の駆動トランジスタ202のゲートソース間電圧に低下する。

【0025】

この期間T21を設ける理由は次の通りである。

【0026】

50

表示装置 1 を構成する表示部 2 のサイズや 1 画素あたり（画素 20）のサイズが大きい場合に、有機 EL 素子 201 の容量が大きくなり、初期化電源線 23 の配線時定数が大きくなることで、駆動トランジスタ 202 のソース電位を初期化電源線 23 の電圧 V_{ini} にすることに時間を要する。そのため、スイッチ 206 を先に導通させる期間 T_{21} を設けることにより、駆動トランジスタ 202 のソース電位を初期化電源線 23 の電圧 V_{ini} により短期間で設定（電圧 V_{ini} を書き込み）することができる。

【0027】

なお、参照電源線 24 の電圧 V_{ref} を駆動トランジスタ 202 のゲートに印加することと同様に時間を要する。しかし、電圧 V_{ref} を充放電する時間に影響する要因は、容量素子 210 および参照電源線 24 の配線時定数である。つまり、参照電源線 24 と初期化電源線 23 との配線時定数がほぼ同等であるが、有機 EL 素子 201 の容量 > 容量素子 210 であり、容量比は、（有機 EL 素子 201）／（容量素子 210）が 1.3～9 倍である。そのため、有機 EL 素子 201 を充電する（駆動トランジスタ 202 のソース電位に初期化電源線 23 の電圧 V_{ini} を書き込む）方が容量素子 210 を充電する（駆動トランジスタ 202 のゲート電位に参照電源線 24 の電圧 V_{ref} を書き込む）よりも時間がかかる。

【0028】

また、期間 T_{21} において、スイッチ 206 のみを導通させスイッチ 204 の導通を遅らせる利点としては次のようなものもある。

【0029】

すなわち、期間 T_{21} において、駆動トランジスタ 202 のソース電位に初期化電源線 23 の電圧 V_{ini} を書き込む期間を設けることで参照電源線 24 の電圧 V_{ref} を駆動トランジスタ 202 のゲートに書き込む負荷を軽くすることができる利点がある。つまり、期間 T_{21} を設けることで、駆動トランジスタ 202 のゲート電位を低い電位に設定することができ、参照電源線 24 は画素 20 に充電するための電流（電圧）を供給するのみでよくなる。換言すると、参照電源線 24 の電圧 V_{ref} が有機 EL 素子 201 を充電するための電圧として用いられないため、参照電源線 24 の負荷が軽くなるという利点がある。

【0030】

さらに、参照電源線 24 の負荷をより軽くするために、初期化電源線 23 を、EL アノード電源線 21 および参照電源線 24 と直交する方向に配置されているとしてもよい。以下、この場合について図を用いて説明する。

【0031】

図 11 および図 12 は、表示装置の電源線の配置の一例を示す図である。

【0032】

以下では、参照電源線 24、EL アノード電源線 21、EL カソード電源線 22 および初期化電源線 23 を電源線とも称する。

【0033】

例えば図 11 に示すように、表示パネル 6 上に、4 本の電源線をすべて縦方向に引くとしてもよい。しかし、この場合、表示部 2 の外周およびドライバ IC 51 を備える走査線駆動回路 50 のフレキシブル部分 52 での抵抗を下げるのが難しい。

【0034】

それに対して、例えば図 12 に示すように、表示パネル 6A 上に、4 本の電源線のうち 1 本の電源線を横に引く（つまり、他の 3 本の電源線と直交するように配置されること）。これにより、表示部 2 の外周とドライバ IC 51A および 51B とを備える走査線駆動回路 50 のフレキシブル部分 53、54 で 1 電源線あたりの端子数および配線幅を太くすることができ、電圧ドロップによる電力損失を小さくできる。

【0035】

横に引く 1 本の電源線としては、上述したように、初期化電源線 23 を選ぶとよい。すなわち、初期化電源線 23 を他の 3 本の電源線と直交するように配置される 1 本の電源線

10

20

30

40

50

とすればよい。

【0036】

より具体的には、画素20に必要な電源線は4種類あるが、電源線が表示パネル6Aの外部に引き出される場合には、配線抵抗による電圧ドロップが生じる。そのため、この電圧ドロップを抑えるために、表示パネル6Aの消費電力に影響する参照電源線24およびELカソード電源線22を、図12の縦方向（データ線の方向）に引き出すとよい。また、電源の揺れが直接表示輝度に影響する参照電源線24も、図12の縦方向（データ線の方向）に引き出すとよい。参照電源線24が縦方向に配置されると、参照電源線24が充放電する容量素子210の数は、期間T22～T24の長さに対応した画素数となるので、負荷となる容量の数が小さくなり充放電が容易となる。

10

【0037】

一方、初期化電源線23は、1水平走査期間で、有機EL素子201を1行分同時に充電する必要があるため、特に時定数が大きく、充放電に時間がかかるため、図12の横方向（データ線と直交する方向）に引き出すとよい。それにより、初期化電源線23の配線幅を太くすることができるので、初期化電源線23の配線遅延を少なくでき、より早く駆動トランジスタ202のソース電位を安定させることができる。

【0038】

なお、図11および図12では、走査線駆動回路50の一部として、TAB（Tape Automated Bonding）で形成されたフレキ部分52、53、54を一例に図示されているが、それに限らない。COF（Chip on Film）またはTC

20

【0039】

また、後述する期間T24（閾値補償動作時）においては、参照電源線24は画素20から電流を引き込むことが要求されるため、期間T21を設けることで、たとえ期間T21で参照電源線24から画素20に対して電流の供給（双方向）を十分に行えなくとも、期間T24において画素20間で電荷を再配分できるので所望の動作が実現できるようになる。つまり、期間T21を設けることで、参照電源線24の電源能力が高くなくても画素20を駆動できる。

30

【0040】

また、表示装置1を構成する表示部2のサイズが大きい場合には、電源線は、表示部2の端から中央に引き回された配線抵抗により電圧ドロップの問題が生じるが、期間21と設けることで、期間T24において画素20間で電荷やり取りが可能となるため、電圧ドロップを抑制できる。つまり、期間T21を設けることで、参照電源線24の配線幅を小さくできる。

【0041】

このように、スイッチ206のみを導通状態（オン状態）に切り換えて、先に駆動トランジスタ202のソース電位を安定させる期間T21を設ける。それにより、表示部2の電力消費と表示部2の輝度変動の影響とを小さくしつつ、期間T21以降の期間T22の総時間を短くすることができる。

40

【0042】

なお、図12を用いて、初期化電源線23がELアノード電源線21および参照電源線24と直交する方向に配置されている場合について説明したが、それに限らない。参照電源線24がELアノード電源線21および初期化電源線23と直交する方向に配置されているとしてもよい。

【0043】

この場合、表示部2の外部（パネル外部）への電源線の引き出しが、参照電源線24と

50

それ以外で異なる方向に引き出されることから、パネル外部への電源引き出し配線を太くすることができ、表示部 2 の周辺から外部電源回路までの参照電源線 2 4 の抵抗を小さく設計することが容易となる。それにより、抵抗による電圧ドロップによる電源変動の影響を受けにくくなり、均一性の高い表示が実現可能となる。

【0044】

〔期間 T 2 2〕

図 2 B に示す時刻 t_1 ～時刻 t_2 の期間 T 2 2 は、駆動トランジスタ 2 0 2 の閾値電圧補償を行うために駆動トランジスタ 2 0 2 を導通状態とし、ドレイン電流を流すのに必要な電圧を駆動トランジスタ 2 0 2 のゲートソース間に印加する初期化期間である。

【0045】

具体的には、時刻 t_1 において、走査線駆動回路 5 0 は、走査線 9 3 と発光制御線 9 5 の電圧レベルを LOW に維持し、初期化制御線 9 6 の電圧レベルを HIGH に維持しつつ、参照電圧制御線 9 4 の電圧レベルを LOW から HIGH に変化させる。すなわち、時刻 t_1 において、スイッチ 2 0 3 およびスイッチ 2 0 5 は非導通状態（オフ状態）、かつ、スイッチ 2 0 6 が導通状態（オン状態）のままで、スイッチ 2 0 4 が導通状態（オン状態）にされる。

【0046】

これにより、駆動トランジスタ 2 0 2 のゲート電位が参照電源線 2 4 の電圧 V_{ref} に設定される。ここで、スイッチ 2 0 6 が導通状態であるから、駆動トランジスタ 2 0 2 のソース電位は初期化電源線 2 3 の電圧 V_{ini} に設定されている。すなわち、駆動トランジスタ 2 0 2 は、参照電源線 2 4 の電圧 V_{ref} および初期化電源線 2 3 の電圧 V_{ini} が印加される。

【0047】

なお、期間 T 2 2 は、駆動トランジスタ 2 0 2 のゲートおよび駆動トランジスタ 2 0 2 のソース電位が、所定電位になるまでの長さ（時間）に設定される。

【0048】

また、上述したように、駆動トランジスタ 2 0 2 のゲートソース間電圧は、閾値補正動作を行うのに必要な初期ドレイン電流を確保できる電圧に設定されることが必要である。そのため、参照電源線 2 4 の電圧 V_{ref} と初期化電源線 2 3 の電圧 V_{ini} の電位差は駆動トランジスタ 2 0 2 の最大閾値電圧よりも大きな電圧に設定される。また、電圧 V_{ref} および電圧 V_{ini} は、有機 EL 素子 2 0 1 に電流が流れないように、電圧 $V_{ini} < (電圧 V_{el} + 有機 EL 素子 2 0 1 の順方向電流閾値電圧)$ 、および、 $V_{ref} < (電圧 V_{el} + 有機 EL 素子 2 0 1 の順方向電流閾値電圧 + 駆動トランジスタ 2 0 2 の閾値電圧)$ 、となるように設定される。

【0049】

〔期間 T 2 3〕

図 2 B に示す時刻 t_2 ～時刻 t_3 の期間 T 2 3 は、スイッチ 2 0 6 とスイッチ 2 0 5 とが同時に導通状態とならないようにするための期間である。

【0050】

より具体的には、時刻 t_2 において、走査線駆動回路 5 0 は、走査線 9 3 と発光制御線 9 5 の電圧レベルを LOW に維持し、参照電圧制御線 9 4 の電圧レベルを HIGH に維持しつつ、初期化制御線 9 6 の電圧レベルを HIGH から LOW に変化させる。すなわち、時刻 t_2 において、スイッチ 2 0 3 およびスイッチ 2 0 5 は非導通状態（オフ状態）、かつ、スイッチ 2 0 4 が導通状態（オン状態）のままで、スイッチ 2 0 6 が非導通状態（オフ状態）にされる。

【0051】

このように、初期化制御線 9 6 の動作によりスイッチ 2 0 6 を非導通とする期間 T 2 3 を設けることにより、期間 T 2 3 がなければスイッチ 2 0 6 とスイッチ 2 0 5 とが同時に導通状態となり、スイッチ 2 0 5、駆動トランジスタ 2 0 2、および、スイッチ 2 0 6 を介して、EL アノード電源線 2 1 と初期化電源線 2 3 との間に貫通電流が流れてしまうの

10

20

30

40

50

を防止することができる。

【0052】

なお、この時の貫通電流は、駆動トランジスタ202が閾値補償動作を行うのに十分な電流となるため、駆動トランジスタ202の閾値電圧が小さい場合には最高階調以上の電流が流れることも想定される。

【0053】

ELアノード電源線21は、発光期間において有機EL素子201に流れる電流に対応して、電圧降下が少ないように太く配線されているため、期間T23での貫通電流があっても、電圧変動の影響が少ない。一方、初期化電源線23については、駆動トランジスタ202のソースを所定電位に充電できればよく、電流が必要でない配線のため、ELアノード電源線21ほど太く配線されない。しかし、貫通電流が発生すると、ELアノード電源線21の配線抵抗により電圧降下がおき、電圧降下量が大きくなることから、駆動トランジスタ202のソースの所定の電位が印加できなくなる場合も考えられる。初期化電源線23の配線幅を太くすればよいが、配線幅を太くしないで良い方法として、本開示のように期間T23を設ける（挿入する）方法がある。期間T23を挿入する（設ける）ことにより、上述したように、初期化電源線23に流れる電流を少なくすることができるので、細い配線であっても駆動トランジスタ202のソースに所定電圧を印加することができる。

10

【0054】

[期間T24]

次に、図2Bの時刻t3～時刻t4の期間T24は、駆動トランジスタ202の閾値電圧を補償する閾値補償期間である。

20

【0055】

具体的には、時刻t3において、走査線駆動回路50は、走査線93および初期化制御線96の電圧レベルをLOW、参照電圧制御線94の電圧レベルをHIGHに維持し、発光制御線95の電圧レベルをLOWからHIGHに変化させる。すなわち、時刻t3において、スイッチ203およびスイッチ206は非導通状態（オフ状態）に、かつ、スイッチ204は導通状態（オン状態）に維持されつつ、スイッチ205が導通状態（オン状態）にされる。

30

【0056】

ここで、電圧は、初期化期間（期間T22）で上述したように設定されているので、有機EL素子201には電流が流れない。駆動トランジスタ202は、ELアノード電源線21の電圧 V_{tf} によりドレイン電流が供給されるが、それとともに駆動トランジスタ202のソース電位が変化する。言い換えると、駆動トランジスタ202は、ELアノード電源線21の電圧 V_{tf} により供給されるドレイン電流がほぼ0となる点まで駆動トランジスタ202のソース電位が変化する。

【0057】

このように、駆動トランジスタ202のゲート電極に参照電源線24の電圧 V_{ref} を入力した状態で、スイッチ205を導通状態（オン状態）にすると、駆動トランジスタ202の閾値補償動作を開始することができる。

40

【0058】

そして、期間T24の終了時（時刻t4）には、駆動トランジスタ202のゲートと駆動トランジスタ202のソースとの電位差（駆動トランジスタ202のゲートソース間電圧）は駆動トランジスタ202の閾値に相当する電位差となっており、この電圧は容量素子210に保持（記憶）される。

【0059】

[期間T25]

図2Bに示す時刻t4～時刻t5の期間T25は、閾値補償動作を終了させるための期間である。

【0060】

50

より具体的には、走査線駆動回路50は、走査線93および初期化制御線96の電圧レベルをLOW、参照電圧制御線94の電圧レベルをHIGHに維持し、発光制御線95の電圧レベルをHIGHからLOWに変化させる。すなわち、時刻t4において、スイッチ203およびスイッチ206は非導通状態（オフ状態）に、かつ、スイッチ204は導通状態（オン状態）に維持されつつ、スイッチ205が非導通状態（オフ状態）にされる。

【0061】

このようにして、発光制御線95の動作によりスイッチ205を非導通とする期間T25を設けることにより、駆動トランジスタ202経由で、ELアノード電源線21から駆動トランジスタ202のソースへの電流の供給をなくすことができ、閾値補償動作を確実に終了させてから次の動作を行うことができる。

【0062】

〔期間T26〕

図2Bに示す時刻t5～時刻t6の期間T26は、スイッチ204を非導通状態（オフ状態）にすることで、データ線25を介して供給されたデータ電圧と参照電源線24の電圧Vrefとが同時に駆動トランジスタ202のゲートに印加されるのを防止する期間である。

【0063】

具体的には、時刻t5において、走査線駆動回路50は、走査線93と初期化制御線96と発光制御線95との電圧レベルをLOWに維持しつつ、参照電圧制御線94の電圧レベルをHIGHからLOWに変化させる。すなわち、時刻t5において、スイッチ203、スイッチ206およびスイッチ205は非導通状態（オフ状態）のままで、スイッチ204が非導通状態（オフ状態）にされる。

【0064】

このように、参照電圧制御線94の動作によりスイッチ204をさらに非導通とし、スイッチ203およびスイッチ204が非導通状態（オフ状態）となる期間T26を設けることで、データ線25を介してスイッチ203から供給されるデータ電圧と、参照電源線24の電圧Vrefとが駆動トランジスタ202のゲートに同時に印加されるのを防止することができる。

【0065】

なお、スイッチ204とスイッチ205とを同時に非導通状態（オフ状態）にし、期間T25および期間T26は一つにまとめてもよい。

【0066】

期間T25および期間T26と2段階にわけられる場合には、以下に説明する利点がある。すなわち、期間T25および期間T26を設けることで、駆動トランジスタ202のゲート電位である駆動トランジスタ202のゲート電位が不定となる期間をなるべく短くし、不定期間中で発生する恐れのある電位変動を抑え、映像信号に基づいた表示がより正確にできる。

【0067】

また、階調表示は期間T26の最後（時刻t6）の駆動トランジスタ202のゲート電位と、データ線25で入力されるデータ電圧（映像信号）の書き込み完了時（時刻t27）の駆動トランジスタ202のゲート電位との電位差によって行われるため、期間T26における駆動トランジスタ202のゲート電位変動は少ないほうが好ましい。理想的には、期間T24において駆動トランジスタ202のゲートに参照電源線24の電圧Vrefが印加され、期間T25においては駆動トランジスタ202のゲート電位が保持されることから、電位差（データ電圧－電圧Vref）に基づいて有機EL素子201の表示輝度が決まる。

【0068】

なお、（データ電圧－電圧Vref）の電位差を正確に反映させるには、期間T26はなるべく短い方がよい。

【0069】

10

20

30

40

50

また、発光制御線 95 に接続されるスイッチ 205 は駆動トランジスタ 202 のドレイン側に接続されている。スイッチ 205 を n 型トランジスタで形成した場合、スイッチ 205 のオン抵抗は高くなりやすく、オン抵抗による電圧ドロップは、表示部 2 の消費電力に影響する。そのため、できる限りスイッチ 205 のオン抵抗を下げて形成する。一般的にはスイッチ 205 のチャネルサイズを大きくしたり、発光制御線 95 のオン制御電圧を高くしたりするなどでオン抵抗を下げる方法が知られているが、いずれの方法であっても発光制御線 95 の立下り時間を長くする方向となってしまう。

【0070】

そこで、以下に示す実施の形態では、参照電圧制御線 94 に対して先に発光制御線 95 を立ち上げる期間 T25 を設けることにより、駆動トランジスタ 202 のゲートの電圧が不安定となる期間を短くすることができる、つまり、立下り時間を短くすることができる。

10

【0071】

[期間 T27]

次に、図 2B の時刻 t6 ～時刻 t7 の期間 T27 は、データ線 25 から表示階調に応じた映像信号電圧（データ電圧）を画素 20 にスイッチ 203 を介して取り込み、容量素子 210 に書き込む書込期間である。

【0072】

具体的には、時刻 t6 において、走査線駆動回路 50 は、初期化制御線 96、参照電圧制御線 94 および発光制御線 95 の電圧レベルを LOW に維持しつつ、走査線 93 の電圧レベルを LOW から HIGH に変化させる。すなわち、時刻 t6 において、スイッチ 204 とスイッチ 206 とスイッチ 205 は非導通状態（オフ状態）に維持されつつ、スイッチ 203 が導通状態（オン状態）にされる。

20

【0073】

これにより、容量素子 210 には、閾値補償期間で記憶された駆動トランジスタ 202 の閾値電圧 V_{th} に加えて、データ電圧と参照電源線 24 の電圧 V_{ref} との電圧差が、（容量 211 の静電容量）／（容量 211 の静電容量＋容量素子 210 の静電容量）倍されて、記憶（保持）される。スイッチ 205 が非導通状態にあるため、駆動トランジスタ 202 はドレイン電流を流さない。そのため、駆動トランジスタ 202 のソース電位は期間 T27 の間で大きく変化することはない。なお、容量 211 は、有機 EL 素子 201 が有する寄生容量であってもよいし、容量素子 210 のように TFT 工程で形成してもよい。

30

【0074】

大画面化（表示部 2 のサイズが大きくなる）、かつ、画素 20 の数が増加するのに伴い、画素 20 に映像信号を書き込むための期間（水平走査期間）が短くなる。大画面化に伴い走査線 93 配線時定数も増加するため、水平走査期間の短縮とあわせて、所定の階調電圧を画素 20 に書き込むことが難しくなる。

【0075】

そこで、以下に示す実施の形態では、図 2B に示すように、限られた時間で映像信号（データ電圧）を取り込むために、スイッチ 203 を導通させる時間（期間 T27）を増加させている。また、以下に示す実施の形態では、走査線 93 の波形なまりがあっても、所定の映像信号（データ電圧）がデータ線 25 に入力される前に走査線 93 が立ち上がりを完了させて、スイッチ 203 が導通状態（オン状態）となるようにしている。これは期間 T27 での駆動トランジスタ 202 のソース電位変動が大きく発生しないためである。

40

【0076】

これにより、走査線 93 の負荷（配線時定数）が大きく、立ち上がりに時間がかかるような大画面、高画素数の表示部 2 であっても確実に書き込むことができる。

【0077】

なお、このように駆動させることから、走査線 93 の配線幅をより細くすることもできる。その場合、配線幅を細くした分を容量素子 210 の大きさ（容量）を拡大することに

50

用いて、表示性能を上げるとしてもよい。

【0078】

表示性能は、容量素子210が小さいと、駆動トランジスタ202のドレインゲート間寄生容量と容量素子210と容量211が直列になっている関係から、ELカソード電源線22の変動により、容量素子210に書き込まれている電荷量が増加するという問題が顕著となる。そのため、表示性能は、寄生容量と蓄積容量（容量素子210の静電容量）の比率が重要であり、蓄積容量／寄生容量 $\gg 1$ が好ましい。

【0079】

このように、期間T27（書込期間）では、データ電圧（映像信号電圧）および駆動トランジスタ202の閾値電圧に応じた電圧が容量素子210に記憶（保持）される。

10

【0080】

〔期間T28〕

図2Bに示す時刻t7～時刻t8の期間T28は、スイッチ203を確実に非導通にさせるための期間である。

【0081】

より具体的には、時刻t7において、走査線駆動回路50は、参照電圧制御線94と初期化制御線96と発光制御線95の電圧レベルをLOWに維持しつつ、走査線93の電圧レベルをHIGHからLOWに変化させる。すなわち、時刻t7において、スイッチ204、スイッチ206およびスイッチ205は非導通状態（オフ状態）のままで、スイッチ203が非導通状態（オフ状態）にされる。

20

【0082】

これにより、続く期間T29（発光期間）においてスイッチ205が導通状態（オン状態）にするまえにスイッチ203を確実に非導通状態（オフ状態）にすることができる。

【0083】

期間T28を設けず、スイッチ205とスイッチ203とが同時に導通状態（オン状態）になってしまった場合、駆動トランジスタ202のドレイン電流により、駆動トランジスタ202のソース電位が上昇する一方で、駆動トランジスタ202のゲート電位はデータ電圧となることから、駆動トランジスタ202のゲートソース間電圧が小さくなってしまふ。この場合には、所望の輝度に比べて少ない輝度で発光してしまうという問題となる。これを防止するため、本実施の形態では、期間T28を設けてスイッチ203が非導通であることを確保してから、続く期間T29においてスイッチ205を導通状態にする。

30

【0084】

〔期間T29〕

次に、図2Bに示す時刻t8～時刻t9の期間T29は、発光期間である。

【0085】

具体的には、時刻t8において、走査線駆動回路50は、走査線93、参照電圧制御線94および初期化制御線96の電圧レベルをLOWに維持しつつ、発光制御線95の電圧レベルをLOWからHIGHに変化させる。すなわち、時刻t8において、スイッチ203、スイッチ204およびスイッチ206は非導通状態（オフ状態）に維持されつつ、スイッチ205が導通状態（オン状態）にされる。

40

【0086】

このように、スイッチ205を導通状態（オン状態）にさせることで、容量素子210に蓄えられた電圧に応じて駆動トランジスタ202に有機EL素子201に電流を供給し有機EL素子201を発光させることができる。

【0087】

〔期間T30〕

図2Bに示す時刻t9～時刻t0の期間T30は、すべてのスイッチを非導通状態として、駆動トランジスタ202のゲートおよび駆動トランジスタ202のソース電位を、期間T21で必要な電圧に近い電位まで変化させるための期間である。

50

【0088】

より具体的には、時刻 t_9 において、走査線駆動回路50は、走査線93と参照電圧制御線94と初期化制御線96の電圧レベルをLOWに維持しつつ、発光制御線95の電圧レベルをHIGHからLOWに変化させる。すなわち、時刻 t_9 において、スイッチ203、スイッチ204、スイッチ206は非導通状態（オフ状態）のままで、さらにスイッチ205が非導通状態（オフ状態）にされる。

【0089】

このようにすることで、期間T29と期間T21の間に期間T30を設けることで、電源線による電流の充放電なしに、駆動トランジスタ202のゲートおよび駆動トランジスタ202のソース電位を、期間T21で必要な電圧に近い電位まで変化させることができる。

10

【0090】

より具体的には、駆動トランジスタ202のソースは、期間T30において、ELカソード電源線22の電圧 V_{e1} ＋有機EL素子201の閾値電圧に収束する。また、駆動トランジスタ202のゲートは、期間T30において、駆動トランジスタ202のソースの電圧＋容量素子210に記憶された電位となる。

【0091】

つまり、期間T21の開始時点（時刻 t_0 ）では、期間T29の終了時点（時刻 t_9 ）に比べ、有機EL素子201の発光時電圧－閾値電圧分だけ低くできる。

【0092】

この電位低下により、期間T21での初期化電源線23の電圧 V_{ini} と参照電源線24の電圧 V_{ref} による充放電作業の負荷が軽くなる。

20

【0093】

以上のようなシーケンスにより、画素20は、階調表示を行う。

【0094】

なお、制御回路60は、表示部2を構成する他の画素20についても、同様の駆動方法を線順次に行う。

【0095】

以上、表示パネルのサイズが大きい場合でも高精度な画像表示を可能とする駆動方法および表示装置を実現することができる。

30

【0096】

より具体的には、例えば、制御回路60は、複数の画素20の各々において、スイッチ205（第1スイッチ）およびスイッチ203（第2スイッチ）が非導通、かつ、スイッチ204（第3スイッチ）およびスイッチ206（第4スイッチ）が導通に切り換えられて駆動トランジスタ202が初期化される期間T22（初期化期間）を実行する。また、制御回路60は、スイッチ205（第1スイッチ）およびスイッチ204（第3スイッチ）が導通、かつ、スイッチ203（第2スイッチ）およびスイッチ206（第4スイッチ）が非導通に切り換えられて駆動トランジスタ202の閾値電圧が補償される期間T24（閾値電圧補償期間）を実行する。

【0097】

また、例えば、制御回路60は、複数の画素20の各々において、期間T22（初期化期間）の前にスイッチ206（第4スイッチ）のみ導通に切り換えることで期間T21を開始させ、スイッチ204（第3スイッチ）を導通に切り換えることで期間T21に続く期間T22（初期化期間）を開始させる。

40

【0098】

また、例えば、制御回路60は、複数の画素20の各々において、期間T21の前にスイッチ205（第1スイッチ）を非導通に切り換えることで、有機EL素子201を発光させる期間を終了させて、スイッチ205（第1スイッチ）、スイッチ204（第3スイッチ）、スイッチ203（第2スイッチ）およびスイッチ206（第4スイッチ）が非導通に切り換えられた後の期間T30を開始し、スイッチ206（第4スイッチ）を導通に

50

切り換えることで期間 T 3 0 に続く期間 T 2 1 を開始する。

【0099】

また、制御回路 6 0 は、複数の画素 2 0 の各々において、期間 T 2 4（閾値電圧補償期間）内で、スイッチ 2 0 5（第 1 スイッチ）を非導通に切り換えることで、期間 T 2 4（閾値電圧補償期間）を終了させて期間 T 2 4（閾値電圧補償期間）に続く期間 T 2 5 を開始し、期間 T 2 5 の終了後に、スイッチ 2 0 3（第 2 スイッチ）が導通に、かつ、スイッチ 2 0 5（第 1 スイッチ）、スイッチ 2 0 4（第 3 スイッチ）およびスイッチ 2 0 6（第 4 スイッチ）が非導通に切り換えられた後の期間であって容量素子 2 1 0 に電圧を書き込む期間 T 2 7（書込期間）を開始する。

【0100】

また、例えば、制御回路 6 0 は、複数の画素 2 0 の各々において、期間 T 2 5 内で、スイッチ 2 0 4（第 3 スイッチ）を非導通に切り換えることで、期間 T 2 5 を終了させて期間 T 2 5 に続く期間 T 2 6 を開始し、期間 T 2 6 内で、スイッチ 2 0 3（第 2 スイッチ）を導通に切り換えることで、期間 T 2 6 を終了させて期間 T 2 6 に続く期間 T 2 7（書込期間）を開始する。

【0101】

以上のように、表示パネルのサイズが大きい場合でも高精度な画像表示を可能とする駆動方法および表示装置を実現することができる。

【0102】

上述したように、期間 T 2 1～T 3 0 は、1 フレームに相当し、初期化期間、V t h 検出期間、書込み期間、および発光期間で構成される。

【0103】

[0-3. 階調特性の歪み]

階調特性の歪みは、上述した V t h 検出期間の終了時点～発光期間開始時点の動作に起因して発生する。また、上記歪みが発生する領域 P は、データ電圧 V d a t a の中域にて発生する。以下、データ電圧 V d a t a の低域（V d a t a = 1. 0 V、1. 5 V）、中域（V d a t a = 2. 6 V、3. 4 V）、高域（V d a t a = 4. 0 V、5. 0 V）、に分けて説明する。なお、ここでは、全階調を表現するデータ電圧の電圧範囲を 0 V（最低輝度）～10 V（最高輝度）としている。また、E L アノード電源電圧（V t f t）= 16 V、および参照電圧（V r e f）= 1. 5 V とし、駆動トランジスタ 2 0 2 の閾値電圧 V t h を 1 V と想定している。

【0104】

[V d a t a = 1. 0 V]

図 4 A は、データ電圧が 1. 0 V の場合の、V t h 検出期間の終了時点～発光期間開始時点の画素回路の状態遷移図である。

【0105】

まず、V t h 検出終了（t 4）直前において（図 4 A の A）、スイッチ 2 0 5 および 2 0 4 が導通状態であるので、駆動トランジスタ 2 0 2 のドレイン電位 V D = 16 V、ゲート電位 V G = 1. 5 V、およびソース電位 V S = 0. 5 V となっている。

【0106】

次に、時刻 t 4 において（図 4 A の B）、スイッチ 2 0 5 を非導通としたことに伴い、ドレイン電位 V D は 16 V → 7 V へと低下する。これは、スイッチ 2 0 5 の突下げによるものである。具体的には、発光制御線 9 5 に印加されたオフ電圧（-3 V）が、スイッチ 2 0 5 のゲート-ソース間に存在する寄生容量 C e n b を介して駆動トランジスタ 2 0 2 のドレインノードへと突き抜けることによるものである。

【0107】

次に、時刻 t 5 において（図 4 A の C）、スイッチ 2 0 4 を非導通としたことに伴い、ゲート電位 V G は 1. 5 V → 0. 3 V へと低下する。これは、スイッチ 2 0 4 の突下げによるものである。具体的には、参照電圧制御線 9 4 に印加されたオフ電圧（-3 V）が、スイッチ 2 0 4 のゲート-ソース間に存在する寄生容量を介して駆動トランジスタ 2 0 2

10

20

30

40

50

のゲートノードへと突き抜けることによるものである。

【0108】

次に、時刻 t_6 において（図4AのD）、スイッチ203を導通させたことに伴い、ゲート電位 V_G は $0.3\text{ V} \rightarrow 1.5\text{ V}$ へと増加する。これは、スイッチ203の突上げによるものである。具体的には、走査線93に印加されたオン電圧（ $+20\text{ V}$ ）が、スイッチ203のゲートソース間に存在する寄生容量を介して駆動トランジスタ202のゲートノードへと突き抜けることによるものである。

【0109】

次に、期間 T_{27} において（図4AのE）、データ電圧 $V_{data} = 1.0\text{ V}$ が駆動トランジスタ202のゲートノードに印加されたことに伴い、ゲート電位 V_G は 1.0 V となる。また、ドレイン電位 V_D は、 $7\text{ V} \rightarrow 6.7\text{ V}$ へと低下する。これは、第1には、ゲート電位 V_G が、駆動トランジスタ202のゲートドレイン間に存在する寄生容量 C_{drv} を介して駆動トランジスタ202のドレインノードへと突き抜けることによるものである。また、第2には、ゲート電位 $V_G = 1.0\text{ V}$ であるので、駆動トランジスタ202が非導通状態となり、駆動トランジスタ202のドレイン電極からソース電極への電荷抜けがほぼ無い状態となることによるものである。

【0110】

次に、時刻 t_7 において（図4AのF）、スイッチ203を非導通としたことに伴い、ゲート電位 V_G は $1\text{ V} \rightarrow 0.1\text{ V}$ へと低下する。これは、スイッチ203の突下げによるものである。具体的には、走査線93に印加されたオフ電圧（ -3 V ）が、スイッチ203のゲートソース間に存在する寄生容量を介して駆動トランジスタ202のゲートノードへと突き抜けることによるものである。また、同時に、ドレイン電位 V_D は、 $6.7\text{ V} \rightarrow 6.4\text{ V}$ へと低下する。これは、ゲート電位 V_G が、駆動トランジスタ202のゲートドレイン間に存在する寄生容量 C_{drv} を介して駆動トランジスタ202のドレインノードへと突き抜けることによるものである。

【0111】

次に、時刻 t_8 において（図4AのG）、スイッチ205を導通させたことに伴い、ドレイン電位 V_D は、 EL アノード電源電圧 V_{tft} （ 16 V ）へと増加する。

【0112】

上記回路動作により、 $V_{data} = 1.0\text{ V}$ を書込んだ場合、時刻 $t_7 \rightarrow t_8$ でのドレイン電位 V_D の変動量は、 $16\text{ V} - 6.4\text{ V} = 9.6\text{ V}$ である。これに伴い、ゲート電位 V_G は 1.0 V となる。これは、ドレイン電位 V_D が、駆動トランジスタ202のゲートドレイン間に存在する寄生容量 C_{drv} を介して駆動トランジスタ202のゲートノードへと突き抜けることによるものである。

【0113】

[$V_{data} = 1.5\text{ V}$]

データ電圧 $V_{data} = 1.5\text{ V}$ の場合の状態遷移については図示していないが、図4Aを用いてその差異点を説明する。

【0114】

V_{th} 検出終了（ t_4 ）直前（図4AのA）～時刻 t_6 （図4AのD）まではデータ電圧によらず、図4Aと同様の回路状態となる。

【0115】

次に、期間 T_{27} において（状態E）、データ電圧 $V_{data} = 1.5\text{ V}$ が駆動トランジスタ202のゲートノードに印加されたことに伴い、ゲート電位 V_G は 1.5 V となる。また、ドレイン電位 V_D は、 $7\text{ V} \rightarrow 6.7\text{ V}$ へと低下する。これは、第1には、ゲート電位 V_G が、駆動トランジスタ202のゲートドレイン間に存在する寄生容量 C_{drv} を介して駆動トランジスタ202のドレインノードへと突き抜けることによるものである。また、第2には、ゲート電位 $V_G = 1.5\text{ V}$ であるので、駆動トランジスタ202が非導通状態となり、駆動トランジスタ202のドレイン電極からソース電極への電荷抜けがほぼ無い状態となることによるものである。

【0116】

次に、時刻 t_7 において（状態 F）、スイッチ 203 を非導通としたことに伴い、ゲート電位 V_G は $1.5\text{ V} \rightarrow 0.6\text{ V}$ へと低下する。これは、スイッチ 203 の突下げによるものである。具体的には、走査線 93 に印加されたオフ電圧（ -3 V ）が、スイッチ 203 のゲートソース間に存在する寄生容量を介して駆動トランジスタ 202 のゲートノードへと突き抜けることによるものである。また、同時に、ドレイン電位 V_D は、 $6.7\text{ V} \rightarrow 6.4\text{ V}$ へと低下する。これは、ゲート電位 V_G が、駆動トランジスタ 202 のゲートドレイン間に存在する寄生容量 C_{drv} を介して駆動トランジスタ 202 のドレインノードへと突き抜けることによるものである。

【0117】

10

次に、時刻 t_8 において（状態 G）、スイッチ 205 を導通させたことに伴い、ドレイン電位 V_D は、EL アノード電源電圧 V_{tft} （ 16 V ）へと増加する。

【0118】

上記回路動作により、 $V_{data} = 1.5\text{ V}$ を書込んだ場合、時刻 $t_7 \rightarrow t_8$ でのドレイン電位 V_D の変動量は、 $16\text{ V} - 6.4\text{ V} = 9.6\text{ V}$ である。

【0119】

データ電圧 V_{data} が 1.0 V および 1.5 V の場合には、期間 T_{27} （状態 E）において駆動トランジスタ 202 が導通状態とならず駆動トランジスタ 202 のドレイン電極からソース電極へと電荷が抜けない。これにより、時刻 t_7 でのドレイン電位 V_D は、いずれの場合も 6.4 V となる。

20

【0120】

ここで、時刻 $t_7 \rightarrow t_8$ でのドレイン電位変動量 ΔV_D によるゲート電位突き上げ量 ΔV_G は、以下の式 1 で表される。

【0121】

【数 1】

$$\Delta V_G = \Delta V_D \left(\frac{C_{drvD}}{C_{drvD} + C_{drvS} + C_s} \right) \quad (\text{式 1})$$

【0122】

上記式 1 において、 C_s は容量素子 210 の静電容量であり、 C_{drvD} は駆動トランジスタ 202 のゲートドレイン間に発生する寄生容量であり、 C_{drvS} は駆動トランジスタ 202 のゲートソース間に発生する寄生容量である。 $V_{data} = 1.0\text{ V}$ および 1.5 V の場合において、ドレイン電位変動量 ΔV_D によるゲート電位突き上げ量 ΔV_G は、上記式 3 に各容量値（ $C_s = 0.5\text{ pF}$ 、 $C_{drvD} = C_{drvS} = 0.056\text{ pF}$ ）および $\Delta V_D = 9.6\text{ V}$ を代入すると、 $\Delta V_G = 0.88\text{ V}$ となる。

30

【0123】

[$V_{data} = 2.6\text{ V}$]

図 4 B は、データ電圧が 2.6 V の場合の、 V_{th} 検出期間の終了時点～発光期間開始時点の画素回路の状態遷移図である。

【0124】

40

V_{th} 検出終了（ t_4 ）直前（図 4 B の A）～時刻 t_6 （図 4 B の D）まではデータ電圧によらず、図 4 A と同様の回路状態となる。

【0125】

次に、期間 T_{27} において（図 4 B の E）、データ電圧 $V_{data} = 2.6\text{ V}$ が駆動トランジスタ 202 のゲートノードに印加されたことに伴い、ゲート電位 V_G は 2.6 V となる。また、ドレイン電位 V_D は、 $7\text{ V} \rightarrow 6\text{ V}$ へと低下する。これは、ゲート電位 $V_G = 2.6\text{ V}$ であるので、駆動トランジスタ 202 が導通状態となり、駆動トランジスタ 202 のドレイン電極からソース電極への電荷抜けが発生することによるものである。

【0126】

次に、時刻 t_7 において（図 4 B の F）、スイッチ 203 を非導通としたことに伴い、

50

ゲート電位 V_G は $2.6\text{ V} \rightarrow 1.4\text{ V}$ へと低下する。これは、スイッチ 203 の突下げによるものである。具体的には、走査線 93 に印加されたオフ電圧 (-3 V) が、スイッチ 203 のゲートソース間に存在する寄生容量を介して駆動トランジスタ 202 のゲートノードへと突き抜けることによるものである。また、同時に、ドレイン電位 V_D は、 $6\text{ V} \rightarrow 5.7\text{ V}$ へと低下する。これは、ゲート電位 V_G が、駆動トランジスタ 202 のゲートドレイン間に存在する寄生容量 C_{drv} を介して駆動トランジスタ 202 のドレインノードへと突き抜けることによるものである。

【0127】

次に、時刻 t_8 において (図 4B の G)、スイッチ 205 を導通させたことに伴い、ドレイン電位 V_D は、EL アノード電源電圧 V_{tft} (16 V) へと増加する。

10

【0128】

上記回路動作により、 $V_{data} = 2.6\text{ V}$ を書込んだ場合、時刻 $t_7 \rightarrow t_8$ でのドレイン電位 V_D の変動量は、 $16\text{ V} - 5.7\text{ V} = 10.3\text{ V}$ である。

【0129】

データ電圧 V_{data} が 2.6 V の場合には、期間 T_{27} (状態 E) において駆動トランジスタ 202 が導通状態となりドレイン電極からソース電極へと電荷が抜け始める。これにより、時刻 t_7 でのドレイン電位 V_D は、 5.7 V となる。

【0130】

$V_{data} = 2.6\text{ V}$ の場合において、ドレイン電位変動量 ΔV_D によるゲート電位突き上げ量 ΔV_G は、上記式 3 に駆動トランジスタ 202 の各容量値および $\Delta V_D = 10.3\text{ V}$ を代入すると、 $\Delta V_G = 0.94\text{ V}$ となる。

20

【0131】

[$V_{data} = 3.4\text{ V}$]

図 4C は、データ電圧が 3.4 V の場合の、 V_{th} 検出期間の終了時点～発光期間開始時点の画素回路の状態遷移図である。

【0132】

V_{th} 検出終了 (t_4) 直前 (図 4C の A) ～時刻 t_6 (図 4C の D) まではデータ電圧によらず、図 4A と同様の回路状態となる。

【0133】

次に、期間 T_{27} において (図 4C の E)、データ電圧 $V_{data} = 3.4\text{ V}$ が駆動トランジスタ 202 のゲートノードに印加されたことに伴い、ゲート電位 V_G は 3.4 V となる。また、ドレイン電位 V_D は、 $7\text{ V} \rightarrow 4.6\text{ V}$ へと低下する。これは、ゲート電位 $V_G = 3.4\text{ V}$ であるので、駆動トランジスタ 202 が導通状態となり、駆動トランジスタ 202 のドレイン電極からソース電極への電荷抜けが発生することによるものである。

30

【0134】

次に、時刻 t_7 において (図 4C の F)、スイッチ 203 を非導通としたことに伴い、ゲート電位 V_G は $3.4\text{ V} \rightarrow 2.2\text{ V}$ へと低下する。これは、スイッチ 203 の突下げによるものである。具体的には、走査線 93 に印加されたオフ電圧 (-3 V) が、スイッチ 203 のゲートソース間に存在する寄生容量を介して駆動トランジスタ 202 のゲートノードへと突き抜けることによるものである。また、同時に、ドレイン電位 V_D は、 $4.6\text{ V} \rightarrow 4.3\text{ V}$ へと低下する。これは、ゲート電位 V_G が、駆動トランジスタ 202 のゲートドレイン間に存在する寄生容量 C_{drv} を介して駆動トランジスタ 202 のドレインノードへと突き抜けることによるものである。

40

【0135】

次に、時刻 t_8 において (図 4C の G)、スイッチ 205 を導通させたことに伴い、ドレイン電位 V_D は、EL アノード電源電圧 V_{tft} (16 V) へと増加する。

【0136】

上記回路動作により、 $V_{data} = 3.4\text{ V}$ を書込んだ場合、時刻 $t_7 \rightarrow t_8$ でのドレイン電位 V_D の変動量は、 $16\text{ V} - 4.3\text{ V} = 11.7\text{ V}$ である。

【0137】

50

データ電圧 V_{data} が 3.4 V の場合には、期間 T27（状態 E）において駆動トランジスタ 202 が導通状態となり、 $V_{data} = 2.6$ V の場合よりもドレイン電極からソース電極への電荷抜け量が多い。これにより、時刻 t_7 でのドレイン電位 V_D は、4.3 V となる。

【0138】

$V_{data} = 3.4$ V の場合において、ドレイン電位変動量 ΔV_D によるゲート電位引き上げ量 ΔV_G は、上記式 3 に駆動トランジスタ 202 の各容量値および $\Delta V_D = 11.7$ V を代入すると、 $\Delta V_G = 1.07$ V となる。

【0139】

[$V_{data} = 4.0$ V]

10

図 4D は、データ電圧が 4.0 V の場合の、 V_{th} 検出期間の終了時点～発光期間開始時点の画素回路の状態遷移図である。

【0140】

V_{th} 検出終了（ t_4 ）直前（図 4D の A）～時刻 t_6 （図 4D の D）まではデータ電圧によらず、図 4A と同様の回路状態となる。

【0141】

次に、期間 T27 において（図 4D の E）、データ電圧 $V_{data} = 4.0$ V が駆動トランジスタ 202 のゲートノードに印加されたことに伴い、ゲート電位 V_G は 4.0 V となる。また、ドレイン電位 V_D は、7 V → 1 V へと低下する。これは、ゲート電位 $V_G = 4.0$ V であるので、駆動トランジスタ 202 が導通状態となり、駆動トランジスタ 202 のドレイン電極からソース電極への電荷抜けが発生することによるものである。

20

【0142】

次に、時刻 t_7 において（図 4D の F）、スイッチ 203 を非導通としたことに伴い、ゲート電位 V_G は 4 V → 2.8 V へと低下する。これは、スイッチ 203 の突下げによるものである。具体的には、走査線 93 に印加されたオフ電圧（−3 V）が、スイッチ 203 のゲート−ソース間に存在する寄生容量を介して駆動トランジスタ 202 のゲートノードへと突き抜けることによるものである。また、同時に、ドレイン電位 V_D は、1 V → 0.5 V へと低下する。これは、ゲート電位 V_G が、駆動トランジスタ 202 のゲート−ドレイン間に存在する寄生容量 C_{drv} を介して駆動トランジスタ 202 のドレインノードへと突き抜けることによるものである。

30

【0143】

次に、時刻 t_8 において（図 4D の G）、スイッチ 205 を導通させたことに伴い、ドレイン電位 V_D は、EL アノード電源電圧 V_{tft} （16 V）へと増加する。

【0144】

上記回路動作により、 $V_{data} = 4.0$ V を書込んだ場合、時刻 $t_7 \rightarrow t_8$ でのドレイン電位 V_D の変動量は、 $16\text{ V} - 0.5\text{ V} = 15.5\text{ V}$ である。

【0145】

データ電圧 V_{data} が 4.0 V の場合には、期間 T27（状態 E）において駆動トランジスタ 202 が導通状態となり、 $V_{data} = 3.4$ V の場合よりもドレイン電極からソース電極への電荷抜け量が多い。これにより、時刻 t_7 でのドレイン電位 V_D は、0.5 V となる。

40

【0146】

[$V_{data} = 5.0$ V]

データ電圧 $V_{data} = 5.0$ V の場合の状態遷移については図示していないが、図 4D を用いてその差異点を説明する。

【0147】

V_{th} 検出終了（ t_4 ）直前（状態 A）～時刻 t_6 （状態 D）まではデータ電圧によらず、図 4D と同様の回路状態となる。

【0148】

次に、期間 T27 において（状態 E）、データ電圧 $V_{data} = 5.0$ V が駆動トラン

50

ジスタ202のゲートノードに印加されたことに伴い、ゲート電位 V_G は5.0Vとなる。また、ドレイン電位 V_D は、7V $\rightarrow$ 1Vへと低下する。これは、ゲート電位 $V_G=5.0$ Vであるので、駆動トランジスタ202が導通状態となり、駆動トランジスタ202のドレイン電極からソース電極への電荷抜けが発生することによるものである。

【0149】

次に、時刻 t_7 において（状態F）、スイッチ203を非導通としたことに伴い、ゲート電位 V_G は5V $\rightarrow$ 3.8Vへと低下する。これは、スイッチ203の突下げによるものである。具体的には、走査線93に印加されたオフ電圧（-3V）が、スイッチ203のゲート-ソース間に存在する寄生容量を介して駆動トランジスタ202のゲートノードへと突き抜けることによるものである。また、同時に、ドレイン電位 V_D は、1V $\rightarrow$ 0.5Vへと低下する。これは、ゲート電位 V_G が、駆動トランジスタ202のゲート-ドレイン間に存在する寄生容量 C_{drv} を介して駆動トランジスタ202のドレインノードへと突き抜けることによるものである。

【0150】

次に、時刻 t_8 において（状態G）、スイッチ205を導通させたことに伴い、ドレイン電位 V_D は、ELアノード電源電圧 V_{tft} （16V）へと増加する。

【0151】

上記回路動作により、 $V_{data}=5.0$ Vを書込んだ場合、時刻 $t_7 \rightarrow t_8$ でのドレイン電位 V_D の変動量は、 $16V - 0.5V = 15.5V$ である。

【0152】

データ電圧 V_{data} が5.0Vの場合には、期間T27（状態E）において駆動トランジスタ202が導通状態となり、ドレイン電極からソース電極への電荷抜けが発生するが、 $V_{data}=4.0$ V以上の場合は、駆動トランジスタ202のドレインノードに溜まった電荷が全て抜けきっているので、ドレイン電位 V_D は0.5Vで一定となる。

【0153】

$V_{data}=4.0$ Vおよび5.0Vの場合において、ドレイン電位変動量 ΔV_D によるゲート電位突き上げ量 ΔV_G は、上記式3に駆動トランジスタ202の各容量値および $\Delta V_D=15.5V$ を代入すると、いずれの場合も $\Delta V_G=1.41V$ となる。

【0154】

図5は、駆動トランジスタのドレイン電位の時間変化を表すグラフである。同図において、横軸は1フレームにおける閾値電圧検出期間の終了時（ t_5 ）～発光期間の終了時（ t_9 ）までを表している。データ電圧の書込み直前である時刻 t_6 （Scan-TRON）では、ドレイン電位 V_D は、いずれのデータ電圧においても7Vとなっている。その後、データ電圧 V_{data} の大きさ（階調レベル）により、書込み終了時点（ t_7 ）でのドレイン電位 V_D は0.5V～6.4Vの間で変化する。つまり、階調により駆動トランジスタ202を介して抜ける電荷量が変わるため、書込み後のドレイン電位 V_D が異なる。

【0155】

図6は、階調特性と駆動トランジスタのゲート-ソース間電圧との関係を表すグラフである。

【0156】

非発光領域（ $V_{data}=1.0V$ 、 $1.5V$ ）では、駆動トランジスタ202のドレインからソースへ電荷が抜けないので、ドレイン電圧変動量 ΔV_D は9.6Vで一定であり、ゲート電圧突き上げ量 ΔV_G は0.87Vで一定である。

【0157】

これに対して、遷移領域（ $V_{data}=2.6V$ 、 $3.4V$ ）では、データ電圧が大きくなるほど駆動トランジスタ202のドレインからソースへの電荷抜けが多くなるので、 V_{data} に連動してドレイン電圧変動量 ΔV_D は大きくなる。これに伴い、ゲート電圧突き上げ量 ΔV_G も大きくなり、ゲート電位 V_G もその分大きくなる。これにより、階調カーブの傾きが大きくなる。

10

20

30

40

50

【0158】

また、安定領域 ($V_{data} = 4.0V$ 、 $5.0V$) では、駆動トランジスタ 202 のドレインからソースへの電荷抜けが変化しないので、ドレイン電圧変動量 ΔV_D およびゲート電圧突き上げ量 ΔV_G が一定となる。これにより、階調カーブの傾きが低下する。遷移領域と安定領域との境界において、階調カーブの傾きが変わることにより、歪みが発生する。

【0159】

以上のように、(1) 駆動トランジスタ 202 のドレイン側に発光を制御するスイッチ 205 が存在し、(2) スイッチ 205 をデータ書込み時に非導通とし発光時に導通させ、(3) データ書込み時にデータ電圧が駆動トランジスタ 202 のゲートに印加される、特徴を有する画素回路では、データ書込み時に駆動トランジスタ 202 のドレイン側の寄生容量からソース側に放電される電荷量が、データ電圧およびスイッチの突抜け電圧に影響を受ける。このため、データ書込み完了時のドレイン電位 V_D が階調によって変動し、それにより、発光開始時の駆動トランジスタ 202 のゲート-ソース間電圧 V_{gs} の変動量が変化して、階調特性 (ガンマカーブ) に歪みが生じることを、発明者らは見出した。また、上記歪みが発生する階調は、面内分布を有する。なぜなら、第 1 には、スイッチを導通、非導通とした際に、各制御線から駆動トランジスタ 202 のゲートおよびドレインに突き抜ける電圧は、走査線駆動回路 50 からの距離に応じて異なるためである。第 2 には、期間 T27 において (状態 E)、駆動トランジスタ 202 が導通状態となる期間が、データ線駆動回路 40、および走査線駆動回路 50 からの距離に応じて異なるため、駆動トランジスタ 202 のドレイン電極からソース電極へ抜ける電荷量も異なるためである。このため、表示部において輝度ムラが発生する問題を有する。

【0160】

上記の課題は、特にスタガ型または逆スタガ型構造の様なセルフアライメント構造を取らないトランジスタにおいて顕著である。セルフアライメント構造を取らないトランジスタにおいては、チャンネル領域を確実にゲート電極で覆うために、マスクのアライメントずれ量や各層のエッチング後退量を考慮して、ゲート電極とドレイン電極またはソース電極とをオーバーラップさせる構造を取ることが一般的である。そのため、スイッチ 205 のゲート-ソース間に存在する寄生容量 C_{enb} や、駆動トランジスタ 202 のゲート-ドレイン間に存在する寄生容量 C_{drv} が大きくなり、データ書込み時に駆動トランジスタ 202 のドレイン側の寄生容量からソース側に放電される電荷量の影響を受けやすいという特徴がある。スタガ型または逆スタガ型構造を取るトランジスタとしては、アモルファスシリコントランジスタや、IGZO (Indium Gallium Zinc Oxide) などの酸化物半導体が代表的である。

【0161】

このような問題を解決するために、本発明の一態様に係る表示装置の駆動方法は、複数の表示画素が行列状に配置された表示部を有する表示装置の駆動方法であって、前記表示装置は、前記複数の表示画素に駆動電圧を供給するための駆動電源線と、画素列に対応して配置され、映像信号を反映したデータ電圧を前記複数の表示画素へ伝達する複数のデータ線とを備え、前記複数の表示画素の各々は、発光素子と、前記データ電圧に対応した電圧を保持するための容量素子と、前記電圧がゲート-ソース間に印加されることにより当該電圧に応じた電流を前記発光素子に流す駆動トランジスタと、第 1 ゲート電極、第 2 電極および第 3 電極を有し、前記第 2 電極が前記駆動電源線に接続され、前記第 3 電極が前記駆動トランジスタのソースおよびドレインの一方に接続され、前記駆動電源線と前記駆動トランジスタの導通および非導通を切り換える第 1 スイッチトランジスタと、第 2 ゲート電極、第 4 電極および第 5 電極を有し、前記第 4 電極が前記複数のデータ線のうち対応するデータ線に接続され、前記第 5 電極が前記容量素子に接続され、前記データ線と前記容量素子との導通および非導通を切り換える第 2 スイッチトランジスタとを備え、前記駆動トランジスタのゲートに参照電圧を印加した状態で、かつ前記第 1 スイッチトランジスタを導通状態かつ前記第 2 スイッチトランジスタを非導通状態とすることにより前記容量

素子に前記駆動トランジスタの閾値電圧を保持させる閾値電圧検出ステップと、閾値電圧検出ステップの後、前記第1スイッチトランジスタを非導通状態かつ前記第2スイッチトランジスタを導通状態とすることにより前記容量素子に前記データ電圧を書込む書込みステップと、前記書込みステップの後、前記第1スイッチトランジスタを導通状態とすることにより当該電圧に応じた電流を前記発光素子に流す発光ステップと、前記閾値電圧検出ステップの終了時点と書込みステップの終了時点との間に、前記駆動トランジスタの前記ソースおよびドレインの一方の電位とソースおよびドレインの他方の電位とが同電位となるまで、前記ソースおよびドレインの一方に蓄積されている電荷を前記ソースおよびドレインの他方へと引き抜く電荷引き抜きステップとを含むことを特徴とする。

【0162】

10

本態様によれば、閾値電圧検出ステップの終了時刻と書込みステップの終了時刻との間に、駆動トランジスタのソースとドレインとの電位が同電位となるまで、ソースおよびドレインの一方に蓄積されている電荷をソースおよびドレインの他方へと引き抜く。これにより、駆動トランジスタのソースおよびドレインの一方からゲートへの突抜け電圧のデータ電圧依存性が低減される。よって、書込み電圧の変動が抑制され、表示パネルの輝度ムラを抑制できる。

【0163】

また、前記電荷引き抜きステップでは、前記閾値電圧検出ステップの後、前記第1スイッチトランジスタを非導通状態とし、かつ、前記駆動トランジスタのゲートに前記参照電圧を印加した状態を維持することにより、前記駆動トランジスタの前記ソースおよびドレインの一方の電位とソースおよびドレインの他方の電位とが同電位となるまで、前記ソースおよびドレインの一方に蓄積されている電荷を前記ソースおよびドレインの他方へと引き抜いてもよい。

20

【0164】

これにより、閾値電圧検出ステップの終了時点で駆動トランジスタを導通状態で維持したまま、書込みステップの開始前までに、駆動トランジスタのソースとドレインとの電位が同電位となるまで、ソースおよびドレインの一方に蓄積されている電荷をソースおよびドレインの他方へと引き抜く。これにより、駆動トランジスタのソースおよびドレインの一方からゲートへの突抜け電圧が低減される。

【0165】

30

また、前記電荷引き抜きステップを、前記閾値電圧検出ステップよりも長く実行してもよい。

【0166】

これにより、駆動トランジスタのソースおよびドレインの一方に蓄積されている電荷を、駆動トランジスタのソースおよびドレインの他方へと放電させる期間を長く確保することが可能となる。よって、駆動トランジスタのソースおよびドレインの一方からゲートへの突抜け電圧のデータ電圧依存性を精度よく低減できる。

【0167】

また、前記電荷引き抜きステップを、前記書込みステップが実行される期間内に実行してもよい。

40

【0168】

これにより、書込みステップの期間内に、駆動トランジスタのソースおよびドレインの一方に蓄積されている電荷を、駆動トランジスタのソースおよびドレインの他方へと放電させる。よって、書込み電圧の変動が抑制され、表示パネルの輝度ムラを抑制できる。

【0169】

また、前記書込みステップは、前記閾値電圧検出ステップの後、前記第1スイッチトランジスタを非導通状態かつ前記第2スイッチトランジスタを導通状態とし、前記データ線から前記容量素子に所定の電圧を印加することにより、前記駆動トランジスタの前記ソースおよびドレインの一方の電位とソースおよびドレインの他方の電位とが同電位となるまで、前記ソースおよびドレインの一方に蓄積されている電荷を前記ソースおよびドレイン

50

の他方へと引き抜く前記電荷引き抜きステップと、前記電荷引き抜きステップの後、前記第1スイッチトランジスタを非導通状態かつ前記第2スイッチトランジスタを導通状態としたままで前記容量素子に前記データ電圧を書込むデータ電圧書込みステップとを含んでもよい。

【0170】

これにより、書込み期間において、データ電圧が書き込まれる前に、駆動トランジスタのソースおよびドレインの一方に蓄積されている電荷を、駆動トランジスタのソースおよびドレインの他方へと放電させる。よって、書込み電圧の変動が抑制され、表示パネルの輝度ムラを抑制できる。

【0171】

また、前記所定の電圧は、最大階調を表す電圧であってもよい。

【0172】

これにより、全階調範囲における書込み電圧の変動が抑制され、表示パネルの輝度ムラを抑制できる。

【0173】

また、前記書込みステップは、行順次走査における単位水平走査期間内に実行されてもよい。

【0174】

これにより、書込み期間内に、最大階調を表す電圧とデータ電圧とを印加する必要があるため、データ線を倍速駆動させる必要はあるものの、駆動トランジスタのソースおよびドレインの一方に蓄積されている電荷を放電させるための期間を別途設ける必要がない。よって、発光デューティ比などを制限させずに書込み電圧の変動を抑制できる。

【0175】

また、前記書込みステップは、前記電荷引き抜きステップを複数行に対して同時に実施した後に、前記データ電圧書込みステップを前記複数行の各行に対して1行ずつ実施してもよい。

【0176】

これにより、複数(N)の水平走査期間内に、1回のプレ書込みとN行分のデータ書込みとを行えばよいので、データ線の駆動周波数は、 $(1+N)/N < 2$ となり、倍速駆動よりも駆動周波数を遅くすることが出来る。プレ書込みを同時に行う行数Nを増やすほど、データ線の駆動周波数を遅くすることが出来るので、データ線駆動回路の消費電力を低減したい場合などに有効である。

【0177】

また、前記駆動トランジスタ、前記第1スイッチトランジスタおよび前記第2スイッチトランジスタは、スタガ型または逆スタガ型構造を有してもよい。

【0178】

また、前記駆動トランジスタ、前記第1スイッチトランジスタおよび前記第2スイッチトランジスタは、アモルファスシリコンまたは酸化物半導体で構成されてもよい。

【0179】

上述したスタガ型または逆スタガ型構造の様なセルフアライメント構造を取らないトランジスタにおいて、特に、書込み電圧の変動の抑制効果が顕著である。

【0180】

また、前記複数の表示画素の各々は、さらに、前期参照電圧を伝達する参照電源線と前記容量素子との導通および非導通を切り換える第3スイッチトランジスタを備え、前記閾値電圧検出ステップでは、前記第1スイッチトランジスタおよび前記第3スイッチトランジスタを導通状態かつ前記第2スイッチトランジスタを非導通状態とすることにより前記容量素子に前記駆動トランジスタの閾値電圧を保持させ、前記書込みステップでは、前記閾値電圧検出ステップの後、前記第1スイッチトランジスタおよび前記第3スイッチトランジスタを非導通状態かつ前記第2スイッチトランジスタを導通状態とすることにより前記容量素子に前記データ電圧を書込んでもよい。

10

20

30

40

50

【0181】

また、前記電荷引き抜きステップでは、前記閾値電圧検出ステップの後、前記第1スイッチトランジスタを非導通状態とし、かつ、前記第3スイッチトランジスタを導通状態に維持した状態とすることにより、前記駆動トランジスタの前記ソースおよびドレインの一方の電位とソースおよびドレインの他方の電位とが同電位となるまで、前記ソースおよびドレインの一方に蓄積されている電荷を前記ソースおよびドレインの他方へと引き抜いてもよい。

【0182】

また、前記書込みステップは、閾値電圧検出ステップの後、前記第1スイッチトランジスタおよび前記第3スイッチトランジスタを非導通状態かつ前記第2スイッチトランジスタを導通状態とし、前記データ線から前記容量素子に所定の電圧を印加することにより、前記駆動トランジスタの前記ソースおよびドレインの一方の電位とソースおよびドレインの他方の電位とが同電位となるまで、前記ソースおよびドレインの一方に蓄積されている電荷を前記ソースおよびドレインの他方へと引き抜く前記電荷引き抜きステップと、前記電荷引き抜きステップの後、前記第1スイッチトランジスタおよび前記第3スイッチトランジスタを非導通状態かつ前記第2スイッチトランジスタを導通状態としたままで前記容量素子に前記データ電圧を書込むデータ電圧書込みステップとを含んでもよい。

【0183】

また、前記複数の表示画素の各々は、さらに、初期化電圧を伝達する初期化電源線と前記容量素子との導通および非導通を切り換える第4スイッチトランジスタを備え、前記表示装置の駆動方法は、さらに、前記閾値電圧検出ステップの前に、前記第1スイッチトランジスタおよび前記第2スイッチトランジスタを非導通状態かつ前記第3スイッチトランジスタおよび前記第4スイッチトランジスタを導通状態とすることにより、前記駆動トランジスタを導通状態とすることで初期化期間を開始する初期化ステップを含み、前記初期化ステップの前において、前記第1スイッチトランジスタ、前記第2スイッチトランジスタ、前記第3スイッチトランジスタおよび前記第4スイッチトランジスタのうち前記第4スイッチトランジスタのみを導通状態に切り換えることで第1期間を開始し、前記初期化ステップにおいて、前記第3スイッチトランジスタを導通状態に切り換えることで前記第1期間に続く前記初期化期間を開始してもよい。

【0184】

これにより、第1期間において、駆動トランジスタのソース電位に初期化電源線の電圧を書き込む期間を設けることで参照電源線の電圧を駆動トランジスタのゲートに書き込む負荷を軽くすることができる。つまり、第1期間を設けることで、駆動トランジスタのゲート電位を低い電位に設定することができ、参照電源線は画素に充電するための電流（電圧）を供給するのみでよくなる。換言すると、参照電源線の電圧が発光素子を充電するための電圧として用いられないため、参照電源線の負荷が軽くなるという利点がある。

【0185】

また、前記初期化電源線は、前記駆動電源線および前記参照電源線と直交する方向に配置されていてもよい。

【0186】

これにより、初期化電源線の配線幅を太くすることができるので、初期化電源線の配線遅延を少なくでき、より早く駆動トランジスタのソース電位を安定させることが可能となる。

【0187】

また、さらに、前記第1期間の前に、前記第1スイッチトランジスタを非導通状態に切り換えることで、前記発光素子を発光させる期間を終了させて、前記第1スイッチトランジスタ、前記第2スイッチトランジスタ、前記第3スイッチトランジスタおよび前記第4スイッチトランジスタが非導通状態に切り換えられた第2期間を開始し、前記第4スイッチトランジスタを導通状態に切り換えることで前記第2期間に続く前記1期間を開始してもよい。

【0188】

これにより、駆動トランジスタのソース電位を発光素子の発光時電圧一閾値電圧分だけ低くできるので、初期化電源線と参照電源線による充放電作業の負荷を軽くすることが可能となる。

【0189】

また、本発明は、このような特徴的なステップを含む表示装置の駆動方法として実現することができるだけでなく、当該駆動方法に含まれる特徴的なステップを実行する制御部を備えた表示装置として実現することができる。

【0190】

以下、適宜図面を参照しながら、実施の形態を詳細に説明する。但し、必要以上に詳細な説明は省略する場合がある。例えば、既によく知られた事項の詳細説明や実質的に同一の構成に対する重複説明を省略する場合がある。

10

【0191】

なお、発明者らは、当業者が本開示を十分に理解するために添付図面および以下の説明を提供するのであって、これらによって特許請求の範囲に記載の主題を限定することを意図するものではない。

【0192】

（実施の形態1）

以下、実施の形態1に係る表示装置およびその駆動方法について、図面を参照しながら説明する。

20

【0193】

〔1-1. 表示装置の全体構成〕

本実施の形態に係る表示装置の全体構成は、図1に示された表示装置1と同様の構成であるため、ここでは、説明を省略する。

【0194】

〔1-2. 画素回路構成〕

本実施の形態に係る表示装置の画素回路構成は、図2Aに示された画素20の回路構成と同様の構成であるため、ここでは、詳細な説明を省略する。

【0195】

本実施の形態に係る表示装置1は、複数の画素20が行列状に配置された表示部2を有する。また、表示装置1は、複数の画素20にELアノード電圧 V_{tft} を供給するためのELアノード電源線21と、画素列に対応して配置され、映像信号を反映したデータ電圧 V_{data} を複数の画素20へ伝達する複数のデータ線25とを備える。

30

【0196】

画素20は、有機EL素子201と、データ電圧 V_{data} に対応した電圧を保持するための容量素子210と、容量素子210に保持された電圧がゲートソース間に印加されることにより当該電圧に応じた電流を有機EL素子201に流す駆動トランジスタ202と、スイッチ203～206を備える。

【0197】

スイッチ205は、ゲート電極（第1ゲート電極）、ドレイン電極（第2電極）およびソース電極（第3電極）を有し、ドレイン電極がELアノード電源線21（駆動電源線）に接続され、ソース電極が駆動トランジスタ202のドレイン電極に接続されている。スイッチ205は、ELアノード電源線21と駆動トランジスタ202との導通および非導通を切り換える第1スイッチトランジスタである。

40

【0198】

スイッチ203は、ゲート電極（第2ゲート電極）、ドレイン電極（第4電極）およびソース電極（第5電極）を有し、ドレイン電極がデータ線25に接続され、ソース電極が容量素子210の第1電極に接続されている。スイッチ203は、データ線25と容量素子210との導通および非導通を切り換える第2スイッチトランジスタである。

【0199】

50

スイッチ 204 は、ドレイン電極が参照電源線 24 に接続され、ソース電極が容量素子 210 の第 1 電極に接続されている。スイッチ 204 は、参照電圧 V_{ref} を伝達する参照電源線 24 と容量素子 210 との導通および非導通を切り換える第 3 スイッチトランジスタである。

【0200】

スイッチ 206 は、ドレイン電極が初期化電源線 23 に接続され、ソース電極が容量素子 210 の第 2 電極に接続されている。スイッチ 206 は、初期化電圧 V_{ini} を伝達する初期化電源線 23 と容量素子 210 との導通および非導通を切り換える第 4 スイッチトランジスタである。

【0201】

表示装置 1 は、さらに、スイッチ 205 および 204 を導通状態かつスイッチ 203 を非導通状態とすることにより容量素子 210 に駆動トランジスタ 202 の閾値電圧 V_{th} を保持させる期間である閾値電圧検出期間 (T_{34}) と、スイッチ 205 を非導通状態かつスイッチ 203 を導通状態とすることにより容量素子 210 にデータ電圧 V_{data} を書込む期間である書込み期間 (T_{37}) と、スイッチ 205 を導通状態かつスイッチ 203 を非導通状態とすることにより当該電圧に応じた電流を有機 EL 素子 201 に流す期間である発光期間 (T_{39}) とを実行する制御回路 60 を備える。

【0202】

ここで、制御回路 60 は、さらに、閾値電圧検出期間の終了時点と書込み期間の終了時点との間に、駆動トランジスタ 202 のドレイン電極の電位とソース電極の電位とが同電位となるまで、ドレイン電極に蓄積されている電荷をソース電極へと引き抜く電荷引き抜きステップ (T_{35}) を実行する。

【0203】

[1-3. 駆動方法]

本実施の形態に係る表示装置の駆動方法について、図 7 A および図 7 B を用いて説明する。

【0204】

図 7 A は、実施の形態 1 に係る閾値電圧検出期間終了時点での画素回路の状態図である。また、図 7 B は、実施の形態 1 に係る表示装置の動作タイミングチャートである。

【0205】

本実施の形態に係る表示装置の駆動方法は、従来の表示装置の駆動方法と比較して、閾値検出期間と書込み期間との間に、駆動トランジスタ 202 のドレイン電極の電荷を放電させる放電期間が設けられている点異なる。以下、従来の表示装置の駆動方法と異なる点を中心に説明する。

【0206】

制御回路 60 は、図 7 B における期間 T_{31} から期間 T_{40} を実行する。期間 $T_{31} \sim T_{33}$ および期間 $T_{36} \sim T_{40}$ は、それぞれ、図 2 B における期間 $T_{21} \sim T_{23}$ および期間 $T_{26} \sim T_{30}$ に対応し、これらの期間におけるスイッチ 203 $\sim$ 206 の導通および非導通動作は同じである。

【0207】

以下、本実施の形態に係る駆動方法の特徴的なステップである期間 T_{34} および T_{35} について詳細に説明する。

【0208】

[期間 T_{34}]

期間 T_{34} では、駆動トランジスタ 202 の閾値電圧 V_{th} が容量素子 210 にて検出される。具体的には、時刻 t_{13} において、スイッチ 203 および 206 を非導通状態とし、スイッチ 204 および 205 を導通状態とする。このとき、図 7 B の下段に示すように、駆動トランジスタ 202 のドレイン電位 V_D は、EL アノード電源電圧 V_{tft} ($16V$) となる。この後、初期化期間での電圧設定により有機 EL 素子 201 には電流が流れない状態でドレイン電流が流れ、駆動トランジスタ 202 のソース電位が ($-1.5V$

10

20

30

40

50

へと) 変化する。

【0209】

[期間T35]

次に、時刻 t_{14} において、スイッチ205を非導通状態とする。これにより、閾値電圧検出動作が終了する。しかし、このとき、駆動トランジスタ202のドレイン電流は0となっておらず、つまり、駆動トランジスタ202は導通状態を維持している。図7Bの下段において、時刻 t_{14} では、ソース電位 $V_S = -1.5V$ であり、ゲート電位 $V_G = 1.5V$ であり、 $V_{gs} = 3V$ となっている。本実施の形態では、駆動トランジスタ202の閾値電圧 $V_{th} = 1V$ と設定しているので、時刻 T_{14} では、 $V_{gs} > V_{th}$ であり、駆動トランジスタ202が導通状態である。つまり、制御回路60は、スイッチ205を導通させて(t_{13}) 閾値電圧検出を開始したあと、 $V_{gs} > V_{th}$ の状態ですwitch205を非導通とする(t_{14})。

10

【0210】

これにより、時刻 $t_{14} \sim t_{15}$ の間、駆動トランジスタ202にELアノード電源からの電荷供給がなされない状態でドレイン電極からソース電極へと電荷放電が行われる。よって、ドレイン電位 V_D は低下し、ソース電位 $V_S (-1.5V)$ へと漸近していく。

【0211】

期間T35は、図7Aに示すように、閾値電圧検出期間T34の終了時刻(t_{14})と書込み期間(T37)の終了時刻との間に、駆動トランジスタ202のドレイン電極の電位とソース電極の電位とが同電位となるまで、ドレイン電極に蓄積されている電荷をソース電極へと引き抜く電荷引き抜き期間(放電期間)である。

20

【0212】

より具体的には、上記電荷引き抜き期間では、閾値電圧検出期間T34の後、スイッチ205を非導通状態とし、かつ、スイッチ204を導通状態に維持した状態とすることにより、駆動トランジスタ202のドレイン電極の電位とソース電極の電位とが同電位となるまで、ドレイン電極に蓄積されている電荷をソース電極へと引き抜く。

【0213】

図7Bの右側に、期間T34およびT35の拡大図が示されているが、従来の駆動方法では、データ書込み時にドレイン電極に電荷が残っている。これに対して、本実施の形態に係る駆動方法では、データ書込み時にはドレイン電極から電荷が抜け、ソース電極と同電位となっている。従って、上記T34およびT35の後、書込み期間T37において印加されたデータ電圧 V_{data} により駆動トランジスタ202が導通状態および非導通状態のいずれとなっても、ドレイン電極からソース電極への電荷抜けが発生せず、データ電圧に依存したドレイン電位 V_D の変動は生じない。

30

【0214】

これにより、データ書込み完了時から発光開始時にかけて生じる駆動トランジスタ202のドレイン電極からゲート電極への突抜け電圧のデータ電圧依存性が低減される。よって、全階調範囲における書込み電圧の変動が抑制され、表示パネルの輝度ムラを抑制できる。

【0215】

なお、閾値検出期間T34の終了後に、駆動トランジスタ202を導通状態に維持したままでドレイン電荷を放電させる方法として、例えば、電荷引き抜き期間T35を閾値電圧検出期間T34よりも長く実行すればよい。

40

【0216】

これにより、駆動トランジスタ202のドレイン電極に蓄積されている電荷を、ソース電極へと放電させる期間を長く確保することが可能となる。よって、駆動トランジスタ202のドレイン電極からゲート電極への突抜け電圧を精度よく低減できる。

【0217】

(実施の形態2)

以下、実施の形態2に係る表示装置およびその駆動方法について、図面を参照しながら

50

説明する。本実施の形態に係る表示装置の駆動方法は、実施の形態 1 に係る表示装置の駆動方法が閾値電圧検出期間と書込み期間との間に放電期間を設けるのに対して、書込み期間内で電荷放電を実行させる。以下、実施の形態 1 と同じ構成は説明を省略し、実施の形態 1 と異なる点を中心に説明する。

【0218】

[2-1. 表示装置の全体構成]

本実施の形態に係る表示装置の全体構成は、図 1 に示された表示装置 1 と同様の構成であるため、ここでは、説明を省略する。

【0219】

[2-2. 画素回路構成]

本実施の形態に係る表示装置の画素回路構成は、図 2 A に示された画素 20 の回路構成と同様の構成であるため、ここでは、詳細な説明を省略する。

【0220】

本実施の形態に係る表示装置は、スイッチ 205 および 204 を導通状態かつスイッチ 203 を非導通状態とすることにより容量素子 210 に駆動トランジスタ 202 の閾値電圧 V_{th} を保持させる期間である閾値電圧検出期間 (T_{44}) と、スイッチ 205 を非導通状態かつスイッチ 203 を導通状態とすることにより容量素子 210 にデータ電圧 V_{data} を書込む期間である書込み期間 (T_{47}) と、スイッチ 205 を導通状態かつスイッチ 203 を非導通状態とすることにより当該電圧に応じた電流を有機 EL 素子 201 に流す期間である発光期間 (T_{49}) とを実行する制御回路 60 を備える。

【0221】

ここで、制御回路 60 は、さらに、閾値電圧検出期間の終了時点と書込み期間の終了時点との間に、駆動トランジスタ 202 のドレイン電極の電位とソース電極の電位とが同電位となるまで、ドレイン電極に蓄積されている電荷をソース電極へと引き抜く電荷引き抜きステップ (T_{47}) を実行する。

【0222】

[2-3. 駆動方法]

本実施の形態に係る表示装置の駆動方法について、図 8 A および図 8 B を用いて説明する。

【0223】

図 8 A は、実施の形態 2 に係る書込み期間における画素回路の状態図である。また、図 8 B は、実施の形態 2 に係る表示装置の動作タイミングチャートである。

【0224】

本実施の形態に係る表示装置の駆動方法は、従来の表示装置の駆動方法と比較して、書込み期間の間に、駆動トランジスタ 202 のドレイン電極の電荷を放電させる放電期間が設けられている点異なる。以下、従来の表示装置の駆動方法と異なる点を中心に説明する。

【0225】

制御回路 60 は、図 8 B における期間 T_{41} から期間 T_{50} を実行する。期間 $T_{41} \sim T_{46}$ および期間 $T_{48} \sim T_{50}$ は、それぞれ、図 2 B における期間 $T_{21} \sim T_{26}$ および期間 $T_{28} \sim T_{30}$ に対応し、これらの期間におけるスイッチ 203 $\sim$ 206 の導通および非導通動作は同じである。

【0226】

以下、本実施の形態に係る駆動方法の特徴的なステップである期間 T_{47} について詳細に説明する。

【0227】

[期間 T_{47}]

期間 T_{47} は、データ線 25 から表示階調に応じた映像信号電圧（データ電圧）を画素 20 に取り込み、容量素子 210 に書き込む書込み期間である。具体的には、時刻 t_6 において、スイッチ 203 を導通状態にすることで、データ線 25 およびスイッチ 203 を

10

20

30

40

50

介してデータ電圧が容量素子210の第1電極に印加される。これにより、容量素子210には、 V_{th} 検出期間で保持された駆動トランジスタ202の閾値電圧 V_{th} に加えて、データ電圧と参照電圧 V_{ref} との電圧差が、(容量211の静電容量)/(容量211の静電容量+容量素子210の静電容量)倍されて、記憶(保持)される。なお、容量211は、有機EL素子201が有する寄生容量であってもよいし、容量素子210のようにTFE工程で形成してもよい。

【0228】

また、時刻 t_{26} において、スイッチ203を導通状態とし、データ電圧 V_{data} が駆動トランジスタ202のゲート電極に印加されることで、駆動トランジスタ202が導通状態となる。また、期間 T_{47} では、スイッチ205は非導通状態であるので、駆動トランジスタ202にELアノード電源からの電荷供給がなされない状態でドレイン電極からソース電極へと電荷放電が行われる。これにより、ドレイン電位 V_D は低下し、ソース電位 V_S (-1.5V)へと漸近していく。

【0229】

次に、時刻 t_{27} において、駆動トランジスタ202のドレイン電位 V_D がソース電位 V_S と等しくなった後、スイッチ203を非導通状態とする。

【0230】

期間 T_{47} は、図8Aに示すように、書込み期間であるとともに、駆動トランジスタ202のドレイン電極の電位とソース電極の電位とが同電位となるまで、ドレイン電極に蓄積されている電荷をソース電極へと引き抜く電荷引き抜き期間(放電期間)でもある。

【0231】

つまり、本実施の形態に係る表示装置の駆動方法は、電荷引き抜きステップを、書込みステップが実行される期間内に実行する。

【0232】

より具体的には、上記書き込み期間では、スイッチ205を非導通状態とし、かつ、スイッチ203を導通状態に維持した状態とすることにより、駆動トランジスタ202のドレイン電極の電位とソース電極の電位とが同電位となるまで、ドレイン電極に蓄積されている電荷をソース電極へと引き抜く。

【0233】

図7Bの下段に示すように、期間 T_{47} においてドレイン電極から電荷が抜け、データ書込み完了時にはドレイン電極とソース電極とが同電位となっている。従って、ドレイン電極からソース電極への電荷抜けが発生せず、印加されるデータ電圧 V_{data} に依存したドレイン電位 V_D の変動は生じない。

【0234】

これにより、データ書込み完了時から発光開始時にかけて生じる駆動トランジスタ202のドレイン電極からゲート電極への突抜け電圧のデータ電圧依存性が低減される。よって、書込み電圧の変動が抑制され、表示パネルの輝度ムラを抑制できる。

【0235】

なお、上記期間 T_{47} では、データ電圧の印加により駆動トランジスタ202が導通状態となることで電荷抜けが実現されるが、例えば、低階調(非発光)のデータ電圧の印加では駆動トランジスタ202は導通せず、ドレイン電極から電荷は抜けない。本実施の形態では、中階調付近に発生する階調歪みを解消するものであり、発光領域において階調歪みの発生を抑制すればよい。この観点から、階調特性の歪みが発生する領域が階調特性の歪みが目立たない非発光領域であればよく、発光領域においてドレイン電極の電荷抜けが実行されれば、書込み電圧の変動が抑制され、表示パネルの輝度ムラを抑制できる。

【0236】

また、図8Bでは、書込み期間(T_{47})中のデータ電圧が一定に保たれているが、表示画像によってデータ電圧波形は異なる。例えば、一般的なテレビ放送においては、 T_{47} 中に低階調から高階調にかけて様々なデータ電圧が各行の画素回路に印可されるため、データ電圧波形は複雑なパルス波形となる。しかしながら、ムラが最も見えやすい表示パ

10

20

30

40

50

ターンは、全面を均一階調で表示させるラスタパターンであるので、前述の図 8 B のケースにおいて、中階調付近に発生する階調歪みを解消するように期間 T 4 7 の長さを設定すれば、実使用上は問題ない。この時、期間 T 4 7 中には様々なデータ電圧が容量素子 2 1 0 の第 1 電極に印加されるが、最終的に当該画素に取り込まれるデータ電圧は、時刻 t 2 7 で決定され、それ以前のデータ電圧には依存しない。

【0237】

(実施の形態 3)

以下、実施の形態 3 に係る表示装置およびその駆動方法について、図面を参照しながら説明する。本実施の形態に係る表示装置の駆動方法は、実施の形態 1 に係る表示装置の駆動方法が閾値電圧検出期間と書込み期間との間に放電期間を設けるのに対して、書込み期間内で電荷放電を実行させる。以下、実施の形態 1 と同じ構成は説明を省略し、実施の形態 1 と異なる点を中心に説明する。

【0238】

[3-1. 表示装置の全体構成]

本実施の形態に係る表示装置の全体構成は、図 1 に示された表示装置 1 と同様の構成であるため、ここでは、説明を省略する。

【0239】

[3-2. 画素回路構成]

本実施の形態に係る表示装置の画素回路構成は、図 2 A に示された画素 2 0 の回路構成と同様の構成であるため、ここでは、詳細な説明を省略する。

【0240】

本実施の形態に係る表示装置は、スイッチ 2 0 5 および 2 0 4 を導通状態かつスイッチ 2 0 3 を非導通状態とすることにより容量素子 2 1 0 に駆動トランジスタ 2 0 2 の閾値電圧 V_{th} を保持させる期間である閾値電圧検出期間 (T 5 4) と、スイッチ 2 0 5 を非導通状態かつスイッチ 2 0 3 を導通状態とすることにより容量素子 2 1 0 にデータ電圧 V_{data} を書込む期間である書込み期間 (T 5 7) と、スイッチ 2 0 5 を導通状態かつスイッチ 2 0 3 を非導通状態とすることにより当該電圧に応じた電流を有機 EL 素子 2 0 1 に流す期間である発光期間 (T 5 9) とを実行する制御回路 6 0 を備える。

【0241】

ここで、制御回路 6 0 は、さらに、閾値電圧検出期間の終了時点と書込み期間の終了時点との間に、駆動トランジスタ 2 0 2 のドレイン電極の電位とソース電極の電位とが同電位となるまで、ドレイン電極に蓄積されている電荷をソース電極へと引き抜く電荷引き抜きステップ (T 5 7) を実行する。

【0242】

[3-3. 駆動方法]

本実施の形態に係る表示装置の駆動方法について、図 9 A および図 9 B を用いて説明する。

【0243】

図 9 A は、実施の形態 3 に係る書込み期間における画素回路の状態図である。また、図 9 B は、実施の形態 3 に係る表示装置の動作タイミングチャートである。

【0244】

本実施の形態に係る表示装置の駆動方法は、従来の表示装置の駆動方法と比較して、書込み期間の間に、駆動トランジスタ 2 0 2 のドレイン電極の電荷を放電させるプレ書込み期間が設けられている点異なる。以下、従来の表示装置の駆動方法と異なる点を中心に説明する。

【0245】

制御回路 6 0 は、図 9 B における期間 T 5 1 から期間 T 6 0 を実行する。期間 T 5 1 ~ T 5 6 および期間 T 5 8 ~ T 6 0 は、それぞれ、図 2 B における期間 T 2 1 ~ T 2 6 および期間 T 2 8 ~ T 3 0 に対応し、これらの期間におけるスイッチ 2 0 3 ~ 2 0 6 の導通および非導通動作は同じである。

【0246】

以下、本実施の形態に係る駆動方法の特徴的なステップである期間T57について詳細に説明する。

【0247】

[期間T57]

期間T57は、データ線25から表示階調に応じた映像信号電圧（データ電圧）を画素20に取り込み、容量素子210に書き込む書込み期間である。なお、書込み期間T57は、プレ書込み期間とデータ電圧書込み期間とで構成されている。

【0248】

まず、時刻t36において、スイッチ203を導通状態にする。

10

【0249】

次に、データ線駆動回路40は、データ線25およびスイッチ203を介して、駆動トランジスタ202のゲート電極および容量素子210の第1電極に、所定の電圧VDHを印可する。VDHは、駆動トランジスタ202のドレイン電極の電位とソース電極の電位とが同電位となるまで、ドレイン電極に蓄積されている電荷をソース電極へと引き抜くために必要な電圧であり、一例として最大階調を表す電圧を印加する。なお、最大階調を表す電圧とは、データ電圧Vdataの範囲が0V（最低階調）～10V（最高階調）である場合には、10Vである。これにより、VDHが駆動トランジスタ202のゲート電極に印加されることで、駆動トランジスタ202が導通状態となる。また、期間T57では、スイッチ205は非導通状態であるので、駆動トランジスタ202にELアノード電源からの電荷供給がなされない状態でドレイン電極からソース電極へと電荷放電が行われる。これにより、ドレイン電位VDは低下し、ソース電位VSと等しくなる。期間T57におけるVDHが印加される期間は、駆動トランジスタ202のドレイン電極の電位とソース電極の電位とが同電位となるまで、ドレイン電極に蓄積されている電荷をソース電極へと引き抜く電荷引き抜き期間（プレ書込み期間）である。

20

【0250】

次に、データ線駆動回路40は、データ線25およびスイッチ203を介して、駆動トランジスタ202のゲート電極および容量素子210の第1電極に、データ電圧Vdataを印加する。これにより、容量素子210には、Vth検出期間で保持された駆動トランジスタ202の閾値電圧Vthに加えて、データ電圧と参照電圧Vrefとの電圧差が、（容量211の静電容量）／（容量211の静電容量＋容量素子210の静電容量）倍されて、記憶（保持）される。なお、容量211は、有機EL素子201が有する寄生容量であってもよいし、容量素子210のようにTFTE工程で形成してもよい。

30

【0251】

次に、時刻t37において、スイッチ203を非導通状態とする。

【0252】

期間T57は、図9Aに示すように、VDHを書き込むプレ書込み期間とVdataを書き込むデータ電圧書込み期間とで構成される。プレ書込み期間により、データ電圧Vdataが書き込まれる前に、駆動トランジスタ202のドレイン電極の電位とソース電極の電位とが同電位となるまで、ドレイン電極に蓄積されている電荷をソース電極へと引き抜かれる。

40

【0253】

つまり、本実施の形態に係る表示装置の駆動方法は、電荷引き抜きステップを、書込みステップの前半に実行する。

【0254】

より具体的には、上記プレ書込み期間では、スイッチ205を非導通状態とし、かつ、スイッチ203を導通状態に維持し、最大階調を表す電圧（VDH）を駆動トランジスタ202のゲート電極に印加することにより、駆動トランジスタ202のドレイン電極の電位とソース電極の電位とが同電位となるまで、ドレイン電極に蓄積されている電荷をソース電極へと引き抜く。

50

【0255】

図9Bの下段に示すように、期間T57においてドレイン電極から電荷が抜け、データ書込み完了時にはドレイン電極とソース電極とが同電位となっている。従って、ドレイン電極からソース電極への電荷抜けが発生せず、印加されるデータ電圧Vdataに依存したドレイン電位VDの変動は生じない。

【0256】

これにより、データ書込み完了時から発光開始時にかけて生じる駆動トランジスタ202のドレイン電極からゲート電極への突抜け電圧のデータ電圧依存性が低減される。よって、全階調範囲における書込み電圧の変動が抑制され、表示パネルの輝度ムラを抑制できる。

10

【0257】

なお、上記期間T57は、行順次走査における単位水平走査期間(1H)内に実行されてもよい。これにより、書込み期間内に、最大階調を表す電圧VDHとデータ電圧Vdataとを印加する必要があるので、データ線25を倍速駆動させる必要はあるものの、駆動トランジスタ202のドレイン電極に蓄積されている電荷を放電させるための期間を別途設ける必要がない。よって、発光デューティ比などを制限させずに書込み電圧の変動を抑制できる。

【0258】

あるいは、上記期間T57において、プレ書込み期間を複数行の画素に対して同時に実施した後、各行のデータ書込みを行っても良い。一例として、プレ書込み期間を2行同時に実施した後、2行分のデータ書込みを行う場合を考える。この場合、2水平走査期間(2H)内に、1回のプレ書込みと2行分のデータ書込みを行えばよいので、データ線の駆動周波数は、 $(1+2)/2=1.5$ 倍速駆動となり、上述の倍速駆動よりも駆動周波数を遅くすることが出来る。プレ書込みを同時に行う行数を増やすほど、データ線の駆動周波数を遅くすることが出来るので、データ線駆動回路の消費電力を低減したい場合などに有効である。

20

【0259】

(その他の実施の形態)

以上、実施の形態1～3に係る表示装置およびその駆動方法について説明したが、本発明表示装置およびその駆動方法は、上述した実施の形態に限定されるものではない。実施の形態1～3に対して、本発明の主旨を逸脱しない範囲で当業者が思いつく各種変形を施して得られる変形例や、実施の形態1～3に係る表示装置のいずれかを内蔵した各種機器も本発明に含まれる。

30

【0260】

また、上記実施の形態1～3では、本発明に係る表示装置が有する画素回路構成の一例を挙げたが、画素20の回路構成は上記回路構成に限定されない。上記実施の形態1～3では、ELアノード電源線21とELカソード電源線22との間に、スイッチ205、駆動トランジスタ202および有機EL素子201が、この順に配置されている構成を例示したが、これらの3素子が異なる順で配置されていてもよい。つまり、本発明の表示装置は、駆動トランジスタがn型であってもp型であっても、駆動トランジスタ202のドレイン電極およびソース電極、ならびに有機EL素子201のアノード電極およびカソード電極が、ELアノード電源線21とELカソード電源線22との間の電流径路上に配置されていればよく、駆動トランジスタ202および有機EL素子201の配置順には限定されない。

40

【0261】

また、上記実施の形態では、スイッチ203～206は、ゲート電極、ソース電極およびドレイン電極を有するMOSFETであることを前提として説明してきたが、これらのトランジスタには、ベース、コレクタおよびエミッタを有するバイポーラトランジスタが適用されてもよい。この場合にも、本発明の目的が達成され同様の効果を奏する。

【0262】

50

また、上記実施の形態に係る表示装置に含まれる制御回路および演算回路は、典型的には集積回路である L S I として実現される。なお、上記表示装置に含まれる制御回路および演算回路の一部を、表示部 2 と同一の基板上に集積することも可能である。また、専用回路又は汎用プロセッサで実現してもよい。また、L S I 製造後にプログラムすることが可能な F P G A (F i e l d P r o g r a m m a b l e G a t e A r r a y)、又は L S I 内部の回路セルの接続や設定を再構成可能なリコンフィギュラブル・プロセッサを利用してもよい。

【0263】

また、上記実施の形態に係る表示装置に含まれる走査線駆動回路 50、データ線駆動回路 40、および制御回路 60 の機能の一部を、C P U 等のプロセッサがプログラムを実行することにより実現してもよい。

10

【0264】

また、上記実施の形態 1 ～ 3 に係る表示装置では、有機 E L 素子を用いた表示装置である場合を例に述べたが、有機 E L 素子以外の発光素子を用いた表示装置に適用してもよい。

【0265】

また、例えば、実施の形態 1 ～ 3 に係る表示装置は、図 10 に示されたような薄型フラット T V に内蔵される。上記実施の形態 1 ～ 3 のいずれかに係る表示装置が内蔵されることにより、表示ムラが抑制された高精度な画像表示が可能な薄型フラット T V が実現される。

20

【産業上の利用可能性】

【0266】

本発明は、特に、アクティブ型の有機 E L フラットパネルディスプレイに有用である。

【符号の説明】

【0267】

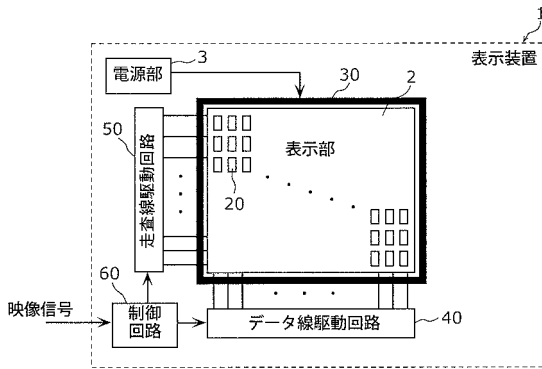
- 1 表示装置
- 2 表示部
- 3 電源部
- 6、6 A 表示パネル
- 20 画素
- 21 E L アノード電源線
- 22 E L カソード電源線
- 23 初期化電源線
- 24 参照電源線
- 25 データ線
- 30 給電線
- 40 データ線駆動回路
- 50 走査線駆動回路
- 51 ドライバ I C
- 52、53、54 フレキ部分
- 60 制御回路
- 93 走査線
- 94 参照電圧制御線
- 95 発光制御線
- 96 初期化制御線
- 201 有機 E L 素子
- 202 駆動トランジスタ
- 203、204、205、206 スイッチ
- 210 容量素子
- 211 容量

30

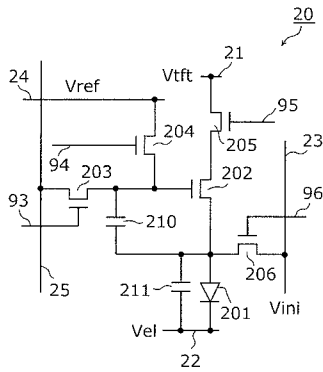
40

50

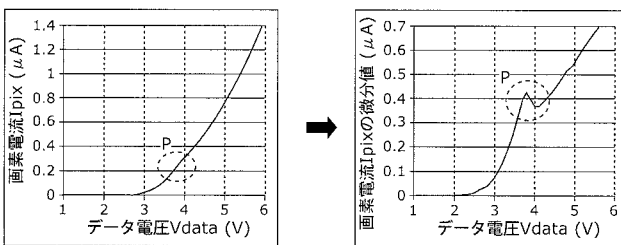
【図 1】



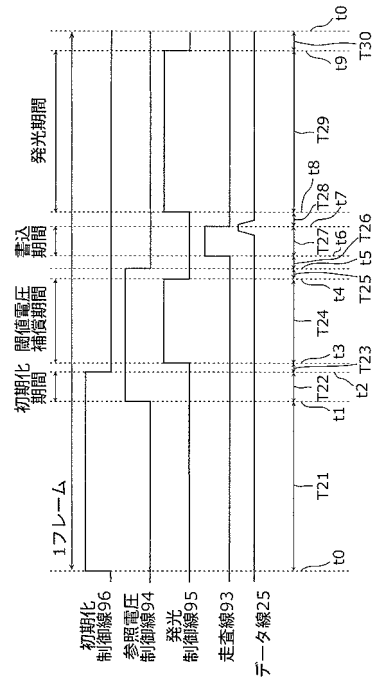
【図 2 A】



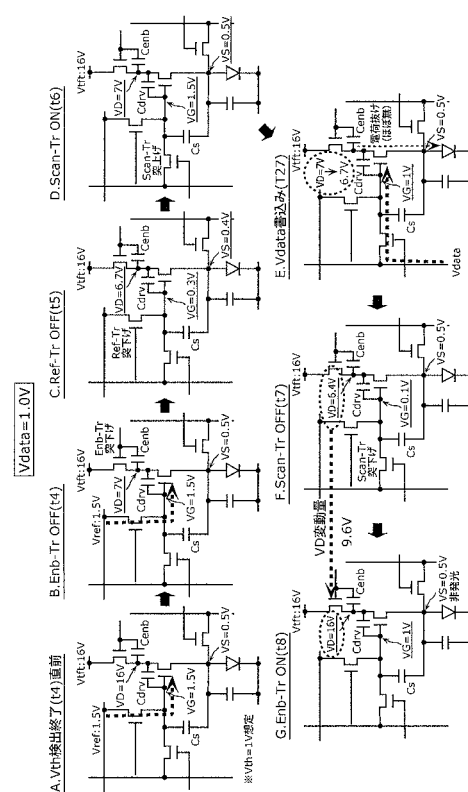
【図 3】



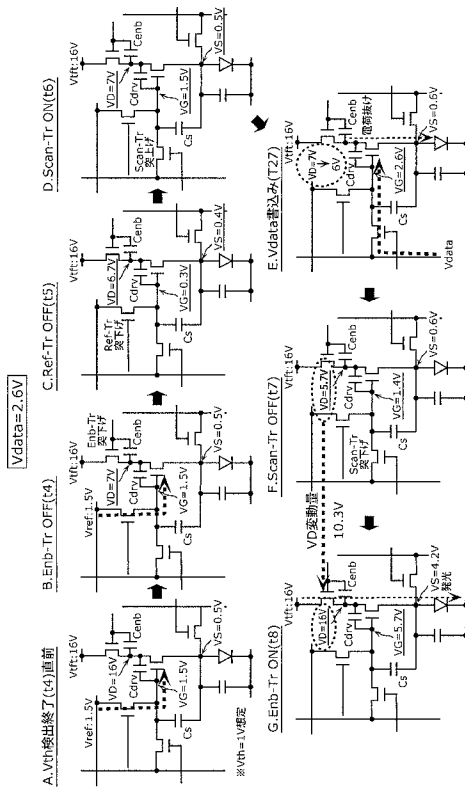
【図 2 B】



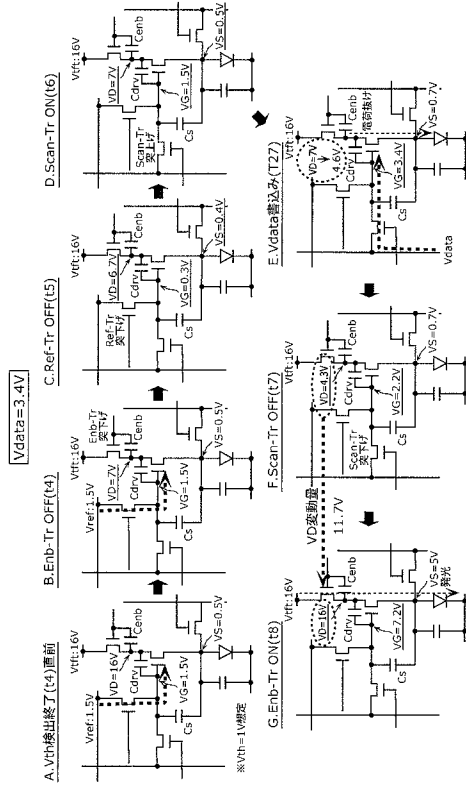
【図 4 A】



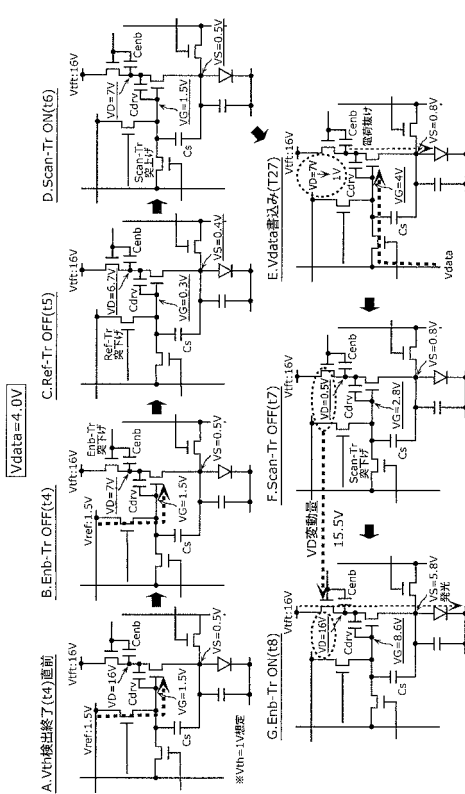
【図 4 B】



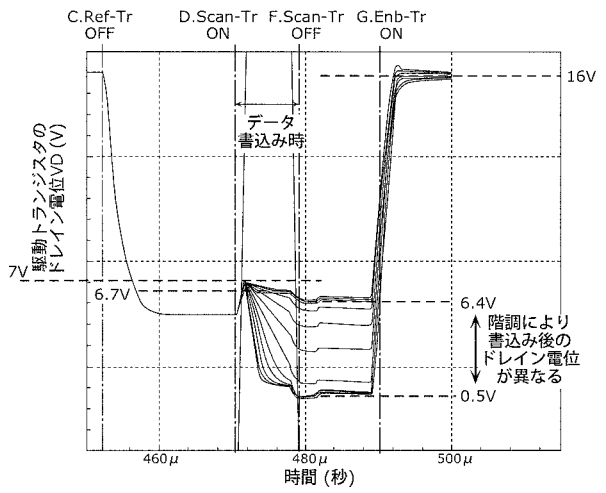
【図 4 C】



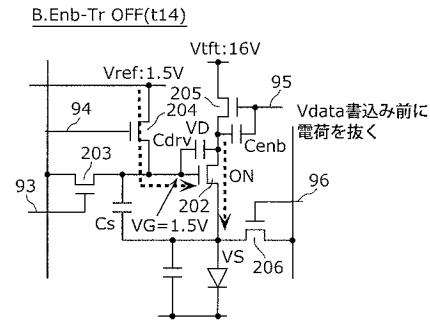
【図 4 D】



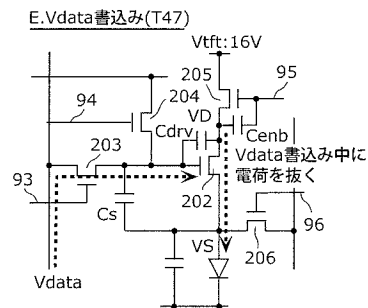
【図 5】



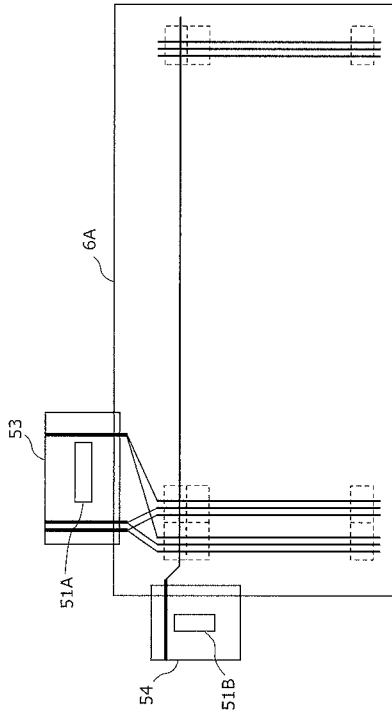
【图 7 A】



【图 8 A】



【図 1 2】



フロントページの続き

(51)Int.Cl. F I テーマコード (参考)
H 0 5 B 33/14 A

F ターム (参考) 5C080 AA06 BB05 DD05 DD26 EE29 FF11 FF12
5C380 AA01 AB06 AB21 AB22 AC07 BA01 BA06 BA38 BA39 BB02
CA08 CA12 CA53 CB01 CB16 CB17 CC04 CC07 CC27 CC30
CC33 CC39 CC61 CC65 CD025 CF62 DA02 DA06

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JP2016095366A	公开(公告)日	2016-05-26
申请号	JP2014230722	申请日	2014-11-13
[标]申请(专利权)人(译)	日本有机雷特显示器股份有限公司		
申请(专利权)人(译)	株式会社JOLED		
[标]发明人	戎野浩平 小野晋也		
发明人	戎野 浩平 小野 晋也		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.611.H G09G3/20.624.B G09G3/20.641.D G09G3/20.642.A H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD26 5C080/EE29 5C080/FF11 5C080/FF12 5C380/AA01 5C380/AB06 5C380/AB21 5C380/AB22 5C380/AC07 5C380/BA01 5C380/BA06 5C380/BA38 5C380/BA39 5C380/BB02 5C380/CA08 5C380/CA12 5C380/CA53 5C380/CB01 5C380/CB16 5C380/CB17 5C380/CC04 5C380/CC07 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC61 5C380/CC65 5C380/CD025 5C380/CF62 5C380/DA02 5C380/DA06		
代理人(译)	吉川修 Sobashima正雄		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种显示装置，其中抑制了由于开关元件的穿通电压引起的写入电压的波动。显示装置的驱动方法是在将基准电压施加到驱动晶体管202的栅极，并且将驱动晶体管202的阈值电压施加到电容器210的状态下，将开关205接通而将开关203断开。用于保持的阈值电压检测步骤，用于通过将开关205设置为非导通状态和将开关203设置为导通状态而将数据电压写入电容器210的写入步骤，以及通过将开关205设置为导通状态来进行数据电压写入的步骤。在使根据有机EL元件201的电流流动的发光步骤与阈值电压检测步骤的结束时间与写入步骤的结束时间之间，直到驱动晶体管202的漏极和源极之间的漏极中的蓄积具有相同的电位。将存储的费用提取到来源。[选择图]图7B

