

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-118283

(P2011-118283A)

(43) 公開日 平成23年6月16日(2011.6.16)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 621L	5C080
H01L 51/50 (2006.01)	G09G 3/20 622E	5C380
H05B 33/12 (2006.01)	G09G 3/20 621M	
	G09G 3/20 680G	
審査請求 未請求 請求項の数 6 O L (全 14 頁) 最終頁に続く		

(21) 出願番号	特願2009-277606 (P2009-277606)	(71) 出願人	000001007
(22) 出願日	平成21年12月7日 (2009.12.7)		キヤノン株式会社
			東京都大田区下丸子3丁目30番2号
		(74) 代理人	100096828
			弁理士 渡辺 敬介
		(74) 代理人	100110870
			弁理士 山口 芳広
		(72) 発明者	郷田 達人
			東京都大田区下丸子3丁目30番2号 キ
			ヤノン株式会社内
		(72) 発明者	川野 藤雄
			東京都大田区下丸子3丁目30番2号 キ
			ヤノン株式会社内
		Fターム(参考)	3K107 AA01 BB01 CC21 CC43 EE03
			FF00 HH02 HH04 HH05
			最終頁に続く

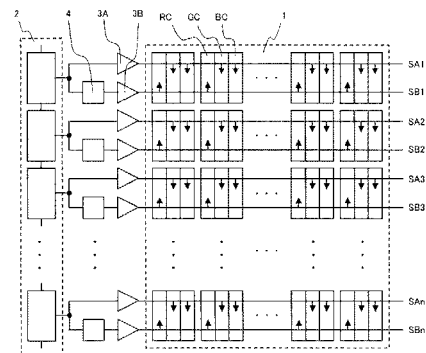
(54) 【発明の名称】 表示装置及びそれを用いた電子機器

(57) 【要約】

【課題】トランジスタの信頼性を損なうことなく安定に表示する有機EL素子が積層されたアクティブマトリクス方式の表示装置を提供する。また、額縁領域をバランス良く、かつ効率の良いレイアウトを可能とし、小型化に適した表示装置を提供する。

【解決手段】第1の表示素子と、第2の表示素子と、画素と、表示領域と、第1の画素回路と、第2の画素回路と、制御回路と、を有する表示装置であって、第1の画素回路に供給される制御信号のハイレベルの信号電圧と第2の画素回路に供給される制御信号のハイレベルの信号電圧は異なる電圧であり、第1の画素回路に供給される制御信号のローレベルの信号電圧と第2の画素回路に供給される制御信号のローレベルの信号電圧は異なる電圧であることを特徴とする表示装置。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

第 1 の表示素子と、
第 2 の表示素子と、
前記第 1 の表示素子及び前記第 2 の表示素子が積層されてなる画素と、
前記画素がマトリックス状に複数配置された表示領域と、
前記第 1 の表示素子を駆動するための第 1 の画素回路と、
前記第 2 の表示素子を駆動するための第 2 の画素回路と、
前記第 1 の画素回路及び前記第 2 の画素回路に制御信号を供給する制御回路と、
を有する表示装置であって、
前記第 1 の画素回路に供給される制御信号のハイレベルの信号電圧と前記第 2 の画素回路
に供給される制御信号のハイレベルの信号電圧は異なる電圧であり、
前記第 1 の画素回路に供給される制御信号のローレベルの信号電圧と前記第 2 の画素回路
に供給される制御信号のローレベルの信号電圧は異なる電圧であることを特徴とする表示
装置。

10

【請求項 2】

前記第 1 の画素回路及び前記第 2 の画素回路のうち、
一方の画素回路に供給される制御信号のハイレベルの信号電圧が V_1 であり、
他方の画素回路に供給される制御信号のハイレベルの信号電圧が V_2 ($< V_1$) である場
合、
ハイレベルの信号電圧として V_1 の制御信号が供給される画素回路には、ローレベルの信
号電圧として V_2 の制御信号が入力されることを特徴とする請求項 1 に記載の表示装置。

20

【請求項 3】

前記制御回路は、シフトレジスタと、レベルシフタと、第 1 の出力バッファと、第 2 の
出力バッファと、を有し、
前記シフトレジスタの一出力は、前記第 1 の出力バッファと、前記レベルシフタと、にそ
れぞれ入力され、
前記レベルシフタの出力は、前記第 2 の出力バッファに入力され、
前記第 1 の画素回路に供給される制御信号は、前記第 1 の出力バッファから出力された制
御信号であり、
前記第 2 の画素回路に供給される制御信号は、前記第 2 の出力バッファから出力された制
御信号であることを特徴とする請求項 1 または 2 に記載の表示装置。

30

【請求項 4】

前記制御回路は、シフトレジスタと、レベルシフタと、第 1 の出力バッファと、第 2 の
出力バッファと、を有し、
前記シフトレジスタの一出力は、前記第 1 の出力バッファに入力され、
前記第 1 の出力バッファの出力は、前記レベルシフタに入力され、
前記レベルシフタの出力は、前記第 2 の出力バッファに入力され、
前記第 1 の画素回路に供給される制御信号は、前記第 1 の出力バッファから出力された制
御信号であり、
前記第 2 の画素回路に供給される制御信号は、前記第 2 の出力バッファから出力された制
御信号であることを特徴とする請求項 1 または 2 に記載の表示装置。

40

【請求項 5】

前記シフトレジスタと前記第 1 の出力バッファが配置される領域は、前記レベルシフタ
と前記第 2 の出力バッファが配置される領域とは前記表示領域を挟んで反対側に配置され
ることを特徴とする請求項 4 に記載の表示装置。

【請求項 6】

請求項 1 ~ 5 のいずれか 1 項に記載の表示装置を用いたことを特徴とする電子機器。

【発明の詳細な説明】**【技術分野】**

50

【 0 0 0 1 】

本発明は、表示装置及びそれを用いた電子機器に関し、特に異なる発光色を有する有機エレクトロルミネッセンス素子（以後、有機ＥＬ素子という）が積層された有機ＥＬ表示装置及びそれを用いた電子機器に関する。

【 背景技術 】

【 0 0 0 2 】

有機ＥＬ表示装置は、薄型化、低消費電力化が期待される自発光型デバイスとして多くの注目を集めている。

【 0 0 0 3 】

有機ＥＬ表示装置などにおいて、アクティブマトリックス型の表示装置では、表示領域に表示素子がマトリックス状に配置され、表示素子に対応して配置された画素回路によって表示素子が制御されて表示が行われる。各画素回路を制御する駆動回路は表示領域の周辺部に設けられ、画素領域周辺にはその他に、電源配線、信号配線といった配線が形成される。各画素回路、及び表示領域の周辺部に設けられる駆動回路は薄膜トランジスタ（ＴＦＴ）で構成され、表示品位を決定する重要な要素となっている。

10

【 0 0 0 4 】

一般的に、有機ＥＬ表示装置では、表示素子である有機ＥＬ素子を並列に配置する構成が採用されている。その構成では、Ｒ（赤）、Ｇ（緑）、Ｂ（青）の３つのサブピクセルを並列に配置して１画素を成している。この場合、１画素の領域をＲ、Ｇ、Ｂの３つのサブピクセルに分割している。

20

【 0 0 0 5 】

この構成に対して、特許文献１では複数の有機ＥＬ素子ＢＵ，ＧＵ，ＲＵをサブピクセル領域に積層し、積層した有機ＥＬ素子に接続される全てのアクティブ素子（ＴＦＴ）を、絶縁基板ＳＵＢとこの絶縁基板に最も近い有機ＥＬ素子ＢＵの層との間に形成している。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 6 】

【 特許文献１ 】 特開 2 0 0 7 - 0 1 2 3 5 9 号 公 報

【 発明の概要 】

30

【 発明が解決しようとする課題 】

【 0 0 0 7 】

しかしながら、特許文献１では、積層した複数の有機ＥＬ素子ＢＵ，ＧＵ，ＲＵをそれぞれ独立に駆動する画素回路において、該画素回路を構成するＴＦＴを制御する際、各ＴＦＴのゲートに入力する制御信号を共通にすると、制御信号の振幅電圧が大きくなる。そのため、この電圧がＴＦＴの耐圧を超えるならば、ＴＦＴを破壊する可能性が高く、回路の信頼性を著しく低下させる。よって、信頼性を低下させることなく安定に表示を行う駆動回路が必要となる。

【 0 0 0 8 】

そこで、本発明は、ＴＦＴの信頼性を損なうことなく安定に表示する有機ＥＬ素子が積層されたアクティブマトリックス方式の表示装置及びそれを用いた電子機器を提供することを目的とする。また、額縁領域をバランス良く、かつ効率の良いレイアウトを可能とし、小型化に適した表示装置及びそれを用いた電子機器を提供することを目的とする。

40

【 課題を解決するための手段 】

【 0 0 0 9 】

上記課題を解決するために、本発明は、第１の表示素子と、第２の表示素子と、前記第１の表示素子及び前記第２の表示素子が積層されてなる画素と、前記画素がマトリックス状に複数配置された表示領域と、前記第１の表示素子を駆動するための第１の画素回路と、前記第２の表示素子を駆動するための第２の画素回路と、前記第１の画素回路及び前記第２の画素回路に制御信号を供給する制御回路と、を有する表示装置であって、前記第１

50

の画素回路に供給される制御信号のハイレベルの信号電圧と前記第 2 の画素回路に供給される制御信号のハイレベルの信号電圧は異なる電圧であり、前記第 1 の画素回路に供給される制御信号のローレベルの信号電圧と前記第 2 の画素回路に供給される制御信号のローレベルの信号電圧は異なる電圧であることを特徴とする表示装置を提供するものである。

【発明の効果】

【0010】

本発明によれば、TFT の信頼性を損なうことなく安定に表示する有機 EL 素子が積層されたアクティブマトリックス方式の表示装置及びそれを用いた電子機器を提供することができる。また、表示領域を挟んでシフトレジスタ配置側とは反対側にレベルシフトを配置することで額縁領域をバランス良く、かつ効率の良いレイアウトを可能とし、小型化に

10

【図面の簡単な説明】

【0011】

【図 1】本発明の第 1 の実施形態の有機 EL 表示装置を示す概略図である。

【図 2】走査信号線 (SA1 ~ SAN) における走査信号の波形を示す。

【図 3】走査信号線 (SB1 ~ SBn) における走査信号の波形を示す。

【図 4】本発明のレベルシフトの一例を示す。

【図 5】本発明の第 1 の実施形態のレベルシフト及びタイミングチャートである。

【図 6】本発明の有機 EL 表示装置の有機 EL 表示素子と画素回路の説明図である。

【図 7】本発明の第 2 の実施形態の有機 EL 表示装置を示す概略図である。

20

【図 8】本発明の第 3 の実施形態の有機 EL 表示装置を示す概略図である。

【図 9】本発明の表示装置を用いたデジタルスチルカメラシステムである。

【図 10】比較例の有機 EL 表示装置を示す図である。

【発明を実施するための形態】

【0012】

本発明の表示装置は、第 1 の表示素子と、第 2 の表示素子と、第 1 の表示素子を駆動するための第 1 の画素回路と、第 2 の表示素子を駆動するための第 2 の画素回路と、第 1 の画素回路及び第 2 の画素回路に制御信号を供給する制御回路と、を有する。

【0013】

図 1 は本発明の表示装置の一実施形態である。

30

【0014】

図 1 には、画素回路 RC、画素回路 GC、画素回路 BC の 3 つの画素回路が配置されている。図示していないが、各画素回路にはそれぞれ表示素子が接続されている。シフトレジスタ 2、出力バッファ 3A、3B、レベルシフト 4 で構成される回路が、各画素回路に制御信号を供給する制御回路であるが、本発明の表示装置に用いられる制御回路は、これらの構成に限定されるわけではない。制御回路から画素回路 GC 及び画素回路 BC に供給される制御信号と、制御回路から画素回路 RC に供給される制御信号は、別々に制御されている。本発明の表示装置は、制御回路によって別々に制御される画素回路が 2 つあれば良く、図 1 の表示装置では、画素回路 GC と画素回路 BC のうちの 1 つの画素回路と、画素回路 RC、の 2 つの画素回路があれば良い。ただし、図 1 のように 3 つの画素回路を用

40

【0015】

また、本発明の表示装置は、第 1 の表示素子及び第 2 の表示素子が積層されて画素を構成し、該画素がマトリックス状に複数配置されて表示領域となっている。

【0016】

次に、第 1 の画素回路及び第 2 の画素回路に供給される制御信号の信号電圧について説明する。

【0017】

各画素回路に供給される制御信号のハイレベル (H レベル) の信号電圧は、制御回路により、第 1 の画素回路に供給される制御信号のハイレベルの信号電圧と第 2 の画素回路に

50

供給される制御信号のハイレベルの信号電圧が異なる電圧に設定される。

【0018】

一方、各画素回路に供給される制御信号のローレベル（Ｌレベル）の信号電圧は、制御回路により、第１の画素回路に供給される制御信号のローレベルの信号電圧と第２の画素回路に供給される制御信号のローレベルの信号電圧が異なる電圧に設定される。

【0019】

第１の画素回路と第２の画素回路に供給される制御信号が、制御回路により別々に制御されるため、各画素回路に供給される制御信号の信号電圧を上記のように設定できる。

【0020】

ここで、第１の画素回路及び第２の画素回路のうち、一方の画素回路に供給される制御信号のハイレベルの信号電圧を V_1 、他方の画素回路に供給される制御信号のハイレベルの信号電圧を V_2 （ $< V_1$ ）に設定したとする。この場合、ハイレベルの信号電圧として V_1 の制御信号が供給される画素回路には、ローレベルの信号電圧として V_2 の制御信号が供給するのが好ましい。

10

【0021】

本発明の実施形態について、以下、図１から図９の図面を用いて説明する。図面において、本発明に関係ない部分は、本発明の説明を明確にするために省略し、説明全般にわたって類似する部分については同じ参照符号を付けている。なお、これらの図は本発明に係る有機ＥＬ表示装置の構成の一例について、構成の一部を取り出して模式的に示すものである。

20

【0022】

（第１の実施形態）

図１は、本実施形態における有機ＥＬ表示装置を示す概略図である。

【0023】

図１における１は表示領域であり、ＲＣはＲ（赤）の有機ＥＬ表示素子を駆動する画素回路、ＧＣはＧ（緑）の有機ＥＬ表示素子を駆動する画素回路、ＢＣはＢ（青）の有機ＥＬ表示素子を駆動する画素回路を示している。表示領域１に画素回路ＲＣ、ＧＣ、ＢＣがマトリックス状に複数配置されている。２は走査信号を生成するシフトレジスタである。３Ａ、３Ｂは出力バッファ、４はレベルシフタを示している。シフトレジスタ２の各段からの出力は出力バッファ３Ａ及びレベルシフタ４に入力される。出力バッファ３Ａの出力は走査信号線（ SA_1 ， SA_2 ， SA_3 ，・・・， SA_n ）に接続される。レベルシフタ４からの出力は出力バッファ３Ｂに入力され、出力バッファ３Ｂの出力は走査信号線（ SB_1 ， SB_2 ， SB_3 ，・・・， SB_n ）に接続される。

30

【0024】

つまり、本実施形態の制御回路はシフトレジスタ２と、レベルシフタ４と、２つの出力バッファ（第１の出力バッファ、第２の出力バッファ）と、を有する。本実施形態において、第１の出力バッファ及び第２の出力バッファのうち、一方は出力バッファ３Ａであり、他方は出力バッファ３Ｂである。シフトレジスタ２の一出力は、出力バッファ３Ａと、レベルシフタ４と、にそれぞれ入力され、レベルシフタ４の出力は、出力バッファ３Ｂに入力される。画素回路ＧＣ又は画素回路ＢＣが第１の画素回路である場合、第１の画素回路に入力される制御信号は、出力バッファ３Ａから出力された制御信号であり、第２の画素回路（画素回路ＲＣ）に入力される制御信号は、出力バッファ３Ｂから出力された制御信号である。

40

【0025】

走査信号線（ $SA_1 \sim SA_n$ ）は、画素回路ＧＣ、ＢＣに入力され、走査信号線（ $SB_1 \sim SB_n$ ）は、画素回路ＲＣに入力される。図１における走査信号線（ $SA_1 \sim SA_n$ ）、走査信号線（ $SB_1 \sim SB_n$ ）に付随する矢印は、その矢印の先の画素回路に入力されることを模式的に示している。

【0026】

ここで、走査信号線（ $SA_1 \sim SA_n$ ）における走査信号のハイ（Ｈ）レベルは V_1 、

50

ロー（L）レベルはV2である。走査信号線（SB1～SBn）における走査信号のハイ（H）レベルはV2、ロー（L）レベルはV3である。ただし、電位関係は、 $V1 > V2 > V3$ とする。

【0027】

図2は走査信号線（SA1～SA n）における走査信号の波形を示している。SA1からSA nまで順次Hレベル（V1）となるように走査信号が出力されている。

【0028】

図3は走査信号線（SB1～SB n）における走査信号の波形を示している。SB1からSB nまで順次Hレベル（V2）となるように走査信号が出力されている。

【0029】

本実施形態におけるレベルシフタは、信号レベル〔Hレベル：V1、Lレベル：V2〕を、異なる信号レベル〔Hレベル：V2、Lレベル：V3〕へと変換するものである。図4は本発明のレベルシフタの一例を示す回路図である。基本的な動作については、特開2004-120735号公報に記載されているので説明を省略する。

【0030】

図5は本実施形態のレベルシフタの回路図（a）、及びタイミングチャート（b）である。

【0031】

図5（a）に示したレベルシフタは、コンデンサCと、インバータ回路INV2、INV3と、スイッチとして作用するトランジスタ（M16）から構成される。入力信号INがコンデンサCの一方の端子に入力され、コンデンサCのもう一方の端子はインバータ回路INV2の入力部に接続されている。インバータ回路INV2の出力部はインバータ回路INV3の入力部に接続され、インバータ回路INV3の出力部からはレベルシフタの出力信号OUTが出力される。インバータ回路INV2の入力部と電源V3との間にはトランジスタ（M16）が接続されており、トランジスタ（M16）のゲートには制御信号RSTが入力される。インバータ回路INV2、INV3は電源V2、V3が供給される。

【0032】

次に、図5（b）のタイミングチャートを用いて、より具体的にレベルシフタの動作を説明する。ただし、トランジスタ（M16）はNチャネル、制御信号RSTはHレベル：V2、Lレベル：V3の場合として説明する。

【0033】

〔時刻t1～t2〕

制御信号RSTがHレベルであり、トランジスタ（M16）はONしており、インバータ回路INV2には電圧V3（L）レベルが入力される。よって、出力信号OUTはL（V3）レベルが出力されている。また、入力信号INはL（V2）レベルである。

【0034】

〔時刻t2～t3〕

制御信号RSTがLレベルであり、トランジスタ（M16）はOFFしているが、インバータ回路INV2の入力部は電圧V3（L）レベルが保持されたままであり、出力信号OUTはL（V3）レベルが出力されている。また、入力信号INはL（V2）レベルのままである。

【0035】

〔時刻t3～t4〕

入力信号INは時刻t3においてL（V2）レベルからH（V1）レベルに変化する。このとき、コンデンサCによる容量結合によってインバータ回路INV2の入力部における電位は電圧V3（L）レベルから上昇する。この電圧上昇量はコンデンサCの容量値に加えて、INV2の入力容量、トランジスタ（M16）におけるサイドウォール容量等の寄生容量の大きさによるが、INV2の閾値電圧を超えるようにコンデンサCの容量値を設計すれば良い。インバータ回路INV2の入力部の電位が閾値電圧を超えるとINV2

10

20

30

40

50

の出力が反転し、出力信号OUTはL(V3)レベルからH(V2)レベルに変化する。出力信号OUTは時刻t4までH(V2)レベルを保持する。図示していないが、ここで入力信号INがH(V1)レベルからL(V2)レベルに変化すると、コンデンサCによる容量結合によってインバータ回路INV2の入力部における電位は下降する。そして、INV2の閾値電圧より電位が低くなると、出力信号OUTはH(V2)レベルからL(V3)レベルに変化する。

【0036】

〔時刻t4～t5〕

制御信号RSTがHレベルとなり、トランジスタ(M16)はONし、インバータ回路INV2には電圧V3(L)レベルが入力される。よって、出力信号OUTはH(V2)レベルからL(V3)レベルに変化する。

10

【0037】

〔時刻t5～t6〕

制御信号RSTがLレベルであり、トランジスタ(M16)はOFFしているが、インバータ回路INV2の入力部は電圧V3(L)レベルが保持されたままであり、出力信号OUTはL(V3)レベルが出力されている。

【0038】

〔時刻t6～t7〕

入力信号INは時刻t6においてH(V1)レベルからL(V2)レベルに変化する。このとき、コンデンサCによる容量結合によってインバータ回路INV2の入力部における電位が下降する。しかし、その電位はINV2の閾値電圧より低くなるのみであり、出力信号OUTはL(V3)レベルを保持したままである。

20

【0039】

以上、レベルシフタ4の構成例を説明したが、ある信号レベルを所望の信号レベルに変換できれば特に構成を限定しない。また、シフトレジスタ2に関しては、フリップフロップを用いた構成でも、クロックインバータを用いた構成でも良く、機能を実現できれば特に構成を限定しない。出力バッファ3A、3Bに関しては、出力先のインピーダンスに応じて使用するトランジスタサイズを設計したインバータ回路を2つ以上連結した構成が一般的であるが、機能を実現できれば、特に構成を限定しない。

【0040】

図6は、本実施形態における有機EL表示装置の有機EL表示素子と画素回路の説明図である。

30

【0041】

Rは赤の有機EL表示素子、Gは緑の有機EL表示素子、Bは青の有機EL表示素子を示している。RCは有機EL表示素子Rを駆動する画素回路、GCは有機EL表示素子Gを駆動する画素回路、BCは有機EL表示素子Bを駆動する画素回路を示している。V1、V2、V3は電源を示している。電位関係は、 $V1 > V2 > V3$ とする。

【0042】

積層構造となっている有機EL表示素子R、G、Bについて説明すると、積層の関係としては、有機EL表示素子Gと有機EL表示素子Bが並列に配置され、その上に有機EL表示素子Rが積層されて配置された構成である。有機EL表示素子Gについてはアノードが画素回路GCに接続され、カソードが電源V2に接続されている。有機EL表示素子Bについてはアノードが画素回路BCに接続され、カソードが電源V2に接続されている。有機EL表示素子Rについてはカソードが画素回路RCに接続され、アノードが電源V2に接続されている。即ち、有機EL表示素子Gのカソード、有機EL表示素子Bのカソード、有機EL表示素子Rのアノードが電源V2に共通接続されている。また、有機EL表示素子Gのアノード、有機EL表示素子Bのアノード、有機EL表示素子Rのカソードが独立して制御されるように各画素回路RC、GC、BCに接続されている。

40

【0043】

画素回路RC、GC、BCの構成について説明する。

50

【 0 0 4 4 】

画素回路 G C において Q 1 は P 型の駆動トランジスタである。Q 2 は N 型のスイッチトランジスタ、C 1 は保持容量である。Q 1 のソース電極は電源 V 1 に接続され、ドレイン電極は緑の有機 E L 表示素子 G のアノードに接続される。保持容量 C 1 の片方の端子は Q 1 のゲート電極に接続され、もう片方の端子は電源 V 1 に接続される。Q 2 のソース電極はデータ信号線 D A T A 1 に接続され、ドレイン電極は Q 1 のゲート電極に接続されている。Q 2 のゲート電極は走査信号線 S A に接続され、図 1 における走査信号線 (S A 1 ~ S A n) のいずれかに接続される。

【 0 0 4 5 】

画素回路 B C において Q 3 は P 型の駆動トランジスタである。Q 4 は N 型のスイッチトランジスタ、C 2 は保持容量である。Q 3 のソース電極は電源 V 1 に接続され、ドレイン電極は青の有機 E L 表示素子 B のアノードに接続される。保持容量 C 2 の片方の端子は Q 3 のゲート電極に接続され、もう片方の端子は電源 V 1 に接続される。Q 4 のソース電極はデータ信号線 D A T A 2 に接続され、ドレイン電極は Q 3 のゲート電極に接続されている。Q 4 のゲート電極は走査信号線 S A に接続され、図 1 における走査信号線 (S A 1 ~ S A n) のいずれかに接続される。

10

【 0 0 4 6 】

画素回路 R C において Q 5 は N 型の駆動トランジスタである。Q 6 は N 型のスイッチトランジスタ、C 3 は保持容量である。Q 5 のソース電極は電源 V 3 に接続され、ドレイン電極は赤の有機 E L 表示素子 R のカソードに接続される。保持容量 C 3 の片方の端子は Q 5 のゲート電極に接続され、もう片方の端子は電源 V 3 に接続される。Q 6 のソース電極はデータ信号線 D A T A 3 に接続され、ドレイン電極は Q 5 のゲート電極に接続されている。Q 6 のゲート電極は走査信号線 S B に接続され、図 1 における走査信号線 (S B 1 ~ S B n) のいずれかに接続される。

20

【 0 0 4 7 】

次に動作について説明する。

【 0 0 4 8 】

画素回路 G C において、走査信号線 S A に H レベルの走査信号が入力されると、Q 2 がオンしてデータ信号線 D A T A 1 から表示画像に応じたデータ信号が Q 1 のゲート電極に印加され、かつそのデータ信号に応じて保持容量 C 1 が充電される。この後、走査信号線 S A に L レベルの走査信号が入力されて Q 2 がオフしても保持容量 C 1 にはデータ信号に応じた電圧が保持されているので、Q 1 のゲート - ソース電圧で決定される駆動電流が有機 E L 表示素子 G に流れて発光する。駆動電流は電源 V 1 から供給され電源 V 2 に流れる。画素回路 B C においても、画素回路 G C と同様の動作となる。

30

【 0 0 4 9 】

画素回路 R C においては、走査信号線 S B に H レベルの走査信号が入力されると、Q 6 がオンしてデータ信号線 D A T A 3 から表示画像に応じたデータ信号が Q 5 のゲート電極に印加され、かつそのデータ信号に応じて保持容量 C 3 が充電される。この後、走査信号線 S B に L レベルの走査信号が入力されて Q 6 がオフしても保持容量 C 3 にはデータ信号に応じた電圧が保持されているので、Q 5 のゲート - ソース電圧で決定される駆動電流が有機 E L 表示素子 R に流れて発光する。基本的に画素回路 G C 、B C と同様の動作であるが、駆動電流は電源 V 2 から供給され電源 V 3 に流れる。

40

【 0 0 5 0 】

本実施形態において、走査信号線 (S A 1 ~ S A n) の信号レベルに関して、ハイ (H) レベルを V 4 (V 4 - V 1) としても良く、走査信号線 (S B 1 ~ S B n) の信号レベルに関して、ロー (L) レベルを V 5 (V 5 - V 3) としても良い。その場合、走査信号線の信号レベルに応じて、レベルシフト 4 の電源を変更すれば良い。

【 0 0 5 1 】

また、画素回路として図 6 に示した 2 つのトランジスタと 1 つの保持容量からなる構成を示したが、本発明はこれに限定するものではない。トランジスタの閾値電圧のバラツキ

50

を補償する機能を備えた電圧プログラミング方式や電流プログラミング方式など、有機 E L 表示素子を駆動する画素回路であれば何でも適用できる。

【 0 0 5 2 】

また、積層構造となっている有機 E L 表示素子 R、G、B について、図 6 に示した積層構造である必要はない。有機 E L 表示素子 R と有機 E L 表示素子 B が並列に配置され、その上に有機 E L 表示素子 G が積層されて配置された構成や、有機 E L 表示素子 R と有機 E L 表示素子 G が並列に配置され、その上に有機 E L 表示素子 B が積層されて配置された構成でも良い。また、図 7 に示すように、上に積層された有機 E L 素子は、下に並列配置された有機 E L 素子を全て覆う必要はなく、2 つの有機 E L 素子の一方を覆う構成で積層されている構成でも良い。

10

【 0 0 5 3 】

このように、本実施形態によればレベルシフタを使用することで画素回路 G C ・ B C と画素回路 R C に電位の異なる走査信号を別々に入力することが可能となるため、スイッチトランジスタである Q 2、Q 4、Q 6 に必要以上に大きな電圧を入力しなくても良くなる。よって、T F T の耐圧以内で駆動することができる回路構成となり、T F T の信頼性を損なうことなく安定に有機 E L 素子が積層されたアクティブマトリックス方式の有機 E L 表示装置を提供することができる。また、額縁領域にバランス良く配置され、小型化に適した表示装置を提供することができる。

【 0 0 5 4 】

(第 2 の実施形態)

20

図 8 は、本実施形態における有機 E L 表示装置の一例を示す概略図である。図 1 と類似する部分については同じ参照符号を付けている。

【 0 0 5 5 】

図 8 における 1 は表示領域であり、R C は R (赤) の有機 E L 表示素子を駆動する画素回路、G C は G (緑) の有機 E L 表示素子を駆動する画素回路、B C は B (青) の有機 E L 表示素子を駆動する画素回路を示している。表示領域 1 に画素回路 R C、G C、B C がマトリックス状に複数配置されている。2 は走査信号を生成するシフトレジスタである。3 A'、3 B' は出力バッファ、4' はレベルシフタを示している。出力バッファ 3 B' とレベルシフタ 4' は表示領域 1 を挟んでシフトレジスタ 2 と出力バッファ 3 A' の反対側に配置されている。シフトレジスタ 2 の各段からの出力は出力バッファ 3 A' に入力される。出力バッファ 3 A' の出力は走査信号線 (S A 1' , S A 2' , S A 3' , . . . , S A n') に接続され、表示領域 1 を通過した後、レベルシフタ 4' に入力される。レベルシフタ 4' からの出力は出力バッファ 3 B' に入力され、出力バッファ 3 B' の出力は走査信号線 (S B 1' , S B 2' , S B 3' , . . . , S B n') に接続される。

30

【 0 0 5 6 】

つまり、本実施形態の制御回路はシフトレジスタ 2 と、レベルシフタ 4' と、2 つの出力バッファ (第 1 の出力バッファ、第 2 の出力バッファ) と、を有する。本実施形態において、第 1 の出力バッファ及び第 2 の出力バッファのうち、一方は出力バッファ 3 A' であり、他方は出力バッファ 3 B' である。シフトレジスタ 2 の一出力は、出力バッファ 3 A' に入力され、出力バッファ 3 A' の出力は、レベルシフタ 4' に入力され、レベルシフタ 4' の出力は、出力バッファ 3 B' に入力される。画素回路 G C 又は画素回路 B C が第 1 の画素回路である場合、第 1 の画素回路に入力される制御信号は、出力バッファ 3 A' から出力された制御信号であり、第 2 の画素回路 (画素回路 R C) に入力される制御信号は、出力バッファ 3 B' から出力された制御信号である。

40

【 0 0 5 7 】

走査信号線 (S A 1' ~ S A n') は、画素回路 G C、B C に入力され、走査信号線 (S B 1' ~ S B n') は、画素回路 R C に入力される。図 8 における走査信号線 (S A 1' ~ S A n')、走査信号線 (S B 1' ~ S B n') に付随する矢印は、その矢印の先の画素回路に入力されることを模式的に示している。

【 0 0 5 8 】

50

ここで、走査信号線（ $SA1' \sim SA n'$ ）における走査信号のハイ（H）レベルは $V1$ 、ロー（L）レベルは $V2$ である。走査信号線（ $SB1' \sim SB n'$ ）における走査信号のハイ（H）レベルは $V2$ 、ロー（L）レベルは $V3$ である。ただし、電位関係は、 $V1 > V2 > V3$ とする。よって、走査信号線（ $SA1' \sim SA n'$ ）における走査信号の波形は図2の波形が適用でき、走査信号線（ $SB1' \sim SB n'$ ）における走査信号の波形は図3の波形が適用できる。

【0059】

その他は第1の実施形態と同様の構成が適用できるので説明を省略する。

【0060】

本実施形態において、走査信号線（ $SA1' \sim SA n'$ ）の信号レベルに関して、ハイ（H）レベルを $V4$ （ $V4 \sim V1$ ）としても良く、走査信号線（ $SB1' \sim SB n'$ ）の信号レベルに関して、ロー（L）レベルを $V5$ （ $V5 \sim V3$ ）としても良い。その場合、走査信号線の信号レベルに応じて、レベルシフタ4'の電源を変更すれば良い。

10

【0061】

このように、表示領域を挟んでシフトレジスタ配置側とは反対側にレベルシフタを配置することで額縁領域をバランス良く、かつ効率の良いレイアウトが可能となるので、小型化に適した表示装置を提供することができる。また、第1の実施形態と同様に、TFTの耐圧以内で駆動することができる回路構成となり、TFTの信頼性を損なうことなく安定に有機EL素子が積層されたアクティブマトリックス方式の有機EL表示装置を提供することができる。

20

【0062】

（第3の実施形態）

上述した各実施形態の表示装置は各種電子機器に適用できる。

【0063】

図9は、本発明の表示装置が用いられる電子機器としてのデジタルスチルカメラシステムのブロック図である。図中、10はデジタルスチルカメラシステム、11は撮影部、12は映像信号処理回路、13は表示パネル、14はメモリ、15はCPU、16は操作部を示す。

【0064】

図9において、撮影部11で撮影した映像または、メモリ14に記録された映像を、映像信号処理回路12で信号処理し、表示パネル13で見ることができる。CPU15では、操作部16からの入力によって、撮影部11、メモリ14、映像信号処理回路12などを制御して、状況に適した撮影、記録、再生、表示を行う。また、表示パネル13は、この他にも各種電子機器の表示部として利用できる。

30

【0065】

（比較例）

図10は、比較例の有機EL表示装置の有機EL表示素子と画素回路の説明図である。図1と類似する部分については同じ参照符号を付けている。

【0066】

Rは赤の有機EL表示素子、Gは緑の有機EL表示素子、Bは青の有機EL表示素子を示している。図10においてもRCは有機EL表示素子Rを駆動する画素回路、GCは有機EL表示素子Gを駆動する画素回路、BCは有機EL表示素子Bを駆動する画素回路を示している。 $V1$ 、 $V2$ 、 $V3$ は電源を示している。電位関係は、先述した通り、 $V1 > V2 > V3$ である。

40

【0067】

積層構造となっている有機EL表示素子R、G、Bについては、図1と同様であるため説明を省略する。

【0068】

画素回路RC、GC、BCの構成について説明する。図1と類似する部分については同じ参照符号を付けており、重複する説明は省略する。図1と異なる部分はN型のスイッチ

50

トランジスタである Q 2、Q 4、Q 6 の接続先の走査信号線であり、走査信号線 S に共通に接続される。

【 0 0 6 9 】

次に動作について説明する。

【 0 0 7 0 】

画素回路 G C において、走査信号線 S に H レベルの走査信号が入力されると、Q 2 がオンしてデータ信号線 D A T A 1 から表示画像に応じたデータ信号が Q 1 のゲート電極に印加され、かつそのデータ信号に応じて保持容量 C 1 が充電される。この後、走査信号線 S に L レベルの走査信号が入力されて Q 2 がオフしても保持容量 C 1 にはデータ信号に応じた電圧が保持されているので、Q 1 のゲート - ソース電圧で決定される駆動電流が有機 E L 表示素子 G に流れて発光する。駆動電流は電源 V 1 から供給され電源 V 2 に流れる。画素回路 B C においても、画素回路 G C と同様の動作となる。画素回路 R C においても、基本的に画素回路 G C と同様の動作であるが、駆動電流は電源 V 2 から供給され電源 V 3 に流れる。

10

【 0 0 7 1 】

図 1 0 の構成によれば、走査信号線 S は Q 2、Q 4、Q 6 のゲート電極に共通接続されている。そのため、電源 V 1 ~ V 3 間において Q 2、Q 4、Q 6 を確実にオン・オフさせるには走査信号は、ハイ (H) レベルでは V 4 (V 4 - V 1)、ロー (L) レベルでは V 5 (V 5 - V 3) とする必要がある。

【 0 0 7 2 】

しかしながら、走査信号の振幅を (V 4 - V 5) とした場合に、この電圧がトランジスタの耐圧を超えるならば、トランジスタを破壊する可能性が高く、回路の信頼性を著しく低下させる。

20

【産業上の利用可能性】

【 0 0 7 3 】

本発明による有機 E L 表示装置は、使用環境の温度変化に対する長期信頼性に優れることから、室内や室外、年間を通して幅広い温度、湿度での使用が想定される。高い耐環境性を必要とする携帯電話、携帯コンピュータ、デジタルカメラ、デジタルビデオカメラのモニターといったモバイル機器の情報表示装置等に利用することができる。もしくは、それらの各機能の複数を実現する装置に利用することができる。情報表示装置は、情報入力部を備えている。例えば、携帯電話の場合には情報入力部は、アンテナを含んで構成される。P D A や携帯 P C の場合には、情報入力部は、ネットワークに対するインターフェース部を含んで構成される。スチルカメラやムービーカメラの場合には、情報入力部は C C D や C M O S などによる光センサ部を含んで構成される。

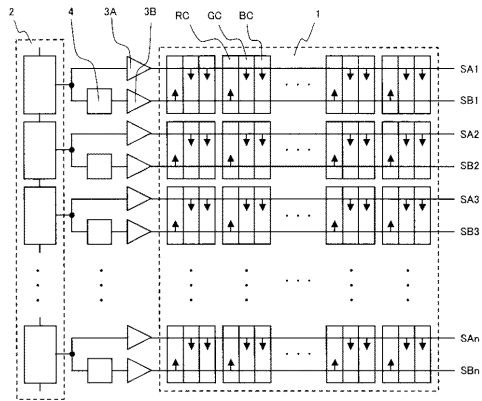
30

【符号の説明】

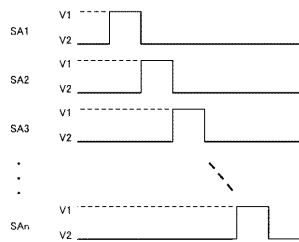
【 0 0 7 4 】

1 : 表示領域、2 : シフトレジスタ、3 A , 3 B , 3 A ' , 3 B ' : 出力バッファ、4 , 4 ' : レベルシフト、R C , G C , B C : 画素回路、R , G , B : 有機 E L 表示素子

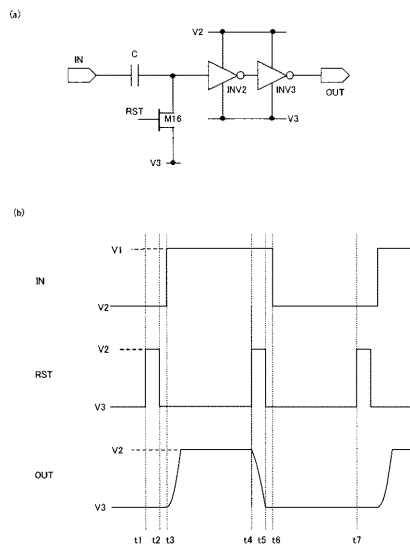
【図 1】



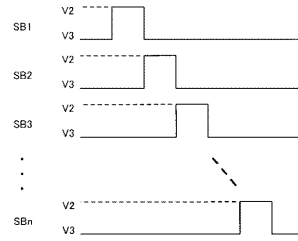
【図 2】



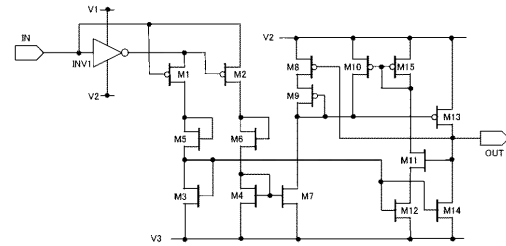
【図 5】



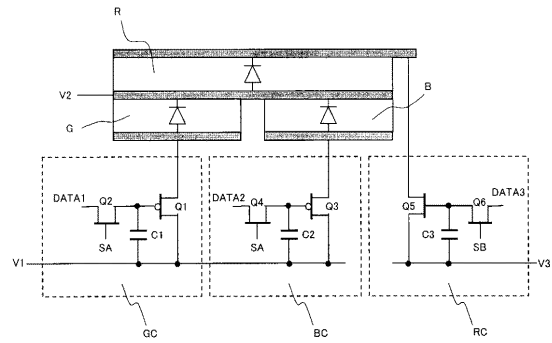
【図 3】



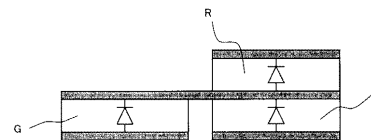
【図 4】



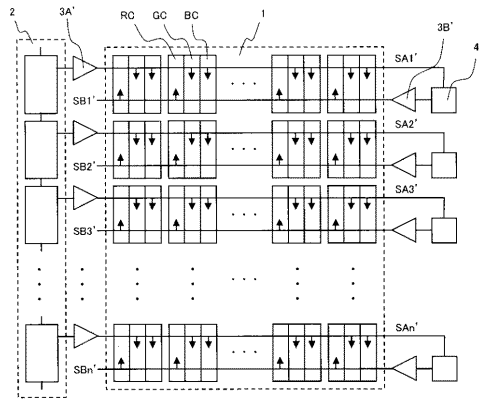
【図 6】



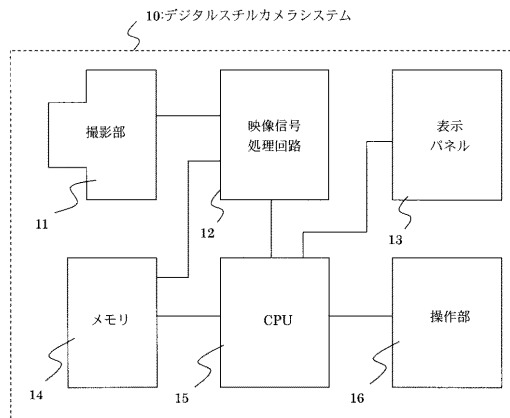
【図 7】



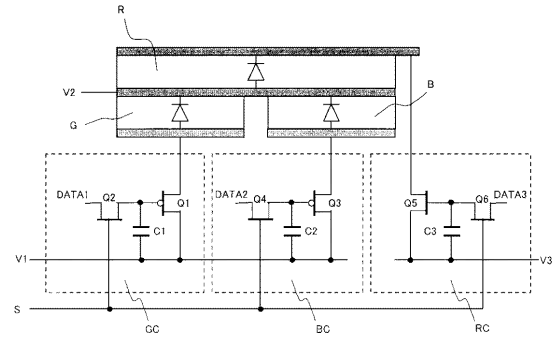
【図 8】



【図 9】



【図 10】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20 6 2 2 B	
	H 0 5 B 33/14 A	
	H 0 5 B 33/12 B	

F ターム(参考)	5C080	AA06	BB05	DD22	EE29	FF11	JJ02	JJ03	JJ04		
	5C380	AA01	AB06	AB34	AB41	AC08	AC09	AC11	AC12	BA01	BA05
		BA11	BA17	CA08	CA12	CB01	CC02	CC30	CC33	CC62	CD012
		CF07	CF22	CF24	DA02	DA06					

专利名称(译)	显示装置和使用其的电子设备		
公开(公告)号	JP2011118283A	公开(公告)日	2011-06-16
申请号	JP2009277606	申请日	2009-12-07
[标]申请(专利权)人(译)	佳能株式会社		
申请(专利权)人(译)	佳能公司		
[标]发明人	郷田 達人 川野 藤雄		
发明人	郷田 達人 川野 藤雄		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 H05B33/12		
FI分类号	G09G3/30.J G09G3/20.621.L G09G3/20.622.E G09G3/20.621.M G09G3/20.680.G G09G3/20.622.B H05B33/14.A H05B33/12.B G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291 H01L27/32		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC21 3K107/CC43 3K107/EE03 3K107/FF00 3K107/HH02 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD22 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C380/AA01 5C380/AB06 5C380/AB34 5C380/AB41 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/BA01 5C380/BA05 5C380/BA11 5C380/BA17 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CC02 5C380/CC30 5C380/CC33 5C380/CC62 5C380/CD012 5C380/CF07 5C380/CF22 5C380/CF24 5C380/DA02 5C380/DA06		
代理人(译)	渡边 圭佑 山口 芳広		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供有源矩阵系统的显示装置，其中堆叠有机电致发光（EL）元件以稳定地显示图像而不破坏晶体管的可靠性，并且通过制作框架区域适合于小型显示装置平衡，并通过有效的布局。解决方案：显示装置包括第一显示元件，第二显示元件，像素，显示区域，第一像素电路，第二像素电路和控制电路。为第一像素电路提供的控制信号的高电平信号电压不同于为第二像素电路提供的控制信号的高电平信号电压，并且为第一像素电路提供的控制信号的低电平信号电压不同于提供给第二像素电路的控制信号的一部分。

