

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-102928

(P2011-102928A)

(43) 公開日 平成23年5月26日(2011.5.26)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 611H	5C080
H01L 51/50 (2006.01)	G09G 3/20 624B	5C380
	G09G 3/20 612U	
	G09G 3/20 641D	
審査請求 未請求 請求項の数 7 O L (全 21 頁) 最終頁に続く		

(21) 出願番号	特願2009-258314 (P2009-258314)	(71) 出願人	000002185
(22) 出願日	平成21年11月11日 (2009.11.11)		ソニー株式会社
			東京都港区港南1丁目7番1号
		(74) 代理人	100098785
			弁理士 藤島 洋一郎
		(74) 代理人	100109656
			弁理士 三反崎 泰司
		(74) 代理人	100130915
			弁理士 長谷部 政男
		(74) 代理人	100155376
			弁理士 田名網 孝昭
		(72) 発明者	豊村 直史
			東京都港区港南1丁目7番1号 ソニー株式会社社内
		最終頁に続く	

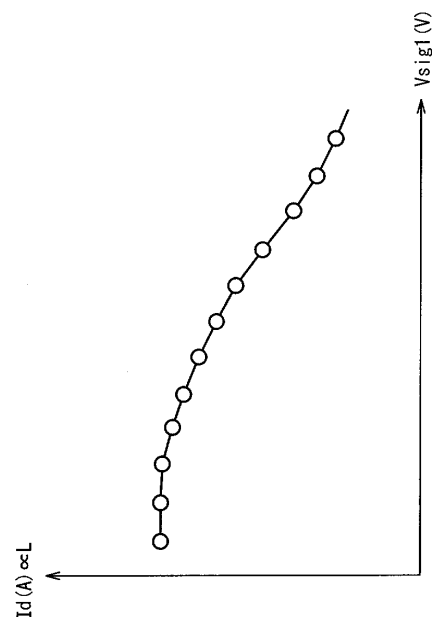
(54) 【発明の名称】 表示装置およびその駆動方法ならびに電子機器

(57) 【要約】

【課題】低コスト化を図りつつ高画質化を実現することが可能な表示装置およびその駆動方法ならびに電子機器を提供する

【解決手段】表示パネル10内の複数の画素11に対する表示駆動の際に、駆動回路20（信号線駆動回路24）が、映像信号20Aの階調に応じて階調補間電圧 V_{sig1} および信号電圧 V_{sig2} の電圧値を個別に変化させることにより、各有機EL素子12における発光輝度 L の階調を補間する階調補間動作を行う。映像信号20Aによって元々設定することが可能な階調数よりも多くの階調の表現を実現することができる。これにより、駆動回路20（信号線駆動回路24）の構成を簡素化しつつ（複雑化することなく）、より高精細な階調表現が実現される。

【選択図】図7



【特許請求の範囲】**【請求項 1】**

各々が発光素子および画素回路を有する複数の画素を含む表示部と、
前記複数の画素を順次選択しつつ、選択された画素に対して映像信号に基づく第 1 および第 2 の信号電圧をこの順に書き込むことにより、前記複数の画素に対する表示駆動を行う駆動回路と
を備え、
前記駆動回路は、前記映像信号の階調に応じて前記第 1 および第 2 の信号電圧の電圧値を個別に変化させることにより、各発光素子における発光輝度の階調を補間する階調補間動作を行う
表示装置。

10

【請求項 2】

前記駆動回路は、
前記第 2 の信号電圧を、前記映像信号により設定可能な複数の階調のうちの一の階調に対応する一の基本階調電圧に設定すると共に、
前記第 1 の信号電圧を複数の補間階調電圧間で変化させることにより、前記階調補間動作を行う
請求項 1 に記載の表示装置。

【請求項 3】

前記表示部は、複数の走査線と、複数の信号線と、複数の電源線とを有する
請求項 1 または請求項 2 に記載の表示装置。

20

【請求項 4】

前記駆動回路は、
前記複数の走査線に対して選択パルスを順次印加することにより、前記複数の画素を順次選択する走査線駆動回路と、
前記第 1 および第 2 の信号電圧をこの順に各信号線に対して印加することにより、前記走査線駆動回路により選択された画素に対して映像信号の書き込みを行う信号線駆動回路と、
前記複数の電源線に対して制御パルスを順次印加することにより、各発光素子の発光動作および消光動作の制御を行う電源線駆動回路とを有する
請求項 3 に記載の表示装置。

30

【請求項 5】

前記画素回路は、第 1 および第 2 のトランジスタと、保持容量素子とを有し、
前記第 1 のトランジスタのゲートが、前記走査線に接続され、
前記第 1 のトランジスタにおけるドレインおよびソースのうち、一方が、前記信号線に接続されると共に、他方が、前記第 2 のトランジスタのゲートおよび前記保持容量素子の一端に接続され、
前記第 2 のトランジスタにおけるドレインおよびソースのうち、一方が、前記電源線に接続されると共に、他方が、前記保持容量素子の他端および前記発光素子のアノードに接続され、
前記発光素子のカソードが、固定電位に設定されている
請求項 3 に記載の表示装置。

40

【請求項 6】

各々が発光素子および画素回路を有する複数の画素を含む表示部における各画素に対し、前記複数の画素を順次選択しつつ、選択された画素に対して映像信号に基づく第 1 および第 2 の信号電圧をこの順に書き込むことにより、表示駆動を行うと共に、
この表示駆動の際に、前記映像信号の階調に応じて前記第 1 および第 2 の信号電圧の電圧値を個別に変化させることにより、各発光素子における発光輝度の階調を補間する階調補間動作を行う
表示装置の駆動方法。

50

【請求項 7】

表示装置を備え、
前記表示装置は、
各々が発光素子および画素回路を有する複数の画素を含む表示部と、
前記複数の画素を順次選択しつつ、選択された画素に対して映像信号に基づく第 1 および第 2 の信号電圧をこの順に書き込むことにより、前記複数の画素に対する表示駆動を行う駆動回路と

を有し、

前記駆動回路は、前記映像信号の階調に応じて前記第 1 および第 2 の信号電圧の電圧値を個別に変化させることにより、各発光素子における発光輝度の階調を補間する階調補間動作を行う

電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素ごとに配置した発光素子により画像を表示する表示装置およびその駆動方法、ならびにそのような表示装置を備えた電子機器に関する。

【背景技術】

【0002】

近年、画像表示を行う表示装置の分野では、発光素子として、流れる電流値に応じて発光輝度が変化する電流駆動型の光学素子、例えば有機 EL (Electro Luminescence) 素子を用いた表示装置 (有機 EL 表示装置) が開発され、商品化が進められている。

【0003】

有機 EL 素子は、液晶素子などとは異なり自発光素子である。そのため、有機 EL 表示装置では光源 (バックライト) が必要ないことから、光源を必要とする液晶表示装置と比べ、画像の視認性が高く、消費電力が低く、かつ素子の応答速度が速い。

【0004】

有機 EL 表示装置では、液晶表示装置と同様に、その駆動方式として、単純 (パッシブ) マトリクス方式とアクティブマトリクス方式とが挙げられる。前者は、構造が単純であるものの、大型かつ高精細の表示装置の実現が難しいなどの問題がある。そのため、現在では、後者のアクティブマトリクス方式の開発が盛んに行なわれている。この方式では、画素ごとに配した有機 EL 素子に流れる電流を、有機 EL 素子ごとに設けた駆動回路内の能動素子 (一般には TFT (Thin Film Transistor; 薄膜トランジスタ)) によって制御するようになっている。

【0005】

ところで、一般に、有機 EL 素子の電流 - 電圧 ($I - V$) 特性は、時間の経過に従って劣化 (経時劣化) することが知られている。有機 EL 素子を電流駆動する画素回路では、有機 EL 素子の $I - V$ 特性が経時変化すると、駆動トランジスタに流れる電流値が変化することから、有機 EL 素子自身に流れる電流値も変化し、それに応じて発光輝度も変化する。

【0006】

また、駆動トランジスタの閾値電圧 V_{th} や移動度 μ が経時的に変化したり、製造プロセスのばらつきによって、これら閾値電圧 V_{th} や移動度 μ が画素回路ごとに異なったりする場合がある。駆動トランジスタの閾値電圧 V_{th} や移動度 μ が画素回路ごとに異なる場合には、駆動トランジスタに流れる電流値が画素回路ごとにばらつくことになる。そのため、駆動トランジスタのゲートに同じ電圧を印加しても、有機 EL 素子の発光輝度がばらつき、画面の一様性 (ユニフォームティ) が損なわれる。

【0007】

そこで、有機 EL 素子の $I - V$ 特性が経時変化したり、駆動トランジスタの閾値電圧 V_{th} や移動度 μ が経時変化したり画素回路ごとに異なったりしても、それらの影響を受ける

10

20

30

40

50

ことなく、有機EL素子の発光輝度を一定に保つようするための提案がなされている。具体的には、有機EL素子のI-V特性の変動に対する補償機能と、駆動トランジスタの閾値電圧 V_{th} や移動度 μ の変動に対する補正機能とを組み込んだ表示装置が提案されている（例えば、特許文献1参照）。

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2008-33193号公報

【発明の概要】

【発明が解決しようとする課題】

10

【0009】

ところで、現在、フラットパネルディスプレイ業界では、液晶表示装置を用いた液晶テレビがシェアを伸ばしており、大画面化および薄型化と同時に、低価格化が消費者の購買意欲を促進している。したがって、有機EL表示装置を用いた有機ELテレビにおける販売を促進するうえでも、低価格化（低コスト化）を図ることは重要である。

【0010】

ここで、有機EL表示装置において低コスト化を実現するための手法としては、例えば、駆動回路を構成するドライバIC（Integrated Circuit）においてコスト削減を図ることが考えられる。具体的には、ドライバICのうち、各画素に映像信号を供給する機能を有するデータドライバについては、現在のところ10ビット階調（1024階調）を表現できるようになっているものが一般的であるが、この階調数（ビット数）を削減することが考えられる。ただし、単純に表現可能な階調数を削減した場合、それに伴って表示画質も低下してしまうことから、低コスト化を図りつつ高画質化を実現するための手法の提案が望まれる。なお、これまで説明した問題は、有機EL表示装置だけには限られず、自発光素子を用いた他の表示装置においても同様に発生し得るものである。

20

【0011】

本発明はかかる問題点に鑑みてなされたもので、その目的は、低コスト化を図りつつ高画質化を実現することが可能な表示装置およびその駆動方法ならびに電子機器を提供することにある。

【課題を解決するための手段】

30

【0012】

本発明の表示装置は、各々が発光素子および画素回路を有する複数の画素を含む表示部と、複数の画素を順次選択しつつ、選択された画素に対して映像信号に基づく第1および第2の信号電圧をこの順に書き込むことにより、複数の画素に対する表示駆動を行う駆動回路とを備えたものである。この駆動回路は、映像信号の階調に応じて前記第1および第2の信号電圧の電圧値を個別に変化させることにより、各発光素子における発光輝度の階調を補間する階調補間動作を行うようになっている。

【0013】

本発明の電子機器は、上記本発明の表示装置を備えたものである。

【0014】

40

本発明の表示装置の駆動方法は、各々が発光素子および画素回路を有する複数の画素を含む表示部における各画素に対し、複数の画素を順次選択しつつ、選択された画素に対して映像信号に基づく第1および第2の信号電圧をこの順に書き込むことにより、表示駆動を行うと共に、この表示駆動の際に、映像信号の階調に応じて第1および第2の信号電圧の電圧値を個別に変化させることにより、各発光素子における発光輝度の階調を補間する階調補間動作を行うようにしたものである。

【0015】

本発明の表示装置およびその駆動方法ならびに電子機器では、複数の画素に対する表示駆動の際に、映像信号の階調に応じて第1および第2の信号電圧の電圧値を個別に変化させることにより、各発光素子における発光輝度の階調を補間する階調補間動作が行われる

50

。これにより、映像信号によって元々設定することが可能な階調数よりも多くの階調の表現が実現される。

【発明の効果】

【0016】

本発明の表示装置およびその駆動方法ならびに電子機器によれば、複数の画素に対する表示駆動の際に、映像信号の階調に応じて第1および第2の信号電圧の電圧値を個別に変化させることにより、各発光素子における発光輝度の階調を補間する階調補間動作を行うようにしたので、映像信号によって元々設定することが可能な階調数よりも多くの階調の表現を実現することができる。よって、駆動回路の構成を簡素化しつつ（複雑化することなく）より高精細な階調表現を行うことができ、低コスト化を図りつつ高画質化を実現することが可能となる。

10

【図面の簡単な説明】

【0017】

【図1】本発明の一実施の形態に係る表示装置の一例を表す構成図である。

【図2】図1に示した各画素の内部構成の一例を表す回路図である。

【図3】実施の形態に係る表示装置の動作の一例を表すタイミング波形図である。

【図4】比較例に係る表示装置の動作の一例を表すタイミング波形図である。

【図5】比較例および実施の形態の表示装置における信号電圧と駆動トランジスタに流れる電流（有機EL素子の発光輝度）との関係の一例を表す特性図である。

【図6】階調補間電圧を変化させたときの駆動トランジスタのゲート電位およびソース電位の変化について説明するためのタイミング波形図である。

20

【図7】階調補間電圧と駆動トランジスタに流れる電流との関係の一例を表す特性図である。

【図8】階調補間電圧および信号電圧と駆動トランジスタに流れる電流（有機EL素子の発光輝度）との関係の一例を表す特性図である。

【図9】実施の形態の表示装置を含むモジュールの概略構成を表す平面図である。

【図10】実施の形態の表示装置の適用例1の外観を表す斜視図である。

【図11】（A）は適用例2の表側から見た外観を表す斜視図であり、（B）は裏側から見た外観を表す斜視図である。

【図12】適用例3の外観を表す斜視図である。

30

【図13】適用例4の外観を表す斜視図である。

【図14】（A）は適用例5の開いた状態の正面図、（B）はその側面図、（C）は閉じた状態の正面図、（D）は左側面図、（E）は右側面図、（F）は上面図、（G）は下面図である。

【発明を実施するための形態】

【0018】

以下、本発明の実施の形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1．実施の形態（信号電圧の3値化（信号書き込みの2ステップ化）による階調補間例）

2．モジュールおよび適用例

40

3．変形例

【0019】

<実施の形態>

[表示装置の構成]

図1は、本発明の一実施の形態に係る表示装置1の概略構成をブロック図で表したものである。この表示装置1は、表示パネル10（表示部）および駆動回路20を備えている。

【0020】

（表示パネル10）

表示パネル10は、複数の画素11がマトリクス状に配置された画素アレイ部13を有

50

しており、外部から入力される映像信号 20 A および同期信号 20 B に基づいて、アクティブマトリクス駆動により画像表示を行うものである。ここでは、各画素 11 は、赤色用の画素 11 R、緑色用の画素 11 G および青色用の画素 11 B により構成されている。なお、以下では、画素 11 R、11 G、11 B の総称として、画素 11 を適宜用いるものとする。

【0021】

画素アレイ部 13 はまた、行状に配置された複数の走査線 W S L と、列状に配置された複数の信号線 D T L と、走査線 W S L に沿って行状に配置された複数の電源線 D S L とを有している。これらの走査線 W S L、信号線 D T L および電源線 D S L の一端側はそれぞれ、後述する駆動回路 20 に接続されている。また、上記した各画素 11 R、11 G、11 B は、各走査線 W S L と各信号線 D T L との交差部に対応して、行列状に配置（マトリクス配置）されている。

10

【0022】

図 2 は、画素 11 R、11 G、11 B の内部構成の一例を表したものである。画素 11 R、11 G、11 B 内には、有機 E L 素子 12 R、12 G、12 B（発光素子）と、画素回路 14 とが設けられている。なお、以下では、有機 E L 素子 12 R、12 G、12 B の総称として、有機 E L 素子 12 を適宜用いるものとする。

【0023】

画素回路 14 は、書き込み（サンプリング用）トランジスタ T r 1（第 1 のトランジスタ）、駆動トランジスタ T r 2（第 2 のトランジスタ）および保持容量素子 C s を用いて構成されており、いわゆる「2 T r 1 C」の回路構成となっている。ここで、書き込みトランジスタ T r 1 および駆動トランジスタ T r 2 はそれぞれ、例えば、n チャネル M O S（Metal Oxide Semiconductor）型の T F T により形成されている。なお、T F T の種類は特に限定されるものではなく、例えば、逆スタガー構造（いわゆるボトムゲート型）であってもよいし、スタガー構造（いわゆるトップゲート型）であってもよい。

20

【0024】

この画素回路 14 では、書き込みトランジスタ T r 1 のゲートが走査線 W S L に接続され、ドレインが信号線 D T L に接続され、ソースが、駆動トランジスタ T r 2 のゲートおよび保持容量素子 C s の一端に接続されている。駆動トランジスタ T r 2 のドレインは電源線 D S L に接続され、ソースは、保持容量素子 C s の他端および有機 E L 素子 12 のアノードに接続されている。有機 E L 素子 12 のカソードは固定電位に設定されており、ここではグランド線 G N D に接続されることにより、グランド（接地電位）に設定されている。なお、この有機 E L 素子 12 のカソードは、各有機 E L 素子 12 の共通電極として機能しており、例えば、表示パネル 10 の表示領域全体に渡って連続して形成され、平板状の電極となっている。

30

【0025】

（駆動回路 20）

駆動回路 20 は、画素アレイ部 13（表示パネル 10）を駆動する（表示駆動を行う）ものである。具体的には、詳細は後述するが、画素アレイ部 13 における複数の画素 11（11 R、11 G、11 B）を順次選択しつつ、選択された画素 11 に対して映像信号 20 A に基づく信号電圧を書き込むことにより、複数の画素 11 に対する表示駆動を行うようになっている。この駆動回路 20 は、図 1 に示したように、映像信号処理回路 21、タイミング生成回路 22、走査線駆動回路 23、信号線駆動回路 24 および電源線駆動回路 25 を有している。

40

【0026】

映像信号処理回路 21 は、外部から入力されるデジタルの映像信号 20 A に対して所定の補正を行うと共に、補正した後の映像信号 21 A を信号線駆動回路 24 に出力するものである。この所定の補正としては、例えば、ガンマ補正や、オーバードライブ補正などが挙げられる。

【0027】

50

タイミング生成回路 22 は、外部から入力される同期信号 20B に基づいて制御信号 22A を生成し出力することにより、走査線駆動回路 23、信号線駆動回路 24 および電源線駆動回路 25 がそれぞれ、連動して動作するように制御するものである。

【0028】

走査線駆動回路 23 は、制御信号 22A に従って（同期して）複数の走査線 WSL に対して選択パルスを順次印加することにより、複数の画素 11（11R, 11G, 11B）を順次選択するものである。具体的には、書き込みトランジスタ Tr1 をオン状態に設定するときに印加する電圧 Von と、書き込みトランジスタ Tr1 をオフ状態に設定するときに印加する電圧 Voff とを選択的に出力することにより、上記した選択パルスを生成するようになっている。ここで、電圧 Von は、書き込みトランジスタ Tr1 のオン電圧以上の値（一定値）となっており、電圧 Voff は、この書き込みトランジスタ Tr1 のオン電圧よりも低い値（一定値）となっている。

10

【0029】

信号線駆動回路 24 は、制御信号 22A に従って（同期して）、映像信号処理回路 21 から入力される映像信号 21A に対応するアナログの映像信号を生成し、各信号線 DTL に印加するものである。具体的には、この映像信号 21A に基づくアナログの信号電圧を各信号線 DTL に対して印加することにより、走査線駆動回路 23 により選択された（選択対象の）画素 11（11R, 11G, 11B）に対して映像信号の書き込みを行うようになっている。なお、映像信号の書き込みとは、駆動トランジスタ Tr2 のゲート - ソース間に所定の電圧を印加することを意味している。

20

【0030】

この信号線駆動回路 24 は、映像信号 20A に基づく信号電圧である階調補間電圧 Vsig1（第 1 の信号電圧）および信号電圧 Vsig2（第 2 の信号電圧）と、電圧 Vofs との 3 つの電圧（3 値の電圧）を出力することが可能となっている。ここで、本実施の形態では、信号線駆動回路 24 は、これら 2 つの信号電圧を、階調補完電圧 Vsig1 および信号電圧 Vsig2 の順に各信号線 DTL に対して印加すると共に、これら階調補完電圧 Vsig1 および信号電圧 Vsig2 の電圧値を個別に変化させている。これにより、詳細は後述するが、各有機 EL 素子 12 における発光輝度の階調を補間する階調補間動作を行うようになっている。一方、電圧 Vofs は、有機 EL 素子 12 の消光時に、駆動トランジスタ Tr2 のゲートに印加するための電圧である。具体的には、この電圧 Vofs は、駆動トランジスタ Tr2 の閾値電圧を V_{th} とすると、 $(V_{ofs} - V_{th})$ が有機 EL 素子 12 における閾値電圧 V_{el} およびカソード電圧 V_{ca} を足し合わせた電圧値 $(V_{el} + V_{ca})$ よりも低い電圧値（一定値）となるように設定されている。

30

【0031】

電源線駆動回路 25 は、制御信号 22A に従って（同期して）、複数の電源線 DSL に対して制御パルスを順次印加することにより、各有機 EL 素子 12 の発光動作および消光動作の制御を行うものである。具体的には、駆動トランジスタ Tr2 に電流 Id を流すときに印加する電圧 Vcc と、駆動トランジスタ Tr2 に電流 Id を流さないときに印加する電圧 Vini とを選択的に出力することにより、上記した制御パルスを生成するようになっている。ここで、電圧 Vini は、有機 EL 素子 12 における閾値電圧 V_{el} およびカソード電圧 V_{ca} を足し合わせた電圧値 $(V_{el} + V_{ca})$ よりも低い電圧値（一定値）となるように設定されている。一方、電圧 Vcc は、この電圧値 $(V_{el} + V_{ca})$ 以上の電圧値（一定値）となるように設定されている。

40

【0032】

[表示装置の作用・効果]

続いて、本実施の形態の表示装置 1 の作用および効果について説明する。

【0033】

(1 . 表示動作の概要)

この表示装置 1 では、図 1 および図 2 に示したように、駆動回路 20 が、表示パネル 10（画素アレイ部 13）内の各画素 11（11R, 11G, 11B）に対し、映像信号 2

50

0 A および同期信号 2 0 B に基づく表示駆動を行う。これにより、各画素 1 1 内の有機 E L 素子 1 2 へ駆動電流が注入され、正孔と電子とが再結合して発光が起こる。この発光による光は、有機 E L 素子 1 2 における陽極（図示せず）と陰極（図示せず）との間で多重反射され、陰極等を透過して外部に取り出される。その結果、表示パネル 1 0 において、映像信号 2 0 A に基づく画像表示がなされる。

【 0 0 3 4 】

（ 2 . 表示動作の詳細 ）

図 3 は、表示装置 1 における表示動作の際（駆動回路 2 0 による表示駆動の際）の各種波形の一例を、タイミング図で表したものである。ここで、図 3（ A ）～（ C ）はそれぞれ、信号線 D T L、走査線 W S L および電源線 D S L の電圧波形を示している。具体的には、信号線 D T L の電圧が、電圧 V_{ofs} 、階調補間電圧 V_{sig1} および信号電圧 V_{sig2} の間で周期的に変化している様子（図 3（ A ））と、走査線 W S L の電圧が、電圧 V_{off} 、 V_{on} の間で周期的に変化している様子（図 3（ B ））と、電源線 D S L の電圧が、電圧 V_{cc} 、 V_{ini} の間で周期的に変化している様子（図 3（ C ））と、をそれぞれ示している。また、図 3（ D ）、（ E ）はそれぞれ、駆動トランジスタ T_r2 におけるゲート電位 V_g およびソース電位 V_s の波形を示している。

【 0 0 3 5 】

（ V_{th} 補正準備期間 T_1 : $t_1 \sim t_5$ ）

最初に、駆動回路 2 0 は、発光期間 T_0 の終了（タイミング t_1 ）後、各画素 1 1（1 1 R、1 1 G、1 1 B）内の駆動トランジスタ T_r2 における閾値電圧 V_{th} の補正（ V_{th} 補正）の準備を行う。具体的には、まず、タイミング t_1 において、電源線駆動回路 2 5 が、電源線 D S L の電圧を電圧 V_{cc} から電圧 V_{ini} に下げる（図 3（ C ））。そして、走査線駆動回路 2 3 が、信号線 D T L の電圧が電圧 V_{ofs} となっており、かつ電源線 D S L の電圧が電圧 V_{ini} となっている期間中のタイミング $t_2 \sim t_3$ において、走査線 W S L の電圧を、電圧 V_{off} から電圧 V_{on} へと上げた状態に設定する（図 3（ B ））。これにより、駆動トランジスタ T_r2 のソース電位 V_s が下降して電圧 V_{ini} となり（図 3（ E ））、有機 E L 素子 1 2 が消光する。なお、タイミング t_1 から、後述する発光動作を開始するタイミング t_14 までの期間は、有機 E L 素子 1 2 が消光状態である消光期間 T_{10} となっている。一方、駆動トランジスタ T_r2 のゲート電位 V_g もまた、上記したソース電位 V_s の下降に伴い、保持容量素子 C_s を介した容量カップリングによって下降する（図 3（ D ））。そして、上記したように走査線 W S L の電圧が電圧 V_{on} となり、書き込みトランジスタ T_r1 がオン状態となることにより、駆動トランジスタ T_r2 のゲート電位 V_g は、最終的に、このときの信号線 D T L の電圧に対応する電圧 V_{ofs} となる（図 3（ D ））。これにより、図 3 中に示したように、駆動トランジスタ T_r2 におけるゲート - ソース間電圧 V_{gs} が、この駆動トランジスタ T_r2 の閾値電圧 V_{th} よりも大きくなり（ $V_{gs} > V_{th}$ ）、 V_{th} 補正の準備が完了する。なお、その後は、信号線 D T L の電圧が電圧 V_{ofs} となっており、かつ電源線 D S L の電圧が電圧 V_{ini} となっている期間中のタイミング t_4 において、走査線駆動回路 2 3 が、走査線 W S L の電圧を、電圧 V_{off} から電圧 V_{on} へと上げる（図 3（ B ））。

【 0 0 3 6 】

（ 1 回目の V_{th} 補正期間 T_2 : $t_5 \sim t_6$ ）

次に、駆動回路 2 0 は、駆動トランジスタ T_r2 における 1 回目の V_{th} 補正を行う。具体的には、まず、信号線 D T L の電圧が電圧 V_{ofs} となっており、かつ走査線 W S L の電圧が電圧 V_{on} となっている期間中のタイミング t_5 において、電源線駆動回路 2 5 が電源線 D S L の電圧を、電圧 V_{ini} から電圧 V_{cc} に上げる（図 3（ C ））。すると、駆動トランジスタ T_r2 のドレイン - ソース間に電流 I_d が流れ、ソース電位 V_s が上昇する（図 3（ E ））。次に、信号線 D T L および電源線 D S L の電圧がそれぞれ、電圧 V_{ofs} 、電圧 V_{cc} のまま保持されている期間中のタイミング t_6 において、走査線駆動回路 2 3 が走査線 W S L の電圧を、電圧 V_{on} から電圧 V_{off} に下げる（図 3（ B ））。これにより、書き込みトランジスタ T_r1 がオフ状態となるため、駆動トランジスタ T_r2 のゲートがフ

10

20

30

40

50

ローティングとなり、 V_{th} 補正が一旦停止する（以下の１回目の V_{th} 補正休止期間 T_3 へと移行する）。

【００３７】

（１回目の V_{th} 補正休止期間 T_3 ： $t_6 \sim t_7$ ）

次に、タイミング t_6 から後述するタイミング t_7 までの期間は、上記したように、 V_{th} 補正が一旦停止している。ただし、上記した１回目の V_{th} 補正が不十分である場合、すなわち、駆動トランジスタ T_{r2} におけるゲート・ソース間電圧 V_{gs} が、この駆動トランジスタ T_{r2} の閾値電圧 V_{th} と比べて依然として大きい場合（ $V_{gs} > V_{th}$ ）には、以下ようになる。すなわち、この V_{th} 補正休止期間 T_3 中においても、 $V_{gs} > V_{th}$ となっていることから、駆動トランジスタ T_{r2} のドレイン・ソース間に依然として電流 I_d が流れることになり、ソース電位 V_s が上昇し続ける（図３（Ｅ））。一方、駆動トランジスタ T_{r2} のゲート電位 V_g もまた、このようなソース電位 V_s の上昇に伴い、保持容量素子 C_s を介した容量カップリングにより上昇する（図３（Ｄ））。

10

【００３８】

（２回目の V_{th} 補正期間 T_2 ： $t_7 \sim t_8$ ）

次に、駆動回路２０は、駆動トランジスタ T_{r2} における V_{th} 補正を再び行う（２回目の V_{th} 補正を行う）。具体的には、まず、信号線 DTL の電圧が電圧 V_{ofs} となっており、かつ電源線 $D SL$ の電圧が電圧 V_{cc} となっている期間中のタイミング t_7 において、走査線駆動回路２３が、走査線 $W SL$ の電圧を電圧 V_{off} から電圧 V_{on} に上げる（図３（Ｂ））。これにより、書き込みトランジスタ T_{r1} がオン状態となるため、駆動トランジスタ T_{r2} のゲート電位 V_g が再び、このときの信号線 $D TL$ の電圧に対応する電圧 V_{ofs} となる（図３（Ｄ））。このとき、駆動トランジスタ T_{r2} のソース電位 V_s が、電圧値（ $V_{ofs} (= V_g) - V_{th}$ ）よりも低い場合（ $V_s < (V_g - V_{th})$ ）、換言すると、ゲート・ソース間電圧 V_{gs} が依然として閾値電圧 V_{th} よりも大きい場合（ $V_{gs} > V_{th}$ ； V_{th} 補正がまだ完了していない場合）には、以下ようになる。すなわち、駆動トランジスタ T_{r2} がカットオフするまで（ $V_{gs} = V_{th}$ になるまで）、１回目の V_{th} 補正期間と同様に、この駆動トランジスタ T_{r2} のドレイン・ソース間に電流 I_d が流れることになり、ソース電位 V_s が上昇し続ける（図３（Ｅ））。ただし、ここでは以下のようにして、 $V_{gs} = V_{th}$ となる前に、 V_{th} 補正を再び一旦停止させている。すなわち、その後、信号線 $D TL$ および電源線 $D SL$ の電圧がそれぞれ、電圧 V_{ofs} 、電圧 V_{cc} のまま保持されている期間中のタイミング t_8 において、走査線駆動回路２３が走査線 $W SL$ の電圧を、電圧 V_{on} から電圧 V_{off} に下げる（図３（Ｂ））。これにより、書き込みトランジスタ T_{r1} がオフ状態となるため、駆動トランジスタ T_{r2} のゲートがフローティングとなり、 V_{th} 補正が再び一旦停止する（以下の２回目の V_{th} 補正休止期間 T_3 へと移行する）。

20

30

【００３９】

（２回目の V_{th} 補正休止期間 T_3 ： $t_8 \sim t_9$ ）

次に、タイミング t_8 から後述するタイミング t_9 までの期間は、上記したように、 V_{th} 補正が再び一旦停止している。ただし、ここでは、上記したように２回目の V_{th} 補正がまだ不十分であることから（ $V_{gs} > V_{th}$ ）、この２回目の V_{th} 補正休止期間 T_3 中にも、駆動トランジスタ T_{r2} のドレイン・ソース間に依然として電流 I_d が流れ、ソース電位 V_s が上昇し続ける（図３（Ｅ））。また、１回目の V_{th} 補正休止期間 T_3 中と同様に、駆動トランジスタ T_{r2} のゲート電位 V_g もまた、保持容量素子 C_s を介した容量カップリングにより上昇する（図３（Ｄ））。

40

【００４０】

（３回目の V_{th} 補正期間 T_2 および３回目の V_{th} 補正休止期間 T_3 ： $t_9 \sim t_{11}$ ）

次に、駆動回路２０は、駆動トランジスタ T_{r2} における V_{th} 補正を再び行う（３回目の V_{th} 補正を行う）。具体的には、まず、信号線 $D TL$ の電圧が電圧 V_{ofs} となっており、かつ電源線 $D SL$ の電圧が電圧 V_{cc} となっている期間中のタイミング t_9 において、走査線駆動回路２３が、走査線 $W SL$ の電圧を電圧 V_{off} から電圧 V_{on} に上げる（図３（Ｂ））。これにより、書き込みトランジスタ T_{r1} がオン状態となるため、駆動トランジスタ

50

タ T_{r2} のゲート電位 V_g が再び、このときの信号線 DTL の電圧に対応する電圧 V_{ofs} となる（図3（D））。そして、これまでの V_{th} 補正期間 T_2 と同様に、駆動トランジスタ T_{r2} がカットオフするまで（ $V_{gs} = V_{th}$ になるまで）、この駆動トランジスタ T_{r2} のドレイン - ソース間に電流 I_d が流れ、ソース電位 V_s が上昇する（図3（E））。ここでは、図3中に示したように、この3回目の V_{th} 補正期間 T_2 の終了時に $V_{gs} = V_{th}$ となり、 V_{th} 補正が完了するものとする。すなわち、保持容量素子 C_s の両端間の電圧が閾値電圧 V_{th} となるように充電され、その結果、駆動トランジスタ T_{r2} におけるゲート - ソース間電圧 V_{gs} が、閾値電圧 V_{th} となる。その後、信号線 DTL および電源線 DSL の電圧がそれぞれ、電圧 V_{ofs} 、電圧 V_{cc} のまま保持されている期間中のタイミング t_{10} において、走査線駆動回路23が走査線 WSL の電圧を、電圧 V_{on} から電圧 V_{off} に下げる（図3（B））。これにより、書き込みトランジスタ T_{r1} がオフ状態となるため、駆動トランジスタ T_{r2} のゲートがフローティングとなり、その結果、その後の信号線 DTL の電圧の大きさによらず、ゲート - ソース間電圧 V_{gs} を閾値電圧 V_{th} のまま保持することができる。なお、このタイミング t_{10} から後述するタイミング t_{11} までの期間は、3回目の V_{th} 補正休止期間 T_3 となっている。

【0041】

このようにして、 V_{th} 補正期間 T_2 および V_{th} 補正休止期間 T_3 を数回ずつ（ここでは、3回ずつ）繰り返してゲート - ソース間電圧 V_{gs} を閾値電圧 V_{th} に設定することにより（ V_{th} 補正を行うことにより）、以下のような効果が得られる。すなわち、駆動トランジスタ T_{r2} の閾値電圧 V_{th} が画素11（11R, 11G, 11B）ごとにばらついた場合であっても、有機EL素子12の発光輝度がばらつくのを回避することができる。

【0042】

（移動度補正・階調補完書き込み期間 T_4 : $t_{11} \sim t_{12}$ ）

次に、駆動回路20は、以下説明するようにして、階調補間電圧 V_{sig1} の書き込み（階調補間書き込み）を行いつつ、駆動トランジスタ T_{r2} における移動度 μ の補正（1回目の移動度補正）を行う。具体的には、まず、信号線 DTL の電圧が階調補間電圧 V_{sig1} となっており、かつ電源線 DSL の電圧が電圧 V_{cc} となっている期間中のタイミング t_{11} において、走査線駆動回路23が、走査線 WSL の電圧を電圧 V_{off} から電圧 V_{on} に上げる（図3（B））。これにより、書き込みトランジスタ T_{r1} がオン状態となるため、駆動トランジスタ T_{r2} のゲート電位 V_g が、電圧 V_{ofs} から、このときの信号線 DTL の電圧に対応する階調補間電圧 V_{sig1} へと上昇する（図3（D））。このとき、有機EL素子12のアノード電圧は、この段階ではまだ、有機EL素子12における閾値電圧 V_{el} とカソード電圧 V_{ca} とを足し合わせた電圧値（ $V_{el} + V_{ca}$ ）よりも小さいため、有機EL素子12はカットオフ状態となっている。すなわち、この段階ではまだ、有機EL素子12のアノード - カソード間には電流が流れない（有機EL素子12が発光しない）。したがって、駆動トランジスタ T_{r2} から供給される電流 I_d は、有機EL素子12のアノード - カソード間に並列に存在する素子容量（図示せず）へと流れ、この素子容量が充電される。その結果、駆動トランジスタ T_{r2} のソース電位 V_s が電位差 ΔV_1 だけ上昇し（図3（E））、ゲート - ソース間電圧 V_{gs} が（ $V_{sig1} + V_{th} - \Delta V_1$ ）となる。

【0043】

このとき、駆動トランジスタ T_{r2} の移動度 μ が大きくなるのに応じて、ソース電位 V_s の上昇分（電位差 ΔV_1 ）も大きくなる。そのため、上記のように、ゲート - ソース間電圧 V_{gs} が、後述する発光前にこの電位差 ΔV_1 の分だけ小さく設定されることにより（フィードバックがかかることにより）、画素11ごとの移動度 μ のばらつきを取り除くことができる。ただし、ここでは以下説明するように、このような移動度補正を一旦休止させるため、画素11ごとの移動度 μ のばらつきは、この段階では完全には取り除かれていないことになる。このようにして、階調補完書き込みと同時に、1回目の移動度補正が行われる。

【0044】

（ブートストラップ期間 T_5 : $t_{12} \sim t_{13}$ ）

10

20

30

40

50

次に、信号線 DTL および電源線 DSL の電圧がそれぞれ、階調補間電圧 V_{sig1} 、電圧 V_{cc} のまま保持されている期間中のタイミング t_{12} において、走査線駆動回路 23 が、走査線 WSL の電圧を電圧 V_{on} から電圧 V_{off} に下げる（図 3（B））。これにより、書き込みトランジスタ T_r1 がオフ状態となるため、駆動トランジスタ T_r2 のゲートがフローティングとなり、移動度補正が一旦停止する。また、このとき、駆動トランジスタ T_r2 のソース電位 V_s も浮遊電位となっており、かつ、図 3 中に示したように、ゲート - ソース間電圧 V_{gs} が再び閾値電圧 V_{th} よりも大きくなっている（ $V_{gs} > V_{th}$ ）。このため、駆動トランジスタ T_r2 がブートストラップし、そのソース電位 V_s が上昇する（図 3（E）；ブートストラップ期間 T_5 ）。つまり、このブートストラップ期間 T_5 もまた、前述した移動度補正と同様の動作がなされることになる。ただし、ここでは、上記したように駆動トランジスタ T_r2 のゲートがフローティングとなっているため、駆動トランジスタ T_r2 のゲート電位 V_g もまた、保持容量素子 C_s を介した容量カップリングにより上昇している（図 3（D））。

10

【0045】

（移動度補正・信号書き込み期間 T_6 ： $t_{13} \sim t_{14}$ ）

次に、駆動回路 20 は、以下説明するようにして、信号電圧 V_{sig2} の書き込み（信号書き込み）を行いつつ、2 回目の移動度補正を行う。具体的には、まず、信号線 DTL の電圧が信号電圧 V_{sig2} となっており、かつ電源線 DSL の電圧が電圧 V_{cc} となっている期間中のタイミング t_{13} において、走査線駆動回路 23 が、走査線 WSL の電圧を電圧 V_{off} から電圧 V_{on} に上げる（図 3（B））。これにより、書き込みトランジスタ T_r1 がオン状態となるため、駆動トランジスタ T_r2 のゲート電位 V_g が、このときの信号線 DTL の電圧に対応する信号電圧 V_{sig2} へと上昇する（図 3（D））。このとき、有機 EL 素子 12 のアノード電圧は、この段階でもまだ、有機 EL 素子 12 における閾値電圧 V_{el} とカソード電圧 V_{ca} とを足し合わせた電圧値（ $V_{el} + V_{ca}$ ）よりも小さく、有機 EL 素子 12 は依然としてカットオフ状態となっている。すなわち、この段階でもまだ、有機 EL 素子 12 のアノード - カソード間には電流が流れない（有機 EL 素子 12 が発光しない）。したがって、駆動トランジスタ T_r2 から供給される電流 I_d は、前述した有機 EL 素子 12 における素子容量（図示せず）へと流れ、この素子容量が充電される。その結果、ここでは、駆動トランジスタ T_r2 のソース電位 V_s が電位差 ΔV_2 だけ上昇し（図 3（E））、ゲート - ソース間電圧 V_{gs} が、（ $V_{sig2} + V_{th} - (\Delta V_1 + \Delta V_2)$ ）となる。

20

30

【0046】

このとき、駆動トランジスタ T_r2 の移動度 μ が大きくなるのに応じて、1 回目の移動度補正の際と同様に、ソース電位 V_s の上昇分（電位差 ΔV_2 ）も大きくなる。そのため、上記のように、ゲート - ソース間電圧 V_{gs} が、後述する発光前にこの電位差 ΔV_2 の分だけ更に小さく設定されることにより、画素 11 ごとの移動度 μ のばらつきを完全に取り除くことができる。このようにして、信号書き込みと同時に 2 回目の移動度補正が行われる。

【0047】

（発光期間 T_7 （ T_0 ）： t_{14} 以降）

次に、信号線 DTL および電源線 DSL の電圧がそれぞれ、階調補間電圧 V_{sig2} 、電圧 V_{cc} のまま保持されている期間中のタイミング t_{14} において、走査線駆動回路 23 が、走査線 WSL の電圧を電圧 V_{on} から電圧 V_{off} に下げる（図 3（B））。これにより、書き込みトランジスタ T_r1 がオフ状態となるため、駆動トランジスタ T_r2 のゲートがフローティングとなる。すると、この駆動トランジスタ T_r2 のゲート - ソース間電圧 V_{gs} が一定に保持された状態で、駆動トランジスタ T_r2 のドレイン - ソース間に電流 I_d が流れる。その結果、この駆動トランジスタ T_r2 のソース電位 V_s が上昇する（図 3（E））と共に、駆動トランジスタ T_r2 のゲート電位 V_g もまた、保持容量素子 C_s を介した容量カップリングにより、連動して上昇する（図 3（D））。そして、これにより、有機 EL 素子 12 のアノード電圧が、この有機 EL 素子 12 における閾値電圧 V_{el} とカ

40

50

ソース電圧 V_{ca} とを足し合わせた電圧値 ($V_{el} + V_{ca}$) よりも大きくなる。よって、有機 EL 素子 12 のアノード - カソード間に電流 I_d が流れ、有機 EL 素子 12 が所望の輝度で発光する (発光期間 T_7 (T_0))。

【0048】

(繰り返し)

次に、駆動回路 20 は、所定の期間が経過したのち、発光期間 T_7 (T_0) を終了させる。具体的には、前述したのと同様に、タイミング t_1 において、電源線駆動回路 25 が、電源線 DSL の電圧を電圧 V_{cc} から電圧 V_{ini} に下げる (図 3 (C))。すると、駆動トランジスタ T_r2 のソース電位 V_s が下降していき、最終的に電圧 V_{ini} となる (図 3 (E))。このため、有機 EL 素子 12 のアノード電圧が、この有機 EL 素子 12 における閾値電圧 V_{el} とカソード電圧 V_{ca} とを足し合わせた電圧値 ($V_{el} + V_{ca}$) よりも小さくなり、アノード - カソード間に電流 I_d が流れなくなる。その結果、このタイミング t_1 以降、有機 EL 素子 12 が消光する (前述した消光期間 T_{10} へと移行する)。なお、その後は、駆動回路 20 は、これまで説明した各期間 $T_1 \sim T_7$ (T_0) がフレーム期間ごとに周期的に繰り返されるように、表示駆動を行う。また、それと共に、駆動回路 20 は、例えば 1 水平期間 (1 H 期間) ごとに、電源線 DSL に印加する選択パルスおよび走査線 WSL に印加する制御パルスをそれぞれ、行方向に走査させる。以上のようにして、表示装置 1 における表示動作 (駆動回路 20 による表示駆動) がなされる。

【0049】

(3. 階調補間動作)

続いて、本実施の形態の表示装置 1 における表示動作の際の特徴的部分の 1 つである、駆動回路 20 による階調補間動作 (各有機 EL 素子 12 における発光輝度の階調を補間する動作) について、比較例の表示動作と比較しつつ詳細に説明する。

【0050】

(3-1. 比較例の表示動作)

図 4 は、比較例に係る従来の表示装置における表示動作の際の各種波形の一例を、タイミング図で表したものである (タイミング $t_{101} \sim t_{112}$)。ここで、図 4 (A) ~ (C) はそれぞれ、前述した図 3 (A) ~ (C) と同様に、信号線 DTL、走査線 WSL および電源線 DSL の電圧波形を示している。ただし、ここでは図 4 (A) については、図 3 (A) とは異なり、信号線 DTL の電圧が、電圧 V_{ofs} および信号電圧 V_{sig} (2 値の電圧) の間で周期的に変化している様子を示している。また、図 3 (D), (E) はそれぞれ、前述した図 3 (D), (E) と同様に、駆動トランジスタ T_r2 におけるゲート電位 V_g およびソース電位 V_s の波形を示している。

【0051】

この比較例の表示動作は、タイミング $t_{101} \sim t_{111}$ の期間 (V_{th} 補正準備期間 T_1 、1 ~ 3 回目の V_{th} 補正期間 T_2 および 1 ~ 3 回目の V_{th} 補正休止期間) の動作については、表示装置 1 の表示動作 (図 3 中のタイミング $t_1 \sim t_{11}$ の期間の動作) と、基本的に同様である。すなわち、上記したように、信号線 DTL の電圧が 2 値 (電圧 V_{ofs} および信号電圧 V_{sig}) となっていることを除き、表示装置 1 と同様の V_{th} 補正動作がなされている。

【0052】

一方、比較例の表示動作のうち、タイミング $t_{111} \sim t_{112}$ の期間 (移動度補正・信号書き込み期間 T_8) の動作については、表示装置 1 におけるタイミング $t_{11} \sim t_{14}$ の期間の動作とは異なっている。すなわち、比較例では、以下説明する表示装置 1 の動作とは異なり、移動度補正・信号書き込み期間 T_8 の 1 回のみで、信号書き込みおよび移動度補正を行っている。具体的には、外部から入力される映像信号 20A に対応する信号電圧 V_{sig} の書き込み動作と、これまで説明したのと同様の移動度補正 (ここでは、ソース電位 V_s を電位差 ΔV だけ上昇させている) とを行っている。なお、タイミング t_{112} 以降の発光期間 T_9 (T_0) の動作については、表示装置 1 における発光期間 T_7 (T_0) の動作と基本的に同様である。

10

20

30

40

50

【 0 0 5 3 】

このとき、この比較例の表示動作では、信号電圧 V_{sig} と、駆動トランジスタ T_{r2} に流れる電流 I_d (有機 EL 素子 12 の発光輝度 L に比例) との関係 (ガンマカーブ) は、例えば図 5 (A) に示したようになる。すなわち、映像信号 20A により設定される信号電圧 V_{sig} の階調が、例えば電圧 $x, x+1, x+2, \dots$ と増加するのに応じて、電流 I_d (発光輝度 L) の階調も、1 対 1 の関係で増加している。具体的には、信号電圧 V_{sig} が電圧 x に設定されているとき、電流 I_d は電流値 $I_d(x)$ 、発光輝度 L は輝度 $L(x)$ となっている。同様に、信号電圧 V_{sig} が電圧 $(x+1)$ に設定されているとき、電流 I_d は電流値 $I_d(x+1)$ 、発光輝度 L は輝度 $L(x+1)$ となり、信号電圧 V_{sig} が電圧 $(x+2)$ に設定されているとき、電流 I_d は電流値 $I_d(x+2)$ 、発光輝度 L は輝度 $L(x+2)$ となる。このことから、比較例の表示動作を用いた場合、映像信号 20A により設定可能な階調数 (映像信号 20A のビット数)、言い換えると、信号電圧 V_{sig} において設定可能な電圧値の数によって、一義的に発光輝度 L の階調数が定まることになる。具体的には、例えば映像信号 20A が 8 ビットの信号である場合、表現可能な発光輝度 L の階調数は、 $2^8 = 256$ となる。また、例えば映像信号 20A が 10 ビットの信号である場合、表現可能な発光輝度 L の階調数は、 $2^{10} = 1024$ となる。

【 0 0 5 4 】

したがって、表示装置全体としての低コスト化を実現するための手法の 1 つとして、例えばデータドライバ (信号線駆動回路 24 に相当) のコスト削減を図る場合、比較例の表示動作を用いた表示装置では、以下の問題が生ずる。すなわち、例えば、映像信号 20A により設定可能な階調数 (映像信号 20A のビット数) を削減して、このデータドライバのコスト削減を図ることが考えられるが、この比較例の表示動作を用いた場合、それに伴い、表現可能な発光輝度 L の階調数も減少してしまう。具体的には、現在のところ一般的となっている 10 ビット階調 (1024 階調) に対し、低コスト化を実現するためには、例えば 8 ビット階調 (256 階調) などに階調数を間引かなければならないことになる。このように、表現可能な発光輝度 L の階調数が減少すると、それに伴って表示画質も低下してしまうことから、比較例の表示動作を用いた場合、低コスト化を図りつつ高画質化を実現する (低コスト化と高画質化との両立) のが困難である。

【 0 0 5 5 】

(3 - 2 . 実施の形態における階調補間動作)

これに対して、本実施の形態の表示装置 1 では、まず、上記比較例とは異なり、信号書き込みの 2 ステップ化が図られている。具体的には、図 3 に示したように、タイミング $t_{11} \sim t_{14}$ の期間において、ブートストラップ期間 T_5 を挟んで 2 回の移動度補正・信号書き込み期間 (移動度補正・階調補間書き込み期間 T_4 および移動度補正・信号書き込み期間 T_6) が設けられている。また、信号線駆動回路 24 は、映像信号 20A に基づく信号電圧である階調補間電圧 V_{sig1} および信号電圧 V_{sig2} と、電圧 V_{ofs} との 3 つの電圧 (3 値の電圧) を出力することが可能となっている。そして、この信号線駆動回路 24 は、これら 2 つの信号電圧を、図 3 に示したように、階調補完電圧 V_{sig1} および信号電圧 V_{sig2} の順に各信号線 DTL に対して印加すると共に、以下説明するように、階調補完電圧 V_{sig1} および信号電圧 V_{sig2} の電圧値を個別に変化させている。

【 0 0 5 6 】

これにより、表示装置 1 では、例えば図 5 (B) 中の符号 P_{11}, P_{12} で示したように、各有機 EL 素子 12 における発光輝度 L の階調を補間する階調補間動作を行っている。その結果、この表示装置 1 では、映像信号 20A によって元々設定することが可能な階調数よりも多くの階調の表現が実現される。具体的には、例えば図 5 (A) に示した信号電圧 V_{sig} において設定される電圧 x 等が 8 ビット階調である場合、図 5 (B) では、この 8 ビット階調に対して 2 ビット分の階調 (4 階調) が補間されるため (符号 P_{11}, P_{12} 参照)、10 ビット階調が実現される。すなわち、信号電圧 V_{sig2} において設定される電圧 x 等 (基本階調電圧) に対し、以下詳述するように、階調補間電圧 V_{sig1} において設定される電圧 y 等 (補間階調電圧) を用いることで 2 ビット分の階調 (4 階調) が

補間され、合計 10 ビット階調となる。

【0057】

ここで、このような階調補間動作についてより具体的に説明すると、以下ようになる。すなわち、まず、信号線駆動回路 24 は、例えば図 6 (A) ~ (D) に示したように、信号電圧 V_{sig2} を、映像信号 20A により設定可能な複数の階調（ここでは、8 ビット階調 = 256 階調）のうちの一の階調に対応する電圧（ここでは、電圧 x ）に固定して設定する。次いで、例えば図 6 (A) 中の矢印 P21 で示したように、信号線駆動回路 24 は、階調補間電圧 V_{sig1} を複数の電圧（ここでは、電圧 $(y-3)$ 、 $(y-2)$ 、 $(y-1)$ 、 y の 4 つの電圧）間で変化させる。そして、信号線駆動回路 24 は、信号電圧 V_{sig2} を、上記した複数の階調のうち他の階調に固定して設定すると共に、階調補間電圧 V_{sig1} を、再び上記した複数の電圧間で変化させる、という動作を繰り返す。

10

【0058】

このとき、図 6 (A)、(D) 中の矢印 P21、P22 で示したように、階調補間電圧 V_{sig1} の電圧値が電圧 $(y-3)$ から電圧 y へと上昇するのに応じて、この階調補間電圧 V_{sig1} の書き込み後における駆動トランジスタ T_r2 のソース電位 V_s の上昇も大きくなる。具体的には、例えば、階調補間電圧 V_{sig1} が電圧 $(y-3)$ に設定されているときのソース電位 V_s の上昇分（1 回目の移動度補正による電位差 $\Delta V_1(y-3)$ ）よりも、階調補間電圧 V_{sig1} が電圧 y に設定されているときのソース電位 V_s の上昇分（電位差 $\Delta V_1(y)$ ）のほうが、大きくなっている。また、このとき、この移動度補正・階調補間書き込み期間 T_4 では、図 6 (C) 中の矢印 P23 で示したように、このような駆動トランジスタ T_r2 のソース電位 V_s の上昇に伴って、駆動トランジスタ T_r2 のゲート電位 V_g も連動して上昇する。すなわち、階調補間電圧 V_{sig1} の電圧値が電圧 $(y-3)$ から電圧 y へと上昇するのに応じて、この階調補間電圧 V_{sig1} の書き込み後におけるゲート電位 V_g の上昇も大きくなる。

20

【0059】

一方、移動度補正・信号書き込み期間 T_6 では、駆動トランジスタ T_r2 のソース電位 V_s の上昇分（2 回目の移動度補正による電位差 ΔV_2 ）は、図 6 (D) に示したように、階調補間電圧 V_{sig1} の電圧値によらず、一定となっている。これは、前述したように、この期間でのソース電位 V_s の上昇分（電位差 ΔV_2 ）は、この際に書き込まれる信号電圧 V_{sig2} の電圧値（ここでは、電圧 x ）により定まるからである。また、この期間終了後には、やはり前述したように、駆動トランジスタ T_r2 のゲート電位 V_g は、信号電圧 V_{sig2} （ここでは、電圧 x ）となる（図 6 (C)）。これらのことから、図 6 から分かるように、階調補間電圧 V_{sig1} の電圧値が電圧 $(y-3)$ から電圧 y へと上昇するのに応じて、信号電圧 V_{sig2} の書き込み後（発光動作時）における駆動トランジスタ T_r2 のゲート - ソース間電圧 V_{gs} は小さくなる。具体的には、例えば、階調補間電圧 V_{sig1} が電圧 $(y-3)$ に設定されているときのゲート - ソース間電圧 $V_{gs}(y-3)$ よりも、階調補間電圧 V_{sig1} が電圧 y に設定されているときのゲート - ソース間電圧 $V_{gs}(y)$ のほうが、小さくなっている。

30

【0060】

これにより、例えば図 7 に示したように、階調補間電圧 V_{sig1} の電圧値が上昇するのに応じて、発光動作時における駆動トランジスタ T_r2 のゲート - ソース間電圧 V_{gs} が小さくなる結果、この駆動トランジスタ T_r2 を流れる電流 I_d が減少する。また、この電流 I_d が減少するのに比例して、有機 EL 素子 12 の発光輝度 L も低くなる。

40

【0061】

これを利用して、信号線駆動回路 24 は、例えば図 8 に示したように、信号電圧 V_{sig2} により設定可能な階調に対応する電圧 x 等のそれぞれに対し（図 8 (B)）、階調補間電圧 V_{sig1} により設定される 4 つ階調に対応する電圧 y 等（図 8 (A)）を選択して割り当てる。これにより、図 5 (B)、図 8 (B) に示したような階調補間動作が実現される。なお、図 8 (A) 中の電圧範囲 Δy は、階調補間電圧 V_{sig1} により設定される 4 つ階調の階調区間を示している。

50

【 0 0 6 2 】

以上のように本実施の形態では、表示パネル 1 0 内の複数の画素 1 1 に対する表示駆動の際に、駆動回路 2 0 (信号線駆動回路 2 4) が、映像信号 2 0 A の階調に応じて階調補間電圧 V_{sig1} および信号電圧 V_{sig2} の電圧値を個別に変化させることにより、各有機 EL 素子 1 2 における発光輝度 L の階調を補間する階調補間動作を行うようにしたので、映像信号 2 0 A によって元々設定することが可能な階調数よりも多くの階調の表現を実現することができる。よって、駆動回路 2 0 (信号線駆動回路 2 4) の構成を簡素化しつつ (複雑化することなく) 、より高精細な階調表現が実現される。すなわち、例えば M (M : 整数) ビットの映像信号 2 0 A を出力可能なデータドライバ (信号線駆動回路 2 4) を用いた場合であっても、 N (N : 整数 , $N > M$) ビットの階調表現が可能となり、駆動回路 2 0 のコスト削減を図ることができる。以上のことから、本実施の形態の表示装置 1 によれば、低コスト化を図りつつ高画質化を実現する (低コスト化と高画質化とを両立させる) ことが可能となる。

10

【 0 0 6 3 】

< モジュールおよび適用例 >

続いて、図 9 ~ 図 1 4 を参照して、上記実施の形態で説明した表示装置 1 の適用例について説明する。上記実施の形態の表示装置 1 は、テレビジョン装置、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置あるいはビデオカメラなどのあらゆる分野の電子機器に適用することが可能である。言い換えると、この表示装置 1 は、外部から入力された映像信号あるいは内部で生成した映像信号を、画像あるいは映像として表示するあらゆる分野の電子機器に適用することが可能である。

20

【 0 0 6 4 】

(モジュール)

表示装置 1 は、例えば、図 9 に示したようなモジュールとして、後述する適用例 1 ~ 5 などの種々の電子機器に組み込まれる。このモジュールは、例えば、基板 3 1 の一辺に、封止用基板 3 2 から露出した領域 2 1 0 を設け、この露出した領域 2 1 0 に、駆動回路 2 0 の配線を延長して外部接続端子 (図示せず) を形成したものである。この外部接続端子には、信号の入出力のためのフレキシブルプリント配線基板 (FPC ; Flexible Printed Circuit) 2 2 0 が設けられていてもよい。

30

【 0 0 6 5 】

(適用例 1)

図 1 0 は、表示装置 1 が適用されるテレビジョン装置の外観を表したものである。このテレビジョン装置は、例えば、フロントパネル 3 1 0 およびフィルターガラス 3 2 0 を含む映像表示画面部 3 0 0 を有しており、この映像表示画面部 3 0 0 が表示装置 1 により構成されている。

【 0 0 6 6 】

(適用例 2)

図 1 1 は、表示装置 1 が適用されるデジタルカメラの外観を表したものである。このデジタルカメラは、例えば、フラッシュ用の発光部 4 1 0、表示部 4 2 0、メニュースイッチ 4 3 0 およびシャッターボタン 4 4 0 を有しており、この表示部 4 2 0 が表示装置 1 により構成されている。

40

【 0 0 6 7 】

(適用例 3)

図 1 2 は、表示装置 1 が適用されるノート型パーソナルコンピュータの外観を表したものである。このノート型パーソナルコンピュータは、例えば、本体 5 1 0、文字等の入力操作のためのキーボード 5 2 0 および画像を表示する表示部 5 3 0 を有しており、この表示部 5 3 0 が表示装置 1 により構成されている。

【 0 0 6 8 】

(適用例 4)

図 1 3 は、表示装置 1 が適用されるビデオカメラの外観を表したものである。このビデ

50

オカメラは、例えば、本体部 6 1 0 , この本体部 6 1 0 の前方側面に設けられた被写体撮影用のレンズ 6 2 0 , 撮影時のスタート/ストップスイッチ 6 3 0 および表示部 6 4 0 を有している。そして、この表示部 6 4 0 が表示装置 1 により構成されている。

【 0 0 6 9 】

(適用例 5)

図 1 4 は、表示装置 1 が適用される携帯電話機の外観を表したものである。この携帯電話機は、例えば、上側筐体 7 1 0 と下側筐体 7 2 0 とを連結部(ヒンジ部) 7 3 0 で連結したものであり、ディスプレイ 7 4 0 , サブディスプレイ 7 5 0 , ピクチャーライト 7 6 0 およびカメラ 7 7 0 を有している。そして、これらのうちのディスプレイ 7 4 0 またはサブディスプレイ 7 5 0 が、表示装置 1 により構成されている。

10

【 0 0 7 0 】

< 変形例 >

以上、実施の形態および適用例を挙げて本発明を説明したが、本発明はこれらの実施の形態等に限定されず、種々の変形が可能である。

【 0 0 7 1 】

例えば、上記実施の形態等では、主に、階調補間動作によって、映像信号 2 0 A により設定可能な 8 ビット階調から 2 ビット分補間することにより、発光輝度 L において 1 0 ビット階調を表現可能とする場合について説明したが、この場合には限られない。すなわち、上記実施の形態等で説明した階調補間動作を用いることにより、例えば、6 ビット階調から 4 ビット分補間して 1 0 ビット階調の表現を実現したり、1 0 ビット階調から 2 ビット分補間して 1 2 ビット階調の表現を実現したりすることも可能である。ただし、元々 M ビット階調に設定された映像信号に対し、N ビット分補間する場合には、階調補間電圧 V_{sig1} を 2^N 値間で変化させるようにすればよい。

20

【 0 0 7 2 】

また、上記実施の形態等では、表示装置 1 がアクティブマトリクス型である場合について説明したが、アクティブマトリクス駆動のための画素回路 1 4 の構成は、上記実施の形態等で説明したものに限られない。すなわち、必要に応じて容量素子やトランジスタ等を画素回路 1 4 に追加するようにしてもよい。その場合、画素回路 1 4 の変更に応じて、上述した走査線駆動回路 2 3、信号線駆動回路 2 4 および電源線駆動回路 2 5 の他に、必要な駆動回路を追加するようにしてもよい。

30

【 0 0 7 3 】

更に、上記実施の形態等では、走査線駆動回路 2 3、信号線駆動回路 2 4 および電源線駆動回路 2 5 における駆動動作を、タイミング生成回路 2 2 が制御する場合について説明したが、他の回路がこれらの駆動動作を制御するようにしてもよい。また、このような走査線駆動回路 2 3、信号線駆動回路 2 4 および電源線駆動回路 2 5 に対する制御は、ハードウェア(回路)で行われるようにしてもよいし、ソフトウェア(プログラム)で行われるようにしてもよい。

【 0 0 7 4 】

加えて、上記実施の形態等では、画素回路 1 4 がいわゆる「2 T r 1 C」の回路構成となっている場合について説明したが、画素回路 1 4 の回路構成はこれには限られない。すなわち、トランジスタが有機 E L 素子 1 2 に直列に接続された回路構成を含んでいるものであれば、画素回路 1 4 が「2 T r 1 C」以外の回路構成となってもよい。

40

【 0 0 7 5 】

また、上記実施の形態等では、書き込みトランジスタ T r 1 および駆動トランジスタ T r 2 がそれぞれ、n チャネルトランジスタ(例えば、n チャネル M O S 型の T F T)により形成されている場合について説明したが、この場合には限られない。すなわち、書き込みトランジスタ T r 1 および駆動トランジスタ T r 2 がそれぞれ、p チャネルトランジスタ(例えば、p チャネル M O S 型の T F T)により形成されていてもよい。ただし、その場合には、駆動トランジスタ T r 2 におけるソースおよびドレインのうちの電源線 D S L に接続されていない方と、保持容量素子 C s の他端とを、有機 E L 素子 1 2 のカソードに

50

接続し、有機EL素子12のアノードをグラウンド線GND等に接続することが好ましい。

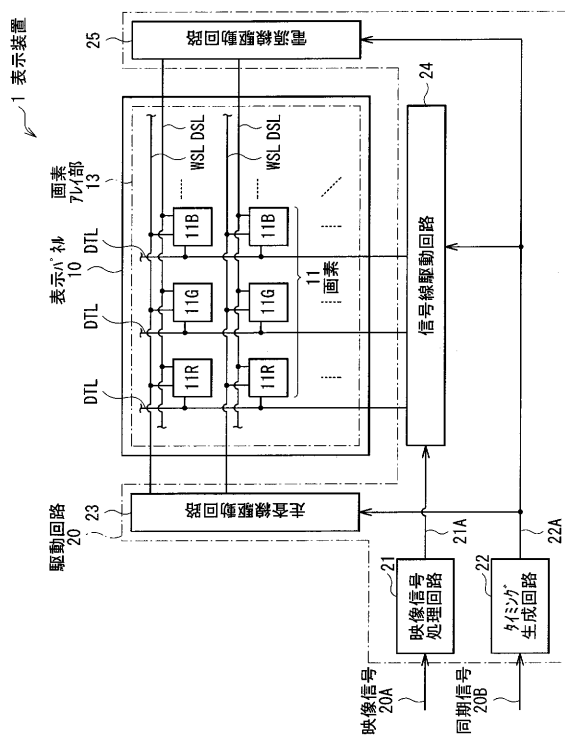
【符号の説明】

【0076】

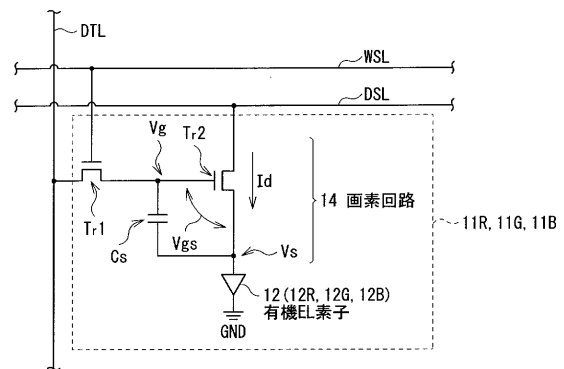
1 ... 表示装置、10 ... 表示パネル、11, 11R, 11G, 11B ... 画素、12R, 12G, 12B ... 有機EL素子、13 ... 画素アレイ部、14 ... 画素回路、20 ... 駆動回路、20A, 21A ... 映像信号、20B ... 同期信号、21 ... 映像信号処理回路、22 ... タイミング生成回路、22A ... 制御信号、23 ... 走査線駆動回路、24 ... 信号線駆動回路、25 ... 電源線駆動回路、WSL ... 走査線、DTL ... 信号線、DSL ... 電源線、Tr1 ... 書き込みトランジスタ、Tr2 ... 駆動トランジスタ、Cs ... 保持容量素子、Id ... 電流、Vg ... ゲート電位、Vs ... ソース電位、Vgs ... ゲート - ソース間電圧、Vth ... 閾値電圧、Vsig1 ... 階調補間電圧、Vsig2 ... 信号電圧、Vofs, Von, Voff, Vcc, Vini, x, x + 1, x + 2, y - 3, y - 2, y - 1, y ... 電圧、 $\Delta V1$, $\Delta V2$... 電位差、 Δy ... 電圧範囲（階調区間）、L ... 発光輝度、t1 ~ t14 ... タイミング、T0, T7 ... 発光期間、T1 ... Vth補正準備期間、T2 ... Vth補正期間、T3 ... Vth補正休止期間、T4 ... 移動度補正・階調補間書き込み期間、T5 ... ブートストラップ期間、T6 ... 移動度補正・信号書き込み期間。

10

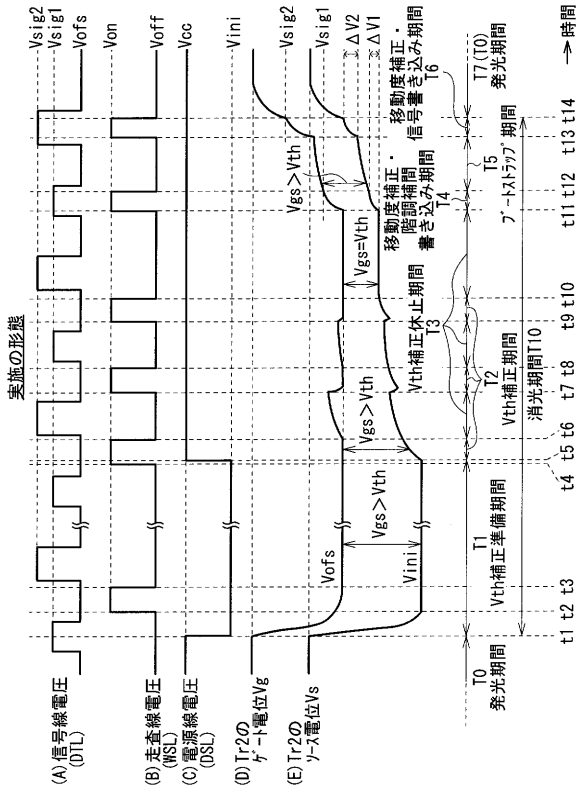
【図1】



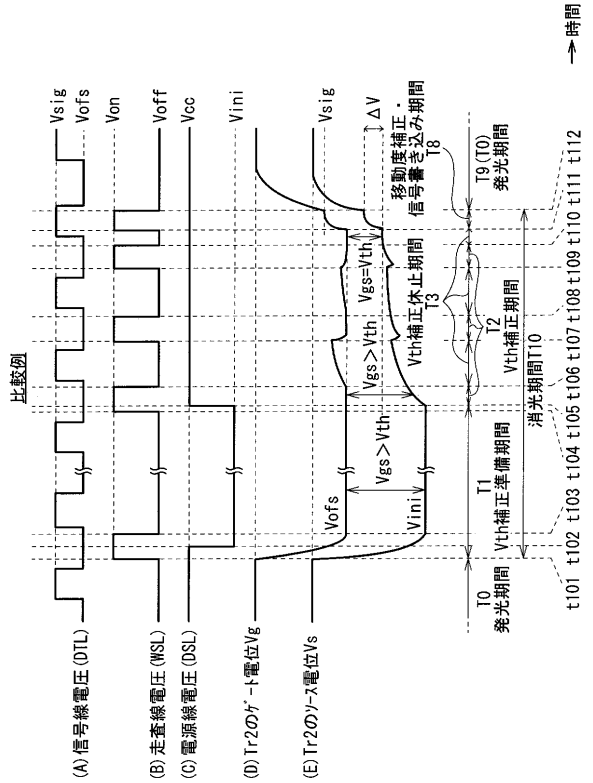
【図2】



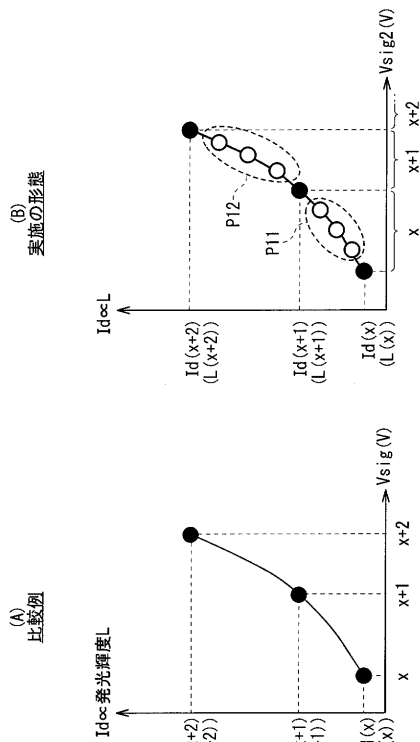
【図 3】



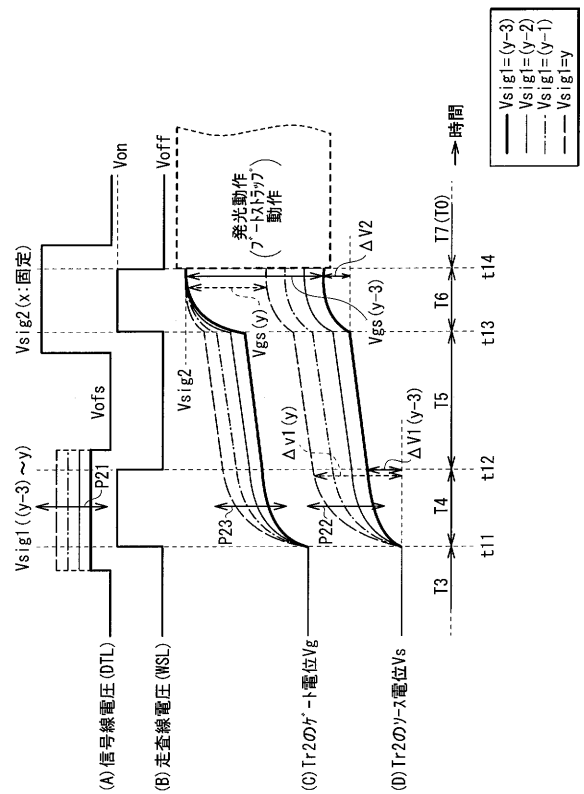
【図 4】



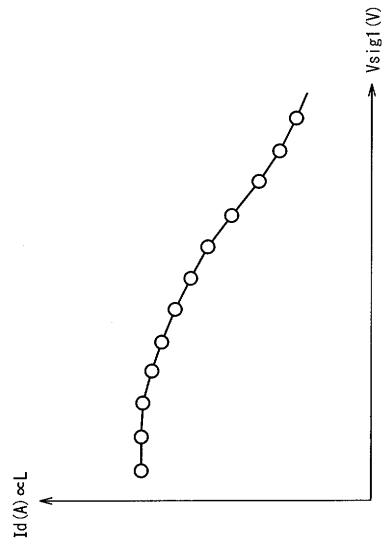
【図 5】



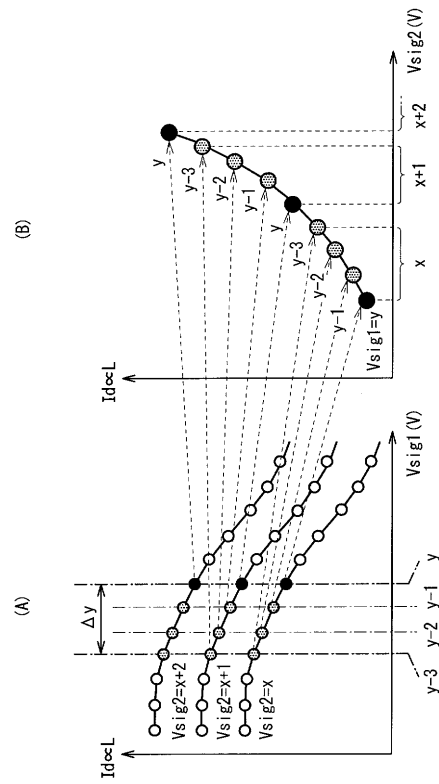
【図 6】



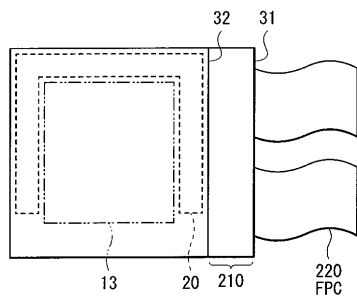
【図 7】



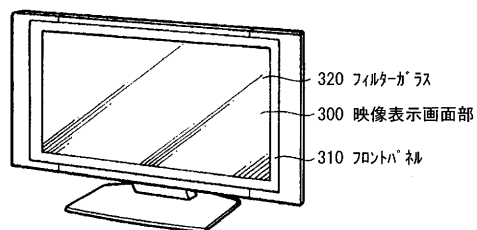
【図 8】



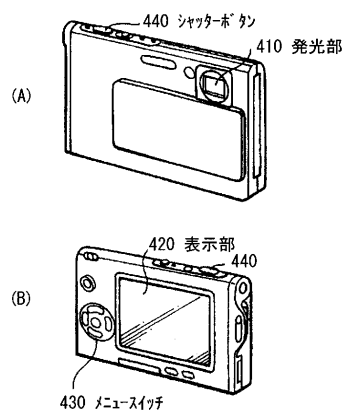
【図 9】



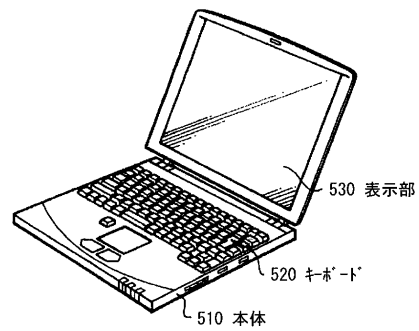
【図 10】



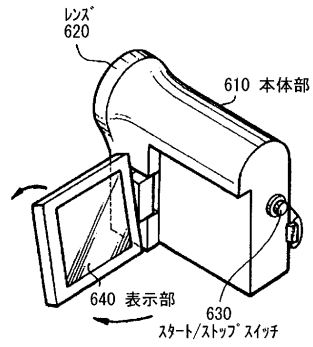
【図 11】



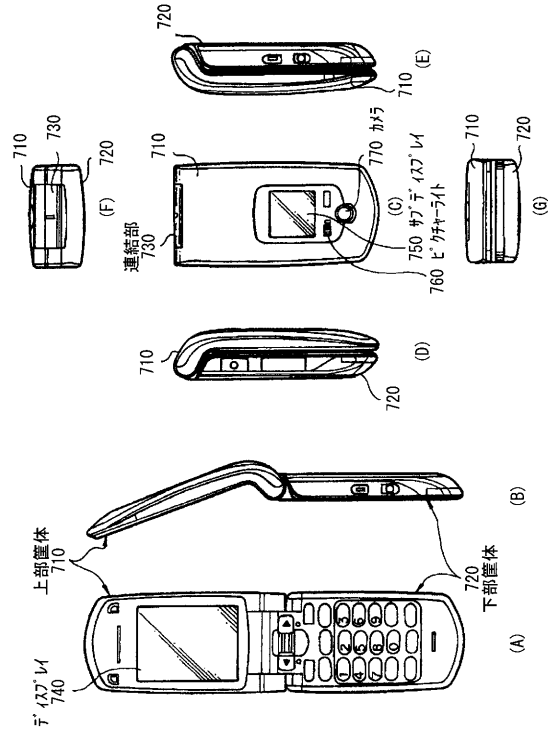
【図 12】



【図 13】



【図 14】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
G 0 9 G 3/20 6 4 2 A
H 0 5 B 33/14 A

(72)発明者 山本 哲郎
東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内

(72)発明者 内野 勝秀
東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内

F ターム(参考) 3K107 AA01 BB01 CC31 CC45 EE03 HH04 HH05
5C080 AA06 BB05 CC03 DD05 EE29 EE30 FF11 JJ02 JJ03 JJ04
JJ05 JJ06
5C380 AA01 AB06 AB11 AB12 AB34 AC07 AC08 AC11 AC12 BA28
BA38 BA39 BA46 BB02 BD02 BD05 CA08 CA12 CA53 CA54
CB01 CB26 CC02 CC04 CC06 CC07 CC27 CC30 CC33 CC41
CC62 CD012 DA02 DA06 DA47 HA05

专利名称(译)	显示装置，其驱动方法和电子设备		
公开(公告)号	JP2011102928A	公开(公告)日	2011-05-26
申请号	JP2009258314	申请日	2009-11-11
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	豊村直史 山本哲郎 内野勝秀		
发明人	豊村 直史 山本 哲郎 内野 勝秀		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3225 G09G2310/0251 G09G2320/045 G09G2340/16		
FI分类号	G09G3/30.J G09G3/20.611.H G09G3/20.624.B G09G3/20.612.U G09G3/20.641.D G09G3/20.642.A H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC31 3K107/CC45 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD05 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C380/AA01 5C380/AB06 5C380/AB11 5C380/AB12 5C380/AB34 5C380/AC07 5C380/AC08 5C380/AC11 5C380/AC12 5C380/BA28 5C380/BA38 5C380/BA39 5C380/BA46 5C380/BB02 5C380/BD02 5C380/BD05 5C380/CA08 5C380/CA12 5C380/CA53 5C380/CA54 5C380/CB01 5C380/CB26 5C380/CC02 5C380/CC04 5C380/CC06 5C380/CC07 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC41 5C380/CC62 5C380/CD012 5C380/DA02 5C380/DA06 5C380/DA47 5C380/HA05		
其他公开文献	JP5493741B2 JP2011102928A5		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够实现高图像质量同时实现成本降低的显示装置，并提供一种用于驱动该装置和电子设备的方法。解决方案：当对显示面板10中的多个像素11进行显示驱动时，驱动电路20（信号线驱动电路24）根据视频的灰度分别改变灰度内插电压 V_{sig1} 和信号电压 V_{sig2} 的电压值。因此，可以实现用于在每个有机EL元件12中内插发光亮度L的灰度的灰度内插操作。可以实现比根据视频信号20A可以原始设置的灰度数更多的灰度的表达。因此，在简化（不复杂）驱动电路20（信号线驱动电路24）的构造的同时，实现了更高清晰度的灰度表达。

