(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2011-59697
(P2011-59697A)
(43)公開日　平成23年3月24日(2011.3.24)

(51)Int.Cl.		FI		テーマコード（参考）
G09G 3/30	(2006.01)	G09G 3/30	J	5C080
G09G 3/20	(2006.01)	G09G 3/20	622A	5C380
H03K 19/0944	(2006.01)	G09G 3/20	622F	5J042
H03K 19/20	(2006.01)	H03K 19/094	A	5J056
		H03K 19/20		

審査請求 有　請求項の数 17　ＯＬ　（全 29 頁）

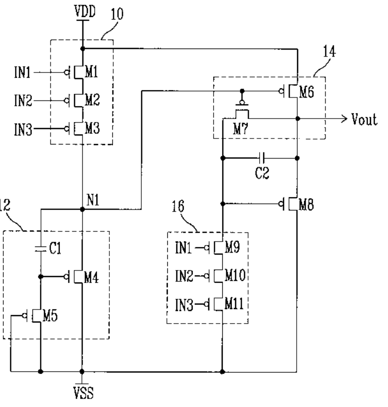
(21)出願番号　特願2010-229932(P2010-229932)
(22)出願日　平成22年10月12日(2010.10.12)
(62)分割の表示　特願2006-274364(P2006-274364)の分割
原出願日　平成18年10月5日(2006.10.5)
(31)優先権主張番号　10-2006-0074586
(32)優先日　平成18年8月8日(2006.8.8)
(33)優先権主張国　韓国(KR)

(71)出願人　308040351
三星モバイルディスプレイ株式會社
大韓民国京畿道龍仁市器興区農書洞山２４
(74)代理人　100083806
弁理士　三好　秀和
(74)代理人　100095500
弁理士　伊藤　正和
(72)発明者　鄭　寶　容
大韓民国京畿道龍仁市器興区農書洞山２４
三星モバイルディスプレイ株式會社内
(72)発明者　李　王　棗
大韓民国京畿道龍仁市器興区農書洞山２４
三星モバイルディスプレイ株式會社内

最終頁に続く

(54)【発明の名称】走査駆動部及び有機電界発光表示装置

(57)【要約】
【課題】ＰＭＯＳトランジスタのみで論理和を実現することのできる論理ゲートを提供する。
【解決手段】本発明の論理ゲートは、複数の入力信号に対応して第１ノードＮ１の電圧を制御する第１駆動部１０と、第１ノードＮ１の電圧値を制御する第２駆動部１２と、第１ノードＮ１に印加される電圧値に対応して第１電源ＶＤＤと出力端子Ｖｏｕｔとの接続要否を制御する第３駆動部１４と、第３駆動部１４と第２電源ＶＳＳとの間に接続される制御トランジスタＭ８と、制御トランジスタＭ８のゲート電極と第２電源ＶＳＳの接続要否を制御する第４駆動部１６とを具備し、第１駆動部～第４駆動部を構成するトランジスタ及び制御トランジスタＭ８はＰＭＯＳのみで形成されていることを特徴とする。
【選択図】図1



【特許請求の範囲】
【請求項１】
第1電源及び前記第1電源より低い電圧値に設定された第2電源と、
前記第1電源と第1ノードとの間に位置して外部から供給される複数の入力信号に対応して前記第1ノードの電圧を制御する第1駆動部と、
前記第1ノードと前記第2電源との間に位置して前記第1ノードの電圧値を制御する第2駆動部と、
前記第1電源と出力端子との間に位置して前記第1ノードに印加される電圧値に対応して前記第1電源と前記出力端子との接続要否を制御する第3駆動部と、
前記第3駆動部と前記第2電源との間に接続される制御トランジスタと、
前記制御トランジスタのゲート電極と前記第2電源との間に接続されて前記制御トランジスタのゲート電極と前記第2電源との接続要否を制御する第4駆動部と、
前記制御トランジスタの第1電極とゲート電極との間に接続される第1キャパシタとを具備して、
前記第1駆動部、第2駆動部、第3駆動部及び第4駆動部のそれぞれは少なくとも一つのトランジスタを含み、前記トランジスタ及び前記制御トランジスタはPMOSで形成されていることを特徴とする論理ゲート。
【請求項２】
前記第1駆動部は、前記第1電源と前記第1ノードとの間に直列接続され、それぞれ互いに異なる前記入力信号によってターンオンまたはターンオフされる前記少なくとも一つのトランジスタを備えることを特徴とする請求項1に記載の論理ゲート。
【請求項３】
前記第1駆動部は、
前記入力信号の中の第1入力信号によって制御される第1トランジスタと、
前記入力信号の中の第2入力信号によって制御される第2トランジスタと、
前記入力信号の中の第3入力信号によって制御される第3トランジスタと
を備えることを特徴とする請求項1または請求項2のいずれか1項に記載の論理ゲート。
【請求項４】
前記第2駆動部は、前記第1駆動部から前記第1ノードに前記第1電源の電圧が供給される時には前記第1ノードを前記第1電源の電圧で維持し、それ以外の場合には前記第1ノードを前記第2電源の電圧で維持することを特徴とする請求項1から請求項3のいずれか1個に記載の論理ゲート。
【請求項５】
前記第2駆動部は、
前記第1ノードと前記第2電源との間に接続される第4トランジスタと、
前記第4トランジスタのゲート電極に自らの第1電極が接続され、第2電極及びゲート電極が前記第2電源に接続された第5トランジスタと、
前記第4トランジスタの第1電極とゲート電極との間に接続された第2キャパシタと
を備えることを特徴とする請求項1から請求項4のいずれか1項に記載の論理ゲート。
【請求項６】
前記第4トランジスタのチャンネル/長さ比は、前記第1トランジスタ、第2トランジスタ及び第3トランジスタのそれぞれのチャンネル/長さ比より狭く設定されていることを特徴とする請求項5に記載の論理ゲート。
【請求項７】
前記第2駆動部は、
前記第1ノードと前記第2電源との間に接続される第4トランジスタと、
前記第4トランジスタの第1電極とゲート電極との間に接続された第2キャパシタと、
前記第4トランジスタの第1電極とゲート電極との間に直列接続され、それぞれ互いに異なる前記入力信号によってターンオンまたはターンオフされる第20トランジスタ、第21トランジスタ及び第22トランジスタと、

前記第4トランジスタのゲート電極と前記第2電源との間に並列接続され、前記入力信号と極性が反転された入力バー信号によってターンオンまたはターンオフされる第23トランジスタ、第24トランジスタ及び第25トランジスタと
を備えることを特徴とする請求項1から請求項4のいずれか1項に記載の論理ゲート。

【請求項８】

前記第3駆動部は、前記第1ノードに前記第2電源の電圧が印加される場合に前記制御トランジスタの第1電極と前記第1電源とを電気的に接続し、それ以外の場合には前記制御トランジスタの第1電極と前記第1電源とを電気的に遮断する第6トランジスタを備えることを特徴とする請求項1から請求項７のいずれか1項に記載の論理ゲート。

【請求項９】

前記第3駆動部は、前記第1ノードに前記第2電源の電圧が印加される場合に前記制御トランジスタの第1電極とゲート電極との間を電気的に接続する第7トランジスタをさらに備えることを特徴とする請求項1から請求項8のいずれか1項に記載の論理ゲート。

【請求項１０】

前記第3駆動部は、

前記第1電源と前記第4駆動部との間に位置して、前記第1ノードに印加される電圧値に対応してターンオンまたはターンオフされる第30トランジスタと、

前記第1電源と前記第2電源との間に位置して、前記第30トランジスタの第2電極にゲート電極が接続された第31トランジスタと、

前記第31トランジスタと前記第2電源との間に位置して、前記第1ノードにゲート電極が接続された第33トランジスタと、

前記制御トランジスタと前記第1電源との間に位置して、前記第31トランジスタの第2電極にゲート電極が接続された第32トランジスタと
を備えることを特徴とする請求項1から請求項７のいずれか1項に記載の論理ゲート。

【請求項１１】

前記制御トランジスタのゲート電極は、前記第30トランジスタの第2電極に接続されることを特徴とする請求項10に記載の論理ゲート。

【請求項１２】

前記第4駆動部は、前記制御トランジスタのゲート電極と前記第2電源との間に直列接続され、それぞれ互いに異なる前記入力信号によってターンオンまたはターンオフされる前記少なくとも一つのトランジスタを備えることを特徴とする請求項1から請求項11のいずれか1項に記載の論理ゲート。

【請求項１３】

前記第4駆動部は、

前記入力信号の中の第1入力信号によって制御される第9トランジスタと、

前記入力信号の中の第2入力信号によって制御される第10トランジスタと、

前記入力信号の中の第3入力信号によって制御される第11トランジスタと

を備えることを特徴とする請求項1から請求項12のいずれか1項に記載の論理ゲート。

【請求項１４】

前記第4駆動部は、前記制御トランジスタのゲート電極に第1電極が接続され、第2電極及びゲート電極が前記第2電源に接続された第9トランジスタを備えることを特徴とする請求項1から請求項11のいずれか1項に記載の論理ゲート。

【請求項１５】

前記制御トランジスタのチャンネル/長さ比は、前記第3駆動部に含まれる少なくとも一つの前記トランジスタのチャンネル/長さ比より狭く設定されることを特徴とする請求項１から請求項14のいずれか1項に記載の論理ゲート。

【請求項１６】

複数の第1論理和ゲートを備えた少なくとも一つのデコーダと、

それぞれが互いに異なる走査線と接続されて前記デコーダの出力を論理和演算して走査信号を生成する複数の第2論理和ゲートとを具備し、

前記第1論理和ゲート及び前記第2論理和ゲートのそれぞれは複数のPMOSトランジスタで構成されることを特徴とする走査駆動部。

【請求項１７】

前記デコーダは、外部からロー極性の期間よりハイ極性の期間が長く設定された駆動信号及び駆動バー信号の中の少なくとも一つの供給を受けることを特徴とする請求項16に記載の走査駆動部。

【請求項１８】

前記第1論理和ゲート及び前記第2論理和ゲートのそれぞれは、

第1電源及び前記第1電源より低い電圧値に設定される第2電源と、

前記第1電源と第1ノードとの間に位置して外部から供給される複数の入力信号に対応して前記第1ノードの電圧を制御する第1駆動部と、

前記第1ノードと前記第2電源との間に位置して前記第1ノードの電圧値を制御する第2駆動部と、

前記第1電源と出力端子との間に位置して前記第1ノードに印加される電圧値に対応して前記第1電源と前記出力端子との接続要否を制御する第3駆動部と、

前記第3駆動部と前記第2電源との間に接続される制御トランジスタと、

前記制御トランジスタのゲート電極と前記第2電源との間に接続されて前記制御トランジスタのゲート電極と前記第2電源との接続要否を制御する第4駆動部と

を備えることを特徴とする請求項16または請求項17のいずれか1項に記載の走査駆動部。

【請求項１９】

データ線にデータ信号を供給するためのデータ駆動部と、

走査線に走査信号を供給するための走査駆動部と、

前記データ線及び走査線に接続されて前記走査信号が供給された時に前記データ信号に対応した電圧を充電するための複数の画素を具備し、

前記走査駆動部は、

複数の第1論理和ゲートを備えた少なくとも一つのデコーダと、

それぞれが互いに異なる走査線と接続されて前記デコーダの出力を論理和演算して走査信号を生成する複数の第2論理和ゲートを具備し、

前記第1論理和ゲート及び前記第2論理和ゲートのそれぞれは複数のPMOSトランジスタで構成されることを特徴とする有機電界発光表示装置。

【請求項２０】

前記走査駆動部に含まれる前記PMOSトランジスタは、前記画素に含まれたトランジスタと同時に形成されることを特徴とする請求項19に記載の有機電界発光表示装置。

【請求項２１】

前記第1論理和ゲートは、チップ形態に製作された前記データ駆動部に含まれ、前記第2論理和ゲートは前記画素が形成されるパネルに形成されることを特徴とする請求項19または請求項20のいずれか1項に記載の有機電界発光表示装置。

【請求項２２】

前記デコーダは、ロー極性の期間よりハイ極性の期間が長く設定された駆動信号及び駆動バー信号の中の少なくとも一つの供給を外部から受けることを特徴とする請求項19から請求項21のいずれか1項に記載の有機電界発光表示装置。

【請求項２３】

前記第1論理和ゲート及び前記第2論理和ゲートのそれぞれは、

第1電源及び前記第1電源より低い電圧値に設定された第2電源と、

前記第1電源と第1ノードとの間に位置して外部から供給される複数の入力信号に対応して前記第1ノードの電圧を制御する第1駆動部と、

前記第1ノードと前記第2電源との間に位置して前記第1ノードの電圧値を制御する第2駆動部と、

前記第1電源と出力端子との間に位置して前記第1ノードに印加される電圧値に対応して前記第1電源と前記出力端子との接続要否を制御する第3駆動部と、

前記第3駆動部と前記第2電源との間に接続される制御トランジスタと、
前記制御トランジスタのゲート電極と前記第2電源との間に接続されて前記制御トランジスタのゲート電極と前記第2電源との接続要否を制御する第4駆動部と、
前記制御トランジスタの第1電極とゲート電極との間に接続された第1キャパシタと
を備えることを特徴とする請求項19から請求項22のいずれか1項に記載の有機電界発光表示装置。
【請求項２４】
前記第1駆動部は、前記第1電源と前記第1ノードとの間に直列接続され、それぞれ互いに異なる前記入力信号によってターンオンまたはターンオフされる少なくとも一つのトランジスタを備えることを特徴とする請求項23に記載の有機電界発光表示装置。
【請求項２５】
前記第2駆動部は、前記第1駆動部から前記第1ノードに前記第1電源の電圧が供給される時には前記第1ノードを前記第1電源の電圧で維持し、それ以外の場合には前記第1ノードを前記第2電源の電圧で維持することを特徴とする請求項23または請求項24のいずれか1項に記載の有機電界発光表示装置。
【請求項２６】
前記第3駆動部は、前記第1ノードに前記第2電源の電圧が印加される場合に前記制御トランジスタの第1電極と前記第1電源とを電気的に接続し、それ以外の場合には前記制御トランジスタの第1電極と前記第1電源を電気的に遮断することを特徴とする請求項23から請求項25のいずれか1項に記載の有機電界発光表示装置。
【請求項２７】
前記第4駆動部は、前記制御トランジスタのゲート電極と前記第2電源との間に直列接続され、それぞれ互いに異なる前記入力信号によってターンオンまたはターンオフされる前記少なくとも一つのトランジスタを備えることを特徴とする請求項23から請求項26のいずれか1項に記載の有機電界発光表示装置。
【請求項２８】
前記デコーダのそれぞれは、外部から入力信号の供給を受け、高い周波数の入力信号が供給されるデコーダは、前記第2論理和ゲートと隣接するように配置されることを特徴とする請求項19から請求項27のいずれか1項に記載の有機電界発光表示装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、論理ゲート及びこれを利用した走査駆動部と有機電界発光表示装置に関し、特に、PMOSトランジスタのみで具現される論理ゲートと、この論理ゲートを利用した走査駆動部及び有機電界発光表示装置に関する。
【背景技術】
【０００２】
近年、陰極線管(Cathode Ray Tube)の短所である重さと体積を減らすことができる各種の平板表示装置が開発されている。平板表示装置としては液晶表示装置(Liquid Crystal Display)、電界放出表示装置(Field Emission Display)、プラズマ表示パネル(Plasma Display Panel)、及び有機電界発光表示装置(Organic Light Emitting Display)などがある。
【０００３】
平板表示装置の中で有機電界発光表示装置は、電子と正孔の再結合によって光を発生する有機発光ダイオードを利用して映像を表示する。このような、有機電界発光表示装置は早い応答速度を持つと同時に低い消費電力によって駆動されるという長所がある。
【０００４】
一般に、有機電界発光表示装置はマトリックス形態に配列される画素と、その画素に接続されたデータ線を駆動するためのデータ駆動部と、画素に接続された走査線を駆動するための走査駆動部とを備えている。

【０００５】
走査駆動部は水平期間ごとに走査信号を順次供給しながらライン単位で画素を選択する。

【０００６】
データ駆動部は、走査信号によってライン単位で選択された画素にデータ信号を供給し、各画素はデータ信号に対応する所定の電流を有機発光ダイオードに供給することでデータ信号に対応した所定の画像を表示する。

【０００７】
一方、有機電界発光表示装置の製造費用などを低減するためには走査駆動部がパネルに実装されなければならない。しかし、従来の走査駆動部はPMOSトランジスタとNMOSトランジスタで構成されるので、パネルに実装することが困難であった。言い換えれば、PMOSトランジスタとNMOSトランジスタの両方で構成された走査駆動部をパネルに形成する場合にマスクの数が増加してしまうという問題点が発生する。したがって、PMOSトランジスタだけで具現され、パネルに形成し得る走査駆動部が要求されている。

【先行技術文献】

【特許文献】

【０００８】

【特許文献１】大韓民国特許登録第10-0314732号公報

【特許文献２】大韓民国特許公開第2000-0021373号公報

【特許文献３】日本特開H8-32441号公報

【発明の概要】

【発明が解決しようとする課題】

【０００９】
したがって、本発明の目的はPMOSトランジスタだけで具現された論理ゲートと、この論理ゲートを利用した走査駆動部及び有機電界発光表示装置を提供することである。

【課題を解決するための手段】

【００１０】
前記目的を果たすために、本発明の実施例に係る論理ゲートは、第1電源及び前記第1電源より低い電圧値に設定された第2電源と、前記第1電源と第1ノードとの間に位置して外部から供給される複数の入力信号に対応して前記第1ノードの電圧を制御する第1駆動部と、前記第1ノードと前記第2電源との間に位置して前記第1ノードの電圧値を制御する第2駆動部と、前記第1電源と出力端子との間に位置して前記第1ノードに印加される電圧値に対応して前記第1電源と前記出力端子との接続要否を制御する第3駆動部と、前記第3駆動部と前記第2電源との間に接続される制御トランジスタと、前記制御トランジスタのゲート電極と前記第2電源との間に接続されて前記制御トランジスタのゲート電極と前記第2電源との接続要否を制御する第4駆動部と、前記制御トランジスタの第1電極とゲート電極との間に接続された第1キャパシタとを具備し、前記第1駆動部、第2駆動部、第3駆動部及び第4駆動部のそれぞれは少なくとも一つのトランジスタを含み、前記トランジスタ及び前記制御トランジスタはPMOSで形成されていることを特徴とする。

【００１１】
また、本発明の実施例に係る走査駆動部は、複数の第1論理和ゲートを備えた少なくとも一つのデコーダと、それぞれが互いに異なる走査線と接続されて前記デコーダの出力を論理和演算して走査信号を生成する複数の第2論理和ゲートとを具備し、前記第1論理和ゲート及び前記第2論理和ゲートのそれぞれは複数のPMOSトランジスタで構成されることを特徴とする。

【００１２】
また、本発明の実施例に係る有機電界発光表示装置は、データ線にデータ信号を供給するためのデータ駆動部と、走査線に走査信号を供給するための走査駆動部と、前記データ線及び走査線に接続されて前記走査信号が供給される時に前記データ信号に対応した電圧を充電するための複数の画素を具備し、前記走査駆動部は、複数の第1論理和ゲートを備

えた少なくとも一つのデコーダと、それぞれが互いに異なる走査線と接続されて前記デコーダの出力を論理和演算して走査信号を生成する複数の第2論理和ゲートを具備し、前記第1論理和ゲート及び前記第2論理和ゲートのそれぞれは複数のPMOSトランジスタで構成されることを特徴とする。

【発明の効果】

【００１３】

上述したように、本発明の実施例に係る論理ゲートと、この論理ゲートを利用した走査駆動部及び有機電界発光表示装置によれば、PMOSトランジスタだけで構成された論理和ゲートを利用して走査駆動部を構成することができる。この場合、走査駆動部に含まれるトランジスタがすべてPMOSに設定されるので、マスク数が増加することなしにパネルに実装することができ、これによって製造費用などを節減することができるという長所がある。

また、本発明の走査駆動部は、駆動波形や論理和ゲートの間の連結を変更することにより、走査線に供給される走査信号を多様に設定することができ、これによって多様な駆動方式へ容易に適用することが可能となる。

【図面の簡単な説明】

【００１４】

【図１】本発明の第1実施例に係る論理和ゲートを示す図面である。

【図２】本発明の第2実施例に係る論理和ゲートを示す図面である。

【図３】本発明の第3実施例に係る論理和ゲートを示す図面である。

【図４】本発明の第4実施例に係る論理和ゲートを示す図面である。

【図５】本発明の第5実施例に係る論理和ゲートを示す図面である。

【図６】発明の実施例に係る走査駆動部を示す図面である。

【図７】図6に示した入力端子及び入力バー端子に供給される駆動波形を示す波形図である。

【図８】図6に示した第1論理和ゲートの連結過程の一例を示す図面である。

【図９ａ】図7に示した第1入力端子、第2入力端子及び第3入力端子に供給される駆動波形を詳しく示す図面である。

【図９ｂ】第1入力端子に供給される駆動波形の他の実施例を示す図面である。

【図１０】本発明の実施例に係る有機電界発光表示装置を示す図面である。

【発明を実施するための形態】

【００１５】

以下、本発明の属する技術分野において通常の知識を有する者が本発明を容易に実施することができる好ましい実施例を添付した図1乃至図10を参照して詳しく説明する。

【００１６】

図1は、本発明の第1実施例に係る論理和ORゲートを示す図面である。ここで、本発明の第1実施例に係る論理和ゲートはPMOSトランジスタのみで具現される。

【００１７】

図1を参照すれば、本発明の第1実施例に係る論理和ゲートは、出力端子Voutに供給される電圧を制御するための第8トランジスタM8(制御トランジスタ)と、第1電源VDDと第1ノードN1との間に位置して第1入力信号IN1、第2入力信号IN2及び第3入力信号IN3の極性(ハイまたはロー)に対応して第1電源VDDと第1ノードN1との接続要否を制御する第1駆動部10と、第1ノードN1と第2電源VSSとの間に位置して第1ノードN1の電圧を制御するための第2駆動部12と、第8トランジスタM8の第1電極と第1電源VDDとの間に接続されて第1ノードN1の電圧に対応して第8トランジスタM8の第1電極と第1電源VDDとの接続要否を制御する第3駆動部14と、第8トランジスタM8のゲート電極と第2電源VSSとの間に接続されて第1入力信号IN1、第2入力信号IN2及び第3入力信号IN3の極性(ハイまたはロー)に対応して第8トランジスタM8のゲート電極と第2電源VSSとの接続要否を制御する第4駆動部16とを備えている。

【００１８】

第8トランジスタM8は、自らのゲート電極に供給される電圧に対応してターンオンまたはターンオフされて出力端子Voutに供給される電圧を制御する。例えば、第8トランジス

タM8は自らのゲート電極に第1電源VDDの電圧が供給される時にターンオフされて、第2電源VSSの電圧が供給される時にターンオンされる。

【００１９】

第1駆動部10は、第1電源VDDと第1ノードN1との間に直列接続される第1トランジスタM1、第2トランジスタM2及び第3トランジスタM3を備えている。このように構成された第1駆動部10は、第1入力信号IN1、第2入力信号IN2及び第3入力信号IN3のすべてがロー極性に設定される時に第1電源VDDと第1ノードN1とを電気的に接続させる。

【００２０】

詳しく説明すれば、第1トランジスタM1は第1入力信号IN1がロー極性である時にターンオンされ、第2トランジスタM2は第2入力信号IN2がロー極性である時にターンオンされる。そして、第3トランジスタM3は第3入力信号IN3がロー極性である時にターンオンされる。ここで、第1トランジスタM1、第2トランジスタM2及び第3トランジスタM3は第1電源VDDと第1ノードN1との間に直列接続されるから第1入力信号IN1、第2入力信号IN2及び第3入力信号IN3のすべてがロー極性である時に第1電源VDDと第1ノードN1が電気的に接続される。

【００２１】

第2駆動部12は、第1ノードN1と第2電源VSSとの間に接続される第4トランジスタM4と、第4トランジスタM4のゲート電極と第2電源VSSとの間に接続される第5トランジスタM5と、第4トランジスタM4のゲート電極と第1電極との間に接続される第1キャパシタC1とを備えている。このような第2駆動部12は、第1ノードN1に第1電源VDDの電圧が供給される時に第1電源VDDの電圧を維持し、それ以外の場合には第1ノードN1の電圧を第2電源VSSの電圧で維持する。

【００２２】

詳しく説明すれば、第5トランジスタM5の第1電極は第4トランジスタM4のゲート電極に接続され、第5トランジスタM5のゲート電極及び第2電極は第2電源VSSに接続される。すなわち、第5トランジスタM5はダイオード形態で接続されて第4トランジスタM4のゲート電極の電圧をおよそ第2電源VSSの電圧で維持する。

【００２３】

第1駆動部10によって第1電源VDDと第1ノードN1が電気的に遮られる場合、第4トランジスタM4は第1ノードN1の電圧をロー極性、すなわち第2電源VSSで維持する。そして、第1駆動部10によって第1電源VDDと第1ノードN1が電気的に接続される場合、第4トランジスタM4は第1ノードN1の電圧をハイ極性、すなわち第1電源VDDで維持する。このために、第4トランジスタM4のチャンネル/長さ比W/Lは、第1トランジスタM1、第2トランジスタM2及び第3トランジスタM3のそれぞれのチャンネル/長さ比W/Lより狭く設定されている。

【００２４】

これにより、第1ノードN1に第1電源VDDの電圧が供給される時に第1電源VDDの電圧を安定的に維持することができる。一方、第1ノードN1に第1電源VDDの電圧が供給される時に第4トランジスタM4によって所定の漏洩電流が発生する場合がある。しかし、第1ノードN1に第1電源VDDが供給される場合は第1入力信号IN1、第2入力信号IN2及び第3入力信号IN3のすべてがロー極性となる場合で、動作過程の中のごく一部の期間であり、この漏洩電流によって大量の消費電力が消耗されることはない。一方、第1キャパシタC1は第4トランジスタM4の第1電極とゲート電極との間の電圧を充電して第4トランジスタM4の動作を安定化している。

【００２５】

第3駆動部14は、第1電源VDDと第8トランジスタM8の第1電極との間に接続される第6トランジスタM6と、第6トランジスタM6のゲート電極と第2電極との間に接続される第7トランジスタM7とを備えている。このような第3駆動部14は、第1ノードN1に供給される電圧に対応して第1電源VDDと第8トランジスタM8の第1電極との接続要否を制御する。

【００２６】

詳しく説明すれば、第6トランジスタM6及び第7トランジスタM7は第1ノードN1にロー極性の電圧が供給される時にターンオンされて、それ以外の場合にはターンオフされる。第

6トランジスタM6がターンオンすれば、第1電源VDDの電圧が出力端子Voutに供給される。

【0027】

第7トランジスタM7がターンオンすれば、第8トランジスタM8の第1電極とゲート電極が電気的に接続される。すなわち、第7トランジスタM7がターンオンすると、第1電源VDDが第8トランジスタM8のゲート電極に供給されて第8トランジスタM8をターンオフさせる。ここで、第8トランジスタM8の第1電極とゲート電極との間に接続される第2キャパシタC2は第8トランジスタM8の第1電極とゲート電極との間の電圧を充電して第8トランジスタM8から漏洩電流が発生することを防止する。

【0028】

第4駆動部16は、第8トランジスタM8のゲート電極と第2電源VSSとの間に直列接続される第9トランジスタM9、第10トランジスタM10及び第11トランジスタM11を備えている。このような第4駆動部16は、第1入力信号IN1、第2入力信号IN2及び第3入力信号IN3のすべてがロー極性に設定される時に第8トランジスタM8のゲート電極と第2電源VSSとを電気的に接続させる。

【0029】

詳しく説明すれば、第9トランジスタM9は第1入力信号IN1がロー極性である時にターンオンされ、第10トランジスタM10は第2入力信号IN2がロー極性である時にターンオンされる。そして、第11トランジスタM11は第3入力信号IN3がロー極性である時にターンオンされる。ここで、第9トランジスタM9、第10トランジスタM10及び第11トランジスタM11が第8トランジスタM8のゲート電極と第2電源VSSとの間に直列接続されるから、第1入力信号IN1、第2入力信号IN2及び第3入力信号IN3のすべてがロー極性である時に第8トランジスタM8のゲート電極と第2電源VSSとが電気的に接続される。

【0030】

表1は論理和ゲートの真理表を示す。

【表1】

IN1	IN2	IN3	Vout
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

【0031】

図1及び表1を参照して動作過程を詳しく説明する。まず、第1入力信号IN1、第2入力信号IN2及び第3入力信号IN3の中のいずれかがハイ極性に設定される時には第1トランジスタM1、第2トランジスタM2及び第3トランジスタM3のいずれかがターンオフされる。すると、第1電源VDDと第1ノードN1とが電気的に遮断され、これによって第1ノードN1の電圧がおよそ第2電源VSSの電圧に設定される。

【0032】

第1ノードN1の電圧がロー極性に設定されると、第6トランジスタM6及び第7トランジスタM7がターンオンされる。第6トランジスタM6及び第7トランジスタM7がターンオンされれば、出力端子Voutに第1電源VDDの電圧が出力される(すなわち、ハイ極性の電圧が出力される)。そして、第1入力信号IN1、第2入力信号IN2及び第3入力信号IN3の中のいずれかがハイ極性に設定されている時には第9トランジスタM9、第10トランジスタM10及び第11トラ

ンジスタM11の中のいずれかがターンオフされる。すると、第8トランジスタM8のゲート電極と第2電源VSSとが電気的に遮られてハイ極性の出力電圧が安定的に維持される。

【００３３】

一方、第1入力信号IN1、第2入力信号IN2及び第3入力信号IN3のすべてがロー極性に設定される時には、第1トランジスタM1、第2トランジスタM2及び第3トランジスタM3がターンオンされる。すると、第1電源VDDと第1ノードN1とが電気的に接続されて、これによって第1ノードN1の電圧がおよそ第1電源VDDの電圧に設定される。

【００３４】

第1ノードN1の電圧がハイ極性に設定されると、第6トランジスタM6及び第7トランジスタM7がターンオフされる。そして、第1入力信号IN1、第2入力信号IN2及び第3入力信号IN3のすべてがロー極性に設定される時には第9トランジスタM9、第10トランジスタM10及び第11トランジスタM11がターンオンされる。すると、第8トランジスタM8のゲート電極に第2電源VSSの電圧が供給されて第8トランジスタM8がターンオンされ、これによって出力端子Voutにロー極性の電圧が出力される。

【００３５】

上述したように本発明の第1実施例に係る論理和ゲートは、すべてPMOSトランジスタで構成されている。したがって、有機電界発光表示装置のパネルに内蔵して具現することができ、これによって製造費用を低減すると同時に製造工程を短縮させることができるという利点がある。

【００３６】

一方、図1では3個の入力を持つ論理和ゲートを示したが、本発明はこれに限定されるものではない。言い換えれば、第1駆動部10及び第4駆動部16にそれぞれ含まれているトランジスタの数を調節して入力の数を制御することができる。例えば、第1駆動部10及び第4駆動部16のそれぞれに4個のトランジスタを含むようにすれば、4個の入力を持つ論理和ゲートを作ることができる。

【００３７】

図2は、本発明の第2実施例に係る論理和ゲートを示す図面である。図2の説明において、図1と同じ部分に対しては同じ符号を割り当てると同時に詳細な説明は省略する。

【００３８】

図2を参照すれば、第1駆動部10、第2駆動部12、第3駆動部14'、第4駆動部16'及び第8トランジスタM8(制御トランジスタ)を備えている。

【００３９】

第1駆動部10及び第2駆動部12は図1と同じ構成を持つと同時に同一方式で駆動される。したがって、第1駆動部10及び第2駆動部12の詳細な説明は省略する。

【００４０】

第3駆動部14'は、第1電源VDDと第8トランジスタM8の第1電極との間に接続される第6トランジスタM6を備えている。第6トランジスタM6は第1ノードN1に印加される電圧に対応して第1電源VDDと第8トランジスタM8の第1電極との間の接続要否を制御する。言い換えれば、第1ノードN1にロー極性の電圧が印加される場合には第6トランジスタM6がターンオンされて第1電源VDDと第8トランジスタM8の第1電極を電気的に接続させ、それ以外の場合には第6トランジスタM6がターンオフされて第1電源VDDと第8トランジスタM8の第1電極を電気的に遮断する。

【００４１】

第4駆動部16'は、第8トランジスタM8のゲート電極と第2電源VSSとの間に接続される第9トランジスタM9を備えている。第9トランジスタM9の第1電極は第8トランジスタM8のゲート電極に接続され、第9トランジスタM9のゲート電極及び第2電極は第2電源VSSに接続されている。すなわち、第9トランジスタM9はダイオード形態で接続されて第8トランジスタM8のゲート電極の電圧をおよそ第2電源VSSの電圧で維持する。

【００４２】

第8トランジスタM8は、第6トランジスタM6がターンオフされる場合に出力端子Voutの電

圧をロー極性(すなわち、第2電源VSS)で維持する。そして、第8トランジスタM8は第6トランジスタM6がターンオンされる場合に出力端子Voutの電圧をハイ極性(すなわち、第1電源VDD)で維持する。このために、第8トランジスタM8のチャンネル/長さ比W/Lは、第6トランジスタM6のチャンネル/長さ比W/Lより狭く設定されている。このように第8トランジスタM8のチャンネル/長さ比W/Lが第6トランジスタM6のチャンネル/長さ比W/Lより狭く設定されていることにより、出力端子Voutに第1電源VDDの電圧が印加された時に第1電源VDDの電圧が安定的に維持される。

【００４３】

次に、図2及び表1を参照して動作過程を詳しく説明する。まず、第1入力信号IN1、第2入力信号IN2及び第3入力信号IN3のいずれかがハイ極性に設定される時には第1トランジスタM1、第2トランジスタM2及び第3トランジスタM3の中のいずれかがターンオフされる。すると、第1電源VDDと第1ノードN1が電気的に遮断され、これによって第1ノードN1の電圧がおよそ第2電源VSSの電圧に設定される。

【００４４】

第1ノードN1の電圧がロー極性に設定されると、第6トランジスタM6がターンオンされる。第6トランジスタM6がターンオンされれば出力端子Voutに第1電源VDDの電圧が出力される(すなわち、ハイ極性の電圧が出力される)。

【００４５】

一方、第1入力信号IN1、第2入力信号IN2及び第3入力信号IN3のすべてがロー極性に設定される時には第1トランジスタM1、第2トランジスタM2及び第3トランジスタM3のすべてががターンオンされる。すると、第1電源VDDと第1ノードN1が電気的に接続され、これによって第1ノードN1の電圧がおよそ第1電源VDDの電圧に設定される。

【００４６】

第1ノードN1の電圧がハイ極性に設定されると、第6トランジスタM6がターンオフされる。第6トランジスタM6がターンオフされれば出力端子Voutの電圧が第2電源VSSの電圧に下降する(すなわち、ロー極性の電圧が出力される)。

【００４７】

図3は本発明の第3実施例に係る論理和ゲートを示す図面である。図3の説明において、図1と同じ部分については同じ符号を割り当てると同時に詳細な説明は省略する。

【００４８】

図3を参照すれば、本発明の第3実施例に係る論理和ゲートは、第1駆動部10、第2駆動部12'、第3駆動部14、第4駆動部16及び第8トランジスタM8を備えている。

【００４９】

第1駆動部10、第3駆動部14、第4駆動部16及び第8トランジスタM8は、図1と同じ構成であると同時に同一方式で駆動される。したがって、第1駆動部10、第3駆動部14、第4駆動部16及び第8トランジスタM8の詳細な説明は省略する。

【００５０】

第2駆動部12'は、第1ノードN1と第2電源VSSとの間に接続される第4トランジスタM4と、第4トランジスタM4の第1電極とゲート電極との間に直列接続される第20トランジスタM20、第21トランジスタM21及び第22トランジスタM22と、第4トランジスタM4の第1電極とゲート電極との間に接続される第1キャパシタC1と、第4トランジスタM4のゲート電極と第2電源VSSとの間に並列接続される第23トランジスタM23、第24トランジスタM24及び第25トランジスタM25とを備えている。このような第2駆動部12'は、入力信号IN1乃至IN3と、入力信号の反転信号である入力バー信号/IN1乃至/IN3に対応して第1ノードN1の電圧を制御する。

【００５１】

詳しく説明すれば、第20トランジスタM20、第21トランジスタM21及び第22トランジスタM22は、第4トランジスタM4の第1電極とゲート電極との間に直列接続される。ここで、第20トランジスタM20は第1入力信号IN1によって制御され、第21トランジスタM21は第2入力信号IN2によって制御される。そして、第22トランジスタM22は第3入力信号IN3によって制御

される。すなわち、第20トランジスタM20乃至第22トランジスタM22は、第1入力信号IN1乃至第3入力信号IN3のすべてがロー極性に設定される時に第1ノードN1と第4トランジスタM4のゲート電極を電気的に接続させる。

【００５２】

また、第23トランジスタM23乃至第25トランジスタM25は、第4トランジスタM4のゲート電極と第2電源VSSとの間に並列接続されている。ここで、第23トランジスタM23は第1入力バー信号/IN1によって制御され、第24トランジスタM24は第2入力バー信号/IN2によって制御される。そして、第25トランジスタM25は第3入力バー信号/IN3によって制御される。すなわち、第23トランジスタM23乃至第25トランジスタM25は、第1入力バー信号/IN1乃至第3入力バー信号/IN3のうちのいずれかがロー極性に設定される時に第4トランジスタM4のゲート電極と第2電源VSSとを電気的に接続させる。

【００５３】

図3及び表1を参照して動作過程を説明すれば、まず第1入力信号IN1、第2入力信号IN2及び第3入力信号IN3の中のいずれかがハイ極性に設定される時には第1トランジスタM1、第2トランジスタM2及び第3トランジスタM3の中のいずれかがターンオフされる。そして、第1入力信号IN1、第2入力信号IN2及び第3入力信号IN3の中のいずれかがハイ極性に設定される時には第20トランジスタM20、第21トランジスタM21及び第22トランジスタM22の中のいずれかがターンオフされる。

【００５４】

この時、第1入力バー信号/IN1、第2入力バー信号/IN2及び第3入力バー信号/IN3の中のいずれかがロー極性に設定されて第23トランジスタM23、第24トランジスタM24及び第25トランジスタM25の中のいずれかがターンオンされる。すると、第4トランジスタM4のゲート電極にロー極性の電圧が供給されて第4トランジスタM4がターンオンされ、これによって第1ノードN1にロー極性の電圧が供給される。

【００５５】

第1ノードN1の電圧がロー極性に設定されると、第6トランジスタM6及び第7トランジスタM7がターンオンされる。第6トランジスタM6及び第7トランジスタM7がターンオンされれば出力端子Voutに第1電源VDDの電圧が出力される。

【００５６】

一方、第1入力信号IN1、第2入力信号IN2及び第3入力信号IN3のすべてがロー極性に設定される時には第1トランジスタM1、第2トランジスタM2及び第3トランジスタM3のすべてがターンオンされる。そして、第1入力信号IN1、第2入力信号IN2及び第3入力信号IN3がロー極性に設定される時には第20トランジスタM20、第21トランジスタM21及び第22トランジスタM22のすべてがターンオンされる。すると、第4トランジスタM4がターンオフされて第1ノードN1の電圧がハイ極性に設定される。

【００５７】

ここで、第1入力信号IN1、第2入力信号IN2及び第3入力信号IN3のすべてがロー極性に設定される時に第1入力バー信号/IN1乃至第3入力バー信号/IN3はすべてハイ極性に設定されるから第23トランジスタM23乃至第25トランジスタM25はすべてターンオフされる。したがって、第4トランジスタM4のターンオフ状態が安定的に維持される。

【００５８】

第1ノードN1の電圧がハイ極性に設定されると、第6トランジスタM6及び第7トランジスタM7がターンオフされる。この時、第9トランジスタM9乃至第11トランジスタM11がすべてターンオンされるため第8トランジスタM8のゲート電極に第2電源VSSの電圧が供給され、これによって第8トランジスタM8がターンオンされる。第8トランジスタM8がターンオンされると、出力端子Voutに第2電源VSSの電圧が供給される。

【００５９】

図4は、本発明の第4実施例に係る論理和ゲートを示す図面である。図4を説明する時に図1と同じ部分に対しては同じ符号を割り当てると同時に詳細な説明は省略する。

【００６０】

図4を参照すれば、本発明の第4実施例に係る論理和ゲートは、第1駆動部10、第2駆動部12、第3駆動部14”、第4駆動部16及び第8トランジスタM8を備えている。

【００６１】

第1駆動部10、第2駆動部12及び第4駆動部16は図1と同じ構成を持つと同時に同一方式で駆動される。したがって、第1駆動部10、第2駆動部12及び第4駆動部16の詳細な説明は省略する。

【００６２】

第3駆動部14”は、第1ノードN1に印加された電圧値に対応して第8トランジスタM8のターンオン及びターンオフを制御しながら出力端子Voutに供給される電圧を制御する。このために、第3駆動部14”は第4駆動部16と第1電源VDDとの間に接続される第30トランジスタM30、第1電源VDDと第2電源VSSとの間に接続される第31トランジスタM31及び第33トランジスタM33、出力端子Voutと第1電源VDDとの間に接続される第32トランジスタM32を備えている。

【００６３】

第30トランジスタM30は、第1電源VDDと第4駆動部16との間に位置して、第1ノードN1に印加される電圧に対応してターンオンまたはターンオフされる。ここで、第30トランジスタM30がターンオンされれば第2ノードN2の電圧が第1電源VDDの電圧に上昇する。

【００６４】

第31トランジスタM31は、第2ノードN2に印加される電圧に対応してターンオンまたはターンオフされ、第32トランジスタM32のゲート電極に供給される電圧値を制御する。

【００６５】

第33トランジスタM33は、第1ノードN1に印加される電圧に対応してターンオンまたはターンオフされ、第32トランジスタM32のゲート電極に供給される電圧値を制御する。

【００６６】

第32トランジスタM32のゲート電極は、第31トランジスタM31の第2電極及び第33トランジスタM33の第1電極に接続されている。このような第32トランジスタM32は自らのゲート電極に供給される電圧に対応してターンオンまたはターンオフされ、第1電源VDDと出力端子Voutの接続要否を制御する。

【００６７】

第8トランジスタM8のゲート電極は第2ノードN2に接続されている。このような第8トランジスタM8は第2ノードN2に供給される電圧値に対応して出力端子Voutの出力電圧を制御する。

【００６８】

次に、図4及び表1を参照して動作過程を詳しく説明すると、まず第1入力信号IN1、第2入力信号IN2及び第3入力信号IN3の中のいずれかがハイ極性に設定される時に第1トランジスタM1、第2トランジスタM2及び第3トランジスタM3の中のいずれかがターンオフされる。そして、第1入力信号IN1、第2入力信号IN2及び第3入力信号IN3の中のいずれかがハイ極性に設定される時には第9トランジスタM9、第10トランジスタM10及び第11トランジスタM11の中のいずれかがターンオフされる。

【００６９】

また、第1トランジスタM1、第2トランジスタM2及び第3トランジスタM3の中のいずれかがターンオフされるので、第1ノードN1の電圧がロー極性に設定される。第1ノードN1の電圧がロー極性に設定されると、第30トランジスタM30及び第33トランジスタM33がターンオンされる。第30トランジスタM30がターンオンされると、第2ノードN2の電圧が第1電源VDDに設定される。

【００７０】

第2ノードN2の電圧が第1電源VDDに設定されると、第31トランジスタM31及び第8トランジスタM8がターンオフされる。この場合、第33トランジスタM33がターンオンされるため第32トランジスタM32のゲート電極に第2電源VSSの電圧が供給され、これによって第32トランジスタM32がターンオンされる。すると、第32トランジスタM32がターンオンされたこ

とにより、出力端子Voutに第1電源VDDの電圧が供給される。

【0071】

一方、第1入力信号IN1、第2入力信号IN2及び第3入力信号IN3のすべてがロー極性に設定される時には、第1トランジスタM1、第2トランジスタM2及び第3トランジスタM3がターンオンされる。また、第1入力信号IN1、第2入力信号IN2及び第3入力信号IN3のすべてがロー極性に設定される時には第9トランジスタM9、第10トランジスタM10及び第11トランジスタM11もターンオンされる。

【0072】

そして、第1トランジスタM1、第2トランジスタM2及び第3トランジスタM3のすべてがターンオンされると、第1ノードN1の電圧がハイ極性に設定される。第1ノードN1の電圧がハイ極性に設定されれば第30トランジスタM30及び第33トランジスタM33がターンオフされる。この場合、第2ノードN2の電圧が第2電源VSSに設定される。

【0073】

第2ノードN2の電圧が第2電源VSSに設定されれば、第31トランジスタM31及び第8トランジスタM8がターンオンされる。第31トランジスタM31がターンオンされれば第32トランジスタM32のゲート電極に第1電源VDDの電圧が供給されて第32トランジスタM32がターンオフされる。この場合、第8トランジスタM8がターンオンされるため出力端子Voutには第2電源VSSの電圧が供給される。

【0074】

図5は本発明の第5実施例に係る論理和ゲートを示す図面である。図5を参照すれば、本発明の第5実施例に係る論理和ゲートは、第1駆動部10、第2駆動部12'、第3駆動部14”、第4駆動部16及び第8トランジスタM8を備えている。

【0075】

第1駆動部10及び第4駆動部16は図1に示した論理和ゲートと同じ構成となる。そして、第2駆動部12'は図3に示した論理和ゲートと同じ構成に設定され、第3駆動部14”は図4に示した論理和ゲートと同じ構成に設定されている。したがって、各部10、12'、14”、16の構成について詳細な説明は省略する。

【0076】

図5及び表1を参照して動作過程を詳しく説明すると、まず第1入力信号IN1、第2入力信号IN2及び第3入力信号IN3の中のいずれかがハイ極性に設定される時に第1トランジスタM1、第2トランジスタM2及び第3トランジスタM3の中のいずれかがターンオフされる。そして、第1入力信号IN1、第2入力信号IN2及び第3入力信号IN3の中のいずれかがハイ極性に設定される時に第20トランジスタM20、第21トランジスタM21及び第22トランジスタM22の中のいずれかがターンオフされる。

【0077】

この時、第1入力バー信号/IN1、第2入力バー信号/IN2及び第3入力バー信号/IN3の中のいずれかがロー極性に設定されるので、第23トランジスタM23、第24トランジスタM24及び第25トランジスタM25の中のいずれかがターンオンされる。すると、第4トランジスタM4のゲート電極にロー極性の電圧が供給されて第4トランジスタM4がターンオンされ、これによって第1ノードN1にロー極性の電圧が供給される。

【0078】

第1ノードN1の電圧がロー極性に設定されると、第30トランジスタM30及び第33トランジスタM33がターンオンされる。第30トランジスタM30がターンオンされれば第2ノードN2の電圧が第1電源VDDに設定される。

【0079】

第2ノードN2の電圧が第1電源VDDに設定されれば、第31トランジスタM31及び第8トランジスタM8がターンオフされる。この場合、第33トランジスタM33がターンオンされるので、第32トランジスタM32のゲート電極に第2電源VSSの電圧が供給され、これによって第32トランジスタM32がターンオンされる。すると、第32トランジスタM32がターンオンされたことにより、出力端子Voutに第1電源VDDの電圧が供給される。

【００８０】
一方、第1入力信号IN1、第2入力信号IN2及び第3入力信号IN3のすべてがロー極性に設定される時には、第1トランジスタM1、第2トランジスタM2及び第3トランジスタM3がターンオンされる。そして、第1入力信号IN1、第2入力信号IN2及び第3入力信号IN3のすべてがロー極性に設定される時には第20トランジスタM20、第21トランジスタM21及び第22トランジスタM22がターンオンされる。すると、第4トランジスタM4がターンオフされて第1ノードN1の電圧がハイ極性に設定される。

【００８１】
ここで、第1入力信号IN1、第2入力信号IN2及び第3入力信号IN3のすべてがロー極性に設定される時に、第1入力バー信号/IN1乃至第3入力バー信号/IN3はハイ極性に設定されるから第23トランジスタM23乃至第25トランジスタM25のすべてがターンオフされる。したがって、第4トランジスタM4のターンオフ状態が安定的に維持される。

【００８２】
第1ノードN1の電圧がハイ極性に設定されれば、第30トランジスタM30及び第33トランジスタM33がターンオフされる。この場合、第2ノードN2の電圧が第2電源VSSに設定される。第2ノードN2の電圧が第2電源VSSに設定されれば、第31トランジスタM31及び第8トランジスタM8がターンオンされる。第31トランジスタM31がターンオンされれば、第32トランジスタM32のゲート電極に第1電源VDDの電圧が供給されて第32トランジスタM32がターンオフされる。この場合、第8トランジスタM8がターンオンされるので、出力端子Voutには第2電源VSSの電圧が供給される。

【００８３】
図6は、図1乃至図5の中のいずれかに示した論理和ゲートを利用して具現される走査駆動部を示す図面である。図6では説明の便宜のために走査駆動部が320個の走査線S1乃至S320に接続されているとともに、走査線S1乃至S320に走査信号を順次供給すると仮定する。

【００８４】
図6を参照すれば、本発明の走査駆動部は複数個のデコーダ30、32、34と、デコーダ30、32、34の出力を論理和演算して走査信号を生成するための複数の第2論理和ゲート(2)OR1乃至(2)OR320を備えている。

【００８５】
第1デコーダ30及び第2デコーダ32は3個の入力端子と8個の出力端子を具備し、第3デコーダ34は3個の入力端子と5個の出力端子を備えている。すなわち、第1デコーダ30及び第2デコーダ32のそれぞれには8個の第1論理和ゲート(1)OR1乃至(1)OR8、(1)OR9乃至(1)OR16が含まれ、第3デコーダ34には5個の第1論理和ゲート(1)OR17乃至(1)OR21が含まれている。ここで、それぞれのデコーダ30、32、34に含まれる第1論理和ゲートの数は走査駆動部に接続される走査線S1乃至S320の数によって決定される。例えば、図6では320個の走査線S1乃至S320に走査信号を供給するために21個の第1論理和ゲートが形成されている。

【００８６】
第1デコーダ30は8個の第1論理和ゲート(1)OR1乃至(1)OR8を備えている。このような第1デコーダ30は、第1入力端子a1、第2入力端子a2及び第3入力端子a3から供給される入力信号を第1論理和ゲート(1)OR1乃至(1)OR8に適切に供給する。一方、入力バー信号は入力端子a1、a2、s3のそれぞれにインバータINV1、INV2、INV3を接続して生成する。

【００８７】
第2デコーダ32は、8個の第1論理和ゲート(1)OR9乃至(1)OR16を備えている。このような第2デコーダ32は、第4入力端子a4、第5入力端子a5及び第6入力端子a6から供給される入力信号を第1論理和ゲート(1)OR9乃至(1)OR16に適切に供給する。一方、入力バー信号は入力端子a4、a5、s6のそれぞれにインバータINV4、INV5、INV6を接続して生成する。

【００８８】
第3デコーダ34は、5個の第1論理和ゲート(1)OR17乃至(1)OR21を備えている。このような第3デコーダ34は、第7入力端子a7、第8入力端子a8及び第9入力端子a9に供給される入力信号を第1論理和ゲート(1)OR17乃至(1)OR21に適切に供給する。一方、入力バー信号は入

力端子a7、a8、a9のそれぞれにインバータINV7、INV8、INV9を接続して生成する。

【００８９】

第2論理和ゲート(2)OR1乃至(2)OR320のそれぞれは第1デコーダ30、第2デコーダ32及び第3デコーダ34からの出力信号の供給を受け、供給された出力信号を論理和演算して走査線S1乃至S320に供給する。

【００９０】

ここで、一番目第2論理和ゲート(2)OR1は一番目第1論理和ゲート(1)OR1、九番目第1論理和ゲート(1)OR9及び十七番目第1論理和ゲート(1)OR17の出力を論理和演算して第1走査線S1に走査信号を供給する。二番目第2論理和ゲート(2)OR2は二番目第1論理和ゲート(1)OR2、九番目第1論理和ゲート(1)OR9及び十七番目第1論理和ゲート(1)OR17の出力を論理和演算して第2走査線S2に走査信号を供給する。

【００９１】

そして、六十四番目第2論理和ゲート(2)OR64は八番目第1論理和ゲート(1)OR8、十六番目第1論理和ゲート(1)OR16及び十七番目第1論理和ゲート(1)OR17の出力を論理和演算して第64走査線S64に供給する。三百二十番目第2論理和ゲート(2)OR320は八番目第1論理和ゲート(1)OR8、十六番目第1論理和ゲート(1)OR16及び二十一番目第1論理和ゲート(1)OR21の出力を論理和演算して第320走査線S320に供給する。すなわち、本発明において、第2論理和ゲート(2)OR1乃至(2)OR320のそれぞれはデコーダ30、32、34の出力を論理和演算し、いずれか一つの走査線(S1乃至S320の中のいずれか一つ)に走査信号を供給する。

【００９２】

図7は、図6に示した入力端子に供給される駆動波形を示す図面である。図7を参照すれば、入力端子a1乃至a9には互いに異なる周波数を持つ駆動波形が供給されている。実際に、駆動波形の周波数は第9入力端子a9から第1入力端子a1に行くにしたがって2倍ずつ増加するように設定されている。言い換えれば、第8入力端子a8に供給される駆動波形の周波数は、第9入力端子a9に供給される駆動波形の周波数より2倍高い周波数に設定され、第7入力端子a7に供給される駆動波形の周波数は、第8入力端子a8に供給される駆動波形の周波数より2倍高い周波数に設定される。

【００９３】

また、第6入力端子a6に供給される駆動波形の周波数は、第7入力端子a7に供給される駆動波形の周波数より2倍高い周波数に設定され、第5入力端子a5に供給される駆動波形の周波数は第6入力端子a6に供給される駆動波形の周波数より2倍高い周波数に設定される。そして、入力バー端子/a1乃至/a9に供給される駆動波形は、本実施例では入力端子a1乃至a9のそれぞれにインバータを追加して生成しているが、外部から供給してもよい。

【００９４】

一方、本発明では入力される駆動波形の周波数に対応してデコーダ30、32、34を配置することで、ライン配線の寄生キャップを最小化することができる。例えば、早い周波数の入力を受けるデコーダを第2論理和ゲート(2)OR1乃至(2)OR320に近く配置することにより、寄生キャップ及び抵抗を低くすることができ、これによって動作速度を改善することができる。

【００９５】

図8は、図6に示した第1論理和ゲートの連結構造を示す図面である。図9aは、図7に示した第1入力端子a1、第2入力端子a2及び第3入力端子a3に供給される駆動波形を詳しく示す図面である。

【００９６】

図8では説明の便宜のために、第1デコーダ30に含まれる第1論理和ゲート(1)OR1、(1)OR2、(1)OR3、、、(1)OR8の連結構造を示す。ここで、第2デコーダ32及び第3デコーダ34に含まれる第1論理和ゲート(1)OR9乃至(1)OR21の連結構造も連結される入力端子が異なるだけで、同じように設定される。言い換えれば、図8に示すように一番目第1論理和ゲート(1)OR1が第1入力端子a1乃至第3入力端子a3に接続されれば、九番目第1論理和ゲート(1)OR9は第4入力端子a4乃至第6入力端子a6に接続される。同様に、十七番目第1論理和ゲート(1)

OR17も第7入力端子a7乃至第9入力端子a9に接続される。

【0097】

図8を参照すれば、走査信号を順次出力するために一番目第1論理和ゲート(1)OR1乃至八番目第1論理和ゲート(1)OR8は、ロー極性の信号を順次出力しなければならない。このために、一番目第1論理和ゲート(1)OR1は第1入力端子a1の駆動信号を第1入力信号IN1に供給してもらい、第2入力端子a2の駆動信号を第2入力信号IN2に供給してもらう。そして、一番目第1論理和ゲート(1)OR1は第3入力端子a3からの駆動信号を第3入力信号IN3に供給してもらう。

【0098】

すると、図9aに示すように、第1期間T1の間一番目第1論理和ゲート(1)OR1からロー極性の電圧が出力される。一方、第1期間T1の間には第4入力端子a4、第5入力端子a5及び第6入力端子a6にロー極性の電圧が供給されるから九番目第1論理和ゲート(1)OR9からロー極性の電圧が出力される。そして、第1期間T1の間第7入力端子a7、第8入力端子a8及び第9入力端子a9にロー極性の電圧が供給されるから十七番目第1論理和ゲート(1)OR17からロー極性の電圧が出力される。

【0099】

この場合、一番目第1論理和ゲート(1)OR1、九番目第1論理和ゲート(1)OR9及び十七番目第1論理和ゲート(1)OR17に接続された一番目第2論理和ゲート(2)OR1からロー極性の電圧、すなわち走査信号が出力される。すなわち、第1期間T1の間には第1走査線S1に走査信号が出力される。

【0100】

二番目第1論理和ゲート(1)OR2は、第1入力バー端子/a1からの駆動信号を第1入力信号IN1に供給してもらい、第2入力端子a2の駆動信号を第2入力信号IN2に供給してもらう。そして、二番目第1論理和ゲート(1)OR2は第3入力端子a3からの駆動信号を第3入力信号IN3に供給してもらう。

【0101】

すると、第2期間T2の間二番目第1論理和ゲート(1)OR2からロー極性の電圧が出力される。一方、第2期間T2の間には第4入力端子a4、第5入力端子a5及び第6入力端子a6にロー極性の電圧が供給されるから九番目第1論理和ゲート(1)OR9からロー極性の電圧が出力される。そして、第2期間T2の間には第7入力端子a7、第8入力端子a8及び第9入力端子a9にロー極性の電圧が供給されるから十七番目第1論理和ゲート(1)OR17からもロー極性の電圧が出力される。

【0102】

この場合、二番目第1論理和ゲート(1)OR2、九番目第1論理和ゲート(1)OR9及び十七番目第1論理和ゲート(1)OR17に接続された二番目第2論理和ゲート(2)OR2からロー極性の電圧、すなわち走査信号が出力される。すなわち、第2期間T2の間第2走査線S2に走査信号が出力される。

【0103】

八番目第1論理和ゲート(1)OR8は、第1入力バー端子/a1からの駆動信号を第1入力信号IN1に供給してもらい、第2入力バー端子/a2からの駆動信号を第2入力信号IN2に供給してもらう。そして、八番目第1論理和ゲート(1)OR8は第3入力バー端子/a3からの駆動信号を第3入力信号IN3に供給してもらう。

【0104】

すると、第8期間T8の間には八番目第1論理和ゲート(1)OR8からロー極性の電圧が出力される。一方、第8期間T8の間には第4入力端子a4、第5入力端子a5及び第6入力端子a6にロー極性の電圧が供給されるから九番目第1論理和ゲート(1)OR9からロー極性の電圧が出力される。そして、第8期間T8の間第7入力端子a7、第8入力端子a8及び第9入力端子a9にロー極性の電圧が供給されるから十七番目第1論理和ゲート(1)OR17からロー極性の電圧が出力される。

【0105】

この場合、八番目第1論理和ゲート(1)OR8、九番目第1論理和ゲート(1)OR9及び十七番目第1論理和ゲート(1)OR17に接続された八番目第2論理和ゲート(2)OR8からロー極性の電圧、すなわち走査信号が出力される。すなわち、第8期間T8の間第8走査線S8に走査信号が出力される。

【０１０６】

このような方式で本発明の走査駆動部は走査線S1乃至S320に走査信号を順次供給する。ここで、本発明の走査駆動部はPMOSトランジスタからなる論理和ゲートで構成され、これによって有機電界発光表示装置のパネルに実装可能であるという長所がある。

【０１０７】

一方、上述した説明では走査線S1乃至S320に走査信号が順次供給される連結構成を示したが、本発明はこれに限定されるものではない。現在、有機電界発光表示装置の画素の電圧偏差などを補償するために有機電界発光表示装置をデジタル方式で駆動する方法が提案されている。デジタル方式は"1"または"0"のデータ信号を供給し、画素それぞれの発光時間を制御することで所定の画像を表示する方式である。

【０１０８】

このようなデジタル方式をサブフレーム単位に分けて駆動する場合、意思輪郭ノイズ(Contour noise)などが発生するという問題点がある。したがって、走査信号を順次供給せずに任意の線に供給する方式が提案されている。例えば、第10走査線S10に走査信号を供給した後に第60走査線S60に走査信号を供給する方式で、非発光時間を減らして意思輪郭ノイズなどをとり除くようになる。ここで、本発明の走査駆動部は図7に示した駆動波形または図6に示した連結を変更することで簡単に任意の走査線に走査信号を供給することができる。例えば、一番目第2論理和ゲート(2)OR1を第10走査線S10に接続し、二番目第2論理和ゲート(2)OR2を第60走査線S60に接続することができる。そうすると、第10走査線S10に走査信号が供給された後に第60走査線S60に走査信号が供給される。すなわち、本発明では第2論理和ゲート(2)OR1乃至(2)OR320の連結位置を変更することによって走査信号を供給しようとする所に供給できるという長所があり、これによってデジタル駆動に容易に適用可能である。

【０１０９】

一方、本発明では図9bに示すように出力端子a1乃至a9、/a1乃至/a9に供給される駆動波形をロー極性の期間よりハイ極性の期間が長くなるように設定することができる。詳しく説明すれば、第1入力端子a1に供給される駆動波形でハイ極性の期間は、ロー極性の期間より長く設定される。そして、第1入力バー端子/a1に供給される駆動波形でハイ極性の期間をロー極性の期間より長く設定する。この場合、第1入力バー端子/a1に供給される駆動波形は、インバータによって生成するのではなく、外部から供給する。このように、駆動波形でハイ極性の期間がロー極性の期間より長く設定されればディレイなどによってロー期間が重畳することを防止することができ、これによって安定した駆動を確保することができる。

【０１１０】

図10は、本発明の実施例に係る有機電界発光表示装置を示す図面である。図10を参照すれば、本発明の実施例に係る有機電界発光表示装置は、走査線S1乃至Sn及びデータ線D1乃至Dmの交差領域に形成された画素140を含む画素部130と、走査線S1乃至Snを駆動するための走査駆動部110と、データ線D1乃至Dmを駆動するためのデータ駆動部120と、走査駆動部110及びデータ駆動部120を制御するためのタイミング制御部150とを備えている。

【０１１１】

データ駆動部120は、タイミング制御部150から供給されるデータ駆動制御信号DCSに応答してデータ信号を生成し、生成したデータ信号をデータ線D1乃至Dmに供給する。この時、データ駆動部120はそれぞれの水平期間1Hごとに一ライン分のデータ信号をデータ線D1乃至Dmに供給する。

【０１１２】

走査駆動部110は、タイミング制御部150から供給される走査駆動制御信号SCS(例えば、

図7のような駆動波形)に応答して走査信号を生成し、生成した走査信号を走査線S1乃至Snに供給する。ここで、走査駆動部110から生成された走査信号は、任意の手順で走査線S1乃至Snに供給するか、あるいは順次供給する。そして、走査駆動部110はPMOSトランジスタからなる論理和ゲートで構成され、パネルに形成されている。

【０１１３】

一方、走査駆動部110に含まれるデコーダ30、32、34は、パネルの実装面積を減らすためにデータ駆動部120に集積回路形態で形成することもできる。言い換えれば、データ駆動部120のチップを形成する時にデコーダ30、32、34を含むようにデータ駆動部120を形成する。そして、パネルに形成される第2論理和ゲートとデコーダ30、32、34を電気的に接続することで、パネルの実装面積を減らしつつ走査駆動部110を安定的に駆動することができる。

【０１１４】

タイミング制御部150は、外部から供給される同期信号に対応してデータ駆動制御信号DCS及び走査駆動制御信号SCSを生成する。タイミング制御部150から生成されたデータ駆動制御信号DCSはデータ駆動部120に供給され、走査駆動制御信号SCSは走査駆動部110に供給される。そして、タイミング制御部150は外部から供給されるデータを再整列してデータ駆動部120に供給する。

【０１１５】

画素部130は、外部から第1駆動電源ELVDD及び第2駆動電源ELVSSの供給を受けて各画素140に供給する。第1駆動電源ELVDD及び第2駆動電源ELVSSの供給を受けた画素140は、データ信号に対応して第1駆動電源ELVDDから有機発光ダイオードOLEDを経由して第2駆動電源ELVSSに流れる電流量を制御する。このために、画素140のそれぞれは、少なくとも一つのトランジスタを備えている。ここで、画素140のそれぞれに含まれるトランジスタは、PMOSトランジスタであり、走査駆動部110に含まれるトランジスタと同時に形成される。

【０１１６】

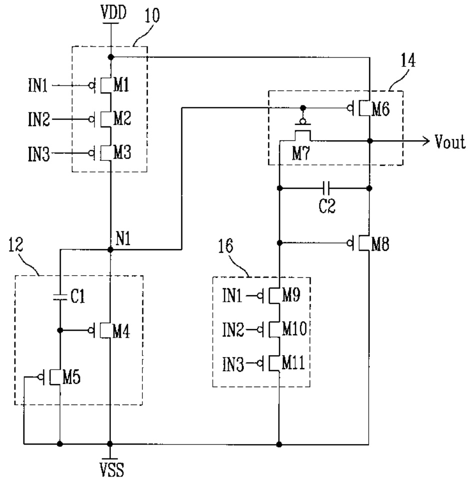
以上添付した図面を参照して本発明について詳細に説明したが、これは例示的なものに過ぎず、当該技術分野における通常の知識を有する者であれば、多様な変形及び均等な他の実施形態が可能であるということを理解することができる。

【符号の説明】

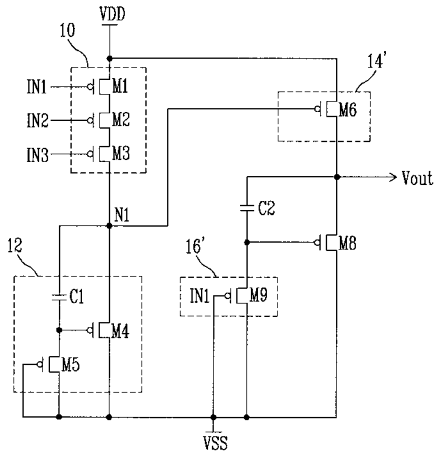
【０１１７】

10、12、14、16　駆動部
30、32、34　デコーダ
110　走査駆動部
120　データ駆動部
130　画素部
140　画素
150　タイミング制御部

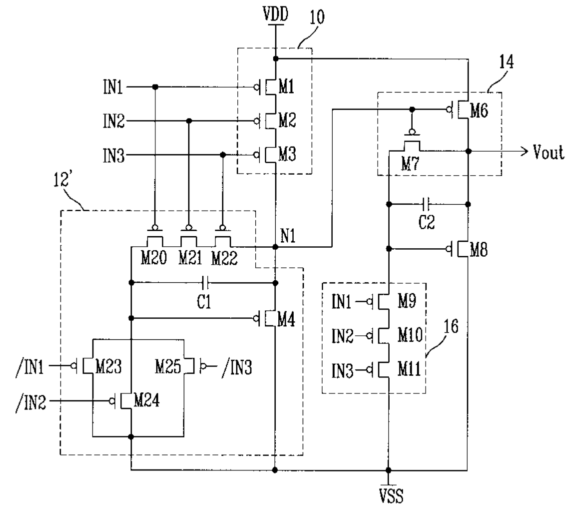
【図１】


VDD
10
IN1
M1
IN2
M2
IN3
M3
14
M6
M7
Vout
C2
N1
12
16
M8
C1
IN1
M9
M4
IN2
M10
IN3
M11
M5
VSS

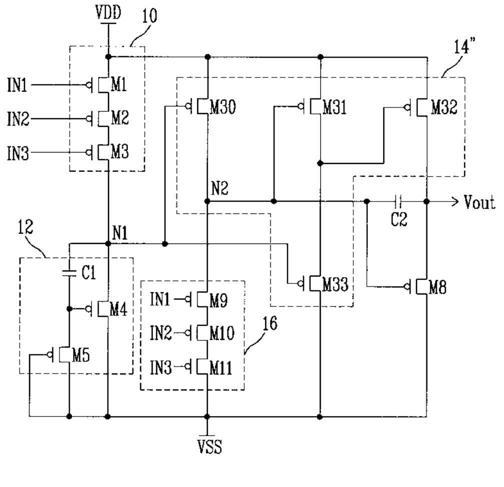
【図２】


VDD
10
14'
IN1
M1
IN2
M2
M6
IN3
M3
Vout
C2
N1
12
16'
M8
C1
IN1
M9
M4
M5
VSS

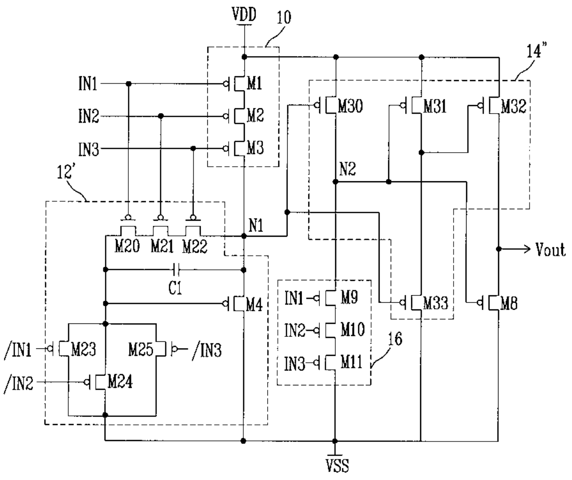
【図３】


VDD
10
14
IN1
M1
M6
IN2
M2
IN3
M3
M7
Vout
12'
C2
N1
M20
M21
M22
M8
C1
IN1
M9
M4
IN2
M10
16
/IN1
M23
M25
/IN3
IN3
M11
/IN2
M24
VSS

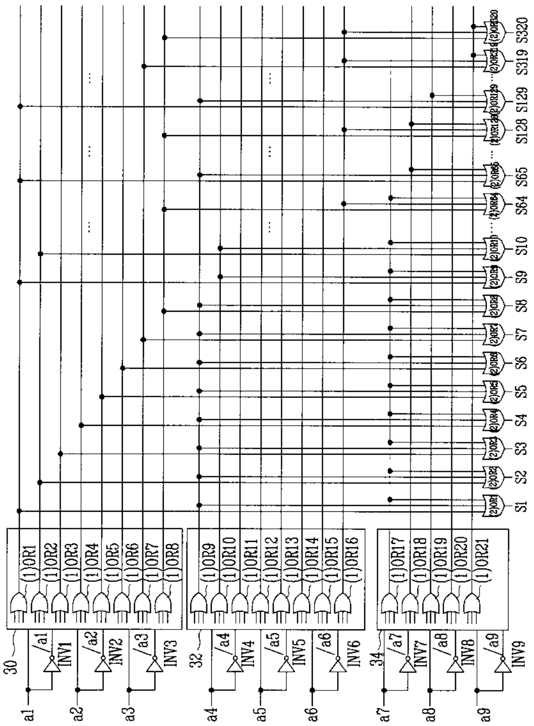
【図４】


VDD
10
14"
IN1
M1
M30
M31
M32
IN2
M2
IN3
M3
N2
Vout
12
N1
C2
C1
IN1
M9
M33
M8
M4
IN2
M10
16
IN3
M11
M5
VSS

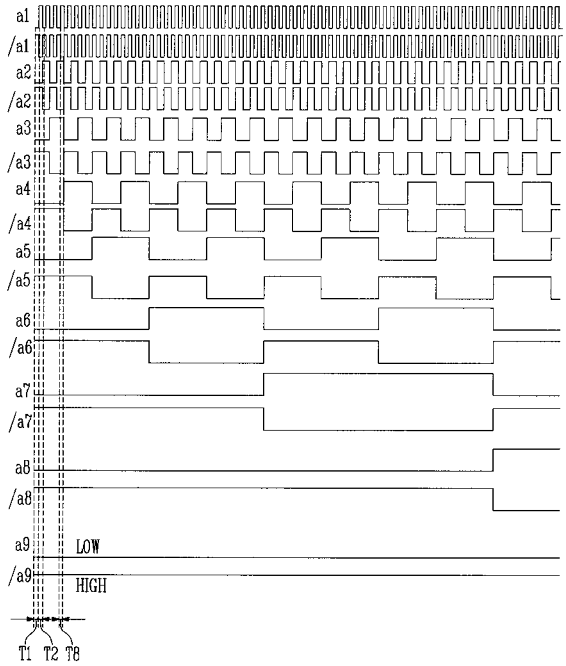
【図５】



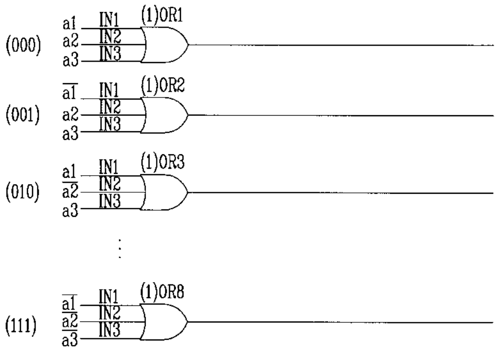
【図６】



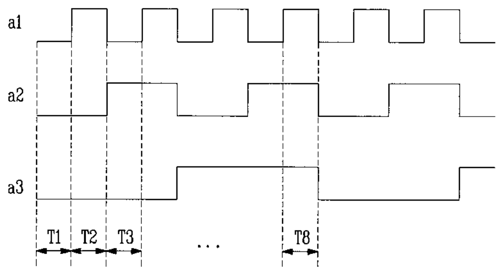
【図７】



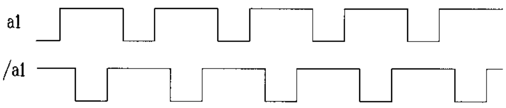
【図８】



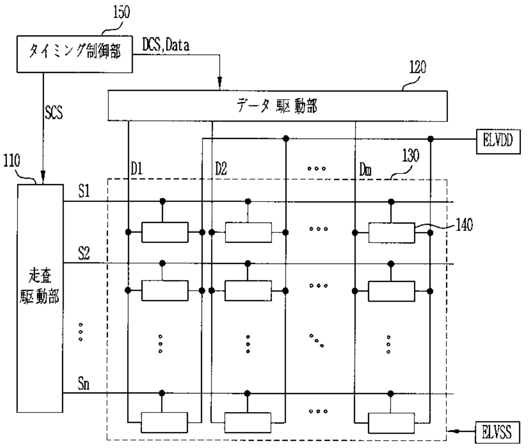
【図９ａ】



【図９ｂ】



【図１０】



【手続補正書】
【提出日】平成22年10月13日(2010.10.13)
【手続補正２】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
複数の第1論理和ゲートを備えた少なくとも一つのデコーダと、
それぞれが互いに異なる走査線と接続されて前記デコーダの出力を論理和演算して走査信号を生成する複数の第2論理和ゲートとを具備し、
前記第1論理和ゲート及び前記第2論理和ゲートのそれぞれは複数のPMOSトランジスタで構成され、
前記第1論理和ゲート及び前記第2論理和ゲートのそれぞれは、
第1電源及び前記第1電源より低い電圧値に設定される第2電源と、
前記第1電源と第1ノードとの間に位置して外部から供給される複数の入力信号に対応して前記第1ノードの電圧を制御する第1駆動部と、
前記第1ノードと前記第2電源との間に位置して前記第1ノードの電圧値を制御する第2駆動部と、
前記第1電源と出力端子との間に位置して前記第1ノードに印加される電圧値に対応して前記第1電源と前記出力端子との接続要否を制御する第3駆動部と、
前記第3駆動部と前記第2電源との間に接続される制御トランジスタと、
前記制御トランジスタのゲート電極と前記第2電源との間に接続されて前記制御トランジスタのゲート電極と前記第2電源との接続要否を制御する第4駆動部と

を備え、
前記第2駆動部は、
前記第1ノードと前記第2電源との間に接続される第4トランジスタと、
前記第4トランジスタのゲート電極に自らの第1電極が接続され、第2電極及びゲート電極が前記第2電源に接続された第5トランジスタと、
前記第4トランジスタの第1電極とゲート電極との間に接続された第2キャパシタとを備えることを特徴とする走査駆動部。

【請求項２】
複数の第1論理和ゲートを備えた少なくとも一つのデコーダと、
それぞれが互いに異なる走査線と接続されて前記デコーダの出力を論理和演算して走査信号を生成する複数の第2論理和ゲートとを具備し、
前記第1論理和ゲート及び前記第2論理和ゲートのそれぞれは複数のPMOSトランジスタで構成され、
前記第1論理和ゲート及び前記第2論理和ゲートのそれぞれは、
第1電源及び前記第1電源より低い電圧値に設定される第2電源と、
前記第1電源と第1ノードとの間に位置して外部から供給される複数の入力信号に対応して前記第1ノードの電圧を制御する第1駆動部と、
前記第1ノードと前記第2電源との間に位置して前記第1ノードの電圧値を制御する第2駆動部と、
前記第1電源と出力端子との間に位置して前記第1ノードに印加される電圧値に対応して前記第1電源と前記出力端子との接続要否を制御する第3駆動部と、
前記第3駆動部と前記第2電源との間に接続される制御トランジスタと、
前記制御トランジスタのゲート電極と前記第2電源との間に接続されて前記制御トランジスタのゲート電極と前記第2電源との接続要否を制御する第4駆動部と
を備え、
前記第2駆動部は、
前記第1ノードと前記第2電源との間に接続される第4トランジスタと、
前記第4トランジスタの第1電極とゲート電極との間に接続された第2キャパシタと、
前記第4トランジスタの第1電極とゲート電極との間に直列接続され、それぞれ互いに異なる端子から入力される前記入力信号によってターンオンまたはターンオフされる第20トランジスタ、第21トランジスタ及び第22トランジスタと、
前記第4トランジスタのゲート電極と前記第2電源との間に並列接続され、前記それぞれ互いに異なる端子から入力される入力信号の極性を反転した、それぞれ互いに異なる入力バー信号によってターンオンまたはターンオフされる第23トランジスタ、第24トランジスタ及び第25トランジスタと
を備えることを特徴とする走査駆動部。

【請求項３】
複数の第1論理和ゲートを備えた少なくとも一つのデコーダと、
それぞれが互いに異なる走査線と接続されて前記デコーダの出力を論理和演算して走査信号を生成する複数の第2論理和ゲートとを具備し、
前記第1論理和ゲート及び前記第2論理和ゲートのそれぞれは複数のPMOSトランジスタで構成され、
前記第1論理和ゲート及び前記第2論理和ゲートのそれぞれは、
第1電源及び前記第1電源より低い電圧値に設定される第2電源と、
前記第1電源と第1ノードとの間に位置して外部から供給される複数の入力信号に対応して前記第1ノードの電圧を制御する第1駆動部と、
前記第1ノードと前記第2電源との間に位置して前記第1ノードの電圧値を制御する第2駆動部と、
前記第1電源と出力端子との間に位置して前記第1ノードに印加される電圧値に対応して前記第1電源と前記出力端子との接続要否を制御する第3駆動部と、

前記第3駆動部と前記第2電源との間に接続される制御トランジスタと、
前記制御トランジスタのゲート電極と前記第2電源との間に接続されて前記制御トランジスタのゲート電極と前記第2電源との接続要否を制御する第4駆動部と
を備え、
前記第3駆動部は、
前記第1電源と前記第4駆動部との間に位置して、前記第1ノードに印加される電圧値に対応してターンオンまたはターンオフされる第30トランジスタと、
前記第1電源と前記第2電源との間に位置して、前記第30トランジスタの第2電極にゲート電極が接続された第31トランジスタと、
前記第31トランジスタと前記第2電源との間に位置して、前記第1ノードにゲート電極が接続された第33トランジスタと、
前記制御トランジスタと前記第1電源との間に位置して、前記第31トランジスタの第2電極にゲート電極が接続された第32トランジスタと
を備えることを特徴とする走査駆動部。

【請求項4】
複数の第1論理和ゲートを備えた少なくとも一つのデコーダと、
それぞれが互いに異なる走査線と接続されて前記デコーダの出力を論理和演算して走査信号を生成する複数の第2論理和ゲートとを具備し、
前記第1論理和ゲート及び前記第2論理和ゲートのそれぞれは複数のPMOSトランジスタで構成され、
前記第1論理和ゲート及び前記第2論理和ゲートのそれぞれは、
第1電源及び前記第1電源より低い電圧値に設定される第2電源と、
前記第1電源と第1ノードとの間に位置して外部から供給される複数の入力信号に対応して前記第1ノードの電圧を制御する第1駆動部と、
前記第1ノードと前記第2電源との間に位置して前記第1ノードの電圧値を制御する第2駆動部と、
前記第1電源と出力端子との間に位置して前記第1ノードに印加される電圧値に対応して前記第1電源と前記出力端子との接続要否を制御する第3駆動部と、
前記第3駆動部と前記第2電源との間に接続される制御トランジスタと、
前記制御トランジスタのゲート電極と前記第2電源との間に接続されて前記制御トランジスタのゲート電極と前記第2電源との接続要否を制御する第4駆動部と
を備え、
前記制御トランジスタのチャンネル/長さ比は、前記第3駆動部に含まれる少なくとも一つの前記トランジスタのチャンネル/長さ比より狭く設定されることを特徴とする走査駆動部。

【請求項5】
前記デコーダは、外部からロー極性の期間よりハイ極性の期間が長く設定された駆動信号及び駆動バー信号の中の少なくとも一つの供給を受けることを特徴とする請求項1乃至4の何れか一項に記載の走査駆動部。

【請求項6】
データ線にデータ信号を供給するためのデータ駆動部と、
走査線に走査信号を供給するための走査駆動部と、
前記データ線及び走査線に接続されて前記走査信号が供給された時に前記データ信号に対応した電圧を充電するための複数の画素を具備し、
前記走査駆動部は、
複数の第1論理和ゲートを備えた少なくとも一つのデコーダと、
それぞれが互いに異なる走査線と接続されて前記デコーダの出力を論理和演算して走査信号を生成する複数の第2論理和ゲートを具備し、
前記第1論理和ゲート及び前記第2論理和ゲートのそれぞれは複数のPMOSトランジスタで構成され、

前記第1論理和ゲート及び前記第2論理和ゲートのそれぞれは、
第1電源及び前記第1電源より低い電圧値に設定された第2電源と、
前記第1電源と第1ノードとの間に位置して外部から供給される複数の入力信号に対応して前記第1ノードの電圧を制御する第1駆動部と、
前記第1ノードと前記第2電源との間に位置して前記第1ノードの電圧値を制御する第2駆動部と、
前記第1電源と出力端子との間に位置して前記第1ノードに印加される電圧値に対応して前記第1電源と前記出力端子との接続要否を制御する第3駆動部と、
前記第3駆動部と前記第2電源との間に接続される制御トランジスタと、
前記制御トランジスタのゲート電極と前記第2電源との間に接続されて前記制御トランジスタのゲート電極と前記第2電源との接続要否を制御する第4駆動部と、
前記制御トランジスタの第1電極とゲート電極との間に接続された第1キャパシタとを備え、
前記第2駆動部は、
前記第1ノードと前記第2電源との間に接続される第4トランジスタと、
前記第4トランジスタのゲート電極に自らの第1電極が接続され、第2電極及びゲート電極が前記第2電源に接続された第5トランジスタと、
前記第4トランジスタの第1電極とゲート電極との間に接続された第2キャパシタとを備えることを特徴とする有機電界発光表示装置。
【請求項７】
データ線にデータ信号を供給するためのデータ駆動部と、
走査線に走査信号を供給するための走査駆動部と、
前記データ線及び走査線に接続されて前記走査信号が供給された時に前記データ信号に対応した電圧を充電するための複数の画素を具備し、
前記走査駆動部は、
複数の第1論理和ゲートを備えた少なくとも一つのデコーダと、
それぞれが互いに異なる走査線と接続されて前記デコーダの出力を論理和演算して走査信号を生成する複数の第2論理和ゲートを具備し、
前記第1論理和ゲート及び前記第2論理和ゲートのそれぞれは複数のPMOSトランジスタで構成され、
前記第1論理和ゲート及び前記第2論理和ゲートのそれぞれは、
第1電源及び前記第1電源より低い電圧値に設定された第2電源と、
前記第1電源と第1ノードとの間に位置して外部から供給される複数の入力信号に対応して前記第1ノードの電圧を制御する第1駆動部と、
前記第1ノードと前記第2電源との間に位置して前記第1ノードの電圧値を制御する第2駆動部と、
前記第1電源と出力端子との間に位置して前記第1ノードに印加される電圧値に対応して前記第1電源と前記出力端子との接続要否を制御する第3駆動部と、
前記第3駆動部と前記第2電源との間に接続される制御トランジスタと、
前記制御トランジスタのゲート電極と前記第2電源との間に接続されて前記制御トランジスタのゲート電極と前記第2電源との接続要否を制御する第4駆動部と、
前記制御トランジスタの第1電極とゲート電極との間に接続された第1キャパシタとを備え、
前記第2駆動部は、
前記第1ノードと前記第2電源との間に接続される第4トランジスタと、
前記第4トランジスタの第1電極とゲート電極との間に接続された第2キャパシタと、
前記第4トランジスタの第1電極とゲート電極との間に直列接続され、それぞれ互いに異なる端子から入力される前記入力信号によってターンオンまたはターンオフされる第20トランジスタ、第21トランジスタ及び第22トランジスタと、
前記第4トランジスタのゲート電極と前記第2電源との間に並列接続され、前記それぞれ

互いに異なる端子から入力される入力信号の極性を反転した、それぞれ互いに異なる入力バー信号によってターンオンまたはターンオフされる第23トランジスタ、第24トランジスタ及び第25トランジスタと
を備えることを特徴とする有機電界発光表示装置。
【請求項８】
データ線にデータ信号を供給するためのデータ駆動部と、
走査線に走査信号を供給するための走査駆動部と、
前記データ線及び走査線に接続されて前記走査信号が供給された時に前記データ信号に対応した電圧を充電するための複数の画素を具備し、
前記走査駆動部は、
複数の第1論理和ゲートを備えた少なくとも一つのデコーダと、
それぞれが互いに異なる走査線と接続されて前記デコーダの出力を論理和演算して走査信号を生成する複数の第2論理和ゲートを具備し、
前記第1論理和ゲート及び前記第2論理和ゲートのそれぞれは複数のPMOSトランジスタで構成され、
前記第1論理和ゲート及び前記第2論理和ゲートのそれぞれは、
第1電源及び前記第1電源より低い電圧値に設定された第2電源と、
前記第1電源と第1ノードとの間に位置して外部から供給される複数の入力信号に対応して前記第1ノードの電圧を制御する第1駆動部と、
前記第1ノードと前記第2電源との間に位置して前記第1ノードの電圧値を制御する第2駆動部と、
前記第1電源と出力端子との間に位置して前記第1ノードに印加される電圧値に対応して前記第1電源と前記出力端子との接続要否を制御する第3駆動部と、
前記第3駆動部と前記第2電源との間に接続される制御トランジスタと、
前記制御トランジスタのゲート電極と前記第2電源との間に接続されて前記制御トランジスタのゲート電極と前記第2電源との接続要否を制御する第4駆動部と、
前記制御トランジスタの第1電極とゲート電極との間に接続された第1キャパシタと
を備え、
前記第3駆動部は、
前記第1電源と前記第4駆動部との間に位置して、前記第1ノードに印加される電圧値に対応してターンオンまたはターンオフされる第30トランジスタと、
前記第1電源と前記第2電源との間に位置して、前記第30トランジスタの第2電極にゲート電極が接続された第31トランジスタと、
前記第31トランジスタと前記第2電源との間に位置して、前記第1ノードにゲート電極が接続された第33トランジスタと、
前記制御トランジスタと前記第1電源との間に位置して、前記第31トランジスタの第2電極にゲート電極が接続された第32トランジスタと
を備えることを特徴とする有機電界発光表示装置。
【請求項９】
データ線にデータ信号を供給するためのデータ駆動部と、
走査線に走査信号を供給するための走査駆動部と、
前記データ線及び走査線に接続されて前記走査信号が供給された時に前記データ信号に対応した電圧を充電するための複数の画素を具備し、
前記走査駆動部は、
複数の第1論理和ゲートを備えた少なくとも一つのデコーダと、
それぞれが互いに異なる走査線と接続されて前記デコーダの出力を論理和演算して走査信号を生成する複数の第2論理和ゲートを具備し、
前記第1論理和ゲート及び前記第2論理和ゲートのそれぞれは複数のPMOSトランジスタで構成され、
前記第1論理和ゲート及び前記第2論理和ゲートのそれぞれは、

第1電源及び前記第1電源より低い電圧値に設定された第2電源と、
前記第1電源と第1ノードとの間に位置して外部から供給される複数の入力信号に対応して前記第1ノードの電圧を制御する第1駆動部と、
前記第1ノードと前記第2電源との間に位置して前記第1ノードの電圧値を制御する第2駆動部と、
前記第1電源と出力端子との間に位置して前記第1ノードに印加される電圧値に対応して前記第1電源と前記出力端子との接続要否を制御する第3駆動部と、
前記第3駆動部と前記第2電源との間に接続される制御トランジスタと、
前記制御トランジスタのゲート電極と前記第2電源との間に接続されて前記制御トランジスタのゲート電極と前記第2電源との接続要否を制御する第4駆動部と、
前記制御トランジスタの第1電極とゲート電極との間に接続された第1キャパシタと
を備え、
前記制御トランジスタのチャンネル/長さ比は、前記第3駆動部に含まれる少なくとも一つの前記トランジスタのチャンネル/長さ比より狭く設定されることを特徴とする有機電界発光表示装置。
【請求項１０】
前記走査駆動部に含まれる前記PMOSトランジスタは、前記画素に含まれたトランジスタと同時に形成されることを特徴とする請求項6乃至9の何れか一項に記載の有機電界発光表示装置。
【請求項１１】
前記第1論理和ゲートは、チップ形態に製作された前記データ駆動部に含まれ、前記第2論理和ゲートは前記画素が形成されるパネルに形成されることを特徴とする請求項6乃至9の何れか一項に記載の有機電界発光表示装置。
【請求項１２】
前記デコーダは、ロー極性の期間よりハイ極性の期間が長く設定された駆動信号及び駆動バー信号の中の少なくとも一つの供給を外部から受けることを特徴とする請求項6乃至9の何れか一項に記載の有機電界発光表示装置。
【請求項１３】
前記第1駆動部は、前記第1電源と前記第1ノードとの間に直列接続され、それぞれ互いに異なる端子から入力される前記入力信号によってターンオンまたはターンオフされる少なくとも一つのトランジスタを備えることを特徴とする請求項6乃至9の何れか一項に記載の有機電界発光表示装置。
【請求項１４】
前記第2駆動部は、前記第1駆動部から前記第1ノードに前記第1電源の電圧が供給される時には前記第1ノードを前記第1電源の電圧で維持し、それ以外の場合には前記第1ノードを前記第2電源の電圧で維持することを特徴とする請求項6乃至9の何れか一項に記載の有機電界発光表示装置。
【請求項１５】
前記第3駆動部は、前記第1ノードに前記第2電源の電圧が印加される場合に前記制御トランジスタの第1電極と前記第1電源とを電気的に接続し、それ以外の場合には前記制御トランジスタの第1電極と前記第1電源を電気的に遮断することを特徴とする請求項6乃至9の何れか一項に記載の有機電界発光表示装置。
【請求項１６】
前記第4駆動部は、前記制御トランジスタのゲート電極と前記第2電源との間に直列接続され、それぞれ互いに異なる端子から入力される前記入力信号によってターンオンまたはターンオフされる少なくとも一つのトランジスタを備えることを特徴とする請求項6乃至9の何れか一項に記載の有機電界発光表示装置。
【請求項１７】
前記デコーダのそれぞれは、外部から入力信号の供給を受け、高い周波数の入力信号が供給されるデコーダは、前記第2論理和ゲートと隣接するように配置されることを特徴と

する請求項6乃至9の何れか一項に記載の有機電界発光表示装置。

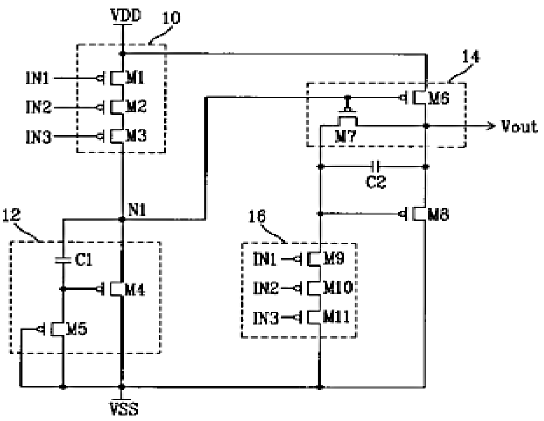
フロントページの続き

(72)発明者 金 ▲同▼ 秀
大韓民国京畿道龍仁市器興区農書洞山２４ 三星モバイルディスプレイ株式會社内
(72)発明者 崔 相 武
大韓民国京畿道水原市霊通区霊通洞１０２７－５ ３０３

Ｆターム(参考) 5C080 AA06 BB05 DD27 FF11 JJ02 JJ03 JJ04
5C380 AA01 AB06 AB18 BA28 BE11 CA08 CA14 CB01 CB04 CB37
CC26 CF33 CF43 CF64 DA02 DA06 DA09
5J042 BA19 CA07 CA23 CA28 DA04
5J056 AA03 BB59 DD13 DD51 EE03 FF10 KK01

patsnap

专利名称(译)	扫描驱动单元和有机电致发光显示装置		
公开(公告)号	JP2011059697A	公开(公告)日	2011-03-24
申请号	JP2010229932	申请日	2010-10-12
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星移动显示的股票会社		
[标]发明人	鄭寶容 李王棗 金同秀 崔相武		
发明人	鄭 寶 容 李 王 棗 金 ▲同▼ 秀 崔 相 武		
IPC分类号	G09G3/30 G09G3/20 H03K19/0944 H03K19/20		
CPC分类号	H03K19/09441 G09G3/3266 G09G2310/06		
FI分类号	G09G3/30.J G09G3/20.622.A G09G3/20.622.F H03K19/094.A H03K19/20 G09G3/3233 G09G3/3266 G09G3/3275 H03K19/094		
F-TERM分类号	5C080/AA06 5C080/BB05 5C080/DD27 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C380/AA01 5C380/AB06 5C380/AB18 5C380/BA28 5C380/BE11 5C380/CA08 5C380/CA14 5C380/CB01 5C380/CB04 5C380/CB37 5C380/CC26 5C380/CF33 5C380/CF43 5C380/CF64 5C380/DA02 5C380/DA06 5C380/DA09 5J042/BA19 5J042/CA07 5J042/CA23 5J042/CA28 5J042/DA04 5J056/AA03 5J056/BB59 5J056/DD13 5J056/DD51 5J056/EE03 5J056/FF10 5J056/KK01		
代理人(译)	三好秀 伊藤雅一		
优先权	1020060074586 2006-08-08 KR		
其他公开文献	JP5604254B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够仅通过PMOS晶体管实现逻辑和的逻辑门。 解决方案：本发明的逻辑门包括用于控制对应于多个输入信号的第一节点N1的电压的第一驱动器10，用于控制第一节点N1的电压值的第二驱动器12第三驱动部分14，用于根据施加到第一节点N 1的电压值控制第一电源VDD和输出端子Vout之间的连接必要性，第三驱动部分14，用于控制第三驱动部分14和第二电源VSS之间的连接并且第四驱动部分16用于控制控制晶体管M8的栅极和第二电源VSS之间的连接是否是必要的，并构成第一驱动部分到第四驱动部分并且控制晶体管M8仅由PMOS晶体管形成。 点域1