

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-250003

(P2008-250003A)

(43) 公開日 平成20年10月16日(2008.10.16)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
G09F 9/30 (2006.01)	G09G 3/20 670A	5C094
H01L 51/50 (2006.01)	G09G 3/20 621M	
	G09G 3/20 680G	
審査請求 未請求 請求項の数 6 O L (全 16 頁) 最終頁に続く		

(21) 出願番号 特願2007-91338 (P2007-91338)
 (22) 出願日 平成19年3月30日 (2007. 3. 30)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100094053
 弁理士 佐藤 隆久
 (72) 発明者 古立 学
 東京都港区港南1丁目7番1号 ソニー株式会社社内
 Fターム(参考) 3K107 AA01 BB01 CC29 CC45 EE04
 HH05
 5C080 AA06 BB05 DD18 DD19 JJ02
 JJ03 JJ04
 5C094 AA31 AA42 BA03 BA27 CA19
 FB14 FB18 GA10

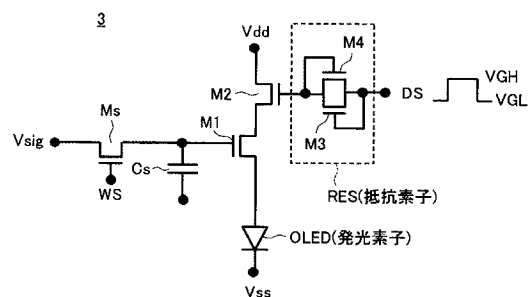
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】トランジスタのゲートとドレイン（またはソース）間に短絡が生じた場合に致命欠陥（線表示欠陥）となることによる製造歩留および信頼性の低下を防止する。

【解決手段】電位差を持つ第1および第2の電源V_{dd}, V_{ss}に接続されて電流駆動される発光素子（有機発光ダイオードOLED）と、有機発光ダイオードOLEDの電流駆動経路に接続され上記電流駆動経路の電流量を制御する第1トランジスタM1と、上記電流駆動経路に接続され有機発光ダイオードOLEDの発光期間を制御する第2トランジスタM2と、第2駆動トランジスタM2のゲートと発光期間制御信号源（例えば、ゲート制御信号の入力端子DS）との間に接続されている抵抗素子RESと、を有する。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

電位差を持つ第 1 および第 2 の電源に接続されて電流駆動される発光素子と、
前記発光素子の電流駆動経路に接続され、前記発光素子に流す電流量を制御する第 1 トランジスタと、
前記発光素子の電流駆動経路に接続され、前記発光素子の発光期間を制御する第 2 トランジスタと、
前記第 2 駆動トランジスタのゲートと発光期間制御信号源との間に接続されている抵抗素子と、
を有する表示装置。

10

【請求項 2】

マトリクス状に複数の画素が配置されている表示部を備え、
前記抵抗素子を前記画素ごとに有する
請求項 1 に記載の表示装置。

【請求項 3】

前記抵抗素子は、それぞれがダイオード接続されて互いに逆向きに接続されている 2 つの第 3、第 4 トランジスタにより構成されている
請求項 1 または 2 に記載の表示装置。

【請求項 4】

前記第 3、第 4 トランジスタは、一方のソースが他方のドレインと接続されている 2 つの金属 - 絶縁膜（酸化膜） - 半導体（MIS（MOS））電界効果トランジスタであり、
前記第 3 トランジスタはドレインにゲートが接続され、前記第 4 トランジスタもドレインにゲートが接続されている
請求項 3 に記載の表示装置。

20

【請求項 5】

前記抵抗素子は、ポリシリコンで構成されている
請求項 1 または 2 に記載の表示装置。

【請求項 6】

前記抵抗素子はダイオード素子である
請求項 1 または 2 に記載の表示装置。

30

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、電流駆動の発光素子により画素の階調表示を行う表示装置に関する。

【背景技術】**【0002】**

アクティブマトリクス有機 EL ディスプレイにおいて、信頼性、動画性能、輝度調整能力向上のために、ラインごとのデューティ比制御（発光制御）が行われている。

しかし、このデューティ比制御を（逆）スタガ型の TFT を用いて行い、この TFT と、直列に接続された階調制御用の別の TFT とを介して、EL 素子に電流を流すことで画素を発光させる場合、次のような問題が生じることが判った。

40

【0003】

すなわち、デューティ比制御用 TFT のゲート電極とドレイン（またはソース）電極との間には大きな電位差が長時間与えられ、また TFT には大きな電流が流れるため発熱量も大きい。このため、ゲート絶縁膜に微小欠陥があるとゲート・ドレイン（またはソース）間に絶縁破壊が発生しやすく、製造歩留の低下や故障発生率の増加が起こるという問題である。

一度絶縁破壊が生じると、電源からデューティ比制御信号配線に異常な電位が与えられ、線欠陥などの表示不良、異常な発熱、駆動回路の故障などが生じてしまう。

【0004】

50

図 1 1 は、ラインごとのデューティ比制御を行うアクティブマトリクス有機 E L ディスプレイの画素部分の等価回路の一例である。

この例の画素は、有機発光ダイオード O L E D に与える電流量を制御する第 1 トランジスタ M 1 1 と、表示データに対応するデータ電圧 V_{sig} を第 1 トランジスタ M 1 1 のゲート電極に接続された蓄積キャパシタ C_s に書き込み、与えられた電荷を保持させることで、第 1 トランジスタ M 1 1 のソース・ドレイン間に流すことのできる電流量を制御するためのトランジスタ M s と、ラインごとのデューティ比制御を行うために設けられ、第 1 電源電圧 V_{dd} から供給された電流を、第 1 トランジスタ M 1 1 を介して有機発光ダイオード O L E D に与えるための第 2 トランジスタ M 1 2 とからなる。

【 0 0 0 5 】

10

また、各画素の発光素子を走査線単位で強制的に消灯するための停止制御線を有する画像表示装置が知られている（例えば、特許文献 1 参照）。

図 1 1 に類似した画素回路、表示装置の例は多数開示されている（例えば、特許文献 2 , 3 あるいは非特許文献 1 , 2 参照）。

【 0 0 0 6 】

【特許文献 1】特開 2 0 0 1 - 6 0 0 7 6 号公報

【特許文献 2】特開 2 0 0 4 - 3 4 7 9 9 3 号公報

【特許文献 3】特開 2 0 0 4 - 3 6 1 6 4 0 号公報

【非特許文献 1】James L. Sanford and Frank R. Libsch: "TFT AMOLED Pixel Circuits and Driving Methods," SID 03 Digest, pp.10-13 (2003).

20

【非特許文献 2】James L. Sanford and Frank R. Libsch: "Vt Compensation Performance of Voltage Data AMOLED Pixel Circuits," IDRC 03, pp.38-41 (2003).

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 7 】

上記特許文献 2 , 3 あるいは非特許文献 1 , 2 に記載の技術は、以下の不利益がある。

即ち図 1 1 に示す画素回路で説明すると、第 2 トランジスタ M 1 2 のドレイン・ゲート間に絶縁破壊が生じて短絡が発生しやすい。ここに短絡が生じると、有機発光ダイオード O L E D に与える電流の入力端子（第 1 電源電圧 V_{dd} の印加端子）と第 2 トランジスタ M 1 2 のゲートに供給される終点制御信号の入力端子 D S とが低抵抗で接続されることとなる。すると、短絡が発生した画素以外の、同一終点制御信号配線に接続されている画素についても正常な動作が保たれず、線欠陥という致命的表示不良になってしまう。

30

【 0 0 0 8 】

この画素回路に対する異常な電位印加を回避する方法としては、ゲート絶縁膜を厚くすること、最大印加電圧を小さくすることなどが挙げられるが、いずれの方法も T F T に流すことのできる電流、すなわち E L 素子に流すことのできる電流量が小さくなるため、他の回避策が求められる。

【 0 0 0 9 】

本発明が解決しようとする課題は、電流駆動の発光素子を用いる表示装置において、トランジスタのゲートとドレイン（またはソース）間に短絡が生じた場合に致命的欠陥となることによる製造歩留および信頼性の低下を防止することである。

40

【課題を解決するための手段】

【 0 0 1 0 】

本発明に係る表示装置は、電位差を持つ第 1 および第 2 の電源に接続されて電流駆動される発光素子と、前記発光素子の電流駆動経路に接続され、前記発光素子に流す電流量を制御する第 1 トランジスタと、前記発光素子の電流駆動経路に接続され、前記発光素子の発光期間を制御する第 2 トランジスタと、前記第 2 駆動トランジスタのゲートと発光期間制御信号源との間に接続されている抵抗素子と、を有する。

本発明では好適に、マトリクス状に複数の画素が配置されている表示部を備え、前記抵抗素子を前記画素ごとに有する。

50

【 0 0 1 1 】

本発明では好適に、前記抵抗素子は、それぞれがダイオード接続されて互いに逆向きに接続されている２つの第３，第４トランジスタにより構成されている。

さらに好適に、前記第３，第４トランジスタは、一方のソースが他方のドレインと接続されている２つの金属 - 絶縁膜（酸化膜） - 半導体（ＭＩＳ（ＭＯＳ））電界効果トランジスタであり、前記第３トランジスタはドレインにゲートが接続され、前記第４トランジスタもドレインにゲートが接続されている。

【 0 0 1 2 】

以上の構成によれば、発光期間の制御を行う第２トランジスタのゲートに抵抗素子が設けられている。第１および第２電源に所定の電位差が与えられ、発光画素の第１トランジスタはオン状態に制御される。次に、第２トランジスタがオン状態となると、即ち抵抗素子を介して第２トランジスタがオンするようにバイアスされると、第１および第２電源間に所定の電流が流れ、これにより発光素子が発光する。一方、発光停止は、第２トランジスタに抵抗素子を介して与えられるバイアスが解除され、当該第２トランジスタがオフすることによって行われる。

10

【 0 0 1 3 】

この回路において、第２トランジスタのゲートとドレインまたはソースとの間に短絡が生じた場合、抵抗素子の抵抗値に応じて異なるが、発光期間の制御を行う画素の制御入力の電位が、当該抵抗素子がない場合に比べると変化しにくくなる。これにより当該画素の短絡欠陥があっても当該発光期間の制御を行う配線を介して他の画素に与える影響が抑制または実質上排除される。

20

一方、抵抗素子を設けると第２トランジスタの応答性が、その分、低下する。この応答性に関し、第１トランジスタへの表示階調に応じたバイアス印加タイミングは１画面を構成する画素数（厳密には表示ライン数）の制約を大きく受け、その画素数が大きいほどバイアス印加タイミングの制御も精度よく行う必要がある。一方、発光期間制御の応答性は、表示階調に応じたバイアス印加タイミング制御の応答性より数桁低くても実用上許容できる。よって、当該抵抗素子の追加は応答性に関する表示品質の低下を伴わない。

【発明の効果】

【 0 0 1 4 】

本発明によれば、トランジスタのゲートとドレイン（またはソース）間に短絡が生じた場合に致命欠陥となることによる製造歩留および信頼性の低下を防止することができるという利益が得られる。

30

【発明を実施するための最良の形態】

【 0 0 1 5 】

以下、本発明の実施形態を、アクティブマトリクス駆動の有機ＥＬ表示装置を例として図面を参照して説明する。

【 0 0 1 6 】

《第１実施形態》

図１は、第１実施形態に関わる表示装置の画素の等価回路図である。

図解する画素回路は、発光素子としての有機発光ダイオードＯＬＥＤを制御する回路である。画素回路は、有機発光ダイオードＯＬＥＤの他に、それぞれがＮＭＯＳタイプの薄膜トランジスタからなる３つのトランジスタＭ１，Ｍ２，Ｍｓ、蓄積キャパシタＣｓ、および、抵抗素子ＲＥＳを有する。

40

【 0 0 1 7 】

有機発光ダイオードＯＬＥＤは、特に図示しないが、例えば、透明ガラス等からなる基板の上に、第１電極（アノード電極）、正孔輸送層、発光層、電子輸送層、電子注入層等を順次堆積させて有機膜を構成する積層体を形成し、この積層体の上に第２電極（カソード電極）を形成した構造を有する。アノード電極が正側の第１電源に接続され、カソード電極が負側の第２電源に接続される。なお、第２電源が正側、第１電源が負側の電源でもよい。その場合、アノード電極が第２電源に接続され、カソード電極が第１電源に接続さ

50

れる。

【 0 0 1 8 】

有機発光ダイオード O L E D のアノードとカソードの電極間に所定のバイアス電圧を印加すると、注入された電子と正孔が発光層において再結合する際に自発光する。有機発光ダイオード O L E D は、有機膜を構成する有機材料を適宜選択することで赤 (R) , 緑 (G) , 青 (B) の各色での発光が可能であることから、この有機材料を、例えば各行の画素に R , G , B の発光が可能に配列することで、カラー表示が可能となる。あるいは、白色発光の有機材料を用いて、フィルタの色で R , G , B の区別を行ってもよい。R , G , B の他に W (ホワイト) を加えた 4 色構成でもよい。

【 0 0 1 9 】

トランジスタ M 1 は、発光素子 (有機発光ダイオード O L E D) に流す電流量を制御して表示階調を規定する本発明における “ 第 1 トランジスタ ” に該当する。以下、トランジスタ M 1 を “ 第 1 トランジスタ M 1 ” と称する。

【 0 0 2 0 】

トランジスタ M s は、画素階調を決めるデータ電圧 V sig の供給線 (不図示) と上記第 1 トランジスタ M 1 のゲートとの間に接続されている。すなわち、トランジスタ M s のソースとドレインの一方が第 1 トランジスタ M 1 のゲートに接続され、もう片方がデータ電圧 V sig の供給線に接続されている。この供給線に、不図示のデータドライバ回路等からデータ電圧 V sig が印加される。トランジスタ M s は、このデータ電圧印加期間の適正なタイミングで、当該画素回路で表示すべきレベルのデータをサンプリングする。これは、サンプリングすべき所望のデータ電圧 V sig を持つデータパルスの先頭または後部における、レベルが不安定な遷移期間の表示映像に与える影響を排除するためである。

【 0 0 2 1 】

図 1 の画素回路では、有機発光ダイオード O L E D のカソードが第 2 電源電圧 V ss の供給線に接続され、アノードが第 1 トランジスタ M 1 のソースに接続されている。第 1 トランジスタ M 1 のドレインと第 1 電源電圧 V dd の供給線との間に、表示部における表示行ごとのデューティ比、すなわち発光時間と非発光時間との比を制御するために設けられている第 2 トランジスタ M 2 が接続されている。

第 2 トランジスタ M 2 は、第 1 トランジスタ M 1 のゲートバイアスが表示階調に応じた状態に定められた後にオンされ、これにより発光表示の開始点は第 2 トランジスタ M 2 がオンするタイミングにより規定される。また、第 2 トランジスタ M 2 がオフするタイミングで発光制御の終点を規定する。第 2 トランジスタ M 2 は、そのゲートに供給される発光期間制御信号のハイレベルでオンし、ローレベルでオフする。

【 0 0 2 2 】

発光期間制御信号の入力端子 D S と、第 2 トランジスタ M 2 のゲートとの間に抵抗素子 R E S が接続されている。抵抗素子 R E S は、2 つの N M O S タイプの薄膜トランジスタからなる第 3 および第 4 トランジスタ M 3 , M 4 とから構成されている。第 3 および第 4 トランジスタ M 3 , M 4 は、互いに逆向きの双方向ダイオードとして機能するように、それぞれがダイオード接続されている。第 3 および第 4 トランジスタ M 3 , M 4 は、一方のドレインが他方のソースと接続され、かつ、第 3 トランジスタ M 3 のゲートが発光期間制御信号の入力端子 D S に接続され、第 4 トランジスタ M 4 のゲートが第 2 トランジスタ M 2 のゲートに接続されている。

【 0 0 2 3 】

第 3 および第 4 トランジスタ M 3 , M 4 の大きさは、第 2 トランジスタ M 2 のゲート電極 (容量 : C g 2) に、ゲートの選択電位 V G H と非選択電位 V G L を所定の時間内に伝達可能に充放電の電流を短時間で流すことができる大きさに定められる。第 2 トランジスタ M 2 のゲート容量 C g 2 は、第 1 トランジスタ M 1 のゲート電極の容量 C g 1 と、第 1 トランジスタ M 1 のゲート電極に接続される蓄積キャパシタ C s の和に比べて小さい。そのため、第 3 および第 4 トランジスタ M 3 , M 4 の大きさは、表示データに対応するデータ電圧 V sig を蓄積キャパシタ C s に書き込む際にオンするトランジスタ M s の大きさに

10

20

30

40

50

比べて、極端に大きくなることはない。

【0024】

この構成によれば、第2トランジスタM2のドレイン・ゲート間に短絡が生じた場合にも、有機発光ダイオードOLEDに与える電流の入力端子第1電源電圧V_{dd}と第2トランジスタM2の発光期間制御信号の入力端子DSとが致命的な短絡をすることを避けることができる。また、第3および第4トランジスタM3, M4により構成される抵抗素子RESが各画素の第2トランジスタM2のゲート電極ごとにそれぞれ接続されている形態においては、第2トランジスタM2のドレイン・ゲート間に短絡が生じた画素以外の、同一発光期間制御信号配線に接続されている画素については、正常な動作が保たれる。このため、第2トランジスタM2のドレイン・ゲート間に短絡が生じた場合にも、線欠陥という致命的表示不良とはならないので、高い製造歩留と高い信頼性が得られる。

10

【0025】

一方、抵抗素子RESを設けると第2トランジスタM2の応答性が、その分、低下する。この応答性に関し、第1トランジスタM1への表示階調に応じたバイアス印加タイミングは1画面を構成する画素数（厳密には表示ライン数）の制約を大きく受け、その画素数が大きいほどバイアス印加タイミングの制御も精度よく行う必要がある。一方、発光期間制御の応答性は、表示階調に応じたバイアス印加タイミング制御の応答性より数桁低くても実用上許容できる。よって、当該抵抗素子RESの追加は応答性に関する表示品質の低下を伴わない。

【0026】

この構成の別の利用方法としては次のようなことが考えられる。すなわち、第2トランジスタM2のドレイン・ゲート間の短絡を避けるためだけにゲート絶縁膜を厚くするという必要がないことを利用して、最大印加電圧を小さくする、TFTサイズを小さくする、あるいは、最大表示輝度を高くする、などの利点を得ることもできる。

20

【0027】

つぎに、第1実施形態にかかる図1に示す構成の画素部分について、その動作の一例を、図2を用いながら説明する。

【0028】

図2は、図1に示す画素回路のシミュレーションによる動作波形図である。

図2に示す期間T0において、第1トランジスタM1のゲート電極電位は、前のフレームにおける表示データに対応する電位となっている。また、図2に示す期間T0～T2の範囲では発光期間制御信号の入力端子DSはローレベルの非選択電位となっているので、表示データによらず、有機発光ダイオードOLEDは発光しない。

30

【0029】

期間T1において走査信号WSがハイレベルの選択電位となり、第1トランジスタM1のゲート電極に表示データに対応するデータ電圧V_{sig}が書き込まれる。ここではデータ電圧V_{sig}が第1トランジスタM1の閾値電圧以上の電位をゲート電極に与えるため、第1トランジスタM1がオンする。第1トランジスタM1がオンすると、当該第1トランジスタM1のソース・ドレイン間の抵抗が低下する。すると、第1電源電圧V_{dd}と第2電源電圧V_{ss}との間の第1および第2トランジスタM1, M2を等価的に表す2つのソース・ドレイン間抵抗の分割比で定められる第1トランジスタM1のドレイン電極電位が、ソース電極電位に近づく。第2トランジスタM2のゲート電極電位はソース電極、即ち第1トランジスタM1のドレイン電極との容量結合によって、発光期間制御信号の非選択電位（ローレベル）より更に低い電位に一旦低下する。しかし、第2トランジスタM2のゲート電極の電位が低下すると、当該ゲート電極電位と発光期間制御信号の入力端子DSとの電位差が生じる。このため第3トランジスタM3に電流が流れ、再び、第2トランジスタM2のゲート電極電位は、発光期間制御信号の非選択電位（ローレベル）に収束する。

40

【0030】

期間T2において、走査信号WSはローレベルの非選択電位となり、第1トランジスタM1のゲート電極電位は、蓄積キャパシタC_sによって表示データに対応した所定の値に

50

保持される。

【0031】

期間T3において、発光期間制御信号の入力端子DSはハイレベルの選択電位に遷移する。すると、第3および第4トランジスタM3、M4を介して第2トランジスタM2のゲート電極電位もハイレベルの選択電位となることで、第2トランジスタM2がオンする。第2トランジスタM2がオンすると、そのソース・ドレイン間の抵抗が低下し、第1電源電圧Vddと第2電源電圧Vssとの間の抵抗分割比で定められる第1トランジスタM1のドレイン電極電位およびソース電極電位がそれぞれ上昇する。これに伴い、有機発光ダイオードOLEDに電流が流れるようになり、有機発光ダイオードOLEDが発光する。また、第2トランジスタM2のゲート電極電位は、そのソース電極、即ち第1トランジスタM1のドレイン電極との間の容量結合によっても上昇するため、発光期間制御信号の入力端子DSのハイレベルの選択電位に第2トランジスタM2のゲート電極電位が達することが当初の想定より早くなることが判明した。

10

【0032】

当初の想定では、第3および第4トランジスタM3、M4の各々がゲートとドレインを接続したダイオード接続であるため、第2トランジスタM2のゲート電極の電位が、与えられた発光期間制御信号の入力端子DSのハイレベル電位に対して、短時間にはしきい電圧Vth分だけ未到達となると考え、発光期間制御信号の入力端子DSには従来よりもVthの2倍だけ大きい振幅が与えられることが望ましいと予想した。しかし実際には、第2トランジスタM2のゲート電極と第1トランジスタM1のドレイン電極との間の容量結合の効果により第2トランジスタM2のゲート電極電位も上昇するため、発光期間制御信号の入力端子DSの振幅は必ずしも大きくななくても良いことが、当該シミュレーションから分かった。

20

【0033】

なお、容量結合は、ゲート電位の伝達にも効果がある。この効果を大きくするために、容量（キャパシタ）を抵抗素子RESと並列に接続してもよい。

【0034】

《第2実施形態》

図3は、第2実施形態に関わる表示装置の構成図である。図3において図1と共通する構成は同一符号を付して、その説明を省略する。以下、図1と異なる図3の構成と、図3の回路動作を説明する。

30

【0035】

図解する本実施形態に関わる画素回路（PIX）3Aが、有機発光ダイオードOLED、それぞれがNMOSタイプの薄膜トランジスタからなる3つのトランジスタM1、M2、Ms、蓄積キャパシタCs、および、抵抗素子RESを有することは第1実施形態に関わる図1の画素回路3と共通する。

本実施形態に関わる画素回路3Aは、蓄積キャパシタCsが第1トランジスタM1のソースとゲートの間に接続されている。この点で、図3に示す画素回路3Aは、蓄積キャパシタCsの一方電極が固定電位に接続されている図1に示す画素回路3と異なる。

40

【0036】

第1トランジスタM1の特性、特に閾値電圧Vtは、有機発光ダイオードOLEDの駆動電流量に直接的に影響し、この閾値電圧Vtがばらつくと、有機発光ダイオードOLEDの発光輝度もばらつく。

【0037】

蓄積キャパシタCsが第1トランジスタM1のゲートとソース間に接続されている本実施形態の構成は、上記第1トランジスタM1の閾値電圧Vtの補正と関係する。詳細な説明は省略するが、このように蓄積キャパシタCsが接続されていると、蓄積キャパシタCsに第1トランジスタM1の閾値電圧Vtを保持でき、その閾値電圧Vtの大きさに殆ど依存しない第1トランジスタM1の駆動が可能となる。なお、閾値電圧Vtの補正は本発明に関する限り本質的でないため、ここでの詳しい説明を省略する。

50

本実施形態は、蓄積キャパシタ C_s の接続に関し、図1の汎用性が高い接続法のほかに、例えば第1トランジスタ M_1 の閾値電圧 V_t 補正に適した接続法も可能であることを示すものである。

【0038】

図3は、さらに画素回路3Aに対し接続されている周辺回路の構成も例示している。

より詳細には、画素回路3Aの第1電源電圧 V_{dd} の供給ノードに第1電源回路(PS1)51が接続され、画素回路3Aの第2電源電圧 V_{ss} の供給ノードに第2電源回路(PS2)52が接続されている。画素回路3Aのデータ電圧 V_{sig} の供給ノードは、垂直方向(図の縦方向)に配線されているデータ線2を介して水平選択回路(HSEL)41に接続されている。トランジスタ M_s のゲートは書き込み信号走査回路(WSCN)42に接続されている。また、発光期間制御信号の入力端子DSに発光期間制御信号走査回路(DSCN)43が接続されている。

10

【0039】

これらの2つの電源回路、即ち第1電源回路51と第2電源回路52、ならびに、3つの走査回路、即ち水平選択回路41、書き込み信号走査回路42および発光期間制御信号走査回路43は、本実施形態において有機ELディスプレイ1内の基板上に、例えばTFTプロセスを用いて形成されている。

なお、画素回路3Aについて図3は1画素部分のみを図示しているが、実際は複数の画素回路3Aがマトリクス状に配列されている。そして、列(カラム)方向の複数の画素回路が1本のデータ線2に共通接続されている。また、書き込み信号走査回路42は、行(ロウ)方向の複数の画素回路の複数のトランジスタ M_s を同時制御可能に接続され、発光期間制御信号走査回路43は、ロウ方向の複数の画素回路の複数の第2トランジスタ M_2 を同時制御可能に接続されている。さらに、第1電源回路51および第2電源回路52は、複数の画素回路に電源供給可能に接続されている。

20

【0040】

図4は、図3に示す画素回路のシミュレーションによる動作波形図である。

図4に示す期間 T_0 において、第1トランジスタ M_1 のゲート電極電位は、前のフレームにおける表示データに対応する電位となっている。また、図2に示す期間 $T_0 \sim T_2$ の範囲では発光期間制御信号の入力端子DSは非選択電位となっているので、表示データによらず、有機発光ダイオードOLEDは発光しない。

30

【0041】

期間 T_1 において書き込み信号走査回路42から出力される走査信号WSがハイレベルの選択電位となり、第1トランジスタ M_1 のゲート電極に、水平選択回路41から出力され、表示データに対応するデータ電圧 V_{sig} が書き込まれる。ここではデータ電圧 V_{sig} が第1トランジスタ M_1 の閾値電圧以上の電位をゲート電極に与えるため、第1トランジスタ M_1 がオンする。第1トランジスタ M_1 がオンすると、当該第1トランジスタ M_1 のソース・ドレイン間の抵抗が低下する。すると、第1電源電圧 V_{dd} と第2電源電圧 V_{ss} との間の第1および第2トランジスタ M_1, M_2 を等価的に表す2つのソース・ドレイン間抵抗の分割比で定められる第1トランジスタ M_1 のドレイン電極電位が、ソース電極電位に近づく。第2トランジスタ M_2 のゲート電極電位はソース電極、即ち第1トランジスタ M_1 のドレイン電極との容量結合によって発光期間制御信号の非選択電位(ローレベル)より更に低い電位に一旦低下する。しかし、第2トランジスタ M_2 のゲート電極の電位が低下すると、当該ゲート電極電位と発光期間制御信号走査回路43から出力される発光期間制御信号との電位差が生じる。このため第3トランジスタ M_3 に電流が流れ、再び、第2トランジスタ M_2 のゲート電極電位は、発光期間制御信号の非選択電位(ローレベル)に収束する。

40

【0042】

期間 T_2 において、走査信号WSはローレベルの非選択電位となり、第1トランジスタ M_1 のゲート電極電位は、蓄積キャパシタ C_s によって表示データに対応した所定の値に保持される。

50

【 0 0 4 3 】

期間 T 3 において、発光期間制御信号走査回路 4 3 による制御によって発光期間制御信号の入力端子 D S はハイレベルの選択電位に遷移する。すると、第 3 および第 4 トランジスタ M 3 , M 4 を介して第 2 トランジスタ M 2 のゲート電極電位もハイレベルの選択電位となることで、第 2 トランジスタ M 2 がオンする。第 2 トランジスタ M 2 がオンすると、そのソース・ドレイン間の抵抗が低下し、第 1 電源電圧 V dd と第 2 電源電圧 V ss との間の抵抗分割比で定められる第 1 トランジスタ M 1 のドレイン電極電位およびソース電極電位がそれぞれ上昇する。これに伴い、有機発光ダイオード O L E D に電流が流れるようになり、有機発光ダイオード O L E D が発光する。また、第 2 トランジスタ M 2 のゲート電極電位は、そのソース電極、即ち第 1 トランジスタ M 1 のドレイン電極との間の容量結合によっても上昇するため、発光期間制御信号の入力端子 D S のハイレベルの選択電位に第 2 トランジスタ M 2 のゲート電極電位が達することが当初の想定より早くなることが判明した。

10

【 0 0 4 4 】

第 1 実施形態の場合と同様に、当初の想定では、第 3 および第 4 トランジスタ M 3 , M 4 の各々がゲートとドレインを接続したダイオード接続であるため、第 2 トランジスタ M 2 のゲート電極の電位が、与えられた発光期間制御信号の入力端子 D S のハイレベル電位に対して、短時間にはしきい電圧 V t h 分だけ未到達となると考え、発光期間制御信号の入力端子 D S には従来よりも V t h の 2 倍だけ大きい振幅が与えられることが望ましいと予想した。しかし実際には、第 2 トランジスタ M 2 のゲート電極と第 1 トランジスタ M 1 のドレイン電極との間の容量結合の効果により、第 2 トランジスタ M 2 のゲート電極電位も上昇するため、発光期間制御信号の入力端子 D S の振幅は必ずしも大きくなくても良いことが、当該シミュレーションから分かった。

20

【 0 0 4 5 】

なお、容量結合は、ゲート電位の伝達にも効果がある。この効果を大きくするために、容量（キャパシタ）を抵抗素子 R E S と並列に接続してもよい。

【 0 0 4 6 】

本実施形態では、第 1 実施形態と同様に、第 2 トランジスタ M 2 のドレイン・ゲート間に短絡が生じた場合にも、有機発光ダイオード O L E D に与える電流の入力端子第 1 電源電圧 V dd と第 2 トランジスタ M 2 の発光期間制御信号の入力端子 D S とが致命的な短絡をすることを避けることができる。また、第 3 および第 4 トランジスタ M 3 , M 4 により構成される抵抗素子 R E S が各画素の第 2 トランジスタ M 2 のゲート電極ごとにそれぞれ接続されている形態においては、第 2 トランジスタ M 2 のドレイン・ゲート間に短絡が生じた画素以外の、同一の発光期間制御信号配線に接続されている画素については、正常な動作が保たれる。このため、第 2 トランジスタ M 2 のドレイン・ゲート間に短絡が生じた場合にも、線欠陥という致命的表示不良とはならないので、高い製造歩留と高い信頼性が得られる。

30

【 0 0 4 7 】

さらに本実施の形態では、蓄積キャパシタ C s の一方の電極が第 1 トランジスタ M 1 のソース電極に接続されているため、蓄積キャパシタ C s を介した容量結合により、期間 T 3 でのソース電極電位上昇に伴って、第 1 トランジスタ M 1 のゲート電極電位が上昇する。これにより、有機発光ダイオード O L E D の発光期間に、第 1 トランジスタ M 1 のゲート電極電位がデータ電圧 V sig よりも高い電位となるため、第 1 トランジスタ M 1 のソース・ドレイン間抵抗が低下する。この結果、第 1 トランジスタ M 1 に流すことのできる電流量が増加すると同時に、第 1 電源電圧 V dd と第 2 電源電圧 V ss との間の抵抗分割比で定められる、有機発光ダイオード O L E D に印加される電圧も大きくなり、効率の良い発光特性が得られる。

40

【 0 0 4 8 】

なお、本実施の形態では、図 3 に示す、複数の画素回路 3 A、水平選択回路 4 1、書き込み信号走査回路 4 2、発光期間制御信号走査回路 4 3、第 1 電源回路 5 1 および第 2 電

50

源回路 5 2 が有機 E L ディスプレイ 1 内の基板上に配置されている例を挙げているが、これらのうち、一部の回路、例えば電源回路を基板上ではなく、基板外部に設置してもよい。

また、電源回路の一方、例えば第 2 電源回路 5 2 は接地電位などの基準電位を供給する回路であってもよい。

【 0 0 4 9 】

《 第 3 実施形態 》

図 5 は、第 3 実施形態に関わる表示装置の構成図である。図 5 において図 1 , 図 3 と共通する構成は同一符号を付して、その説明を省略する。以下、図 1 , 図 3 と異なる図 5 の構成を説明する。なお、回路動作例は第 2 実施形態と同様であるため、ここでの説明を省略する。

10

【 0 0 5 0 】

第 3 実施形態にかかる図 5 に示す構成の有機 E L ディスプレイは、図 3 において基板上に配置されていた水平選択回路 4 1、書き込み信号走査回路 4 2、発光期間制御信号走査回路 4 3、ならびに、第 1 電源回路 5 1、第 2 電源回路 5 2 が、基板の外部に設置され、それぞれの回路と基板との間に配線が設けられている点で図 3 の構成と異なる。

なお、ここでも画素回路 3 A について 1 画素部分のみを図示しているが、実際は複数の画素回路 3 A がマトリクス状に配列されている。

【 0 0 5 1 】

本実施形態の効果は、第 2 実施形態と同様である。

20

【 0 0 5 2 】

《 第 4 実施形態 》

第 4 実施形態は、前述の第 1 ~ 第 3 実施形態における抵抗素子 R E S について、可能な変化形 (variation) を示すものである。

第 1 ~ 第 3 実施形態においては、抵抗素子 R E S として、図 6 に示すような、2 つの 2 端子動作 T F T で構成される双方向ダイオードを用いている。本実施形態で示すように、抵抗素子 R E S としては、2 つの 2 端子動作 T F T で構成される双方向ダイオード以外にも、適正な抵抗値を持つ如何なる抵抗素子でもよい。

【 0 0 5 3 】

図 7 および図 8 は、図 1、図 3 または図 5 における、図 6 に示す部分を置き換えることが可能な抵抗素子 R E S の他の構成を示す回路図である。

30

図 7 に示す抵抗素子 R E S は、双方向ダイオードを一般化して表現している。ダイオード素子 D 3 , D 4 が互いに逆向きに並列接続されている。ここに用いるダイオード素子 D 3 , D 4 の例としては、M I M (Metal-Insulator-Metal) ダイオードを挙げることができる。ただし、M I M ダイオードの電極はメタルに限らず、導電化されたポリシリコン等の半導体材料でもよい。また、ダイオード素子 D 3 , D 4 の他の例としては、T F D (Thin Film Diode) がある。T F D は通常、導電化されたポリシリコン等の薄膜内に P N 接合ダイオードを形成して用いる。

【 0 0 5 4 】

図 8 に示す抵抗素子 R E S は、さらに一般化して抵抗素子 R で表現している。例えば、ポリシリコンの導電率を制御して用いれば抵抗素子 R が実現可能である。

40

【 0 0 5 5 】

以上の第 1 ~ 第 4 実施形態において、抵抗素子 R E S の適正な抵抗値としては、発光期間制御信号駆動回路、即ち図 3 , 図 5 に示す発光期間制御信号走査回路 4 3 の出力抵抗の 1 0 0 倍以上あることが望ましい。

そのとき、第 2 トランジスタ M 2 のゲートとドレイン (またはソース) 間に短絡が生じた場合にも、発光期間制御信号配線の電位 (ゲート制御信号の入力端子 D S の電位) は、抵抗素子が接続される T F T (第 2 トランジスタ M 2) のドレイン電極またはソース電極との間の、短絡がない場合の本来の電位差に対して、高々 1 [%] の変動に抑えられる。このため、発光期間制御信号走査回路 4 3 の出力が共通接続される短絡を起こしていない他

50

の画素回路 3 または 3 A に対し、発光期間制御信号走査回路 4 3 がほぼ正常な駆動を行うことができ、その結果、線欠陥という致命的な表示不良を回避することができる。

以上より、線欠陥という表示不良による致命欠陥を生じることなく、高い性能、高い製造歩留、高い信頼性のアクティブマトリクス駆動の表示デバイスを提供することができる。

なお、発光期間制御信号走査回路 4 3 の出力抵抗が $500\ \Omega$ である場合、その 100 倍以上とは $50\ \text{k}\ \Omega$ 以上となる。

【0056】

《第 5 実施形態》

図 9 は、第 5 実施形態に関わる表示装置の画素の等価回路図である。図 9 は、図 1 に示す画素回路 3 の変形例（画素回路 3 B）を示すものである。この変形は、図 3、図 5 に示す画素回路 3 A に対しても同様に適用できる。図 9 において図 1 と共通する構成は同一符号を付して、その説明を省略する。以下、図 1 と異なる図 9 の構成と、図 9 の回路動作を説明する。

【0057】

図解する本実施形態に関わる画素回路（PIX）3 B が、有機発光ダイオード OLED、それぞれが NMOS タイプの薄膜トランジスタからなる 3 つのトランジスタ M1、M2、Ms、蓄積キャパシタ Cs、および、抵抗素子 RES を有すること自体は第 1 実施形態に関わる図 1 の画素回路 3 と共通する。

本実施形態に関わる画素回路 3 B は、有機発光ダイオード OLED のアノードと電源電圧 Vdd の供給点との接続経路における、第 1 トランジスタ M1 と第 2 トランジスタ M2 の位置が図 1 に示す画素回路 3 と逆になっている。つまり、本実施形態に関わる画素回路 3 B では、第 1 トランジスタ M1 のドレインが電源電圧 Vdd の供給ノードに接続され、第 1 トランジスタ M1 のソースと有機発光ダイオード OLED との間に第 2 トランジスタ M2 が接続されている。第 2 トランジスタ M2 のゲートに抵抗素子 RES が接続され、抵抗素子 RES を介してゲート制御信号が入力可能に、入力端子 DS が設けられている点は第 1 実施形態と共通する。

【0058】

図 10 は、図 9 に示す画素回路のシミュレーションによる動作波形図である。

図 10 に示す期間 T0 において、第 1 トランジスタ M1 のゲート電極電位は、前のフレームにおける表示データに対応する電位となっている。また、図 10 に示す期間 T0 ~ T2 の範囲では発光期間制御信号の入力端子 DS は非選択電位となっているので、表示データによらず、有機発光ダイオード OLED は発光しない。

【0059】

期間 T1 において走査信号 WS がハイレベルの選択電位となり、第 1 トランジスタ M1 のゲート電極に表示データに対応するデータ電圧 Vsig が書き込まれる。ここではデータ電圧 Vsig が第 1 トランジスタ M1 の閾値電圧以上の電位をゲート電極に与えるため、第 1 トランジスタ M1 がオンする。第 2 トランジスタ M2 のドレイン電極電位、即ち第 1 トランジスタ M1 のソース電極電位が、上記書き込み時の第 1 トランジスタ M1 のゲート・ソース間の容量結合により上昇し、その後、第 1 トランジスタ M1 がオンすると当該第 1 トランジスタ M1 のソース・ドレイン間の抵抗が低下し、第 1 電源電圧 Vdd と第 2 電源電圧 Vss との間の抵抗分割比で定められる電位に近づく。第 2 トランジスタ M2 のゲート電極電位は、そのドレイン電極、即ち第 1 トランジスタ M1 のソース電極との容量結合によっていったん上昇するが、発光期間制御信号の入力端子 DS との電位差が生じるため第 4 トランジスタ M4 に電流が流れ、再び、第 2 トランジスタ M2 のゲート電極電位は、発光期間制御信号の入力端子 DS の非選択電位（ローレベル）に収束する。

【0060】

期間 T2 において、走査信号 WS はローレベルの非選択電位となり、第 1 トランジスタ M1 のゲート電極電位は、蓄積キャパシタ Cs によって表示データに対応した所定の値に保持される。

【 0 0 6 1 】

期間 T_3 において、発光期間制御信号の入力端子 DS はハイレベルの選択電位に遷移する。すると、第 3 および第 4 トランジスタ M_3, M_4 を介して第 2 トランジスタ M_2 のゲート電極電位もハイレベルの選択電位となることで、第 2 トランジスタ M_2 がオンする。第 2 トランジスタ M_2 がオンすると、そのソース・ドレイン間の抵抗が低下し、第 1 電源電圧 V_{dd} と第 2 電源電圧 V_{ss} との間の抵抗分割比で定められる第 2 トランジスタ M_2 のドレイン電極電位およびソース電極電位がそれぞれ上昇する。これに伴い、有機発光ダイオード $OLED$ に電流が流れるようになり、有機発光ダイオード $OLED$ が発光する。

【 0 0 6 2 】

本実施の形態においては、第 3 および第 4 トランジスタ M_3, M_4 の各々がゲートとドレインを接続したダイオード接続であるため、第 2 トランジスタ M_2 のゲート電極の電位が、与えられた発光期間制御信号の入力端子 DS 電位に対して、短時間にはしきい電圧 V_{th} 分だけ未到達となる。そのため、発光期間制御信号の入力端子 DS には従来よりも大きい振幅が与えられることが望ましい。

【 0 0 6 3 】

また、本実施の形態においては、第 3 および第 4 トランジスタ M_3, M_4 を用いない従来の構造であっても、 $TF T$ 部分に絶縁破壊が生じる可能性は第 1 ~ 第 3 実施形態に比べると相対的に低い。ただし、一度第 2 トランジスタ M_2 のゲートとソース間が短絡すると、有機発光ダイオード $OLED$ に高電圧や逆バイアスが印加されることで、有機発光ダイオード $OLED$ にも絶縁破壊が生じてしまい、発光期間制御信号の入力端子 DS と第 2 電源電圧 V_{ss} 間の短絡による致命欠陥となることが想定される。

本実施形態では、この観点から、第 2 トランジスタ M_2 のゲート電極に抵抗素子 RES を接続する利点がある。

【 0 0 6 4 】

なお、本実施の形態においても、水平選択回路 4 1、書き込み信号走査回路 4 2、発光期間制御信号走査回路 4 3、第 1 電源回路 5 1 および第 2 電源回路 5 2 を基板上に設けるか否かの変形、さらには、第 4 実施形態に示す図 7 および図 8 の変形が可能である。

【 0 0 6 5 】

ところで、本発明が効果を奏するのは、上述の各実施の形態に限定されるものではない。

例えば、画素回路 (PIX) は、様々な回路構成に置き換えることができる。一例を挙げると、トランジスタの閾値電圧 V_t の補正を行うためのオフセットレベル (初期レベル) を取り込むトランジスタを設ける場合、このトランジスタとトランジスタ M_s が兼用されることがある。その場合、データ電圧 V_{sig} の供給線にオフセットレベルとデータ電圧レベルを交互に印加するの必要があり、その役目は水平選択回路 4 1 が担い、オフセットタイミング制御は書き込み信号走査回路 4 2 が担う。

【 0 0 6 6 】

また、抵抗素子 RES が接続されるのは、デューティ比制御を行う $TF T$ のゲート電極とは限らず、他の制御を行う $TF T$ のゲート電極であっても良い。

さらに、ゲート電極に抵抗素子 RES が接続されている $TF T$ のソース電極 (またはドレイン電極) は、接地電位などの基準電位を包含する概念の電源回路に限らず、表示信号線に接続されていてもよい。

本発明の技術は、アクティブマトリクス有機 EL ディスプレイに限らず、同様の $TF T$ 構造を持つあらゆるアクティブマトリクス表示装置に適用できる。

【 図面の簡単な説明 】

【 0 0 6 7 】

【 図 1 】 第 1 実施形態に関わる表示装置の画素の等価回路図である。

【 図 2 】 第 1 実施形態に関わる図 1 に示す画素回路のシミュレーションによる動作波形図である。

【 図 3 】 第 2 実施形態に関わる表示装置の構成図である。

10

20

30

40

50

【図 4】第 2 実施形態に関わる図 3 に示す画素回路のシミュレーションによる動作波形図である。

【図 5】第 3 実施形態に関わる表示装置の構成図である。

【図 6】第 1 ～ 第 3 実施形態ならびに第 5 実施形態における抵抗素子部分の回路図である。

【図 7】図 6 と置き換え可能な他の抵抗素子の等価回路図である。

【図 8】図 6 と置き換え可能な他の抵抗素子の等価回路図である。

【図 9】第 5 実施形態に関わる表示装置の画素の等価回路図である。

【図 10】図 9 に示す画素回路のシミュレーションによる動作波形図である。

【図 11】一般的な有機発光ダイオードを有する画素回路の一例を示す等価回路図である

10

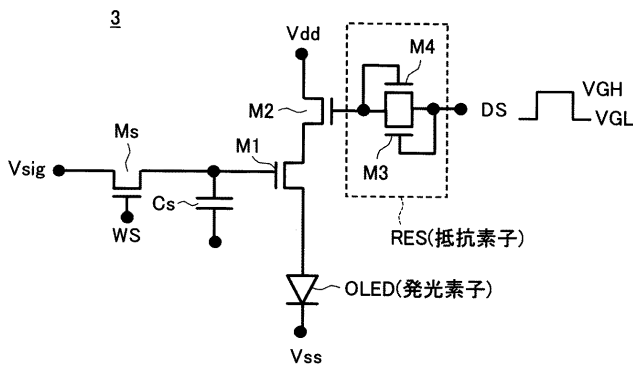
【符号の説明】

【0068】

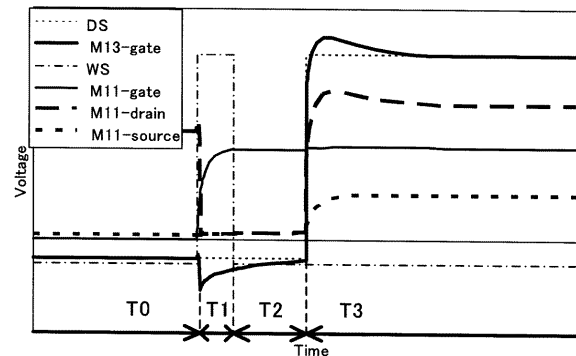
1 ... 有機 EL ディスプレイ、2 ... データ線、3, 3A, 3B ... 画素回路、4 1 ... 水平選択回路、4 2 ... 書き込み信号走査回路、4 3 ... 発光期間制御信号走査回路、5 1 ... 第 1 電源回路、5 2 ... 第 2 電源回路、M 1 ... 第 1 トランジスタ、M 2 ... 第 2 トランジスタ、M 3 ... 第 3 トランジスタ、M 4 ... 第 4 トランジスタ、M s ... トランジスタ、W S ... 走査信号の入力端子、D S ... ゲート制御信号の入力端子、O L E D ... 有機発光ダイオード、C s ... 蓄積キャパシタ、V s i g ... データ電圧、V d d ... 第 1 電源電圧、V s s ... 第 2 電源電圧、D 3, D 4 ... ダイオード素子、R ... 抵抗、R E S ... 抵抗素子

20

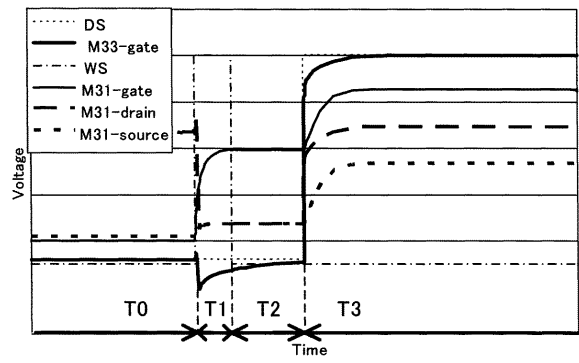
【図 1】



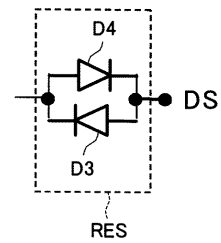
【図 2】



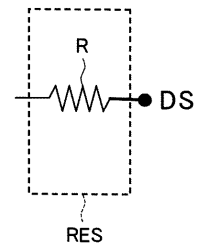
【 図 4 】



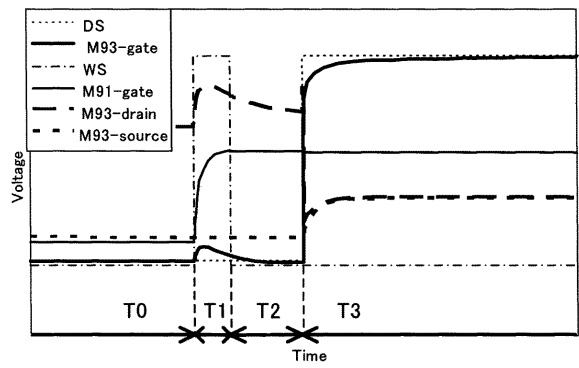
【 図 7 】



【 図 8 】



【 図 1 0 】



フロントページの続き

(51) Int. Cl.

F I

テーマコード (参考)

G 0 9 F 9/30 3 3 8
H 0 5 B 33/14 A

专利名称(译)	表示装置		
公开(公告)号	JP2008250003A	公开(公告)日	2008-10-16
申请号	JP2007091338	申请日	2007-03-30
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	古立学		
发明人	古立 学		
IPC分类号	G09G3/30 G09G3/20 G09F9/30 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.670.A G09G3/20.621.M G09G3/20.680.G G09F9/30.338 H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC29 3K107/CC45 3K107/EE04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD18 5C080/DD19 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C094/AA31 5C094/AA42 5C094/BA03 5C094/BA27 5C094/CA19 5C094/FB14 5C094/FB18 5C094/GA10 5C380/AA01 5C380/AB06 5C380/AB23 5C380/AB34 5C380/AB36 5C380/BA29 5C380/BA39 5C380/BB02 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CB18 5C380/CC04 5C380/CC27 5C380/CC33 5C380/CC39 5C380/CC63 5C380/CD013 5C380/CD015 5C380/CF41 5C380/CF46 5C380/DA02 5C380/DA06 5C380/GA14		
代理人(译)	佐藤隆久		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了防止由于在晶体管的栅极和漏极（或源极）之间产生短路时产生的致命缺陷（线路显示缺陷）导致的制造产量和可靠性的降低。解决方案：显示装置包括：发光元件（有机发光二极管OLED），其连接到第一和第二电源Vdd，Vss，它们之间具有电位差并且允许由电流驱动；第一晶体管M1，其连接到有机发光二极管OLED的电流驱动路径，以控制当前驱动路径的电流；第二晶体管M2，其连接到电流驱动路径以控制有机发光二极管OLED的发光时段；电阻元件RES连接在第二驱动晶体管M2的栅极和发光周期控制信号源（例如栅极控制信号的输入端DS）之间。

