

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-171828

(P2007-171828A)

(43) 公開日 平成19年7月5日(2007.7.5)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 611H	5C080
HO1L 51/50 (2006.01)	G09G 3/20 621F	
	G09G 3/20 624B	
	G09G 3/20 622Q	
審査請求 未請求 請求項の数 6 O L (全 23 頁) 最終頁に続く		

(21) 出願番号	特願2005-372621 (P2005-372621)	(71) 出願人	000002185 ソニー株式会社 東京都港区港南1丁目7番1号
(22) 出願日	平成17年12月26日 (2005.12.26)	(74) 代理人	100092336 弁理士 鈴木 晴敏
		(72) 発明者	山下 淳一 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	内野 勝秀 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		Fターム(参考)	3K107 AA01 BB01 CC33 EE03 HH00 HH04 HH05 5C080 AA06 BB05 DD03 DD08 DD28 EE29 FF11 JJ02 JJ03 JJ04 JJ05

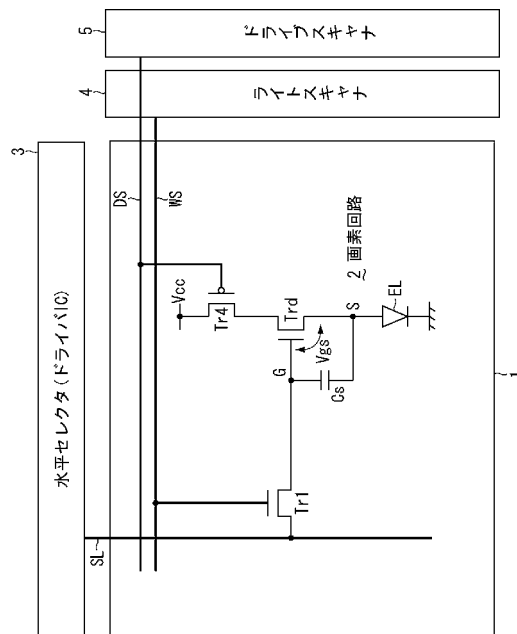
(54) 【発明の名称】 表示装置及びその駆動方法

(57) 【要約】

【課題】画素数の増加や動作速度の高周波数化に対応可能な閾電圧補正機能を備えた表示装置を提供する。

【解決手段】表示装置は、画素アレイ部1とスキャナ部4、5と信号部3とを含む。各画素2は、サンプリングトランジスタTr1と、画素容量Csと、ドライプトランジスタTrdと、これに接続する発光素子ELと、ドライプトランジスタTrdを電源に接続するスイッチングトランジスタTr4を含む。ドライプトランジスタTrdは、入力電圧Vgsに応じた出力電流Idsを発光素子ELに供給する。出力電流IdsはドライプトランジスタTrdの閾電圧に対して依存性を有する。スキャナ部4、5は、当該行の画素2に先行する行に割り当てられた複数の水平走査期間を利用して、ドライプトランジスタTrdの閾電圧をキャンセルするための準備動作を時分割的に行うとともに、時分割する間隔を発光素子ELが放電するのに十分な程度に長く設定する。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

画素アレイ部とスキャナ部と信号部とを含み、

前記画素アレイ部は、行状に配された走査線と列状に配された信号線と両者が交差する部分に配された行列状の画素とからなり、

前記信号部は、該信号線に映像信号を供給し、

前記スキャナ部は、走査線に制御信号を供給して順次行ごとに画素を走査し、

各画素は、少なくともサンプリングトランジスタと、これに接続する画素容量と、該画素容量に接続するドライブトランジスタと、該ドライブトランジスタに接続する発光素子と、該ドライブトランジスタを電源に接続するスイッチングトランジスタとを含み、

前記サンプリングトランジスタは、走査線から供給される制御信号に応じ導通して信号線から供給された映像信号の信号電位を該画素容量にサンプリングし、

前記画素容量は、該サンプリングされた映像信号の信号電位に応じて該ドライブトランジスタのゲートに入力電圧を印加し、

前記ドライブトランジスタは、該入力電圧に応じた出力電流を該発光素子に供給し、該出力電流は該ドライブトランジスタの閾電圧に対して依存性を有し、

前記スイッチングトランジスタは、該スキャナ部から供給される別の制御信号に応じ導通して発光期間中該ドライブトランジスタを電源に接続し、非発光期間では非導通状態になって該ドライブトランジスタを電源から切り離し、

前記発光素子は、発光期間中該ドライブトランジスタから供給された出力電流により該映像信号の信号電位に応じた輝度で発光する表示装置であって、

前記スキャナ部は、水平走査期間に制御信号を出力し、該サンプリングトランジスタ及び該スイッチングトランジスタをオンオフ制御して、該出力電流の該閾電圧に対する依存性を補正するため該画素容量に補正をかける動作として、該画素容量をリセットする準備動作とリセットされた該画素容量に該閾電圧をキャンセルするための電圧を書き込む補正動作とを行い、その後補正された該画素容量に該映像信号の信号電位をサンプリングするサンプリング動作を実行し、

その際前記スキャナ部は、当該行の画素に先行する行に割り当てられた前の水平走査期間を利用して、該準備動作を時分割的に行うとともに、時分割する間隔を該発光素子が放電するのに十分な程度に長く設定することを特徴とする表示装置。

【請求項 2】

前記スキャナ部は、該準備動作が完了したあと当該行の画素に先行する行に割り当てられた前の水平走査期間を利用して、該補正動作も時分割的に行うことを特徴とする表示装置。

【請求項 3】

前記信号部は、各水平走査期間に該映像信号を第 1 の固定電位と、第 2 の固定電位と、信号電位との間で切り替え、以って該準備動作、該補正動作及び該サンプリング動作に必要な電位を各画素に信号線を介して供給することを特徴とする請求項 1 記載の表示装置。

【請求項 4】

前記信号部は、該準備動作に合わせて高レベルの第 1 固定電位を供給し、該補正動作に合わせて低レベルの第 2 固定電位を供給し、該サンプリング動作に合わせて該信号電位を供給することを特徴とする請求項 3 記載の表示装置。

【請求項 5】

前記ドライブトランジスタは、その出力電流が閾電圧に加えチャネル領域のキャリア移動度に対しても依存性を有し、

前記スキャナ部は、水平走査期間に制御信号を出力して更に該スイッチングトランジスタを制御し、該出力電流のキャリア移動度に対する依存性を打ち消すために、該信号電位がサンプリングされている状態で該ドライブトランジスタから出力電流を取り出し、これを該画素容量に負帰還して該入力電圧を補正する動作を実行することを特徴とする請求項 1 記載の表示装置。

10

20

30

40

50

【請求項6】

画素アレイ部とスキャナ部と信号部とを含み、

前記画素アレイ部は、行状に配された走査線と列状に配された信号線と両者が交差する部分に配された行列状の画素とからなり、

前記信号部は、該信号線に映像信号を供給し、

前記スキャナ部は、走査線に制御信号を供給して順次行ごとに画素を走査し、

各画素は、少なくともサンプリングトランジスタと、これに接続する画素容量と、該画素容量に接続するドライブトランジスタと、該ドライブトランジスタに接続する発光素子と、該ドライブトランジスタを電源に接続するスイッチングトランジスタとを含む表示装置の駆動方法であって、

前記サンプリングトランジスタが、走査線から供給される制御信号に応じ導通して信号線から供給された映像信号の信号電位を該画素容量にサンプリングし、

前記画素容量が、該サンプリングされた映像信号の信号電位に応じて該ドライブトランジスタのゲートに入力電圧を印加し、

前記ドライブトランジスタが、該入力電圧に応じた出力電流を該発光素子に供給し、該出力電流は該ドライブトランジスタの閾電圧に対して依存性を有し、

前記発光素子が、発光期間中該ドライブトランジスタから供給された出力電流により該映像信号の信号電位に応じた輝度で発光し、

前記スキャナ部が、水平走査期間に制御信号を出力し、該サンプリングトランジスタ及び該スイッチングトランジスタをオンオフ制御して、該出力電流の該閾電圧に対する依存性を補正するため該画素容量に補正をかける動作として、該画素容量をリセットする準備動作とリセットされた該画素容量に該閾電圧をキャンセルするための電圧を書き込む補正動作とを行い、その後補正された該画素容量に該映像信号の信号電位をサンプリングするサンプリング動作を実行し、

その際前記スキャナ部が、当該行の画素に先行する行に割り当てられた前の水平走査期間を利用して、該準備動作を時分割的に行うとともに、時分割する間隔を該発光素子が放電するのに十分な程度に長く設定することを特徴とする表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素毎に配した発光素子で画像を表示するフラットパネル型の表示装置に関する。より詳しくは、各画素内に設けた絶縁ゲート型電界効果トランジスタによって有機ELなどの発光素子に通電する電流量を制御する、いわゆるアクティブマトリクス型の表示装置及びその駆動方法に関する。

【背景技術】

【0002】

画像表示装置、例えば液晶ディスプレイなどでは、多数の液晶画素をマトリクス状に並べ、表示すべき画像情報に応じて画素毎に入射光の透過強度又は反射強度を制御することによって画像を表示する。これは、有機EL素子を画素に用いた有機ELディスプレイなどにおいても同様であるが、液晶画素と異なり有機EL素子は自発光素子である。その為、有機ELディスプレイは液晶ディスプレイに比べて画像の視認性が高く、バックライトが不要であり、応答速度が高いなどの利点を有する。又、各発光素子の輝度レベル（階調）はそれに流れる電流値によって制御可能であり、いわゆる電流制御型であるという点で液晶ディスプレイなどの電圧制御型とは大きく異なる。

【0003】

有機ELディスプレイにおいては、液晶ディスプレイと同様、その駆動方式として単純マトリクス方式とアクティブマトリクス方式とがある。前者は構造が単純であるものの、大型且つ高精細のディスプレイの実現が難しいなどの問題がある為、現在はアクティブマトリクス方式の開発が盛んに行なわれている。この方式は、各画素回路内部の発光素子に流れる電流を、画素回路内部に設けた能動素子（一般には薄膜トランジスタ、TFT）に

10

20

30

40

50

よって制御するものであり、以下の特許文献に記載がある。

【特許文献1】特開2003-255856

【特許文献2】特開2003-271095

【特許文献3】特開2004-133240

【特許文献4】特開2004-029791

【特許文献5】特開2004-093682

【発明の開示】

【発明が解決しようとする課題】

【0004】

従来の画素回路は、制御信号を供給する行状の走査線と映像信号を供給する列状の信号線とが交差する部分に配され、少なくともサンプリングトランジスタと容量部（画素容量）とドライブトランジスタと発光素子とを含む。サンプリングトランジスタは、走査線から供給される制御信号に応じ導通して信号線から供給された映像信号をサンプリングする。容量部は、サンプリングされた映像信号に応じた入力電圧を保持する。ドライブトランジスタは、容量部に保持された入力電圧に応じて所定の発光期間に出力電流を供給する。尚一般に、出力電流はドライブトランジスタのチャンネル領域のキャリア移動度及び閾電圧に対して依存性を有する。発光素子は、ドライブトランジスタから供給された出力電流により映像信号に応じた輝度で発光する。

【0005】

ドライブトランジスタは、容量部に保持された入力電圧をゲートに受けてソース/ドレイン間に出力電流を流し、発光素子に通電する。一般に発光素子の発光輝度は通電量に比例している。更にドライブトランジスタの出力電流供給量はゲート電圧すなわち容量部に書き込まれた入力電圧によって制御される。従来の画素回路は、ドライブトランジスタのゲートに印加される入力電圧を入力映像信号に応じて変化させることで、発光素子に供給する電流量を制御している。

【0006】

ここでドライブトランジスタの動作特性は以下の式1で表わされる。

$$I_{ds} = (1/2) \mu (W/L) C_{ox} (V_{gs} - V_{th})^2 \cdots \text{式1}$$

このトランジスタ特性式1において、 I_{ds} はソース/ドレイン間に流れるドレイン電流を表わしており、画素回路では発光素子に供給される出力電流である。 V_{gs} はソースを基準としてゲートに印加されるゲート電圧を表わしており、画素回路では上述した入力電圧である。 V_{th} はトランジスタの閾電圧である。又 μ はトランジスタのチャンネルを構成する半導体薄膜の移動度を表わしている。その他 W はチャンネル幅を表わし、 L はチャンネル長を表わし、 C_{ox} はゲート容量を表わしている。このトランジスタ特性式1から明らかな様に、薄膜トランジスタは飽和領域で動作する時、ゲート電圧 V_{gs} が閾電圧 V_{th} を超えて大きくなると、オン状態となってドレイン電流 I_{ds} が流れる。原理的に見ると上記のトランジスタ特性式1が示す様に、ゲート電圧 V_{gs} が一定であれば常に同じ量のドレイン電流 I_{ds} が発光素子に供給される。従って、画面を構成する各画素に全て同一のレベルの映像信号を供給すれば、全画素が同一輝度で発光し、画面の一様性（ユニフォーミティ）が得られるはずである。

【0007】

しかしながら実際には、ポリシリコンなどの半導体薄膜で構成された薄膜トランジスタ（TFET）は、個々のデバイス特性にばらつきがある。特に、閾電圧 V_{th} は一定ではなく、各画素毎にばらつきがある。前述のトランジスタ特性式1から明らかな様に、各ドライブトランジスタの閾電圧 V_{th} がばらつくと、ゲート電圧 V_{gs} が一定であっても、ドレイン電流 I_{ds} にばらつきが生じ、画素毎に輝度がばらついてしまう為、画面のユニフォーミティを損なう。従来からドライブトランジスタの閾電圧のばらつきをキャンセルする機能を組み込んだ画素回路が開発されており、例えば前記の特許文献3に開示がある。

【0008】

閾電圧のばらつきをキャンセルする機能（閾電圧補正機能）を組み込んだ画素回路は、

一般に画素容量に映像信号をサンプリングする前に動作し、閾電圧 V_{th} に相当する電圧を画素容量に書き込んで、閾電圧 V_{th} をキャンセルするようにしている。このため閾電圧補正動作は、画素容量を閾電圧に相当する電圧に充電するために、ある程度時間を要する。しかしながら、画素の高精細化やその結果としての画素数の増加に伴い、更にはパネルの動作速度の高周波数化により、各画素に割り当てられる閾電圧補正時間が短くなってきており、必ずしも十分な閾電圧補正機能を果たすことが出来ない。

【課題を解決するための手段】

【0009】

上述した従来技術の課題に鑑み、本発明は画素数の増加や動作速度の高周波数化に対応可能な閾電圧補正機能を備えた表示装置及びその駆動方法を提供することを目的とする。かかる目的を達成するために以下の手段を講じた。即ち本発明は、画素アレイ部とスキヤナ部と信号部とを含み、前記画素アレイ部は、行状に配された走査線と列状に配された信号線と両者が交差する部分に配された行列状の画素とからなり、前記信号部は、該信号線に映像信号を供給し、前記スキヤナ部は、走査線に制御信号を供給して順次行ごとに画素を走査し、各画素は、少なくともサンプリングトランジスタと、これに接続する画素容量と、これに接続するドライブトランジスタと、これに接続する発光素子と、該ドライブトランジスタを電源に接続するスイッチングトランジスタとを含み、前記サンプリングトランジスタは、走査線から供給される制御信号に応じ導通して信号線から供給された映像信号の信号電位を該画素容量にサンプリングし、前記画素容量は、該サンプリングされた映像信号の信号電位に応じて該ドライブトランジスタのゲートに入力電圧を印加し、前記ドライブトランジスタは、該入力電圧に応じた出力電流を該発光素子に供給し、該出力電流は該ドライブトランジスタの閾電圧に対して依存性を有し、前記スイッチングトランジスタは、該スキヤナ部から供給される別の制御信号に応じ導通して発光期間中該ドライブトランジスタを電源に接続し、非発光期間では非導通状態になって該ドライブトランジスタを電源から切り離し、前記発光素子は、発光期間中該ドライブトランジスタから供給された出力電流により該映像信号の信号電位に応じた輝度で発光する表示装置であって、前記スキヤナ部は、水平走査期間に制御信号を出力し、該サンプリングトランジスタ及び該スイッチングトランジスタをオンオフ制御して、該出力電流の該閾電圧に対する依存性を補正するため該画素容量に補正をかける動作として、該画素容量をリセットする準備動作とリセットされた該画素容量に該閾電圧をキャンセルするための電圧を書き込む補正動作とを行い、その後補正された該画素容量に該映像信号の信号電位をサンプリングするサンプリング動作を実行し、その際前記スキヤナ部は、当該行の画素に先行する行に割り当てられた前の水平走査期間を利用して、該準備動作を時分割的に行うとともに、時分割する間隔を該発光素子が放電するのに十分な程度に長く設定することを特徴とする。

【0010】

好ましくは前記スキヤナ部は、該準備動作が完了したあと当該行の画素に先行する行に割り当てられた前の水平走査期間を利用して、該補正動作も時分割的に行う。又前記信号部は、各水平走査期間に該映像信号を第1の固定電位と、第2の固定電位と、信号電位との間で切り替え、以って該準備動作、該補正動作及び該サンプリング動作に必要な電位を各画素に信号線を介して供給する。具体的に前記信号部は、該準備動作に合わせて高レベルの第1固定電位を供給し、該補正動作に合わせて低レベルの第2固定電位を供給し、該サンプリング動作に合わせて該信号電位を供給する。又前記ドライブトランジスタは、その出力電流が閾電圧に加えチャネル領域のキャリア移動度に対しても依存性を有し、前記スキヤナ部は、水平走査期間に別の制御信号を出力して更に該スイッチングトランジスタを制御し、該出力電流のキャリア移動度に対する依存性を打ち消すために、該信号電位がサンプリングされている状態で該ドライブトランジスタから出力電流を取り出し、これを該画素容量に負帰還して該入力電圧を補正する動作を実行する。

【0011】

本発明は又、画素アレイ部とスキヤナ部と信号部とを含み、前記画素アレイ部は、行状に配された走査線と列状に配された信号線と両者が交差する部分に配された行列状の画素

とからなり、前記信号部は、該信号線に映像信号を供給し、前記スキャナ部は、走査線に制御信号を供給して順次行ごとに画素を走査し、各画素は、少なくともサンプリングトランジスタと、これに接続する画素容量と、これに接続するドライブトランジスタと、これに接続する発光素子と、該ドライブトランジスタを電源に接続するスイッチングトランジスタとを含む表示装置の駆動方法であって、前記サンプリングトランジスタが、走査線から供給される制御信号に応じ導通して信号線から供給された映像信号の信号電位を該画素容量にサンプリングし、前記画素容量が、該サンプリングされた映像信号の信号電位に応じて該ドライブトランジスタのゲートに入力電圧を印加し、前記ドライブトランジスタが、該入力電圧に応じた出力電流を該発光素子に供給し、該出力電流は該ドライブトランジスタの閾電圧に対して依存性を有し、前記スイッチングトランジスタが、該スキャナ部から供給される別の制御信号に応じ導通して発光期間中該ドライブトランジスタを電源に接続し、非発光期間では非導通状態になって該ドライブトランジスタを電源から切り離し、前記発光素子が、発光期間中該ドライブトランジスタから供給された出力電流により該映像信号の信号電位に応じた輝度で発光し、前記スキャナ部が、水平走査期間に制御信号を出力し、該サンプリングトランジスタ及び該スイッチングトランジスタをオンオフ制御して、該出力電流の該閾電圧に対する依存性を補正するため該画素容量に補正をかける動作として、該画素容量をリセットする準備動作とリセットされた該画素容量に該閾電圧をキャンセルするための電圧を書き込む補正動作とを行い、その後補正された該画素容量に該映像信号の信号電位をサンプリングするサンプリング動作を実行し、その際前記スキャナ部が、当該行の画素に先行する行に割り当てられた前の水平走査期間を利用して、該準備動作を時分割的に行うとともに、時分割する間隔を該発光素子が放電するのに十分な程度に長く設定することを特徴とする。

10

20

【発明の効果】**【0012】**

本発明によれば、表示装置のスキャナ部は、水平走査期間内で走査線に制御信号を出力して画素を制御し、出力電流の閾電圧に対する依存性を補正するため画素容量に補正をかける動作と、補正された画素容量に映像信号の信号電位をサンプリングする動作とを実行している。その際スキャナ部は、当該行の画素に先行する行に割り当てられた前の水平走査期間を利用して、画素容量に補正をかける動作を時分割的に行っている。閾電圧補正動作を複数の水平走査期間に分割することで、トータルの補正時間を確保している。各水平走査期間で時分割的に行われた補正動作を蓄積して、最終的に当該水平走査期間で映像信号をサンプリングする際には、十分閾電圧に相当する電圧を画素容量に書き込んでおくことが出来る。このため、表示装置の駆動周波数が高周波数化して水平走査期間が短縮化されても、十分に閾電圧補正動作を行うことが可能になる。

30

【0013】

特に本発明によれば、水平走査期間内で、閾電圧キャンセルのための準備動作と実際の補正動作とを行い、さらに信号電位のサンプリング動作を行っている。この様に水平走査期間内で必要な動作を行うことで、信号線から画素に必要な制御電圧や信号電圧を供給することが出来るため、画素回路を構成する素子数は少なくすむ。ちなみに本発明の画素回路は、3個のトランジスタと1個の画素容量と1個の発光素子で構成でき、従来の閾電圧補正機能付の画素回路に比べ、大幅に素子数を削減可能である。但し水平走査期間内で補正動作とサンプリング動作を行うため、高駆動周波数化に伴い水平走査期間が短くなると、必要な動作時間を確保できない。そこで本発明では、補正準備動作を複数の水平走査期間で時分割的に行い、その結果を蓄積することで、実質的に十分な動作時間を確保するようにしている。

40

【0014】

本発明では、容量カップリングを用いてV_{th}補正準備を行う。このカップリング動作は複数回に分割されるが、そのパルス間隔を発光素子が十分に放電する時間とする。これにより、1ライン当たりのマイナスカップリング動作数を削減することができる。本発明では、V_{th}補正準備のためサンプリングトランジスタのゲートに印加する制御パルスの

50

間隔を、発光素子が十分にカットオフするまで空けている。この動作を数回繰り返すことで、ゲート電位の変動は無くなり、必要なゲート・ソース電圧を得る事ができる。この様に、V_{th}補正準備パルスの間隔を十分に取ることで、V_{th}補正準備のパルス数を従来よりも大幅に削減することができる。本発明により、発光素子容量が大きな有機ELパネル等において、V_{th}補正期間を分割し、その動作パルス間隔を発光素子が十分にカットオフする期間程長くすることで、V_{th}補正準備動作パルス数を大幅に削減する事が可能となる。

【発明を実施するための最良の形態】

【0015】

以下図面を参照して本発明の実施の形態を詳細に説明する。まず最初に本発明の背景を明らかにする為、図1を参照して表示装置の参考例を説明する。この参考例は本発明にかかる表示装置を開発するにあたって、その元になったものであり本発明を理解する上で有用なため、ここに参考例として説明する。

10

【0016】

図示する様に、このアクティブマトリクス表示装置は主要部となる画素アレイ1と周辺の回路部とで構成されている。周辺の回路部は水平セクタ3、ライトスキャナ4、ドライブスキャナ5、第一補正用スキャナ71、第二補正用スキャナ72などを含んでいる。画素アレイ1は行状の走査線WSと列状の信号線SLと両者の交差する部分にマトリクス状に配列した画素回路2とで構成されている。図では理解を容易にする為、1個の画素回路2のみを拡大表示してある。信号線SLは水平セクタ3によって駆動される。水平セクタ3は信号部を構成し、信号線SLに映像信号を供給する。走査線WSはライトスキャナ4によって走査される。なお、走査線WSと平行に別の走査線DS, AZ1及びAZ2も配線されている。走査線DSはドライブスキャナ5によって走査される。走査線AZ1は第一補正用スキャナ71によって走査される。走査線AZ2は第二補正用スキャナ72によって走査される。ライトスキャナ4、ドライブスキャナ5、第一補正用スキャナ71及び第二補正用スキャナ72はスキャナ部を構成しており、1水平走査期間ごと画素の行を順次走査する。各画素回路2は走査線WSによって選択されたとき信号線SLから映像信号をサンプリングする。さらに走査線DSによって選択されたとき、サンプリングされた映像信号に応じて画素回路2内に含まれている発光素子ELを駆動する。加えて画素回路2は走査線AZ1, AZ2によって走査された時、予め決められた補正動作を行う。

20

30

【0017】

画素回路2は、5個の薄膜トランジスタTr1~Tr4及びTrdと1個の容量素子(画素容量)Csと1個の発光素子ELとで構成されている。トランジスタTr1~Tr3とTrdはNチャネル型のポリシリコンTFTである。トランジスタTr4のみPチャネル型のポリシリコンTFTである。1個の容量素子Csは本画素回路2の容量部(画素容量)を構成している。発光素子ELは例えばアノード及びカソードを備えたダイオード型の有機EL素子である。但し本発明はこれに限られるものではなく、発光素子は一般的に電流駆動で発光する全てのデバイスを含む。

【0018】

画素回路2の中心となるドライブトランジスタTrdはそのゲートGが画素容量Csの一端に接続され、そのソースSが同じく画素容量Csの他端に接続されている。またドライブトランジスタTrdのゲートGはスイッチングトランジスタTr2を介して基準電位V_{ss1}に接続されている。ドライブトランジスタTrdのドレインはスイッチングトランジスタTr4を介して電源V_{cc}に接続されている。スイッチングトランジスタTr2のゲートは走査線AZ1に接続されている。スイッチングトランジスタTr4のゲートは走査線DSに接続している。発光素子ELのアノードはドライブトランジスタTrdのソースSに接続し、カソードは接地されている。この接地電位はV_{cat}で表される場合がある。また、ドライブトランジスタTrdのソースSと別の基準電位V_{ss2}との間にスイッチングトランジスタTr3が介在している。このトランジスタTr3のゲートは走査線AZ2に接続している。一方サンプリングトランジスタTr1は信号線SLとドライ

40

50

ブトランジスタ $T r d$ のゲート G との間に接続されている。サンプリングトランジスタ $T r 1$ のゲートは走査線 $W S$ に接続している。

【0019】

かかる構成において、サンプリングトランジスタ $T r 1$ は、所定のサンプリング期間に走査線 $W S$ から供給される制御信号 $W S$ に応じ導通して信号線 $S L$ から供給された映像信号 $S i g$ を容量部 $C s$ にサンプリングする。容量部 $C s$ は、サンプリングされた映像信号 $S i g$ に応じてドライブトランジスタのゲート G とソース S 間に入力電圧 $V g s$ を印加する。ドライブトランジスタ $T r d$ は、所定の発光期間中入力電圧 $V g s$ に応じた出力電流 $I d s$ を発光素子 $E L$ に供給する。なおこの出力電流(ドレイン電流) $I d s$ はドライブトランジスタ $T r d$ のチャンネル領域のキャリア移動度 μ 及び閾電圧 $V t h$ に対して依存性を有する。発光素子 $E L$ は、ドライブトランジスタ $T r d$ から供給された出力電流 $I d s$ により映像信号 $S i g$ に応じた輝度で発光する。

【0020】

本参考例の特徴として、画素回路2はスイッチングトランジスタ $T r 2 \sim T r 4$ で構成される補正手段を備えており、出力電流 $I d s$ のキャリア移動度 μ に対する依存性を打ち消す為に、予め発光期間の先頭で容量部 $C s$ に保持された入力電圧 $V g s$ を補正する。具体的には、この補正手段($T r 2 \sim T r 4$)は、走査線 $W S$ 及び $D S$ から供給される制御信号 $W S, D S$ に応じてサンプリング期間の一部で動作し、映像信号 $S i g$ がサンプリングされている状態でドライブトランジスタ $T r d$ から出力電流 $I d s$ を取り出し、これを容量部 $C s$ に負帰還して入力電圧 $V g s$ を補正する。さらにこの補正手段($T r 2 \sim T r 4$)は、出力電流 $I d s$ の閾電圧 $V t h$ に対する依存性を打ち消すために、予めサンプリング期間に先立ってドライブトランジスタ $T r d$ の閾電圧 $V t h$ を検出し、且つ検出された閾電圧 $V t h$ を入力電圧 $V g s$ に足し込む様にしている。

【0021】

本参考例の場合、ドライブトランジスタ $T r d$ は N チャンネル型トランジスタでドレインが電源 $V c c$ 側に接続する一方、ソース S が発光素子 $E L$ 側に接続している。この場合、前述した補正手段は、サンプリング期間の後部分に重なる発光期間の先頭部分でドライブトランジスタ $T r d$ から出力電流 $I d s$ を取り出して、容量部 $C s$ 側に負帰還する。その際本補正手段は、発光期間の先頭部分でドライブトランジスタ $T r d$ のソース S 側から取り出した出力電流 $I d s$ が、発光素子 $E L$ の有する容量に流れ込むようにしている。具体的には、発光素子 $E L$ はアノード及びカソードを備えたダイオード型の発光素子からなり、アノード側がドライブトランジスタ $T r d$ のソース S に接続する一方カソード側が接地されている。この構成で、本補正手段($T r 2 \sim T r 4$)は、予め発光素子 $E L$ のアノード/カソード間を逆バイアス状態にセットしておき、ドライブトランジスタ $T r d$ のソース S 側から取り出した出力電流 $I d s$ が発光素子 $E L$ に流れ込む時、このダイオード型の発光素子 $E L$ を容量性素子として機能させている。なお本補正手段は、サンプリング期間内でドライブトランジスタ $T r d$ から出力電流 $I d s$ を取り出す時間幅 t を調整可能であり、これにより容量部 $C s$ に対する出力電流 $I d s$ の負帰還量を最適化している。

【0022】

図2は、図1に示した表示装置から画素回路の部分を取り出した模式図である。理解を容易にするため、サンプリングトランジスタ $T r 1$ によってサンプリングされる映像信号 $S i g$ や、ドライブトランジスタ $T r d$ の入力電圧 $V g s$ 及び出力電流 $I d s$ 、さらには発光素子 $E L$ が有する容量成分 $C o l e d$ などを書き加えてある。以下図2に基づいて、参考例にかかる画素回路2の動作を説明する。

【0023】

図3は、図2に示した画素回路のタイミングチャートである。図3を参照して、図2に示した参考例にかかる画素回路の動作をより具体的に説明する。図3は、時間軸 T に沿って各走査線 $W S, A Z 1, A Z 2$ 及び $D S$ に印加される制御信号の波形を表してある。表記を簡略化する為、制御信号も対応する走査線の符号と同じ符号で表してある。トランジスタ $T r 1, T r 2, T r 3$ は N チャンネル型なので、走査線 $W S, A Z 1, A Z 2$ がそれ

ぞれハイレベルの時オンし、ローレベルの時オフする。一方トランジスタ $T r 4$ は P チャンネル型なので、走査線 $D S$ がハイレベルの時オフし、ローレベルの時オンする。なおこのタイミングチャートは、各制御信号 $W S$, $A Z 1$, $A Z 2$, $D S$ の波形と共に、ドライブトランジスタ $T r d$ のゲート G の電位変化及びソース S の電位変化も表してある。

【 0 0 2 4 】

図 3 のタイミングチャートではタイミング $T 1 \sim T 8$ までを 1 フィールド (1 f) としてある。1 フィールドの間に画素アレイの各行が一回順次走査される。タイミングチャートは、1 行分の画素に印加される各制御信号 $W S$, $A Z 1$, $A Z 2$, $D S$ の波形を表してある。

【 0 0 2 5 】

当該フィールドが始まる前のタイミング $T 0$ で、全ての制御線号 $W S$, $A Z 1$, $A Z 2$, $D S$ がローレベルにある。したがって N チャンネル型のトランジスタ $T r 1$, $T r 2$, $T r 3$ はオフ状態にある一方、P チャンネル型のトランジスタ $T r 4$ のみオン状態である。したがってドライブトランジスタ $T r d$ はオン状態のトランジスタ $T r 4$ を介して電源 $V c c$ に接続しているので、所定の入力電圧 $V g s$ に応じて出力電流 $I d s$ を発光素子 $E L$ に供給している。したがってタイミング $T 0$ で発光素子 $E L$ は発光している。この時ドライブトランジスタ $T r d$ に印加される入力電圧 $V g s$ は、ゲート電位 (G) とソース電位 (S) の差で表される。

【 0 0 2 6 】

当該フィールドが始まるタイミング $T 1$ で、制御信号 $D S$ がローレベルからハイレベルに切り替わる。これによりトランジスタ $T r 4$ がオフし、ドライブトランジスタ $T r d$ は電源 $V c c$ から切り離されるので、発光が停止し非発光期間に入る。タイミング $T 1$ に入ると、全てのトランジスタ $T r 1 \sim T r 4$ がオフ状態になる。

【 0 0 2 7 】

続いてタイミング $T 2$ に進むと、制御信号 $A Z 1$ 及び $A Z 2$ がハイレベルになるので、スイッチングトランジスタ $T r 2$ 及び $T r 3$ がオンする。この結果、ドライブトランジスタ $T r d$ のゲート G が基準電位 $V s s 1$ に接続し、ソース S が基準電位 $V s s 2$ に接続される。ここで $V s s 1 - V s s 2 > V t h$ を満たしており、 $V s s 1 - V s s 2 = V g s > V t h$ とする事で、その後タイミング $T 3$ で行われる $V t h$ 補正の準備を行う。換言すると期間 $T 2 \sim T 3$ は、ドライブトランジスタ $T r d$ のリセット期間に相当する。また、発光素子 $E L$ の閾電圧を $V t h E L$ とすると、 $V t h E L > V s s 2$ に設定されている。これにより、発光素子 $E L$ にはマイナスバイアスが印加され、いわゆる逆バイアス状態となる。この逆バイアス状態は、後で行う $V t h$ 補正動作及び移動度補正動作を正常に行うために必要である。

【 0 0 2 8 】

タイミング $T 3$ では制御信号 $A Z 2$ をローレベルにし且つ直後制御信号 $D S$ もローレベルにしている。これによりトランジスタ $T r 3$ がオフする一方トランジスタ $T r 4$ がオンする。この結果ドレイン電流 $I d s$ が画素容量 $C s$ に流れ込み、 $V t h$ 補正動作を開始する。この時ドライブトランジスタ $T r d$ のゲート G は $V s s 1$ に保持されており、ドライブトランジスタ $T r d$ がカットオフするまで電流 $I d s$ が流れる。カットオフするとドライブトランジスタ $T r d$ のソース電位 (S) は $V s s 1 - V t h$ となる。ドレイン電流がカットオフした後のタイミング $T 4$ で制御信号 $D S$ を再びハイレベルに戻し、スイッチングトランジスタ $T r 4$ をオフする。さらに制御信号 $A Z 1$ もローレベルに戻し、スイッチングトランジスタ $T r 2$ もオフする。この結果、画素容量 $C s$ に $V t h$ が保持固定される。この様にタイミング $T 3 \sim T 4$ はドライブトランジスタ $T r d$ の閾電圧 $V t h$ を検出する期間である。ここでは、この検出期間 $T 3 \sim T 4$ を $V t h$ 補正期間と呼んでいる。

【 0 0 2 9 】

この様に $V t h$ 補正を行った後タイミング $T 5$ で制御信号 $W S$ をハイレベルに切り替え、サンプリングトランジスタ $T r 1$ をオンして映像信号 $S i g$ の信号電位 $V s i g$ を画素容量 $C s$ に書き込む。発光素子 $E L$ の等価容量 $C o l e d$ に比べて画素容量 $C s$ は十分に

10

20

30

40

50

小さい。この結果、映像信号 S_{ig} のほとんど大部分が画素容量 C_s に書き込まれる。正確には、 V_{ss1} に対する信号電圧 V_{sig} の差分 $V_{sig} - V_{ss1}$ が画素容量 C_s に書き込まれる。したがってドライブトランジスタ T_{rd} のゲート G とソース S 間の電圧 V_{gs} は、先に検出保持された V_{th} と今回サンプリングされた $V_{sig} - V_{ss1}$ を加えたレベル ($V_{sig} - V_{ss1} + V_{th}$) となる。以降説明簡易化の為 $V_{ss1} = 0V$ とすると、ゲート/ソース間電圧 V_{gs} は図3のタイミングチャートに示すように $V_{sig} + V_{th}$ となる。かかる映像信号 S_{ig} のサンプリングは制御信号 WS がローレベルに戻るタイミング T_7 まで行われる。すなわちタイミング $T_5 \sim T_7$ がサンプリング期間に相当する。

【0030】

サンプリング期間の終了するタイミング T_7 より前のタイミング T_6 で制御信号 DS がローレベルとなりスイッチングトランジスタ T_{r4} がオンする。これによりドライブトランジスタ T_{rd} が電源 V_{cc} に接続されるので、画素回路は非発光期間から発光期間に進む。この様にサンプリングトランジスタ T_{r1} がまだオン状態で且つスイッチングトランジスタ T_{r4} がオン状態に入った期間 $T_6 \sim T_7$ で、ドライブトランジスタ T_{rd} の移動度補正を行う。即ち本参考例では、サンプリング期間の後部分と発光期間の先頭部分とが重なる期間 $T_6 \sim T_7$ で移動度補正を行っている。なお、この移動度補正を行う発光期間の先頭では、発光素子 EL は実際には逆バイアス状態にあるので発光する事はない。この移動度補正期間 $T_6 \sim T_7$ では、ドライブトランジスタ T_{rd} のゲート G が映像信号 S_{ig} のレベル V_{sig} に固定された状態で、ドライブトランジスタ T_{rd} にドレイン電流 I_{ds} が流れる。ここで $V_{ss1} - V_{th} < V_{th} - V_{EL}$ と設定しておく事で、発光素子 EL は逆バイアス状態におかれる為、ダイオード特性ではなく単純な容量特性を示すようになる。よってドライブトランジスタ T_{rd} に流れる電流 I_{ds} は画素容量 C_s と発光素子 EL の等価容量 C_{oled} の両者を結合した容量 $C = C_s + C_{oled}$ に書き込まれていく。これによりドライブトランジスタ T_{rd} のソース電位 (S) は上昇していく。図3のタイミングチャートではこの上昇分を V で表してある。この上昇分 V は結局画素容量 C_s に保持されたゲート/ソース間電圧 V_{gs} から差し引かれる事になるので、負帰還をかけた事になる。この様にドライブトランジスタ T_{rd} の出力電流 I_{ds} を同じくドライブトランジスタ T_{rd} の入力電圧 V_{gs} に負帰還する事で、移動度 μ を補正する事が可能である。なお負帰還量 V は移動度補正期間 $T_6 \sim T_7$ の時間幅 t を調整する事で最適化可能である。

【0031】

タイミング T_7 では制御信号 WS がローレベルとなりサンプリングトランジスタ T_{r1} がオフする。この結果ドライブトランジスタ T_{rd} のゲート G は信号線 SL から切り離される。映像信号 S_{ig} の印加が解除されるので、ドライブトランジスタ T_{rd} のゲート電位 (G) は上昇可能となり、ソース電位 (S) と共に上昇していく。その間画素容量 C_s に保持されたゲート/ソース間電圧 V_{gs} は ($V_{sig} - V + V_{th}$) の値を維持する。ソース電位 (S) の上昇に伴い、発光素子 EL の逆バイアス状態は解消されるので、出力電流 I_{ds} の流入により発光素子 EL は実際に発光を開始する。この時のドレイン電流 I_{ds} 対ゲート電圧 V_{gs} の関係は、先のトランジスタ特性式1の V_{gs} に $V_{sig} - V + V_{th}$ を代入する事で、以下の式2のように与えられる。

$$I_{ds} = k \mu (V_{gs} - V_{th})^2 = k \mu (V_{sig} - V)^2 \cdots \text{式2}$$

上記式2において、 $k = (1/2)(W/L)C_{ox}$ である。この特性式2から V_{th} の項がキャンセルされており、発光素子 EL に供給される出力電流 I_{ds} はドライブトランジスタ T_{rd} の閾電圧 V_{th} に依存しない事が分かる。基本的にドレイン電流 I_{ds} は映像信号の信号電圧 V_{sig} によって決まる。換言すると、発光素子 EL は映像信号 S_{ig} の電位レベル V_{sig} に応じた輝度で発光する事になる。その際 V_{sig} は帰還量 V で補正されている。この補正量 V は丁度特性式2の係数部に位置する移動度 μ の効果を打ち消すように働く。したがって、ドレイン電流 I_{ds} は実質的に映像信号電位 V_{sig} のみに依存する事になる。

10

20

30

40

50

【0032】

最後にタイミングT8に至ると制御信号DSがハイレベルとなってスイッチングトランジスタTr4がオフし、発光が終了すると共に当該フィールドが終わる。この後次のフィールドに移って再びVth補正動作、移動度補正動作及び発光動作が繰り返される事になる。

【0033】

しかしながらこの参考例にかかる画素回路では、5種類のトランジスタTr1, Tr2, Tr3, Tr4, Trdと、3種類の電源ラインVss1, Vss2, Vcc、4種類のゲートライン(走査線)WS, DS, AZ1, AZ2を形成する必要があり、電源ラインや信号線ラインとのクロスオーバーが増加してしまう。これは歩留りを低下させる原因になる。さらにレイアウト的に高精細化が困難になる。高精細パネルにおいては、歩留りを上げるために、素子数を削減する必要がある。

【0034】

図4は、本発明にかかる表示装置の全体構成を示しており、閾電圧(Vth)補正機能を備えたアクティブマトリクス型である。図示する様に、このアクティブマトリクス型表示装置は、主要部となる画素アレイ1と周辺の回路部とで構成されている。周辺の回路部は水平セクタ3、ライトスキャナ4、ドライブスキャナ5などを含んでいる。画素アレイ1は行状の走査線WSと列状の信号線SLと両者の交差する部分にマトリクス状に配列した画素R, G, Bとで構成されている。カラー表示を可能とするため、RGBの三原色画素を用意しているが、本発明はこれに限られるものではない。各画素R, G, Bはそれぞれ画素回路2で構成されている。信号線SLは水平セクタ3によって駆動される。水平セクタ3は信号部を構成し、一般にドライバICが用いられ、信号線SLに映像信号を供給する。走査線WSはライトスキャナ4によって走査される。なお、第1の走査線WSと並行に第2の走査線DSも配線されている。走査線DSはドライブスキャナ5によって走査される。ライトスキャナ4とドライブスキャナ5はスキャナ部を構成しており、1水平走査期間ごと画素の行を順次走査する。各画素回路2は走査線WSによって選択されたとき信号線SLから映像信号をサンプリングする。さらに走査線DSによって選択されたとき、サンプリングされた映像信号に応じて画素回路2内に含まれている発光素子を駆動する。加えて画素回路2は水平走査期間内で走査線WS及びDSによって制御されたとき、予め決められた補正動作を行う。

【0035】

上述した画素アレイ1は通常ガラスなどの絶縁基板上に形成されており、フラットパネルとなっている。各画素回路2はアモルファスシリコン薄膜トランジスタ(TFT)または低温ポリシリコンTFTで形成されている。アモルファスシリコンTFTの場合、スキャナ部はパネルとは別のTABなどで構成され、フレキシブルケーブルにてフラットパネルに接続される。同様に信号部も外付けのドライバICで構成され、フレキシブルケーブルにてフラットパネルに接続される。低温ポリシリコンTFTの場合、信号部及びスキャナ部も同じ低温ポリシリコンTFTで形成できるので、フラットパネル上に画素アレイ部と信号部とスキャナ部を一体的に形成できる。

【0036】

図5は、図4に示した表示装置に組み込まれる画素回路の実施形態を表している。この画素回路2は、サンプリングトランジスタTr1と、これに接続する画素容量Csと、これに接続するドライブトランジスタTrdと、これに接続する発光素子ELと、ドライブトランジスタTrdを電源Vccに接続するスイッチングトランジスタTr4とを含む。

【0037】

サンプリングトランジスタTr1は、第1走査線WSから供給される制御信号WSに応じ導通して信号線SLから供給された映像信号の信号電位Vsigを画素容量Csにサンプリングする。画素容量Csは、サンプリングされた映像信号の信号電位Vsigに応じてドライブトランジスタTrdのゲートGに入力電圧Vgsを印加する。ドライブトランジスタTrdは、入力電圧Vgsに応じた出力電流Idsを発光素子ELに供給する。なお

10

20

30

40

50

この出力電流 I_{ds} は、ドライブトランジスタ T_{rd} の閾電圧 V_{th} に対して依存性を有する。発光素子 E_L は、発光期間中ドライブトランジスタ T_{rd} から供給された出力電流 I_{ds} により映像信号の信号電位 V_{sig} に応じた輝度で発光する。スイッチングトランジスタ T_{r4} は、第2走査線 D_S から供給される制御信号 D_S に応じ導通して発光期間中ドライブトランジスタ T_{rd} を電源 V_{cc} に接続し、非発光期間では非導通状態になってドライブトランジスタ T_{rd} を電源 V_{cc} から切り離す。

【0038】

特徴事項として、ライトスキャナ4及びドライブスキャナ5で構成されるスキャナ部は、水平走査期間(1H)に第1走査線 W_S 及び第2走査線 D_S にそれぞれ制御信号 W_S , D_S を出力し、サンプリングトランジスタ T_{r1} 及びスイッチングトランジスタ T_{r4} をオンオフ制御して、出力電流 I_{ds} の閾電圧 V_{th} に対する依存性を補正するために画素容量 C_s をリセットする準備動作、リセットされた画素容量 C_s に閾電圧 V_{th} をキャンセルするための電圧を書き込む補正動作、及び補正された画素容量 C_s に映像信号 S_{ig} の信号電位 V_{sig} をサンプリングするサンプリング動作を実行する。一方水平セレクタ(ドライバIC)3で構成された信号部は、水平走査期間(1H)に映像信号を第1の固定電位 V_{ssH} と、第2の固定電位 V_{ssL} と、信号電位 V_{sig} との間で切換え、以って上述した準備動作、補正動作及びサンプリング動作に必要な電位を各画素に信号線 S_L を介して供給する。

【0039】

具体的には水平セレクタ3は、まず高レベルの第1固定電位 V_{ssH} を供給し続いて低レベルの第2固定電位 V_{ssL} に切換えて準備動作を可能とし、さらに低レベルの第2固定電位 V_{ssL} を維持した状態で補正動作を実行し、その後信号電位 V_{sig} に切換えてサンプリング動作を実行する。上述したように水平セレクタ3はドライバICで構成され、信号電位 V_{sig} を生成する信号生成回路と、信号生成回路から出力された信号電位 V_{sig} に第1固定電位 V_{ssH} 及び第2固定電位 V_{ssL} を挿入し、以って第1固定電位 V_{ssH} と第2固定電位 V_{ssL} と信号電位 V_{sig} とが切換る映像信号を合成して各信号線 S_L に出力する出力回路とを含む。好ましくは水平セレクタ3を構成するドライバICは、通常の定格を超えない信号電位 V_{sig} と定格を超える第1固定電位 V_{ssH} とを合成した映像信号を出力する。この場合ドライバICに含まれる信号生成回路は定格を超えない信号電位 V_{sig} を生成するため通常の耐圧を有する一方、出力回路は定格を超える第1固定電位 V_{ssH} に対処するため高耐圧化されている。

【0040】

ドライブトランジスタ T_{rd} は、その出力電流 I_{ds} が閾電圧 V_{th} に加えチャネル領域のキャリア移動度 μ に対しても依存性を有する。この場合ライトスキャナ4とドライブスキャナ5で構成されるスキャナ部は、水平走査期間(1H)に第2走査線 D_S に制御信号を出力してさらにスイッチングトランジスタ T_{r4} を制御し、出力電流 I_{ds} のキャリア移動度 μ に対する依存性を打ち消すために、信号電位 V_{sig} がサンプリングされている状態でドライブトランジスタ T_{rd} から出力電流を取り出し、これを画素容量 C_s に負帰還して入力電圧 V_{gs} を補正する動作を実行する。

【0041】

図6は、図5に示した表示装置から画素回路2の部分を取り出した模式図である。理解を容易にするため、サンプリングトランジスタ T_{r1} によってサンプリングされる映像信号 S_{ig} やドライブトランジスタ T_{rd} の入力電圧 V_{gs} 及び出力電流 I_{ds} 、さらには発光素子 E_L が有する容量成分 C_{oled} などを書き加えてある。また各トランジスタのゲートに接続される走査線 W_S 、 D_S も書き込んである。この画素回路2は水平走査期間(1H)内に V_{th} 補正準備動作と、実際の補正動作と、信号電位サンプリング動作を行う。これにより、画素回路2は3個のトランジスタ T_{r1} 、 T_{r4} 、 T_{rd} と1個の画素容量 C_s と1個の発光素子 E_L とで構成可能である。図1に示した参考例にかかる V_{th} 補正機能を組み込んだ画素回路に比べ、少なくともトランジスタを2個削減可能である。これにより電源ラインやゲートラインを削減することが出来、パネルの歩留りの改善につ

10

20

30

40

50

ながる。また画素回路のレイアウトを簡素化することで高精細化も可能である。

【0042】

図7は、図5及び図6に示した画素回路のタイミングチャートである。図7を参照して、図5及び図6に示した画素回路の動作を具体的且つ詳細に説明する。図7は、時間軸Tに沿って各走査線WS、DSに印加される制御信号の波形を表してある。表記を簡略するため、制御信号も対応する走査線の符号と同じ符号で示してある。合わせて信号線に印加される映像信号Sigの波形も時間軸Tに沿って示してある。図示する様に、この映像信号は各水平走査期間(1H)内で、高電位VssH、低電位VssL、信号電位Vsigと順に切替る。トランジスタTr1はNチャンネル型なので、走査線WSがハイレベルのときオンし、ローレベルのときオフする。一方トランジスタTr4はPチャンネル型なので、走査線DSがハイレベルのときオフし、ローレベルのときオンする。なおこのタイミングチャートは、各制御信号WS、DSの波形や映像信号の波形と共に、ドライブトランジスタTrdのゲートGの電位変化及びソースSの電位変化も表してある。

10

【0043】

図7のタイミングチャートではタイミングT1~T8までを1フィールド(1f)としてある。1フィールドの間に画素アレイの各行が一回順次走査される。タイミングチャートは、1行分の画素に印加される各制御信号WS、DSの波形を表してある。

【0044】

初めにタイミングT1で、スイッチングトランジスタTr4をオフして非発光とする。この時、ドライブトランジスタTrdのソース電位はVccからの電源供給が無いので、発光素子ELのカットオフ電圧VthELまで下げられる。

20

【0045】

次にタイミングT2で、サンプリングトランジスタTr1をオンする。ただしこの前に、信号線電圧をVssHまで上げておく方が、書き込み時間を短くできるので好ましい。サンプリングトランジスタTr1をオンする事でドライブトランジスタTrdのゲート電位はVssHが書き込まれる。この時、画素容量Csを介してソース電位にカップリングが入り、ソース電位は上昇する。ソースSの電位は一度上昇するが、発光素子ELを介して放電されるので、再度ソース電圧はVthELになる。この時、ゲート電圧はVssHのままである。

【0046】

次にタイミングTaで、サンプリングトランジスタTr1をオンしたまま、信号電圧をVssLに変化させる。この電位変化が画素容量Csを介してソース電位にカップリングされる。この時のカップリング量は、 $Cs / (Cs + Coled) \times (VssH - VssL)$ にて求められる。この時、ゲート電位はVssL、ソース電位は $VthEL - Cs / (Cs + Coled) \times (VssH - VssL)$ で表される。ここでマイナスバイアスを入れた為に、ソース電圧はVthELよりも小さくなり、発光素子ELはカットオフする。ここでソース電位は、この後のVth補正や移動度補正終了後も発光素子ELがカットオフし続ける電位に設定することが望ましい。また、この $Vgs > Vth$ となるようにカップリングを入れることで、Vth補正の準備を行うことができる。以上により、トランジスタや電源ライン、ゲートラインを削減した回路においてもVth補正準備を行うことができる。即ちタイミングT2~Taは補正準備期間に含まれる。

30

40

【0047】

この後、タイミングT3でゲートGをVssLに保持した状態のままスイッチングトランジスタTr4をオンすると、ドライブトランジスタTrdに電流が流れて、参考例と同様にVth補正が行われる。ドライブトランジスタTrdがカットオフするまで電流が流れ、カットオフするとドライブトランジスタTrdのソース電位は $VssL - Vth$ となる。ここで、 $VssL - Vth < VthEL$ とする必要がある。

【0048】

この後タイミングT4で、スイッチングトランジスタTr4をオフしてVth補正は終了する。即ち、タイミングT3~T4はVth補正期間である。

50

【0049】

この様にタイミングT3～T4でV_{th}補正を行った後、タイミングT5に至って信号線の電位がV_{ssl}からV_{sig}に変化する。これにより映像信号の信号電位V_{sig}が画素容量C_sに書き込まれる。発光素子ELの等価容量C_{oled}に比べて画素容量C_sは十分に小さい。この結果、信号電位V_{sig}のほとんど大部分が画素容量C_sに書き込まれる。したがってドライブトランジスタTrdのゲートGとソースS間の電圧V_{gs}は、先に検出保持されたV_{th}と今回サンプリングされたV_{sig}を加えたレベル(V_{sig}+V_{th})となる。即ちドライブトランジスタTrdに対する入力電圧V_{gs}はV_{sig}+V_{th}となる。かかる信号電圧V_{sig}のサンプリングは制御信号WSがローレベルに戻るタイミングT7まで行われる。即ちタイミングT5～T7がサンプリング期間に相当する。 10

【0050】

本発明にかかる画素回路は、上述した閾電圧V_{th}の補正に加え、移動度μの補正も行っている。移動度μの補正はタイミングT6～T7で行われる。この点については後で詳細に説明する。結論としてタイミングチャートに示すように、補正量Vが入力電圧V_{gs}から差し引かれる。

【0051】

タイミングT7になると、制御信号WSがローレベルとなりサンプリングトランジスタTr1がオフする。この結果ドライブトランジスタTrdのゲートGは信号線SLから切り離される。映像信号Sigの印加が解除されるので、ドライブトランジスタTrdのゲート電位(G)は上昇可能となり、ソース電位(S)と共に上昇していく。その間画素容量C_sに保持されたゲート/ソース間電圧V_{gs}は(V_{sig}-V+V_{th})の値を維持する。ソース電位(S)の上昇に伴い、発光素子ELの逆バイアス状態は解消されるので、出力電流I_{ds}の流入により発光素子ELは実際に発光を開始する。この時のドレイン電流I_{ds}対ゲート電圧V_{gs}の関係は、前述した式2のように与えられる。この特性式2からV_{th}の項がキャンセルされており、発光素子ELに供給される出力電流I_{ds}はドライブトランジスタTrdの閾電圧V_{th}に依存しない事が分かる。基本的にドレイン電流I_{ds}は映像信号の信号電圧V_{sig}によって決まる。換言すると、発光素子ELは映像信号Sigに応じた輝度で発光する事になる。その際V_{sig}は帰還量Vで補正されている。この補正量Vは丁度特性式2の係数部に位置する移動度μの効果を打ち消すように働く。したがって、ドレイン電流I_{ds}は実質的に映像信号Sigの信号電位V_{sig}のみに依存する事になる。 20 30

【0052】

最後にタイミングT8に至ると制御信号DSがハイレベルとなってスイッチングトランジスタTr4がオフし、発光が終了すると共に当該フィールドが終わる。この後次のフィールドに移って再び補正準備動作、V_{th}補正動作、サンプリング動作、移動度補正動作及び発光動作が繰り返される事になる。

【0053】

図7のタイミングチャートに示した様に、1水平走査期間(1H)内で閾電圧キャンセルのための準備動作、補正動作及びサンプリング動作を続けて行うことで、図5に示したように画素回路2を3個のトランジスタと1個の画素容量とで構成することが出来る。これにより、画素回路の構成素子数を参考例に比べ大幅に削減している。しかしながら、パネルが高精細化するにつれて画素数が増えるため、各画素行に割り当てられる水平走査期間は短くなってしまふ。また高画質化のために高周波数駆動方式が提案されているが、この高周波駆動においても同様に水平走査期間が短くなってしまふ。この様に水平走査期間が短縮化されると、V_{th}補正準備動作や実際のV_{th}補正動作を1水平走査期間内で完了することが難しい場合がある。そのため、高精細パネルや高周波数駆動パネルに対応した表示装置駆動方式が求められており、以下に先行開発例として説明する。 40

【0054】

この先行開発例では、V_{th}補正機能付の画素回路で素子数を削減した上に、さらに高 50

精細パネルや高周波数駆動パネルに対応可能な駆動方式を実現している。本先行開発例では、1水平走査期間内で行っていたV_{th}補正準備やV_{th}補正動作を、複数の水平走査期間にわたって時分割的に実行することで、トータルの動作時間を図7に示したタイミングチャートの駆動方式と同程度に確保することが出来る。この時分割方式では1水平走査期間内に占める準備動作期間や補正動作期間を短縮化できるので、その分信号電位のサンプリング時間を十分に確保することが可能である。

【0055】

図8は本先行開発例を示すタイミングチャートである。理解を容易にするため、図7に示した先の例のタイミングチャートと対応する部分には対応する参照番号を付してある。

【0056】

図示するようにタイミングT₁で、スイッチングトランジスタTr₄をオフして非発光とする。この時、ドライブトランジスタTr_dのソース電位はV_{cc}からの電源供給が無いので、発光素子ELのカットオフ電圧V_{th}ELまで下げられる。

【0057】

次に、映像信号SigがV_{th}補正準備に必要な高電圧V_{ssH}になる時間帯のタイミングT₂₁~T_{b1}にサンプリングトランジスタTr₁をオンする。サンプリングトランジスタTr₁をオンする事でドライブトランジスタTr_dのゲート電位にV_{ssH}が書き込まれる。この時、画素容量C_sを介してソース電位にカップリングが入り、ソース電位は上昇する。ソースSは一度上昇するが、発光素子ELを介して放電されるので、再度ソース電位はV_{th}ELに近づいていく。サンプリングトランジスタTr₁をオンする制御信号WSは分割パルスであり、そのパルス幅(T₂₁~T_{b1})は非常に短く、ゲート電位はV_{ssH}まで書き込まれない。そこで、それ以降のタイミングT₂₂~T_{b2}において、再度映像信号Sigが高電圧V_{ssH}になる時にサンプリングトランジスタTr₁をオンする。必要に応じ同様のオペレーションをゲート電位がV_{ssH}になるまで繰り返す。本例ではタイミングT₂₃~T_{b3}及びT₂₄~T_{b4}であと2回同様のオペレーションを繰り返し合計4回の準備動作を行っている。

【0058】

次に映像信号Sigが低電圧V_{ssL}に変化した状態で、サンプリングトランジスタTr₁をオンする。この電位変化によりV_{gs}>V_{th}とし、V_{th}補正の準備を完了することができる。サンプリングトランジスタTr₁をオンした状態下、タイミングT₃₁~T₄₁でスイッチングトランジスタTr₄を更にオンすることで、ドライブトランジスタTr_dには電流が流れ、V_{th}補正動作が行われる。同様にこのV_{th}補正期間も分割されており各パルスの時間幅(タイミングT₃₁~T₄₁)は短くなっている為、V_{th}補正が完了するまで、サンプリングトランジスタTr₁やスイッチングトランジスタTr₄を繰り返しオン駆動する必要がある(タイミングT₃₂~T₄₂)。

【0059】

最後に、サンプリングトランジスタTr₁がオンしているタイミングT₅~T₇で、画素容量C_sに信号電圧V_{sig}を書き込む。その間タイミングT₆~T₇で、移動度補正を行った後、発光状態に移行する。

【0060】

以上により、トランジスタや電源ライン、ゲートラインを削減した回路において、パネルの動作が高周波で且つ画素が高精細であっても、V_{th}補正準備とV_{th}補正を行うことができる。なお、上記の先行開発例では、サンプリングトランジスタTr₁をオンした状態でスイッチングトランジスタTr₄をオンして移動度補正をかけているが、サンプリングトランジスタTr₁とスイッチングトランジスタTr₄をノンオーバーラップにして移動度補正を行わない単純なV_{th}補正動作においても、同様に配線やトランジスタの削減は可能である。

【0061】

このようにスキャナ部は、水平走査期間内で走査線に制御信号を出力して画素回路2を制御し、ドライブトランジスタTr_dの出力電流I_{ds}の閾電圧V_{th}に対する依存性を

10

20

30

40

50

補正するため画素容量 C_s に補正をかける動作と、補正された画素容量 C_s に映像信号 S_{ig} の信号電位 V_{sig} をサンプリングする動作とを実行し、更にスキヤナ部は、当該行の画素回路に先行する行に割り当てられた前の水平走査期間を利用して、画素容量 C_s に補正をかける動作を各水平走査期間で時分割的に行う。具体的には、このスキヤナ部はライトスキヤナ 4 とドライブスキヤナ 5 とからなり、水平走査期間に第 1 走査線 W_S 及び第 2 走査線 D_S に夫々制御信号を出力し、サンプリングトランジスタ T_{r1} 及びスイッチングトランジスタ T_{r4} をオンオフ制御して、出力電流 I_{ds} の閾電圧 V_{th} に対する依存性を補正するため画素容量 C_s に補正をかける動作として、画素容量 C_s をリセットする準備動作とリセットされた画素容量 C_s に閾電圧 V_{th} をキャンセルするための電圧を書き込む補正動作とを行い、その後補正された画素容量 C_s に映像信号 S_{ig} の信号電位 V_{sig} をサンプリングするサンプリング動作を実行し、更にスキヤナ部は、当該行の画素に先行する行に割り当てられた前の水平走査期間を利用して、準備動作と補正動作を各水平走査期間で時分割的に行う。

10

【0062】

パネルが高精細化する為に素子数を削減する必要があると、上記のように V_{th} 補正動作をマイナスカップリングを用いて行い、更にその準備期間を複数回に分割して動作させる駆動を行っている。しかしながら、発光素子の容量が大きくなると、ソース電位に入るカップリング電圧の放電時間が長くなってしまい、所望のゲート・ソース間電圧にする為には、多くのマイナスカップリング動作が必要になってしまう。その為、パネル動作が複雑になってしまうという問題点がある。

20

【0063】

本発明は先行開発例の上記問題点に対処したものであり、図 9 は本発明の最良の実施形態を示すタイミングチャートである。理解を容易にするため、図 8 に示した先行開発例のタイミングチャートと対応する部分には対応する参照番号を付してある。本実施形態でも、容量カップリングを用いて V_{th} 補正準備を行う。このカップリング動作は複数回に分割されるが、そのパルス間隔を発光素子が十分に放電する時間とする。これにより、1 ライン当たりのマイナスカップリング動作数を削減することができる。具体的には、映像信号 S_{ig} が V_{th} 補正準備に必要な高電圧 V_{ssH} になる時間帯のタイミング $T_{21} \sim T_{b1}$ にサンプリングトランジスタ T_{r1} をオンする。サンプリングトランジスタ T_{r1} をオンする事でドライブトランジスタ T_{rd} のゲート電位に V_{ssH} が書き込まれる。この時、画素容量 C_s を介してソース電位にカップリングが入り、ソース電位は上昇する。ソース S は一度上昇するが、発光素子 EL を介して放電されるので、再度ソース電圧は V_{thEL} になる。そのあと発光素子が十分にカットオフするまで待った後（例えば 5 H 分）、タイミング $T_{22} \sim T_{b2}$ において、再度映像信号 S_{ig} が高電圧 V_{ssH} になる時にサンプリングトランジスタ T_{r1} をオンする。この 2 回の準備動作で、ゲート電位の変動は無くなり、必要なゲート・ソース電圧を得る事ができる。

30

【0064】

画素の発光素子容量が大きい場合の先行開発例の駆動（図 8）では、ゲート電圧が V_{ssH} まで書き込まれたときにソース電位に入るカップリングの電圧が発光素子のカットオフまで減少するのに非常に時間がかかる。その為、サンプリングトランジスタ T_{r1} がオフした後、ソース電位の減少に伴い、ゲート電位も減少する。この後、複数回サンプリングトランジスタ T_{r1} をオンしても、ソースがカットオフするまでゲート電位も減少してしまうため、必要なゲート・ソース電圧を印加するには、多数の駆動パルスが必要となる。

40

【0065】

そこで本発明では、図 9 に示す様に V_{th} 補正準備のためサンプリングトランジスタ T_{r1} のゲートに印加する制御パルスの間隔を、発光素子が十分にカットオフするまで空けている。この動作を数回繰り返すことで、ゲート電位の変動は無くなり、必要なゲート・ソース電圧を得る事ができる。この様に、 V_{th} 補正準備パルスの間隔を十分に取ることで、 V_{th} 補正準備のパルス数を先行開発例よりも削減することができる。

50

【0066】

最後にタイミングT6 T7で行われる移動度補正動作を詳細に説明する。図10は、移動度補正期間T6 T7における画素回路2の状態を示す回路図である。図示するように、移動度補正期間T6 T7では、サンプリングトランジスタTr1及びスイッチングトランジスタTr4がオンしている。この状態でドライブトランジスタTr4のソース電位(S)は $V_{ssL} - V_{th}$ である。このソース電位Sは発光素子ELのアノード電位でもある。前述したように $V_{ssL} - V_{th} < V_{thEL}$ と設定しておく事で、発光素子ELは逆バイアス状態におかれ、ダイオード特性ではなく単純な容量特性を示す事になる。よってドライブトランジスタTrdに流れる電流Idsは画素容量Csと発光素子ELの等価容量C_{oled}との合成容量 $C = C_s + C_{oled}$ に流れ込む事になる。換言すると、ドレイン電流Idsの一部が画素容量Csに負帰還され、移動度の補正が行われる。

【0067】

図11は前述したトランジスタ特性式2をグラフ化したものであり、縦軸にIdsを取り横軸にVsigを取ってある。このグラフの下方に特性式2も合わせて示してある。図11のグラフは、画素1と画素2を比較した状態で特性カーブを描いてある。画素1のドライブトランジスタの移動度μは相対的に大きい。逆に画素2に含まれるドライブトランジスタの移動度μは相対的に小さい。この様にドライブトランジスタをポリシリコン薄膜トランジスタなどで構成した場合、画素間で移動度μがばらつく事は避けられない。例えば両画素1, 2に同レベルの映像信号電位Vsigを書き込んだ場合、何ら移動度の補正を行わないと、移動度μの大きい画素1に流れる出力電流Ids1'は、移動度μの小さい画素2に流れる出力電流Ids2'に比べて大きな差が生じてしまう。この様に移動度μのばらつきに起因して出力電流Idsの間に大きな差が生じるので、画面のユニフォーミティを損なう事になる。

【0068】

そこで本発明では出力電流を入力電圧側に負帰還させる事で移動度のばらつきをキャンセルしている。トランジスタ特性式から明らかなように、移動度が大きいとドレイン電流Idsが大きくなる。したがって負帰還量Vは移動度が大きいほど大きくなる。図11のグラフに示すように、移動度μの大きな画素1の負帰還量V1は移動度の小さな画素2の負帰還量V2に比べて大きい。したがって、移動度μが大きいほど負帰還が大きくなる事となって、ばらつきを抑制する事が可能である。図示するように、移動度μの大きな画素1でV1の補正をかけると、出力電流はIds1'からIds1まで大きく下降する。一方移動度μの小さな画素2の補正量V2は小さいので、出力電流Ids2'はIds2までそれ程大きく下降しない。結果的に、Ids1とIds2は略等しくなり、移動度のばらつきがキャンセルされる。この移動度のばらつきのキャンセルは黒レベルから白レベルまでVsigの全範囲で行われるので、画面のユニフォーミティは極めて高くなる。以上をまとめると、移動度の異なる画素1と2があった場合、移動度の大きい画素1の補正量V1は移動度の小さい画素2の補正量V2に対して小さくなる。つまり移動度が大きいほどVが大きくIdsの減少値は大きくなる。これにより移動度の異なる画素電流値は均一化され、移動度のばらつきを補正する事ができる。

【0069】

以下参考の為図12を参照して、上述した移動度補正の数値解析を行う。図12に示すように、トランジスタTr1及びTr4がオンした状態で、ドライブトランジスタTrdのソース電位を変数Vにとって解析を行う。ドライブトランジスタTrdのソース電位(S)をVとすると、ドライブトランジスタTrdを流れるドレイン電流Idsは以下の式3に示す通りである。

【数1】

$$I_{ds} = k\mu(V_{gs} - V_{th})^2 = k\mu(V_{sig} - V - V_{th})^2 \quad \text{式3}$$

10

20

30

40

50

【0070】

またドレイン電流 I_{ds} と容量 $C (= C_s + C_{oled})$ の関係により、以下の式4に示す様に $I_{ds} = dQ / dt = C dV / dt$ が成り立つ。

【数2】

$$I_{ds} = \frac{dQ}{dt} = C \frac{dV}{dt} \quad \text{より} \quad \int \frac{1}{C} dt = \int \frac{1}{I_{ds}} dV \quad \text{式4}$$

$$\Leftrightarrow \int_0^t \frac{1}{C} dt = \int_{-V_{th}}^V \frac{1}{k\mu(V_{sig} - V_{th} - V)^2} dV$$

$$\Leftrightarrow \frac{k\mu}{C} t = \left[\frac{1}{V_{sig} - V_{th} - V} \right]_{-V_{th}}^V = \frac{1}{V_{sig} - V_{th} - V} - \frac{1}{V_{sig}}$$

$$\Leftrightarrow V_{sig} - V_{th} - V = \frac{1}{\frac{1}{V_{sig}} + \frac{k\mu}{C} t} = \frac{V_{sig}}{1 + V_{sig} \frac{k\mu}{C} t}$$

10

【0071】

式4に式3を代入して両辺積分する。ここで、ソース電圧 V 初期状態は $-V_{th}$ であり、移動度ばらつき補正時間 ($T_6 - T_7$) を t とする。この微分方程式を解くと、移動度補正時間 t に対する画素電流が以下の数式5のように与えられる。

20

【数3】

$$I_{ds} = k\mu \left(\frac{V_{sig}}{1 + V_{sig} \frac{k\mu}{C} t} \right)^2 \quad \text{式5}$$

【0072】

図13は、式5をグラフ化した図であり、縦軸に出力電流 I_{ds} を取り、横軸に映像信号 S_{ig} の信号電位 V_{sig} を取っている。パラメータとして移動度補正期間 $t = 0 \mu s$ 、 $2.5 \mu s$ 及び $5 \mu s$ の場合を設定している。さらに、移動度 μ もパラメータとして比較的大きい場合 1.2μ と比較的小さい場合 0.8μ をパラメータにとってある。 $t = 0 \mu s$ として実質的に移動度補正をかけない場合に比べ、 $t = 2.5 \mu s$ では移動度ばらつきに対する補正が十分にかかっていることがわかる。移動度補正なしでは I_{ds} に40%のばらつきがあったものが、移動度補正をかけると10%以下に抑えられる。但し $t = 5 \mu s$ として補正期間を長くすると逆に移動度 μ の違いによる出力電流 I_{ds} のばらつきが大きくなってしまふ。この様に、適切な移動度補正を掛けるために、 t は最適な値に設定する必要がある。図13に示したグラフの場合、最適値は $t = 2.5 \mu s$ の近辺である。

30

【0073】

以上のようにして、本発明ではゲート電圧を高電圧から低電圧に可変する事による V_{th} 補正準備や、 V_{th} 補正動作を1H以内に行い、その後同一水平走査期間内にて映像信号を書き込む。この動作により、従来必要であった3種類の電源を信号線に共有化することで電源ラインやスイッチングトランジスタ、そのゲートラインを削減する事ができ、3トランジスタ1容量の画素回路を構成することができる。以上により、パネルの歩留まりを向上する事ができる。また、レイアウトを削減する事で高精細化も可能となる。なお本実施形態では、サンプリングトランジスタ T_{r1} をオンした状態でスイッチングトランジスタ T_{r4} をオンして移動度補正をかけているが、サンプリングトランジスタ T_{r1} とスイッチングトランジスタ T_{r4} をノンオーバーラップにして移動度補正を行わない単純な V_{th} 補正動作においても、同様に配線やトランジスタの削減は可能である。

40

【図面の簡単な説明】

50

【 0 0 7 4 】

【 図 1 】 表示装置の参考例を示すブロック図である。

【 図 2 】 図 1 に示した参考例の表示装置から 1 つの画素回路を切り取った模式図である。

【 図 3 】 図 1 及び図 2 に示した画素回路の動作説明に供するタイミングチャートである。

【 図 4 】 本発明にかかる表示装置の全体構成を示すブロック図である。

【 図 5 】 図 4 に示した表示装置に組み込まれる画素回路の構成例を示す回路図である。

【 図 6 】 図 5 に示した表示装置から 1 個の画素回路を切り取って示した模式図である。

【 図 7 】 図 5 及び図 6 に示した画素回路の動作説明に供するタイミングチャートである。

【 図 8 】 同じく図 5 及び図 6 に示した画素回路の動作説明に供するタイミングチャートである。

10

【 図 9 】 本発明にかかる表示装置の最良の実施形態を示すタイミングチャートである。

【 図 1 0 】 本発明にかかる表示装置の動作説明に供する回路図である。

【 図 1 1 】 同じく動作説明に供するグラフである。

【 図 1 2 】 同じく動作説明に供する回路図である。

【 図 1 3 】 同じく動作説明に供するグラフである。

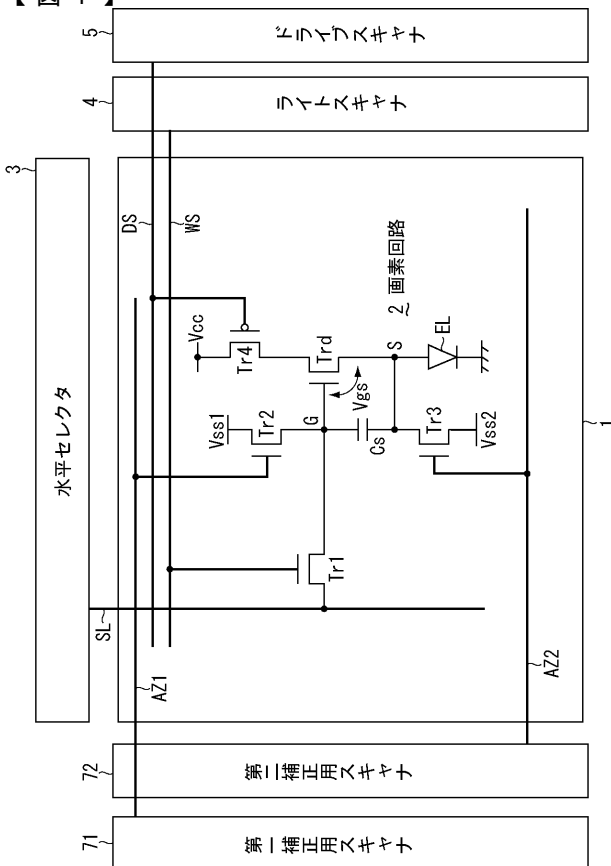
【 符号の説明 】

【 0 0 7 5 】

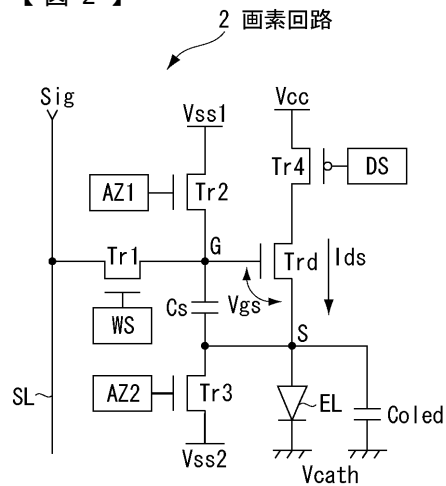
- 1 . . . 画素アレイ、 2 . . . 画素回路、 3 . . . 水平セレクタ、 4 . . . ライトスキャナ、 5 . . . ドライブスキャナ、 Tr 1 . . . サンプリングトランジスタ、 Tr 4 . . . スイッチングトランジスタ、 Tr d . . . ドライブトランジスタ、 Cs . . . 画素容量、 EL . . . 発光素子

20

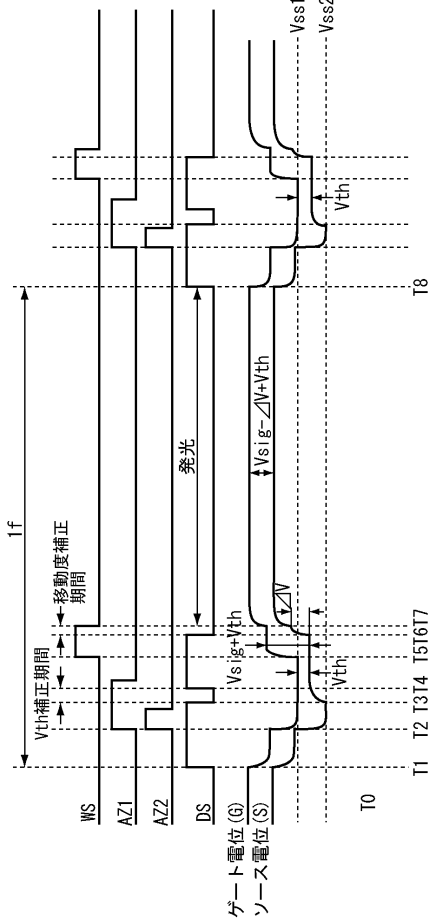
【 図 1 】



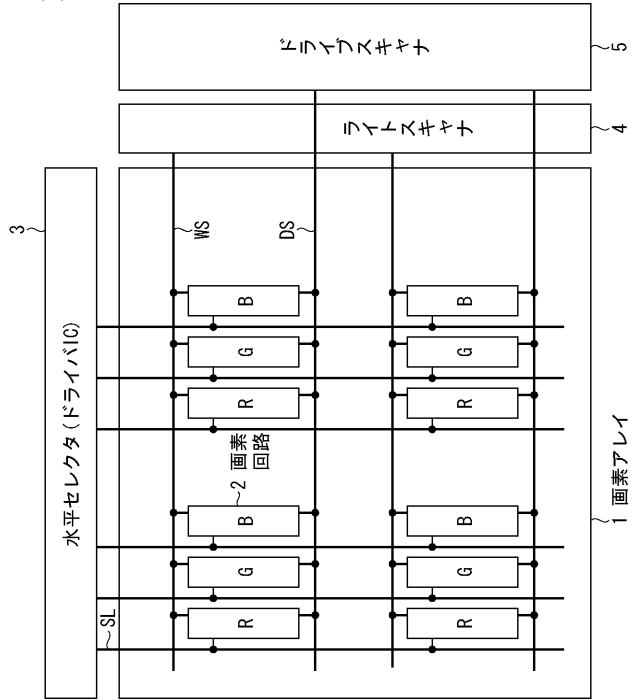
【 図 2 】



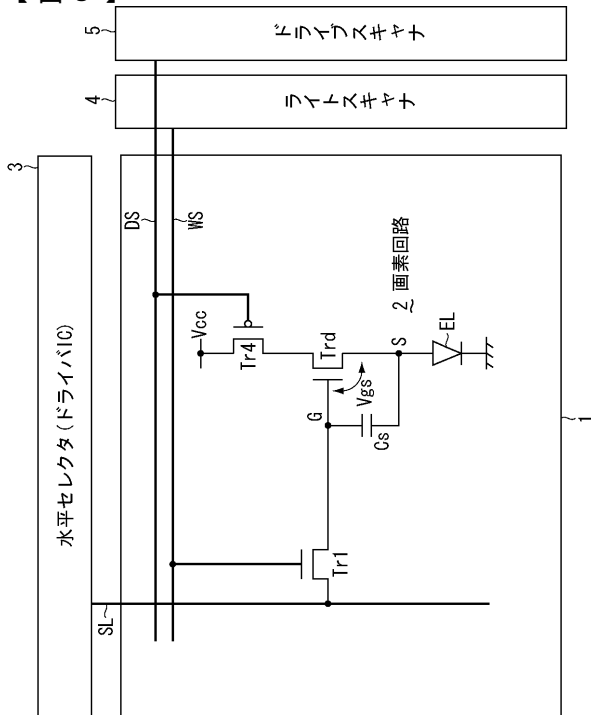
【図3】



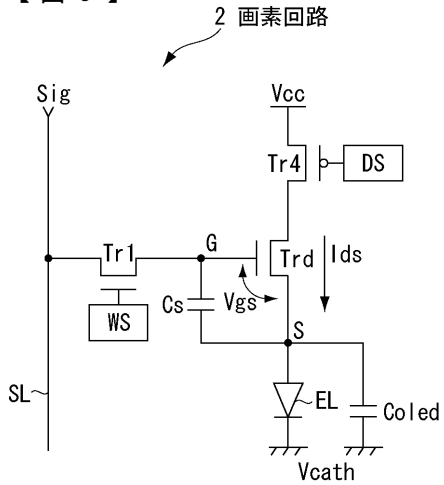
【図4】

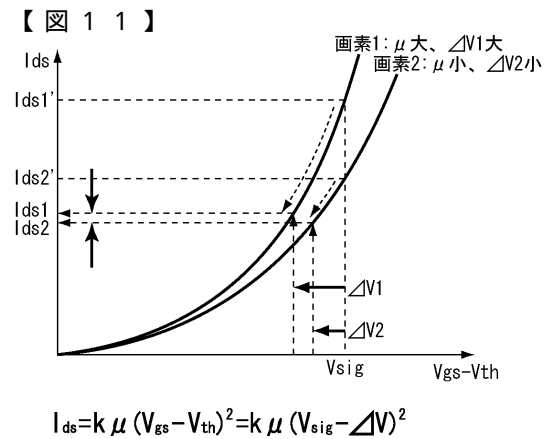
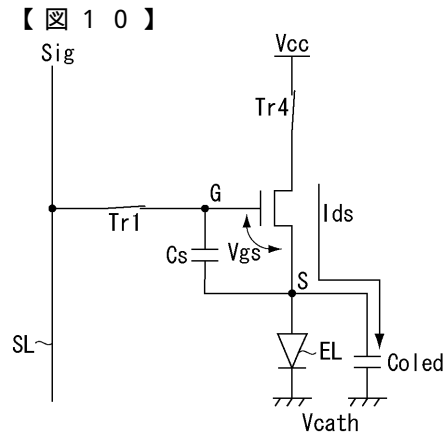
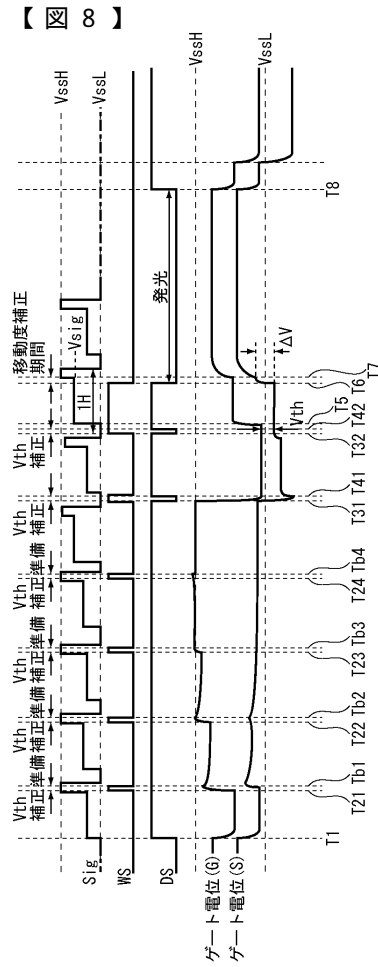
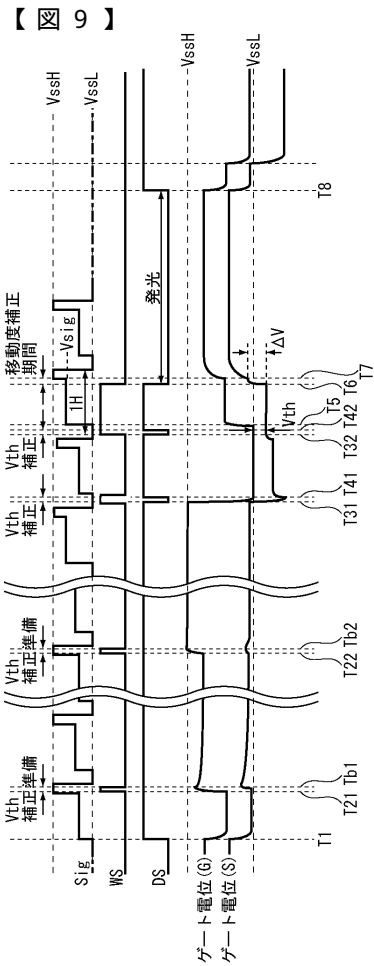
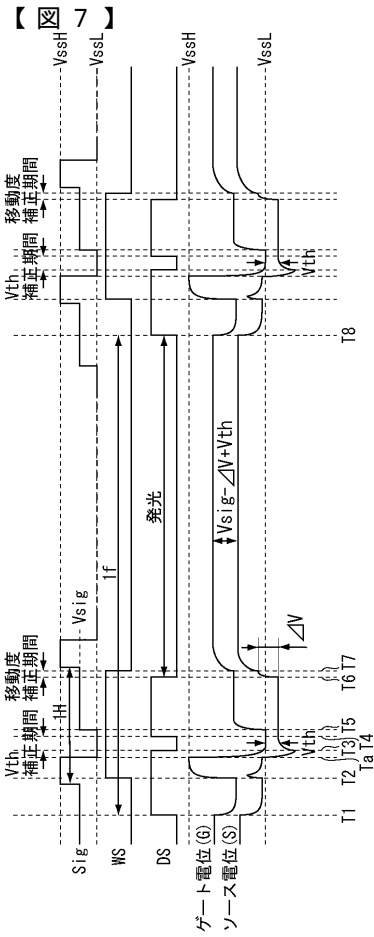


【図5】

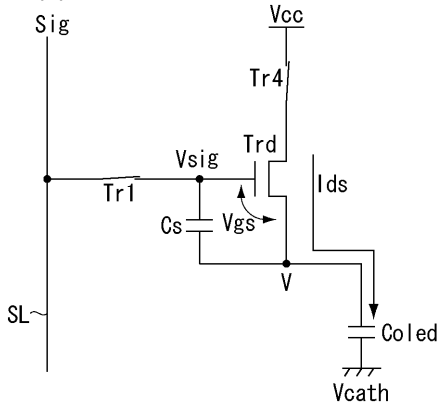


【図6】

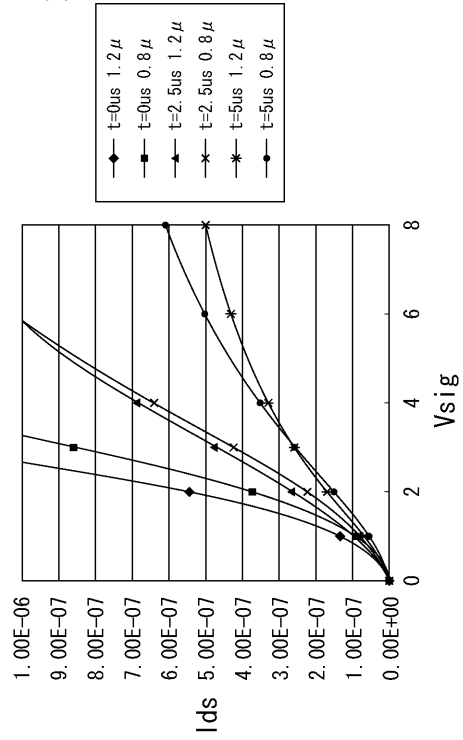




【 1 2 】



【 1 3 】



フロントページの続き

(51) Int. Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 2 2 G

G 0 9 G 3/20 6 4 1 D

H 0 5 B 33/14 A

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JP2007171828A	公开(公告)日	2007-07-05
申请号	JP2005372621	申请日	2005-12-26
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	山下淳一 内野勝秀		
发明人	山下 淳一 内野 勝秀		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.611.H G09G3/20.621.F G09G3/20.624.B G09G3/20.622.Q G09G3/20.622.G G09G3/20.641.D H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH00 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD03 5C080/DD08 5C080/DD28 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AB22 5C380/AB23 5C380/AB24 5C380/AB34 5C380/BA12 5C380/BA13 5C380/BA38 5C380/BA39 5C380/BB02 5C380/CA12 5C380/CA53 5C380/CA54 5C380/CB01 5C380/CB17 5C380/CB26 5C380/CB27 5C380/CB31 5C380/CC03 5C380/CC04 5C380/CC05 5C380/CC06 5C380/CC07 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC61 5C380/CC63 5C380/CC65 5C380/CC71 5C380/CD013 5C380/CD015 5C380/CD023 5C380/CD025 5C380/DA02 5C380/DA06 5C380/DA47		
其他公开文献	JP4983018B2		
外部链接	Espacenet		

摘要(译)

本发明提供一种具有阈值电压校正功能的显示装置，该阈值电压校正功能能够应对像素数量的增加和操作速度的增加。显示装置包括像素阵列单元1，扫描器单元4和5，以及信号单元3。每个像素2包括采样晶体管Tr1，像素电容Cs，驱动晶体管Trd，与其连接的发光元件EL，以及将驱动晶体管Trd连接到电源的开关晶体管Tr4。驱动晶体管Trd根据输入电压Vgs将输出电流Ids提供给发光元件EL。输出电流Ids依赖于驱动晶体管Trd的阈值电压。扫描器单元4和5使用分配给行的像素2之前的行的多个水平扫描周期，以时分方式执行用于消除驱动晶体管Trd的阈值电压的准备工作。时分间隔设定得足够长以使发光元件EL放电。[选中图]图5

