

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2006-525539

(P2006-525539A)

(43) 公表日 平成18年11月9日(2006.11.9)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
HO1L 51/50 (2006.01)	G09G 3/20 621K	
	G09G 3/20 670K	
	G09G 3/20 642P	

審査請求 未請求 予備審査請求 未請求 (全 20 頁) 最終頁に続く

(21) 出願番号 特願2006-506565 (P2006-506565)
 (86) (22) 出願日 平成16年4月20日 (2004. 4. 20)
 (85) 翻訳文提出日 平成17年10月31日 (2005. 10. 31)
 (86) 国際出願番号 PCT/IB2004/001362
 (87) 国際公開番号 W02004/097782
 (87) 国際公開日 平成16年11月11日 (2004. 11. 11)
 (31) 優先権主張番号 0310109.4
 (32) 優先日 平成15年5月2日 (2003. 5. 2)
 (33) 優先権主張国 英国 (GB)

(71) 出願人 590000248
 コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ
 Koninklijke Philips Electronics N. V.
 オランダ国 5621 ペーアー アインドーフェン フルーネヴァウツウェッハ 1
 Groenewoudseweg 1, 5621 BA Eindhoven, The Netherlands

(74) 代理人 100070150
 弁理士 伊東 忠彦

(74) 代理人 100091214
 弁理士 大貫 進介

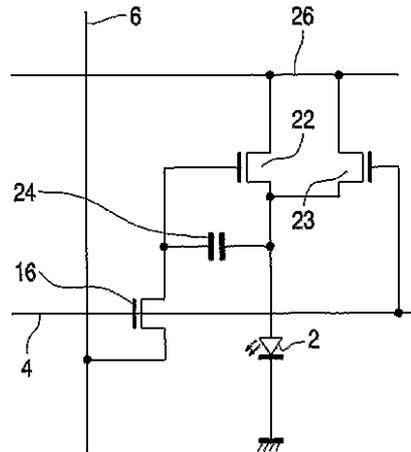
最終頁に続く

(54) 【発明の名称】 閾値電圧のドリフト補償を有するアクティブマトリクスOLED表示装置

(57) 【要約】

【課題】 アクティブマトリクス表示装置は、電力供給ラインが低電圧と通常の電力供給電圧との間で変更される二つのモードで動作可能なOLEDの表示画素の配列を有する。

【解決手段】 第一のモードで画素駆動トランジスタの電流は表示素子に供給され、望ましい画素輝度を供給するよう選ばれる。第二のモードで電圧は駆動トランジスタに供給され、望ましいエージング効果を供給するよう選ばれるが、電流は表示素子を流れない。フレーム時間は二つの期間に分けられる。一方は、電力供給ラインが表示素子をオンとする例えば15Vの電圧を供給される場合であり、他方は、電力供給ラインが表示素子をオフとする例えば0V又は -5Vの電圧を供給される場合である。オフ期間でも電圧は駆動トランジスタに印加され、全ての画素の駆動トランジスタの全体的な閾値電圧のドリフト（エージングを生じる）が実質的に同じであるように選択される。



【特許請求の範囲】

【請求項 1】

複数の表示画素の配列を有し、

夫々の画素は、電流駆動発光表示素子と、該表示素子を流れる電流を駆動する駆動トランジスタとを有し、二つのモードで動作可能であり、

第一のモードで、該駆動トランジスタの電流は、該表示素子に供給され、望ましい画素輝度を供給するよう選択され、

第二のモードで、電圧は、該駆動トランジスタに供給され、望ましいエージング効果を供給するよう選択され、電流は、該表示素子を流れないことを特徴とするアクティブマトリクス表示装置。

10

【請求項 2】

前記第二のモードで前記駆動トランジスタに供給された電圧は、ゲートソース間電圧であることを特徴とする、請求項 1 記載の装置。

【請求項 3】

夫々の画素は、前記二つのモードにおいて画像データの夫々のフレームに対して動作することを特徴とする、請求項 1 又は 2 記載の装置。

【請求項 4】

前記駆動トランジスタ及び前記表示素子は、高電力供給ラインと低電力供給ラインとの間で直列に接続されることを特徴とする、請求項 1 乃至 3 のうちいずれか一項記載の装置。

20

【請求項 5】

前記高電力供給ラインでの電圧は、異なる電圧が、前記二つのモードの動作の間に前記高電力供給ラインに印加されるように切り替えられることを特徴とする、請求項 4 記載の装置。

【請求項 6】

第二の駆動トランジスタは、前記表示素子を選択的にバイパスするために、前記駆動トランジスタと並列に設けられることを特徴とする、請求項 4 又は 5 記載の装置。

【請求項 7】

データ供給ラインと前記駆動トランジスタのゲートとの間にアドレスタランジスタを更に有する、請求項 6 記載の装置。

30

【請求項 8】

前記アドレスタランジスタ及び前記第二の駆動トランジスタは、共有された制御ラインによって制御されることを特徴とする、請求項 7 記載の装置。

【請求項 9】

前記表示画素は、表示領域内にあり、

前記装置は、該表示画素の複数個の挙動をモデル化し、電流駆動発光表示素子及び駆動トランジスタを有するために、該表示領域の外側に少なくとも一つのモデリング回路を更に有し、

該少なくとも一つのモデリング回路は、複数の画素駆動信号から導き出された一つの画素駆動信号を該表示素子の複数個に対して供給され、

40

前記装置は、前記モデリング回路の前記駆動トランジスタのトランジスタ特性を測定する手段と、該測定されたトランジスタ特性に応じて該表示素子の複数個に対して該複数の画素駆動信号を変更する手段とを更に有することを特徴とする、請求項 1 乃至 8 のうちいずれか一項記載の装置。

【請求項 10】

単一のモデリング回路は、前記表示画素の全ての挙動をモデル化するために使用されることを特徴とする、請求項 9 記載の装置。

【請求項 11】

前記モデリング回路は、表示部の画素回路の増減された形を有することを特徴とする、請求項 9 又は 10 記載の装置。

50

【請求項 1 2】

前記配列の複数の画素を駆動するアナログ出力電圧を供給する列駆動回路を更に有し、前記表示画素の複数個に対して前記画素駆動信号を変更する手段は、該列駆動回路のアナログ出力を変更することを特徴とする、請求項 9 乃至 11 のうちいずれか一項記載の装置。

【請求項 1 3】

前記表示画素の複数個に対して前記画素駆動信号を変更する手段は、夫々の表示画素内の付加的な回路を有することを特徴とする、請求項 9 乃至 11 のうちいずれか一項記載の装置。

【請求項 1 4】

複数の表示画素の配列を有し、
夫々の画素は、電流駆動発光表示素子と、該表示素子を流れる電流を駆動する駆動トランジスタとを有するアクティブマトリクス表示装置を駆動する方法において、
第一のモードで、第一のゲートソース間電圧を該駆動トランジスタに供給し、結果として生じた電流を該表示素子に供給するステップと、
第二のモードで、望ましいエージング効果を供給するよう選択される第二のゲートソース間電圧を該駆動トランジスタに供給するステップとを有し、第二のモードの間は該表示素子を電流が流れないことを特徴とする方法。

10

【請求項 1 5】

前記第二のモードは、前記第一のモードの前に実行され、前記第一及び第二のモードは、夫々の画素の夫々のアドレス指定のために実行されることを特徴とする、請求項 1 4 記載の方法。

20

【請求項 1 6】

前記第二のモードは、アドレス指定相の直前に存在し、その間に前記第一のゲートソース間電圧が前記駆動トランジスタに供給されることを特徴とする、請求項 1 5 記載の方法。

【請求項 1 7】

前記表示画素の複数個の挙動をモデル化し、電流駆動発光表示素子及び駆動トランジスタを有するために、表示領域の外側に少なくとも一つのモデリング回路を設け、
該少なくとも一つのモデリング回路は、複数の画素駆動信号から導き出された一つの画素駆動信号を該表示素子の複数個に対して供給され、
該モデリング回路の前記駆動トランジスタのトランジスタ特性を測定し、
該測定されたトランジスタ特性に応じて該表示素子の複数個に対して該複数の画素駆動信号を変更することを特徴とする、請求項 1 4 乃至 1 6 のうちいずれか一項記載の方法。

30

【請求項 1 8】

前記トランジスタ特性は、閾値電圧であることを特徴とする、請求項 1 7 記載の方法。

【請求項 1 9】

単一のモデリング回路は、前記表示画素の全ての挙動をモデル化するために使用されることを特徴とする、請求項 1 7 又は 1 8 記載の方法。

【発明の詳細な説明】

40

【技術分野】

【0001】

本発明は、アクティブマトリクス表示装置、それだけではないが特に、夫々の画素に結合される薄膜スイッチングトランジスタを有するアクティブマトリクス電界発光表示装置に関する。

【背景技術】

【0002】

電界発光、光放射、表示素子を用いるマトリクス表示装置が良く知られる。表示素子は、有機薄膜電界発光素子、例えば高分子化合物質、又は従来 of III-V 族半導体化合物を使用する発光ダイオード (LED) を有しても良い。有機電界発光物質、特に高分子化合物に

50

おける最近の発展は、特に映像表示装置用に使用されるようなそれらの能力を実証している。一般に、これらの物質は、一对の電極間に挟まれる半導体複合高分子化合物の一以上の層を有する。該電極の一つは透明であり、もう片方は空孔又は電子を高分子化合物層に入れるのに適した物質である。

【0003】

高分子化合物質は、CVD処理、真空気化/凝華処理を用いて、あるいは水溶性複合高分子化合物の溶液を用いるスピンコーティング技術によって作られ得る。インクジェット印刷が使用されても良い。有機電界発光物質は、ダイオードのようなI-V特性を示すよう配置されうる。従って、それらは表示機能及びスイッチング機能の両方を提供する能力を有し、そのため受動型ディスプレイにおいて使用されうる。あるいは、これらの物質は、夫々の画素が、表示素子、及び該表示素子を通る電流を制御するスイッチング素子を有するアクティブマトリクス表示装置に対して用いられても良い。

10

【0004】

この形式の表示装置は、電流駆動表示素子を有する。従って、従来のアナログ駆動の考えは、表示素子への制御可能な電流の供給を有する。画素構造の部分として、表示素子を通る電流を決める電流形トランジスタに供給されるゲート電圧を有する電流形トランジスタを設けることが知られる。蓄積容量は、アドレス指定相の後にゲート電圧を保持する。

【0005】

図1は、電界発光表示素子をアドレス指定されるアクティブマトリクス用の既知の画素回路を示す。表示素子は、規則正しく間隔を空けられた画素の行及び列のマトリクス配列を有するパネルを有する。画素は、ブロック1によって表わされ、関連するスイッチング手段と共に電界発光(EL)表示素子2を有し、行(選択)及び列(データ)のアドレス導電体4及び6の交差する集合間の共通部分に置かれる。数個の画素のみが簡単化のために図に示される。実際には、数百の行及び列の画素が存在しうる。画素1は、行の走査駆動回路8及び列のデータ駆動回路9を有する周辺の駆動回路によって、行及び列のアドレス導電体の集合を介してアドレス指定される。両駆動回路は、導電体の夫々の集合の終端に結合される。

20

【0006】

電界発光表示素子2は、ここではダイオード素子(LED)として表わされ、有機電界発光物質の一以上のアクティブ層が挟まれる一对の電極を有する、有機発光ダイオードを有する。配列の表示素子は、絶縁支持材の片側で関連するアクティブマトリクス回路と共に支えられる。表示素子のカソード又はアノードのいずれかは、透明な導電体物質で形成される。支持材は、ガラスのような透明な物質から作られ、基材に最も近い表示素子2の電極は、インジウム錫酸化物(ITO)のような透明な導電物質から成っても良い。従って、電界発光層によって作られる光は、支持材のもう一方の側で可視的であるように、これらの電極及び支持材を通して伝えられる。一般に、有機電界発光物質層の厚さは、100nmから200nmの間である。素子2に対して使用されうる適切な有機電界発光物質の典型的な例は、EP-A-0717446で知られ、記述されている。W096/36959で記述されるような結合高分子化合物物質も使用され得る。不透明な基材、例えば絶縁層を有する金属箔が使用されうる。その場合、光は、基材から離れて、例えば透明な先端電極を介して放射される。

30

40

【0007】

図2は、電圧アドレス指定動作を提供する既知の画素及び駆動回路の配置を、簡単な図解形式で示す。夫々の画素1は、EL表示素子2及び関連する駆動回路を有する。該駆動回路は、行導電体4上の行アドレスパルスによってオンとされるアドレストランジスタ16を有する。該アドレストランジスタ16がオンとされるとき、列導電体6での電圧は残りの画素に渡りうる。特に、該アドレストランジスタ16は、駆動トランジスタ22及び蓄積容量24を有する電流源20に列導電体電圧を供給する。列電圧は駆動トランジスタ22のゲートに供給され、該ゲートは、前記行アドレスパルスが終了した後ですら蓄積容量24によってこの電圧で保持される。

50

【0008】

この回路内の駆動トランジスタ22は、p形TFTとして実施され、蓄積容量24は、ゲートソース間電圧を一定に保つ。これは、該トランジスタと流れる一定のソースドレイン間電流を供給し、その結果、画素の望ましい電流源動作をもたらす。p形駆動トランジスタは、低温ポリシリコンを用いて実施されうる。駆動トランジスタは、n形トランジスタとして実施されうる（回路への適切な修正を伴う）。通常、これは、アモルファスシリコンを用いる実施に適する。

【発明の開示】

【発明が解決しようとする課題】

【0009】

上記の基本画素回路において、ポリシリコンに基づく回路に関して、トランジスタのチャネルでのポリシリコン粒子の統計的分布によって、トランジスタの閾値電圧が変化する。しかし、ポリシリコントランジスタは、電流及び電圧のストレスの下で完全に安定である。従って、閾値電圧は十分に一定のままである。

10

【0010】

アクティブマトリクスLED表示部用のアモルファスシリコン画素回路を実施することに非常に関心がある。これは、LED素子に対する電流要求が素子の効率が改善されると共に低減されるので、可能になってきている。例えば、有機LED素子及び溶解処理された有機LED素子は、最近、燐光の使用によって非常に高い効率を示している。閾値電圧の変化は、アモルファストランジスタでは小さく、少なくとも基材全体では短い範囲に亘る。しかし、閾値電圧は、電圧ストレスに対して非常に敏感である。駆動トランジスタに対する必要とされる閾値以上の高い電圧の印加は、閾値電圧での大きな変化を引き起こし、この変化は、表示画像の情報コンテンツに依存する。このエージングは、アモルファスシリコン・トランジスタで駆動されるLED表示部での深刻な問題である。

20

【0011】

エージングに起因する使用される駆動トランジスタの閾値電圧の変化を補償する電圧アドレス指定画素回路に対して、多数の提案が存在する。これらの提案の幾つかは、駆動トランジスタの閾値電圧が通常フレーム毎に測定されうるように、夫々の画素に付加的な回路素子を導入する。閾値電圧を測定する一つの方法は、アドレス指定系列の一部として駆動トランジスタのスイッチをオンとし、駆動トランジスタの電流が駆動トランジスタのゲートソース間接合の両端の容量を放電するように、駆動トランジスタを分離する。特定の時点で、容量は、駆動トランジスタの閾値電圧を保持する点まで放電され、駆動トランジスタは導電を停止する。そのとき、閾値電圧は、容量で蓄えられる（即ち、測定される）。次に、この閾値電圧は、駆動トランジスタに供給されたゲート電圧が閾値電圧を考慮に入れるように、データ入力電圧に（画素内の回路素子をやはり用いて）加えられる。

30

【0012】

これらの補償案は、更に複雑な画素構成及び駆動案を必要とする。

【課題を解決するための手段】

【0013】

本発明によれば、複数の表示画素の配列を有し、夫々の画素は、電流駆動発光表示素子と、該表示素子を流れる電流を駆動する駆動トランジスタとを有するアクティブマトリクス表示装置を提供する。夫々の画素は、二つのモードで動作可能であり、第一のモードで、該駆動トランジスタの電流は、該表示素子に供給され、望ましい画素輝度を供給するよう選択され、第二のモードで、電圧は、該駆動トランジスタに供給され、望ましいエージング効果を供給するよう選択され、電流は、該表示素子を流れない。

40

【0014】

この装置において、フレーム時間は、二つの期間に分けられる。一つは表示素子がオンであるときであり、もう一つは表示素子がオフであるときである。オフ期間の間、電圧はそれでもなお駆動トランジスタに印加され、この電圧は、全ての画素に対する駆動トランジスタでの全ての閾値電圧のドリフト（結果としてエージングをもたらす）が実質的に同

50

じであるように選択される。

【0015】

前記第二のモードで前記駆動トランジスタに供給された電圧は、ゲートソース間電圧である。閾値電圧のドリフトは、駆動される電流よりむしろゲートソース間電圧に依存する。従って、画素は、第二のモードにおいて、駆動電流を供給しないが、駆動トランジスタにかかるゲートソース間電圧を有するように配置される。

【0016】

望ましくは、夫々の画素は、前記二つのモードにおいて画像データの夫々のフレームに対して動作する。例えば、第一及び第二のモードは、等しい持続期間であっても良い。不連続駆動の案は、動画の再生を改善することが以前より認識されている。

10

【0017】

望ましくは、前記駆動トランジスタ及び前記表示素子は、高電力供給ラインと低電力供給ラインとの間で直列に接続される。望ましくは、高電力供給ラインでの電圧は、異なる電圧が二つの動作モードに対して高電力供給ラインに印加されるように切り替えられる。このようにして、電力供給ラインの電圧は、電流が第二のモードで表示素子を流れないことを確実にするために使用される。

【0018】

第二の駆動トランジスタは、前記表示素子を選択的にバイパスするために、前記駆動トランジスタと並列に設けられても良い。これは、バイパスとして働くが、更に表示素子の電圧（アノード電圧）が画素のプログラミングの間うまく決められることを確実にする。更に、アドレスタランジスタが、データ供給ラインと前記駆動トランジスタのゲートとの間に設けられても良く、前記アドレスタランジスタ及び前記第二の駆動トランジスタは、共有された制御ラインによって制御されうる。

20

【0019】

一実施例において、前記表示画素は表示領域内にあり、前記装置は、該表示画素の複数個の挙動をモデル化し、電流駆動発光表示素子及び駆動トランジスタを有するために、該表示領域の外側に少なくとも一つのモデリング回路を更に有する。該少なくとも一つのモデリング回路は、複数の画素駆動信号から導き出された一つの画素駆動信号を該表示素子の複数個に対して供給される。そのとき、前記装置は、

前記モデリング回路の前記駆動トランジスタのトランジスタ特性を測定する手段と、
該測定されたトランジスタ特性に応じて該表示素子の複数個に対して該複数の画素駆動信号を変更する手段とを更に有する。

30

【0020】

この実施例において、一つの擬似画素（又は複数の擬似画素）が、表示部の画素のエージングをモデル化するために使用され、適切な補正が、画素駆動信号に対して成される。画素のエージングが均一にされた場合、画素回路及びタイミングに対する簡単な修正と共に画素駆動信号に対する補正が可能である。トランジスタ特性は、トランジスタの閾値電圧であっても良い。擬似画素の解析は、原則的に、所定の電流の発生に対して必要とされるゲートソース間電圧が決められることを可能にするためである。従って、モデリングは、トランジスタでの他の変化、例えば移動度の変化を考慮に入れうる。

40

【0021】

単一のモデリング回路は、エージングが本発明の装置によって均一にされるので、前記表示画素の全ての挙動をモデル化するために使用されうる。しかし、必要ならば、複数のモデリング回路は、表示画素の個々の部分集合の挙動を夫々モデリングするために設けられうる。

【0022】

モデリング回路に供給された画素駆動信号は、複数の画素駆動信号に対して結合信号（即ち、第一及び第二のモードの結合）から導き出される。本発明が画素のエージングにおいて完全な均一性をもたらさない場合、平均値は、画素のモデリング回路への入力として使用されても良い。平均化動作が実行される場合、それは、対応する複数個の表示画素に

50

対してデジタル画像データ（列駆動回路にある）を平均化することによって、あるいは、対応する複数個の表示画素に供給される駆動電流を平均化することによって得られうる。このような方法では、表示部に供給された電流を測定する回路が必要とされる。

【0023】

前記モデリング回路は、例えば、表示部の画素回路の増減された形を有する。この回路は、他の試験目的のためにすでに設けられる。

【0024】

複数の画素駆動信号は、列駆動回路で変更されうる。しかし、表示画素の複数個に対する複数の画素駆動信号は、その代わりに、夫々の表示画素内の付加的な回路を用いて変更されうる。例えば、図2で示されるように、一般に蓄積容量は、駆動トランジスタのゲートとソースとの間に設けられ、アドレスタランジスタは、列データラインと駆動トランジスタのゲートとの間に設けられる。次に、付加的な回路は、第二の列ラインと駆動トランジスタのソースとの間の第二のアドレスタランジスタの形で設けられうる。このような方法では、蓄積容量は、画素データ入力及び第二の列ラインでのデータの両方に依存するゲートソース間電圧を保持する。

10

【0025】

代わりに、付加的な回路は、第二の蓄積容量を有しても良く、第一及び第二の蓄積容量は、駆動トランジスタのゲートとソースとの間に直列に置かれる。この配置では、一つの容量はデータ信号用であり、もう一つは閾値電圧用である。

【0026】

本発明はまた、複数の表示画素の配列を有し、夫々の画素は、電流駆動発光表示素子と、該表示素子を流れる電流を駆動する駆動トランジスタとを有するアクティブマトリクス表示装置を駆動する方法を提供する。当該方法は、

20

第一のモードで、第一のゲートソース間電圧を該駆動トランジスタに供給し、結果として生じる電流を該表示素子に供給するステップと、

第二のモードで、望ましいエイジング効果を供給するよう選択される第二のゲートソース間電圧を該駆動トランジスタに供給するステップとを有し、第二のモードの間は該表示素子を電流が流れないことを特徴とする。

【0027】

当該方法は、表示素子へ画素データを駆動するためにオンモードを使用し、全ての画素のエイジングを等しくするためにオフモードを使用する。

30

【0028】

前記第二のモードは、前記第一のモードの前に実行され、前記第一及び第二のモードは、夫々の画素の夫々のアドレス指定のために実行される。例えば、第二のモードは、アドレス指定相の直前に存在し、その間に第一のゲートソース間電圧が駆動トランジスタに供給される。

【0029】

画素は、十分に一定の量で経年変化するが、駆動トランジスタの特性は、時間に亘って変化する。モデリング回路は、前記表示画素の複数個の挙動をモデル化し、電流発光表示素子及び駆動トランジスタを有するために、表示領域の外側に設けられても良い。そのとき、当該方法は、

40

複数の画素駆動信号から導き出された一つの画素駆動信号を有する少なくとも一つのモデリング回路を前記表示素子の複数個に設け、

前記モデリング回路の前記駆動トランジスタのトランジスタ特性を測定し、

該測定されたトランジスタ特性に応じて該表示素子の複数個に対して該複数の画素駆動信号を変更する。

【発明を実施するための最良の形態】

【0030】

本発明を添付の図を参照して例を用いて記述する。

【0031】

50

これらの図は、略図であり、実寸で描かれないことに留意すべきである。これらの図の部分の夫々の寸法及び形状は、図での明白さ及び利便性のために、そのサイズに対して誇張又は縮小を成されて示されている。

【0032】

本発明は、夫々の画素が二つのモードで動作可能である画素の形状及び駆動の考えを提供する。第一のモードで、駆動トランジスタの電流は、表示素子に供給され、望ましい画素輝度を提供するように選ばれる。第二のモードで、電圧は、駆動トランジスタに供給され、望ましいエージング効果を提供するように選ばれる。

【0033】

最も基本的な画素回路を図3で示す。画素回路は、図2の回路に対応するが、駆動トランジスタ22に並列に接続された付加的な駆動トランジスタ23を有する。このようにして、付加的な駆動トランジスタ23は、電力供給ライン26と第一の駆動トランジスタ22のソースとの間に接続される。付加的な駆動トランジスタは、駆動トランジスタ22のソースを電力供給ラインに結合するために使用されう。これは、画素のプログラミングの間にアノード電圧（第一の駆動トランジスタのソース電圧に対応）がうまく決定されることを可能にする。第二の駆動トランジスタは、アドレストランジスタ16と同じ制御信号でゲート制御される。電力供給ラインは、それに印加された切り替え可能な電圧を有し、第二の駆動トランジスタ23は、後述から明らかになるように、表示素子がオフとされることを確実にするために使用されう。

10

【0034】

本発明は、画素回路において付加的なトランジスタを必ずしも必要としないことが留意されるべきである。実際には、更に簡単である二つのトランジスタを有する回路は、ゲートドレイン間電圧が電力ラインと駆動トランジスタ22のゲートとの間に蓄えられる場合に可能である。この場合、付加的な駆動トランジスタ23は、もはや必要とされない。しかし、この形式の回路は、エージング及び加熱による表示素子のアノード電圧の変化による電流の変化、並びに電力ラインでの電圧降下の影響を受けやすい。従って、図3で示される更なる制御可能な三つのトランジスタの回路が実施される。

20

【0035】

この回路は、低い電圧（例えば0Vから-5V）と通常の電力供給電圧（例えば15V）との間で変化する電力供給ラインを必要とする。該回路がトランジスタ16によってアドレス指定されるとき、電力供給ラインは、低い電圧に落とされる。これにより、駆動トランジスタ22を流れる電流は止まるので、そのとき電力ライン26は、第二の駆動トランジスタ23を介して列6によって供給されたデータ電圧を参照して、良好な基準レベル（例えば、接地又は-5V）を供給する。容量24が充電されると、アドレスラインはローとなり、この後電力ラインはハイにされる。電流が流れ始め、表示素子のアノード及び駆動トランジスタ22のゲートは、それらの夫々の動作位置まで浮上する。

30

【0036】

図4は、図3の回路が行アドレスパルス及び電力供給ライン電圧の切り替えに対して特定のタイミング状態を必要とする様子を示す。示されるように、電力供給ライン26は、アドレスライン（図4の16を参照）が、電流が第二の駆動トランジスタ23を流れて表示素子に流れなくなるようハイとなる前に、ローとなる。電力が、アドレスラインがハイとなった後にローとなることを認められる場合、一瞬の光が放射され、表示部の暗状態を低下させる。電力供給ライン26は、アドレスパルスが終わった後でハイとなる。蓄積容量24に蓄えられるべきデータは、プロット6の透明部分27の間に列6で供給される。

40

【0037】

本発明は、駆動トランジスタの閾値電圧のドリフトがソースゲート間電圧によって駆動され、電流が流れないという事実を利用する。従って、電力ラインがローである間、如何なるデータでも回路をアドレス指定することが可能であり、画像は見られない。データを適切に選択することによって、画像が表示される（電力はハイ）ときの閾値電圧のドリフト及び画像が表示されない（電力はロー）ときの閾値電圧のドリフトは、合計すると常

50

に一定量になる。従って、画像依存のドリフトは起きない。

【0038】

駆動トランジスタに二つの駆動レベルを供給するために、夫々のラインは、フレーム毎に二度アドレス指定されなければならない。光は一つの期間（例えば、半分の時間）に対してのみ放射されるが、これは、動きの認知を改善するために如何なる場合でも望まれる。

【0039】

図5は、本発明による一つの可能なタイミング図を示す。

【0040】

示されるように、フレーム期間内には二つのアドレスパルス（アドレスライン16での高いパルス）がある。フレーム期間の最初の部分の間、表示素子は、低い電力ラインによってオフとされる。第一のアドレスパルスにおいて、ゲートソース間電圧は、駆動トランジスタ22の望ましいエージングを提供するよう列6に供給される。これを“第二のモードのデータ”と呼ぶ。これは、フレームの後半部分で画素に供給されるべきデータ（画素に供給されるべきデータの前の情報を必要とする）に基づいて、あるいは前のフレームで画素に供給された画素データに基づいて計算されても良い。いずれの場合でも、夫々の画素の駆動トランジスタは、夫々の全フィールド期間に亘って同じく全体的エージング状態の影響を受ける。フレーム保存は、“第二のモードのデータ”の計算を可能にすることを必要とされる。

10

【0041】

第二のアドレスパルスにおいて、列に供給されたデータは、“第一のモードのデータ”と呼ばれる望ましい画素の出力データに変えられる。

20

【0042】

夫々のアドレスパルスに対して、データは、蓄積容量24を充電するために十分な期間の間だけ、例えば20ミリ秒のフレーム期間に対して20マイクロ秒の間に加えられる。従って、二つのアドレスパルスによって占められるフレーム時間の割合は、図5では誇張されている。

【0043】

フィールド期間内で、第一のモードのデータは、当然、第二のモードのデータの前にあるか、あるいは後ろにある。

30

【0044】

このアプローチは、表示される画像とは無関係に、トランジスタ特性の均一なエージングを提供する。しかし、夫々の画素の駆動トランジスタ22の閾値電圧はドリフトを有するので、トランジスタを流れる電流は落ちる。従って、表示された画像は、所謂“焼き付き”アーティファクトを直ちに示しうる。

【0045】

しかし、閾値電圧のドリフトは表示部全体で均一なので、それは容易に補正される。特に、全体的ドリフトは、表示部の端の試験回路で観測され、多数の方法で均一性を補償されうる。

【0046】

図6は、表示領域30並びに該表示部の外側の行及び列の駆動回路8、9を有する表示部を示す。試験ユニット32は、一以上の擬似画素の形で設けられる。表示領域30の外側にあるこれらの付加的な画素は、しばしば試験目的で予め設けられ、しばしば処理制御モジュール又は試験回路と呼ばれる。

40

【0047】

図7は、図3の画素回路の挙動をモデル化するための擬似画素の設計に関する一つの可能な例を示す。擬似画素の回路素子2、22、24は、画素でのそれらの複製であっても良く、あるいは擬似回路は、画素回路の増減された形を有しても良い。従って、擬似回路は、回路が画素回路と同じように動作するが、同じ電圧に対して更に大きな電流が流れるように、幾つかの画素の並列接続を有しても良い。これは、単一の画素回路よりも容易に測定

50

できる。

【0048】

代わりに、回路の構成要素は、全ての回路の構成要素が同じ係数で大きくされるが、物理的には更に大きくなりうる。重要な点は、回路が画素回路と同じように動作することである。全ての場合で、擬似画素回路は、正確な補正を確実にするために、同様の構成要素及び動作を有する実際の画素回路を表わす。擬似画素回路は、検出トランジスタ42（後述される）が、表示素子のアノードが画素のプログラミングの間に既知の電圧であることを確実にするための、第二の駆動トランジスタ23の機能に取って替わる限り、トランジスタ23を有する必要はない。駆動トランジスタ22のエージングは、トランジスタに印加されたゲートソース間電圧にのみ基づいてモデル化されうる。このゲートソース間電圧は、均一な平均的エージング状態に基づき、表示部の全ての画素が本発明によってこれの影響を受ける。

10

【0049】

擬似画素回路は、付加的な検出ライン40及び検出ライン40と駆動トランジスタ22との間に接続された検出トランジスタ42を有する。そのとき、擬似回路は、駆動トランジスタの閾値電圧を測定するために使用される。

【0050】

駆動トランジスタの閾値電圧を測定するために、検出ライン40は、図8で示されるように、仮想的な接地電流検出器50に接続される。この装置は、検出ライン40での電圧の如何なる変化をも許容せずに電流を測定するので、非常に小さな電流を検出することができる。電流検出器は、ランプ電圧発生器52の動作を制御する。

20

【0051】

表示部の夫々のフィールド期間の始まりにおいて、擬似画素回路は、閾値電圧の測定動作を実行するために使用される。残りのフィールド期間の間、擬似回路は、配列の画素の駆動状態を表わす電圧まで駆動される。

【0052】

閾値測定動作のために、アドレストランジスタ16及び検出トランジスタ42はオンとされる。次に、駆動トランジスタ22のゲートは、その時点で駆動トランジスタ22の閾値電圧よりも低くなるよう配置されたデータ列6の電圧まで放電されるので、それはオフとされる。LED表示素子2のアノードはまた、接地である検出ライン40の電圧に保たれる。電力レール26はハイである。

30

【0053】

次に、ランプ発生器52は、列6の電圧を線形な又は段階的ないずれかの方法で、例えば、バッファの電圧出力を増大させることによって、あるいは列に充電を注入することによって増大させる。駆動トランジスタ22のゲートは、駆動トランジスタがオンとなるまで列電圧に従い、そのとき電流は、検出ライン40に注入され、電流検出器42によって検出される。この時点で、ランプ発生器の電圧出力が蓄えられて、駆動トランジスタの閾値電圧の測定時に使用される。

【0054】

残りのフィールド期間の間、信号は、データ源54から擬似画素に供給される。この時間の間、擬似画素は、画素の配列全体の均一な平均的駆動状態を表わす信号で駆動される。

40

【0055】

擬似画素は、擬似画素での回路構成要素に従って、ゲートソース間電圧の平均値又はこれの増減された値で駆動される。閾値電圧の測定は、夫々のフィールド期間で一度であっても良いが、多少多くても良い。タイミングは夫々の調整が小さい程度であり、望ましくは、調整はゆっくり実施される。

【0056】

一つの形式において、測定された閾値電圧は、アナログ又はデジタルの領域で、例えば、ソース駆動回路（デジタル）又は画素自体（アナログ）において個々の画素に対する望ましいデータ電圧に加えられる。この方法では、複数の表示画素に対する画素駆動信号は

50

、擬似駆動トランジスタの閾値電圧の測定された閾値電圧に応じて変えられる。更なる代案は、他の電圧と比較される列電圧範囲のオフセットを取ることである。これは、アナログ技術であり、外部から実行される。

【0057】

図9は、閾値電圧が画素内に加えられることを可能にする第一の画素配置を示す、

第一及び第二の容量 C_1 及び C_2 は、駆動トランジスタ22のゲートとソースとの間に直列に接続される。画素に入力されるデータは、アドレストランジスタ16を用いて、駆動トランジスタのゲートに供給される。このデータ入力は、第一の容量 C_1 を画素データ電圧に充電する。第二の容量 C_2 は、駆動トランジスタの閾値電圧（擬似画素配置によって決められる）を蓄えるために使用される。

10

【0058】

第一及び第二の容量間の接合は、第三のトランジスタ62を介して付加的なライン60に接続される。この付加的なライン60は、閾値電圧を画素に供給するために使用される。

【0059】

駆動トランジスタ22のみが、定電流モードで使用される。回路の他の全てのTFT16、23、62は、短いデューティサイクルで動作するスイッチとして使用される。従って、これら素子の閾値電圧のドリフトは小さく、回路性能に影響を及ぼさない。閾値補償を有する一つの画素信号（即ち、一つのアドレスパルスのみ）の適用に対するタイミング図を図10に示す。“第二のモードのデータ”の適用のタイミングは図示しないが、それは、本発明が実施される技術分野の当業者にとって明らかである。

20

【0060】

プロット16、23、62は、夫々のトランジスタに印加されたゲート電圧を表わす。プロット60は、付加的なライン60に印加された電圧を表わし、プロット“データ”の透明な部分は、データライン6でのデータ信号のタイミングを表わす。網掛け部分は、データライン6上のデータが画素の他の行で使用される時間を表わす。画素の他の行に対するデータは、データがほぼ連続的にデータラインに適用され、パイプライン化された動作を与えるように、この時間の間に適用されることが、後述から明白となる。

【0061】

回路の動作は、駆動トランジスタ22のゲート ソース間電圧がデータ電圧と閾値電圧との和であるように、データ容量 C_1 を蓄え、次に閾値電圧を C_2 に蓄えるべきである。

30

【0062】

回路動作は、以下のステップを有する。

【0063】

アドレストランジスタ16及び第二の駆動トランジスタ23はオンとされ、第三のトランジスタ62はオンとされる。この時間の間、接地電圧は、プロット60に示されるようにライン60に供給される。これは容量 C_1 の一方を接地に接続し、他方をデータ電圧に接続するので、データ電圧は C_1 に蓄えられる。

【0064】

次に、アドレストランジスタ16は、容量 C_1 が浮動であるようにオフとされる。そのとき閾値電圧66がライン60に供給され、これは、第二の容量 C_2 を充電する。 C_2 の反対の端子は、第二の駆動トランジスタ23を介して接地に接続される（電力供給ライン26はローであるから）。

40

【0065】

最後に、トランジスタ62及び23はオフとされ、電力はハイとなり、駆動トランジスタ22は、そのゲート ソース間接合の両端に印加された二つの容量の結合電圧を有する。

【0066】

図10は、データがアドレストランジスタ16に対する行アドレスパルスに対応する時間期間にのみ列6上にあることが必要であることを示す。アドレス指定相の第二の半分は、隣接の行に対するアドレス指定相の第一の半分と重なりうるので、パイプライン化されたアドレス系列が使用されうる。従って、アドレス指定系列の長さは、長い画素のプログラ

50

ミング時間を意味せず、効率的なライン時間は、アドレストランジスタがオンであるときに容量 C_1 を充電するために必要とされる時間によってのみ制限される。この時間期間は、標準的なアクティブマトリクスアドレス指定系列に対してと同じである。

【0067】

図11は、閾値電圧が画素内に加えられることを可能にする第二の画素配置を示す。図11の回路は、図7の擬似画素回路と本質的に同じであるが、検出ライン40は、付加的なライン70で置き換えられ、検出トランジスタ42は、付加的な入力トランジスタ72で置き換えられている。この画素は、蓄積容量24の一方をデータ電圧に充電し、蓄積容量24の他方を閾値電圧に等しい大きさの負の電圧に充電することによって駆動される。従って、蓄積容量の全電圧は、閾値電圧に加えられたデータ電圧である。

10

【0068】

図12は、動作のタイミングを示す。アドレス指定期間は、一つの相のみを有する。閾値電圧の逆値は、ライン入力ライン70に供給され、トランジスタ72は、容量24の一つの端子にこの電圧を供給する。データ電圧は、アドレストランジスタ16を介して容量24の他方の端子に供給される。従って、容量の両端の電圧は、データ電圧と閾値電圧との和である。前の回路の第二の駆動トランジスタ23は必要とされず、第二の駆動トランジスタの役割は、トランジスタ72によって果たされる。

【0069】

画素のプログラミングの終了時に、トランジスタ72はオフとされ、表示素子はオンとなる。アノードは平衡電圧に達し、望ましいゲートソース間電圧が容量24に保たれる。

20

【0070】

先と同じく、図12は、表示部を駆動する画素データの呼び出しのためのタイミングのみを示す。“第二のモードのデータ”で駆動トランジスタをアドレス指定するために、電力供給ラインは、表示素子をオフとするようローのままである。

【0071】

上の二つの例において、画素は、閾値電圧の付加を可能にするよう変形される。これは、付加が画素内で行われるので、列導電体で必要とされる電圧が適度に保たれることを可能にする。あるいは、閾値電圧は、例えばアクティブマトリクス液晶表示部と共に使用される所謂“四段階駆動法”での電圧の付加と同様の方法で、容量性結合効果によって画素駆動信号に加えられても良い。

30

【0072】

更なる代案として、補償は、所定のデータ入力に対して表示素子の輝度を変えるために、電力供給ラインの電圧を変化させることによって成されても良い。

【0073】

上述したように、第二のモード（表示素子がオフとされるとき）のゲートソース間電圧は、夫々のフィールド期間内の夫々の駆動トランジスタの一定のエージングを供給するよう計算される。

【0074】

駆動トランジスタの閾値電圧のドリフトは、(1)式に従うことが分かっている。

【0075】

$$V_t(t) = V_t(t=0) + k(V_g - V_t(t))^a (vt)^b \quad (1)$$

40

ここで、

$V_t(t)$ は、時間 t での閾値電圧であり、

k は、アモルファスシリコンの蒸着状態に依存する定数であり、

V_g は、駆動トランジスタのゲート電圧であり、

a は、アモルファスシリコンに依存する定数であり（通常、良質なアモルファスシリコンで1.7）、 v は、全てのアモルファスシリコンに対する定数であり（ $\sim 10^{10}$ Hz）、

$b = T/T_0$ であり、ここで、 T は絶対温度であり、 T_0 はアモルファスシリコンの品質に依存する（通常720K）。

【0076】

50

ドリフト率は、式(1)から分かるように、ゲート電圧及び時間に対して非線形である。ドリフト率は、表示部のフレーム時間と比較して緩やかであるので、単一のフレーム時間内でのドリフトに対して、我々は V_t の時間依存を無視でき、(2)式を導くことができる。

【0077】

$$V_t = k(V_g - V_t)^a \quad (2)$$

ここで、 V_t は、単一フレーム内で引き起こされた閾値電圧のドリフトである。LEDが照射されない期間でのTFTのドリフトレベルは、二つのドリフトが合計すると全ての画素に対して同じ量となるように選ばれる。即ち、(3)式のように表わされる。

【0078】

$$V_{t_{on}} + V_{t_{off}} = k(V_{g_{wc}} - V_t)^a \quad (3)$$

$V_{g_{wc}}$ は、最悪な場合のゲート駆動状況(最大輝度)である。従って、オン及びオフの状態に対して等しい時間期間であるとする、オフ状態の駆動状況は(4)式となることが分かる。

【0079】

$$V_{g_{off}} = V_t + ((V_{g_{wc}} - V_t)^a - (V_{g_{on}} - V_t)^a)^{1/a} \quad (4)$$

従って、この式は、オフ期間の間にゲートソース間電圧を決めるために使用されうる。

【0080】

この考えが理解される場合、全ての素子の閾値電圧は同じようにドリフトを有し、上述したように、この均一なドリフトは、表示部の端に置かれた試験装置によって検出される。これは、上の式(4)で使用される V_t の値を提供する。

【0081】

オン及びオフの時間が等しいことは必要とされないが、それらが等しくない場合、式は更に複雑になる。50%以下のLEDのデューティサイクルは、駆動TFTがオフとされる第三の期間を導入すること、又は駆動トランジスタがオン状態にある間にLED電力供給接続を取り扱うことのいずれかによって達成されうる。

【0082】

ドリフトの式に従って、小さな誤差がゲート駆動電圧に存在し(例えば量子化誤差)、あるいは最初の閾値電圧の小さな変動が存在する場合、誤差は時間と共に減少するので、方法はロバストであり、高度な精度を必要としない。

【0083】

上述したように、補正は、画素回路の構成要素、特に駆動トランジスタのエージングの補償を可能にする。補償の回路及び方法はまた、表示部の温度変化の補償を提供する。アモルファスシリコン回路の特性は温度依存であり、本発明で使用される補償回路は、表示部の画素と同様の温度状態の影響を受ける領域に擬似画素回路を配置することによって、この温度依存性を補償することができる。この方法では、擬似画素回路の近傍での温度は、アクティブな画素領域の温度の代表値である。

【0084】

回路は、n形トランジスタのみを使用して示された。多数の技術、例えば、結晶シリコン、水素化アモルファスシリコン、ポリシリコン、及び半導体ポリマーなどが可能である。これらは全て、発明の請求範囲内にあることを意図される。表示素子は、高分子LED素子、有機LED素子、燐光体含有物質、及び他の発光構造体であっても良い。

【0085】

これらは、電圧の画素内での付加を実施する他の方法であり、これらはまた、従来の画素設計を照射するために、列に供給される前に画素駆動信号への変化を実施する多数の方法でもある。列駆動回路でデータの変更を実施するための様々なデータ処理技術は、これが当業者にとってありきたりである場合、詳細に説明されていない。

【0086】

上の例において、平均照度値は、補正信号の基として使用される。更に複雑な考えが必

10

20

30

40

50

要な補正を決めるために用いられても良いことは、当業者によって明白である。これは、例えば、平均照度だけでなく、照度値の変化又は代替りの他の統計的パラメータを考慮しても良い。

【0087】

単一の補正信号が列全体に適用されることが可能である。しかし、補正は、一列毎であっても、あるいは画素配列の簿ロック領域に基づいても良い。これは、装置によって表示されるデータの性質に依存する。

【0088】

様々な他の変形は、当業者にとって明白である。

【図面の簡単な説明】

【0089】

【図1】既知のEL表示装置を示す。

【図2】EL表示装置を電流でアドレス指定するための既知の画素回路の単純化された回路図である。

【図3】本発明の画素回路の回路図である。

【図4】図3の画素回路の動作を説明する第一のタイミング図である。

【図5】図3の画素回路の動作を説明する第二のタイミング図である。

【図6】表示領域の外側の付加的な回路を本発明が如何に使用するかを示す。

【図7】図6の装置内で使用される回路を示す。

【図8】図7の回路に関連する測定回路を示す。

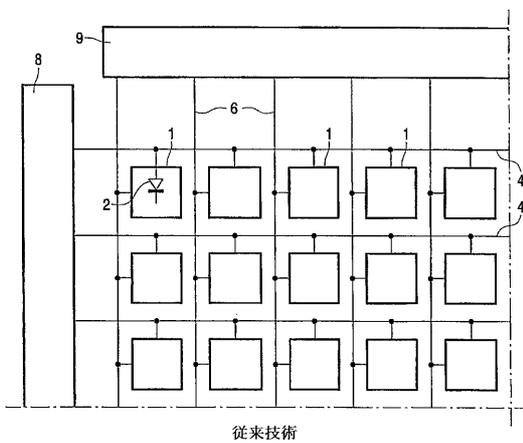
【図9】画素内で補償電圧を加える画素回路を示す。

【図10】図9の回路の動作を説明するタイミング図である。

【図11】画素内で補償電圧を加える第二の画素回路を示す。

【図12】図11の回路の動作を説明するタイミング図である。

【図1】



【図3】

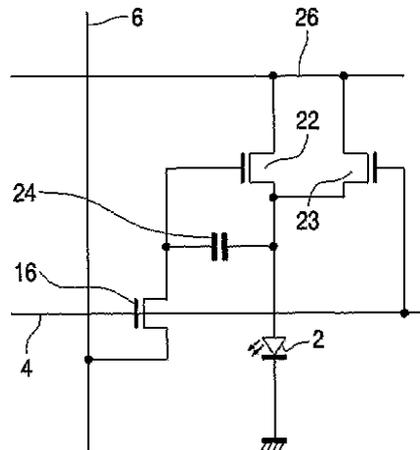
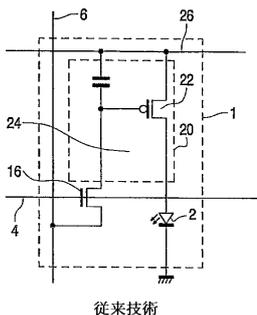


FIG.3

【図2】



10

20

【 図 4 】

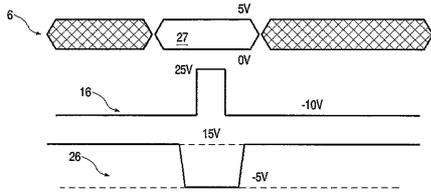


FIG.4

【 図 6 】

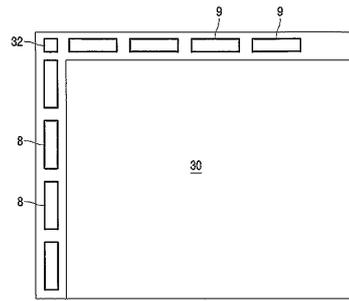
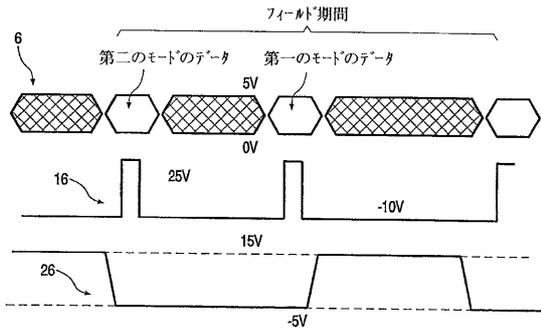


FIG.6

【 図 5 】



【 図 7 】

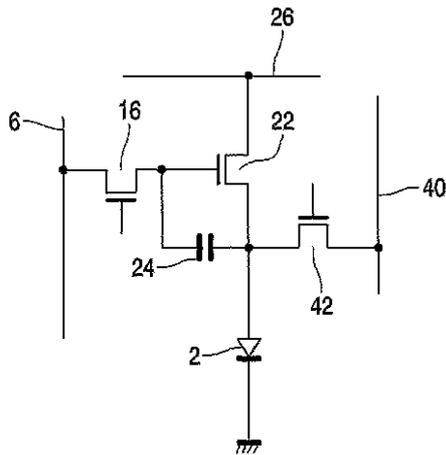


FIG.7

【 図 8 】

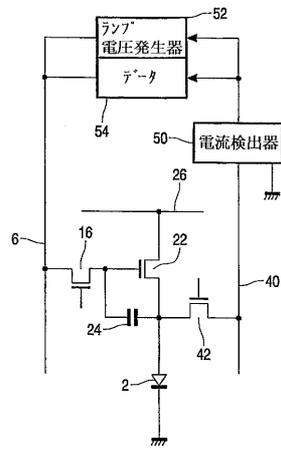


FIG.8

【 図 9 】

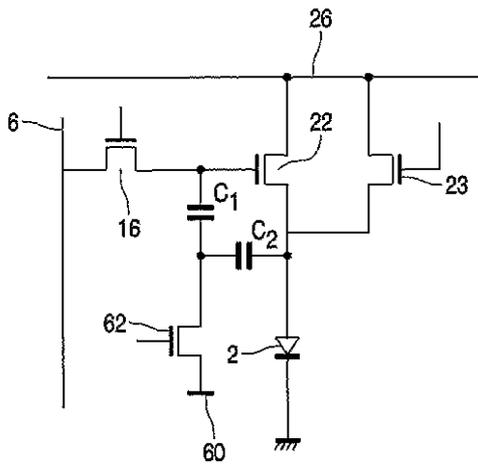
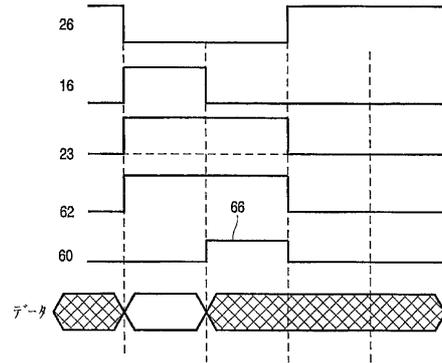


FIG.9

【 図 1 0 】



【 図 1 1 】

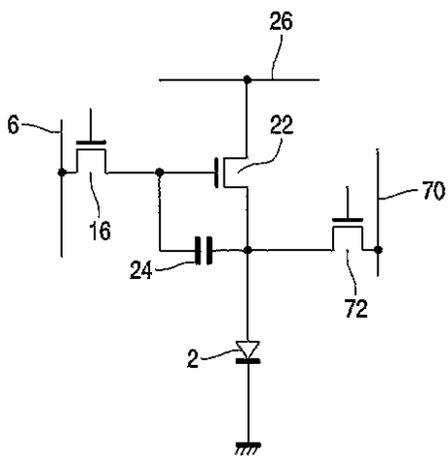
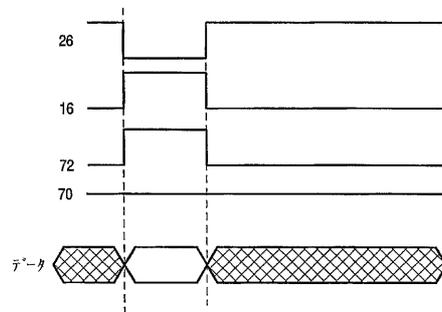


FIG.11

【 図 1 2 】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International Application No PC1/IB2004/001362
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G09G3/32		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) IPC 7 G09G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2002/195968 A1 (LIBSCH FRANK ROBERT ET AL) 26 December 2002 (2002-12-26) paragraph '0030! - paragraph '0035!; figure 2	1-5, 14-16
Y	paragraph '0040! - paragraph '0045!; figure 3	6-13, 17-19
X	US 2003/052614 A1 (HOWARD WEBSTER E) 20 March 2003 (2003-03-20) paragraph '0017! - paragraph '0024!; figures 2a,2b,4,5	1-4,6-8, 14-16
X	EP 1 191 512 A (SEIKO EPSON CORP) 27 March 2002 (2002-03-27) paragraph '0012! - paragraph '0014! paragraph '0049! - paragraph '0050! paragraph '0053! - paragraph '0061!; figures 1-9	1-5, 14-16
----- -/--		
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C.		<input checked="" type="checkbox"/> Patent family members are listed in annex.
* Special categories of cited documents:		
A document defining the general state of the art which is not considered to be of particular relevance		*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
E earlier document but published on or after the international filing date		*X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)		*Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
O document referring to an oral disclosure, use, exhibition or other means		*Z* document member of the same patent family
P document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search 6 August 2004		Date of mailing of the international search report 16/08/2004
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Morris, D

INTERNATIONAL SEARCH REPORT

 International Application No
 PCT/IB2004/001362

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 6 498 438 B1 (EDWARDS MARTIN J) 24 December 2002 (2002-12-24) column 4, line 11 - column 6, line 12; figures 1-3 -----	6-8
X	US 2001/024186 A1 (ATHERTON JAMES HAROLD ET AL) 27 September 2001 (2001-09-27) paragraph '0055! - paragraph '0061!; figures 5,6 paragraph '0089! - paragraph '0096!; figures 10,11 paragraph '0103! - paragraph '0107!; figures 10-13 -----	1-4,6-19
Y	US 2002/175885 A1 (COK RONALD S) 28 November 2002 (2002-11-28) paragraph '0006! - paragraph '0007! paragraph '0011! - paragraph '0012! paragraph '0015! - paragraph '0017!; figures 1,2 -----	9-13, 17-19
Y	US 5 903 246 A (DINGWALL ANDREW GORDON FRANCIS) 11 May 1999 (1999-05-11) column 4, line 35 - column 5, line 24; figure 2 -----	9-13, 17-19

INTERNATIONAL SEARCH REPORT

 International Application No
 PCT/IB2004/001362

Patent document cited in search report	Publication date	Patent family member(s)	Publication date	
US 2002195968	A1	26-12-2002	EP 1405297 A1 WO 03001496 A1	07-04-2004 03-01-2003
US 2003052614	A1	20-03-2003	NONE	
EP 1191512	A	27-03-2002	JP 2002169510 A CN 1345021 A EP 1191512 A2 TW 508553 B US 2002047839 A1	14-06-2002 17-04-2002 27-03-2002 01-11-2002 25-04-2002
US 6498438	B1	24-12-2002	WO 0126088 A1	12-04-2001
US 2001024186	A1	27-09-2001	US 6229508 B1 EP 0905673 A1 JP 11219146 A	08-05-2001 31-03-1999 10-08-1999
US 2002175885	A1	28-11-2002	NONE	
US 5903246	A	11-05-1999	NONE	

フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20 6 4 1 P	
	G 0 9 G 3/20 6 1 1 H	
	H 0 5 B 33/14 A	

(81) 指定国 AP(BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(74) 代理人 100107766

弁理士 伊東 忠重

(72) 発明者 ディーン, スティーヴン シー

イギリス国, サリー アールエイチ1 5エイチエイ, レッドヒル, クロス・オーク・レーン, フィリップス インテレクチュアル プロパティ アンド スタンダーズ内(番地なし)

F ターム(参考) 3K107 AA01 BB01 CC33 CC45 EE03 GG55 HH04 HH05

5C080 AA06 BB05 DD05 DD29 EE29 FF07 FF11 HH09 JJ02 JJ03

JJ04

专利名称(译)	具有阈值电压漂移补偿的有源矩阵OLED显示器		
公开(公告)号	JP2006525539A	公开(公告)日	2006-11-09
申请号	JP2006506565	申请日	2004-04-20
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦电子股份有限公司的Vie		
[标]发明人	ディーンステイヴンシー		
发明人	ディーン,ステイヴン シー		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 G09G3/32		
CPC分类号	G09G3/3233 G09G2300/0417 G09G2300/0842 G09G2300/0852 G09G2300/0866 G09G2310/0254 G09G2310/0256 G09G2310/06 G09G2320/0233 G09G2320/029 G09G2320/043		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.621.K G09G3/20.670.K G09G3/20.642.P G09G3/20.641.P G09G3/20.611.H H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/CC45 3K107/EE03 3K107/GG55 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD29 5C080/EE29 5C080/FF07 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04		
代理人(译)	伊藤忠彦		
优先权	2003010109 2003-05-02 GB		
外部链接	Espacenet		

摘要(译)

有源矩阵显示装置具有可在两种模式下操作的OLED的显示像素阵列，其中电源线在低电压和正常电源电压之间变化。在第一模式中，像素驱动晶体管的电流被提供给显示元件，并被选择以提供所需的像素亮度。在第二模式中，电压被提供给驱动晶体管并被选择以提供所需的老化效应，但没有电流流过显示元件。帧时间分为两个时段。一个是当电源线是与用于例如15V的电压供应的情况下和接通所述显示设备上，和其他的，其被提供，例如，0V或-5V电压电源线，以关闭显示元件它是。在OFF时段中，电压也被施加到驱动晶体管，并且被选择为使得所有像素的驱动晶体管的总阈值电压漂移（引起老化）基本相同。

