

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02016/027425

発行日 平成29年5月25日(2017.5.25)

(43) 国際公開日 平成28年2月25日(2016.2.25)

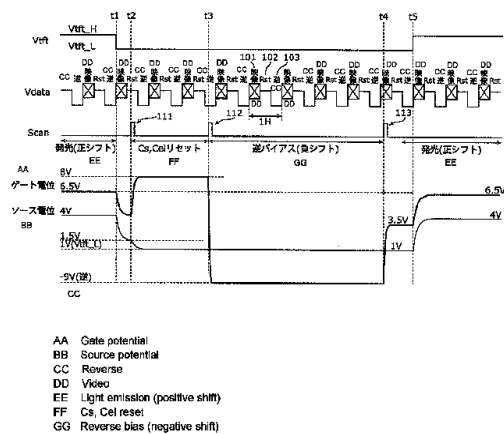
(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/3233 (2016.01)	G09G 3/3233	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
H01L 51/50 (2006.01)	G09G 3/20 623C	5C380
	G09G 3/20 623D	
	G09G 3/20 612E	
審査請求 有 予備審査請求 未請求 (全 36 頁) 最終頁に続く		

出願番号	特願2016-543802 (P2016-543802)	(71) 出願人	514188173
(21) 国際出願番号	PCT/JP2015/003887		株式会社 J O L E D
(22) 国際出願日	平成27年7月31日 (2015.7.31)		東京都千代田区神田錦町三丁目23番地
(31) 優先権主張番号	特願2014-167919 (P2014-167919)	(74) 代理人	100189430
(32) 優先日	平成26年8月20日 (2014.8.20)		弁理士 吉川 修一
(33) 優先権主張国	日本国 (JP)	(74) 代理人	100190805
			弁理士 傍島 正朗
		(72) 発明者	戎野 浩平
			日本国東京都千代田区神田錦町三丁目23番地 株式会社 J O L E D 内
		(72) 発明者	小野 晋也
			日本国大阪府門真市大字門真1006番地 パナソニック株式会社内
		最終頁に続く	

(54) 【発明の名称】 表示装置及びその駆動方法

(57) 【要約】

行列状に配置された複数の画素(4)を備える表示装置(1)の駆動方法であって、複数の画素(4)のそれぞれは、供給された電流に応じて発光する有機EL素子(40)と、有機EL素子(40)に電流を供給する駆動トランジスタ(41)と、駆動トランジスタ(41)のゲートとソース又はドレインとの間に接続された保持容量(42)とを備え、表示装置(1)の駆動方法は、有機EL素子(40)に電流を供給することで、有機EL素子(40)を発光させる発光ステップと、保持容量(42)と有機EL素子(40)の寄生容量との少なくとも一方の電荷をリセットするリセットステップと、駆動トランジスタ(41)のゲートとソースとの間に逆バイアス電圧を印加する逆バイアス印加ステップとを含み、リセットステップは、発光ステップと逆バイアス印加ステップとの間で実行される。



【特許請求の範囲】**【請求項 1】**

行列状に配置された複数の画素を備える表示装置の駆動方法であって、
前記複数の画素のそれぞれは、
供給された電流に応じて発光する発光素子と、
前記発光素子に電流を供給する駆動トランジスタと、
前記駆動トランジスタのゲートとソース又はドレインとの間に接続された保持容量とを
備え、
前記表示装置の駆動方法は、
前記発光素子に電流を供給することで、前記発光素子を発光させる発光ステップと、
前記保持容量と前記発光素子の寄生容量との少なくとも一方の電荷をリセットするリセ
ットステップと、
前記駆動トランジスタのゲート - ソース間に逆バイアス電圧を印加する逆バイアス印加
ステップとを含み、
前記リセットステップは、前記発光ステップと前記逆バイアス印加ステップとの間で実
行される
表示装置の駆動方法。

10

【請求項 2】

前記表示装置は、さらに、
前記複数の画素の前記駆動トランジスタのドレイン又はソースに接続される電源線と、
前記複数の画素の列毎に設けられたデータ線とを備え、
前記複数の画素のそれぞれは、さらに、
前記駆動トランジスタのゲートと前記データ線との間に接続されたスイッチングトラン
ジスタを備え、
前記リセットステップでは、前記スイッチングトランジスタを導通させることで、前記
データ線からリセット電位を前記駆動トランジスタのゲートに供給して、前記駆動トラン
ジスタを導通させ、前記保持容量及び前記寄生容量の少なくとも一方の電荷を前記電源線
に放出させる
請求項 1 に記載の表示装置の駆動方法。

20

【請求項 3】

前記電源線は、第 1 電位と、前記第 1 電位より低い第 2 電位とに選択的に設定され、
前記データ線は、画素信号に応じた信号電位を含む複数の電位に選択的に設定され、
前記発光ステップでは、前記電源線を前記第 1 電位に設定することで、前記発光素子に
前記電源線から前記駆動トランジスタを介して前記電流を供給し、
前記リセットステップでは、前記電源線が前記第 2 電位に設定され、かつ、前記デー
タ線が前記リセット電位に設定された状態で、前記スイッチングトランジスタを導通させ
ることで、前記駆動トランジスタのゲートに前記リセット電位を供給し、
前記逆バイアス印加ステップでは、前記電源線が前記第 2 電位に設定され、かつ、前記
データ線が逆バイアス電位に設定された状態で、前記スイッチングトランジスタを導通さ
せて、前記駆動トランジスタのゲートに前記逆バイアス電位を供給して、前記逆バイアス
電圧を印加する
請求項 2 に記載の表示装置の駆動方法。

30

【請求項 4】

前記リセット電位は、前記信号電位とは独立して予め定められた電位である
請求項 3 に記載の表示装置の駆動方法。

【請求項 5】

前記データ線には、前記複数の画素の行毎の前記信号電位が、1 水平期間毎に順に設定
され、
前記 1 水平期間は、
前記データ線に前記信号電位が設定される第 1 期間と、

50

前記データ線に前記リセット電位が設定される第２期間と、
前記データ線に前記逆バイアス電位が設定される第３期間とを含む
請求項４に記載の表示装置の駆動方法。

【請求項６】

前記データ線は、１水平周波数の３倍の周波数で駆動される
請求項５に記載の表示装置の駆動方法。

【請求項７】

前記データ線には、前記複数の画素の行毎の前記信号電位が、１水平期間毎に順に設定され、

連続する２水平期間はそれぞれ、前記データ線に前記信号電位が設定される第１期間を含み、

前記２水平期間の一方は、さらに、前記データ線に前記リセット電位が設定される第２期間を含み、

前記２水平期間の他方は、さらに、前記データ線に前記逆バイアス電位が設定される第３期間を含む

請求項４に記載の表示装置の駆動方法。

【請求項８】

前記リセット電位は、他の行の前記信号電位である

請求項３に記載の表示装置の駆動方法。

【請求項９】

前記電源線には、さらに、前記第１電位より低く、前記第２電位より高い第３電位が選択的に設定され、

前記表示装置の駆動方法は、さらに、

前記電源線が前記第２電位に設定され、かつ、前記データ線が他の行の前記信号電位に設定された状態で、前記スイッチングトランジスタを導通させて、前記駆動トランジスタのゲートに前記他の行の前記信号電位を供給することで、前記駆動トランジスタを導通させた後、前記駆動トランジスタを導通させた状態で、前記電源線を前記第３電位に設定することで、前記駆動トランジスタのソース及びドレインを前記第３電位に設定する書込み準備ステップと、

前記電源線が前記第３電位に設定され、かつ、前記データ線が当該画素に対応する前記信号電位に設定された状態で、前記スイッチングトランジスタを導通させることで、前記保持容量に信号電圧を書込む書込みステップとを含む

請求項８に記載の表示装置の駆動方法。

【請求項１０】

前記データ線は、１水平周波数の２倍の周波数で駆動される

請求項７～９のいずれか１項に記載の表示装置の駆動方法。

【請求項１１】

前記発光ステップと、前記リセットステップと、前記逆バイアス印加ステップとが、複数行において同時に実行される

請求項１０に記載の表示装置の駆動方法。

【請求項１２】

前記表示装置の駆動方法は、さらに、前記逆バイアス印加ステップの後に前記駆動トランジスタの閾値電圧を検出する閾値検出ステップを含む

請求項１～１１のいずれか１項に記載の表示装置の駆動方法。

【請求項１３】

前記逆バイアス電圧は、対応する画素に供給される信号電圧に基づいて決定される

請求項１～１２のいずれか１項に記載の表示装置の駆動方法。

【請求項１４】

行列状に配置された複数の画素を備える表示装置であって、

前記複数の画素のそれぞれは、

10

20

30

40

50

供給された電流に応じて発光する発光素子と、
前記発光素子に電流を供給する駆動トランジスタと、
前記駆動トランジスタのゲートとソース又はドレインとの間に接続された保持容量とを
備え、

前記表示装置は、

(i) 発光期間に、前記発光素子に電流を供給することで、前記発光素子を発光させ、
(i i) リセット期間に、前記保持容量と前記発光素子の寄生容量との少なくとも一方の
電荷をリセットし、(i i i) 逆バイアス印加期間に、前記駆動トランジスタのゲート -
ソース間に逆バイアス電圧を印加する制御部を備え、

前記リセット期間は、前記発光期間と前記逆バイアス印加期間との間である

10

表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、表示装置及びその駆動方法に関する。

【背景技術】

【0002】

電流駆動型の発光素子を用いた表示装置として、有機EL (E l e c t r o L u m i
n e s c e n c e) 素子を用いた表示装置が知られている。有機EL素子を用いた有機EL
表示装置は、液晶表示装置に必要なバックライトが不要で装置の薄型化に最適である。
また、視野角にも制限がないため、次世代の表示装置として実用化が期待されている。

20

【0003】

有機EL表示装置などのアクティブマトリクス型の表示装置は、複数の画素が行列状に
配置されている。画素は、有機EL素子と、画素信号に応じた駆動電流を有機EL素子に
供給する駆動トランジスタとを有する。

【0004】

駆動トランジスタとしては、薄膜トランジスタ (T F T : T h i n F i l m T r a
n s i s t o r) が用いられる。TFTでは、通電時のゲート - ソース間電圧などのスト
レスにより、TFTの閾値電圧が経時的にシフトする。閾値電圧の経時的なシフトは、有
機EL素子への供給電流量の変動の原因となるため、表示装置の輝度制御に影響し、表示
品質を悪化させる。

30

【0005】

これに対して、例えば、特許文献1には、非発光期間に映像信号に対応した逆バイアス
電圧を印加することで、駆動トランジスタの閾値電圧の変動を抑制する構成が開示されて
いる。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2009 - 168969号公報

【発明の概要】

40

【発明が解決しようとする課題】

【0007】

しかしながら、特許文献1に記載の構成では、有機EL素子の電気的特性のばらつき又
は駆動トランジスタの寄生容量の影響を受けて、適切な逆バイアス電圧が印加されない
という課題がある。このため、例えば、逆バイアス電圧が小さすぎる場合は、発光期間に生
じた駆動トランジスタの閾値電圧の変動を十分に抑制することができない。逆に、逆バイ
アス電圧が大きすぎる場合は、駆動トランジスタの閾値電圧を逆方向にシフトさせてしま
い、閾値電圧の変動を抑制することができない。

【0008】

そこで、本開示は、より高精度にトランジスタの閾値電圧の経時変動を抑制することが

50

できる表示装置及びその駆動方法を提供する。

【課題を解決するための手段】

【0009】

上記課題を解決するため、本開示に係る表示装置の駆動方法は、行列状に配置された複数の画素を備える表示装置の駆動方法であって、前記複数の画素のそれぞれは、供給された電流に応じて発光する発光素子と、前記発光素子に電流を供給する駆動トランジスタと、前記駆動トランジスタのゲートとソース又はドレインとの間に接続された保持容量とを備え、前記表示装置の駆動方法は、前記発光素子に電流を供給することで、前記発光素子を発光させる発光ステップと、前記保持容量と前記発光素子の寄生容量との少なくとも一方の電荷をリセットするリセットステップと、前記駆動トランジスタのゲート - ソース間に逆バイアス電圧を印加する逆バイアス印加ステップとを含み、前記リセットステップは、前記発光ステップと前記逆バイアス印加ステップとの間で実行される。

10

【発明の効果】

【0010】

本開示によれば、より高精度にトランジスタの閾値電圧の経時変動を抑制することができる。

【図面の簡単な説明】

【0011】

【図1】図1は、実施の形態1に係る有機EL表示装置の概要構成を示すブロック図である。

20

【図2】図2は、実施の形態1に係る有機EL表示装置における画素の回路構成を示す回路図である。

【図3】図3は、実施の形態1に係る有機EL表示装置における画素の低階調発光時の動作を示すタイミングチャートである。

【図4A】図4Aは、実施の形態1に係る有機EL表示装置における画素の低階調発光時の動作を示す状態遷移図である。

【図4B】図4Bは、実施の形態1に係る有機EL表示装置における画素の低階調発光時の動作を示す状態遷移図である。

【図5】図5は、実施の形態1に係る有機EL表示装置における画素の高階調発光時の動作を示すタイミングチャートである。

30

【図6A】図6Aは、実施の形態1に係る有機EL表示装置における画素の高階調発光時の動作を示す状態遷移図である。

【図6B】図6Bは、実施の形態1に係る有機EL表示装置における画素の高階調発光時の動作を示す状態遷移図である。

【図7】図7は、実施の形態2に係る有機EL表示装置における画素の動作を示すタイミングチャートである。

【図8A】図8Aは、実施の形態2に係る有機EL表示装置における画素の動作を示す状態遷移図である。

【図8B】図8Bは、実施の形態2に係る有機EL表示装置における画素の動作を示す状態遷移図である。

40

【図9】図9は、実施の形態3に係る有機EL表示装置における画素の動作を示すタイミングチャートである。

【図10】図10は、実施の形態4に係る有機EL表示装置における画素の動作を示すタイミングチャートである。

【図11A】図11Aは、実施の形態4に係る有機EL表示装置における画素の動作を示す状態遷移図である。

【図11B】図11Bは、実施の形態4に係る有機EL表示装置における画素の動作を示す状態遷移図である。

【図12】図12は、実施の形態5に係る有機EL表示装置における画素の高階調発光時の動作を示すタイミングチャートである。

50

【図 1 3】図 1 3 は、実施の形態 5 に係る有機 E L 表示装置における画素の低階調発光時の動作を示すタイミングチャートである。

【図 1 4】図 1 4 は、本開示の表示装置を内蔵した薄型フラットテレビの外観図である。

【発明を実施するための形態】

【0012】

以下、適宜図面を参照しながら、実施の形態を詳細に説明する。ただし、必要以上に詳細な説明は省略する場合がある。例えば、すでによく知られた事項の詳細説明、及び、実質的に同一の構成に対する重複説明などを省略する場合がある。これは、以下の説明が不必要に冗長になるのを避け、当業者の理解を容易にするためである。

【0013】

なお、発明者は、当業者が本開示を十分に理解するために添付図面及び以下の説明を提供するのであって、これらによって請求の範囲に記載の主題を限定することを意図するものではない。例えば、以下の実施の形態で示される数値、構成要素、構成要素の配置位置及び接続形態などは、一例であり、本開示を限定する主旨ではない。また、以下の実施の形態における構成要素のうち、最上位概念を示す独立請求項に記載されていない構成要素については、任意の構成要素として説明される。

【0014】

また、各図は、模式図であり、必ずしも厳密に図示されたものではない。また、各図において、同じ構成部材については同じ符号を付している。

【0015】

(実施の形態 1)

[1. 有機 E L 表示装置]

まず、本実施の形態に係る有機 E L 表示装置の構成について、図 1 及び図 2 を用いて説明する。図 1 は、本実施の形態に係る有機 E L 表示装置 1 の概要構成を示すブロック図である。図 2 は、本実施の形態に係る有機 E L 表示装置 1 における画素 4 の回路構成を示す回路図である。

【0016】

図 1 に示すように、有機 E L 表示装置 1 は、表示領域 2 と制御部 3 とを備える。表示領域 2 には、後述する画素 4 が行列状に配置されている。制御部 3 は、表示領域 2 に配置された複数の画素 4 に対する種々の制御を行う。制御部 3 は、図 1 に示すように、タイミング制御回路 5 と、走査線駆動回路 6 と、データ線駆動回路 7 と、電圧制御回路 8 とを備える。

【0017】

タイミング制御回路 5 は、例えば、走査線駆動回路 6 と、データ線駆動回路 7 と、電圧制御回路 8 との同期、及び、1 フレーム毎の有機 E L 表示装置 1 の動作のタイミング制御等を行う。

【0018】

走査線駆動回路 6 は、タイミング制御回路 5 からの制御信号に基づいて、表示領域 2 のスキャン線 60 を駆動する。例えば、走査線駆動回路 6 は、ゲートドライバ IC である。具体的には、走査線駆動回路 6 は、垂直同期信号及び水平同期信号に基づいて、各画素 4 に、スキャン信号を行毎に出力する。スキャン信号は、スキャン線 60 に出力され、接続先のスイッチングトランジスタ 43 (図 2 参照) の導通及び非導通を制御するために用いられるパルス信号である。

【0019】

データ線駆動回路 7 は、タイミング制御回路 5 からの制御信号に基づいて、表示領域 2 のデータ線 70 を駆動する。例えば、データ線駆動回路 7 は、ソースドライバ IC (データドライバ IC) である。具体的には、データ線駆動回路 7 は、水平同期信号に基づいて、各画素 4 に、当該画素の輝度を示す画素信号を出力する。画素信号は、データ線 70 に出力され、接続先の画素 4 の輝度を指示するために用いられる。

【0020】

10

20

30

40

50

電圧制御回路 8 は、表示領域 2 に各種電源電圧を供給する。各種電源電圧とは、図 2 に示す画素例では、V_{tft} 及び V_{e1} であり、それぞれ電源線 80 及び 81 (図 1 には示していない) を介して各画素 4 に供給される。なお、電圧制御回路 8 は、例えば、ゲートドライバ IC 又はデータドライバ IC に組み込まれていてもよい。

【0021】

なお、有機 EL 表示装置 1 は、例えば、図示しないが、CPU (Central Processing Unit)、制御プログラムを格納した ROM (Read Only Memory) などの記憶媒体、RAM (Random Access Memory) などの作業用メモリ、及び、通信回路を有するとしてもよい。例えば、画素信号は、例えば、CPU が制御プログラムを実行することにより生成されてもよい。

10

【0022】

[2 . 画素の回路構成]

次に、画素 4 の回路構成について、図 2 を用いて説明する。

【0023】

画素 4 は、有機 EL 素子 40 と、駆動トランジスタ 41 と、保持容量 42 と、スイッチングトランジスタ 43 とを備える。また、画素 4 には、スキャン線 60 と、データ線 70 と、電源線 80 と、電源線 81 とが接続されている。データ線 70 を介して供給された画素信号に応じた電圧 (すなわち、信号電圧) に対応する輝度で有機 EL 素子 40 が発光する。

【0024】

20

有機 EL 素子 40 は、供給された電流に応じて発光する発光素子の一例である。具体的には、有機 EL 素子 40 は、駆動トランジスタ 41 から供給される電流量に応じた輝度で発光する。有機 EL 素子 40 は、カソードが電源線 81 に接続され、アノードが駆動トランジスタ 41 のソースに接続されている。

【0025】

駆動トランジスタ 41 は、有機 EL 素子 40 に電流を供給する。例えば、駆動トランジスタ 41 は、有機 EL 素子 40 への電流の供給量を制御する電圧駆動型の駆動素子であり、有機 EL 素子 40 に電流を流すことで有機 EL 素子 40 を発光させる。

【0026】

具体的には、駆動トランジスタ 41 のドレインは、電源線 80 に接続され、ゲートはスイッチングトランジスタ 43 を介してデータ線 70 に接続されている。また、駆動トランジスタ 41 のゲートは、保持容量 42 の第 1 電極に接続され、ソースは保持容量 42 の第 2 電極及び有機 EL 素子 40 のアノードに接続されている。

30

【0027】

なお、本実施の形態では、後述する発光期間と容量リセット期間とでは、駆動トランジスタ 41 のソースとドレインとが入れ替わる。すなわち、発光期間では、駆動トランジスタ 41 の電源線 80 側の端子がドレインで、電源線 81 側の端子がソースであるのに対して、容量リセット期間では、駆動トランジスタ 41 の電源線 81 側の端子がドレインで、電源線 80 側の端子がソースになる。ただし、説明を簡単にするため、以下では、駆動トランジスタ 41 の電源線 80 側の端子をドレイン、電源線 81 側の端子をソースとして説明する。他の実施の形態でも同様である。

40

【0028】

駆動トランジスタ 41 は、保持容量 42 に保持された電圧に応じた電流量で、有機 EL 素子 40 に電流を流すことができる。つまり、有機 EL 表示装置 1 は、発光動作によって、保持容量 42 に保持された電圧に応じた輝度で有機 EL 素子 40 を発光させることができる。

【0029】

ここで、駆動トランジスタ 41 の閾値電圧は、駆動トランジスタ 41 が設けられた TFT 基板形成時の初期的な分布及び経時的な閾値電圧シフトなどによって画素 4 毎にばらつくことがある。このばらつきによる影響は、逆バイアス電圧を印加することによって抑制

50

することができる。具体的には、駆動トランジスタ 4 1 のゲート - ソース間に、信号電圧とは極性の異なる逆バイアス電圧を印加する。本実施の形態では、信号電圧は、0 ~ 1 0 V の範囲の正バイアス電圧であるので、逆バイアス電圧は、負バイアス電圧（例えば、- 1 0 V）である。

【0030】

なお、逆バイアス電圧の印加動作の詳細については、後で説明する。

【0031】

保持容量 4 2 は、駆動トランジスタ 4 1 のゲートとソースとの間に接続されている（保持容量 4 2 には閾値電圧だけでなく、逆バイアス電圧や画像信号電圧も保持される）。具体的には、保持容量 4 2 の第 2 電極は、駆動トランジスタ 4 1 のソース（電源線 8 1 側）と有機 EL 素子 4 0 のアノードとが接続されたノードに接続されている。保持容量 4 2 の第 1 電極は、駆動トランジスタ 4 1 のゲートに接続されている。また、保持容量 4 2 の第 1 電極は、スイッチングトランジスタ 4 3 を介してデータ線 7 0 と接続されている。

10

【0032】

スイッチングトランジスタ 4 3 は、駆動トランジスタ 4 1 のゲートとデータ線 7 0 との間に接続されたスイッチの一例である。スイッチングトランジスタ 4 3 は、画素信号を供給するためのデータ線 7 0 と保持容量 4 2 の第 1 電極（すなわち、駆動トランジスタ 4 1 のゲート）との導通及び非導通を切り換える。

【0033】

具体的には、スイッチングトランジスタ 4 3 は、ドレイン及びソースの一方がデータ線 7 0 に接続され、ドレイン及びソースの他方が保持容量 4 2 の第 1 電極に接続され、ゲートがスキャン線 6 0 に接続されている。言い換えると、スイッチングトランジスタ 4 3 は、データ線 7 0 を介して供給された画素信号に応じた電圧（すなわち、信号電圧）を保持容量 4 2 に書込むための機能を有する。

20

【0034】

スキャン線 6 0 は、表示領域 2 において、複数の画素 4 の行毎に設けられている。スキャン線 6 0 は、走査線駆動回路 6 に接続され、スイッチングトランジスタ 4 3 の導通及び非導通を切り替えるためのスキャン信号が伝達される。

【0035】

データ線 7 0 は、表示領域 2 において、複数の画素 4 の列毎に設けられている。つまり、データ線 7 0 は、複数の画素 4 の列毎に、当該列に配置された画素 4 に接続されている。例えば、第 m 列のデータ線 7 0 は、第 m 列の複数の画素 4 のスイッチングトランジスタ 4 3 に接続されている。

30

【0036】

データ線 7 0 は、画素信号に応じた信号電位を含む複数の電位に選択的に設定される。本実施の形態では、データ線 7 0 は、信号電位と、リセット電位と、逆バイアス電位とに選択的に設定される。

【0037】

信号電位は、画素 4 の輝度の応じた電位であり、保持容量 4 2 の第 1 電極（すなわち、駆動トランジスタ 4 1 のゲート）に供給される電位である。なお、画素 4 の輝度は、保持容量 4 2 に書込まれる信号電圧に応じて決まる。したがって、信号電位は、画素 4 の輝度に応じた信号電圧を基準電位に加えた値に設定される。なお、基準電位は、電源線 8 0 に設定される第 2 電位（後述する）である。

40

【0038】

リセット電位は、駆動トランジスタ 4 1 を導通させるための電位である。本実施の形態では、リセット電位は、信号電位とは独立して予め定められた電位である。具体的には、リセット電位は、駆動トランジスタ 4 1 の閾値電圧（例えば、2 V）より高い電圧を基準電位に加えた値である。

【0039】

逆バイアス電位は、駆動トランジスタ 4 1 のゲート - ソース間に逆バイアス電圧を印加

50

するための電位である。具体的には、逆バイアス電位は、基準電位よりも低い電位である。例えば、逆バイアス電位は、信号電位の最低値よりも低い電位であり、負の電位である。

【 0 0 4 0 】

電源線 8 0 及び 8 1 は、例えば、表示領域 2 において、複数の画素 4 の行毎に設けられている。つまり、電源線 8 0 及び 8 1 は、複数の画素 4 の行毎に、当該行に配置された画素 4 に接続されている。例えば、第 n 行の電源線 8 0 及び 8 1 は、第 n 行の複数の画素 4 の駆動トランジスタ 4 1 のドレインに接続されている。なお、電源線 8 0 は行毎に配置され、電源線 8 1 は列毎に配置されてもよい。

【 0 0 4 1 】

電源線 8 0 は、駆動トランジスタ 4 1 のドレインに接続され、有機 E L 素子 4 0 を発光させる電流を供給するための電源線である。電源線 8 0 は、第 1 電位と、第 1 電位より低い第 2 電位とに選択的に設定される。

【 0 0 4 2 】

第 1 電位は、有機 E L 素子 4 0 に電流を流すための電位であり、例えば、電源線 8 1 に設定される電位より高い。電源線 8 0 に第 1 電位が設定された場合に、有機 E L 素子 4 0 を発光させる電流を供給することができる。例えば、第 1 電位は、1.6 V である。

【 0 0 4 3 】

第 2 電位は、保持容量 4 2 及び有機 E L 素子 4 0 の寄生容量の電荷をリセットする際の基準となる電位である。また、第 2 電位は、保持容量 4 2 に信号電圧を書込む際の基準となる電位である。

【 0 0 4 4 】

例えば、第 2 電位は、電源線 8 1 に設定される電位に、有機 E L 素子 4 0 の閾値電圧（例えば、2 V）より低い電圧を加えた電位である。例えば、第 2 電位は、1 V である。なお、第 2 電位は、電源線 8 1 に設定される電位より低くてもよい。つまり、電源線 8 0 に第 2 電位が設定された場合に、有機 E L 素子 4 0 を発光させる電流を供給しないように、第 2 電位の値は決められる。

【 0 0 4 5 】

電源線 8 1 は、有機 E L 素子 4 0 のカソードに接続された電源線である。例えば、電源線 8 1 は、接地されている。言い換えると、電源線 8 1 には、0 V の電位が設定される。

【 0 0 4 6 】

以上のような画素 4 の構成により、有機 E L 表示装置 1 は、駆動トランジスタ 4 1 に精度良く逆バイアス電圧を印加することができ、より高精度にトランジスタの閾値電圧の経時変動を抑制することができる。このメカニズムについては、以下の動作説明において詳しく説明する。

【 0 0 4 7 】

なお、画素 4 を構成する複数のトランジスタ（駆動トランジスタ 4 1 及びスイッチングトランジスタ 4 3）は n 型 T F T として以下では説明を行うが、これに限らない。複数のトランジスタは、p 型 T F T でもよい。また、複数のトランジスタにおいて、n 型 T F T と p 型 T F T とが混在して用いられてもよい。

【 0 0 4 8 】

[3 . 有機 E L 表示装置の動作]

次に、有機 E L 表示装置 1 の動作について、図 3 ~ 図 6 B を用いて説明する。なお、以下で説明する各動作は、制御部 3 により実行される。なお、以下では、駆動トランジスタ 4 1 の閾値電圧が 2 V である場合を例に説明する。

【 0 0 4 9 】

[3 - 1 . 低階調発光時]

まず、画素 4 の低階調発光時の動作について、図 3、図 4 A 及び図 4 B を用いて説明する。

【 0 0 5 0 】

10

20

30

40

50

図 3 は、本実施の形態に係る有機 E L 表示装置 1 における画素 4 の低階調発光時の動作を示すタイミングチャートである。図 4 A 及び図 4 B は、本実施の形態に係る有機 E L 表示装置 1 における画素 4 の低階調発光時の動作を示す状態遷移図である。

【 0 0 5 1 】

具体的には、図 3 は、上から順に、電源線 8 0 に設定される電位 “ V t f t ”、データ線 7 0 に設定される電位 “ V d a t a ”、スキャン線 6 0 に供給されるスキャン信号 “ S c a n ”、並びに、駆動トランジスタ 4 1 のゲート電位（太実線）及びソース電位（細実線）を示している。

【 0 0 5 2 】

図 3 に示すように、電源線 8 0 には、第 1 電位 V t f t _ H と、第 2 電位 V t f t _ L とが選択的に設定される。具体的には、発光期間には、V t f t _ H が設定され、非発光期間には、V t f t _ L が設定される。

10

【 0 0 5 3 】

また、データ線 7 0 には、複数の画素 4 の行毎の信号電位（図 3 の “ 映像 ” ）が、1 水平期間（ 1 H ）毎に順に設定される。具体的には、1 水平期間は、データ線 7 0 に信号電位が設定される第 1 期間 1 0 1 と、データ線 7 0 にリセット電位が設定される第 2 期間 1 0 2 と、データ線に逆バイアス電位が設定される第 3 期間 1 0 3 とを含んでいる。言い換えると、データ線 7 0 は、1 水平期間に 3 つの異なる電位に設定される。すなわち、本実施の形態では、データ線駆動回路 7 は、1 水平周波数（すなわち、1 水平期間の逆数： 1 / 1 H ）の 3 倍の周波数でデータ線 7 0 を駆動する。

20

【 0 0 5 4 】

なお、第 1 期間 1 0 1、第 2 期間 1 0 2 及び第 3 期間 1 0 3 は、互いに同じ長さの期間、具体的には、1 水平期間の 3 分の 1 の期間であるが、これに限らない。第 1 期間 1 0 1、第 2 期間 1 0 2 及び第 3 期間 1 0 3 は、互いに異なる長さの期間でもよい。例えば、信号電位は、各画素 4 の保持容量 4 2 に正確な電圧を設定する必要があるため、第 1 期間 1 0 1 は長めに設定することが好ましい。一方、リセット電位については、駆動トランジスタ 4 1 を導通させることができればよく、信号電位ほど正確に電圧を設定する必要は無いため、第 2 期間 1 0 2 は第 1 期間 1 0 1 よりも短くても構わない。逆バイアス電位については、信号電位ほど正確に設定する必要は無いが、（駆動トランジスタの閾値電圧の経時変動を抑制するために適切な値を設定せねばならないため、）リセット電位と同等以上の精度で、電圧を設定することが好ましい。つまり、第 1 期間 1 0 1 が、第 2 期間 1 0 2 及び第 3 期間 1 0 3 よりも長くなるように設定することがより好ましい。

30

【 0 0 5 5 】

ここで、図 3 に示す例では、時刻 t 4 で信号電圧の書込みを行う。つまり、図 3 に示す信号電位は、時刻 t 4 の信号電位を除いて、他の行の画素に対応する信号電位を示している。

【 0 0 5 6 】

スキャン線 6 0 には、スイッチングトランジスタ 4 3 を導通させるためのスキャン信号 1 1 1 ~ 1 1 3 が所定のタイミングで供給される。図 3 に示すように、スキャン信号 1 1 1 ~ 1 1 3 は、パルス信号であり、それぞれのパルス幅は、第 1 期間 1 0 1、第 2 期間 1 0 2 及び第 3 期間 1 0 3 の各々より短い期間である。スキャン信号 1 1 1 ~ 1 1 3 のパルス幅は、共通でもよいし、第 1 期間 1 0 1、第 2 期間 1 0 2 及び第 3 期間 1 0 3 に応じて、個別に設定してもよい。スイッチングトランジスタ 4 3 は、パルス信号が供給された場合に、パルス信号のパルス幅に応じた期間のみ導通する。

40

【 0 0 5 7 】

< ~ 時刻 t 1 : 発光期間 >

図 3 に示す発光期間（ ~ 時刻 t 1 ）では、電源線 8 0 に V t f t _ H が設定されているので、図 4 A の（ a ）に示すように、保持容量 4 2 に保持された信号電圧（例えば 2 . 5 V ）に応じた電流が駆動トランジスタ 4 1 を介して有機 E L 素子 4 0 に流れる。V t f t _ H は、例えば、1 6 V である。

50

【 0 0 5 8 】

これにより、有機 E L 素子 4 0 は低輝度で発光する。このとき、有機 E L 素子 4 0 のアノード電位、すなわち、駆動トランジスタ 4 1 のソース電位は 4 V であり、駆動トランジスタ 4 1 のゲート電位は 6 . 5 V である。

【 0 0 5 9 】

< 時刻 t 1 ~ t 2 : 放電期間 >

次に、時刻 t 1 で、電源線 8 0 に $V_{tf t_L}$ を設定することにより、有機 E L 素子 4 0 の発光を終了する。 $V_{tf t_L}$ は、例えば、1 V である。

【 0 0 6 0 】

時刻 t 1 では、駆動トランジスタ 4 1 のゲート電位が 6 . 5 V であり、ドレイン電位が 1 V になるので、駆動トランジスタ 4 1 は導通し、保持容量 4 2 に保持された信号電圧が駆動トランジスタ 4 1 を介して電源線 8 0 に抜けていく。電荷の抜けによって、保持容量 4 2 の両端の電位が下がり、図 4 A の (b) に示すように、駆動トランジスタ 4 1 のゲート電位が 4 V、ソース電位が例えば 1 . 5 V になる。

10

【 0 0 6 1 】

このとき、駆動トランジスタ 4 1 の閾値電圧が 2 V であるため、保持容量 4 2 及び有機 E L 素子 4 0 の寄生容量の電荷は、徐々に電源線 8 0 に抜けていく。しかしながら、寄生容量が大きく、規定の時間内で保持容量 4 2 及び有機 E L 素子 4 0 の寄生容量の両方の電荷を抜くためには、駆動トランジスタ 4 1 のオン電圧は不十分である。このため、駆動トランジスタ 4 1 のソースに電荷が残り、不定電位となる。当該不定電位は、保持容量 4 2 及び有機 E L 素子 4 0 の寄生容量に応じて変動する。

20

【 0 0 6 2 】

また、このとき、不定電位は、電源線 8 1 の電位にも影響を受ける。電源線 8 1 の電位は、配線抵抗による電圧降下により、表示領域 2 の面内でばらつきが発生する。このため、画素 4 毎にソース電位が異なり、おおよそ 1 . 5 V になるとしか言えず、厳密には不定電位となる。

【 0 0 6 3 】

このように、駆動トランジスタ 4 1 のソースが不定電位になるので、逆バイアス電圧の大きさがソース電位に応じて変動してしまい、適切な逆バイアス電圧を印加することができなくなる。そこで、本実施の形態では、逆バイアス電圧を印加する前に、保持容量 4 2 及び有機 E L 素子 4 0 の寄生容量の電荷をリセットすることで、駆動トランジスタ 4 1 のソース電位を安定させる。

30

【 0 0 6 4 】

< 時刻 t 2 ~ t 3 : 容量リセット期間 >

時刻 t 2 で、図 4 A の (c) に示すように、スキャン線 6 0 にスキャン信号 1 1 1 を供給して、スイッチングトランジスタ 4 3 を導通させることで、駆動トランジスタ 4 1 のゲートにリセット電位を供給する。このとき、電源線 8 0 は $V_{tf t_L}$ に設定され、かつ、データ線 7 0 はリセット電位に設定されている。

【 0 0 6 5 】

ここで、リセット電位は、駆動トランジスタ 4 1 のゲートとドレイン (電源線 8 0) との間に、閾値電圧以上の電圧を印加するための電位である。リセット電位は、例えば、8 V である。

40

【 0 0 6 6 】

図 4 A の (c) に示すように、駆動トランジスタ 4 1 のゲートとドレインとの間には 7 V の電圧が印加されるので、駆動トランジスタ 4 1 のソース - ドレイン間が導通する。よって、保持容量 4 2 及び有機 E L 素子 4 0 の寄生容量に残っていた電荷は、電源線 8 0 に放出される。

【 0 0 6 7 】

これにより、図 4 A の (d) に示すように、駆動トランジスタ 4 1 のソース電位は、電源線 8 0 と同じ 1 V になる。このように、リセット期間を設けることで、駆動トランジス

50

タ 4 1 のソース電位を電源線 8 0 の電位と同じにすることができる。

【 0 0 6 8 】

なお、図 3 に示すように、リセット期間（時刻 $t_2 \sim t_3$ ）を略 2 水平期間としたが、これに限らない。リセット期間の長さは、保持容量 4 2 及び有機 EL 素子 4 0 の寄生容量の大きさなどによって、放電に十分な時間が設定されればよい。

【 0 0 6 9 】

< 時刻 $t_3 \sim t_4$: 逆バイアス印加期間 >

時刻 t_3 で、図 4 B の (e) に示すように、スキャン線 6 0 にスキャン信号 1 1 2 を供給して、スイッチングトランジスタ 4 3 を導通させることで、駆動トランジスタ 4 1 のゲートに逆バイアス電位を供給する。このとき、電源線 8 0 は $V_{tf}t_L$ に設定され、かつ、データ線 7 0 は逆バイアス電位に設定されている。

10

【 0 0 7 0 】

ここで、逆バイアス電位は、駆動トランジスタ 4 1 のゲート - ソース間に、逆バイアス電圧を印加するための電位である。

【 0 0 7 1 】

逆バイアス電圧は、例えば、保持容量 4 2 に保持される信号電圧とは極性が異なる電圧である。具体的には、逆バイアス電圧は、駆動トランジスタ 4 1 のゲート - ソース間に印加する負電圧である。駆動トランジスタ 4 1 のゲート - ソース間に負電圧を印加することで、発光期間に駆動トランジスタ 4 1 のゲート - ソース間に正電圧（信号電圧）が印加されたことによって発生した閾値電圧の正シフトを抑制することができる。

20

【 0 0 7 2 】

逆バイアス電圧は、駆動トランジスタ 4 1 のゲート電位、すなわち、逆バイアス電位と、ソース電位との差に相当する。ソース電位は、リセット期間によって電源線 8 0 と同電位の $V_{tf}t_L$ に設定されるので、逆バイアス電圧は、データ線 7 0 に設定される逆バイアス電位と、電源線 8 0 に設定される $V_{tf}t_L$ との差になる。すなわち、有機 EL 素子 4 0 のばらつき及び電源線 8 1 の電圧降下の影響を受けずに、適切な値の逆バイアス電圧を駆動トランジスタ 4 1 のゲート - ソース間に印加することができる。

【 0 0 7 3 】

本実施の形態では、逆バイアス電位は、電源線 8 0 に設定される $V_{tf}t_L$ よりも低く、例えば、 $-9V$ である。駆動トランジスタ 4 1 のソース電位は、 $1V$ に設定されているので、図 4 B の (f) に示すように、駆動トランジスタ 4 1 のゲート - ソース間には $-10V$ の逆バイアス電圧が印加される。これにより、駆動トランジスタ 4 1 の閾値電圧の経時変動を抑制することができる。なお、逆バイアス電位は必ずしも負電圧とは限らない。例えば、 $0V$ であってもよい。なぜなら、駆動トランジスタ 4 1 のソース電位は、 $1V$ に設定されているので、駆動トランジスタ 4 1 のゲート - ソース間には $-1V$ の逆バイアス電圧が印加されるので、同様の効果を見込むことができる。このように、逆バイアス電位は、データ線駆動回路 7 の出力可能な電位と、駆動トランジスタ 4 1 の特性とを鑑みて設定すればよく、必ずしも負電圧とは限らない。

30

【 0 0 7 4 】

なお、図 3 に示すように、逆バイアス印加期間（時刻 $t_3 \sim t_4$ ）を略 5 水平期間としたが、これに限らない。逆バイアス印加期間の長さは、駆動トランジスタ 4 1 の特性などによって、閾値電圧の経時変動を抑制するのに十分な期間が設定されればよい。

40

【 0 0 7 5 】

< 時刻 t_4 : 信号電圧の書込み >

時刻 t_4 で、図 4 B の (g) に示すように、スキャン線 6 0 にスキャン信号 1 1 3 を供給して、スイッチングトランジスタ 4 3 を導通させることで、保持容量 4 2 に信号電圧を書込む。このとき、電源線 8 0 は $V_{tf}t_L$ に設定され、かつ、データ線 7 0 は信号電位に設定されている。

【 0 0 7 6 】

このときの信号電位は、自画素に対応する信号電位である。つまり、信号電位は、自画

50

素が次の発光期間に発光すべき輝度に応じた信号電位である。例えば、図 4 B の (g) に示す例では、信号電位は、基準電位 (例えば 1 V) に低階調 (低輝度) の信号電圧 (例えば 2 . 5 V) を加えた値に相当し、具体的には、 3 . 5 V である。

【 0 0 7 7 】

< 時刻 t 5 ~ : 発光期間 >

時刻 t 5 で、電源線 8 0 を V t f t _ H に設定することで、有機 E L 素子 4 0 に電源線 8 0 から駆動トランジスタ 4 1 を介して電流を供給する。これにより、図 4 B の (h) に示すように、保持容量 4 2 に保持された信号電圧 (例えば 2 . 5 V) に応じた電流が流れて、有機 E L 素子 4 0 が発光する。

【 0 0 7 8 】

以上のように、低階調発光時には、逆バイアス電圧を印加する前に駆動トランジスタ 4 1 のソース電位が不定電位となる場合がある。このため、逆バイアス電圧を印加する前に容量のリセット期間を設けて、駆動トランジスタ 4 1 のソース電位を電源線 8 0 の第 2 電位 (V t f t _ L) に設定することで、適切な値の逆バイアス電圧を印加することができる。

【 0 0 7 9 】

[3 - 2 . 高階調発光時]

次に、画素 4 の低階調発光時の動作について、図 5、図 6 A 及び図 6 B を用いて説明する。

【 0 0 8 0 】

図 5 は、本実施の形態に係る有機 E L 表示装置 1 における画素 4 の高階調発光時の動作を示すタイミングチャートである。具体的には、同図は、上から順に、電源線 8 0 に供給される電位 “ V t f t ”、データ線 7 0 に供給される電位 “ V d a t a ”、スキャン線 6 0 に供給されるスキャン信号 “ S c a n ”、並びに、駆動トランジスタ 4 1 のゲート電位 (太実線) 及びソース電位 (細実線) を示している。

【 0 0 8 1 】

図 6 A 及び図 6 B は、本実施の形態に係る有機 E L 表示装置 1 における画素 4 の高階調発光時の動作を示す状態遷移図である。

【 0 0 8 2 】

なお、上述した低階調発光時と同じ点については、説明を省略する。

【 0 0 8 3 】

< ~ 時刻 t 1 : 発光期間 >

図 5 に示す発光期間 (~ t 1) では、電源線 8 0 に V t f t _ H が設定されているので、図 6 A の (a) に示すように、保持容量 4 2 に保持された信号電圧 (例えば 5 V) に応じた電流が駆動トランジスタ 4 1 を介して有機 E L 素子 4 0 に流れる。これにより、有機 E L 素子 4 0 は高輝度で発光する。このとき、有機 E L 素子 4 0 のアノード電位、すなわち、駆動トランジスタ 4 1 のソース電位は 7 V であり、駆動トランジスタ 4 1 のゲート電位は 1 2 V である。

【 0 0 8 4 】

< 時刻 t 1 ~ t 2 : 放電期間 >

次に、時刻 t 1 で、電源線 8 0 に V t f t _ L を設定することにより、有機 E L 素子 4 0 の発光を終了する。

【 0 0 8 5 】

時刻 t 1 では、駆動トランジスタ 4 1 のゲート電位が 1 2 V であり、ドレイン電位が 1 V になるので、駆動トランジスタ 4 1 は導通し、保持容量 4 2 に保持された信号電圧が駆動トランジスタ 4 1 を介して電源線 8 0 に抜けていく。電荷の抜けによって、保持容量 4 2 の両端の電位が下がり、図 6 A の (b) に示すように、駆動トランジスタ 4 1 のゲート電位が 6 V、ソース電位が 1 V になる。

【 0 0 8 6 】

すなわち、低階調発光時とは異なり、高階調発光時では、駆動トランジスタ 4 1 が完全

10

20

30

40

50

に導通した状態で、駆動トランジスタ 41 のソース電位が、電源線 80 に設定された $V_{tf_t_L}$ と同じになる。すなわち、保持容量 42 及び有機 EL 素子 40 の寄生容量はリセットされるので、リセット期間を設ける必要はない。

【0087】

しかしながら、各画素 4 にどのような階調の信号電圧が書込まれるかは不明であるために、保持容量 42 及び有機 EL 素子 40 の寄生容量を確実にリセットするためには、リセット期間は必要となる。

【0088】

<時刻 $t_2 \sim t_3$: 容量リセット期間>

時刻 t_2 で、図 6 A の (c) に示すように、スキャン線 60 にスキャン信号 111 を供給して、スイッチングトランジスタ 43 を導通させることで、駆動トランジスタ 41 のゲートにリセット電位を供給する。このとき、電源線 80 は $V_{tf_t_L}$ に設定され、かつ、データ線 70 はリセット電位に設定されている。

10

【0089】

このとき、駆動トランジスタ 41 のゲートとドレイン (電源線 80) との間には 7 V の電圧が印加されるので、駆動トランジスタ 41 のソース - ドレイン間が導通する。ただし、保持容量 42 及び有機 EL 素子 40 の寄生容量に保持されていた電荷は、放電期間 (時刻 $t_1 \sim t_2$) によって電源線 80 に放出されているので、実際には、リセット期間では電荷の流れはなく、駆動トランジスタ 41 のソース電位は、 $V_{tf_t_L}$ に維持されたままである。これにより、図 6 A の (d) に示すように、駆動トランジスタ 41 のソース電位は、電源線 80 と同じ 1 V になる。

20

【0090】

<時刻 $t_3 \sim t_4$: 逆バイアス印加期間>

時刻 t_3 で、図 6 B の (e) に示すように、スキャン線 60 にスキャン信号 112 を供給して、スイッチングトランジスタ 43 を導通させることで、駆動トランジスタ 41 のゲートに逆バイアス電位を供給する。このとき、電源線 80 は $V_{tf_t_L}$ に設定され、かつ、データ線 70 は逆バイアス電位に設定されている。

【0091】

具体的には、図 6 B の (f) に示すように、駆動トランジスタ 41 のゲート - ソース間には -10 V の逆バイアス電圧が印加される。これにより、駆動トランジスタ 41 の閾値電圧の経時変動を抑制することができる。

30

【0092】

<時刻 t_4 : 信号電圧の書込み>

時刻 t_4 で、図 6 B の (g) に示すように、スキャン線 60 にスキャン信号 113 を供給して、スイッチングトランジスタ 43 を導通させることで、保持容量 42 に信号電圧を書込む。このとき、電源線 80 は $V_{tf_t_L}$ に設定され、かつ、データ線 70 は信号電位に設定されている。例えば、図 6 B の (g) に示す例では、信号電位は、基準電位 (例えば 1 V) に高階調 (高輝度) の信号電圧 (例えば 5 V) を加えた値に相当し、具体的には、6 V である。

【0093】

40

<時刻 $t_5 \sim$: 発光期間>

時刻 t_5 で、電源線 80 を $V_{tf_t_H}$ に設定することで、有機 EL 素子 40 に電源線 80 から駆動トランジスタ 41 を介して電流を供給する。これにより、図 4 B の (h) に示すように、保持容量 42 に保持された信号電圧 (例えば 5 V) に応じた電流が流れて、有機 EL 素子 40 が発光する。

【0094】

以上のように、高階調発光時には、逆バイアス電圧を印加する前に駆動トランジスタ 41 のソース電位は、電源線 80 に設定された電位と同じになる。このため、逆バイアス電圧を印加する前に容量のリセット期間を設ける必要はないが、低階調発光時に備えて、リセット期間を設けることで、適切な値の逆バイアス電圧を印加することができる。なお、

50

リセット期間を設けた場合でも、上述したように高階調発光時の動作に影響を与えることはない。

【 0 0 9 5 】

[4 . 効果など]

以上のように、本実施の形態に係る有機 E L 表示装置 1 の駆動方法は、行列状に配置された複数の画素 4 を備える有機 E L 表示装置 1 の駆動方法であって、複数の画素 4 のそれぞれは、供給された電流に応じて発光する有機 E L 素子 4 0 と、有機 E L 素子 4 0 に電流を供給する駆動トランジスタ 4 1 と、駆動トランジスタ 4 1 のゲートとソース又はドレインとの間に接続された保持容量 4 2 とを備え、有機 E L 表示装置 1 の駆動方法は、有機 E L 素子 4 0 に電流を供給することで、有機 E L 素子 4 0 を発光させる発光ステップと、保持容量 4 2 と有機 E L 素子 4 0 の寄生容量との少なくとも一方の電荷をリセットするリセットステップと、駆動トランジスタ 4 1 のゲート - ソース間に逆バイアス電圧を印加する逆バイアス印加ステップとを含み、リセットステップは、発光ステップと逆バイアス印加ステップとの間で実行される。

10

【 0 0 9 6 】

これにより、逆バイアス電圧を印加する前に、保持容量 4 2 及び有機 E L 素子 4 0 の寄生容量の少なくとも一方の電荷をリセットするので、適切な値の逆バイアス電圧を駆動トランジスタ 4 1 のゲート - ソース間に印加することができる。つまり、保持容量 4 2 及び寄生容量の電荷をリセットしない場合は、駆動トランジスタ 4 1 のソース電位が不定電位になるのに対して、本実施の形態では、ソース電位は、電源線 8 0 の電位（具体的には、第 2 電位）になる。したがって、ソース電位は、電源線 8 1 の配線抵抗による電圧降下の影響も受けない。

20

【 0 0 9 7 】

したがって、ソース電位が安定するので、適切な逆バイアス電位をデータ線 7 0 に設定することで、駆動トランジスタ 4 1 のゲート - ソース間に適切な逆バイアス電圧を印加することができる。よって、より高精度に駆動トランジスタ 4 1 の閾値電圧の経時変動を抑制することができる。

【 0 0 9 8 】

また、例えば、本実施の形態では、有機 E L 表示装置 1 は、さらに、複数の画素 4 の駆動トランジスタ 4 1 のドレイン又はソースに接続される電源線 8 0 と、複数の画素 4 の列毎に設けられたデータ線 7 0 とを備え、複数の画素 4 のそれぞれは、さらに、駆動トランジスタ 4 1 のゲートとデータ線 7 0 との間に接続されたスイッチングトランジスタ 4 3 を備え、リセットステップでは、スイッチングトランジスタ 4 3 を導通させることで、データ線 7 0 からリセット電位を駆動トランジスタ 4 1 のゲートに供給して、駆動トランジスタ 4 1 を導通させ、保持容量 4 2 及び寄生容量の少なくとも一方の電荷を電源線 8 0 に放出させる。

30

【 0 0 9 9 】

これにより、駆動トランジスタ 4 1 を利用して、駆動トランジスタ 4 1 のソース電位を電源線 8 0 の電位と同じにすることができる。すなわち、駆動トランジスタ 4 1 のソース電位をリセットするためのリセットトランジスタなどが不要なく、回路構成を簡単にすることができる。例えば、図 2 に示すように、2 つのトランジスタと 1 つの容量素子を備えた、いわゆる 2 T r 1 C の回路構成で実現することができる。

40

【 0 1 0 0 】

また、例えば、本実施の形態では、電源線 8 0 は、第 1 電位と、前記第 1 電位より低い第 2 電位とに選択的に設定され、データ線 7 0 は、画素信号に応じた信号電位を含む複数の電位に選択的に設定され、発光ステップでは、電源線 8 0 を第 1 電位に設定することで、有機 E L 素子 4 0 に電源線 8 0 から駆動トランジスタ 4 1 を介して電流を供給し、リセットステップでは、電源線 8 0 が第 2 電位に設定され、かつ、データ線 7 0 がリセット電位に設定された状態で、スイッチングトランジスタ 4 3 を導通させることで、駆動トランジスタ 4 1 のゲートにリセット電位を供給し、逆バイアス印加ステップでは、電源線 8 0

50

が第2電位に設定され、かつ、データ線70が逆バイアス電位に設定された状態で、スイッチングトランジスタ43を導通させて、駆動トランジスタ41のゲートに逆バイアス電位を供給して、逆バイアス電圧を印加する。

【0101】

また、例えば、本実施の形態では、リセット電位は、信号電位とは独立して予め定められた電位である。

【0102】

これにより、確実に駆動トランジスタ41を導通させることができるリセット電位を供給することができるので、電荷のリセットを確実に行うことができる。

【0103】

また、例えば、本実施の形態では、データ線70には、複数の画素4の行毎の信号電位が、1水平期間毎に順に設定され、1水平期間は、データ線70に信号電位が設定される第1期間101と、データ線70にリセット電位が設定される第2期間102と、データ線70に逆バイアス電位が設定される第3期間103とを含む。

【0104】

また、例えば、本実施の形態では、データ線70は、1水平周波数(1/1H)の3倍の周波数で駆動される。すなわち、データ線70は、3倍駆動される。

【0105】

このように、データ線駆動回路7は、1水平期間内に信号電位、リセット電位及び逆バイアス電位のそれぞれを供給するように、3倍の周波数で駆動(3倍駆動)を行う必要がある。その一方で、電圧制御回路8は、第1電位と第2電位との2値で電源線80を駆動すればよい。つまり、電源線80を3値駆動する場合に比べて、消費電力を抑制することができる。また、簡易な構成で実現することができるので、コストの増加を抑制することができる。

【0106】

また、例えば、第1電位が16Vで、第2電位は1Vであるので、有機EL素子40の発光に利用する範囲内で容量の電荷のリセットを行うことができる。また、例えば、逆バイアス電位も-9Vでよく、データ線駆動回路7に要求される耐圧が小さくてもよい。このため、従来の電圧制御回路8を利用することができるので、コストの増加を抑制することができる。

【0107】

(実施の形態2)

以下では、実施の形態2に係る有機EL表示装置及びその駆動方法について説明する。

【0108】

なお、本実施の形態では、有機EL表示装置の構成、及び、画素の構成は実施の形態1と同様であり、その駆動動作が異なっている。したがって、以下では、各構成の説明は省略し、駆動動作を中心に説明する。

【0109】

図7は、本実施の形態に係る有機EL表示装置1における画素4の動作を示すタイミングチャートである。図8A及び図8Bは、本実施の形態に係る有機EL表示装置1における画素4の動作を示す状態遷移図である。

【0110】

具体的には、図7は、上から順に、電源線80に設定される電位“Vtft”、データ線70に設定される電位“Vdata”、スキャン線60に供給されるスキャン信号“Scan”、並びに、駆動トランジスタ41のゲート電位(太実線)及びソース電位(細実線)を示している。

【0111】

図7に示すように、電源線80には、第1電位Vtft__Hと、第2電位Vtft__L2と、第3電位Vtft__L1とが選択的に設定される。具体的には、発光期間には、Vtft__Hが設定され、非発光期間には、Vtft__L1又はVtft__L2が設定され

10

20

30

40

50

る。なお、 V_{tft_L1} は、 V_{tft_H} より低く、 V_{tft_L2} より高い電位である。 V_{tft_L1} は、信号電圧の書込みの際の基準となる電位である。 V_{tft_L2} は、保持容量42及び有機EL素子40の寄生容量の電荷をリセットする際の基準となる電位である。

【0112】

また、データ線70には、複数の画素4の行毎の信号電位（図7の“映像”）が、1水平期間（1H）毎に順に設定される。1水平期間は、データ線70に信号電位が設定される第1期間201と、データ線70に逆バイアス電位が設定される第3期間203とを含んでいる。言い換えると、データ線70は、1水平期間に2つの異なる電位に設定される。すなわち、本実施の形態では、データ線駆動回路7は、1水平周波数（ $1/1H$ ）の2倍の周波数でデータ線70を駆動する。

10

【0113】

具体的には、保持容量42及び有機EL素子40の寄生容量の電荷をリセットするのに用いるリセット電位として、他の行の信号電位を利用する。つまり、本実施の形態では、リセット電位は、他の行の信号電位である。

【0114】

なお、第1期間201及び第3期間203は、互いに同じ長さの期間、具体的には、1水平期間の半分の期間であるが、これに限らない。第1期間201及び第3期間203は、互いに異なる長さの期間でもよい。例えば、信号電位は各画素4の保持容量42に正確な電圧を設定する必要があるため、第1期間201は長めに設定することが好ましい。一方、逆バイアス電位については、信号電位ほど正確に設定する必要は無いため、第3期間203は第1期間201よりも短くても構わない。

20

【0115】

ここで、図7に示す例では、時刻 t_{16} で信号電圧の書込みを行う。つまり、図7に示す信号電位は、時刻 t_{16} の信号電位を除いて、他の行の画素に対応する信号電位を示している。なお、本実施の形態では、信号電位は、 V_{tft_L1} を基準電位として設定される。

【0116】

スキャン線60には、スイッチングトランジスタ43を導通させるためのスキャン信号211～214が所定のタイミングで供給される。図7に示すように、スキャン信号211～214は、パルス信号であり、それぞれのパルス幅は、第1期間201及び第3期間203の各々より短い期間である。スキャン信号211～214のパルス幅は、共通でもよいし、第1期間201及び第3期間203に応じて、個別に設定してもよい。スイッチングトランジスタ43は、パルス信号が供給された場合に、パルス信号のパルス幅に応じた期間のみ導通する。

30

【0117】

<～時刻 t_{11} ：発光期間>

図7に示す発光期間（～時刻 t_{11} ）では、電源線80に V_{tft_H} が設定されているので、図8Aの（a）に示すように、保持容量42に保持された信号電圧（例えば2.5V）に応じた電流が駆動トランジスタ41を介して有機EL素子40に流れる。

40

【0118】

これにより、有機EL素子40は低輝度で発光する。このとき、有機EL素子40のアノード電位、すなわち、駆動トランジスタ41のソース電位は4Vであり、駆動トランジスタ41のゲート電位は6.5Vである。

【0119】

<時刻 t_{11} ～ t_{12} ：放電期間>

次に、時刻 t_{11} で、電源線80に V_{tft_L2} を設定することにより、有機EL素子40の発光を終了する。 V_{tft_L2} は、例えば、-7Vである。

【0120】

時刻 t_{11} では、駆動トランジスタ41のゲート電位が6.5Vであり、ドレイン電位

50

が - 7 V になるので、駆動トランジスタ 4 1 は導通し、保持容量 4 2 に保持された信号電圧が駆動トランジスタ 4 1 を介して電源線 8 0 に抜けていく。電荷の抜けによって、保持容量 4 2 の両端の電位が下がり、図 8 A の (b) に示すように、駆動トランジスタ 4 1 のゲート電位が - 4 V、ソース電位が - 6 . 5 V になる。

【 0 1 2 1 】

このとき、駆動トランジスタ 4 1 の閾値電圧が 2 V であるため、保持容量 4 2 及び有機 E L 素子 4 0 の寄生容量の電荷は、徐々に電源線 8 0 に抜けていく。しかしながら、寄生容量が大きく、規定の時間内で保持容量 4 2 及び有機 E L 素子 4 0 の寄生容量の両方の電荷を抜くためには、駆動トランジスタ 4 1 のオン電圧は不十分である。このため、駆動トランジスタ 4 1 のソースに電荷が残り、不定電位となる。当該不定電位は、保持容量 4 2 及び有機 E L 素子 4 0 の寄生容量に応じて変動する。

10

【 0 1 2 2 】

< 時刻 t_{12} ~ t_{13} : 容量リセット期間 >

時刻 t_{12} で、図 8 A の (c) に示すように、スキャン線 6 0 にスキャン信号 2 1 1 を供給して、スイッチングトランジスタ 4 3 を導通させることで、駆動トランジスタ 4 1 のゲートに、他の行の信号電位を供給する。このとき、電源線 8 0 は $V_{tf}t_L2$ に設定され、かつ、データ線 7 0 は他の行の信号電位に設定されている。

【 0 1 2 3 】

本実施の形態では、他の行の信号電位を用いて、保持容量 4 2 及び有機 E L 素子 4 0 の寄生容量の電荷をリセットする。他の行の信号電位は、例えば、0 V ~ 1 0 V の不定の電位である。このため、電源線 8 0 に設定する $V_{tf}t_L2$ を - 7 V に設定することで、データ線 7 0 に印加される信号電位に関わらず、駆動トランジスタ 4 1 を導通させることができる。

20

【 0 1 2 4 】

具体的には、図 8 A の (c) に示すように、駆動トランジスタ 4 1 のゲートには、他の行の信号電位に応じた 0 V ~ 1 0 V の電位が設定され、ドレインには、- 7 V の電位が設定される。このため、駆動トランジスタ 4 1 のゲートとドレインとの間には、少なくとも 7 V 以上の電圧が印加され、駆動トランジスタ 4 1 のソース - ドレイン間は導通する。よって、保持容量 4 2 及び有機 E L 素子 4 0 の寄生容量に残っていた電荷は、電源線 8 0 に放出される。

30

【 0 1 2 5 】

これにより、駆動トランジスタ 4 1 のソース電位は、電源線 8 0 と同じ - 7 V になる。このように、リセット期間を設けることで、駆動トランジスタ 4 1 のソース電位を電源線 8 0 の電位と同じにすることができる。

【 0 1 2 6 】

< 時刻 t_{13} ~ t_{14} : 逆バイアス印加期間 >

時刻 t_{13} で、図 8 A の (d) に示すように、スキャン線 6 0 にスキャン信号 2 1 2 を供給して、スイッチングトランジスタ 4 3 を導通させることで、駆動トランジスタ 4 1 のゲートに逆バイアス電位を供給する。このとき、電源線 8 0 は $V_{tf}t_L2$ に設定され、かつ、データ線 7 0 は逆バイアス電位に設定されている。

40

【 0 1 2 7 】

ここで、駆動トランジスタ 4 1 のソース電位は、リセット期間によって電源線 8 0 と同電位の $V_{tf}t_L2$ に設定されるので、逆バイアス電圧は、データ線 7 0 に設定される逆バイアス電位と、電源線 8 0 に設定される $V_{tf}t_L2$ との差になる。すなわち、有機 E L 素子 4 0 のばらつき及び電源線 8 1 の電圧降下の影響を受けずに、適切な値の逆バイアス電圧を駆動トランジスタ 4 1 のゲート - ソース間に印加することができる。

【 0 1 2 8 】

本実施の形態では、逆バイアス電位は、電源線 8 0 に設定される $V_{tf}t_L2$ よりも低く、例えば、- 1 7 V である。駆動トランジスタ 4 1 のソース電位は、- 7 V に設定されているので、図 8 A の (d) に示すように、駆動トランジスタ 4 1 のゲート - ソース間

50

には - 10 V の逆バイアス電圧が印加される。これにより、駆動トランジスタ 41 の閾値電圧の経時変動を抑制することができる。

【0129】

なお、本実施の形態では、駆動トランジスタ 41 のソース電位が - 7 V となり、実施の形態 1 の場合（すなわち、1 V）よりも低くなる。このため、逆バイアス電位として必要な電位も - 17 V となり、実施の形態 1 の場合（すなわち、- 9 V）よりも低くなる。

【0130】

< 時刻 t_{14} ~ t_{16} : 書込み準備期間 >

時刻 t_{14} で、図 8 B の (e) に示すように、スキャン線 60 にスキャン信号 213 を供給して、スイッチングトランジスタ 43 を導通させることで、駆動トランジスタ 41 のゲートに他の行の信号電位を供給する。このとき、電源線 80 は V_{tft_L2} に設定され、かつ、データ線 70 は他の行の信号電位に設定されている。

10

【0131】

これにより、駆動トランジスタ 41 のゲート - ソース間には、閾値電圧 (2 V) 以上の値 (具体的には、7 V 以上の値) が印加されるので、駆動トランジスタ 41 のドレイン - ソース間は導通する。

【0132】

時刻 t_{15} で、図 8 B の (f) に示すように、電源線 80 に V_{tft_L1} を設定する。 V_{tft_L1} は、例えば、1 V である。駆動トランジスタ 41 は導通状態であるので、電源線 80 から保持容量 42 に電荷が供給されて、駆動トランジスタ 41 のソース電位は、電源線 80 と同じ 1 V になる。

20

【0133】

以上のように、信号電圧を書込む前に、ソース電位を V_{tft_L1} に設定するので、適切な値の信号電圧を保持容量 42 に書込むことができる。データ線 70 に供給される信号電位は、 V_{tft_L1} を基準に定められている。このため、書込み準備期間 (t_{14} ~ t_{16}) を設けることで、ソース電位が基準電位である V_{tft_L1} に設定されて、保持容量 42 に適切な信号電圧を書込むことができる。

【0134】

< 時刻 t_{16} : 信号電圧の書込み >

時刻 t_{16} で、図 8 B の (g) に示すように、スキャン線 60 にスキャン信号 214 を供給して、スイッチングトランジスタ 43 を導通させることで、保持容量 42 に信号電圧を書込む。このとき、電源線 80 は V_{tft_L1} に設定され、かつ、データ線 70 は信号電位に設定されている。

30

【0135】

このときの信号電位は、自画素に対応する信号電位である。つまり、信号電位は、自画素が次の発光期間に発光すべき輝度に応じた信号電位である。例えば、図 8 B の (g) に示す例では、信号電位は、基準電位 (例えば 1 V) に低階調 (低輝度) の信号電圧 (例えば 2.5 V) を加えた値に相当し、具体的には、3.5 V である。

【0136】

< 時刻 t_{17} ~ : 発光期間 >

40

時刻 t_{17} で、電源線 80 を V_{tft_H} に設定することで、有機 EL 素子 40 に電源線 80 から駆動トランジスタ 41 を介して電流を供給する。これにより、図 8 B の (h) に示すように、保持容量 42 に保持された信号電圧 (例えば 2.5 V) に応じた電流が流れて、有機 EL 素子 40 が発光する。

【0137】

以上のように、低階調発光時には、逆バイアス電圧を印加する前に駆動トランジスタ 41 のソース電位が不定電位となる場合がある。このため、逆バイアス電圧を印加する前に容量のリセット期間を設けて、駆動トランジスタ 41 のソース電位を電源線 80 の第 2 電位 (V_{tft_L2}) に設定することで、適切な値の逆バイアス電圧を印加することができる。

50

【 0 1 3 8 】

また、書込み準備期間を設けることで、駆動トランジスタ 4 1 のソース電位を電源線 8 0 の第 3 電位 (V_{tft_L1}) に設定することで、適切な値の信号電圧を保持容量 4 2 に書込むことができる。

【 0 1 3 9 】

以上のように、本実施の形態では、リセット電位は、他の行の信号電位である。

【 0 1 4 0 】

また、例えば、本実施の形態では、データ線 7 0 は、1 水平周波数 ($1 / 1 H$) の 2 倍の周波数で駆動される。すなわち、データ線 7 0 は、2 倍駆動される。

【 0 1 4 1 】

これにより、リセット電位として他の行の信号電位を利用するので、1 水平期間内に信号電位 (リセット電位) と逆バイアス電位とのそれぞれを供給するように、2 倍の周波数でデータ線 7 0 を駆動 (2 倍駆動) すればよい。したがって、実施の形態 1 に比べて、データ線 7 0 を低速で駆動することができるため、データ線駆動回路 7 の消費電力を低減することができる。

【 0 1 4 2 】

また、例えば、本実施の形態では、電源線 8 0 には、さらに、第 1 電位より低く、第 2 電位より高い第 3 電位が選択的に設定され、有機 E L 表示装置 1 の駆動方法は、さらに、電源線 8 0 が第 2 電位に設定され、かつ、データ線 7 0 が他の行の信号電位に設定された状態で、スイッチングトランジスタ 4 3 を導通させて、駆動トランジスタ 4 1 のゲートに他の行の信号電位を供給することで、駆動トランジスタ 4 1 を導通させた後、駆動トランジスタ 4 1 を導通させた状態で、電源線 8 0 を第 3 電位に設定することで、駆動トランジスタ 4 1 のソース及びドレインを第 3 電位に設定する書込み準備ステップと、電源線 8 0 が第 3 電位に設定され、かつ、データ線 7 0 が当該画素に対応する信号電位に設定された状態で、スイッチングトランジスタ 4 3 を導通させることで、保持容量 4 2 に信号電圧を書込む書込みステップとを含む。

【 0 1 4 3 】

これにより、信号電圧を適切に書込むことができ、所望の輝度で有機 E L 素子 4 0 を発光させることができる。したがって、表示領域 2 内での表示のばらつきなどを抑制することができる。

【 0 1 4 4 】

(実施の形態 3)

以下では、実施の形態 3 に係る有機 E L 表示装置及びその駆動方法について説明する。

【 0 1 4 5 】

なお、本実施の形態では、有機 E L 表示装置の構成、及び、画素の構成は実施の形態 1 と同様であり、その駆動動作が異なっている。したがって、以下では、各構成の説明は省略し、駆動動作を中心に説明する。

【 0 1 4 6 】

図 9 は、本実施の形態に係る有機 E L 表示装置 1 における画素 4 の動作を示すタイミングチャートである。

【 0 1 4 7 】

具体的には、図 9 は、上から順に、データ線 7 0 に供給される電位 “ V_{data} ”、行毎の電源線 8 0 に設定される電位 “ $V_{tft}(n)$ ” ~ “ $V_{tft}(n+3)$ ”、行毎のスキャン線 6 0 に供給されるスキャン信号 “ $Scan(n)$ ” ~ “ $Scan(n+3)$ ”、並びに、駆動トランジスタ 4 1 のゲート電位 (太実線) 及びソース電位 (細実線) を示している。例えば、 $V_{tft}(n) \sim V_{tft}(n+3)$ はそれぞれ、 n 番目 ~ $n+3$ 番目の行の電源線 8 0 に設定される電位を示し、 $Scan(n) \sim Scan(n+3)$ はそれぞれ、 n 番目 ~ $n+3$ 番目の行のスキャン線 6 0 に供給されるスキャン信号を示している。

【 0 1 4 8 】

図 9 に示すように、データ線 70 には、複数の画素 4 の行毎の信号電位（図 9 の“映像”）が、1 水平期間（1 H）毎に順に設定される。つまり、1 水平期間は、データ線 70 に信号電位が設定される第 1 期間 301 を含む。また、連続する 2 水平期間の一方は、データ線 70 にリセット電位が設定される第 2 期間 302 を含み、連続する 2 水平期間の他方は、データ線 70 に逆バイアス電位が設定される第 3 期間 303 を含む。つまり、2 水平期間が 1 つの繰り返し単位である。すなわち、本実施の形態では、データ線駆動回路 7 は、1 水平周波数（1 / 1 H）の 2 倍の周波数でデータ線 70 を駆動する。

【0149】

また、電圧制御回路 8 は、電源線 80 を 2 行毎に電位の設定を行う。具体的には、 $V_{tft}(n)$ 及び $V_{tft}(n+1)$ に示すように、 n 番目及び $n+1$ 番目の行の電源線 80 には、同じタイミングで同じ電位が設定される。 $n+2$ 番目及び $n+3$ 番目の電源線 80 についても同様である。

10

【0150】

また、走査線駆動回路 6 は、書込み用のスキャン信号を 1 行毎に、異なるタイミングで（具体的には、1 水平期間ずつずらして）供給する。例えば、 $Scan(n)$ 及び $Scan(n+1)$ に示すように、 n 番目のスキャン線 60 にスキャン信号 313 が供給された後、1 水平期間経過した時点で、 $n+1$ 番目の行のスキャン線 60 にスキャン信号 314 が供給される。

【0151】

一方で、走査線駆動回路 6 は、リセット用のスキャン信号と逆バイアス印加用のスキャン信号とを、2 行毎に、異なるタイミングで（具体的には、例えば、リセット用のスキャン信号と逆バイアス印加用のスキャン信号とを 1 水平期間ずつずらして）供給する。逆バイアス印加用のスキャン信号についても同様である。例えば、 $Scan(n)$ 及び $Scan(n+1)$ に示すように、 n 番目及び $n+1$ 番目の行のスキャン線 60 には、リセット用のスキャン信号 311 と逆バイアス印加用のスキャン信号 312 とがそれぞれ、同じタイミングで供給される。 $n+2$ 番目及び $n+3$ 番目のスキャン信号についても同様である。

20

【0152】

以下では、 n 番目及び $n+1$ 番目の行に着目して、画素 4 の動作について説明する。なお、画素 4 の回路の状態遷移図については、図 4 A 及び図 4 B と同様であるので、実施の形態 1 と同じ点については説明を簡略化又は省略する。

30

【0153】

< ~時刻 t_{21} : 発光期間 >

図 9 に示す発光期間（~時刻 t_{21} ）では、 $V_{tft}(n)$ 及び $V_{tft}(n+1)$ に示すように、電源線 80 に V_{tft_H} が設定されているので、有機 EL 素子 40 は、保持容量 42 に保持された信号電圧に応じた電流が流れて発光する（図 4 A の（a）参照）。このとき、 n 番目の行の画素 4 の有機 EL 素子 40 と、 $n+1$ 番目の行の画素 4 の有機 EL 素子 40 とが発光している。

【0154】

< 時刻 t_{21} ~ t_{22} : 放電期間 >

40

時刻 t_{21} で、 $V_{tft}(n)$ 及び $V_{tft}(n+1)$ に示すように、電源線 80 に V_{tft_L} を設定することにより、有機 EL 素子 40 の発光を終了する。発光が終了すると同時に、駆動トランジスタ 41 のソース - ドレイン間を通して電源線 80 に、保持容量 42 から電荷が抜ける。電荷の抜けによって、保持容量 42 の両端の電位が下がり、駆動トランジスタ 41 のゲート電位が 4 V、ソース電位が 1.5 V になる（図 4 A の（b）参照）。また、 n 番目及び $n+1$ 番目の発光期間の終了時（時刻 t_{21} ）から 2 水平期間経過後に、 $n+2$ 番目及び $n+3$ 番目の発光期間が終了する。

【0155】

< 時刻 t_{22} ~ t_{23} : 容量リセット期間 >

時刻 t_{22} で、スキャン線 60 にスキャン信号 311 を供給して、スイッチングトラン

50

ジスタ 4 3 を導通させることで、駆動トランジスタ 4 1 のゲートにリセット電位（具体的には、8 V）を供給する。これにより、駆動トランジスタ 4 1 のソース - ドレイン間を導通させて、保持容量 4 2 及び有機 E L 素子 4 0 の寄生容量に残っていた電荷を、電源線 8 0 に放出させる。これにより、駆動トランジスタ 4 1 のソース電位を電源線 8 0 の電位（具体的には、1 V）と同じにすることができる（図 4 A の（c）及び（d）参照）。なお、リセット期間（時刻 t_{22} ~ t_{23} ）を略 1 水平期間としたが、これに限らない。リセット期間の長さは、保持容量 4 2 及び有機 E L 素子 4 0 の寄生容量の大きさなどによって、放電に十分な時間が設定されればよい。

【0156】

<時刻 t_{23} ~ t_{24} : 逆バイアス印加期間>

時刻 t_{23} で、スキャン線 6 0 にスキャン信号 3 1 2 を供給して、スイッチングトランジスタ 4 3 を導通させることで、駆動トランジスタ 4 1 のゲートに逆バイアス電位（具体的には、- 9 V）を供給する。これにより、駆動トランジスタ 4 1 のゲート - ソース間に逆バイアス電圧（具体的には、- 10 V）を供給する（図 4 B の（e）及び（f）参照）。

【0157】

なお、図 9 に示すように、 n 番目及び $n + 1$ 番目の行の逆バイアス印加期間中に、 $n + 2$ 番目及び $n + 3$ 番目の行の発光期間が終了するが、これに限らない。具体的には、リセット期間（時刻 t_{22} ~ t_{23} ）の長さによって、容量リセット期間中に、 $n + 2$ 番目及び $n + 3$ 番目の行の発光期間が終了する場合も考えられる。

【0158】

<時刻 t_{24} 及び t_{25} : 信号電圧の書込み>

時刻 t_{24} で、図 9 の S c a n (n) に示すように、 n 番目の行のスキャン線 6 0 にスキャン信号 3 1 3 を供給して、 n 番目の行の保持容量 4 2 に信号電圧を書込む（図 4 B の（g）参照）。そして、時刻 t_{25} で、 $n + 1$ 番目の行のスキャン線 6 0 にスキャン信号 3 1 4 を供給して、 $n + 1$ 番目の行の保持容量 4 2 に信号電圧を書込む。

【0159】

本実施の形態では、列毎にデータ線 7 0 が設けられているので、信号電圧は行毎に書込む必要がある。言い換えると、同時に複数行の信号電圧を保持容量 4 2 に書込むことができないので、 n 番目の行と $n + 1$ 番目の行とでは、信号電圧の書込むタイミングをずらしている。

【0160】

<時刻 t_{26} ~ : 発光期間>

時刻 t_{26} で、図 9 の V t f t (n) 及び V t f t ($n + 1$) に示すように、電源線 8 0 を V t f t _ H に設定することで、有機 E L 素子 4 0 に電源線 8 0 から駆動トランジスタ 4 1 を介して電流を供給する（図 4 B の（h）参照）。これにより、保持容量 4 2 に保持された信号電圧（例えば 2 . 5 V）に応じた電流が流れて、有機 E L 素子 4 0 が発光する。このとき、 n 番目の行の画素 4 の有機 E L 素子 4 0 と、 $n + 1$ 番目の行の画素 4 の有機 E L 素子 4 0 とが同時に発光する。

【0161】

以上のように、本実施の形態では、データ線 7 0 には、複数の画素 4 の行毎の信号電位が、1 水平期間毎に順に設定され、連続する 2 水平期間はそれぞれ、データ線 7 0 に信号電位が設定される第 1 期間 3 0 1 を含み、2 水平期間の一方は、さらに、データ線 7 0 にリセット電位が設定される第 2 期間 3 0 2 を含み、2 水平期間の他方は、さらに、7 0 データ線に逆バイアス電位が設定される第 3 期間 3 0 3 を含む。

【0162】

また、例えば、本実施の形態では、データ線 7 0 は、1 水平周波数（1 / 1 H）の 2 倍の周波数で駆動される。すなわち、データ線 7 0 は、2 倍駆動される。

【0163】

これにより、電圧制御回路 8 は、第 1 電位と第 2 電位との 2 値で電源線 8 0 を駆動すれ

10

20

30

40

50

ばよく、データ線駆動回路 7 は、2 倍の周波数でデータ線 70 を駆動すればよい。したがって、データ線 70 を 3 倍の周波数で駆動する場合に比べて消費電力を抑制することができる。また、電源線 80 を 3 値駆動する場合に比べて、電圧制御回路 8 を簡易な構成で実現することができ、コストの増加を抑制することができる。

【0164】

なお、本実施の形態では、電圧制御回路 8 は、電源線 80 を 2 行毎に電位の設定を行ったが、3 行毎又は 4 行毎の様に、 m 行毎 ($m \geq 2$ の自然数) に電位の設定を行ってもよい。具体的には、 $V_{tft}(n) \sim V_{tft}(n+m-1)$ に示すように、 n 番目 $\sim n+m-1$ 番目の行の電源線 80 には、同じタイミングで同じ電位が設定される。この場合、信号電圧の書込み期間を除く、放電期間、容量リセット期間、逆バイアス印加期間及び発光期間について、 n 番目 $\sim n+m-1$ 番目の行が同時に行われることになる。つまり、本実施の形態では、発光ステップと、リセットステップと、逆バイアス印加ステップとが、複数行において同時に実行されてもよい。

10

【0165】

これにより、電圧制御回路 8 は、電源線 80 の制御を複数行まとめて行うことが可能になるので、回路規模を削減することが可能となり、電源線 80 を行毎に駆動する場合に比べて、電圧制御回路 8 を簡易な構成で実現することができ、コストの増加を抑制することができる。

【0166】

(実施の形態 4)

20

以下では、実施の形態 4 に係る有機 EL 表示装置及びその駆動方法について説明する。

【0167】

なお、本実施の形態では、有機 EL 表示装置の構成、及び、画素の構成は実施の形態 1 と同様であり、その駆動動作が異なっている。したがって、以下では、各構成の説明は省略し、駆動動作を中心に説明する。

【0168】

本実施の形態では、実施の形態 1 の動作に加えて、駆動トランジスタ 41 の閾値電圧の検出を行う点が異なっている。

【0169】

図 10 は、本実施の形態に係る有機 EL 表示装置 1 における画素 4 の動作を示すタイミングチャートである。図 11A 及び図 11B は、本実施の形態に係る有機 EL 表示装置 1 における画素 4 の動作を示す状態遷移図である。

30

【0170】

具体的には、図 10 は、上から順に、電源線 80 に設定される電位 " V_{tft} "、データ線 70 に設定される電位 " V_{data} "、スキャン線 60 に供給されるスキャン信号 " $Scan$ "、並びに、駆動トランジスタ 41 のゲート電位 (太実線) 及びソース電位 (細実線) を示している。

【0171】

電源線 80 には、第 1 電位 V_{tft_H} と、第 2 電位 V_{tft_L} とが選択的に設定される。具体的には、発光期間と閾値検出期間とには、 V_{tft_H} が設定され、閾値検出期間を除く非発光期間には、 V_{tft_L} が設定される。

40

【0172】

データ線 70 の駆動タイミングは、実施の形態 1 と同様である。

【0173】

< ~時刻 t_{31} : 発光期間 >

図 10 に示す発光期間 (~時刻 t_{31}) では、電源線 80 に V_{tft_H} が設定されているので、図 11A の (a) に示すように、保持容量 42 に保持された信号電圧 (例えば 5V) に応じた電流が駆動トランジスタ 41 を介して有機 EL 素子 40 に流れる。これにより、有機 EL 素子 40 は高輝度で発光する。このとき、有機 EL 素子 40 のアノード電位、すなわち、駆動トランジスタ 41 のソース電位は 7V であり、駆動トランジスタ 41

50

のゲート電位は 12 V である。

【0174】

<時刻 t_{31} ~ t_{32} : 放電期間>

次に、時刻 t_{31} で、電源線 80 に V_{tf_L} を設定することにより、有機 EL 素子 40 の発光を終了する。 V_{tf_L} は、例えば、-5 V である。

【0175】

時刻 t_{31} では、駆動トランジスタ 41 のゲート電位が 12 V であり、ドレイン電位が 1 V になるので、駆動トランジスタ 41 は導通し、保持容量 42 に保持された信号電圧が駆動トランジスタ 41 を介して電源線 80 に抜けていく。電荷の抜けによって、保持容量 42 の両端の電位が下がり、図 11A の (b) に示すように、駆動トランジスタ 41 のゲート電位が 0 V、ソース電位が -5 V になる。

10

【0176】

<時刻 t_{32} ~ t_{33} : 容量リセット期間>

時刻 t_{32} で、図 11A の (c) に示すように、スキャン線 60 にスキャン信号 411 を供給して、スイッチングトランジスタ 43 を導通させることで、駆動トランジスタ 41 のゲートにリセット電位を供給する。このとき、電源線 80 は V_{tf_L} に設定され、かつ、データ線 70 はリセット電位 (具体的には、2 V) に設定されている。

【0177】

このとき、駆動トランジスタ 41 のゲートとドレインとの間には 7 V の電圧が印加されるので、駆動トランジスタ 41 のソース - ドレイン間が導通する。ただし、保持容量 42 及び有機 EL 素子 40 の寄生容量に保持されていた電荷は、放電期間 (時刻 t_1 ~ t_2) によって電源線 80 に放出されているので、実際には、リセット期間では電荷の流れはなく、駆動トランジスタ 41 のソース電位は、 V_{tf_L} (-5 V) に維持されたままである。

20

【0178】

すなわち、実施の形態 1 と同様に、保持容量 42 及び有機 EL 素子 40 の寄生容量はリセットされるので、リセット期間を設ける必要はないが、各画素 4 にどのような階調の信号電圧が書込まれるかは不明であるために、保持容量 42 及び有機 EL 素子 40 の寄生容量を確実にリセットするためには、リセット期間は必要となる。

【0179】

<時刻 t_{33} ~ t_{34} : 逆バイアス印加期間>

時刻 t_{33} で、図 11A の (d) に示すように、スキャン線 60 にスキャン信号 412 を供給して、スイッチングトランジスタ 43 を導通させることで、駆動トランジスタ 41 のゲートに逆バイアス電位を供給する。このとき、電源線 80 は V_{tf_L} に設定され、かつ、データ線 70 は逆バイアス電位 (具体的には、-15 V) に設定されている。

30

【0180】

具体的には、図 11A の (d) に示すように、駆動トランジスタ 41 のゲート - ソース間には -10 V の逆バイアス電圧が印加される。これにより、駆動トランジスタ 41 の閾値電圧の経時変動を抑制することができる。

【0181】

<時刻 t_{34} : 閾値電圧の検出準備>

時刻 t_{34} で、図 11B の (e) に示すように、スキャン線 60 にスキャン信号 413 を供給して、スイッチングトランジスタ 43 を導通させることで、駆動トランジスタ 41 のゲートにリセット電位 (具体的には、2 V) を供給する。これにより、駆動トランジスタ 41 のゲート - ソース間に閾値電圧以上の電圧が印加されて、駆動トランジスタ 41 が導通する。これにより、駆動トランジスタ 41 のソース電位が電源線 80 と同じ -5 V に設定される。

40

【0182】

<時刻 t_{35} ~ t_{37} : 閾値電圧検出期間>

時刻 t_{35} で、図 11B の (f) に示すように、電源線 80 が V_{tf_H} に設定され

50

、かつ、データ線 70 がリセット電位に設定された状態で、スキャン線 60 にスキャン信号 414 を供給して、スイッチングトランジスタ 43 を導通させる。これにより、駆動トランジスタ 41 のゲート - ソース間に閾値電圧以上の電圧が印加されて、駆動トランジスタ 41 が導通し、電源線 80 から保持容量 42 に電荷が供給される。

【0183】

ここでは、図 10 に示すように、複数回、具体的には、時刻 t_{35} 、 t_{36} 及び t_{37} の 3 回、スキャン信号 414 ~ 416 を供給する。これにより、保持容量 42 に、駆動トランジスタ 41 の閾値電圧を保持させることができる。なお、スキャン信号を供給する回数はこれに限らず、例えば、1 回でもよい。

【0184】

< 時刻 t_{38} : 信号電圧の書込み >

時刻 t_{38} で、図 11B の (g) に示すように、スキャン線 60 にスキャン信号 417 を供給して、スイッチングトランジスタ 43 を導通させることで、保持容量 42 に信号電圧を書込む。このとき、電源線 80 が V_{th} に設定され、かつ、データ線 70 が信号電位に設定されている。

【0185】

なお、このとき、信号電圧と駆動トランジスタ 41 の移動度とに応じた電流が、電源線 80 から保持容量 42 に流れ込み、保持容量 42 に書込まれた信号電圧が流れ込んだ電流に応じて変動する。つまり、移動度補正を行うことができる。

【0186】

< 時刻 t_{39} ~ : 発光期間 >

時刻 t_{39} で、スイッチングトランジスタ 43 が非導通になった後、図 11B の (h) に示すように、電源線 80 から駆動トランジスタ 41 を介して有機 EL 素子 40 に電流が供給される。これにより、保持容量 42 に保持された信号電圧 (例えば 5V) に応じた電流が流れて、有機 EL 素子 40 は発光する。

【0187】

以上のように、本実施の形態では、有機 EL 表示装置 1 の駆動方法は、さらに、逆バイアス印加ステップの後に駆動トランジスタ 41 の閾値電圧を検出する閾値検出ステップを含む。

【0188】

これにより、駆動トランジスタ 41 の閾値電圧の検出を行うので、適切な信号電圧を保持容量 42 に書込むことができる。したがって、表示領域 2 内での表示のばらつきなどを抑制することができる。

【0189】

(実施の形態 5)

以下では、実施の形態 5 に係る有機 EL 表示装置及びその駆動方法について説明する。

【0190】

なお、本実施の形態では、有機 EL 表示装置の構成、及び、画素の構成は実施の形態 1 と同様であり、その駆動動作が異なっている。したがって、以下では、各構成の説明は省略し、駆動動作を中心に説明する。

【0191】

上述した実施の形態 1 ~ 4 では、逆バイアス電圧が一定値である例について説明した。逆バイアス電圧を印加した場合、閾値電圧が負シフトする。これを利用して、上述した実施の形態 1 ~ 4 では、発光期間中に正シフトした閾値電圧を負シフトさせることで、閾値電圧の経時変動を抑制することができる。

【0192】

しかしながら、逆バイアス電圧を印加しすぎた場合、場合によっては、閾値電圧が負にシフトしすぎる場合がある。例えば、ほとんど黒表示で正バイアスが 0V に近い画素に対して、常に -10V の逆バイアス電圧を印加し続けた場合、駆動トランジスタ 41 の閾値電圧は負にシフトする恐れがある。閾値電圧が負にシフトした場合、周囲の画素よりも明

10

20

30

40

50

るく発光し、逆焼付きを引き起こす恐れがある。

【0193】

そこで、本実施の形態では、逆バイアス電圧を信号電圧（すなわち、正バイアス電圧）に応じた値に決定する。

【0194】

これにより、正バイアス電圧に応じた負バイアス電圧を印加することで、駆動トランジスタ41の閾値変動を適切に抑制することができる。つまり、負にシフトしすぎないようにすることができる。

【0195】

図12は、本実施の形態に係る有機EL表示装置1における画素4の高階調発光時の動作を示すタイミングチャートである。図13は、本実施の形態に係る有機EL表示装置1における画素4の低階調発光時の動作を示すタイミングチャートである。

【0196】

図12に示す例では、時刻 t_1 以前は、ゲート電位が12Vで、かつ、ソース電位が7Vであるから、保持容量42に5Vの信号電圧が書込まれた状態で、有機EL素子40が発光している。この場合において、時刻 $t_3 \sim t_4$ の逆バイアス印加期間では、ゲート電位が-4Vで、かつ、ソース電位が1Vであるから、駆動トランジスタ41のゲート-ソース間には、-5Vの逆バイアス電圧が印加されている。

【0197】

図13に示す例では、時刻 t_1 以前は、ゲート電位が9Vで、かつ、ソース電位が6Vであるから、保持容量42に3Vの信号電圧が書込まれた状態で、有機EL素子40が発光している。この場合において、時刻 $t_3 \sim t_4$ の逆バイアス印加期間では、ゲート電位が-2Vで、かつ、ソース電位が1Vであるから、駆動トランジスタ41のゲート-ソース間には、-3Vの逆バイアス電圧が印加されている。

【0198】

以上のように、例えば、本実施の形態では、逆バイアス電圧は、対応する画素4に供給される信号電圧に基づいて決定される。

【0199】

具体的には、逆バイアス電圧と、対応する画素に供給される信号電圧とは、正の相関関係を有する。例えば、対応する画素に供給される信号電圧が大きい程、大きい逆バイアス電圧を印加する。

【0200】

ここで、信号電圧は、例えば、図12及び図13に示したように、逆バイアス電圧を印加する直前のフレームの信号電圧である。この場合、有機EL表示装置1は、直前のフレームの信号電圧を記憶するためのメモリを備える。

【0201】

あるいは、信号電圧は、逆バイアス電圧を印加する直後のフレームの信号電圧でもよい。この場合、有機EL表示装置1は、信号電圧を記憶するためのメモリを備えなくてもよいので、コストを削減することができる。

【0202】

なお、図12及び図13では、逆バイアス電圧の絶対値は、信号電圧の絶対値に等しい例について示したが、これに限らない。例えば、信号電圧の範囲毎に、逆バイアス電圧が段階的に設定されてもよい。つまり、逆バイアス電圧は、離散的な複数の値に設定可能でもよい。

【0203】

例えば、0V～10Vの信号電圧に対応して、信号電圧が0V～3Vの場合に逆バイアス電圧は-2V、信号電圧が3V～7Vの場合に逆バイアス電圧は-5V、信号電圧が7V～10Vの場合に逆バイアス電圧は-10Vに設定してもよい。これにより、データ線駆動回路7のビット数を削減することができる。

【0204】

10

20

30

40

50

(他の実施の形態)

以上のように、本出願において開示する技術の例示として、実施の形態を説明した。しかしながら、本開示における技術は、これに限定されず、適宜、変更、置き換え、付加、省略などを行った実施の形態にも適用可能である。また、上記実施の形態で説明した各構成要素を組み合わせ、新たな実施の形態とすることも可能である。

【0205】

そこで、以下では、他の実施の形態を例示する。

【0206】

例えば、上記実施の形態では、本開示に係る表示装置として、有機EL素子40を発光素子として備える有機EL表示装置1について説明したが、本開示はこれに限らず、電流駆動型の発光素子を備える表示装置であればよい。

10

【0207】

例えば、本開示に係る表示装置における画素4の回路構成は、上記した回路構成に限らず、他の構成を有する回路構成であってもよい。また、画素4の動作は、上記したタイミングチャートに示した動作に限らず、他の動作であってもよい。また、画素4における各トランジスタは、Pチャネル型のトランジスタであってもよいし、Nチャネル型のトランジスタであってもよい。

【0208】

また、例えば、上記回路構成と同様の機能を実現できる範囲で、ある素子に対して、直列又は並列に、トランジスタ、抵抗素子、又は容量素子等の素子を接続したのも本開示に含まれる。言い換えると、上記実施の形態における「接続される」とは、2つの端子(ノード)が直接接続される場合に限定されるものではなく、同様の機能を実現できる範囲において、当該2つの端子(ノード)が、素子を介して接続される場合も含む。

20

【0209】

また、上記で用いた数字は、本開示を具体的に説明するために例示するものであり、本開示は例示された数字に制限されない。

【0210】

また、例えば、上記実施の形態では、画素4がいわゆる2Tr1Cの回路構成を有する例について説明したが、これに限らない。例えば、保持容量42及び有機EL素子40の寄生容量の電荷をリセットするためのリセットトランジスタなどを備えてもよい。

30

【0211】

また、表示装置に含まれる特徴的な制御部としてコンピュータを機能させるためのプログラム、又は、駆動方法に含まれる特徴的なステップをコンピュータに実行させるプログラムとして実現することもできる。そして、そのようなプログラムを、CD-ROM(Compact Disc-Read Only Memory)等のコンピュータ読取可能な非一時的な記録媒体やインターネット等の通信ネットワークを介して流通させることができるのは、言うまでもない。

【0212】

以上のように、本開示における技術の例示として、実施の形態を説明した。そのために、添付図面及び詳細な説明を提供した。

40

【0213】

したがって、添付図面及び詳細な説明に記載された構成要素の中には、課題解決のために必須な構成要素だけでなく、上記技術を例示するために、課題解決のためには必須でない構成要素も含まれ得る。そのため、それらの必須ではない構成要素が添付図面や詳細な説明に記載されていることをもって、直ちに、それらの必須ではない構成要素が必須であるとの認定をするべきではない。

【0214】

また、上述の実施の形態は、本開示における技術を例示するためのものであるから、請求の範囲又はその均等の範囲において種々の変更、置き換え、付加、省略などを行うことができる。

50

【産業上の利用可能性】

【0215】

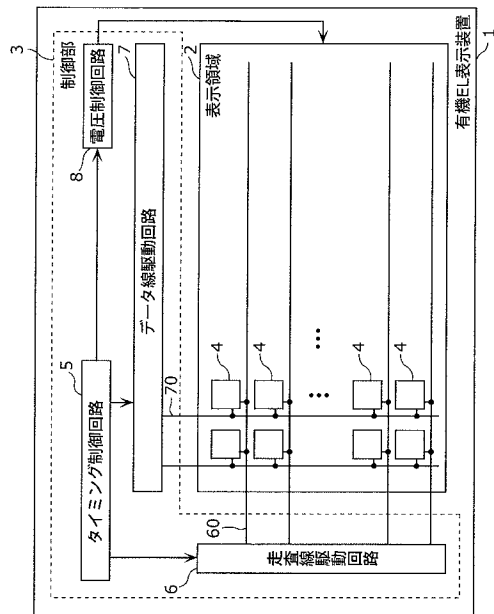
本開示に係る表示装置及びその駆動方法は、例えば、図14に示されるようなテレビなどのフラットパネルディスプレイなどの表示装置に利用することができる。

【符号の説明】

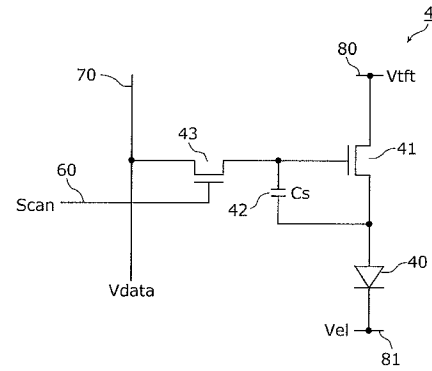
【0216】

- 1 有機EL表示装置
- 2 表示領域
- 3 制御部
- 4 画素 10
- 5 タイミング制御回路
- 6 走査線駆動回路
- 7 データ線駆動回路
- 8 電圧制御回路
- 40 有機EL素子
- 41 駆動トランジスタ
- 42 保持容量
- 43 スイッチングトランジスタ
- 60 スキャン線
- 70 データ線 20
- 80、81 電源線
- 101、201、301 第1期間
- 102、302 第2期間
- 103、203、303 第3期間
- 111、112、113、211、212、213、214、311、312、313、
314、411、412、413、414、415、416、417 スキャン信号

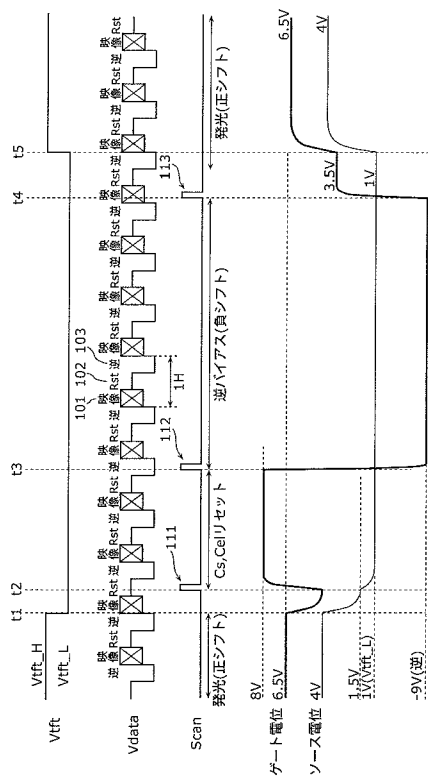
【図 1】



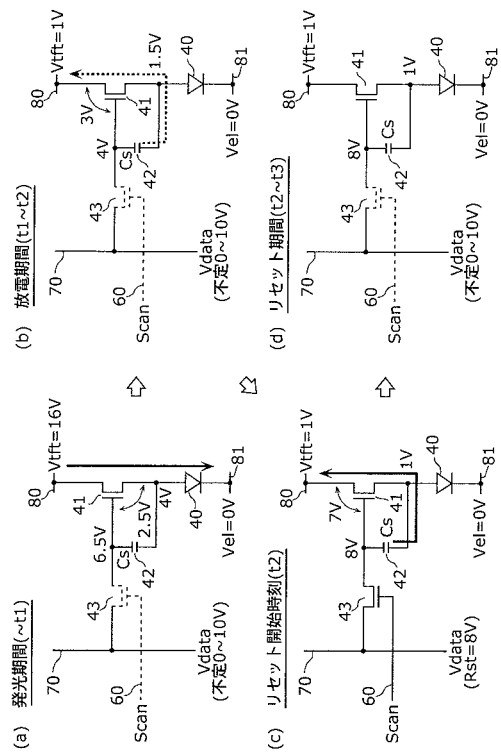
【図 2】



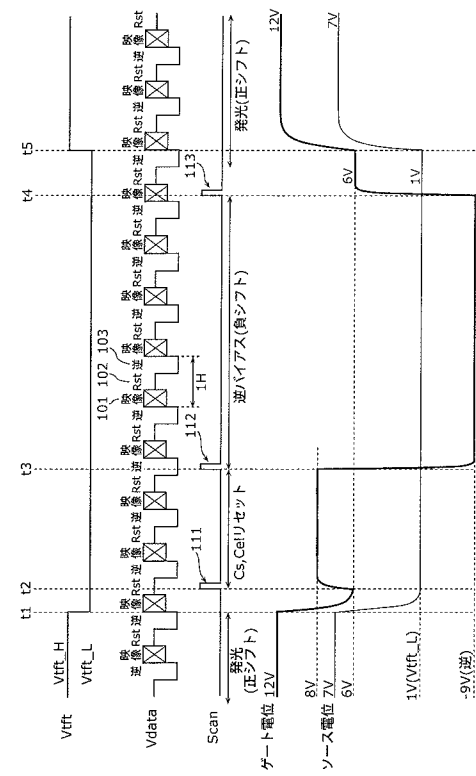
【図 3】



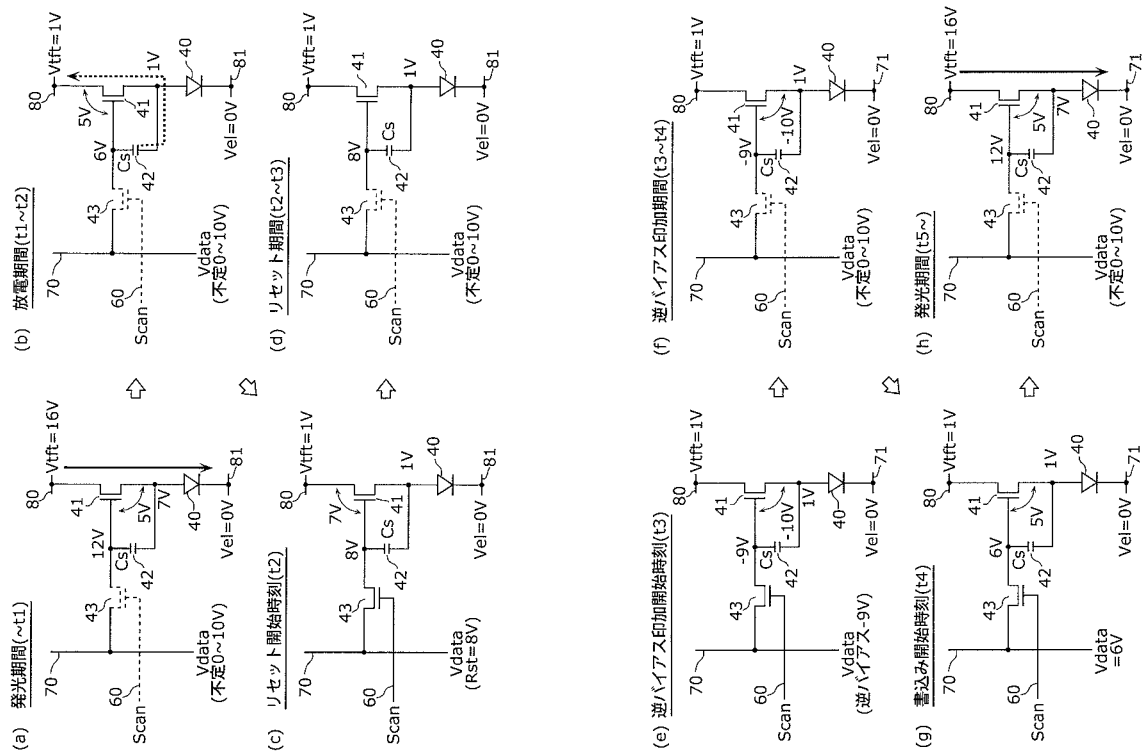
【図 4 A】



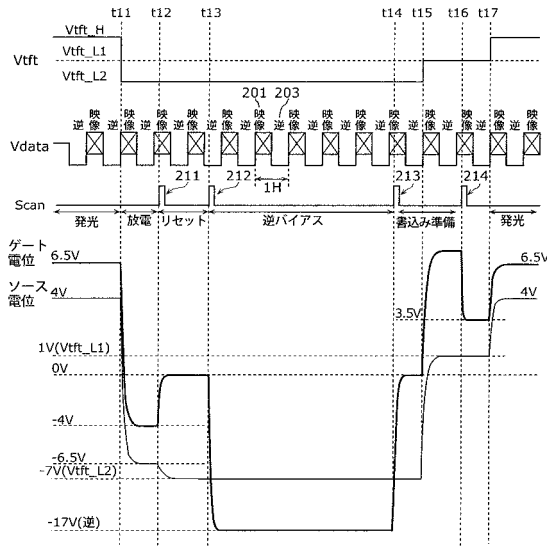
【 図 5 】



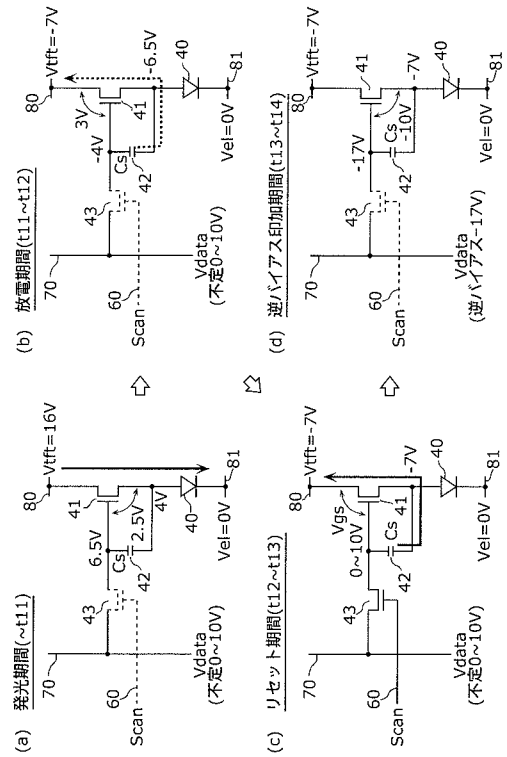
【 図 6 B 】



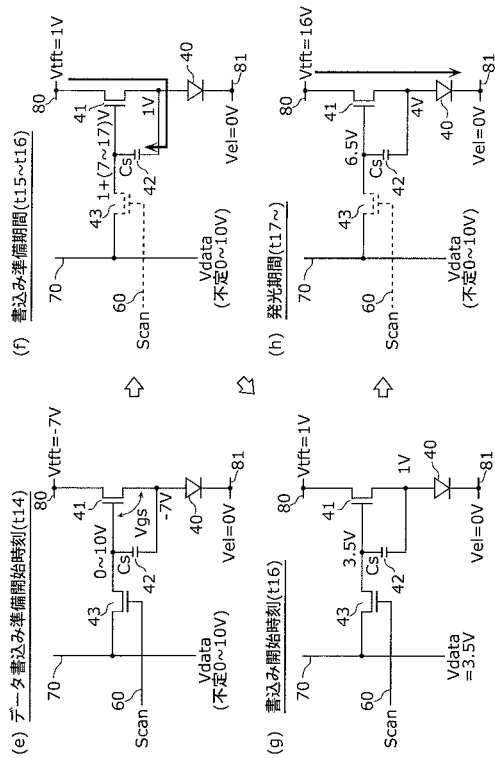
【図 7】



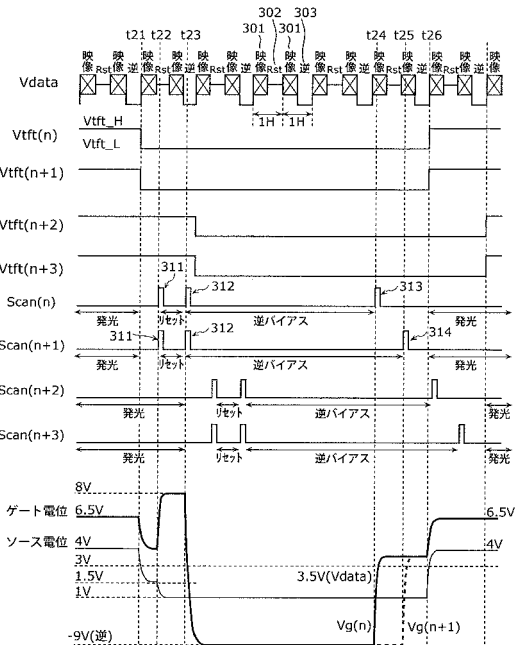
【図 8 A】



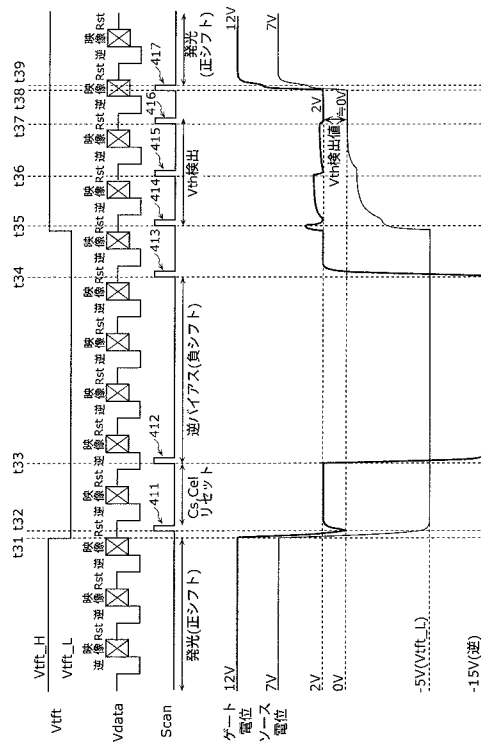
【図 8 B】



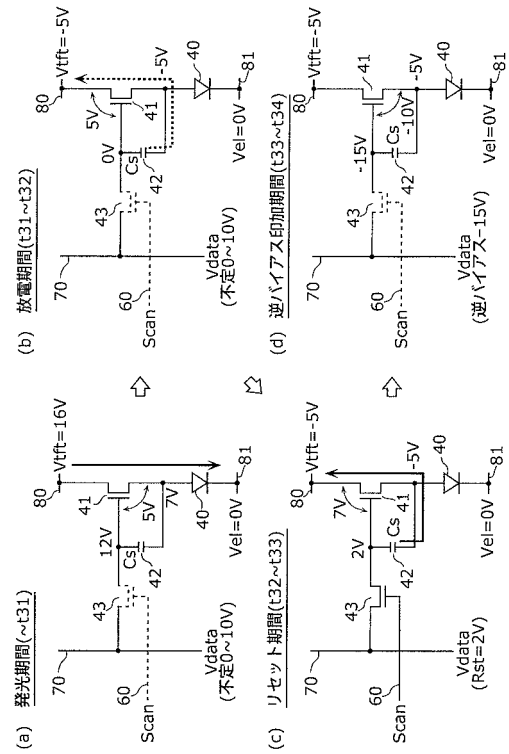
【図 9】



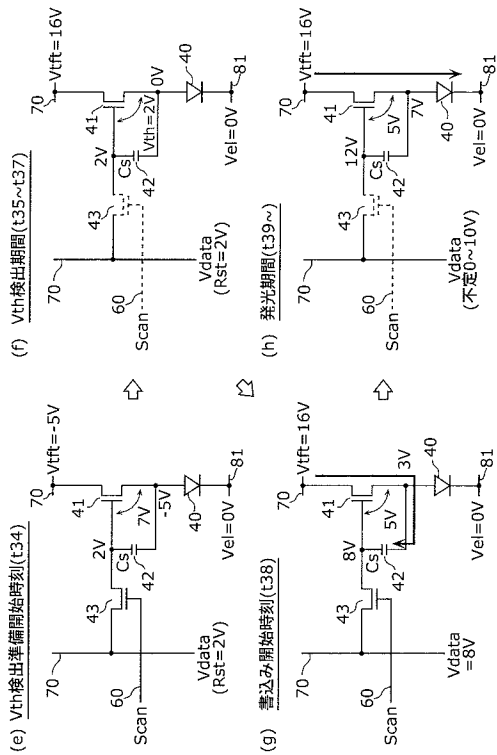
【図 10】



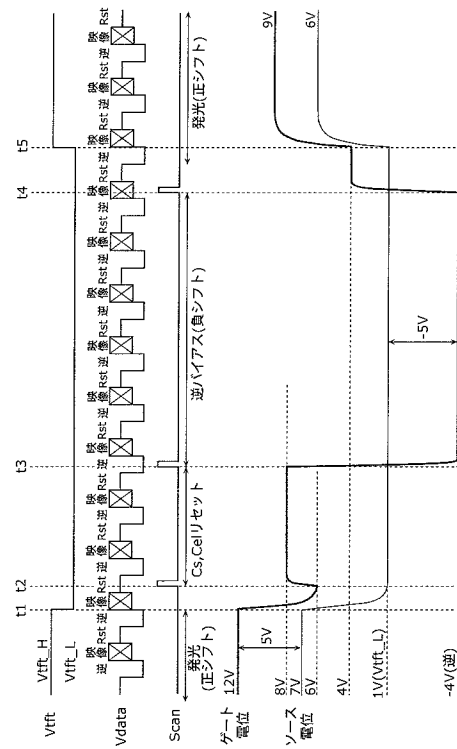
【図 11A】



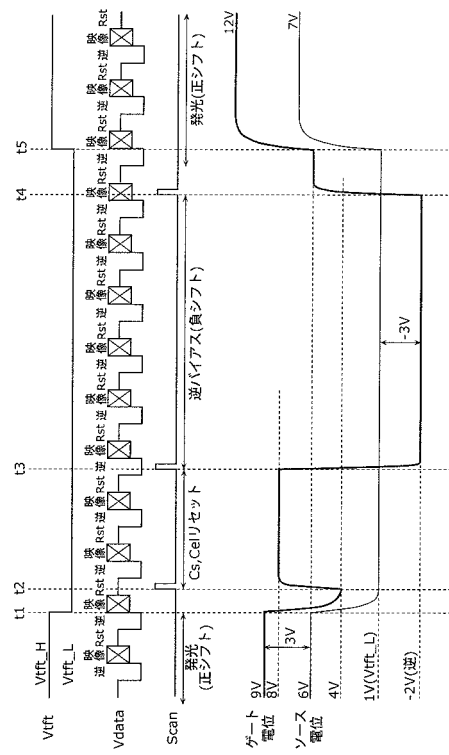
【図 11B】



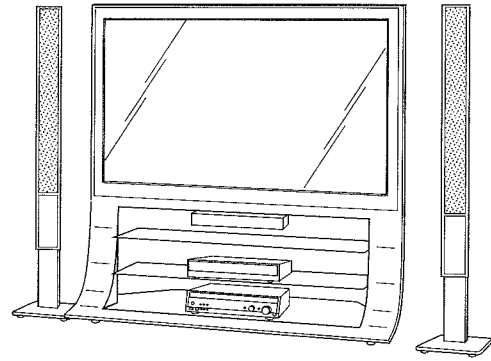
【図 12】



【図 13】



【図 14】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/003887

A. CLASSIFICATION OF SUBJECT MATTER G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G09G3/30, G09G3/20, H01L51/50 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2015 Kokai Jitsuyo Shinan Koho 1971-2015 Toroku Jitsuyo Shinan Koho 1994-2015 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2010-25967 A (Fujifilm Corp.), 04 February 2010 (04.02.2010), paragraphs [0001] to [0015], [0027] to [0070], [0108] to [0152]; fig. 1 to 8, 17 to 20 & US 2010/0013746 A1 paragraphs [0001] to [0017], [0062] to [0105], [0143] to [0187]; fig. 1 to 8, 17 to 20	1-6, 12-14 7-11
A	JP 2009-204887 A (Sony Corp.), 10 September 2009 (10.09.2009), paragraphs [0106] to [0187]; fig. 32 to 61 & US 2009/0219231 A1 paragraphs [0194] to [0299]; fig. 32 to 61 & CN 101520986 A & KR 10-2009-0093826 A & TW 200949802 A1	1-14
☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 15 October 2015 (15.10.15)		Date of mailing of the international search report 27 October 2015 (27.10.15)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer Telephone No.

国際調査報告		国際出願番号 PCT/J P 2015/003887	
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G09G3/30, G09G3/20, H01L51/50			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2015年 日本国実用新案登録公報 1996-2015年 日本国登録実用新案公報 1994-2015年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
X A	JP 2010-25967 A (富士フイルム株式会社) 2010.02.04, 段落[0001]-[0015], [0027]-[0070], [0108]-[0152], 図 1-8, 17-20 & US 2010/0013746 A1, 段落[0001]-[0017], [0062]-[0105], [0143]-[0187], 図 1-8, 17-20	1-6, 12-14 7-11	
A	JP 2009-204887 A (ソニー株式会社) 2009.09.10, 段落[0106]-[0187], 図 32-61 & US 2009/0219231 A1, 段落[0194]-[0299], 図 32-61 & CN 101520986 A & KR 10-2009-0093826 A & TW 200949802 A1	1-14	
☐ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 15.10.2015		国際調査報告の発送日 27.10.2015	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 武田 悟 電話番号 03-3581-1101 内線 3226	

フロントページの続き

(51) Int.Cl.

F I

テーマコード (参考)

G 0 9 G	3/20	6 4 1 D
G 0 9 G	3/20	6 1 2 U
G 0 9 G	3/20	6 7 0 K
G 0 9 G	3/20	6 4 2 A
G 0 9 G	3/20	6 1 1 H
H 0 5 B	33/14	A

(81) 指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(72) 発明者 松井 雅史

日本国東京都千代田区神田錦町三丁目 2 3 番地 株式会社 J O L E D 内

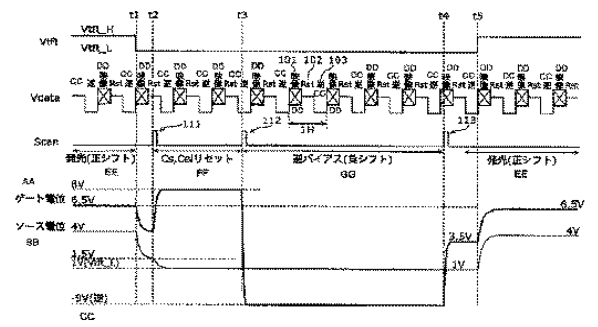
F ターム(参考) 3K107 AA01 BB01 CC02 CC11 CC33 EE03 HH02 HH04
 5C080 AA06 BB05 DD05 DD24 DD26 DD27 DD29 EE25 EE29 FF03
 FF11 GG02 GG13 GG15 GG17 HH09 JJ02 JJ03 JJ04 KK43
 5C380 AA01 AB06 AC07 BA01 BA05 BA06 BA13 BA15 BA19 BA28
 BA36 BA38 BA39 BA45 BA46 BB02 BD02 BD08 BD11 CA12
 CA53 CA54 CB20 CC02 CC03 CC04 CC05 CC06 CC07 CC26
 CC27 CC33 CC41 CC61 CC62 CD012 CE04 CE20 CE21 CF02
 CF04 CF62 DA02 DA06 DA32 DA35 DA47 DA57 FA09 HA02
 HA03 HA05

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JPWO2016027425A1	公开(公告)日	2017-05-25
申请号	JP2016543802	申请日	2015-07-31
[标]申请(专利权)人(译)	日本有机雷特显示器股份有限公司		
申请(专利权)人(译)	株式会社JOLED		
[标]发明人	戎野浩平 小野晋也 松井雅史		
发明人	戎野 浩平 小野 晋也 松井 雅史		
IPC分类号	G09G3/3233 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G2300/0842 G09G2300/0866 G09G2310/0254 G09G2320/043 G09G2310/0251 G09G2310/08 G09G2320/0271 G09G2320/045 G09G2320/0626 H01L27/3262 H01L27/3265 H01L27/3276		
FI分类号	G09G3/3233 G09G3/20.624.B G09G3/20.623.C G09G3/20.623.D G09G3/20.612.E G09G3/20.641.D G09G3/20.612.U G09G3/20.670.K G09G3/20.642.A G09G3/20.611.H H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC02 3K107/CC11 3K107/CC33 3K107/EE03 3K107/HH02 3K107/HH04 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD24 5C080/DD26 5C080/DD27 5C080/DD29 5C080/EE25 5C080/EE29 5C080/FF03 5C080/FF11 5C080/GG02 5C080/GG13 5C080/GG15 5C080/GG17 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK43 5C380/AA01 5C380/AB06 5C380/AC07 5C380/BA01 5C380/BA05 5C380/BA06 5C380/BA13 5C380/BA15 5C380/BA19 5C380/BA28 5C380/BA36 5C380/BA38 5C380/BA39 5C380/BA45 5C380/BA46 5C380/BB02 5C380/BD02 5C380/BD08 5C380/BD11 5C380/CA12 5C380/CA53 5C380/CA54 5C380/CB20 5C380/CC02 5C380/CC03 5C380/CC04 5C380/CC05 5C380/CC06 5C380/CC07 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC41 5C380/CC61 5C380/CC62 5C380/CD012 5C380/CE04 5C380/CE20 5C380/CE21 5C380/CF02 5C380/CF04 5C380/CF62 5C380/DA02 5C380/DA06 5C380/DA32 5C380/DA35 5C380/DA47 5C380/DA57 5C380/FA09 5C380/HA02 5C380/HA03 5C380/HA05		
代理人(译)	吉川修 Sobashima正雄		
优先权	2014167919 2014-08-20 JP		
其他公开文献	JP6379344B2		
外部链接	Espacenet		

摘要(译)

一种显示装置(1)的驱动方法,包括以矩阵布置的多个像素(4),其中,所述多个像素(4)中的每一个是根据提供的电流发光的有机EL元件(40)。),用于向有机EL元件(40)提供电流的驱动晶体管(41)和连接在驱动晶体管(41)的栅极与源极或漏极之间的存储电容器(42)。(1)的驱动方法是通过向有机EL元件(40)供给电流,使有机EL元件(40)的保持电容(42)和寄生电容通电,使有机EL元件(40)发光的发光步骤。并且,在驱动晶体管(41)的栅极和源极之间施加反向偏置电压的反向偏置施加步骤,以及复位步骤包括发光步骤和反向偏置施加步骤。在步骤之间执行。



- AA Gate potential
- BB Source potential
- CC Reverse
- DD Video
- EE Light emission (positive shift)
- FF Cs, Cel reset
- GG Reverse bias (negative shift)