

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4798874号
(P4798874)

(45) 発行日 平成23年10月19日(2011.10.19)

(24) 登録日 平成23年8月12日(2011.8.12)

(51) Int.Cl.

F I

G09G 3/30 (2006.01)
 G09F 9/30 (2006.01)
 H01L 27/32 (2006.01)
 G09G 3/20 (2006.01)

G09G 3/30 J
 G09F 9/30 338
 G09F 9/30 365Z
 G09G 3/20 611F
 G09G 3/20 623R

請求項の数 7 (全 31 頁) 最終頁に続く

(21) 出願番号 特願2001-137881 (P2001-137881)
 (22) 出願日 平成13年5月8日(2001.5.8)
 (65) 公開番号 特開2002-49354 (P2002-49354A)
 (43) 公開日 平成14年2月15日(2002.2.15)
 審査請求日 平成20年3月31日(2008.3.31)
 (31) 優先権主張番号 特願2000-135016 (P2000-135016)
 (32) 優先日 平成12年5月8日(2000.5.8)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 小山 潤
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 奈良田 新一

(56) 参考文献 特開平10-319908 (JP, A)
 特表平07-507403 (JP, A)
 特開2001-343933 (JP, A)
)
 特開2001-343911 (JP, A)
)

最終頁に続く

(54) 【発明の名称】 EL表示装置及びそれを用いた電気器具

(57) 【特許請求の範囲】

【請求項1】

第1の薄膜トランジスタ、第2の薄膜トランジスタ、及びEL素子を有する複数の画素と、複数のゲート信号線と、前記複数のゲート信号線と交差する複数の配線とを有し、

($x-2$)列目の画素における前記第1の薄膜トランジスタのソースまたはドレインの一方は、前記複数の配線のうちの一である第1の配線に電氣的に接続され、他方は第2の薄膜トランジスタのゲートに電氣的に接続され、ゲートは前記ゲート信号線に電氣的に接続され、

前記($x-2$)列目の画素における前記第2の薄膜トランジスタのソースまたはドレインの一方は、前記複数の配線のうちの一であり、且つ前記第1の配線と隣り合う第2の配線に電氣的に接続され、他方は前記EL素子の画素電極に電氣的に接続され、

前記第2の配線は、($x-1$)列目の画素における前記第1の薄膜トランジスタのソースまたはドレインの一方に電氣的に接続され、

前記複数の配線は、前記EL素子の画素電極に電源電位を与える配線、または前記第1の薄膜トランジスタを介して前記第2の薄膜トランジスタのゲートにビデオ信号を入力する配線としての機能を有し、

前記第1の配線が、前記EL素子の画素電極に電源電位を与える配線、または前記第1の薄膜トランジスタを介して前記第2の薄膜トランジスタのゲートにビデオ信号を入力する配線の一方として機能しているとき、前記第2の配線が、前記EL素子の画素電極に電源電位を与える配線、または前記第1の薄膜トランジスタを介して前記第2の薄膜トラン

10

20

ジスタのゲートにビデオ信号を入力する配線の他方として機能していることを特徴とする E L 表示装置。

【請求項 2】

請求項 1 において、

切り替え回路をさらに有し、

前記複数の配線のそれぞれには、前記切り替え回路に入力される切り替え信号により、前記電源電位と前記ビデオ信号とが交互に切り替わるように入力されることを特徴とする E L 表示装置。

【請求項 3】

請求項 2 において、前記切り替え回路はトランSMISSIONゲートを有することを特徴とする E L 表示装置。

【請求項 4】

請求項 2 または請求項 3 において、前記電源電位と前記ビデオ信号との切り替えは、1 フレーム期間ごとに行われることを特徴とする E L 表示装置。

【請求項 5】

請求項 1 乃至 3 のいずれかーにおいて、奇数列の画素と偶数列の画素とが 1 フレーム期間ごとに交互に選択されることを特徴とする E L 表示装置。

【請求項 6】

請求項 4 または 5 において、前記 1 フレーム期間は $1 / 120 \text{ s}$ 以下であることを特徴とする E L 表示装置。

【請求項 7】

請求項 1 乃至 6 のいずれかーに記載の E L 表示装置を用いたことを特徴とする電気器具。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、自発光装置の構成に関する。本発明は、特に、絶縁体上に作製される薄膜トランジスタ (TFT) を有するアクティブマトリクス型自発光装置に関する。

【0002】

【従来の技術】

近年、基板上に TFT を形成する技術が大幅に進歩し、アクティブマトリクス型表示装置 (自発光装置) への応用開発が進められている。特に、ポリシリコン膜を用いた TFT は、従来のアモルファスシリコン膜を用いた TFT よりも電界効果移動度 (モビリティともいう) が高いので、高速動作が可能である。そのため、従来、基板外の駆動回路で行っていた画素の制御を、画素と同一の基板上に形成した駆動回路で行うことが可能となっている。

【0003】

このようなアクティブマトリクス型の自発光装置は、同一基板上に様々な回路や素子を作り込むことで製造コストの低減、電気光学装置の小型化、歩留まりの上昇、スループットの低減など、様々な利点が得られる。

【0004】

そしてさらに、自発光型素子として E L 素子を有したアクティブマトリクス型の自発光装置 (E L ディスプレイ) の研究が活発化している。E L ディスプレイは有機 E L ディスプレイ (OLED: Organic EL Display) 又は有機ライトエミッティングダイオード (OLED: Organic Light Emitting Diode) とも呼ばれている。

【0005】

E L ディスプレイは、自発光型である。E L 素子是一对の電極 (陽極と陰極) 間に E L 層が挟まれた構造となっているが、E L 層は通常、積層構造となっている。代表的には、コダック・イーストマン・カンパニーの Tang らが提案した「正孔輸送層 / 発光層 / 電子輸送層」という積層構造が挙げられる。この構造は非常に発光効率が高く、現在、研究開発が

10

20

30

40

50

進められているＥＬディスプレイは殆どこの構造を採用している。

【０００６】

また他にも、陽極上に正孔注入層／正孔輸送層／発光層／電子輸送層、または正孔注入層／正孔輸送層／発光層／電子輸送層／電子注入層の順に積層する構造でも良い。発光層に対して蛍光性色素等をドーピングしても良い。

【０００７】

本明細書において陰極と陽極の間に設けられる全ての層を総称してＥＬ層と呼ぶ。具体的には、ＥＬ（Electro Luminescence：電場を加えることで発生するルミネッセンス）が得られる有機ＥＬ材料を含む層のことをいうが、上述した正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等は、全てＥＬ層に含まれる。

10

【０００８】

また、有機ＥＬ材料により得られるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光（蛍光）と三重項励起状態から基底状態に戻る際の発光（リン光）とがある。本発明の自発光装置には、どちらの有機ＥＬ材料を有するＥＬ素子を用いることも可能である。

【０００９】

そして、上記構造からなるＥＬ層に一对の電極から所定の電圧をかけ、それにより発光層においてキャリアの再結合が起こって発光する。なお本明細書中では、陽極、ＥＬ層及び陰極で形成される発光素子をＥＬ素子と呼ぶ。

【００１０】

20

ＥＬディスプレイは複数の画素がマトリクス状に設けられており、複数の画素は薄膜トランジスタ（ＴＦＴ）とＥＬ素子とをそれぞれ有している。図１７にＥＬディスプレイの画素の拡大図を示す。画素１７００は、スイッチング用ＴＦＴ１７０１、電流制御用ＴＦＴ１７０２、ＥＬ素子１７０３、ソース信号線１７０４、ゲート信号線１７０５、電流供給線１７０６、コンデンサ１７０７を有している。

【００１１】

スイッチング用ＴＦＴ１７０１のゲート電極はゲート信号線１７０５に接続されている。またスイッチング用ＴＦＴ１７０１のソース領域とドレイン領域は、一方はソース信号線に、もう一方は電流制御用ＴＦＴ１７０２のゲート電極に接続されている。電流制御用ＴＦＴ１７０２のソース領域は電流供給線１７０６に、ドレイン領域はＥＬ素子１７０３の陽極または陰極に接続されている。

30

【００１２】

ＥＬ素子１７０３の陽極が電流制御用ＴＦＴ１７０２のドレイン領域と接続している場合、ＥＬ素子１７０３の陽極が画素電極、陰極が対向電極となる。逆にＥＬ素子１７０３の陰極が電流制御用ＴＦＴ１７０２のドレイン領域と接続している場合、ＥＬ素子１７０３の陽極が対向電極、陰極が画素電極となる。

【００１３】

なお本明細書において、画素電極の電位と対向電極の電位の電位差をＥＬ駆動電圧と呼び、このＥＬ駆動電圧がＥＬ層にかかる。

【００１４】

40

なおコンデンサ１７０７は必ずしも設ける必要はない。設ける場合には、図１７に示すように、電流制御用ＴＦＴ１７０２と電流供給線１７０６とに接続して設ける。

【００１５】

電流供給線１７０６の電位（電源電位）は一定に保たれている。そしてＥＬ素子１７０３の対向電極の電位も一定に保たれている。対向電極の電位は、電源電位がＥＬ素子の画素電極に与えられたときにＥＬ素子が発光する程度に、電源電位との間に電位差を有している。

【００１６】

ゲート信号線１７０５に入力される選択信号によってスイッチング用ＴＦＴ１７０１がオンの状態になる。なお本明細書においてＴＦＴがオンの状態になるとは、ＴＦＴのドレイ

50

ン電流が0以上の状態になることを示す。

【0017】

スイッチング用TFT1701がオンの状態になると、ソース信号線1704から入力されるビデオ信号がスイッチング用TFT1701を介して電流制御用TFT1702のゲート電極に入力される。なおスイッチング用TFT1701を介して信号が電流制御用TFT1702のゲート電極に入力されるとは、スイッチング用TFT1701の活性層を通して信号が電流制御用TFT1702のゲート電極に入力されることを意味する。

【0018】

電流制御用TFT1702のチャネル形成領域を流れる電流の量は、電流制御用TFT1702のゲート電極とソース領域の電位差であるゲート電圧 V_{gs} によって制御される。よって、EL素子1703の画素電極に与えられる電位は、電流制御用TFT1702のゲート電極に入力されたビデオ信号の電位の高さによって決まる。そして画素電極に与えられる電位の高さによって、EL素子の発光輝度（EL素子の発する光の輝度）が制御される。つまり、EL素子1703はソース信号線1704に入力されるビデオ信号の電位によってその輝度が制御され、階調表示を行う。

10

【0019】

【発明が解決しようとする課題】

近年、画素サイズの微細化が進み、より高精細な画像が求められている。画素サイズの微細化は、1つの画素に占めるTFT及び配線の形成面積が大きくなり画素開口率を低減させている。

20

【0020】

そこで、規定の画素サイズの中で各画素の高開口率を得るためには、画素の回路構成に必要な回路要素を効率よくレイアウトすることが不可欠である。

【0021】

以上のように、画素開口率のアクティブマトリクス型自発光装置を実現するためには、これまでにない新しい画素構成が求められている。

【0022】

本発明は、そのような要求に応えるものであり、ソース信号線と電流供給線を同一の配線で兼用させるという構成を有する画素を用いて、高い開口率を実現した画素を有する自発光装置を提供することを目的とする。

30

【0023】

【発明を解決するための手段】

本発明では、画素部に接続されるソース信号線及び電流供給線を同一の配線で兼用することにより画素における開口率を高めることを特徴とする。

【0024】

ソース信号線駆動回路に接続されたソース信号線及び電源に接続された電流供給線は、それぞれ切り替え回路に接続されている。また、切り替え回路と画素部は、配線により接続されている。そして、この配線は切り替え回路に入力された切り替え信号により、ソース信号線または電流供給線になる。

【0025】

40

【発明の実施の形態】

本発明の自発光装置のブロック図を図1に示す。なお、本発明で用いる自発光装置に用いるTFTは、特に限定することなくプレーナ型や逆スタガ型といった構造のTFTを用いればよい。さらに、本発明で用いる自発光装置の駆動回路も公知のものを組み合わせて用いることができる。

【0026】

また、本発明において自発光装置が有するEL素子の素子構造およびEL材料には、公知のものを用いることができる。一方、本発明の構成は、公知の液晶装置にも対応させて用いることができる。

【0027】

50

図1の自発光装置は、基板上に形成されたTFTによって画素部101、画素部の周辺に配置されたソース信号線駆動回路102、ゲート信号線駆動回路103が形成される。また、104は時分割階調データ信号発生回路(SPC; Serial-to-Parallel Conversion Circuit)である。

【0028】

ソース信号線駆動回路102は基本的にシフトレジスタ102a、ラッチ(A)102b、ラッチ(B)102cを有している。その他、バッファ(図示せず)を有している。

【0029】

なお、本実施の形態における自発光装置は、ソース信号線駆動回路を1つだけ設けているが、画素部の上下を挟むように2つのソース信号線駆動回路を設けても良い。

10

【0030】

また本発明において、ソース信号線駆動回路102及びゲート信号線駆動回路103は、画素部101が設けられている基板上に設けられている構成にしても良いし、ICチップ上に設けてFPCまたはTABを介して画素部101と接続されるような構成にしても良い。

【0031】

ソース信号線駆動回路102において、シフトレジスタ102aにクロック信号(CLK)およびスタートパルス(SP)が入力される。シフトレジスタ102aは、これらのクロック信号(CLK)およびスタートパルス(SP)に基づきタイミング信号を順に発生させ、バッファ等(図示せず)を通して後段の回路へタイミング信号を順次供給する。

20

【0032】

シフトレジスタ102aからのタイミング信号は、バッファ等によって緩衝増幅される。タイミング信号が供給される配線には、多くの回路あるいは素子が接続されているために負荷容量(寄生容量)が大きい。この負荷容量が大きいために生ずるタイミング信号の立ち上がりまたは立ち下りの“鈍り”を防ぐために、このバッファが設けられる。

【0033】

バッファによって緩衝増幅されたタイミング信号は、ラッチ(A)102bに供給される。ラッチ(A)102bは、nビットデジタルデータ信号(n bit digital data signals)を処理する複数のステージのラッチを有している。ラッチ(A)102bは、前記タイミング信号が入力されると、時分割階調データ信号発生回路104から供給されるnビットデジタルデータ信号を順次取り込み、保持する。

30

【0034】

なお、ラッチ(A)102bにデジタルデータ信号を取り込む際に、ラッチ(A)102bが有する複数のステージのラッチに、順にデジタルデータ信号を入力しても良い。しかし本発明はこの構成に限定されない。ラッチ(A)102bが有する複数のステージのラッチをいくつかのグループに分け、グループごとに並行して同時にデジタルデータ信号を入力する、いわゆる分割駆動を行っても良い。なおこのときのグループの数を分割数と呼ぶ。例えば4つのステージごとにラッチをグループに分けた場合、4分割で分割駆動すると言う。

【0035】

ラッチ(A)102bにおける全てのステージのラッチにデジタルデータ信号の書き込みが一通り終了するまでの時間を、ライン期間と呼ぶ。すなわち、ラッチ(A)102b中で一番左側のステージのラッチにデジタルデータ信号の書き込みが開始される時点から、一番右側のステージのラッチにデジタルデータ信号の書き込みが終了する時点までの時間間隔がライン期間である。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間に含むことがある。

40

【0036】

1ライン期間が終了すると、ラッチ(B)102cにラッチシグナル(Latch Signal)が供給される。この瞬間、ラッチ(A)102bに書き込まれ保持されているデジタルデータ信号は、ラッチ(B)102cに一斉に送出され、ラッチ(B)102cの全ステージ

50

のラッチに書き込まれ、保持される。

【 0 0 3 7 】

デジタルデータ信号をラッチ (B) 1 0 2 c に送出し終えたラッチ (A) 1 0 2 b には、シフトレジスタ 1 0 2 a からのタイミング信号に基づき、再び時分割階調データ信号発生回路 1 0 4 から供給されるデジタルデータ信号の書き込みが順次行われる。

【 0 0 3 8 】

この 2 順目の 1 ライン期間中には、ラッチ (B) 1 0 2 b に書き込まれ、保持されているデジタルデータ信号は、ソース信号線に入力される。なお、本発明において、ソース信号線は切り替え回路 1 0 5 に接続されている。

【 0 0 3 9 】

また、切り替え回路 1 0 5 には、電源 1 0 6 に接続された電流供給線も接続されている。切り替え回路 1 0 5 に入力される切り替え信号によって切り替え回路 1 0 5 と画素電極とを電氣的に接続する配線がソース信号線、または電流供給線に切り替えられる。

【 0 0 4 0 】

また、切り替え信号は、隣り合う配線が、交互にソース信号線と電流供給線になるように切り替える信号である。つまり、隣り合う配線が両方ともソース信号線又は、電流供給線になることはない。

【 0 0 4 1 】

画素のスイッチング用 T F T に接続された配線がソース信号線と接続されている場合には、そのスイッチング用 T F T を有する画素は、ソース信号線駆動回路から入力されるデジタルデータ信号により発光、又は非発光を示す。しかし、画素のスイッチング用 T F T に接続された配線が電流供給線と接続されている場合には、そのスイッチング用 T F T を有する画素は機能しない。

【 0 0 4 2 】

一方、画素の電流制御用 T F T に接続された配線が電流供給線と接続されている場合には、その電流制御用 T F T を有する画素は、ソース信号線駆動回路から入力されるデジタルデータ信号により発光、又は非発光を示す。しかし、画素の電流制御用 T F T に接続された配線がソース信号線と接続されている場合には、その電流制御用 T F T を有する画素は機能しない。

【 0 0 4 3 】

一方、ゲート信号線駆動回路 1 0 3 は、シフトレジスタ、バッファ (いずれも図示せず) を有している。また場合によっては、ゲート信号線駆動回路 1 0 3 が、シフトレジスタ、バッファの他にレベルシフタを有していても良い。

【 0 0 4 4 】

ゲート信号線駆動回路 1 0 3 において、シフトレジスタ (図示せず) からのタイミング信号がバッファ (図示せず) に供給され、対応するゲート信号線 (走査線とも呼ぶ) に供給される。ゲート信号線には、1 ライン分の画素 T F T のゲート電極が接続されており、1 ライン分全ての画素 T F T を同時に O N にしなくてはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

【 0 0 4 5 】

時分割階調データ信号発生回路 1 0 4 においては、アナログまたはデジタルのビデオ信号 (画像情報を含む信号) が時分割階調を行うためのデジタルデータ信号 (D i g i t a l D a t a S i g n a l s) に変換され、ラッチ (A) 1 0 2 b に入力される。またこの時分割階調データ信号発生回路 1 0 4 は、時分割階調表示を行うために必要なタイミングパルス等を発生させる回路でもある。

【 0 0 4 6 】

この時分割階調データ信号発生回路 1 0 4 は、本発明の自発光装置の外部に設けられても良い。その場合、そこで形成されたデジタルデータ信号が本発明の自発光装置に入力される構成となる。この場合、本発明の自発光装置を表示装置として有する電気器具 (自発光装置) は、本発明の自発光装置と時分割階調データ信号発生回路を別の部品として含むこ

10

20

30

40

50

とになる。

【 0 0 4 7 】

また、時分割階調データ信号発生回路 1 0 4 を I C チップなどの形で本発明の自発光装置に実装しても良い。その場合、その I C チップで形成されたデジタルデータ信号が本発明の自発光装置に入力される構成となる。この場合、本発明の自発光装置を表示装置として有する電気器具は、時分割階調データ信号発生回路を含む I C チップを実装した本発明の自発光装置を部品として含むことになる。

【 0 0 4 8 】

また最終的には、時分割階調データ信号発生回路 1 0 4 を画素部 1 0 1、ソース信号線駆動回路 1 0 2、ゲート信号線駆動回路 1 0 3 と同一の基板上に T F T を用いて形成しうる。この場合、自発光装置に画像情報を含むビデオ信号を入力すれば全て基板上で処理することができる。この場合の時分割階調データ信号発生回路はポリシリコン膜を活性層とする T F T で形成しても良い。また、この場合、本発明の自発光装置を表示装置として有する電気器具は、時分割階調データ信号発生回路が自発光装置自体に内蔵されており、電気器具の小型化を図ることが可能である。

【 0 0 4 9 】

また、本実施の形態で示したソース信号線駆動回路 1 0 2 の構成は、実施形態の一例であり、本発明の構成を限定するものではない。

【 0 0 5 0 】

次に、本発明の自発光装置における画素部の構造について説明する。なお、図 1 に示す画素部 1 0 1 の拡大図を図 4 (A) に示した。図 4 (A) には、ソース信号線 (S 1 ~ S x) または電流供給線 (V 1 ~ V x) となる配線 (P 1 ~ P x) とゲート信号線 (G 1 ~ G y) が画素部 1 0 1 に設けられている。

【 0 0 5 1 】

ここでは、ソース信号線 (S 1 ~ S x) と、電流供給線 (V 1 ~ V x) と、ゲート信号線 (G 1 ~ G y) とを 1 つずつ備えた領域が画素 1 0 7 である。画素部 1 0 1 にはマトリクス状に複数の画素 1 0 7 が配置されることになる。

【 0 0 5 2 】

また、図 4 の画素部 1 0 1 の外部に切り替え回路 1 0 5 が設けられている。切り替え回路 1 0 5 から各画素に接続される配線 (P 1 ~ P x) がソース信号線 (S 1 ~ S x) になるか、電流供給線 (V 1 ~ V x) になるかは、この切り替え回路 1 0 5 に入力される切り替え信号 (C) により決まる。

【 0 0 5 3 】

なお、図 4 (B) は、図 4 (A) における配線 (P x - 1) と P x を例として、切り替え回路 1 0 5 に入力された切り替え信号と、この切り替え信号により配線 (P 1 ~ P x) が 1 フレーム期間ごとにソース信号線 (S 1 ~ S x) と電流供給線 (V 1 ~ V x) とで交互に切り替わる様子を示したものである。また、配線 (P x - 1) と配線 P x を有する画素列を本明細書中では、(x - 1) 番目の画素列といい、配線 (P x - 2) と配線 (P x - 1) を有する画素列を (x - 2) 番目の画素列という。

【 0 0 5 4 】

ただし、ここで示したのは、1 ~ 3 番目のフレーム期間における切り替え信号の一例であって、本発明を限定するものではない。

【 0 0 5 5 】

なお、本実施例では、スイッチング用 T F T のドレイン領域又は、ソース領域のいずれか一方はソース信号線および隣接した画素の電流制御用 T F T のソース領域に電氣的に接続される。

具体的には、(x - 2) 列目の画素におけるスイッチング用 T F T のドレイン領域または、ソース領域のいずれか一方がソース信号線に電氣的に接続されているとき、(x - 1) 列目の画素におけるスイッチング用 T F T のソース領域又は、ドレイン領域のいずれか一方は、(x - 2) 列目の画素の電流供給線に電氣的に接続される。

10

20

30

40

50

【 0 0 5 6 】

次に、画素 1 0 7 と切り替え回路 1 0 5 を含む領域 1 0 8 の拡大図を図 5 に示す。図 5 において、5 0 1 はスイッチング用 T F T である。スイッチング用 T F T 5 0 1 のゲート電極は、ゲート信号線 G (G 1 ~ G x) に接続されている。スイッチング用 T F T 5 0 1 のソース領域とドレイン領域は、一方がソース信号線 S (S 1 ~ S x) 又は、電流供給線 V (V 1 ~ V x) に、もう一方が電流制御用 T F T 5 0 2 のゲート電極、各画素が有するコンデンサ 5 0 3 にそれぞれ接続されている。

ただし、スイッチング用 T F T 5 0 1 が、切り替え回路 1 0 5 により電流供給線に接続された場合には、この画素は機能しない。

【 0 0 5 7 】

10

コンデンサ 5 0 3 はスイッチング用 T F T 5 0 1 が非選択状態 (オフ状態) にある時、電流制御用 T F T 5 0 2 のゲート電圧 (ゲート電極とソース領域間の電位差) を保持するために設けられている。なおここではコンデンサ 5 0 3 を設ける構成を示したが、本発明はこの構成に限定されず、コンデンサ 5 0 3 を設けない構成にしても良い。

【 0 0 5 8 】

また、電流制御用 T F T 5 0 2 のソース領域とドレイン領域は、一方が電流供給線 V (V 1 ~ V x) 又はソース信号線 S (S 1 ~ S x) に接続され、もう一方は E L 素子 5 0 4 に接続される。なお、電流供給線 V はコンデンサ 5 0 3 に接続されている。

【 0 0 5 9 】

ただし、電流制御用 T F T 5 0 2 が切り替え回路 1 0 5 によりソース信号線 S (S 1 ~ S x) に接続された場合には、この画素は機能しない。

20

【 0 0 6 0 】

E L 素子 5 0 4 は陽極と陰極との間に設けられた E L 層とからなる。陽極が電流制御用 T F T 5 0 2 のソース領域またはドレイン領域と接続している場合、陽極が画素電極、陰極が対向電極となる。逆に陰極が電流制御用 T F T 5 0 2 のソース領域またはドレイン領域と接続している場合、陰極が画素電極、陽極が対向電極となる。

【 0 0 6 1 】

E L 素子 5 0 4 の対向電極には対向電位が与えられている。また電流供給線 V は電源電位が与えられている。電源電位と対向電位は、本発明の自発光装置に、外付けの I C 等により設けられた電源によって与えられる。

30

【 0 0 6 2 】

スイッチング用 T F T 5 0 1、電流制御用 T F T 5 0 2 は、n チャネル型 T F T でも p チャネル型 T F T でもどちらでも用いることができる。ただし、電流制御用 T F T 5 0 2 のソース領域またはドレイン領域が E L 素子 5 0 4 の陽極と接続されている場合、電流制御用 T F T 5 0 2 は p チャネル型 T F T であることが望ましい。また、電流制御用 T F T 5 0 2 のソース領域またはドレイン領域が E L 素子 5 0 4 の陰極と接続されている場合、電流制御用 T F T 5 0 2 は n チャネル型 T F T であることが望ましい。

【 0 0 6 3 】

またスイッチング用 T F T 5 0 1、電流制御用 T F T 5 0 2 は、シングルゲート構造ではなく、ダブルゲート構造やトリプルゲート構造などのマルチゲート構造を有していても良い。

40

【 0 0 6 4 】

次に上述した構成を有する本発明の自発光装置の駆動方法について、図 6 を用いて説明する。また、図 6 は、横軸に時間 (T i m e) をとり、縦軸にゲート信号線の位置 (V - S c a n) をとった場合における 1 ライン目の画素の表示期間について示している。

【 0 0 6 5 】

なお、ここでは、切り替え回路 1 0 5 によりスイッチング用 T F T のソース領域にソース信号線 S (S 1 ~ S x) が接続され、電流制御用 T F T の一方に電流供給線 V (V 1 ~ V x) が接続された場合の例を示す。

【 0 0 6 6 】

50

まず、電流供給線の電源電位はE L素子の対向電極の電位と同じになる。そしてゲート信号線G 1に、ゲート信号線駆動回路からゲート信号が入力される。その結果、ゲート信号線G 1に接続されている全ての画素(1ライン目の画素)のスイッチング用T F T 5 0 1がオンの状態になる。

【0067】

そして同時に、切り替え回路105により切り替えられたソース信号線駆動回路と電氣的に接続されるソース信号線(S 1 ~ S x)にソース信号線駆動回路から、1ビット目のデジタルビデオ信号が入力される。デジタルビデオ信号はスイッチング用T F T 5 0 1を介して電流制御用T F T 5 0 2のゲート電極に入力される。

【0068】

次にG 1へのゲート信号の入力が終了すると同時に、ゲート信号線G 2に同様にゲート信号が入力される。そしてゲート信号線G 2に接続されている全ての画素のスイッチング用T F T 5 0 1がオンの状態になり、2ライン目の画素に切り替え回路によりソース信号線駆動回路と電氣的に接続されるソース信号線(S 1 ~ S x)から1ビット目のデジタルビデオ信号が入力される。

【0069】

そして順に、全てのゲート信号線(G 1 ~ G x)にゲート信号が入力されていく。全てのゲート信号線(G 1 ~ G x)が選択され、全てのラインの画素に1ビット目のデジタルビデオ信号が入力されるまでの期間が書き込み期間T a 1である。

【0070】

書き込み期間T a 1が終了すると次に表示期間T r 1になる。表示期間T r 1では、電流供給線の電源電位は、電源電位がE L素子の画素電極に与えられたときにE L素子が発光する程度に、対向電極との間に電位差を有する電位になる。

【0071】

そして本実施例では、デジタルビデオ信号が「0」の情報を有していた場合、電流制御用T F T 5 0 2はオフの状態となっている。よってE L素子504の画素電極には電源電位は与えられない。その結果、「0」の情報を有するデジタルビデオ信号が入力された画素が有するE L素子504は発光しない。

【0072】

逆に、「1」の情報を有していた場合、電流制御用T F T 5 0 2はオンの状態となっている。よってE L素子504の画素電極には電源電位が与えられる。その結果、「1」の情報を有するデジタルビデオ信号が入力された画素が有するE L素子504は発光する。

【0073】

このように、表示期間T r 1ではE L素子504が発光、または非発光を行い、全ての画素は表示を行う。画素が表示を行っている期間を表示期間T rと呼ぶ。特に1ビット目のデジタルビデオ信号が画素に入力されたことで開始する表示期間をT r 1と呼ぶ。図6では説明を簡便にするために、特に1ライン目の画素の表示期間についてのみ示す。全てのラインの表示期間が開始されるタイミングは同じである。

【0074】

表示期間T r 1が終了すると書き込み期間T a 2となり、電流供給線の電源電位はE L素子の対向電極の電位と同じになる。そして書き込み期間T a 1の場合と同様に順に全てのゲート信号線が選択され、2ビット目のデジタルビデオ信号が全ての画素に入力される。全てのラインの画素に2ビット目のデジタルビデオ信号が入力し終わるまでの期間を、書き込み期間T a 2と呼ぶ。

【0075】

書き込み期間T a 2が終了すると表示期間T r 2になり、電流供給線の電源電位は、電源電位がE L素子の画素電極に与えられたときにE L素子が発光する程度に、対向電極との間に電位差を有する電位になる。そして全ての画素が表示を行う。

【0076】

上述した動作はnビット目のデジタルビデオ信号が画素に入力されるまで繰り返し行われ

10

20

30

40

50

、書込期間 T_a と表示期間 T_r とが繰り返し出現する。全ての表示期間 ($T_{r1} \sim T_{rn}$) が終了すると1つの画像を表示することができる。本発明の駆動方法において、1つの画像を表示する期間を1フレーム期間 (F) と呼ぶ。1フレーム期間が終了すると次のフレーム期間が開始される。そして再び書込期間 T_a が出現し、上述した動作を繰り返す。

【0077】

本発明の自発光装置では1秒間に120以上のフレーム期間を設けることが好ましく、さらには、120～240Hzであるとより好ましい。言い換えると、1フレーム期間は1/240～1/120sであることが望ましい。なお、1秒間に表示される画像の数が120より少なくなると、視覚的に画像のちらつきが目立ち始めることがある。

10

【0078】

本発明では、全ての書き込み期間の長さの和が1フレーム期間よりも短く、なおかつ表示期間の長さ比は、 $T_{r1} : T_{r2} : T_{r3} : \dots : T_{r(n-1)} : T_{rn} = 2^0 : 2^1 : 2^2 : \dots : 2^{(n-2)} : 2^{(n-1)}$ となるようにすることが必要である。この表示期間の組み合わせで 2^n 階調のうち所望の階調表示を行うことができる。

【0079】

1フレーム期間中にEL素子が発光した表示期間の長さの総和を求めることによって、当該フレーム期間におけるその画素の表示した階調がきまる。例えば、 $n=8$ のとき、全部の表示期間で画素が発光した場合の輝度を100%とすると、 T_{r1} と T_{r2} において画素が発光した場合には1%の輝度が表現でき、 T_{r3} と T_{r5} と T_{r8} を選択した場合には60%の輝度が表現できる。

20

【0080】

また表示期間 $T_{r1} \sim T_{rn}$ は、どのような順序で出現させても良い。例えば1フレーム期間中において、 T_{r1} の次に T_{r3} 、 T_{r5} 、 T_{r2} 、・・・という順序で表示期間を出現させることも可能である。

【0081】

なおここでは、電流供給線の電源電位の高さを書込期間と表示期間とで変化させたが、本発明はこれに限定されない。電源電位がEL素子の画素電極に与えられたときにEL素子が発光する程度の電位差を、電源電位と対向電極の電位とが常に有するようにしても良い。その場合、書込期間においてもEL素子を発光させることが可能になる。よって、当該フレーム期間において画素が表示する階調は、1フレーム期間中にEL素子が発光した書込期間と表示期間の長さの総和によって決まる。なおこの場合、各ビットのデジタルビデオ信号に対応する書込期間と表示期間との長さの和の比が、 $(T_{a1} + T_{r1}) : (T_{a2} + T_{r2}) : (T_{a3} + T_{r3}) : \dots : (T_{a(n-1)} + T_{r(n-1)}) : (T_{an} + T_{rn}) = 2^0 : 2^1 : 2^2 : \dots : 2^{(n-2)} : 2^{(n-1)}$ となることが必要である。

30

【0082】

本発明の実施の形態において説明した画素部の上面構造について図7を用いて説明する。

【0083】

図7において、701で示される配線は、スイッチング用TF702のゲート電極を電氣的に接続するゲート配線である。また、スイッチング用TF702のソース領域702aは、ソース配線703に接続され、ドレイン領域702bは、ドレイン配線704に接続される。また、ドレイン配線704は、電流制御用TF705のゲート電極705aに電氣的に接続される。また、電流制御用TF705のソース領域705bは、電流供給線706に電氣的に接続され、ドレイン領域705cは、ドレイン配線707に電氣的に接続される。

40

【0084】

このとき、708で示される領域には、保持容量が形成される。保持容量708は、電流供給線706と電氣的に接続された半導体膜709、ゲート絶縁膜と同一層の絶縁膜(図示せず)及びゲート電極705aを形成する配線との間で形成される。なお、半導体膜709は、スイッチング用TF702及び電流制御用TF702を作製する際に形成される半導体膜

50

とは、分離して形成されるので本発明においては、分離半導体膜という。つまり、分離半導体膜709は、図7で示すようにスイッチング用TF T702のソース領域702aやドレイン領域702b、電流制御用TF T705のソース領域705bやドレイン領域705cを形成するための活性層とは、孤立して形成されている。なお、708で示される領域において、分離半導体膜709はゲート絶縁膜を挟んでゲート電極705aと重なっており、この時、分離半導体膜709の60%以上がゲート電極705aを形成する配線と重なる構造になっている。さらに、分離半導体膜709の60%以上が第一層間絶縁膜を挟んで電流供給線706と重なる構造になっている。又、ゲート電極705a、第一層間絶縁膜と同一の層（図示せず）及び電流供給線706で形成される容量も保持容量として用いることが可能である。

10

【0085】

なお、本実施例において図7に示した画素構造は本発明を何ら限定するものではなく、好ましい一例に過ぎない。スイッチング用TF T、電流制御用TF T又は保持容量をどのような位置に形成するかは実施者が適宜設計すれば良い。

【0086】

【実施例】

〔実施例1〕

ここで、本発明に用いる切り替え回路の構成を図2及び図3により説明する。なお、図2及び図3においては、図1で用いた符号を用いるので適宜参照すればよい。

【0087】

20

図2において、切り替え回路105は、トランスマッションゲート1(201)及びトランスマッションゲート2(202)で区別される2つのトランスマッションゲートを有している。そして、トランスマッションゲート1(201)は、ソース信号線(S)203に接続されており、トランスマッションゲート2(202)は、電流供給線204に接続されている。

【0088】

また、切り替え信号線205は、トランスマッションゲート1(201)及びトランスマッションゲート2(202)に接続されており、切り替え信号発生回路206からの切り替え信号とこの切り替え信号がインバーター207により反転された反転切り替え信号がそれぞれトランスマッションゲート1(201)及びトランスマッションゲート2(202)に入力されるように回路が構成されている。

30

【0089】

また、切り替え信号発生回路206から入力される切り替え信号は、「0」または「1」の情報を持っており、「0」と「1」の切り替え信号は、一方がHi、一方がLoの電圧を有する信号である。

【0090】

本実施例では、切り替え信号が「0」の情報を持っていた場合、図3(A)に示すようにトランスマッションゲート1(201)はオンの状態となり、トランスマッションゲート2(202)はオフの状態となる。よって、トランスマッションゲート1(201)が、オンの状態になり、ソース信号線駆動回路102からの信号がトランスマッションゲート1(201)に入力され、トランスマッションゲート1(201)及びトランスマッションゲート2(202)から画素部101接続される配線208には、ソース信号線駆動回路102からの信号が入力される。この時、配線208は、ソース信号線の役割を果たすことになる。

40

【0091】

この時、ソース信号線の役割を果たす配線208が図3(A)に示すように画素107aのスイッチング用TF T301aと接続されている場合には、配線208をソース信号線とする画素107aにおけるEL素子302aは、ソース信号線駆動回路102から入力されるデジタルビデオ信号により発光又は、非発光を示す。

【0092】

50

このように、ソース信号線駆動回路 102 から入力されるデジタルビデオ信号により EL 素子が発光したり発光しなかったりする状態にある画素のことを本明細書中では、選択された（状態にある）画素と呼ぶことにする。

【0093】

しかし、ソース信号線の役割を果たす配線 208 が図 3（A）に示すように画素 107b の電流制御用 TFT 303b と接続されている場合には、画素 107b には、信号が入力されず、画素 107b は非選択状態になる。

【0094】

逆に、切り替え信号が「1」の情報を持っていた場合、図 3（B）に示すようにトランスミッションゲート 1（201）はオフの状態となり、トランスミッションゲート 2（202）はオンの状態となる。よって、トランスミッションゲート 2（202）が、オンの状態になり、電源 106 から電流供給線 205 により入力される信号が、トランスミッションゲート 2（202）から画素部 101 に接続される配線 208 には、電源 106 からの信号が入力される。すなわち、この配線 208 は、電流供給線の役割を果たすことになる。

10

【0095】

この時、電流供給線の役割を果たす配線 208 が図 3（B）に示すように画素 107c において電流制御用 TFT と接続されている場合には、配線 208 を電流供給線とする画素 107c における EL 素子 302c は、ソース信号線駆動回路 102 から入力されるデジタルビデオ信号により発光又は、非発光を示す。つまり、このとき画素 107c は選択されている。

20

【0096】

しかし、電流供給線の役割を果たす配線 208 が図 3（B）に示すように画素 107d のスイッチング用 TFT 301d と接続されている場合には、画素 107d には、信号が入力されず、すなわち画素 107d は非選択状態になる。

【0097】

なお、ある画素が選択されているときには、紙面に向かって縦方向に同じ配線に接続されている画素列はすべて選択されている。また、ある画素が選択されていないときには、紙面に向かって縦方向に同じ配線に接続されている画素列はすべて選択されていないことになる。

30

【0098】

なお、1 フレームごとに選択される画素列が切り替わるようにして、ソース信号線と電流供給線とが電氣的に交互に入れ替わるようにすると良い。

【0099】

よって、例えば、第 1 フレームにおいて左から第 1、第 3、第 5 といった奇数の画素列を選択し、第 2 フレームにおいて左から第 2、第 4、第 6 といった偶数の画素列を選択することができる。

【0100】

〔実施例 2〕

次に、上記と異なる画素部の構造を有する自発光装置を本発明に用いる場合の画素部の構造及びその駆動方法について説明する。ここでは n ビットのデジタルデータ信号により 2^n 階調の表示を行う場合について説明する。

40

【0101】

図 8 に本発明の自発光装置におけるブロック図の一例を示す。図 8 の自発光装置は、基板上に形成された TFT によって画素部 801、画素部の周辺に配置されたソース信号線駆動回路 802、書き込み用ゲート信号線駆動回路（第 1 のゲート信号線駆動回路）803、消去用ゲート信号線駆動回路（第 2 のゲート信号線駆動回路）804 を有している。なお、本実施例で自発光装置はソース信号線駆動回路を 1 つ有しているが、本発明においてソース信号線駆動回路は 2 つあってもよい。

【0102】

50

また本発明において、ソース信号線駆動回路 802、書き込み用ゲート信号線駆動回路 803または消去用ゲート信号線駆動回路 804は、画素部 801が設けられている基板上に設けられている構成にしても良いし、ICチップ上に設けてFPCまたはTABを介して画素部 801と接続されるような構成にしても良い。

【0103】

ソース信号線駆動回路 802は基本的にシフトレジスタ 802a、ラッチ(A) 802b、ラッチ(B) 802cを有している。

【0104】

ソース信号線駆動回路 802において、シフトレジスタ 802aにクロック信号(CLK)およびスタートパルス(SP)が入力される。シフトレジスタ 802aは、これらのクロック信号(CLK)およびスタートパルス(SP)に基づきタイミング信号を順に発生させ、バッファ等(図示せず)を通して後段の回路へタイミング信号を順次供給する。

10

【0105】

シフトレジスタ 802aからのタイミング信号は、バッファ等によって緩衝増幅される。タイミング信号が供給される配線には、多くの回路あるいは素子が接続されているために負荷容量(寄生容量)が大きい。この負荷容量が大きいために生ずるタイミング信号の立ち上がりまたは立ち下りの“鈍り”を防ぐために、このバッファが設けられる。

【0106】

バッファによって緩衝増幅されたタイミング信号は、ラッチ(A) 802bに供給される。ラッチ(A) 802bは、nビットデジタルデータ信号(n bit digital data signals)を処理する複数のステージのラッチを有している。ラッチ(A) 802bは、前記タイミング信号が入力されると、時分割階調データ信号発生回路 805から供給されるnビットデジタルデータ信号を順次取り込み、保持する。

20

【0107】

なお、ラッチ(A) 802bにデジタルデータ信号を取り込む際に、ラッチ(A) 802bが有する複数のステージのラッチに、順にデジタルデータ信号を入力しても良い。しかし本発明はこの構成に限定されない。ラッチ(A) 802bが有する複数のステージのラッチをいくつかのグループに分け、各グループごとに並行して同時にデジタルデータ信号を入力する、いわゆる分割駆動を行っても良い。なおこのときのグループの数を分割数と呼ぶ。例えば4つのステージごとにラッチをグループに分けた場合、4分割で分割駆動すると言う。

30

【0108】

ラッチ(A) 802bの全てのステージのラッチにデジタルデータ信号の書き込みが一通り終了するまでの時間を、ライン期間と呼ぶ。すなわち、ラッチ(A) 802b中で一番左側のステージのラッチにデジタルデータ信号の書き込みが開始される時点から、一番右側のステージのラッチにデジタルデータ信号の書き込みが終了する時点までの時間間隔がライン期間である。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間に含むことがある。

【0109】

1ライン期間が終了すると、ラッチ(B) 802cにラッチシグナル(Latch Signal)が供給される。この瞬間、ラッチ(A) 802bに書き込まれ保持されているデジタルデータ信号は、ラッチ(B) 802cに一斉に送出され、ラッチ(B) 802cの全ステージのラッチに書き込まれ、保持される。

40

【0110】

デジタルデータ信号をラッチ(B) 802cに送出し終えたラッチ(A) 802bには、シフトレジスタ 802aからのタイミング信号に基づき、再び時分割階調データ信号発生回路 805から供給されるデジタルデータ信号の書き込みが順次行われる。

【0111】

この2順目の1ライン期間中には、ラッチ(B) 802bに書き込まれ、保持されているデジタルデータ信号がソース信号線に入力される。

50

【 0 1 1 2 】

なお、ソース信号線は、切り替え回路 8 0 6 に電氣的に接続されている。一方、電源 8 0 7 に接続されている電流供給線（図示せず）も同様に切り替え回路 8 0 6 に電氣的に接続されている。そして、ソース信号線と電流供給線のうち、切り替え回路 8 0 6 を制御する切り替え信号により選択されたほうが、画素部 8 0 1 の画素と電氣的に接続される。

【 0 1 1 3 】

図 8 において、画素部 8 0 1 の画素 8 0 8 と切り替え回路 8 0 6 を含む領域を領域 8 0 9 で示す。

【 0 1 1 4 】

一方、書き込み用ゲート信号側駆動回路 8 0 3 及び消去用ゲート信号線駆動回路 8 0 4 は、それぞれシフトレジスタ、バッファ（いずれも図示せず）を有している。また場合によっては、書き込み用ゲート信号線駆動回路 8 0 3 及び消去用ゲート信号線駆動回路 8 0 4 が、シフトレジスタ、バッファの他にレベルシフタを有していても良い。

10

【 0 1 1 5 】

書き込み用ゲート信号線駆動回路 8 0 3 及び消去用ゲート信号線駆動回路 8 0 4 において、シフトレジスタ（図示せず）からのタイミング信号がバッファ（図示せず）に供給され、対応するゲート信号線（走査線とも呼ぶ）に供給される。ゲート信号線には、1 ライン分の画素 T F T のゲート電極が接続されており、1 ライン分全ての画素 T F T を同時に O N にしなくてはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

20

【 0 1 1 6 】

時分割階調データ信号発生回路 8 0 5 においては、アナログまたはデジタルのビデオ信号（画像情報を含む信号）が時分割階調を行うためのデジタルデータ信号（Digital Data Signals）に変換され、ラッチ（A）8 0 2 b に入力される。またこの時分割階調データ信号発生回路 8 0 5 は、時分割階調表示を行うために必要なタイミングパルス等を発生させる回路でもある。

【 0 1 1 7 】

この時分割階調データ信号発生回路 8 0 5 は、本発明の自発光装置の外部に設けられても良い。その場合、そこで形成されたデジタルデータ信号が本発明の自発光装置に入力される構成となる。この場合、本発明の自発光装置を表示ディスプレイとして有する電気器具（自発光装置）は、本発明の自発光装置と時分割階調データ信号発生回路を別の部品として含むことになる。

30

【 0 1 1 8 】

また、時分割階調データ信号発生回路 8 0 5 を I C チップなどの形で本発明の自発光装置に実装しても良い。その場合、その I C チップで形成されたデジタルデータ信号が本発明の自発光装置に入力される構成となる。この場合、本発明の自発光装置をディスプレイとして有する電気器具は、時分割階調データ信号発生回路を含む I C チップを実装した本発明の自発光装置を部品として含むことになる。

【 0 1 1 9 】

また最終的には、時分割階調データ信号発生回路 8 0 5 を画素部 8 0 1、ソース信号線駆動回路 8 0 2、書き込み用ゲート信号線駆動回路 8 0 3、消去用ゲート信号線駆動回路 8 0 4 と同一の基板上に T F T を用いて形成しうる。この場合、自発光装置に画像情報を含むビデオ信号を入力すれば全て基板上で処理することができる。この場合の時分割階調データ信号発生回路はポリシリコン膜を活性層とする T F T で形成しても良い。また、この場合、本発明の自発光装置をディスプレイとして有する電気器具は、時分割階調データ信号発生回路が自発光装置自体に内蔵されており、電気器具の小型化を図ることが可能である。

40

【 0 1 2 0 】

画素部 8 0 1 の拡大図を図 9 に示す。ソース信号線駆動回路 8 0 2 のラッチ（B）8 0 2 c に接続されたソース信号線（S 1 ~ S x）、F P C を介して自発光装置の外部の電源に

50

接続された電流供給線（ $V_1 \sim V_x$ ）、書き込み用ゲート信号線駆動回路 803 に接続された書き込み用ゲート信号線（第 1 のゲート信号線）（ $G_{a1} \sim G_{ay}$ ）、消去用ゲート信号線駆動回路 804 に接続された消去用ゲート信号線（第 2 のゲート信号線）（ $G_{e1} \sim G_{ey}$ ）が画素部 801 に設けられている。

【0121】

なお、画素部 801 の外部に設けられた切り替え回路 806 により切り替え回路 806 と画素を接続する配線（ $P_1 \sim P_x$ ）がソース信号線（ $S_1 \sim S_x$ ）または電流供給線（ $V_1 \sim V_x$ ）に切り替わる。

【0122】

ソース信号線（ $S_1 \sim S_x$ ）と、電流供給線（ $V_1 \sim V_x$ ）と、書き込み用ゲート信号線（ $G_{a1} \sim G_{ay}$ ）と、消去用ゲート信号線（ $G_{e1} \sim G_{ey}$ ）とを備えた領域が画素 901 である。画素部 801 にはマトリクス状に複数の画素 901 が配列されることになる。

10

【0123】

画素 901 と切り替え回路を含む領域 809 の拡大図を図 10 に示す。図 10 において、1001 はスイッチング用 TFT である。スイッチング用 TFT 1001 のゲート電極は、書き込み用ゲート信号線 G_a （1007）に接続されている。スイッチング用 TFT 1001 のソース領域とドレイン領域は、一方がソース信号線 S に、もう一方が電流制御用 TFT 1002 のゲート電極、各画素が有するコンデンサ 1003 及び消去用 TFT 1004 のソース領域又はドレイン領域にそれぞれ接続されている。ただし、スイッチング用 TFT 1001 が、切り替え回路 806 により電流供給線に接続された場合には、この画素は機能しない。

20

【0124】

コンデンサ 1003 はスイッチング用 TFT 1001 が非選択状態（オフ状態）にある時、電流制御用 TFT 1002 のゲート電圧を保持するために設けられている。なお本実施例ではコンデンサ 1003 を設ける構成を示したが、本発明はこの構成に限定されず、コンデンサ 1003 を設けない構成にしても良い。

【0125】

また、電流制御用 TFT 1002 のソース領域とドレイン領域は、一方が電流供給線 V に接続され、もう一方は EL 素子 1005 に接続される。電流供給線 V はコンデンサ 1003 に接続されている。

30

ただし、電流制御用 TFT 1002 が切り替え回路 806 によりソース信号線 S （ $S_1 \sim S_x$ ）に接続された場合には、この画素は機能しない。

【0126】

また消去用 TFT 1004 のソース領域とドレイン領域のうち、スイッチング用 TFT 1001 のソース領域またはドレイン領域に接続されていない方は、電流供給線 V に接続されている。そして消去用 TFT 1003 のゲート電極は、消去用ゲート信号線 G_e （1008）に接続されている。

【0127】

EL 素子 1005 は陽極と陰極と、陽極と陰極との間に設けられた EL 層とからなる。陽極が電流制御用 TFT 1002 のソース領域またはドレイン領域と接続している場合、陽極が画素電極、陰極が対向電極となる。逆に陰極が電流制御用 TFT 1002 のソース領域またはドレイン領域と接続している場合、陰極が画素電極、陽極が対向電極となる。

40

【0128】

EL 素子 1005 の対向電極には対向電位が与えられている。また電流供給線 V は電源電位が与えられている。そして対向電位と電源電位の電位差は、電源電位が画素電極に与えられたときに EL 素子が発光する程度の電位差に常に保たれている。電源電位と対向電位は、本発明の自発光装置に、外付けの IC 等により設けられた電源によって与えられる。なお対向電位を与える電源を、本明細書では特に対向電源 1006 と呼ぶ。

【0129】

50

現在の典型的な自発光装置には、画素の発光する面積あたりの発光量が 200 cd/m^2 の場合、画素部の面積あたりの電流が数 mA/cm^2 程度必要となる。そのため特に画面サイズが大きくなると、ICに設けられた電源から与えられる電位の高さをスイッチで制御することが難しくなっていく。本発明においては、電源電位と対向電位は常に一定に保たれており、ICに設けられた電源から与えられる電位の高さをスイッチで制御する必要がないので、より大きな画面サイズのパネルの実現に有用である。

【0130】

そして本発明において、電源電位の高さは、電流制御用TF T 1002のゲート電極に電源電位が与えられたときに、電流制御用TF T 1002がオフの状態となるような電位の高さであることが必要である。

10

【0131】

スイッチング用TF T 1001、電流制御用TF T 1002、消去用TF T 1004は、nチャネル型TF Tでもpチャネル型TF Tでもどちらでも用いることができる。またスイッチング用TF T 1001、電流制御用TF T 1002、消去用TF T 1004は、シングルゲート構造ではなく、ダブルゲート構造、やトリプルゲート構造などのマルチゲート構造を有していても良い。

【0132】

次に図8～図10で示した本発明を用いた自発光装置の駆動方法について、図11を用いて説明する。

【0133】

20

はじめに、書き込み用ゲート信号線駆動回路803から書き込み用ゲート信号線Ga1(1007)に入力される書き込み用ゲート信号(第1のゲート信号)によって書き込み用ゲート信号線Ga1(1007)が選択される。そして書き込み用ゲート信号線Ga1に接続されている全ての画素(1ライン目の画素)のスイッチング用TF T 1001がオンの状態になる。

【0134】

そして同時に、ソース信号線駆動回路802からソース信号線S1～Sxに入力される1ビット目のデジタルビデオ信号が、スイッチング用TF T 1001を介して電流制御用TF T 1002のゲート電極に入力される。なお本明細書において、デジタルビデオ信号がスイッチング用TF T 1001を介して電流制御用TF T 1002のゲート電極に入力されることを、画素にデジタルビデオ信号が入力されるとする。

30

【0135】

デジタルビデオ信号は「0」または「1」の情報を有しており、「0」と「1」のデジタルビデオ信号は、一方がHi、一方がLoの電圧を有する信号である。

【0136】

本実施例では、デジタルビデオ信号が「0」の情報を有していた場合、電流制御用TF T 1002はオフの状態となる。よってEL素子1005の画素電極に電源電位が与えられない。その結果、「0」の情報を有するデジタルビデオ信号が入力された画素が有するEL素子1005は発光しない。

【0137】

40

逆に、デジタルビデオ信号が「1」の情報を有していた場合、電流制御用TF T 1002はオンの状態となる。よってEL素子1005の画素電極に電源電位が与えられる。その結果、「1」の情報を有するデジタルビデオ信号が入力された画素が有するEL素子1005は発光する。

【0138】

なお本実施例ではデジタルビデオ信号が「0」の情報を有していた場合、電流制御用TF T 1002はオフの状態となり、「1」の情報を有していた場合電流制御用TF T 1002はオンの状態となるが、本発明はこの構成に限定されない。デジタルビデオ信号が「0」の情報を有していた場合、電流制御用TF T 1002がオンの状態となり、「1」の情報を有していた場合電流制御用TF T 1002オフの状態となっても良い。

50

【 0 1 3 9 】

このように、1ライン目の画素にデジタルビデオ信号が入力されると同時に、E L 素子 1 0 0 5 が発光、または非発光を行い、1ライン目の画素は表示を行う。画素が表示を行っている期間を表示期間 T_r と呼ぶ。特に1ビット目のデジタルビデオ信号が画素に入力されたことで開始する表示期間を T_{r1} と呼ぶ。各ラインの表示期間が開始されるタイミングはそれぞれ時間差を有している。

【 0 1 4 0 】

次に書き込み用ゲート信号線 G_{a1} の選択が終了すると、書き込み用ゲート信号線 G_{a2} が書き込み用ゲート信号によって選択される。そして書き込み用ゲート信号線 G_{a2} に接続されている全ての画素のスイッチング用 $TFT1001$ がオンの状態になり、2ライン目の画素にソース信号線 $S_1 \sim S_x$ から1ビット目のデジタルビデオ信号が入力される。

10

【 0 1 4 1 】

そして順に、全ての書き込み用ゲート信号線 G_a ($G_{a1} \sim G_{ay}$) が選択され、全ての画素に1ビット目のデジタルビデオ信号が入力される。全ての画素に1ビット目のデジタルビデオ信号が入力されるまでの期間が、書き込み期間 T_{a1} である。

【 0 1 4 2 】

一方、全ての画素に1ビット目のデジタルビデオ信号が入力される前、言い換えると書き込み期間 T_{a1} が終了する前に、画素への1ビット目のデジタルビデオ信号の入力と並行して、消去用ゲート信号線駆動回路 8 0 4 から消去用ゲート信号線 G_{e1} (1008) に入力される消去用ゲート信号(第2のゲート信号)によって、消去用ゲート信号線 G_{e1} (1008) が選択される。そして、消去用ゲート信号線 G_{e1} (1008) に接続されている全ての画素(1ライン目の画素)の消去用 $TFT1004$ がオンの状態になる。そして電流供給線 $V_1 \sim V_x$ の電源電位が消去用 $TFT1004$ を介して電流制御用 $TFT1002$ のゲート電極に与えられる。

20

【 0 1 4 3 】

電源電位が電流制御用 $TFT1002$ のゲート電極に与えられると、電流制御用 $TFT1002$ のゲート電極とソース領域の電位が同じになり、ゲート電圧が0Vになる。よって電流制御用 $TFT1002$ はオフの状態となる。つまり、書き込み用ゲート信号線 G_{a1} (1007) が書き込み用ゲート信号によって選択されたときから電流制御用 TFT のゲート電極が保持していたデジタルビデオ信号は、電流制御用 TFT のゲート電極に電源電位が与えられることで消去される。よって電源電位はE L 素子 1 0 0 5 の画素電極に与えられなくなり、1ライン目の画素が有するE L 素子 1 0 0 5 は全て非発光の状態になり、1ライン目の画素が表示を行わなくなる。

30

【 0 1 4 4 】

画素が表示を行わない期間を非表示期間 T_d と呼ぶ。1ライン目の画素において、消去用ゲート信号線 G_{e1} (1008) が選択されると同時に表示期間 T_{r1} が終了し、非表示期間 T_{d1} となる。表示期間と同様に、各ラインの非表示期間が開始されるタイミングはそれぞれ時間差を有している。

【 0 1 4 5 】

そして消去用ゲート信号線 G_{e1} (1008) の選択が終了すると、消去用ゲート信号線 G_{e2} が選択され、消去用ゲート信号線 G_{e2} に接続されている全ての画素(2ライン目の画素)の消去用 $TFT1004$ がオンの状態になる。そして電流供給線 $V_1 \sim V_x$ の電源電位が消去用 $TFT1004$ を介して電流制御用 $TFT1002$ のゲート電極に与えられる。電源電位が電流制御用 $TFT1002$ のゲート電極に与えられると、電流制御用 $TFT1002$ はオフの状態となる。よって電源電位はE L 素子 1 0 0 5 の画素電極に与えられなくなる。その結果2ライン目の画素が有するE L 素子は全て非発光の状態になり、2ライン目の画素が表示を行わない非表示の状態となる。

40

【 0 1 4 6 】

そして順に、全ての消去用ゲート信号線に消去用ゲート信号が入力されていく。全ての消去用ゲート信号線 $G_{e1} \sim G_{ey}$ が選択され、全ての画素が保持している1ビット目のデ

50

デジタルビデオ信号が消去されるまでの期間が消去期間 T_{e1} である。

【0147】

一方、全ての画素が保持している1ビット目のデジタルビデオ信号が消去される前、言い換えると消去期間 T_{e1} が終了する前に、画素が保持している1ビット目のデジタルビデオ信号の消去と並行して、再び書き込み用ゲート信号による書き込み用ゲート信号線 G_{a1} の選択が行われる。そして1ライン目の画素に、2ビット目のデジタルビデオ信号が入力される。その結果、1ライン目の画素は再び表示を行うので、非表示期間 T_{d1} が終了して表示期間 T_{r2} となる。

【0148】

そして同様に、順に全ての書き込み用ゲート信号線が選択され、2ビット目のデジタルビデオ信号が全ての画素に入力される。全ての画素に2ビット目のデジタルビデオ信号が入力し終わるまでの期間を、書き込み期間 T_{a2} と呼ぶ。

【0149】

そして一方、全ての画素に2ビット目のデジタルビデオ信号が入力される前、言い換えると書き込み期間 T_{a2} が終了する前に、画素への2ビット目のデジタルビデオ信号の入力と並行して、消去用ゲート信号による消去用ゲート信号線 G_{e2} の選択が行われる。よって1ライン目の画素が有するEL素子は全て非発光の状態になり、1ライン目の画素が表示を行わなくなる。よって1ライン目の画素において表示期間 T_{r2} は終了し、非表示期間 T_{d2} となる。

【0150】

そして順に、全ての消去用ゲート信号線 $G_{e1} \sim G_{ey}$ が選択され、全ての画素が保持している2ビット目のデジタルビデオ信号が消去される。全ての画素が保持している2ビット目のデジタルビデオ信号が消去されるまでの期間が消去期間 T_{e2} である。

【0151】

上述した動作は m ビット目のデジタルビデオ信号が画素に入力されるまで繰り返し行われ、表示期間 T_r と非表示期間 T_d とが繰り返し出現する。表示期間 T_{r1} は、書き込み期間 T_{a1} が開始されてから消去期間 T_{e1} が開始されるまでの期間である。また非表示期間 T_{d1} は、消去期間 T_{e1} が開始されてから次に出現する書き込み期間（この場合書き込み期間 T_{a2} ）が開始されるまでの期間である。そして表示期間 T_{r2} 、 T_{r3} 、 $\dots$ 、 $T_{r(m-1)}$ と非表示期間 T_{d2} 、 T_{d3} 、 $\dots$ 、 $T_{d(m-1)}$ も、表示期間 T_{r1} と非表示期間 T_{d1} と同様に、それぞれ書き込み期間 T_{a1} 、 T_{a2} 、 $\dots$ 、 T_{am} と消去期間 T_{e1} 、 T_{e2} 、 $\dots$ 、 $T_{e(m-1)}$ とによって、その期間が定められる。

【0152】

説明を簡便にするために、図11では $m = n - 2$ の場合を例にとって示すが、本発明はこれに限定されないのは言うまでもない。本発明において m は、1から n までの値を任意に選択することが可能である。

【0153】

$m[n - 2]$ （以下、括弧内は $m = n - 2$ の場合を示す）ビット目のデジタルビデオ信号が1ライン目の画素に入力されると、1ライン目の画素は表示期間 $T_{rm[n - 2]}$ となり表示を行う。そして次のビットのデジタルビデオ信号が入力されるまで、 $m[n - 2]$ ビット目のデジタルビデオ信号は画素に保持される。

【0154】

そして次に $(m + 1)[n - 1]$ ビット目のデジタルビデオ信号が1ライン目の画素に入力されると、画素に保持されていた $m[n - 2]$ ビット目のデジタルビデオ信号は、 $(m + 1)[n - 1]$ ビット目のデジタルビデオ信号に書き換えられる。そして1ライン目の画素は表示期間 $T_{r(m + 1)[n - 1]}$ となり、表示を行う。 $(m + 1)[n - 1]$ ビット目のデジタルビデオ信号は、次のビットのデジタルビデオ信号が入力されるまで画素に保持される。

【0155】

上述した動作を n ビット目のデジタルビデオ信号が画素に入力されるまで繰り返し行われる。表示期間 $T_{rm}[n-2]$ 、...、 T_{rn} は、書き込み期間 $T_{am}[n-2]$ 、...、 T_{an} が開始されてから、その次に出現する書き込み期間が開始されるまでの期間である。

【0156】

全ての表示期間 $T_{r1} \sim T_{rn}$ が終了すると、1つの画像を表示することができる。本発明において、1つの画像が表示される期間を1フレーム期間 (F) と呼ぶ。

【0157】

そして1フレーム期間終了後は、再び書き込み用ゲート信号線 G_{a1} が書き込み用ゲート信号によって選択される。そして、1ビット目のデジタルビデオ信号が画素に入力され、1ライン目の画素が再び表示期間 T_{r1} となる。そして再び上述した動作を繰り返す。

10

【0158】

自発光装置は1秒間に60以上のフレーム期間を設けることが好ましい。1秒間に表示される画像の数が60より少なくなると、視覚的に画像のちらつきが目立ち始めることがある。

【0159】

また本発明では、全ての書き込み期間における長さの和が1フレーム期間よりも短いことが重要である。なおかつ表示期間の長さを $T_{r1} : T_{r2} : T_{r3} : \dots : T_{r(n-1)} : T_{rn} = 2^0 : 2^1 : 2^2 : \dots : 2^{(n-2)} : 2^{(n-1)}$ とすることが必要である。この表示期間の組み合わせで 2^n 階調のうち所望の階調表示を行うことができる。

【0160】

20

1フレーム期間中にEL素子が発光した表示期間の長さの総和を求めることによって、当該フレーム期間におけるその画素の表示した階調がきまる。例えば、 $n=8$ のとき、全部の表示期間で画素が発光した場合の輝度を100%とすると、 T_{r1} と T_{r2} において画素が発光した場合には1%の輝度が表現でき、 T_{r3} と T_{r5} と T_{r8} を選択した場合には60%の輝度が表現できる。

【0161】

m ビット目のデジタルビデオ信号が画素に書き込まれる書き込み期間 T_{am} は、表示期間 T_{rm} の長さよりも短いことが肝要である。よってビット数 m の値は、 $1 \sim n$ のうち、書き込み期間 T_{am} が表示期間 T_{rm} の長さよりも短くなるような値であることが必要である。

30

【0162】

また表示期間 $T_{r1} \sim T_{rn}$ は、どのような順序で出現させても良い。例えば1フレーム期間中において、 T_{r1} の次に T_{r3} 、 T_{r5} 、 T_{r2} 、... という順序で表示期間を出現させることも可能である。ただし、表示期間 $T_{r1} \sim T_{rn}$ が互いに重ならない順序の方がより好ましい。また消去期間 $T_{e1} \sim T_{en}$ も、互いに重ならない順序の方がより好ましい。

【0163】

本発明は上記構成によって、TFTによって $I_{DS} - V_{GS}$ 特性に多少のばらつきがあっても、電流制御用TFTに等しいゲート電圧がかかったときに出力される電流量のばらつきを抑えることができる。よって $I_{DS} - V_{GS}$ 特性のバラツキによって、同じ電圧の信号を入力してもEL素子の発光量が隣接画素で大きく異なってしまうという事態を避けることが可能になる。

40

【0164】

また本実施例では電流制御用TFTとして、第1の電流制御用TFTと第2の電流制御用TFTとが並列に設けられている。これによって、電流制御用TFTの活性層を流れる電流によって発生した熱の放射を効率的に行うことができ、電流制御用TFTの劣化を抑えることができる。また、電流制御用TFTのしきい値や移動度などの特性のばらつきによって生じるドレイン電流のばらつきを抑えることができる。

【0165】

また、本実施例では、表示を行わない非発光期間を設けることができる。従来のアナログ

50

駆動の場合、自発光装置に全白の画像を表示させると、常にEL素子が発光することになり、EL層の劣化を早める原因となってしまう。本実施例では非発光期間を設けることができるので、EL層の劣化をある程度抑えることができる。

【0166】

なお本実施例においては、表示期間と書き込み期間とが一部重なっている。言い換えると書き込み期間においても画素を表示させることが可能である。そのため、1フレーム期間における表示期間の長さの総和の割合（デューティー比）が、書き込み期間の長さによってのみ決定されない。

【0167】

なお本実施例では、電流制御用TFTのゲート電極にかかる電圧を保持するためにコンデンサを設ける構造としているが、コンデンサを省略することも可能である。電流制御用TFTが、ゲート絶縁膜を介してゲート電極に重なるように設けられたLDD領域を有している場合、この重なり合った領域には一般的にゲート容量と呼ばれる寄生容量が形成される。このゲート容量を電流制御用TFTのゲート電極にかかる電圧を保持するためのコンデンサとして積極的に用いても良い。

10

【0168】

このゲート容量の容量値は、上記ゲート電極とLDD領域とが重なり合った面積によって変化するため、その重なり合った領域に含まれるLDD領域の長さによって決まる。

【0169】

次に、図12により本実施例における自発光装置の画素の上面図を示し、これを用いて説明する。なお、図9と図10と図12は共通の符号を用いるので互いに参照すれば良い。

20

【0170】

図12において、ソース信号線(S)と、電流供給線(V)と、書き込み用ゲート信号線(Ga)と、消去用ゲート信号線(Ge)とをそれぞれ1つずつ有する領域901が画素である。画素901はスイッチング用TFT1001と、電流制御用TFT1002と、消去用TFT1004とを有している。

【0171】

スイッチング用TFT1001は、活性層1001aと、書き込み用ゲート信号線(Ga)の一部であるゲート電極1001bとを有している。電流制御用TFT1002は、活性層1002aと、ゲート配線1201の一部であるゲート電極1002bとを有している。消去用TFT1004は、活性層1004aと、書き込み用ゲート信号線(Ge)の一部であるゲート電極1004bとを有している。

30

【0172】

スイッチング用TFT1001の活性層1001aが有するソース領域とドレイン領域は、いずれか一方はソース信号線に、もう一方は接続配線1202を介してゲート配線1201に接続されている。なお1202はソース信号線(S)に入力される信号の電位によって、ソース配線と呼んだり、ドレイン配線と呼んだりする。

【0173】

消去用TFT1004の活性層1004aが有するソース領域とドレイン領域は、いずれか一方はソース信号線に、もう一方は接続配線1203を介してゲート配線1201に接続されている。なお1202は電流供給線(V)の電源電位によって、ソース配線と呼んだり、ドレイン配線と呼んだりする。

40

【0174】

電流制御用TFT1002の活性層1002aが有するソース領域とドレイン領域は、それぞれ電流供給線(V)とドレイン配線1204に接続されている。ドレイン配線1204は画素電極1205に接続されている。

【0175】

容量配線1206は半導体膜で形成されている。コンデンサ1003は、電流供給線(V)と電氣的に接続された容量配線1206、ゲート絶縁膜と同一層の絶縁膜(図示せず)及びゲート配線1201との間で形成される。また、ゲート配線1201、第1層間絶縁

50

膜と同一の層（図示せず）及び電流供給線（V）で形成される容量もコンデンサとして用いることが可能である。

【0176】

なお画素電極1205上には有機樹脂膜をエッチングすることで開口部1207を設けたバンクが形成されている。そして図示しないが、画素電極1205上にEL層と対向電極が順に積層される。画素電極1205とEL層とはバンクの開口部1207において接しており、EL層は対向電極と画素電極とに接して挟まれている部分のみ発光する。

【0177】

なお本発明の自発光装置における画素部の上面図は、図12に示した構成に限定されることはない。また、本実施例は実施例1の構成と組み合わせて実施することが可能である。

10

【0178】

〔実施例3〕

次に、本発明の自発光装置をアナログ方式で駆動させた場合について図13及び図14を用いて説明する。

【0179】

図13（A）に本実施例における自発光装置のブロック図を示す。1301はソース信号線駆動回路、1302はゲート信号線駆動回路、1303は画素部を示している。本実施例ではソース信号線駆動回路とゲート信号線駆動回路とを1つずつ設けたが、本発明はこの構成に限定されない。ソース信号線駆動回路を2つ設けても良いし、ゲート信号線駆動回路を2つ設けても良い。

20

【0180】

ソース信号線駆動回路1301は、シフトレジスタ1301a、レベルシフタ1301b、サンプリング回路1301cを有している。なおレベルシフタ1301bは必要に応じて用いればよく、必ずしも用いなくとも良い。また本実施例においてレベルシフタ1301bはシフトレジスタ1301aとサンプリング回路1301cとの間に設ける構成としたが、本発明はこの構成に限定されない。シフトレジスタ1301aの中にレベルシフタ1301bが組み込まれている構成にしても良い。

【0181】

なお、ソース信号線駆動回路1301と電氣的に接続されたソース信号線1304及び電源1307と電氣的に接続された電流供給線は、直接画素部1303に接続されているのではなく、切り替え回路1308から画素に電氣的に接続された配線は、切り替え回路1308に入力された切り替え信号によりソース信号線または電流供給線のいずれかに切り替わり、画素部1303と電氣的に接続されるようになっている。

30

【0182】

つまり、切り替え回路1308と画素部1303を接続する配線は、兼用になっていて、切り替え回路1308に入力される切り替え信号によりソース信号線または電流供給線に切り替わる。ただし、本実施例において、画素上のソース信号線または、電流供給線がそれぞれ隣り合うことはないものとする。

【0183】

また、上記に示したように一つの配線がソース信号線または、電流供給線に切り替わることから、スイッチング用TFTに接続された配線が電流供給線になった場合には、その部分の画素は機能しない。つまりソース信号線または、電流供給線がそれぞれ隣り合うことなく交互に切り替わっていることから、機能する画素も縦方向の画素列ごとに交互に切り替わっている。

40

【0184】

画素部1303では、ソース信号線駆動回路1301に接続されたソース信号線のうち、切り替え回路1308により選択されたソース信号線1304（1304__1～1304__X）、又切り替え回路1308により選択された電流供給線（図示せず）、ゲート信号線駆動回路1302に接続されたy本のゲート信号線1306（1306__1～1306

50

—Y)とがそれぞれ交差している。また電流供給線1305は電源1307と接続されることで一定の電位(電源電位)に保たれている。

【0185】

またゲート信号線駆動回路1302は、シフトレジスタ、バッファ(いずれも図示せず)を有している。また、レベルシフトを有していても良い。

【0186】

パネル制御信号であるクロック信号(CLK)、スタートパルス信号(SP)がシフトレジスタ1301aに入力される。シフトレジスタ1301aからビデオ信号をサンプリングするためのサンプリング信号が出力される。出力されたサンプリング信号はレベルシフト1301bに入力され、その電位の振幅が大きくなって出力される。

10

【0187】

レベルシフト1301bから出力されたサンプリング信号は、サンプリング回路1301cに入力される。そして同時に、ビデオ信号線を介してビデオ信号がサンプリング回路1301cに入力される。

【0188】

サンプリング回路1301cにおいて、入力されたビデオ信号がサンプリング信号によってサンプリングされ、それぞれソース信号線1304に入力される。

【0189】

図13(B)に、図13(A)で示した自発光装置の画素部1303の画素構造を示す。ゲート信号線駆動回路1302からの選択信号を入力するy本のゲート信号線1306(1306_1~1306_y)は、各画素が有するスイッチング用TFT1309のゲート電極に接続されている。また各画素が有するスイッチング用TFT1309のソース領域とドレイン領域は、一方がビデオ信号を入力するx本のソース信号線1304(1304_1~1304_x)に、もう一方が各画素が有する電流制御用TFT1310のゲート電極及び各画素が有するコンデンサ1311にそれぞれ接続されている。

20

【0190】

各画素が有する電流制御用TFT1310のソース領域は電流供給線1305に、ドレイン領域はEL素子1313の陽極または陰極に接続されている。また電流供給線1305は、各画素が有するコンデンサ1311に接続されている。なお本実施例ではコンデンサ1311を有する構成を示したが、コンデンサ1311は必ずしも設けなくとも良い。

30

【0191】

EL素子1313は陽極と、陰極と、陽極と陰極との間に設けられたEL層とを有する。EL素子1313の陽極が電流制御用TFT1310のドレイン領域と接続している場合、EL素子1313の陽極が画素電極、陰極が対向電極となる。逆にEL素子1313の陰極が電流制御用TFT1310のドレイン領域と接続している場合、EL素子1313の陽極が対向電極、陰極が画素電極となる。

【0192】

さらに、図13で説明した自発光装置を、アナログ方式で駆動させた場合のタイミングチャートを図14に示す。1つのゲート信号線が選択されてから、その次に別のゲート信号線が選択されるまでの期間を1ライン期間(L)と呼ぶ。なお本明細書においてゲート信号線が選択されるとは、スイッチング用TFTがオンの状態になるような電位を有する選択信号がゲート信号線に入力されることを意味する。

40

【0193】

また1つの画像が表示されてから次の画像が表示されるまでの期間が1フレーム期間(F)に相当する。例えば、y本のゲート信号線を有する自発光装置には、1フレーム期間中にy個のライン期間(L1~Ly)が設けられている。

【0194】

第1のライン期間(L1)において、ゲート信号線駆動回路1302から入力される選択信号によってゲート信号線1306が選択され、ゲート信号線1306に接続されている全てのスイッチング用TFT1309が全てオンの状態になる。そして、ソース信号線駆

50

動回路 1301 から x 本のソース信号線 (1304__1 ~ 1304__x) に順にビデオ信号が入力される。ソース信号線 (1304__1 ~ 1304__x) に入力されたビデオ信号は、スイッチング用 TFT 1309 を介して電流制御用 TFT 1310 のゲート電極に入力される。

【0195】

電流制御用 TFT 1310 のチャネル形成領域を流れる電流の量は、電流制御用 TFT 1310 のゲート電極とソース領域の電位差であるゲート電圧 V_{gs} によって制御される。よって、EL 素子 1313 の画素電極に与えられる電位は、電流制御用 TFT 1310 のゲート電極に入力されたビデオ信号の電位の高さによって決まる。したがって、EL 素子 1313 はビデオ信号の電位に制御されて発光を行う。

10

【0196】

上述した動作を繰り返し、ソース信号線 1304 (1304__1 ~ 1304__x) へのビデオ信号の入力が終了すると、第 1 のライン期間 (L1) が終了する。なお、ソース信号線 1304 (1304__1 ~ 1304__x) へのビデオ信号の入力が終了するまでの期間と水平帰線期間とを合わせて 1 つのライン期間としても良い。そして次に第 2 のライン期間 (L2) が開始され、選択信号によってゲート信号線 1306__2 が選択され、第 1 のライン期間 (L1) と同様にソース信号線 1304 (1304__1 ~ 1304__x) に順にビデオ信号が入力される。

【0197】

そして全てのゲート信号線 (1306__1 ~ 1306__y) が選択されると、全てのライン期間 (L1 ~ Ly) が終了する。全てのライン期間 (L1 ~ Ly) が終了すると、1 フレーム期間が終了する。1 フレーム期間中において全ての画素が表示を行い、1 つの画像が形成される。なお全てのライン期間 (L1 ~ Ly) と垂直帰線期間とを合わせて 1 フレーム期間としても良い。

20

【0198】

以上のように、ビデオ信号の電位によって EL 素子の発光量が制御され、その発光量の制御によって階調表示がなされる。

【0199】

本実施例の構成は、実施例 1 及び実施例 2 の構成と組み合わせて実施することが可能である。

30

【0200】

〔実施例 4〕

本発明の自発光装置を実施する上で、以下のような電圧電流特性を有する領域で電流制御用 TFT を駆動させるとよい。

【0201】

まず、デジタル方式で駆動させる場合には、電流制御用 TFT と EL 素子の両素子の動作点 (両素子の電圧電流特性がともに一致する値となる点) が線形領域に存在するように電流制御用 TFT と EL 素子を駆動させることが好ましい。これにより、電流制御用 TFT の特性のずれによる EL 素子の輝度ムラを抑えた階調表示を行うことができる。

また、アナログ駆動の場合には、 $|V_{GS}|$ のみによって電流値を制御することが可能な飽和領域に動作点が存在するように電流制御用 TFT と EL 素子を駆動させることが好ましい。

40

【0202】

〔実施例 5〕

自発光装置は、自発光型であるため液晶ディスプレイに比べて明るい場所での視認性に優れ、しかも視野角が広い。従って、様々な電気器具の表示部に用いることができる。例えば、TV 放送等を大画面で鑑賞するには対角 30 インチ以上 (典型的には 40 インチ以上) の発光装置 (自発光装置を筐体に組み込んだ電気光学装置) の表示部として本発明の自発光装置を用いるとよい。

【0203】

50

なお、自発光装置には、パソコン用ディスプレイ、ＴＶ放送受信用ディスプレイ、広告表示用ディスプレイ等の全ての情報表示用ディスプレイが含まれる。また、その他にも様々な電気器具の表示部として本発明の自発光装置を用いることができる。

【０２０４】

その様な本発明の電気器具としては、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンボ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはデジタルビデオディスク（ＤＶＤ）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。特に、斜め方向から見ることの多い携帯情報端末は視野角の広さが重要視されるため、自発光装置を用いることが望ましい。それら電気器具の具体例を図１５、図１６に示す。

10

【０２０５】

図１５（Ａ）は自発光装置であり、筐体２００１、支持台２００２、表示部２００３等を含む。本発明の自発光装置は表示部２００３に用いることができる。自発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。

【０２０６】

図１５（Ｂ）はビデオカメラであり、本体２１０１、表示部２１０２、音声入力部２１０３、操作スイッチ２１０４、バッテリー２１０５、受像部２１０６等を含む。本発明の自発光装置は表示部２１０２に用いることができる。

20

【０２０７】

図１５（Ｃ）は頭部取り付け型の電気光学装置の一部（右片側）であり、本体２２０１、信号ケーブル２２０２、頭部固定バンド２２０３、スクリーン部２２０４、光学系２２０５、表示部２２０６等を含む。本発明の自発光装置は表示部２２０６に用いることができる。

【０２０８】

図１５（Ｄ）は記録媒体を備えた画像再生装置（具体的にはＤＶＤ再生装置）であり、本体２３０１、記録媒体（ＤＶＤ等）２３０２、操作スイッチ２３０３、表示部（ａ）２３０４、表示部（ｂ）２３０５等を含む。表示部（ａ）２３０４は主として画像情報を表示し、表示部（ｂ）２３０５は主として文字情報を表示するが、本発明の自発光装置はこれら表示部（ａ）、（ｂ）２３０４、２３０５に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

30

【０２０９】

図１５（Ｅ）はゴーグル型ディスプレイ（ヘッドマウントディスプレイ）であり、本体２４０１、表示部２４０２、アーム部２４０３を含む。本発明の自発光装置は表示部２４０２に用いることができる。

【０２１０】

図１５（Ｆ）はパーソナルコンピュータであり、本体２５０１、筐体２５０２、表示部２５０３、キーボード２５０４等を含む。本発明の自発光装置は表示部２５０３に用いることができる。

40

【０２１１】

なお、将来的にＥＬ材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【０２１２】

また、上記電気器具はインターネットやＣＡＴＶ（ケーブルテレビ）などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。ＥＬ材料の応答速度は非常に高いため、自発光装置は動画表示に好ましい。

【０２１３】

また、自発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなる

50

ように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に自発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0214】

ここで図16(A)は携帯電話であり、本体2601、音声出力部2602、音声入力部2603、表示部2604、操作スイッチ2605、アンテナ2606を含む。本発明の自発光装置は表示部2604に用いることができる。なお、表示部2604は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。また、周囲が暗い場合印可する電圧を下げて、輝度を下げれば低電力化により有効である。

【0215】

また、図16(B)は音響再生装置、具体的にはカーオーディオであり、本体2701、表示部2702、操作スイッチ2703、2704を含む。本発明の自発光装置は表示部2702に用いることができる。また、本実施例では車載用オーディオを示すが、携帯型や家庭用の音響再生装置に用いても良い。なお、表示部2702は黒色の背景に白色の文字を表示することで消費電力を抑えられる。これは携帯型の音響再生装置において特に有効である。

【0216】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電気器具に用いることが可能である。また、本実施例の電気器具は実施例1～4に示したいずれの構成の自発光装置を用いても良い。

【0217】

【発明の効果】

本発明を実施することで、アクティブマトリクス型の自発光装置において、画素部のソース信号線と電流供給線の配線を兼用させることができる。これにより、画素部の開口率の高めることができる。さらにそのような自発光装置を表示部に用いることで発光輝度の高い電気器具を得ることができる。

【図面の簡単な説明】

【図1】 本発明の自発光装置の回路構成を示す図。

【図2】 本発明の自発光装置の切り替え回路を示す図。

【図3】 本発明の自発光装置の切り替え回路を示す図。

【図4】 本発明の自発光装置の画素部の回路図。

【図5】 本発明の自発光装置の画素の回路図。

【図6】 本発明の自発光装置の駆動方法を示す図。

【図7】 本発明の自発光装置の上面図。

【図8】 本発明の自発光装置の回路構成を示す図。

【図9】 本発明の自発光装置の画素部の回路図。

【図10】 本発明の自発光装置の画素の回路図。

【図11】 本発明の自発光装置の駆動方法を示す図。

【図12】 本発明の自発光装置の上面図。

【図13】 本発明の自発光装置の回路構成を示す図。

【図14】 本発明の自発光装置の駆動方法を示す図。

【図15】 本発明の自発光装置を用いた電気器具。

【図16】 本発明の自発光装置を用いた電気器具。

【図17】 従来の自発光装置の画素部の回路図。

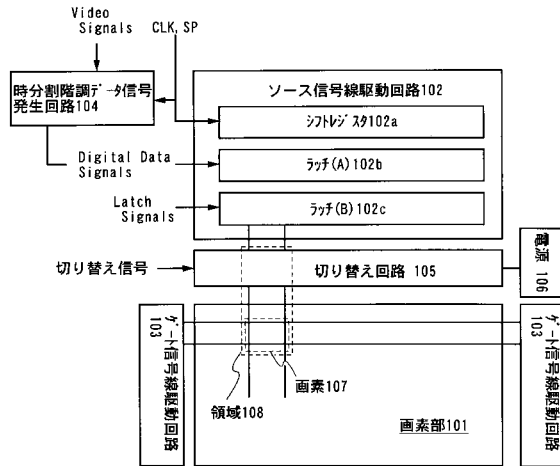
10

20

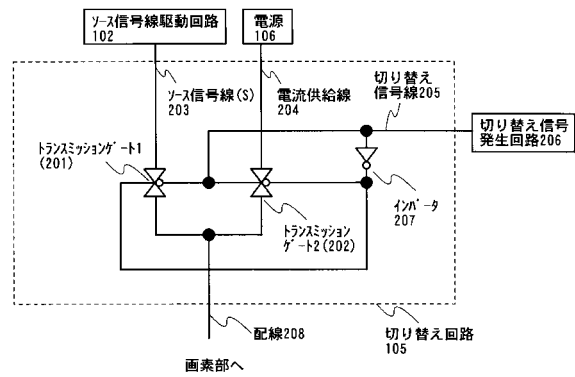
30

40

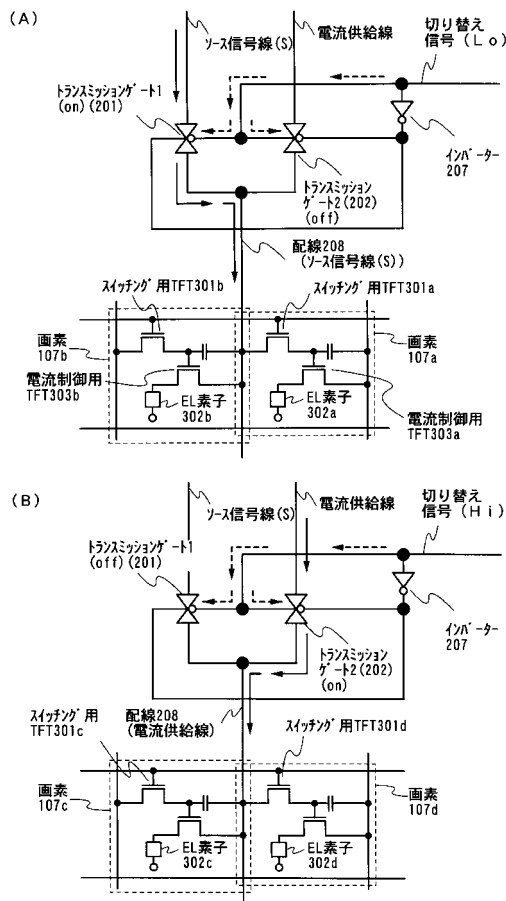
【図 1】



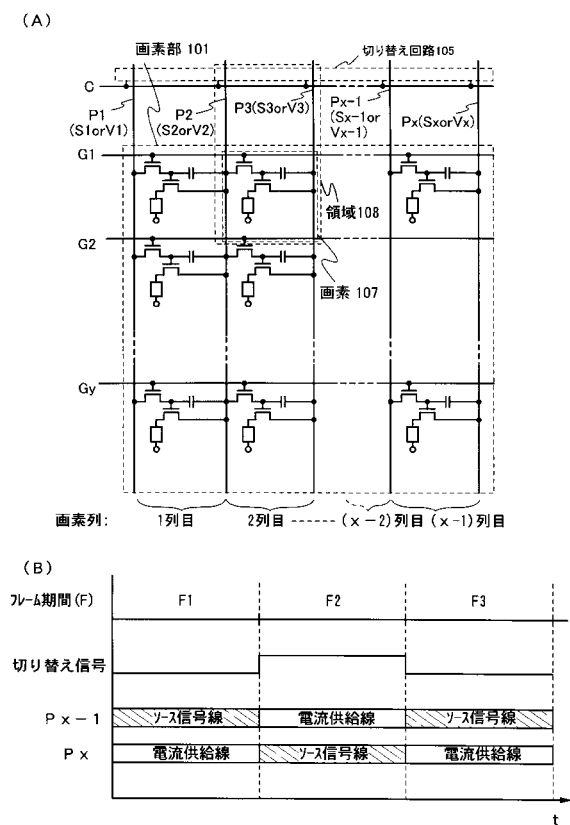
【図 2】



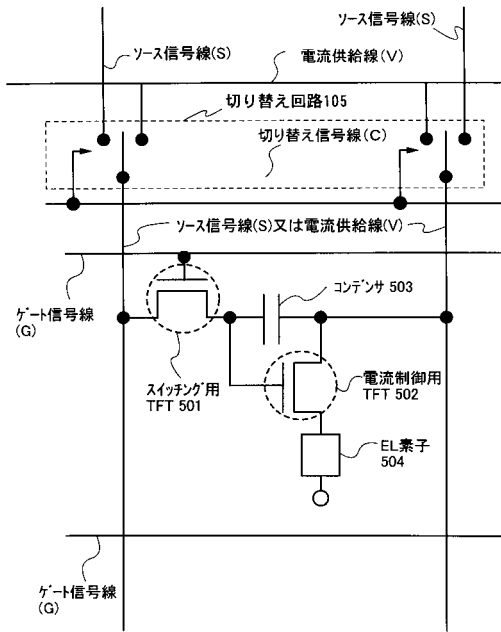
【図 3】



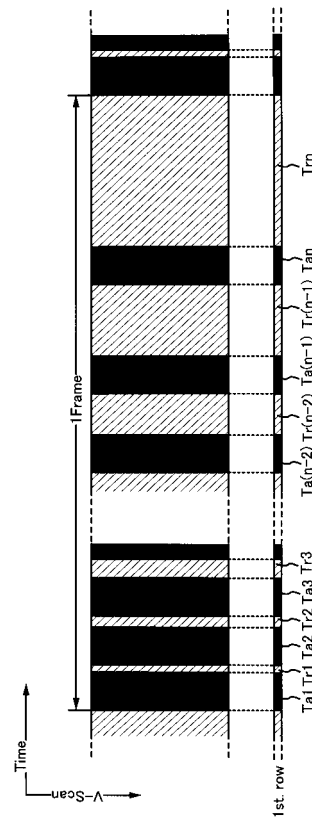
【図 4】



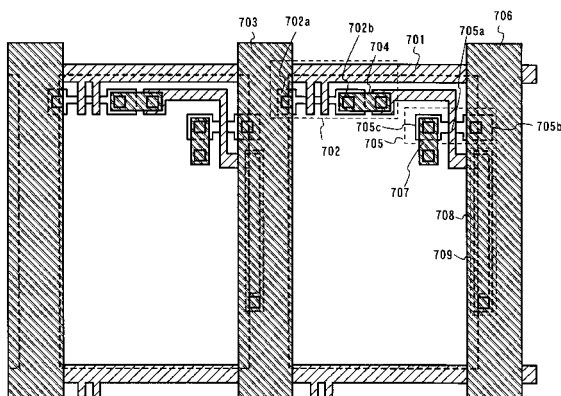
【図 5】



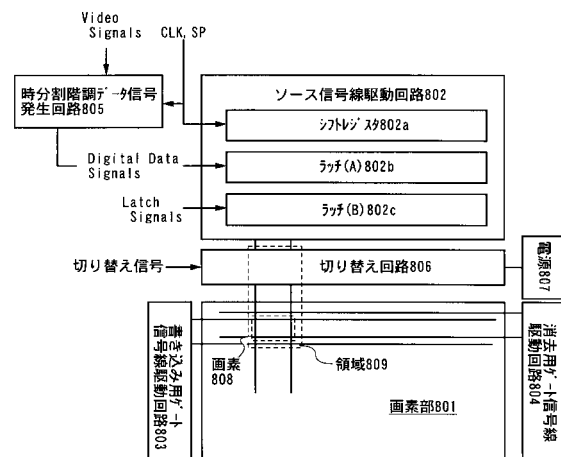
【図 6】



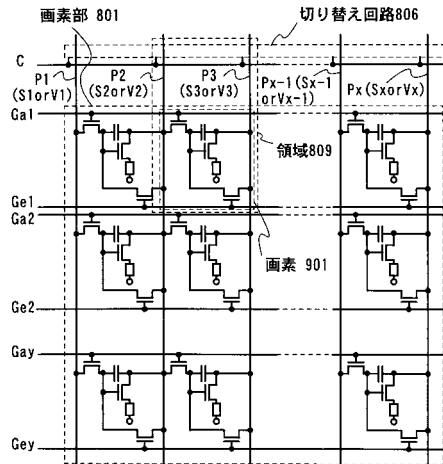
【図 7】



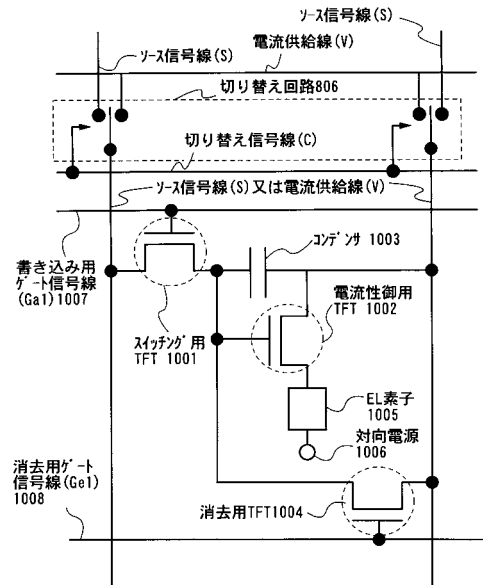
【図 8】



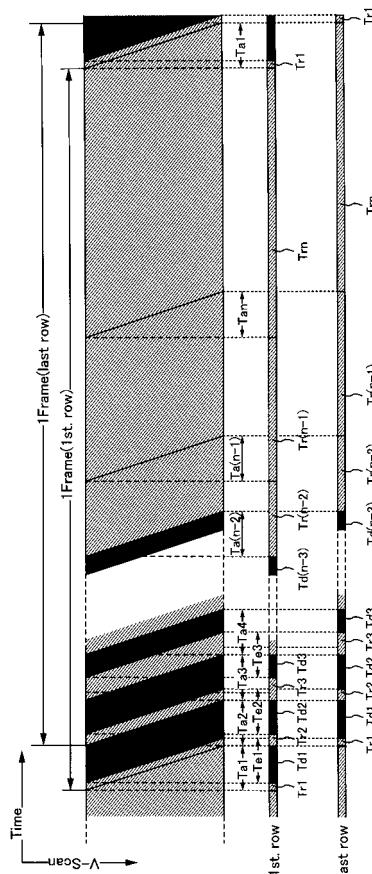
【図 9】



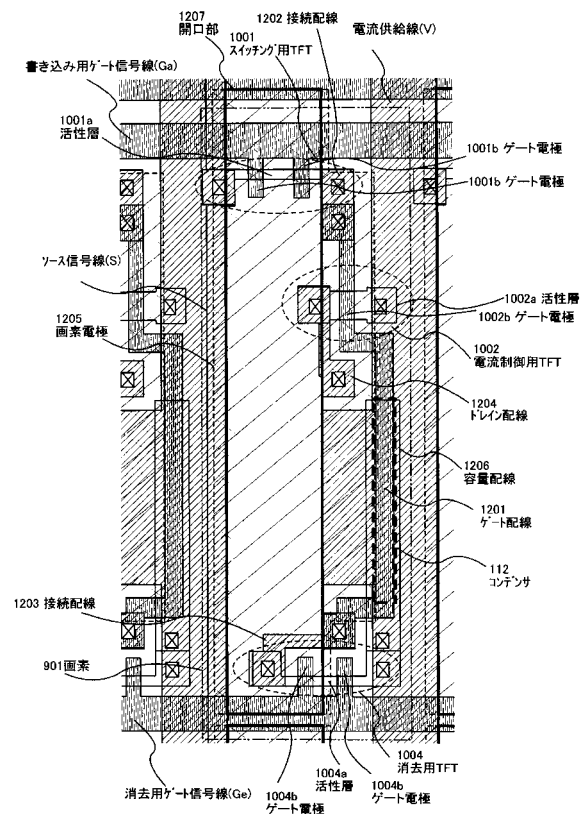
【図 10】



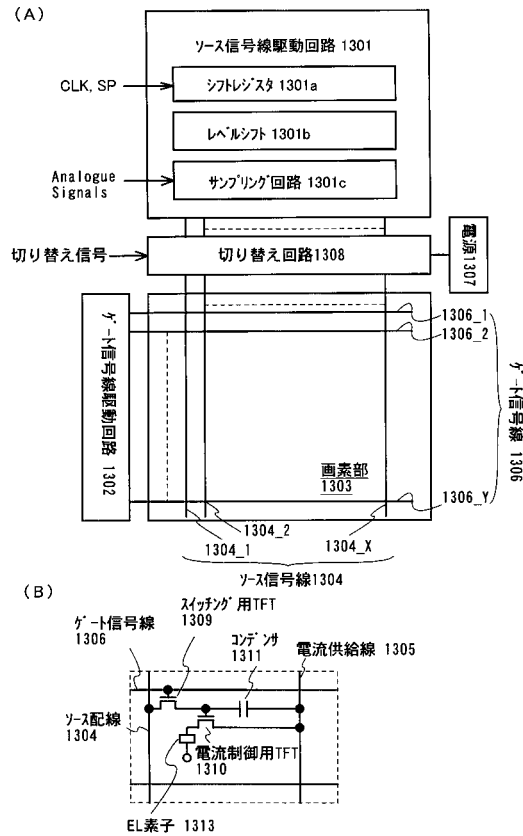
【図 11】



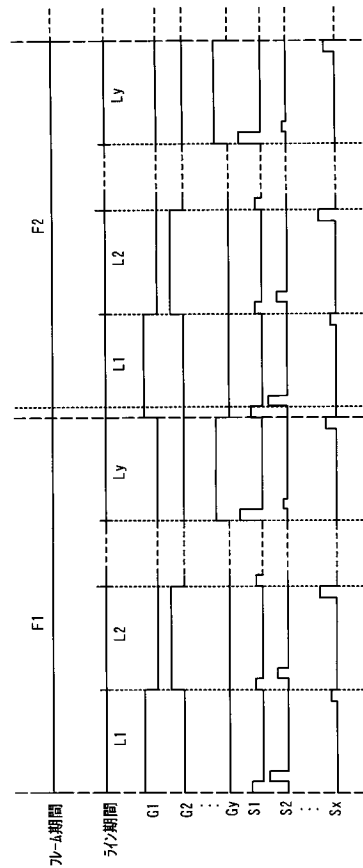
【図 12】



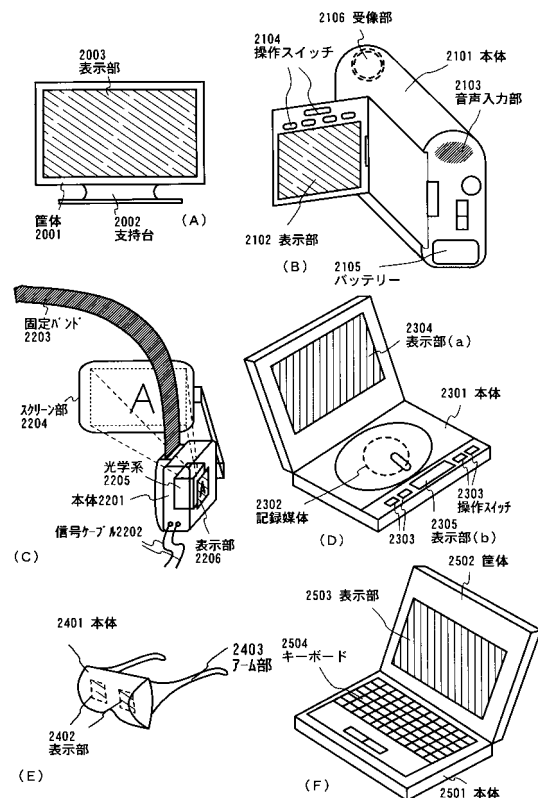
【図 13】



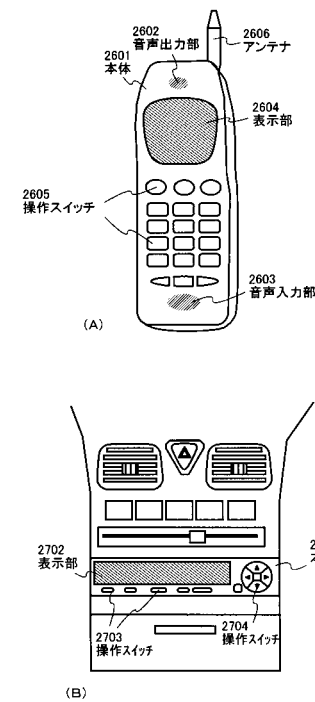
【図 14】



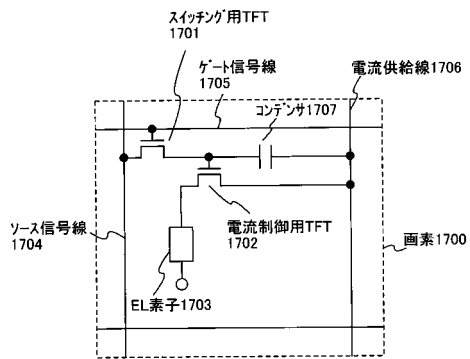
【図 15】



【図 16】



【図 17】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G 3/20 6 2 4 B

G 0 9 G 3/20 6 4 1 E

G 0 9 G 3/20 6 8 0 G

(58)調査した分野(Int.Cl. , D B 名)

G09G3/20,3/30-3/32

专利名称(译)	EL显示装置和使用其的电器		
公开(公告)号	JP4798874B2	公开(公告)日	2011-10-19
申请号	JP2001137881	申请日	2001-05-08
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
当前申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	小山潤		
发明人	小山 潤		
IPC分类号	G09G3/30 G09F9/30 H01L27/32 G09G3/20		
FI分类号	G09G3/30.J G09F9/30.338 G09F9/30.365.Z G09G3/20.611.F G09G3/20.623.R G09G3/20.624.B G09G3/20.641.E G09G3/20.680.G G09F9/30.365 G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	5C080/AA06 5C080/BB05 5C080/DD30 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK02 5C080/KK07 5C080/KK20 5C080/KK43 5C080/KK52 5C094/AA10 5C094/AA51 5C094/BA03 5C094/BA27 5C094/CA19 5C094/DA09 5C094/DB01 5C094/DB04 5C094/DB10 5C094/EA04 5C094/EA05 5C094/FA01 5C094/FB01 5C094/FB12 5C094/FB14 5C094/FB15 5C094/GA10 5C094/JA20 5C380/AA01 5C380/AB06 5C380/AB23 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/AC13 5C380/AC20 5C380/BA12 5C380/BA19 5C380/BA20 5C380/BB22 5C380/BD16 5C380/CA02 5C380/CA04 5C380/CA05 5C380/CA08 5C380/CA12 5C380/CA14 5C380/CA16 5C380/CA17 5C380/CA24 5C380/CA26 5C380/CB01 5C380/CB14 5C380/CB18 5C380/CC02 5C380/CC27 5C380/CC29 5C380/CC30 5C380/CC33 5C380/CC38 5C380/CC62 5C380/CC63 5C380/CD012 5C380/CD013 5C380/CE02 5C380/CF07 5C380/CF09 5C380/CF22 5C380/CF23 5C380/CF24 5C380/CF51 5C380/DA02 5C380/DA06 5C380/DA09 5C380/HA02 5C380/HA11		
优先权	2000135016 2000-05-08 JP		
其他公开文献	JP2002049354A5 JP2002049354A		
外部链接	Espacenet		

摘要(译)

本发明的一个目的是增加自发光器件中像素的孔径比，而不是传统器件的孔径比。连接到源信号线驱动电路的源信号线和连接到电源的电流源线分别连接到开关电路105。此外，开关电路105和像素部分101通过布线连接。注意，该布线可以通过输入到开关电路105的开关信号使用与源信号线或电流供应线相同的布线。如上所述，可以减少像素部分中的布线数量，从而可以增加开口率。

【 図 1 】

