

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3976704号
(P3976704)

(45) 発行日 平成19年9月19日(2007.9.19)

(24) 登録日 平成19年6月29日(2007.6.29)

(51) Int.Cl.

F I

G09G 3/30 (2006.01)

G09G 3/30 J

G09G 3/20 (2006.01)

G09G 3/30 K

G09G 3/20 611H

G09G 3/20 612F

G09G 3/20 623F

請求項の数 2 (全 9 頁) 最終頁に続く

(21) 出願番号 特願2003-129781 (P2003-129781)
 (22) 出願日 平成15年5月8日(2003.5.8)
 (65) 公開番号 特開2004-333877 (P2004-333877A)
 (43) 公開日 平成16年11月25日(2004.11.25)
 審査請求日 平成15年5月8日(2003.5.8)

(73) 特許権者 503141075
 統寶光電股▲ふん▼有限公司
 台湾苗栗縣竹南鎮科中路12號 新竹科學
 工業園區
 (74) 代理人 230104019
 弁護士 大野 聖二
 (74) 代理人 100106840
 弁理士 森田 耕司
 (74) 代理人 100115679
 弁理士 山田 勇毅
 (74) 代理人 100115808
 弁理士 加藤 真司

最終頁に続く

(54) 【発明の名称】 電子発光式表示装置の駆動回路

(57) 【特許請求の範囲】

【請求項1】

データシフト信号に基づいて n 個のシフト電圧信号を出力する n ビットのシフトレジスタと、

n ビットのシフトレジスタに接続され、 p ビットのデジタル信号および n 個のシフト電圧信号に基づいて n 個の p ビットデータシフト信号を出力する p ビットデータレジスタと、

ラッチ信号および n 個の p ビットデータシフト信号 に基づいて n 個の p ビット電圧データ信号を出力する電圧データラッチと、

p ビットの電流を供給する電流源と、

$n + 1$ 個のシフト電圧信号を出力する $n + 1$ ビットのシフトレジスタと、

前記 $n + 1$ ビットのシフトレジスタおよび前記電流源に接続され、それぞれ前記 $n + 1$ ビットのシフトレジスタの第1～第 n 個出力に接続され、且つ何れも p ビットの電流源と、
 $n + 1$ ビットのシフトレジスタの第 $n + 1$ 出力とに接続されることによって、 n 個の p ビットデータ電圧信号に対応する n 個のアナログ電流信号を発生させる n 個(第1個～第 n 個)のデジタル - アナログ電流変換器と、

m 個のシフト電圧信号を出力する m ビットのシフトレジスタと、

前記デジタル - アナログ電流変換器および m ビットのシフトレジスタに接続され、 n 個のアナログ電流信号および m 個のシフト電圧信号に基づいて $m \times n$ 個のアナログ電流信号を出力する電流ラッチを備えた電子発光式表示装置の駆動回路において、

10

20

前記 n 個 (第 1 個 ~ 第 n 個) のデジタル - アナログ電流変換器のいずれかは、さらに p 個の電流複製ユニットを有し、前記各電流複製ユニットは、さらに第一電流記憶ユニットと第二電流記憶ユニットを含み、

前記第 a 個のデジタル - アナログ電流変換器 ($a = 1 \sim n$) の p 個の第一電流記憶ユニットは何れも前記 $n + 1$ ビットのシフトレジスタの第 a 個出力と前記 p ビット電流源に接続され、前記 $n + 1$ ビットのシフトレジスタの第 a 個出力に基づいて、前記 p ビットの電流源から出力する電流を記憶し、

前記第 a 個のデジタル - アナログ電流交換器の p 個の第二電流記憶ユニットは何れも前記 $n + 1$ ビットのシフトレジスタの第 $n + 1$ 個出力に接続され、前記 $n + 1$ ビットのシフトレジスタの第 $n + 1$ 個出力に基づいて、前記 p 個の第一電流記憶ユニットに記憶される電流を記憶することを特徴とする電子発光式表示装置の駆動回路。

10

【請求項 2】

前記第 a 個のデジタル - アナログ電流変換器はさらに第 1 ~ 第 p 個のスイッチを含み、前記第 a 個のデジタル - アナログ電流変換器の第 b 個の第二電流記憶ユニット ($b = 1 \sim p$) はさらに前記第 b 個のスイッチを通して、第 a 個のアナログ電流信号の出力端と接続され、前記第 1 ~ 第 p 個のスイッチは前記電圧データラッチ出力の第 a 個 p ビットデータ電圧信号と接続されることによって、第 a 個のアナログ電流信号の出力を制御することを特徴とする請求項 1 に記載の電子発光式表示装置の駆動回路。

【発明の詳細な説明】

【0001】

20

【発明の属する技術分野】

本発明は、駆動回路に関し、特に電子発光式表示装置を駆動する駆動回路に関する。

【0002】

【従来の技術】

情報技術の発展に伴って、フラットパネル表示装置 (Flat Panel Display : FPD) は、電子応用製品の中で徐々に主流となっており、例えば日常生活の中の各種電気製品として、テレビ、自動車のダッシュボード、腕時計、公告看板、携帯電話、コンピュータスクリーン等である。現在、フラットパネル表示装置は、三種類のものがあり、即ち液晶式表示装置 (Liquid Crystal Display : LCD) 、プラズマディスプレイパネル (Plasma Display Panel : PDP) 、および電子発光表示装置 (Electron Luminescent Display : ELD) である。

30

【0003】

液晶式表示装置は、生産コストが低く電気消費量も少ないので、ノートパソコンに用いられているだけでなく、デスクトップ型のパソコンにも用いられるようになり、しかもデスクトップへの応用が徐々に主流となってきた。しかし、液晶式表示装置には、解決すべき技術課題がまだ多く残っており、例えば視角が不良であり、反応時間が長く、構造も複雑であるので、大型化することや低コスト化することが難しい。一方、電子発光表示装置は、視角の制限がなく、発光時の発熱もなく、且つ可撓性や軽量コンパクト性などの利点があるので、電子発光式フラットパネル表示装置は、これから極めて大きな発展が期待されている。

40

【0004】

電子発光式パネルは、発光体が励起されることで自発発光するので、背景光源を必要としない。そして、反応時間および視角は制限されることがないので、動画の表示に関しては液晶表示装置より優れた効果を持っている。また、電子発光式パネルは、発光体を導電層の外側に塗布し或いはスパッタリングすることによって形成されるので、液晶表示パネルよりも小さい体積で製作することができる。従って、電気消費量や反応速度や体積の面から見ても、電子発光式パネルは液晶パネルより強い競争力を持っている。

【0005】

現在、電流駆動 (current programming) を利用する電子発光式表示

50

装置において、画素を駆動するために、電源からの電流をデータラインに供給することが必要である。なお、異なる階層を提供するために異なる電流を供給することが必要となるので、駆動回路には、デジタル電圧からアナログ電流へ変換する回路(Digital to Analogue Current Converter: DCC)を設けなければならない。このような駆動回路を示すブロック図は、「図1」に示されており、6ビット(6-bit)信号を例に取っているものである。

【0006】

図示のように、従来技術の駆動回路は、シフトレジスタ(shift register)10と、データレジスタ(data register)20と、電圧データラッチ(voltage data latch)30と電源(current source)40と、デジタル-アナログ電流変換器(Digital to Analogue Current Converter)50と、シフトレジスタ60と、電流ラッチ(current latch)70とを備えている。シフトレジスタ10は、nビットのシフトレジスタであり、データレジスタ20に接続されている。データレジスタ20は、6ビットのデータレジスタであり、電圧データラッチ30に接続されている。電圧データラッチ30は、6ビットのラッチであり、デジタル-アナログ電流変換器50に接続されている。電源40は、2ビットの電源であり、デジタル-アナログ電流変換器50に接続されている。電流ラッチ70もデジタル-アナログ電流変換器50に接続されている。シフトレジスタ60は、mビットのシフトレジスタであり、デジタル-アナログ電流変換器50に接続されている。図面において、実線は電圧信号を示し、点線は電流信号を示している。

【0007】

従って、データシフト信号がデータシフトレジスタ10より入力された後、データレジスタ20および電圧データラッチ30より電圧信号が出力され、更にデジタル-アナログ電流変換器50によって電流信号に変換される。最後に、mビットのシフトレジスタ60および電流ラッチ70を介して $m \times n$ 個の出力電流が出力される。

【0008】

「図1」における駆動回路の特徴としては、参考電流は、2ビットの電源40から6ビットのデジタル-アナログ電流変換器50へ供給されている。そして、電流鏡(current mirror)の方式により、素子面積の違いを利用することによって異なる標準電流を生成する。更に、電圧ラッチ(voltage latch)の電圧に基づいて電流の大きさを選択することによって、デジタル電圧(digital voltage)をアナログ電流(analogue current)に変換する。

【0009】

【非特許文献1】

M. Mizukami 他 SID 2000年 Digest 924頁

【非特許文献2】

R. Dawson 他 IEEE IEDM 1998年 875頁

【非特許文献3】

T. Sasaoka 他 SID 2001年 Digest 384頁

【0010】

【発明が解決しようとする課題】

しかし、このような構成は、同じ参考電位を利用して電流を生成するので、各素子は製造過程または他の原因でトランジスタのしきい電圧(threshold voltage: V_{th})に異なる分布を持たせている。結局、出力される標準電流に相対的な影響を与えて変化させるので、誤差が生じてしまう。このような誤差に起因して駆動回路の誤差が発生してしまうことから、該誤差を抑制し或いは他の回路を用いて誤差を減少することで駆動回路の出力電流の安定を図る必要がある。また、電流鏡の方式を用いて電流を生成する際のもう一つの課題は、二つのトランジスタは、互いに完全にマッチングしていなければならない。マッチングしていない場合、差異が発生してしまう。

10

20

30

40

50

【 0 0 1 1 】

上述した問題に鑑み、本発明の主要目的は、電子発光式表示装置の駆動回路を提供することによって、従来の駆動回路でしきい電圧により生じる誤差問題を解決する。

【 0 0 1 2 】

また、上述した問題を解決するために、本発明は、従来の電流鏡の代わりに、参考電源および電流複製 (c u r r e n t c o p y) の方式を用いてアナログ電流を生成することによって、しきい電圧 V_{th} の変化により生じる誤差を低減する。即ち、主として電流複製方式の回路構造を用いるので、トランジスタは、しきい電圧 V_{th} の変化に比較的に敏感ではない。従って、しきい電圧 V_{th} の変化により生じる誤差を効果的に低減することができ、駆動回路全体およびシステムの安定を図ることができる。

10

【 0 0 1 3 】

【課題を解決するための手段】

上述した目的を達成するために、本発明の電子発光式表示装置の駆動回路は、 n - ビットのシフトレジスタと、 p - ビットのデータレジスタと、電圧データラッチと、電源と、 $n + 1$ ビットのシフトレジスタと、 n 個のデジタル - アナログ電流変換器と、 m - ビットのシフトレジスタと、電流ラッチとを備え、前記デジタル - アナログ電流変換器は、 $n + 1$ ビットのシフトレジスタに接続されている第一電流記憶ユニットを有し、第一電流記憶ユニットがオンされるとき電源からの電流を提供し、第一電流記憶ユニットがオフされるとき電源からの電流を蓄積し；また、 $n + 1$ ビットのシフトレジスタに接続されている第二電流記憶ユニットを有し、第二電流記憶ユニットがオンされるとき第一電流記憶ユニットに蓄積された電流を蓄積する。

20

【 0 0 1 4 】

以下、図面を参照しながら最良の実施例によって本発明の特徴および作用を詳しく説明する。

【 0 0 1 5 】

【発明の実施態様】

本発明に用いられる電流複製 (c u r r e n t c o p y) 回路は、「図 2」に示すように、1 - ビット (1 - b i t) の回路である。この回路は、第一電流記憶ユニット $CM1$ と第二電流記憶ユニット $CM2$ とを有する。各第一電流ユニットは、3 個のトランジスタおよび 1 個の蓄積用コンデンサを含んでいる。第一電流記憶ユニットは、第一電界効果トランジスタ (f i e l d e f f e c t t r a n s i s t o r : F E T) $M1$ と、第二電界効果トランジスタ $M2$ と、第三電界効果トランジスタ $M3$ とを有する。

30

【 0 0 1 6 】

一般に、電界効果トランジスタは主として 2 種類に分けられており、即ち金属酸化物半導体電界効果トランジスタ (M O S F E T) 及びジャンクション電界効果トランジスタ (J F E T) である。このような電界効果トランジスタは、外部の電界を利用して電流を制御しているので、電圧制御型の電源となっている。本発明は、金属酸化物半導体電界効果トランジスタを主要素子としており、第一電界効果トランジスタ $M1$ は、 N 型金属酸化物半導体電界効果トランジスタ (N M O S) であり、第二電界効果トランジスタ $M2$ も N 型金属酸化物半導体電界効果トランジスタであり、第三電界効果トランジスタ $M3$ は、 P 型金属酸化物半導体電界効果トランジスタ (P M O S) である。第一電界効果トランジスタ $M1$ のゲート (g a t e) は、第二電界効果トランジスタ $M2$ のゲートに接続され、更にデータシフトレジスタの出力端に接続されている。第一電界効果トランジスタ $M1$ のソース (s o u r c e) は、第二電界効果トランジスタ $M2$ および第三電界効果トランジスタ $M3$ のソースに接続され、第二電界効果トランジスタ $M2$ のドレーン (d r a i n) は、第三電界効果トランジスタ $M3$ のゲートに接続されている。また、第三電界効果トランジスタ $M3$ のドレーンは、電源線 (V_{dd} l i n e) に接続されている。そして、第三電界効果トランジスタ $M3$ のゲートとドレーンとの間に第一蓄積用コンデンサ $Cs1$ が接続されている。

40

【 0 0 1 7 】

50

第二電流記憶ユニットCM2は、第四トランジスタM4と第五トランジスタM5と第六トランジスタM6とを有しており、これらは全てN型金属酸化物半導体電界効果トランジスタである。第四トランジスタM4のソースは、第一トランジスタM1、第二トランジスタM2および第三トランジスタM3のソースに接続されており、第四トランジスタM4のゲートは、第五トランジスタM5のゲートに接続され、第四トランジスタM4のドレインは、第五トランジスタM5および第六トランジスタM6のドレインに接続されている。また、第五トランジスタM5のソースは、第六トランジスタM6のゲートに接続され、第六トランジスタM6のソースは、接地線(Vss Line)に接続され、第六トランジスタM6のゲートとソースとの間に第二蓄積用コンデンサCs2が接続されている。

【0018】

10

次に、第一電流記憶ユニットCM1および第二電流記憶ユニットCM2の作用を説明する。

【0019】

第一電流記憶ユニットCM1が高電位であったとき、第一トランジスタM1および第二トランジスタM2が導通されてオン(ON)となる。この際、第一電流記憶ユニットCM1がオンとなる。従って、外部から提供された参考電流Irefが第三トランジスタM3および第一トランジスタM1を介して導通される。一方、第一電流記憶ユニットCM1が低電位であったとき、第一トランジスタM1および第二トランジスタM2が導通されなくなりオフ(OFF)となる。これと同時に、第一蓄積用コンデンサCs1は、第三トランジスタM3の導通時の電流Irefに対応する電圧Vgsを蓄積する。そして、次の時点になると、第二電流記憶ユニットCM2がオンとなり、第一電流記憶ユニットCM1は、前の時点に該第一電流記憶ユニットに蓄積された参考電流Irefを第二電流記憶ユニットCM2に供給し該第二電流記憶ユニットCM2に蓄積する。この際、制御信号を用いて第七トランジスタM7のオン/オフを制御することによって、出力電流Ioutがゼロであるか参考電流Irefであるかを決定する。ここで、第七トランジスタM7の作用は、スイッチのようになっているので、スイッチと見なすことができる。これがオンであったとき、参考電流Irefが出力される。

20

【0020】

「図2」において、第一電流記憶ユニットCM1および第二電流記憶ユニットCM2は、互いに直列(serial)の方式で接続されているが、互いに並列(parallel)の方式で接続されることも可能である。

30

【0021】

次に、本発明の電流複製ユニットを駆動回路に応用する方法を詳しく説明する。「図3」は、本発明に係る電子発光式表示装置の駆動回路を示す回路ブロック図である。

【0022】

「図1」に示す従来の駆動回路に比較して、本発明は、電流鏡を用いたデジタル-アナログ電流変換器によってアナログ電流を生成し、生成されたアナログ電流が電流ラッチ(Current Latch)に送られ保存された後、パネルの画素に出力される。なお、「図3」に示す駆動回路では、一組の標準電源をパネル全体の参考電流として使用し、そして電流複製の方式で変換器に保存する。その後、デジタル信号に基づいて出力電流の大小を選択し、電流ラッチへの保存により、電流複製ユニットは同じ参考電流を保存する。また、電流複製構成を有する回路構造は、しきい電圧Vthの変化に比較的敏感ではないので、しきい電圧Vthの変化に起因する誤差を効果的に低減することが可能となり、全体の均一度を高めることができる。

40

【0023】

また、「図3」に示すように、本発明のデジタル-アナログ電流変換器を用いた駆動回路の実施例は、6-ビットのデータを用いており、シフトレジスタ10と、データレジスタ20と、電圧データラッチ30と、電源41と、デジタル-アナログ電流変換器51と、シフトレジスタ60と、電流ラッチ70と、およびシフトレジスタ80とを含んでいる。また、シフトレジスタ10は、n-ビットのシフトレジスタであり、データレジスタ20

50

に接続されている。データレジスタ20は、6ビットのデータレジスタであり、電圧データラッチ30に接続されている。電圧データラッチ30は、6ビットのラッチであり、デジタル-アナログ電流変換器51に接続されている。電源41は、6ビットの電源であり、デジタル-アナログ電流変換器51に接続されている。電流ラッチ70もデジタル-アナログ電流変換器51に接続されている。シフトレジスタ60は、mビットのシフトレジスタであり、デジタル-アナログ電流変換器51に接続されている。シフトレジスタ80は、n+1ビットのシフトレジスタであり、デジタル-アナログ電流変換器51に接続されている。

【0024】

従って、データシフト信号がデータシフトレジスタ10より入力された後、更にデータレジスタ20および電圧データラッチ30を介して電圧信号が出力され、デジタル-アナログ電流変換器51を介してデジタル電流信号に変換されて、全部でn個デジタル電流信号が出力される。最後に、mビットのシフトレジスタ60および電流ラッチ70を介してm×n個のアナログ出力電流が出力されてパネルの画素を駆動する。

【0025】

「図4」は、「図3」に示す駆動回路の詳細回路図である。図示のように、6ビットの電源41は、6ビットの電源を6ビットのデジタル-アナログ電流変換器51に供給する。第一ビットの電源は、デジタル-アナログ電流変換器51に対して第一ビットの電流複製ユニットを提供しており、第一電流記憶ユニットCM1における第一トランジスタM1のドレインは、電源41の第一ビットの出力端に接続されている。第一電流記憶ユニットCM1は高電位であったときオンとなり、この高電位は、シフトレジスタ80における第一ビットの出力端から提供されている。第二電流記憶ユニットCM2は高電位であったときオンとなり、この高電位は、シフトレジスタ80におけるn+1ビットの出力端から提供されている。従って、本発明の駆動回路がn個データに応用されるとき、もう一つのn+1ビットのシフトレジスタを必要とする。これによって、デジタル-アナログ電流変換器51における電流記憶ユニットのオン状態を制御できる。これと同時に、nビットのデジタル-アナログ電流変換器をも必要とする。なお、6ビットで各データを記録するなら、データレジスタ20、電圧データラッチ30、電源41、およびデジタル-アナログ電流変換器51は、全て6ビットである必要がある。また、シフトレジスタ10およびシフトレジスタ80は、データの個数とマッチングすべきである。

【0026】

「図4」に示す電源41は、ビットの異なる6個の参考電流 I_{ref} 、 $I_{ref} \times 2$ 、 $I_{ref} \times 4$ 、 $I_{ref} \times 8$ 、 $I_{ref} \times 16$ 、 $I_{ref} \times 32$ であり、第一電流記憶ユニットCM1および第二電流記憶ユニットCM2の作動電圧は、シフトレジスタ80から提供されている。第一電流記憶ユニットCM1がオンされるときは、6個ビットの第一電流記憶ユニットCM1が電流を記憶するときであり、第二電流記憶ユニットCM2がオンされるときは、第二電流記憶ユニットCM2が電流を記憶するときである。また、第七トランジスタM7の制御信号が高電位であったとき、6ビットの制御信号を利用して異なる電流値を出力すると共に、データを電流ラッチ70に記録する。そして、電流ラッチ70の能動信号が高電位であったとき、電流ラッチ70は画素にデータを出力する。

【0027】

本発明では、電流複製方式をデジタル-アナログ電流変換器における電流複製ユニットの基本ユニットとして用いており、一対超の方式で面積を減少し、素子差異を無視できるほど駆動回路全体の安定性を高めることができる。

【0028】

上述した実施例によって本発明を説明したが、これらの実施例は本発明を限定するものではない。当業者である画像技術者は、本発明の精神および範囲から離脱しなくても、本発明に対し変更および追加を行うことが可能である。従って、本発明の保護範囲は、本願明細書に添付している特許請求の範囲が定めた境界を基準とすべきである。

【図面の簡単な説明】

10

20

30

40

50

【図１】従来の電子発光表示装置における駆動回路を示すブロック図である。

【図２】本発明の電流複製ユニットをデジタル - アナログ電流変換器に応用する際の回路図である。

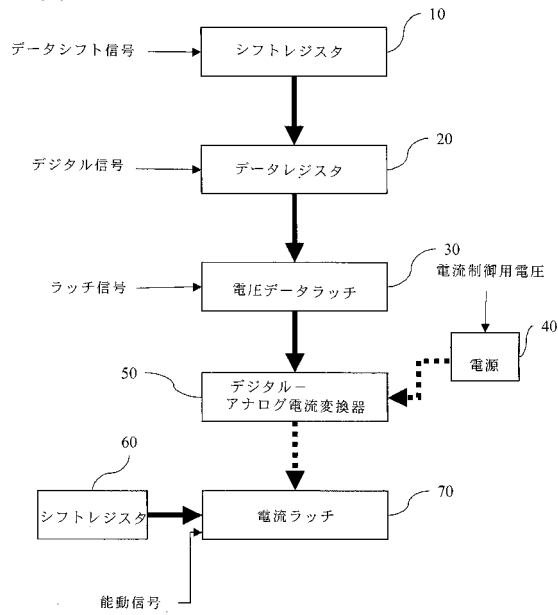
【図３】本発明の電子発光表示装置における駆動回路を示すブロック図である。

【図４】本発明の電子発光表示装置における駆動回路を示す詳細回路図である。

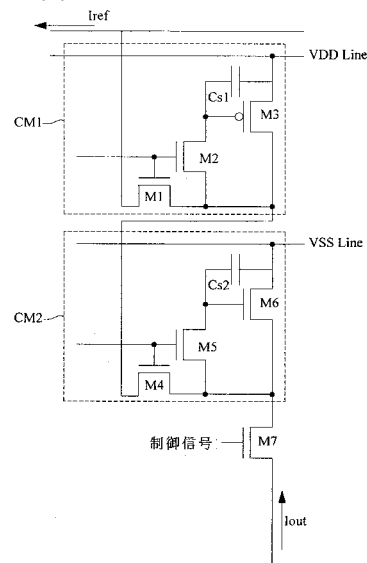
【符号の説明】

1 0	．．．．．	シフトレジスタ	
2 0	．．．．．	データレジスタ	
3 0	．．．．．	電圧データラッチ	
4 0	．．．．．	電源	10
4 1	．．．．．	電源	
5 0	．．．．．	デジタル - アナログ電流変換器	
5 1	．．．．．	デジタル - アナログ電流変換器	
6 0	．．．．．	シフトレジスタ	
7 0	．．．．．	電流ラッチ	
8 0	．．．．．	シフトレジスタ	
C M 1	．．．．．	第一電流記憶ユニット	
C M 2	．．．．．	第二電流記憶ユニット	
M 1	．．．．．	第一トランジスタ	
M 2	．．．．．	第二トランジスタ	20
M 3	．．．．．	第三トランジスタ	
C s 1	．．．．．	第一蓄積用コンデンサ	
M 4	．．．．．	第四トランジスタ	
M 5	．．．．．	第五トランジスタ	
M 6	．．．．．	第六トランジスタ	
C s 2	．．．．．	第二蓄積用コンデンサ	
M 7	．．．．．	第七トランジスタ	
V d d	l i n e	．．．電源線	
V s s	l i n e	．．．接地線	
I r e f	．．．．．	低電流	30
I o u t	．．．．．	出力電流	

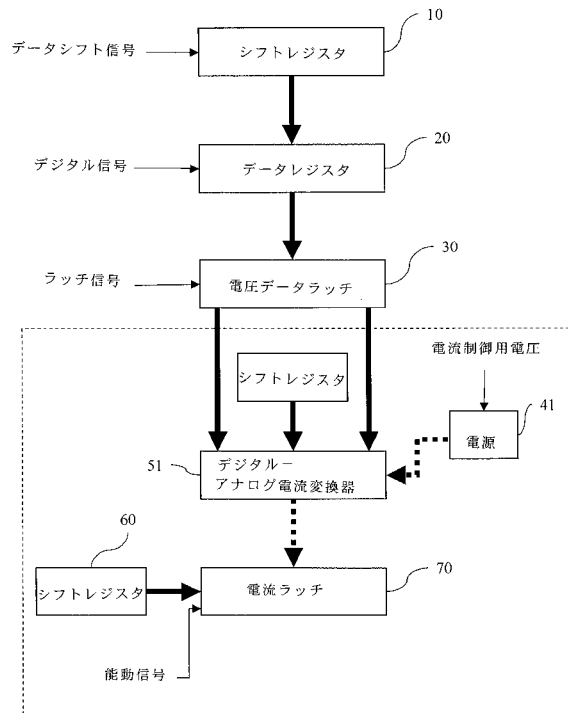
【図 1】



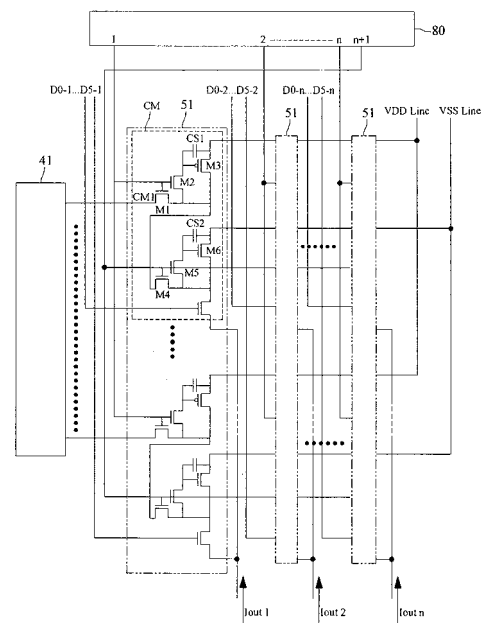
【図 2】



【図 3】



【図 4】



フロントページの続き

(51) Int.Cl.

F I

G 0 9 G 3/20 6 2 3 G

G 0 9 G 3/20 6 2 3 H

G 0 9 G 3/20 6 2 3 R

G 0 9 G 3/20 6 4 1 D

(72)発明者 チャオ ユー メン

台湾, タイチュン シティー, ベイツェン ディストリクト, レンメイ リー, レーン 9, ナン
バー 78 - 3

(72)発明者 ウェイ - チェ フシュエ

台湾, タイナン, ジャンギー ロード, セクション 1, ナンバー 7

(72)発明者 アン シー

台湾, チャンガ, ファン シャン, ファンジン ロード, ナンバー 98 - 1

審査官 西島 篤宏

(56)参考文献 特開平06 - 202076 (JP, A)

実開昭62 - 173831 (JP, U)

欧州特許出願公開第01288901 (EP, A1)

特開2004 - 252404 (JP, A)

特開2004 - 287349 (JP, A)

特開2004 - 318144 (JP, A)

特開2004 - 272191 (JP, A)

特開2003 - 150112 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/00- 3/38

专利名称(译)	电致发光显示装置的驱动电路		
公开(公告)号	JP3976704B2	公开(公告)日	2007-09-19
申请号	JP2003129781	申请日	2003-05-08
[标]申请(专利权)人(译)	统宝光电股份有限公司		
申请(专利权)人(译)	Toppori电子公司		
当前申请(专利权)人(译)	统宝光电股▲ふん▼有限公司		
[标]发明人	チャオユーメン ウェイチェフシュエ アンシー		
发明人	チャオ ユー メン ウェイ-チェ フシュエ アン シー		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 H05B33/14		
FI分类号	G09G3/30.J G09G3/30.K G09G3/20.611.H G09G3/20.612.F G09G3/20.623.F G09G3/20.623.G G09G3/20.623.H G09G3/20.623.R G09G3/20.641.D H05B33/14.A		
F-TERM分类号	3K007/AB02 3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA04 3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH00 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/EE28 5C080/JJ02 5C080/JJ03 5C380/AA03 5C380/AB05 5C380/AC02 5C380/AC07 5C380/AC08 5C380/AC11 5C380/AC13 5C380/AC16 5C380/BA37 5C380/CA34 5C380/CE01 5C380/CF06 5C380/CF07 5C380/CF09 5C380/CF48 5C380/DA02		
代理人(译)	森田浩二 加藤真司		
其他公开文献	JP2004333877A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供能够解决由阈值电压引起的误差问题的电致发光显示装置 (ELD) 的驱动电路。 ŽSOLUTION：电致发光显示器件的驱动电路具有n位移位电阻，p位移位电阻，电压数据锁存器，电源，n+1位移位电阻，n个数字/模拟电流转换器，m位移位电阻和电流锁存器。数字/模拟电流转换器具有与n+1位移位电阻器连接的第一电流存储单元，当第一电流存储单元接通时从电源提供电流并且在第一电流时累积来自电源的电流。存储单元已关闭。此外，数字/模拟电流转换器具有与n+1位移位电阻器连接的第二电流存储单元，并且当第二电流存储单元接通时累积在第一电流存储单元中累积的电流。 Ž

【 図 4 】

