

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-107629

(P2010-107629A)

(43) 公開日 平成22年5月13日(2010.5.13)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 K	3K107
G09G 3/20 (2006.01)	G09G 3/30 J	5C080
H01L 51/50 (2006.01)	G09G 3/20 624B	
	G09G 3/20 641P	
	G09G 3/20 622D	
審査請求 有 請求項の数 4 O L (全 19 頁) 最終頁に続く		

(21) 出願番号	特願2008-277898 (P2008-277898)	(71) 出願人	000002185
(22) 出願日	平成20年10月29日 (2008.10.29)		ソニー株式会社
			東京都港区港南1丁目7番1号
		(74) 代理人	100095957
			弁理士 亀谷 美明
		(74) 代理人	100096389
			弁理士 金本 哲男
		(74) 代理人	100101557
			弁理士 萩原 康司
		(72) 発明者	山下 淳一
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		(72) 発明者	内野 勝秀
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		最終頁に続く	

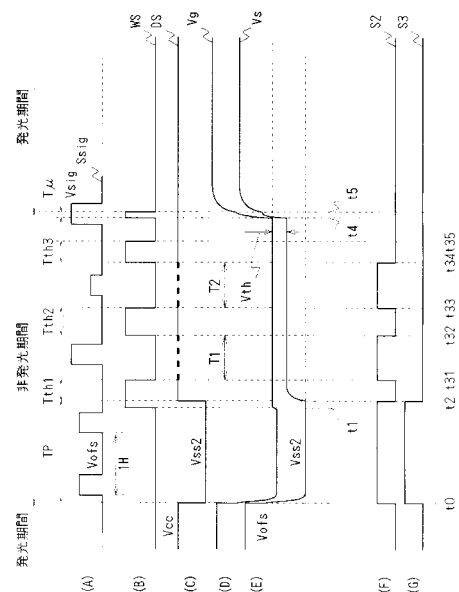
(54) 【発明の名称】 画像表示装置及び画像表示装置の駆動方法

(57) 【要約】

【課題】本発明は、例えば有機EL素子によるアクティブマトリックス型の画像表示装置に適用して、駆動トランジスタを介して保持容量の端子間電圧を複数回の期間で放電して駆動トランジスタのしきい値電圧をばらつき補正する場合でも、駆動トランジスタのしきい値電圧のばらつきを確実に補正することができるようにする。

【解決手段】本発明は、しきい値電圧補正処理の休止期間T1、T2の全部期間又は一部期間において、電源用の駆動信号DSを出力する走査線をフローティング状態に設定する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

画素回路をマトリックス状に配置した表示部と、
前記表示部に設けられた信号線に信号線用駆動信号を出力する信号線駆動回路と、
前記表示部に設けられた走査線に少なくとも電源用駆動信号及び書込信号を出力する走査線駆動回路とを有し、

前記画素回路は、

発光素子と、

前記電源用駆動信号がドレインに印加され、ゲートソース間電圧に応じた駆動電流により前記発光素子を電流駆動する駆動トランジスタと、

前記ゲートソース間電圧を保持する保持容量と、

前記書込信号により前記駆動トランジスタのゲートを前記信号線に接続し、前記保持容量の端子電圧を前記信号線の電圧に設定する書込トランジスタとを少なくとも有し、

前記信号線駆動回路及び前記走査線駆動回路の出力信号により、前記発光素子を発光させる発光期間と、前記発光素子の発光を停止させる非発光期間とを交互に繰り返し、

前記画素回路は、

前記非発光期間において、

前記保持容量の端子間電圧を前記駆動トランジスタのしきい値電圧以上の電圧に設定した後、

休止期間を間に挟んだ複数の期間で前記駆動トランジスタを介して前記保持容量の端子間電圧を放電し、前記保持容量の端子間電圧を前記駆動トランジスタのしきい値電圧に設定し、

その後、前記書込トランジスタを介して前記保持容量の端子電圧を設定し、続く発光期間における前記発光素子の階調を設定し、

前記走査線駆動回路は、

前記休止期間の全部又は一部の期間で、前記電源用駆動信号を出力する走査線をフローティング状態に設定する

画像表示装置。

【請求項 2】

前記発光素子の 1 回の階調設定に対して、対応する前記休止期間が複数回設けられ、

前記一部の期間が、前記複数回の休止期間の最先の休止期間である

請求項 1 に記載の画像表示装置。

【請求項 3】

前記走査線駆動回路は、

前記非発光期間において、前記発光素子の前記駆動トランジスタ側端とは逆側端の電圧以下に前記電源用駆動信号の電圧を立ち下げ、

前記画素回路は、

前記電源用駆動信号の電圧の立ち下げにより、前記保持容量の前記発光素子側端の電圧を立ち下げ、前記保持容量の端子間電圧を前記駆動トランジスタのしきい値電圧以上の電圧に設定する

請求項 1 に記載の画像表示装置。

【請求項 4】

画素回路をマトリックス状に配置した表示部と、

前記表示部に設けられた信号線に信号線用駆動信号を出力する信号線駆動回路と、

前記表示部に設けられた走査線に少なくとも電源用駆動信号及び書込信号を出力する走査線駆動回路とを有する画像表示装置の駆動方法において、

前記画素回路は、

発光素子と、

前記電源用駆動信号がドレインに印加され、ゲートソース間電圧に応じた駆動電流により前記発光素子を電流駆動する駆動トランジスタと、

10

20

30

40

50

前記ゲートソース間電圧を保持する保持容量と、

前記書込信号により前記駆動トランジスタのゲートを前記信号線に接続し、前記保持容量の端子電圧を前記信号線の電圧に設定する書込トランジスタとを少なくとも有し、

前記信号線駆動回路及び前記走査線駆動回路の出力信号により、前記発光素子を発光させる発光期間と、前記発光素子の発光を停止させる非発光期間とを交互に繰り返し、

前記駆動方法は、

前記非発光期間において、前記保持容量の端子間電圧を前記駆動トランジスタのしきい値電圧以上の電圧に設定するしきい値電圧補正の準備ステップと、

前記非発光期間において、続いて休止期間を間に挟んだ複数の期間で前記駆動トランジスタを介して前記保持容量の端子間電圧を放電し、前記保持容量の端子間電圧を前記駆動トランジスタのしきい値電圧に設定するしきい値電圧補正ステップと、

前記非発光期間において、続いて前記書込トランジスタを介して前記保持容量の端子電圧を設定し、続く発光期間における前記発光素子の階調を設定する階調設定ステップとを有し、

前記しきい値電圧補正ステップは、

前記休止期間の全部又は一部の期間で、前記電源用駆動信号を出力する走査線をフローティング状態に設定するフローティング状態の設定ステップを有する

画像表示装置の駆動方法。

10

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画像表示装置及び画像表示装置の駆動方法に関し、例えば有機EL (Electro Luminescence) 素子によるアクティブマトリックス型の画像表示装置に適用することができる。本発明は、しきい値電圧補正処理の休止期間の全部期間又は一部期間において、電源用の駆動信号を出力する走査線をフローティング状態に設定することにより、駆動トランジスタを介して保持容量の端子間電圧を複数回の期間で放電して駆動トランジスタのしきい値電圧をばらつき補正する場合に、駆動トランジスタのしきい値電圧のばらつきを確実に補正することができるようにする。

30

【背景技術】

【0002】

近年、有機EL素子を用いたアクティブマトリックス型の画像表示装置の開発が盛んになっている。ここで有機EL素子は、10[V]以下の印加電圧で駆動することができる。従ってこの種の画像表示装置は、消費電力を低減することができる。また有機EL素子は、自発光素子である。従ってこの種の画像表示装置は、バックライト装置を必要とせず、軽量化、薄型化することができる。さらに有機EL素子は、応答速度が数μ秒程度と速い特徴がある。従ってこの種の画像表示装置は、動画像表示時に残像が殆ど発生しない特徴がある。

40

【0003】

具体的に、有機EL素子を用いたアクティブマトリックス型の画像表示装置は、有機EL素子と有機EL素子を駆動する駆動回路とによる画素回路をマトリックス状に配置して表示部が形成される。この種の画像表示装置は、表示部に設けられた信号線及び走査線をそれぞれ介して、表示部の周囲に配置した信号線駆動回路及び走査線駆動回路により各画素回路を駆動して所望の画像を表示する。

【0004】

この有機EL素子を用いた画像表示装置に関して、特開2007-310311号公報には、2つのトランジスタを用いて画素回路を構成し、有機EL素子を駆動する駆動トランジスタのしきい値電圧のばらつき、移動度のばらつきによる画質劣化を防止する構成が開示されている。

50

【0005】

ここで図8は、この特開2007-310311号公報に開示の画像表示装置を示すブロック図である。この画像表示装置1は、有機EL素子を用いた画像表示装置であり、ガラス等の絶縁基板に表示部2が作成される。画像表示装置1は、この表示部2の周囲に信号線駆動回路3及び走査線駆動回路4が作成される。

【0006】

ここで信号線駆動回路3は、表示部2に設けられた信号線DTLに信号線用の駆動信号Ssigを出力する。より具体的に、信号線駆動回路3は、水平セクタ(HSEL)3Aにより、ラスタ走査順に入力される画像データD1を順次ラッチして画像データD1を信号線DTLに振り分けた後、それぞれディジタルアナログ変換処理する。信号線駆動回路3は、このディジタルアナログ変換結果を処理して駆動信号Ssigを生成する。これにより画像表示装置1は、例えばいわゆる線順次により各画素回路5の階調を設定する。

10

【0007】

走査線駆動回路4は、表示部2に設けられた書込信号用の走査線WSL及び電源用の走査線DSLにそれぞれ書込信号WS及び駆動信号DSを出力する。ここで書込信号WSは、各画素回路5に設けられた書込トランジスタをオンオフ制御する信号である。また駆動信号DSは、各画素回路5に設けられた駆動トランジスタのドレイン電圧を制御する信号である。走査線駆動回路4は、ライトスキャン回路(WSCN)4A及びドライブスキャン回路(DSCN)4Bにおいて、それぞれ所定のサンプリングパルスSPをクロックCKで処理して書込信号WS及び駆動信号DSを出力する。

20

【0008】

表示部2は、画素回路5をマトリックス状に配置して形成される。表示部2は、各画素回路5にそれぞれ赤色、緑色、青色のカラーフィルタが順次循環的に設けられ、これにより赤色、緑色、青色の画素が順次形成される。

【0009】

ここで画素回路5は、有機EL素子8のカソードが所定の電源Vcathに接続され、有機EL素子8のアノードが駆動トランジスタTr2のソースに接続される。なお駆動トランジスタTr2は、例えばTFETによるNチャンネル型トランジスタである。画素回路5は、この駆動トランジスタTr2のドレインが電源用の走査線DSLに接続され、この走査線DSLに走査線駆動回路4から電源用の駆動信号DSが供給される。これにより画素回路5は、ソースフォロワ回路構成の駆動トランジスタTr2を用いて有機EL素子8を電流駆動する。

30

【0010】

画素回路5は、この駆動トランジスタTr2のゲート及びソース間に保持容量Csが設けられ、書込信号WSによりこの保持容量Csのゲート側端電圧が駆動信号Ssigの電圧に設定される。その結果、画素回路5は、駆動信号Ssigに応じたゲートソース間電圧Vgsにより駆動トランジスタTr2で有機EL素子8を電流駆動する。なおここでこの図8において、容量Celは、有機EL素子8の浮遊容量である。また以下において、容量Celは、保持容量Csに比して十分に容量が大きいものとし、駆動トランジスタTr2のゲートノードの寄生容量は、保持容量Csに対して十分に小さいものとする。

40

【0011】

すなわち画素回路5は、書込信号WSによりオンオフ動作する書込トランジスタTr1を介して、駆動トランジスタTr2のゲートが信号線DTLに接続される。なおここで書込トランジスタTr1は、例えばTFETによるNチャンネル型トランジスタである。

【0012】

ここで信号線駆動回路3は、階調設定用電圧Vsig及びしきい値電圧の補正用電圧Vofsを交互に繰り返して駆動信号Ssigを出力する。なおしきい値電圧補正用の固定電圧Vofsは、駆動トランジスタTr2のしきい値電圧のばらつき補正に使用する固定電圧である。また階調設定用電圧Vsigは、有機EL素子8の発光輝度を指示する電圧であり、階調電圧Vinにしきい値電圧補正用の固定電圧Vofsを加算した電圧である

50

。また階調電圧 V_{in} は、有機 EL 素子 8 の発光輝度に対応する電圧である。階調電圧 V_{in} は、水平セクタ 3 A において、ラスト走査順に入力される画像データ D 1 を順次ラッチして各信号線 DTL に振り分けた後、それぞれデジタルアナログ変換処理して信号線 DTL 毎に生成される。

【0013】

画素回路 5 は、図 9 に示すように、有機 EL 素子 8 を発光させる発光期間の間、書込信号 WS により書込トランジスタ Tr 1 がオフ状態に設定される（図 9（A））。また画素回路 5 は、発光期間の間、電源用の駆動信号 DS によって駆動トランジスタ Tr 2 に電源電圧 V_{cc} が供給される（図 9（B））。これにより画素回路 5 は、発光期間の間、保持容量 Cs の端子間電圧に応じた駆動電流で有機 EL 素子 8 を電流駆動して発光させる。

10

【0014】

画素回路 5 は、発光期間が終了する時点 t_0 で、電源用の駆動信号 DS が所定の固定電圧 V_{ss2} に立ち下げられる（図 9（B））。ここでこの固定電圧 V_{ss2} は、駆動トランジスタ Tr 2 のドレインをソースとして機能させるのに十分に低い電圧であり、有機 EL 素子 8 のカソード電圧 V_{cath} より低い電圧である。

【0015】

これにより画素回路 5 は、駆動トランジスタ Tr 2 を介して、有機 EL 素子 8 のアノード側蓄積電荷が走査線 DSL に流出する。その結果、画素回路 5 は、駆動トランジスタ Tr 2 のソース電圧 Vs が電圧 V_{ss2} に立ち下がり（図 9（E））、有機 EL 素子 8 が発光を停止する。また画素回路 5 は、このソース電圧 Vs の立ち下がりに連動して、駆動トランジスタ Tr 2 のゲート電圧 Vg が低下する（図 9（D））。

20

【0016】

画素回路 5 は、続く所定の時点 t_1 で、書込信号 WS により書込トランジスタ Tr 1 がオン状態に切り換えられ（図 9（A））、駆動トランジスタ Tr 2 のゲート電圧 Vg が信号線 DTL に設定されたしきい値電圧補正用の固定電圧 V_{ofs} に設定される（図 9（C）及び（D））。これにより画素回路 5 は、駆動トランジスタ Tr 2 のゲートソース間電圧 V_{gs} が電圧 $V_{ofs} - V_{ss2}$ に設定される。ここで画素回路 5 は、電圧 V_{ofs} 、 V_{ss2} の設定により、この電圧 $V_{ofs} - V_{ss2}$ が駆動トランジスタ Tr 2 のしきい値電圧 V_{th} より大きな電圧に設定される。

【0017】

30

その後、画素回路 5 は、時点 t_2 で駆動信号 DS により駆動トランジスタ Tr 2 のドレイン電圧が電源電圧 V_{cc} に立ち上げられる（図 9（B））。これにより画素回路 5 は、駆動トランジスタ Tr 2 を介して保持容量 Cs の有機 EL 素子 8 側端に電源 V_{cc} から充電電流が流入する。その結果、画素回路 5 は、保持容量 Cs の有機 EL 素子 8 側端の電圧 Vs が徐々に上昇する。なおこの場合、駆動トランジスタ Tr 2 を介して有機 EL 素子 8 に流入する電流は、有機 EL 素子 8 の容量 C_{el} と保持容量 Cs の充電にのみ使用される。その結果、画素回路 5 は、有機 EL 素子 8 を発光させることなく、単に駆動トランジスタ Tr 2 のソース電圧 Vs のみが上昇することになる。

【0018】

40

ここで画素回路 5 は、保持容量 Cs の端子間電圧が駆動トランジスタ Tr 2 のしきい値電圧 V_{th} となると、駆動トランジスタ Tr 2 を介した充電電流の流入が停止することになる。従ってこの場合、この駆動トランジスタ Tr 2 のソース電圧 Vs の上昇は、保持容量 Cs の両端電位差が駆動トランジスタ Tr 2 のしきい値電圧 V_{th} となると停止することになる。これにより画素回路 5 は、駆動トランジスタ Tr 2 を介して保持容量 Cs の端子間電圧を放電させ、保持容量 Cs の端子間電圧を駆動トランジスタ Tr 2 のしきい値電圧 V_{th} に設定する。

【0019】

画素回路 5 は、保持容量 Cs の端子間電圧を駆動トランジスタ Tr 2 のしきい値電圧 V_{th} に設定するのに十分な時間が経過して時点 t_3 になると、書込信号 WS により書込トランジスタ Tr 1 がオフ状態に切り換えられる（図 9（A））。続いて信号線 DTL の電

50

圧が階調設定用電圧 $V_{sig} (= V_{in} + V_{ofs})$ に設定される。

【0020】

画素回路5は、続く時点 t_4 で書込トランジスタ Tr_1 がオン状態に設定される（図9（A））。これにより画素回路5は、駆動トランジスタ Tr_2 のゲート電圧 V_g が階調設定用電圧 V_{sig} に設定され、駆動トランジスタ Tr_2 のゲートソース間電圧 V_{gs} は、階調電圧 V_{in} に駆動トランジスタ Tr_2 のしきい値電圧 V_{th} を加算した電圧に設定される。これにより画素回路5は、駆動トランジスタ Tr_2 のしきい値電圧 V_{th} のばらつきを有効に回避して有機EL素子8を駆動することができ、有機EL素子8の発光輝度のばらつきによる画質劣化を防止することができる。

【0021】

画素回路5は、この駆動トランジスタ Tr_2 のゲート電圧 V_g を階調設定用電圧 V_{sig} に設定する際に、駆動トランジスタ Tr_2 のドレイン電圧を電源電圧 V_{cc} に保持した状態で、一定期間 T_μ の間、駆動トランジスタ Tr_2 のゲートが信号線 DTL に接続される。これにより画素回路5は、併せて駆動トランジスタ Tr_2 の移動度 μ のばらつきが補正される。

【0022】

すなわち保持容量 C_s の端子間電圧を駆動トランジスタ Tr_2 のしきい値電圧 V_{th} に設定した状態で、書込トランジスタ Tr_1 をオン状態に設定して駆動トランジスタ Tr_2 のゲートを信号線 DTL に接続した場合、駆動トランジスタ Tr_2 のゲート電圧 V_g は、固定電圧 V_{ofs} から徐々に上昇して階調設定用電圧 V_{sig} に設定される。

【0023】

ここで画素回路5は、この駆動トランジスタ Tr_2 のゲート電圧 V_g の立ち上がりに必要な書込時定数が、駆動トランジスタ Tr_2 によるソース電圧 V_s の立ち上がりに必要な時定数に比して短くなるように設定される。

【0024】

この場合、書込トランジスタ Tr_1 がオン動作すると、駆動トランジスタ Tr_2 のゲート電圧 V_g は、速やかに階調設定用電圧 $V_{sig} (V_{ofs} + V_{in})$ に立ち上がることになる。このゲート電圧 V_g の立ち上がり時、有機EL素子8の容量 C_{el} が保持容量 C_s に比して十分に大きければ、駆動トランジスタ Tr_2 のソース電圧 V_s は変動しないことになる。

【0025】

しかしながら駆動トランジスタ Tr_2 のゲートソース間電圧 V_{gs} がしきい値電圧 V_{th} より増大すると、駆動トランジスタ Tr_2 を介して電源 V_{cc} から電流が流入し、駆動トランジスタ Tr_2 のソース電圧 V_s が徐々に上昇することになる。その結果、画素回路5は、保持容量 C_s の端子間電圧が駆動トランジスタ Tr_2 により放電し、ゲートソース間電圧 V_{gs} の上昇速度が低下することになる。

【0026】

この端子間電圧の放電速度は、駆動トランジスタ Tr_2 の能力に応じて変化する。より具体的には、駆動トランジスタ Tr_2 の移動度 μ が大きい場合程、放電速度は、早くなる。

【0027】

その結果、画素回路5は、移動度 μ が大きい駆動トランジスタ Tr_2 程、保持容量 C_s の端子間電圧が低下するように設定され、移動度のばらつきによる発光輝度のばらつきが補正される。なお図9では、この移動度 μ の補正に係る端子間電圧の低下分を ΔV で示す。

【0028】

画素回路5は、この移動度の補正期間 T_μ が経過すると、時点 t_5 で書込信号 WS が立ち下げられる。その結果、画素回路5は、発光期間が開始し、保持容量 C_s の端子間電圧に応じた駆動電流により有機EL素子8を発光させる。なお画素回路5は、発光期間が開始すると、いわゆるブートストラップ回路により駆動トランジスタ Tr_2 のゲート電圧 V

10

20

30

40

50

g 及びソース電圧 V_s が上昇する。

【0029】

これらにより画素回路 5 は、時点 t_0 から時点 t_2 までの駆動トランジスタ T_{r2} のゲート電圧を電圧 V_{ss2} に立ち下げている期間で、駆動トランジスタ T_{r2} のしきい値電圧補正処理の準備処理を実行する。また符号 T_{th} で表す続く時点 t_2 から時点 t_3 までの期間で、保持容量 C_s の端子間電圧を駆動トランジスタ T_{r2} のしきい値電圧 V_{th} に設定して、駆動トランジスタ T_{r2} のしきい値電圧補正処理を実行する。また時点 t_4 から時点 t_5 までの期間 T_μ で、駆動トランジスタ T_{r2} の移動度を補正すると共に、階調設定用電圧 V_{sig} をサンプリングする処理を実行する。

【0030】

従ってこの図 8 の構成において、画像表示装置 1 は、電源用の駆動信号 DS により発光期間と有機 EL 素子 8 を発光させない非発光期間とを設定することになる。従ってこれに対応してドライブスキャン回路 4B は (図 8)、所定の電源 V_{cc} 及び V_{ss2} にそれぞれドレインを接続した P チャンネル型トランジスタ T_{r3} 及び N チャンネル型トランジスタ T_{r4} の相補的なオンオフ制御により駆動信号 DS を出力する。なお図 8 において、符号 9 は、トランジスタ T_{r4} のゲート信号を反転してトランジスタ T_{r3} のゲートに入力するインバータである。

【0031】

この種の画像表示装置に関して、特開 2007-133284 号公報には、しきい値電圧のばらつきを補正する処理の期間 T_{th} を、複数回に分割して実行する構成が提案されている。

【特許文献 1】特開 2007-310311 号公報

【特許文献 2】特開 2007-133284 号公報

【発明の開示】

【発明が解決しようとする課題】

【0032】

ところでこの図 8 に示す画素回路 5 は、階調設定用電圧 V_{sig} を設定する前に、保持容量 C_s の端子間電圧を駆動トランジスタ T_{r2} のしきい値電圧 V_{th} に設定することにより、駆動トランジスタ T_{r2} のしきい値電圧 V_{th} のばらつきを補正する。またこの保持容量 C_s の端子間電圧を駆動トランジスタ T_{r2} のしきい値電圧 V_{th} に設定する処理は、時点 t_2 から時点 t_3 までの期間 T_{th} の間、駆動トランジスタ T_{r2} を介して保持容量 C_s の端子間電圧を放電して実行される。

【0033】

従って例えば高解像度化、高周波数化により、1 ラインの画素に割り当て可能な時点 t_2 から時点 t_3 までの期間 T_{th} が短くなると、画素回路 5 は、正しく保持容量 C_s の端子間電圧を駆動トランジスタ T_{r2} のしきい値電圧 V_{th} に設定することが困難になる。その結果、画素回路 5 は、駆動トランジスタ T_{r2} のしきい値電圧 V_{th} のばらつきによる画質劣化を十分に補正できなくなる。

【0034】

従ってこの場合、特開 2007-133284 号公報に開示の手法を適用して、保持容量 C_s の端子間電圧を駆動トランジスタ T_{r2} のしきい値電圧 V_{th} に設定する処理を複数回の期間で実行し、不足する時間を補うことが考えられる。

【0035】

すなわち図 10 は、図 9 との対比により、図 8 について上述した画像表示装置に特開 2007-133284 号公報に開示の手法を適用した場合の画素回路 5 の動作を示すタイムチャートである。なおこの図 10 において、駆動トランジスタ T_{r2} のしきい値電圧補正の準備処理を実行する期間を符号 T_P により示す。この図 10 では、3 回の期間 T_{th1} 、 T_{th2} 、 T_{th3} により駆動トランジスタ T_{r2} のしきい値電圧のばらつき補正処理を実行する。

【0036】

10

20

30

40

50

すなわちこの図10の例では、符号TPにより示すように、3ライン分先行するしきい値電圧補正用の固定電圧 V_{ofs} を使用して、保持容量Csの端子間電圧を駆動トランジスタTr2のしきい値電圧 V_{th} 以上の電圧に設定する(図10(A)~(E))。またその後、信号線DTLの電圧が固定電圧 V_{ofs} に設定されている期間Tth1で書込信号WSをオン状態に設定し、駆動トランジスタTr2を介して保持容量Csの端子間電圧を放電させる(図10(A)~(E))。また続いて期間T1の間、書込信号WSにより書込トランジスタTr1をオフ状態に設定し、保持容量Csの端子間電圧の放電を一時停止する。

【0037】

また続いて信号線DTLの電圧が固定電圧 V_{ofs} に設定されている期間Tth2の間、書込トランジスタTr1をオン状態に設定し、駆動トランジスタTr2を介して保持容量Csの端子間電圧を放電させる。また続いて書込信号WSにより書込トランジスタTr1をオフ状態に設定し、保持容量Csの端子間電圧の放電を一時停止する。

10

【0038】

また続いて信号線DTLの電圧が固定電圧 V_{ofs} に設定されている期間Tth3の間、書込トランジスタTr1をオン状態に設定し、駆動トランジスタTr2を介して保持容量Csの端子間電圧を放電させる。従ってこの図10の例では、駆動トランジスタTr2を介した放電により保持容量Csの端子間電圧を駆動トランジスタTr2のしきい値電圧 V_{th} に設定する処理を3つの期間Tth1、Tth2、Tth3で実行する。なお以下において、駆動トランジスタTr2を介して保持容量Csの端子間電圧を放電させる処理を一時的に中止している期間T1及びT2を、しきい値電圧補正処理の休止期間と呼ぶ。

20

【0039】

この図10の例では、高解像度化、高周波数化した場合にあっても、十分な時間を確保して保持容量Csの端子間電圧を駆動トランジスタTr2により放電させることができる。従って保持容量Csの端子間電圧を駆動トランジスタTr2のしきい値電圧 V_{th} に正しく設定することができる。

【0040】

しかしながらこの図10の構成では、休止期間T1及びT2において、駆動トランジスタTr2を介して保持容量Csのソース側端に充電電流が流入することになる。その結果、画素回路5は、この休止期間T1及びT2において、駆動トランジスタTr2のソース電圧Vsが徐々に上昇することになる。また画素回路5は、このソース電圧の上昇に連動して、駆動トランジスタTr2のゲート電圧Vgが徐々に上昇することになる。

30

【0041】

ここでこれら休止期間T1及びT2の開始時、保持容量Csの端子間電圧が十分に駆動トランジスタTr2のしきい値電圧 V_{th} に近い電圧となっている場合、この休止期間T1及びT2におけるゲート電圧Vg及びソース電圧Vsの上昇は無視することができる。

【0042】

しかしながら休止期間T1及びT2の開始時、保持容量Csの端子間電圧が十分に駆動トランジスタTr2のしきい値電圧 V_{th} に近い電圧となっていない場合には、このゲート電圧Vg及びソース電圧Vsの上昇を無視できなくなる。その結果、休止期間T1及びT2の終了時点で、書込信号WSにより書込トランジスタTr1をオン動作させて駆動トランジスタTr2のゲート電圧Vgを固定電圧 V_{ofs} に設定すると、保持容量Csの端子間電圧が駆動トランジスタTr2のしきい値電圧 V_{th} 以下の電圧にまで立ち下がる恐れがある。この場合、画素回路5では、駆動トランジスタTr2のしきい値電圧 V_{th} のばらつきを正しく補正できなくなる問題がある。すなわちこの場合、駆動トランジスタTr2のしきい値電圧のばらつきを補正する処理が、破綻することになる。従ってこの場合は、駆動トランジスタTr2のしきい値電圧のばらつきを正しく補正し得ず、画質が劣化することになる。

40

【0043】

本発明は以上の点を考慮してなされたもので、駆動トランジスタを介して保持容量の端

50

子間電圧を複数回の期間で放電して駆動トランジスタのしきい値電圧をばらつき補正する場合でも、駆動トランジスタのしきい値電圧のばらつきを確実に補正することができる画像表示装置及び画像表示装置の駆動方法を提案しようとするものである。

【課題を解決するための手段】

【0044】

上記の課題を解決するため請求項1の発明は、画像表示装置に適用して、画素回路をマトリックス状に配置した表示部と、前記表示部に設けられた信号線に信号線用駆動信号を出力する信号線駆動回路と、前記表示部に設けられた走査線に少なくとも電源用駆動信号及び書込信号を出力する走査線駆動回路とを有するようにする。ここで前記画素回路は、発光素子と、前記電源用駆動信号がドレインに印加され、ゲートソース間電圧に応じた駆動電流により前記発光素子を電流駆動する駆動トランジスタと、前記ゲートソース間電圧を保持する保持容量と、前記書込信号により前記駆動トランジスタのゲートを前記信号線に接続し、前記保持容量の端子電圧を前記信号線の電圧に設定する書込トランジスタとを少なくとも有し、前記信号線駆動回路及び前記走査線駆動回路の出力信号により、前記発光素子を発光させる発光期間と、前記発光素子の発光を停止させる非発光期間とを交互に繰り返す。前記画素回路は、前記非発光期間において、前記保持容量の端子間電圧を前記駆動トランジスタのしきい値電圧以上の電圧に設定した後、休止期間を間に挟んだ複数の期間で前記駆動トランジスタを介して前記保持容量の端子間電圧を放電し、前記保持容量の端子間電圧を前記駆動トランジスタのしきい値電圧に設定し、その後、前記書込トランジスタを介して前記保持容量の端子電圧を設定し、続く発光期間における前記発光素子の階調を設定する。前記走査線駆動回路は、前記休止期間の全部又は一部の期間で、前記電源用駆動信号を出力する走査線をフローティング状態に設定する。

10

20

【0045】

また請求項4の発明は、画素回路をマトリックス状に配置した表示部と、前記表示部に設けられた信号線に信号線用駆動信号を出力する信号線駆動回路と、前記表示部に設けられた走査線に少なくとも電源用駆動信号及び書込信号を出力する走査線駆動回路とを有する画像表示装置の駆動方法に適用する。ここで前記画素回路は、発光素子と、前記電源用駆動信号がドレインに印加され、ゲートソース間電圧に応じた駆動電流により前記発光素子を電流駆動する駆動トランジスタと、前記ゲートソース間電圧を保持する保持容量と、前記書込信号により前記駆動トランジスタのゲートを前記信号線に接続し、前記保持容量の端子電圧を前記信号線の電圧に設定する書込トランジスタとを少なくとも有し、前記信号線駆動回路及び前記走査線駆動回路の出力信号により、前記発光素子を発光させる発光期間と、前記発光素子の発光を停止させる非発光期間とを交互に繰り返す。前記駆動方法は、前記非発光期間において、前記保持容量の端子間電圧を前記駆動トランジスタのしきい値電圧以上の電圧に設定するしきい値電圧補正の準備ステップと、前記非発光期間において、続いて休止期間を間に挟んだ複数の期間で前記駆動トランジスタを介して前記保持容量の端子間電圧を放電し、前記保持容量の端子間電圧を前記駆動トランジスタのしきい値電圧に設定するしきい値電圧補正ステップと、前記非発光期間において、続いて前記書込トランジスタを介して前記保持容量の端子電圧を設定し、続く発光期間における前記発光素子の階調を設定する階調設定ステップとを有する。前記しきい値電圧補正ステップは、前記休止期間の全部又は一部の期間で、前記電源用駆動信号を出力する走査線をフローティング状態に設定するフローティング状態の設定ステップとを有する。

30

40

【0046】

請求項1又は請求項4の構成によれば、非発光期間において、保持容量の端子間電圧を駆動トランジスタのしきい値電圧以上の電圧に設定した後、駆動トランジスタを介した放電により保持容量の端子間電圧を駆動トランジスタのしきい値電圧に設定し、その後、保持容量の端子電圧を設定することにより、駆動トランジスタのしきい値電圧のばらつきによる画質劣化を防止することができる。また休止期間を間に挟んだ複数の期間で、駆動トランジスタを介して保持容量の端子間電圧を放電させることにより、この端子間電圧の放電を複数回の期間で実行することができる。ここで休止期間の全部又は一部の期間で、電

50

源用駆動信号を出力する走査線をフローティング状態に設定することにより、この全部又は一部の期間では、駆動トランジスタに電源を供給しないようにし、駆動トランジスタのソース電圧の上昇を防止することができる。従ってこの全部又は一部の期間で、保持容量の端子間電圧が減少しないようにすることができる。これにより複数回の期間で、駆動トランジスタを介した保持容量の端子間電圧の放電により駆動トランジスタのしきい値電圧をばらつき補正する場合にあっても、この処理を破綻することなく、正しく保持容量の端子間電圧を駆動トランジスタのしきい値電圧に設定することができ、画質の劣化を確実に防止することができる。

【発明の効果】

【0047】

本発明によれば、駆動トランジスタを介して保持容量の端子間電圧を複数回の期間で放電して駆動トランジスタのしきい値電圧をばらつき補正する場合でも、駆動トランジスタのしきい値電圧のばらつきを確実に補正することができる。

【発明を実施するための最良の形態】

【0048】

以下、適宜図面を参照しながら本発明の実施例を詳述する。

【実施例1】

【0049】

(1) 実施例の構成

図2は、本発明の実施例1の画像表示装置を示すブロック図である。また図3は、この画像表示装置11を図8との対比により示すブロック図である。この画像表示装置11は、走査線駆動回路14の構成が異なる点を除いて、図10について上述した画像表示装置と同一に構成される。また走査線駆動回路14は、ドライブスキャン回路(DSCN)14Bの構成が異なる点を除いて、図10の画像表示装置と同一に構成される。従ってこの画像表示装置11において、図10について上述した画像表示装置と同一の構成は、対応する符号を付して示し、重複した説明は省略する。なおこの図2においては、赤色、緑色、青色のカラーフィルタが設けられた画素回路5をそれぞれ符号R、G、Bにより示す。

【0050】

ここでドライブスキャン回路14B(図3)は、各走査線DSLへの駆動信号DSの出力段に、電源Vcc及びVss2にそれぞれドレインを接続したPチャンネル型トランジスタTr3及びNチャンネル型トランジスタTr4が設けられる。ドライブスキャン回路14Bは、各出力段において、これらトランジスタTr3及びTr4のソースが接続されて対応する走査線DSLに接続される。ドライブスキャン回路14Bは、トランジスタTr3及びTr4がスイッチ回路として機能し、トランジスタTr3及びTr4を選択的にオン動作させて、駆動信号DSをそれぞれ電圧Vcc及びVss2に設定する。またトランジスタTr3及びTr4の双方をオフ状態に設定して、駆動信号DSの走査線DSLをフローティング状態に設定する。

【0051】

ドライブスキャン回路14Bは、所定のサンプリングパルスSPをクロックCKで処理してこれらトランジスタTr3及びTr4をオンオフ制御する制御信号S2及びS3を生成し、この制御信号S2及びS3をそれぞれトランジスタTr3及びTr4のゲートに入力する。

【0052】

図1は、図9との対比によりトランジスタTr3及びTr4の制御の説明に供するタイムチャートである。画素回路5は、発光期間の間、制御信号S2及びS3が共にLレベルに設定されて駆動信号DSが電圧Vccに保持される(図1(C)、(F)及び(G))。これにより画素回路5は、発光期間の間、駆動信号DSにより駆動用トランジスタTr2に電源Vccが供給される。その結果、画素回路5は、保持容量Csに設定された駆動トランジスタTr2のゲートソース間電圧Vgsに応じた駆動電流で有機EL素子8を電流駆動し、有機EL素子8をゲートソース間電圧Vgsに応じた発光輝度で発光させる(

10

20

30

40

50

図 1 (D) 及び (E))。

【 0 0 5 3 】

また時点 t_0 で非発光期間が開始すると、制御信号 S_2 及び S_3 が共に H レベルに設定され、駆動信号 DS が電圧 V_{ss2} に切り換えられる (図 1 (C) 、 (F) 及び (G))。これにより画素回路 5 は、駆動トランジスタ Tr_2 のドレインがソースとして機能し、駆動トランジスタ Tr_2 を介して有機 EL 素子 8 の蓄積電荷が走査線 DSL に流出する。その結果、画素回路 5 は、保持容量 C_s の有機 EL 素子 8 側端が電圧 V_{ss2} に立ち下がる。

【 0 0 5 4 】

続いて画素回路 5 は、信号線 DTL がしきい値電圧補正用の固定電圧 V_{ofs} に保持されている時点 t_1 で書込信号 WS が立ち上げられ、これにより書込トランジスタ Tr_1 を介して保持容量 C_s のゲート側端電圧がしきい値電圧補正用の固定電圧 V_{ofs} に設定される。これにより画素回路 5 は、保持容量 C_s の端子間電圧が駆動トランジスタ Tr_2 のしきい値電圧 V_{th} 以上の電圧に設定され、符号 TP により示す時点 t_0 から t_2 までの期間で、しきい値電圧のばらつきを補正するための準備処理が実行される。

【 0 0 5 5 】

画素回路 5 は、続く時点 t_2 から非発光期間が終了する時点 t_5 までの期間で、保持容量 C_s の端子間電圧を駆動トランジスタ Tr_2 のしきい値電圧 V_{th} に設定した後、駆動トランジスタ Tr_2 の移動度のばらつきを補正して階調設定用電圧 V_{sig} をサンプリングする。またこの保持容量 C_s の端子間電圧を駆動トランジスタ Tr_2 のしきい値電圧 V_{th} に設定する処理を、複数回の期間 T_{th1} 、 T_{th2} 、 T_{th3} に分けて実行する。

【 0 0 5 6 】

すなわち画素回路 5 は、信号線 DTL の電圧がしきい値電圧補正用の固定電圧 V_{ofs} に切り換わった後、所定時間経過して書込信号 WS が立ち上げられる。また信号線 DTL の電圧が階調設定用電圧 V_{sig} に切り換わる一定時間前に、書込信号 WS が立ち下げられる。これにより画素回路 5 は、信号線 DTL の電圧がしきい値電圧補正用の固定電圧 V_{ofs} に設定されている期間の一部期間において、駆動トランジスタ Tr_2 を介して保持容量 C_s の端子間電圧を放電させる。画素回路 5 は、この処理を期間 T_{th1} 、 T_{th2} 、 T_{th3} で繰り返し、保持容量 C_s の端子間電圧を駆動トランジスタ Tr_2 のしきい値電圧 V_{th} に設定する。

【 0 0 5 7 】

これにより画素回路 5 は、これらの期間 T_{th1} 、 T_{th2} 、 T_{th3} の間、制御信号 S_2 及び S_3 が共に L レベルに設定され、駆動信号 DS が電圧 V_{cc} に設定される。

【 0 0 5 8 】

画素回路 5 は、期間 T_{th1} 及び T_{th2} の間の期間 T_1 、期間 T_{th2} 及び T_{th3} の間の期間 T_2 において、制御信号 S_2 及び S_3 がそれぞれ H レベル及び L レベルに設定され、駆動信号 DS を出力する走査線 DSL がフローティング状態に保持される。なお残る時点 t_{35} から時点 t_4 までの期間では、制御信号 S_2 及び S_3 が共に L レベルに設定され、駆動信号 DS が電圧 V_{cc} に設定される。

【 0 0 5 9 】

これにより画素回路 5 は、しきい値電圧補正処理の休止期間 T_1 及び T_2 の全部期間において、駆動トランジスタ Tr_2 のドレインをフローティング状態に保持する。その結果、画素回路 5 では、駆動トランジスタ Tr_2 を介した有機 EL 素子 8 側端の充電を防止することができ、駆動トランジスタ Tr_2 のソース電圧 V_s の上昇を防止することができる。従ってこれら期間 T_1 及び T_2 において、ゲートソース間電圧 V_{gs} の低下を防止することができ、これら期間 T_1 及び T_2 が終了してしきい値電圧補正処理を再開した場合でも、保持容量 C_s の端子間電圧が駆動トランジスタ Tr_2 のしきい値電圧 V_{th} 以下に立ち下がらないようにすることができる。

【 0 0 6 0 】

(2) 実施例の動作

10

20

30

40

50

以上の構成において、この画像表示装置 11 では (図 2 、 図 3) 、 信号線駆動回路 3 において、順次入力される画像データ D 1 が表示部 2 の信号線 D T L に振り分けられた後、デジタルアナログ変換処理される。これにより画像表示装置 11 では、信号線 D T L に接続された各画素の階調を指示する階調電圧 V i n が信号線 D T L 毎に作成される。画像表示装置 11 では、走査線駆動回路 14 による表示部 2 の駆動により、表示部 2 を構成する各画素回路 5 に例えば線順次によりこの階調電圧 V i n が設定される。また各画素回路 5 では、この階調電圧 V i n に応じた発光輝度によりそれぞれ有機 E L 素子 8 が発光する (図 9) 。これにより画像表示装置 11 では、画像データ D 1 に応じた画像を表示部 2 で表示することができる。

【 0 0 6 1 】

より具体的に、画素回路 5 においては、ソースフォロワ回路構成の駆動トランジスタ T r 2 により有機 E L 素子 8 が電流駆動される。画素回路 5 においては、この駆動トランジスタ T r 2 のゲートソース間に設けられた保持容量 C s のゲート側端の電圧が階調電圧 V i n に応じた電圧 V s i g に設定される。これにより画像表示装置 11 では、画像データ D 1 に応じた発光輝度により有機 E L 素子 8 を発光させて所望の画像を表示する。

【 0 0 6 2 】

しかしながらこれら画素回路 5 に適用される駆動トランジスタ T r 2 は、しきい値電圧 V t h のばらつきが大きい欠点がある。その結果、画像表示装置 11 では、単に保持容量 C s のゲート側端電圧を階調電圧 V i n に応じた電圧 V s i g に設定したのでは、駆動トランジスタ T r 2 のしきい値電圧 V t h のばらつきにより有機 E L 素子 8 の発光輝度がばらつき、画質が劣化する。

【 0 0 6 3 】

そこで画像表示装置 11 では、事前に、駆動トランジスタ T r 2 のソースをドレインとして機能させるのに十分な電圧 V s s 2 に駆動信号 D S を立ち下げることににより、保持容量 C s の有機 E L 素子 8 側端電圧を立ち下げた後、書込トランジスタ T r 1 を介して駆動トランジスタ T r 2 のゲート電圧がしきい値電圧補正用の固定電圧 V o f s に設定される。これにより画像表示装置 11 では、保持容量 C s の端子間電圧が駆動トランジスタ T r 2 のしきい値電圧 V t h 以上に設定される。またその後、駆動信号 D S が電圧 V c c に立ち上げられ、その結果、駆動トランジスタ T r 2 を介して、この保持容量 C s の端子間電圧が放電される。これらの一連の処理により、画像表示装置 11 では、保持容量 C s の端子間電圧が、事前に、駆動トランジスタ T r 2 のしきい値電圧 V t h に設定される。

【 0 0 6 4 】

その後、画像表示装置 11 では、階調電圧 V i n に固定電圧 V o f s を加算した階調設定用電圧 V s i g が駆動トランジスタ T r 2 のゲート電圧に設定される。これにより画像表示装置 11 では、駆動トランジスタ T r 2 のしきい値電圧 V t h のばらつきによる画質劣化を防止することができる。

【 0 0 6 5 】

また一定時間 T μ の間、駆動トランジスタ T r 2 に電源を供給した状態で、駆動トランジスタ T r 2 のゲート電圧を階調設定用電圧 V s i g に保持することにより、駆動トランジスタ T r 2 の移動度のばらつきによる画質劣化を防止することができる。

【 0 0 6 6 】

しかしながらこのように保持容量 C s の端子間電圧を駆動トランジスタ T r 2 のしきい値電圧 V t h 以上の電圧に設定した後、駆動トランジスタ T r 2 を介した放電により保持容量 C s の端子間電圧を駆動トランジスタ T r 2 のしきい値電圧 V t h に設定する場合、高解像度化、高周波数化により、保持容量 C s の端子間電圧の放電に十分な時間を割り当てることが困難になる。

【 0 0 6 7 】

そこでこの実施例では (図 1) 、複数回の期間 T t h 1 、 T t h 2 、 T t h 3 に分けて保持容量 C s の端子間電圧を放電させ、これにより高解像度化、高周波数化した場合でも、この端子間電圧の放電に十分な時間を割り当てることができるようにし、しきい値電圧

10

20

30

40

50

のばらつきによる画質劣化を防止する。

【0068】

しかしながらこのように複数回の期間 T_{th1} 、 T_{th2} 、 T_{th3} に分けて保持容量 C_s の端子間電圧を放電させる場合、これら複数回の期間の間のしきい値電圧補正処理の休止期間 T_1 、 T_2 において、駆動トランジスタ T_{r2} では、保持容量 C_s の端子間電圧から駆動トランジスタ T_{r2} のしきい値電圧 V_{th} を減算した分の電流が流れる。画素回路 5 では、この電流により有機 EL 素子 8 が充電され、駆動トランジスタ T_{r2} のソース電圧 V_s が徐々に上昇し、保持容量 C_s の端子間電圧が低下することになる。

【0069】

保持容量 C_s の端子間電圧が駆動トランジスタ T_{r2} のしきい値電圧 V_{th} に十分に接近している場合、この端子間電圧の低下は十分に無視することができる。しかしながら保持容量 C_s の端子間電圧が駆動トランジスタ T_{r2} のしきい値電圧 V_{th} に十分に接近していない場合、画素回路 5 では、この端子間電圧の低下を無視し得なくなり、続いてしきい値電圧補正処理を再開した場合に、保持容量 C_s の端子間電圧が駆動トランジスタ T_{r2} のしきい値電圧 V_{th} 以下に低下することになる。この場合、当該画素回路 5 では、正しく駆動トランジスタ T_{r2} のしきい値電圧のばらつきを補正できなくなり、画質が劣化することになる。

【0070】

そこでこの実施例では、しきい値電圧補正処理の休止期間 T_1 及び T_2 の全部期間において、駆動信号 DS を出力する走査線 DSL をフローティング状態に保持する。その結果、画素回路 5 では、保持容量 C_s の端子間電圧が駆動トランジスタ T_{r2} のしきい値電圧 V_{th} に十分に接近していない場合でも、この休止期間 T_1 及び T_2 の間、駆動トランジスタ T_{r2} による有機 EL 素子 8 の充電を防止することができる。その結果、この休止期間 T_1 及び T_2 において、保持容量 C_s の端子間電圧が低減しないようにし、正しく駆動トランジスタ T_{r2} のしきい値電圧のばらつきを補正することができる。

【0071】

ところで図 1 との対比により図 4 に示すように、期間 T_{th1} 及び T_{th2} の終了直前で、信号線 DTL の電圧を固定電圧 V_{ofs} より低い固定電圧 V_{ofs2} に立ち下げることにより、同様に、しきい値電圧補正処理の破綻を防止することができる。すなわちこの場合、信号線 DTL の電圧を固定電圧 V_{ofs2} に立ち下げることにより、休止期間 T_1 及び T_2 の間、保持容量 C_s の端子間電圧を駆動トランジスタ T_{r2} のしきい値電圧 V_{th} 以下の電圧に強制的に設定する。また休止期間 T_1 及び T_2 の終了により、書込トランジスタ T_{r1} を介して保持容量 C_s の端子電圧が固定電圧 V_{ofs} に設定されると、保持容量の端子間電圧は、信号線 DTL の電圧を固定電圧 V_{ofs2} に立ち下げる直前の電圧に復帰する。これによりこの図 4 の例では、端子間電圧の放電を複数回の期間で実行する場合でも、駆動トランジスタのしきい値電圧のばらつきを確実に補正することができる。

【0072】

しかしながらこの方法では、固定電圧 V_{ofs2} によって保持容量 C_s の端子間電圧を低減するのに、数 μ 秒の時間を要し、これにより高解像度化、高周波数化に十分に対応できない欠点がある。またこの方法では、信号線駆動回路の構成が複雑になり、消費電力が増大する欠点もある。

【0073】

これに対してこの実施例によれば、単にドライブスキャン回路 14B における出力段の制御を変更するだけの簡易な構成により、高解像度化、高周波数化に十分に対応して画質の劣化を防止することができる。従って垂直駆動回路の構成するモジュールの構成を単純化することができ、さらには画像表示装置 11 を狭額縁化することができる。

【0074】

(3) 実施例の効果

以上の構成によれば、しきい値電圧補正処理の休止期間の全部期間において、電源用の駆動信号を出力する走査線をフローティング状態に設定することにより、駆動トランジス

10

20

30

40

50

タを介して保持容量の端子間電圧を複数回の期間で放電して駆動トランジスタのしきい値電圧をばらつき補正する場合でも、駆動トランジスタのしきい値電圧のばらつきを確実に補正することができる。

【0075】

また駆動信号の立ち下げにより、保持容量の端子間電圧を駆動トランジスタのしきい値電圧以上の電圧に設定することにより、画素回路を2つのトランジスタにより構成する場合に適用して、画質の劣化を有効に回避することができる。

【実施例2】

【0076】

図5は、図1との対比により本発明の実施例2の画像表示装置の説明に供するタイムチャートである。この実施例の画像表示装置は、休止期間T1及びT2のうちの一部期間であり、かつ最先の休止期間T1のみで、走査線DSLをフローティング状態に設定する。

【0077】

すなわち休止期間における駆動トランジスタTr2のソース電圧Vsの上昇は、駆動トランジスタTr2のしきい値電圧Vthに対して、保持容量Csの端子間電圧が大きい場合程、大きくなる。従って複数回の休止期間の中では、最先の休止期間で、ソース電圧Vsの上昇が最も大きくなり、この最先の休止期間に続くしきい値電圧補正処理において、処理が破綻することになる。

【0078】

また最先の休止期間以外では、保持容量の端子間電圧が駆動トランジスタTr2のしきい値電圧Vthに十分に接近していることから、このソース電圧Vsの上昇は、無視することができる。

【0079】

これによりこの実施例では、最先の休止期間T1のみ、走査線DSLをフローティング状態に設定し、残りの休止期間では、駆動信号DSを電圧Vccに保持する。

【0080】

この実施例では、最先の休止期間のみ、走査線をフローティング状態に設定することにより、当該走査線に係る制御を簡略化し、実施例1と同様の効果を得ることができる。

【実施例3】

【0081】

図6は、図1との対比により本発明の実施例3の画像表示装置の説明に供するタイムチャートである。この実施例の画像表示装置は、休止期間T1及びT2のうちの一部期間である、信号線DTLが階調設定用電圧Vsigに設定されている期間TFだけ、走査線DSLをフローティング状態に設定する。

【0082】

すなわち駆動トランジスタTr2の充電電流が大きい場合でも、有機EL素子8を充電する期間が短い場合には、駆動トランジスタTr2の充電電流によるソース電圧Vsの上昇を十分に無視することができる。これによりこの実施例では、休止期間T1及びT2のうち、信号線DTLが階調設定用電圧Vsigに設定されている期間TFだけ、走査線DSLをフローティング状態に設定し、しきい値電圧補正処理の破綻を防止する。

【0083】

この実施例によれば、休止期間のうちの一部期間である信号線が階調設定用電圧に設定されている期間だけ、走査線をフローティング状態に設定するようにしても、実施例1、2と同様の効果を得ることができる。

【実施例4】

【0084】

図7は、図1との対比により本発明の実施例4の画像表示装置の説明に供するタイムチャートである。この実施例の画像表示装置は、休止期間が、1水平走査期間(1H)以上の期間に設定される。従ってこの図7の例では、第2の休止期間T2が、信号線DTLの信号レベルが階調設定用電圧Vsigに設定される2回の期間を含む期間に設定される。

10

20

30

40

50

この実施例では、休止期間 T_1 及び T_2 の間、走査線をフローティング状態に設定する。

【0085】

この実施例のように、休止期間を、1 水平走査期間以上の期間に設定する場合であっても、上述の実施例と同様の効果を得ることができる。

【実施例 5】

【0086】

なお上述の実施例においては、休止期間の全部期間、休止期間の中で信号線の電圧が階調設定用電圧に保持される期間等について、走査線をフローティング状態に設定する場合について述べたが、本発明はこれに限らず、上述の各実施例の構成を組み合わせるようにしてもよく、さらには休止期間以下の期間であって、かつ信号線の電圧が階調設定用電圧に保持される期間以上の期間等で、走査線をフローティング状態に設定してもよい。また休止期間を含むように、休止期間より長い期間で走査線をフローティング状態に設定してもよい。

10

【0087】

また上述の実施例においては、電源用の駆動信号 DS を電圧 V_{ss2} に立ち下げることにより、保持容量の有機 EL 素子側端電圧を立ち下げ、保持容量の端子間電圧を駆動トランジスタ Tr_2 のしきい値電圧以上の電圧に設定する場合について述べたが、本発明はこれに限らず、別途トランジスタを設け、このトランジスタのオンオフ制御により保持容量の有機 EL 素子側端電圧を立ち下げの場合にも広く適用することができる。

【0088】

20

また上述の実施例においては、N チャンネル型のトランジスタを駆動トランジスタに適用する場合について述べたが、本発明はこれに限らず、P チャンネル型のトランジスタを駆動トランジスタに適用する画像表示装置等に広く適用することができる。

【0089】

また上述の実施例においては、本発明を有機 EL 素子の画像表示装置に適用する場合について述べたが、本発明はこれに限らず、電流駆動型の各種自発光素子による画像表示装置に広く適用することができる。

【産業上の利用可能性】

【0090】

本発明は、画像表示装置及び画像表示装置の駆動方法に関し、例えば有機 EL 素子によるアクティブマトリックス型の画像表示装置に適用することができる。

30

【図面の簡単な説明】

【0091】

【図 1】本発明の実施例 1 の画像表示装置の動作の説明に供するタイムチャートである。

【図 2】本発明の実施例 1 の画像表示装置を示すブロック図である。

【図 3】図 2 の画像表示装置を詳細に示すブロック図である。

【図 4】信号線の電圧設定による動作例を示すタイムチャートである。

【図 5】本発明の実施例 2 の画像表示装置の動作の説明に供するタイムチャートである。

【図 6】本発明の実施例 3 の画像表示装置の動作の説明に供するタイムチャートである。

【図 7】本発明の実施例 4 の画像表示装置の動作の説明に供するタイムチャートである。

40

【図 8】従来の画像表示装置を示すブロック図である。

【図 9】図 8 の画像表示装置の動作の説明に供するタイムチャートである。

【図 10】図 8 の画像表示装置において休止期間を設ける場合の動作の説明に供するタイムチャートである。

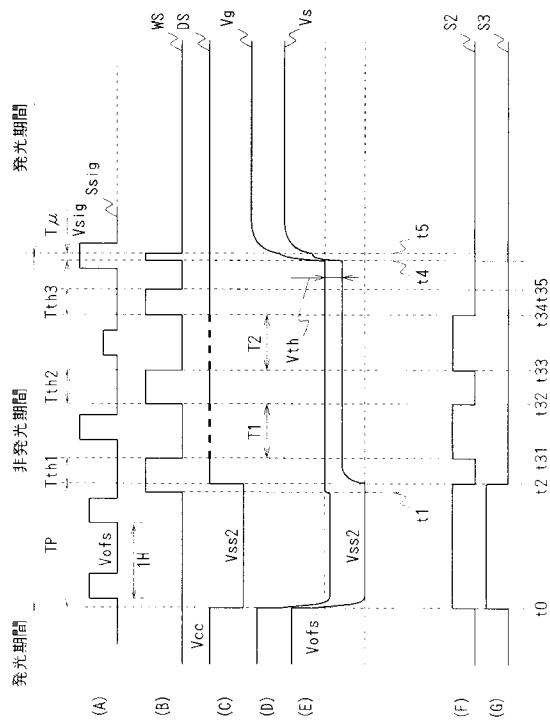
【符号の説明】

【0092】

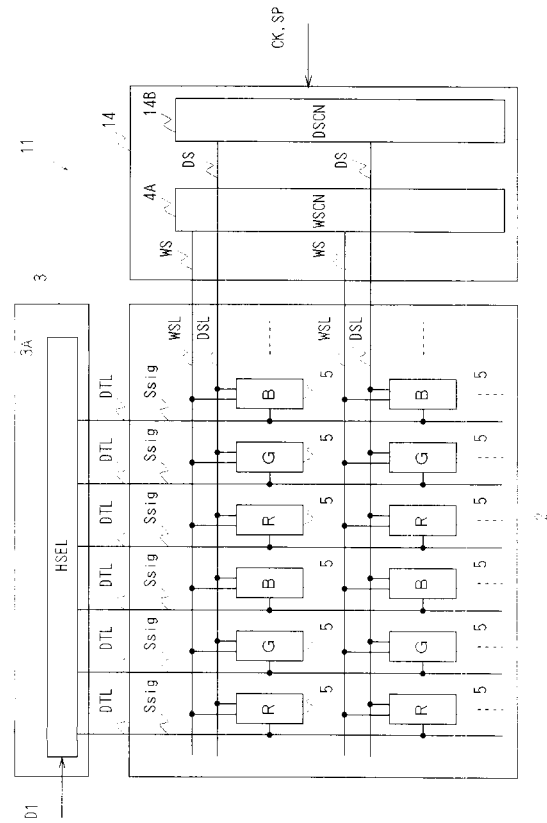
1、11 ... 画像表示装置、2 ... 表示部、3 ... 水平駆動回路、4、14 ... 垂直駆動回路、4B、14B ... ドライブスキャン回路、5 ... 画素回路、8 ... 有機 EL 素子、Cs ... 保持容量、 $Tr_1 \sim Tr_4$... トランジスタ

50

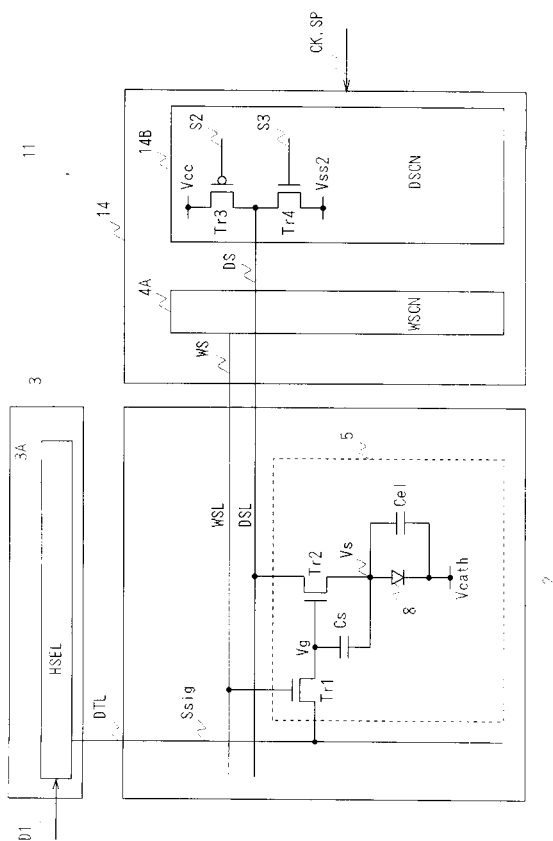
【図 1】



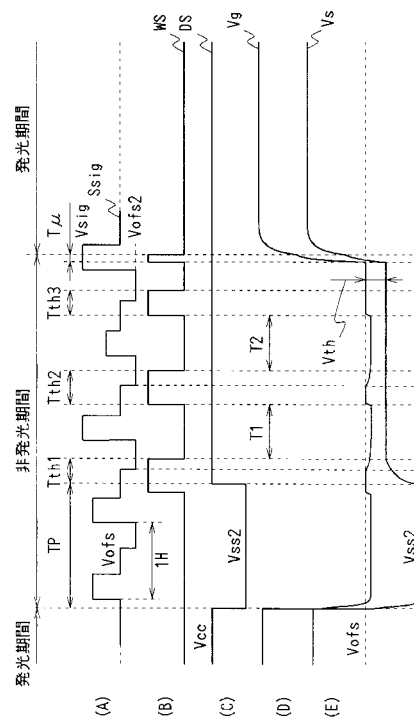
【図 2】



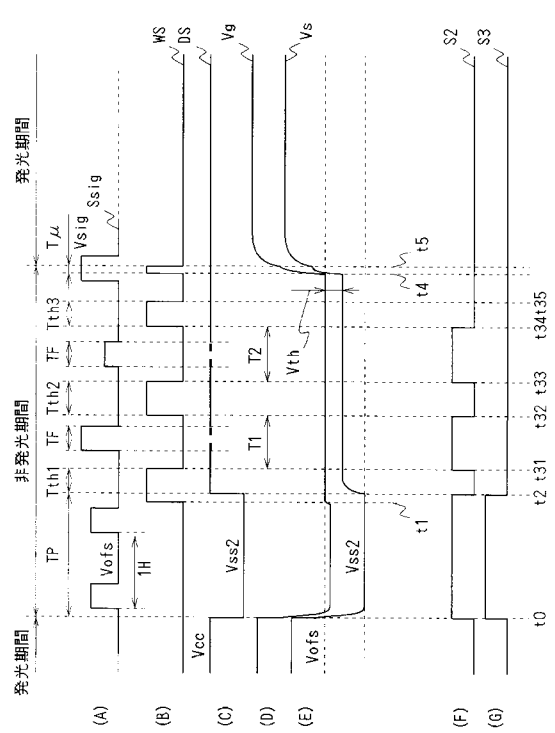
【図 3】



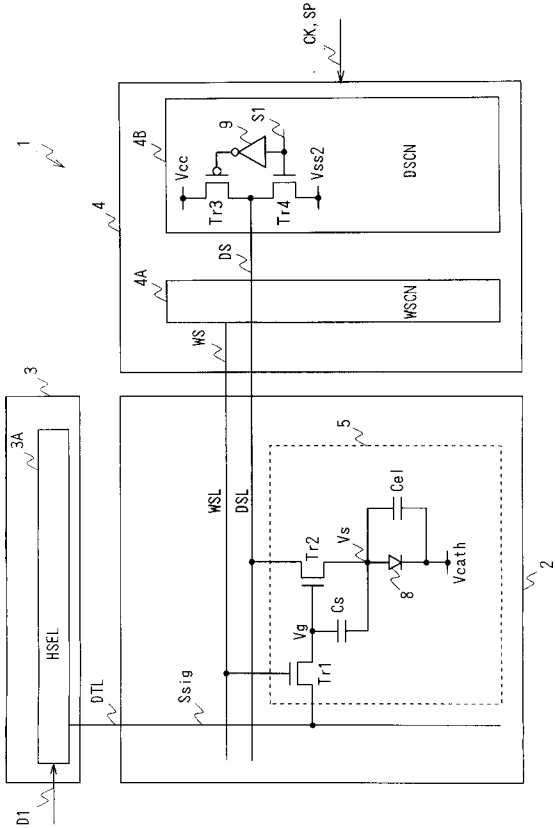
【図 4】



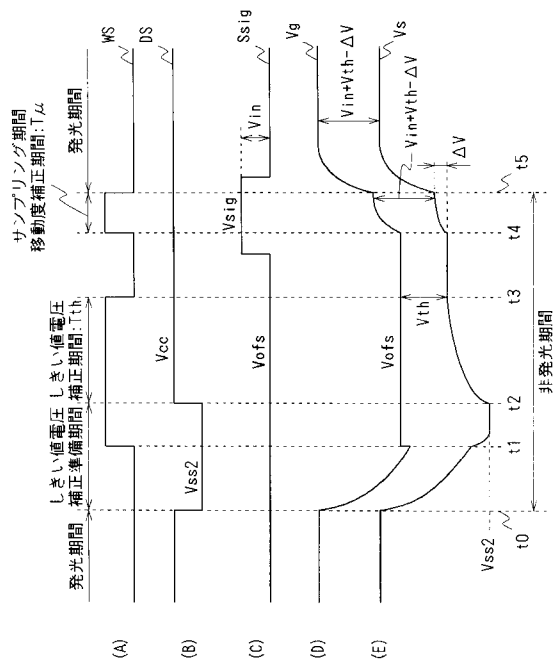
【 図 6 】



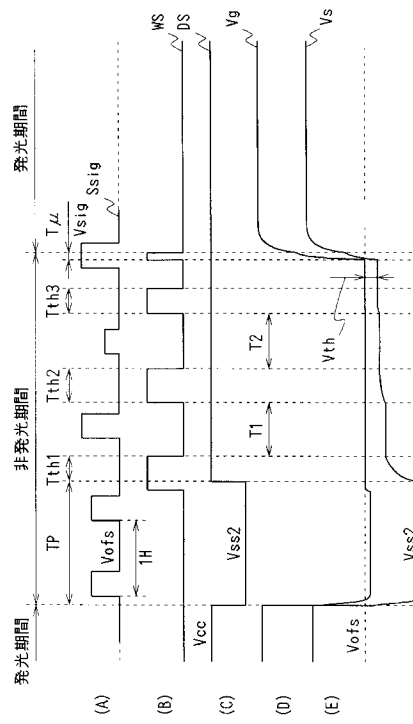
【圖 8】



【図 9】



【図 10】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 3 D
G 0 9 G	3/20	6 1 1 H
G 0 9 G	3/20	6 4 2 C
G 0 9 G	3/20	6 7 0 A
H 0 5 B	33/14	A

F ターム(参考) 3K107 AA01 BB01 CC33 EE03 HH02 HH04

5C080 AA06 BB05 CC03 DD03 EE28 EE29 EE30 FF07 FF11 HH09

JJ02 JJ03 JJ04

专利名称(译)	图像显示装置和图像显示装置的驱动方法		
公开(公告)号	JP2010107629A	公开(公告)日	2010-05-13
申请号	JP2008277898	申请日	2008-10-29
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	山下 淳一 内野 勝秀		
发明人	山下 淳一 内野 勝秀		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3266 G09G3/3233 G09G2300/0819 G09G2300/0861 G09G2300/0866 G09G2310/065 G09G2320/0252 G09G2320/043		
FI分类号	G09G3/30.K G09G3/30.J G09G3/20.624.B G09G3/20.641.P G09G3/20.622.D G09G3/20.623.D G09G3/ /20.611.H G09G3/20.642.C G09G3/20.670.A H05B33/14.A G09G3/20.670.J G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH02 3K107/HH04 5C080/AA06 5C080/ /BB05 5C080/CC03 5C080/DD03 5C080/EE28 5C080/EE29 5C080/EE30 5C080/FF07 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C380/AA01 5C380/AB06 5C380/AB34 5C380/ /BA01 5C380/BA17 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BD03 5C380/CA08 5C380/CA12 5C380/CA32 5C380/CB01 5C380/CB20 5C380/CB27 5C380/CB31 5C380/CC02 5C380/CC03 5C380/ /CC04 5C380/CC06 5C380/CC07 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC41 5C380/CC61 5C380/CC62 5C380/CD022 5C380/CF23 5C380/DA02 5C380/DA06		
其他公开文献	JP5088294B2		
外部链接	Espacenet		

摘要(译)

本发明应用于例如使用有机EL元件的有源矩阵型图像显示装置,并且存储电容器的端子电压通过驱动晶体管多次放电以获得驱动晶体管的阈值。即使在校正电压变化时,也可以可靠地校正驱动晶体管的阈值电压变化。根据本发明,在阈值电压校正处理的全部或部分空闲时段T1和T2中,将输出用于电源的驱动信号DS的扫描线设置为浮动状态。[选型图]

图1

