

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-197517

(P2008-197517A)

(43) 公開日 平成20年8月28日(2008.8.28)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 611H	5C080
H01L 51/50 (2006.01)	G09G 3/20 642A	
H05B 33/10 (2006.01)	G09G 3/20 624B	
	G09G 3/20 670J	
審査請求 未請求 請求項の数 16 O L (全 50 頁) 最終頁に続く		

(21) 出願番号 特願2007-34445 (P2007-34445)
 (22) 出願日 平成19年2月15日 (2007.2.15)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100086298
 弁理士 船橋 國則
 (72) 発明者 飯田 幸人
 東京都港区港南1丁目7番1号 ソニー株式会社内
 (72) 発明者 内野 勝秀
 東京都港区港南1丁目7番1号 ソニー株式会社内
 Fターム(参考) 3K107 AA01 BB01 CC33 CC35 EE03
 GG26 HH04 HH05
 5C080 AA06 BB05 DD03 DD05 DD29
 EE29 JJ02 JJ03 JJ04 JJ05

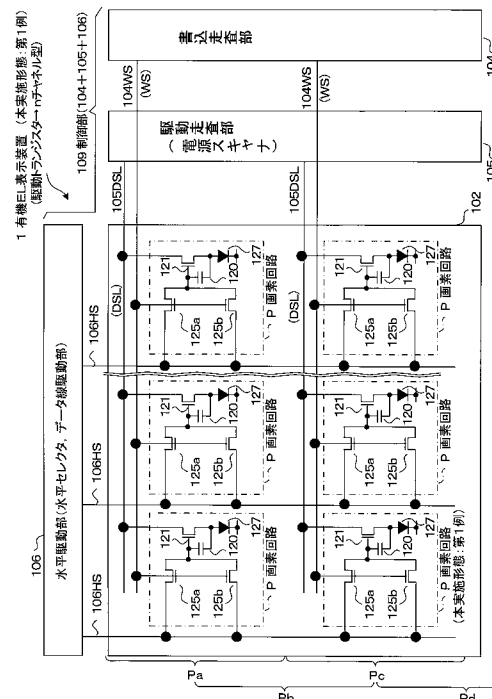
(54) 【発明の名称】 画素回路および表示装置と表示装置の製造方法

(57) 【要約】

【課題】有機EL表示装置において、サンプリングトランジスタの特性ばらつきに起因する輝度ムラを改善する。

【解決手段】保持容量120、駆動トランジスタ121、サンプリングトランジスタ125を有する2TR構成の画素回路Pをベースに、画素回路Pごとに、サンプリングトランジスタ125を複数に分けて配置する。アニール処理時には、サンプリングトランジスタ125a、125bの配置態様に適合するように、走査方向や照射幅や走査ピッチを設定する。好ましくは、複数個に分けたサンプリングトランジスタ125a、125bの配列方向に関して、各サンプリングトランジスタ125a、125bの配列ピッチよりもアニール処理時の1回当たりの照射幅Pa～Pdの方を広く設定する。

【選択図】 図15



【特許請求の範囲】

【請求項 1】

駆動電流を生成する駆動トランジスタ、前記駆動トランジスタの出力端に接続された電気光学素子、映像信号線を介して供給される映像信号の内の信号電位に応じた情報を保持する保持容量、前記信号電位に応じた情報を前記保持容量に書き込む電気信号的に並列接続された複数のサンプリングトランジスタを具備し、前記保持容量に保持された情報に基づく駆動電流を前記駆動トランジスタで生成して前記電気光学素子に流すことで当該電気光学素子が発光する画素回路が行列状に配置されている画素アレイ部と、

前記サンプリングトランジスタを水平周期で順次制御することで前記画素回路を線順次走査して、1行分の各保持容量に映像信号の信号電位に応じた情報を書き込むための書込走査パルスを出力する書込走査部、前記書込走査部での前記線順次走査に合わせて1行分の映像信号を前記映像信号線に供給する水平駆動部を具備する制御部と

を備えることを特徴とする表示装置。

【請求項 2】

前記保持容量は、前記駆動トランジスタの制御入力端と出力端の間に接続されていることを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

前記制御部は、前記駆動トランジスタの前記電源供給端子に前記第 1 電位に対応する電圧が供給され、かつ前記サンプリングトランジスタに前記映像信号における基準電位が供給されている時間帯で前記サンプリングトランジスタを導通させ、前記駆動トランジスタの閾値電圧に対応する電圧を前記保持容量に保持するための閾値補正動作を行なうように制御する

ことを特徴とする請求項 2 に記載の表示装置。

【請求項 4】

前記制御部は、前記信号電位の前記保持容量への書込みに先行する複数の水平周期で、前記閾値補正動作を繰り返し実行するように制御する

ことを特徴とする請求項 3 に記載の表示装置。

【請求項 5】

前記制御部は、前記閾値補正動作に先立って、前記駆動トランジスタの電源供給端に前記第 2 電位に対応する電圧が供給され、かつ前記サンプリングトランジスタに前記映像信号の基準電位が供給されている時間帯で前記サンプリングトランジスタを導通させて、前記閾値補正動作の準備動作を行なうように制御する

ことを特徴とする請求項 3 に記載の表示装置。

【請求項 6】

前記制御部は、前記閾値補正動作の後、前記駆動トランジスタの移動度に対する補正分を前記保持容量に書き込まれる情報に加える

ことを特徴とする請求項 3 に記載の表示装置。

【請求項 7】

前記制御部は、前記閾値補正動作の後、前記サンプリングトランジスタに前記信号電位が供給されている時間帯で前記サンプリングトランジスタを導通させることで前記保持容量に前記信号電位に応じた情報を書き込む際、前記駆動トランジスタの移動度に対する補正分を前記保持容量に書き込まれる情報に加える

ことを特徴とする請求項 6 に記載の表示装置。

【請求項 8】

前記制御部は、前記サンプリングトランジスタに前記信号電位が供給されている時間帯内の所定位置で当該時間帯より短い期間だけ前記サンプリングトランジスタを導通させる前記書込兼初期化走査パルスを生成する

ことを特徴とする請求項 7 に記載の表示装置。

【請求項 9】

前記制御部は、前記前記書込兼初期化走査パルスの幅を調整可能に構成されている

ことを特徴とする請求項 8 に記載の表示装置。

【請求項 10】

前記制御部は、前記信号電位と前記書込兼初期化走査パルスとの相対的な位相差を調整可能に構成されている

ことを特徴とする請求項 7 に記載の表示装置。

【請求項 11】

前記水平駆動部は、前記信号電位の切替り時に傾斜をつけることで、前記駆動トランジスタの移動度を補正する期間を前記信号電位の大きさに追従させる

ことを特徴とする請求項 6 に記載の表示装置。

【請求項 12】

前記制御部は、前記保持容量に前記信号電位に対応する情報が書き込まれた時点で前記サンプリングトランジスタを非導通状態にして前記駆動トランジスタの前記制御入力端への前記映像信号の供給を停止させ、当該駆動トランジスタの前記出力端の電位変動に前記制御入力端の電位が連動する動作を可能にする

ことを特徴とする請求項 2 に記載の表示装置。

【請求項 13】

駆動電流を生成する駆動トランジスタと、

前記駆動トランジスタの出力端に接続された電気光学素子と、

映像信号線を介して供給される映像信号の内の信号電位に応じた情報を保持する保持容量と、

前記信号電位に応じた情報を前記保持容量に書き込む電気信号的に並列接続された複数のサンプリングトランジスタと

を具備し、前記保持容量に保持された情報に基づく駆動電流を前記駆動トランジスタで生成して前記電気光学素子に流すことで当該電気光学素子が発光する画素回路が行列状に配置されている画素アレイ部と

を具備し、

前記保持容量に保持された情報に基づく駆動電流を前記駆動トランジスタで生成して前記電気光学素子に流すことで当該電気光学素子が発光するようにされている

ことを特徴とする画素回路。

【請求項 14】

駆動電流を生成する駆動トランジスタ、前記駆動トランジスタの出力端に接続された電気光学素子、映像信号線を介して供給される映像信号の内の信号電位に応じた情報を保持する保持容量、前記信号電位に応じた情報を前記保持容量に書き込む電気信号的に並列接続された複数のサンプリングトランジスタを具備し、前記保持容量に保持された情報に基づく駆動電流を前記駆動トランジスタで生成して前記電気光学素子に流すことで当該電気光学素子が発光する画素回路が行列状に配置されている画素アレイ部を備えた表示装置の製造方法であって、

前記複数のサンプリングトランジスタが配置される位置に応じて、アニール処理時の走査方向、照射幅、および走査ピッチを設定する

ことを特徴とする表示装置の製造方法。

【請求項 15】

前記複数のサンプリングトランジスタを列方向および行方向の何れか一方に一行に配置する場合には、列方向および行方向の他方の方向に延在した線状の光源を前記列方向および行方向の前記一方の方向に走査を進める

ことを特徴とする請求項 14 に記載の表示装置の製造方法。

【請求項 16】

前記複数のサンプリングトランジスタの配列方向に関して、各サンプリングトランジスタの配列ピッチよりも前記アニール処理時の 1 回当たりの照射幅の方を広く設定する

ことを特徴とする請求項 15 に記載の表示装置の製造方法。

【発明の詳細な説明】

10

20

30

40

50

【技術分野】

【0001】

本発明は、電気光学素子（表示素子や発光素子とも称される）を具備する画素回路（画素とも称される）と、この画素回路が行列状に配列された画素アレイ部を有する表示装置と、表示装置の製造方法に関する。より詳細には、駆動信号の大小によって輝度が変化する電気光学素子を表示素子として有する画素回路と、この画素回路が行列状に配置されており、画素回路ごとに能動素子を有して当該能動素子によって画素単位で表示駆動が行なわれるアクティブマトリクス型の表示装置と、その製造方法に関する。

【背景技術】

【0002】

画素の表示素子として、印加される電圧や流れる電流によって輝度が変化する電気光学素子を用いた表示装置がある。たとえば、印加される電圧によって輝度が変化する電気光学素子としては液晶表示素子が代表例であり、流れる電流によって輝度が変化する電気光学素子としては、有機エレクトロルミネッセンス（Organic Electro Luminescence, 有機EL, Organic Light Emitting Diode, OLED；以下、有機ELと記す）素子が代表例である。後者の有機EL素子を用いた有機EL表示装置は、画素の表示素子として、自発光素子である電気光学素子を用いたいわゆる自発光型の表示装置である。

【0003】

有機EL素子は有機薄膜に電界をかけると発光する現象を利用した電気光学素子である。有機EL素子は比較的低い印加電圧（たとえば10V以下）で駆動できるため低消費電力である。また有機EL素子は自ら光を発する自発光素子であるため、液晶表示装置では必要とされるバックライトなどの補助照明部材を必要とせず、軽量化および薄型化が容易である。さらに、有機EL素子の応答速度は非常に高速である（たとえば数 μ s程度）ので、動画表示時の残像が発生しない。これらの利点があることから、電気光学素子として有機EL素子を用いた平面自発光型の表示装置の開発が近年盛んになっている。

【0004】

ところで、液晶表示素子を用いた液晶表示装置や有機EL素子を用いた有機EL表示装置を始めとする電気光学素子を用いた表示装置においては、その駆動方式として、単純（パッシブ）マトリクス方式とアクティブマトリクス方式とを採ることができる。ただし、単純マトリクス方式の表示装置は、構造が単純であるもの、大型でかつ高精細の表示装置の実現が難しいなどの問題がある。

【0005】

このため、近年、画素内部の発光素子に供給する画素信号を、同様に画素内部に設けた能動素子、たとえば絶縁ゲート型電界効果トランジスタ（一般には、薄膜トランジスタ（Thin Film Transistor；TFT）をスイッチングトランジスタとして使用して制御するアクティブマトリクス方式の開発が盛んに行なわれている。

【0006】

ここで、画素回路内の電気光学素子を発光させる際には、映像信号線を介して供給される入力画像信号をスイッチングトランジスタ（サンプリングトランジスタと称する）で駆動トランジスタのゲート端（制御入力端子）に設けられた保持容量（画素容量とも称する）に取り込み、取り込んだ入力画像信号に応じた駆動信号を電気光学素子に供給する。

【0007】

電気光学素子として液晶表示素子を用いる液晶表示装置では、液晶表示素子が電圧駆動型の素子であることから、保持容量に取り込んだ入力画像信号に応じた電圧信号そのもので液晶表示素子を駆動する。これに対して、電気光学素子として有機EL素子などの電流駆動型の素子を用いる有機EL表示装置では、保持容量に取り込んだ入力画像信号に応じた駆動信号（電圧信号）を駆動トランジスタで電流信号に変換して、その駆動電流を有機EL素子などに供給する。

【0008】

有機EL素子を代表例とする電流駆動型の電気光学素子では、駆動電流値が異なると発

10

20

30

40

50

光輝度も異なる。よって、安定した輝度で発光させるためには、安定した駆動電流を電気光学素子に供給することが肝要となる。たとえば、有機EL素子に駆動電流を供給する駆動方式としては、定電流駆動方式と定電圧駆動方式とに大別できる（周知の技術であるので、ここでは公知文献の提示はしない）。

【0009】

有機EL素子の電圧－電流特性は傾きの大きい特性を有するので、定電圧駆動を行なうと、僅かな電圧のばらつきや素子特性のばらつきが大きな電流のばらつきを生じ大きな輝度ばらつきをもたらす。よって、一般的には、駆動トランジスタを飽和領域で使用する定電流駆動が用いられる。もちろん、定電流駆動でも、電流変動があれば輝度ばらつきを招くが、小さな電流ばらつきであれば小さな輝度ばらつきしか生じない。

10

【0010】

逆に言えば、定電流駆動方式であっても、電気光学素子の発光輝度が不変であるためには、入力画像信号に応じて保持容量に書き込まれ保持される駆動信号が一定であることが重要となる。たとえば、有機EL素子の発光輝度が不変であるためには、入力画像信号に応じた駆動電流が一定であることが重要となる。

【0011】

ところが、プロセス変動により電気光学素子を駆動する能動素子（駆動トランジスタ）の閾値電圧や移動度がばらついてしまう。また、有機EL素子などの電気光学素子の特性が経時的に変動する。このような駆動用の能動素子の特性ばらつきや電気光学素子の特性変動があると、定電流駆動方式であっても、発光輝度に影響を与えてしまう。

20

【0012】

このため、表示装置の画面全体に亘って発光輝度を均一に制御するため、各画素回路内で上述した駆動用の能動素子や電気光学素子の特性変動に起因する輝度変動を補正するための仕組みが種々検討されている。

【0013】

【特許文献1】特開2006-215213号公報

【0014】

たとえば、特許文献1に記載の仕組みでは、有機EL素子用の画素回路として、駆動トランジスタの閾値電圧にばらつきや経時変化があった場合でも駆動電流を一定にするための閾値補正機能や、駆動トランジスタの移動度にばらつきや経時変化があった場合でも駆動電流を一定にするための移動度補正機能や、有機EL素子の電流－電圧特性に経時変化があった場合でも駆動電流を一定にするためのブートストラップ機能が提案されている。

30

【発明の開示】

【発明が解決しようとする課題】

【0015】

しかしながら、サンプリングトランジスタの閾値電圧がばらつくと、そのオン抵抗もばらつき（変動し）、信号電位をサンプリングしたときのその他の回路部材とのインピーダンス関係が変動してしまう。このため、信号電位が同じであっても、保持容量に書き込まれる信号電位に対応する情報量がばらつきく。つまり、保持容量への書込みゲインがサンプリングトランジスタの閾値電圧のばらつきの影響を受けてしまう。

40

【0016】

また、特許文献1に記載の仕組みでは、補正用の電位を供給する配線と、補正用の2個のスイッチングトランジスタと、それを駆動する2種類のスイッチング用のパルスを使用して、駆動トランジスタおよびサンプリングトランジスタを含めると5つのトランジスタを使用する5TR駆動の構成を採り、閾値補正と移動度補正とを実現しているが、サンプリングトランジスタの閾値電圧がばらつくと移動度補正期間もばらついてしまう。

【0017】

これら、サンプリングトランジスタの閾値電圧のばらつきに起因する書込みゲインや移動度補正期間のばらつきは輝度ムラとして現れ、画質劣化に繋がってしまう。

【0018】

50

また、特許文献 1 に記載の仕組みでは、前述のように、5 T R 駆動の構成を採っており、画素回路の構成が複雑である。画素回路の構成要素が多いことから、表示装置の高精細化の妨げとなる。その結果、5 T R 駆動の構成では、携帯機器（モバイル機器）などの小型の電子機器で用いられる表示装置への適用が困難になる。

【0019】

このため、画素回路の簡素化を図りつつ、素子の特性ばらつきによる輝度変化を抑制する方式の開発要求がある。この際には、サンプリングトランジスタの閾値電圧のばらつきに起因する書込みゲインや移動度補正期間のばらつきが輝度ムラとして現れる現象を改善するとともに、その簡素化に伴って、5 T R 駆動の構成では生じていない問題が新たに発生することがないようにすることも考慮されるべきである。

10

【0020】

本発明は、上記事情に鑑みてなされたもので、先ず、サンプリングトランジスタの特性ばらつきに起因する書込みゲインや移動度補正期間のばらつきが輝度ムラとして現れる現象を改善することのできる仕組みを提供することを目的とする。

【0021】

さらに好ましくは、画素回路の簡素化により表示装置の高精細化を可能にする仕組みを提供することを目的とする。

【0022】

また、画素回路の簡素化に当たっては、好ましくは、駆動トランジスタや発光素子の特性ばらつきによる輝度変化を抑制することの可能な仕組みを提供することを目的とする。

20

【課題を解決するための手段】

【0023】

本発明に係る表示装置の一実施形態は、映像信号に基づいて画素回路内の電気光学素子を発光させる表示装置であって、先ず、画素アレイ部に行列状に配される画素回路内に、少なくとも、駆動電流を生成する駆動トランジスタ、駆動トランジスタの出力端に接続された電気光学素子、映像信号線を介して供給される映像信号の内の信号電位に応じた情報を保持する保持容量、および保持容量に映像信号における信号電位に応じた情報を書き込むサンプリングトランジスタを備える。この画素回路においては、保持容量に保持された情報に基づく駆動電流を駆動トランジスタで生成して電気光学素子に流すことで電気光学素子を発光させる。保持容量は、好ましくは、駆動トランジスタの制御入力端と出力端の間に接続する。

30

【0024】

サンプリングトランジスタで保持容量に信号電位に応じた情報を書き込むので、サンプリングトランジスタは、その入力端（ソース端もしくはドレイン端の一方）に信号電位を取り込み、その出力端（ソース端もしくはドレイン端の他方）に接続された保持容量に信号電位に応じた情報を書き込む。もちろん、サンプリングトランジスタの出力端は、駆動トランジスタの制御入力端にも接続されている。

【0025】

なお、ここで示した画素回路の接続構成は、最も基本的な構成を示したもので、画素回路は、少なくとも前述の各構成要素を含むものであればよく、これらの構成要素以外（つまり他の構成要素）が含まれていてもよい。また、「接続」は、直接に接続されている場合に限らず、他の構成要素を介在して接続されている場合でもよい。

40

【0026】

たとえば、接続間には、必要に応じてさらに、スイッチング用のトランジスタや、ある機能を持った機能部などを介在させるなどの変更が加えられることがある。典型的には、表示期間（換言すれば非発光時間）を動的に制御するためにスイッチング用のトランジスタを、駆動トランジスタの出力端と電気光学素子との間に、もしくは駆動トランジスタの電源供給端（ドレイン端が典型例）と電源供給用の配線である電源線との間に配することがある。

【0027】

50

このような変形態様の画素回路であっても、本項（課題を解決するための手段）で説明する構成や作用を実現し得るものである限り、それらの変形態様も、本発明に係る表示装置の一実施形態を実現する画素回路である。

【0028】

また、画素回路を駆動するための周辺部には、たとえば、サンプリングトランジスタを水平周期で順次制御することで画素回路を線順次走査して、1行分の各保持容量に映像信号の信号電位に応じた情報を書き込む書込走査部、および書込走査部での線順次走査に合わせて1行分の各駆動トランジスタの電源供給端に印加される電源供給を制御するための走査駆動パルスを出力する駆動走査部を具備する制御部を設ける。

【0029】

また、制御部には、書込走査部での線順次走査に合わせて各水平周期内で基準電位と信号電位で切り替わる映像信号がサンプリングトランジスタに供給されるように制御する水平駆動部を設ける。

【0030】

ここで、好ましくは、制御部は、駆動電流を電気光学素子に流すために使用される第1電位に対応する電圧が駆動トランジスタの電源供給端に供給されかつ映像信号における基準電位がサンプリングトランジスタに供給されている時間帯でサンプリングトランジスタを導通させることで駆動トランジスタの閾値電圧に対応する電圧を保持容量に保持するための閾値補正動作を行なうように制御する。

【0031】

この閾値補正動作は、必要に応じて、信号電位の保持容量への書込みに先行する複数の水平周期で繰り返し実行するとよい。ここで「必要に応じて」とは、1水平周期内の閾値補正期間では駆動トランジスタの閾値電圧に相当する電圧を十分に保持容量へ保持させることができない場合を意味する。閾値補正動作の複数回の実行により、確実に駆動トランジスタの閾値電圧に相当する電圧を保持容量に保持させるのである。

【0032】

また、さらに好ましくは、制御部は、閾値補正動作に先立って、第2電位に対応する電圧が駆動トランジスタの電源供給端に供給されかつサンプリングトランジスタの入力端（ソース端もしくはドレイン端の一方）に信号電位が供給されている時間帯でサンプリングトランジスタを導通させて駆動トランジスタの制御入力端を基準電位に設定しかつ出力端を第2電位に設定する閾値補正用の準備動作（放電動作や初期化動作）を実行するように制御する。閾値補正動作に先立って、駆動トランジスタの制御入力端と出力端の電位を、両端の電位差が閾値電圧以上になるように初期化するのである。

【0033】

さらに好ましくは、制御部は、閾値補正動作の後、駆動トランジスタに第1電位に対応する電圧が供給され、サンプリングトランジスタに信号電位が供給されている時間帯でサンプリングトランジスタを導通させることで保持容量に信号電位の情報を書き込む際、駆動トランジスタの移動度に対する補正分を保持容量に書き込まれる信号に加えるように制御する。

【0034】

この際には、サンプリングトランジスタに基準電位が供給されている時間帯内の所定位置で、その時間帯より短い期間だけサンプリングトランジスタを導通させるとよい。

【0035】

さらに好ましくは、制御部は、保持容量に信号電位に対応する情報が書き込まれた時点でサンプリングトランジスタを非導通状態にして駆動トランジスタの制御入力端への映像信号の供給を停止させ、駆動トランジスタの出力端の電位変動に制御入力端の電位が連動するブートストラップ動作を行なうように制御する。

制御部は、好ましくはブートストラップ動作を、サンプリング動作の終了後の特に発光開始の初期でも実行するようにする。すなわち、信号電位がサンプリングトランジスタに供給されている状態でサンプリングトランジスタを導通状態にした後にサンプリングトラ

10

20

30

40

50

ンジスタを非導通状態にすることで、駆動トランジスタの制御入力端と出力端の電位差が一定に維持されるようにする。

また、制御部は、好ましくはブートストラップ動作を、発光期間において電気光学素子の経時変動補正動作を実現するように制御する。このため、制御部は、保持容量に保持された情報に基づく駆動電流が電気光学素子に流れている期間は継続的にサンプリングトランジスタを非導通状態にしておくことで、制御入力端と出力端の電圧を一定に維持可能にして電気光学素子の経時変動補正動作を実現するとよい。

【0036】

ここで、本発明に係る画素回路および表示装置の一実施形態における特徴的な事項として、前述の構成の画素回路をベースとして、画素回路ごとに、画素回路を構成するサンプリングトランジスタを複数に分けて配置する。

10

【0037】

回路パターンの側面を考慮したときには、複数のサンプリングトランジスタをアニール処理時の走査方向に沿って、かつ走査時の照射幅内に少なくとも1つが完全に納まるとともに、他の一部（好ましくは2つめも完全に）も収まるような配置にする。

【0038】

製造時のアニール処理時には、複数のサンプリングトランジスタの配置態様に適合するように、走査方向や照射幅や走査ピッチを設定する。好ましくは、複数の分けたサンプリングトランジスタの配列方向に関して、各サンプリングトランジスタの配列ピッチよりもアニール処理時の1回当たりの照射幅の方を広く設定する。

20

【発明の効果】

【0039】

本発明の一実施形態によれば、画素回路ごとにサンプリングトランジスタを複数個に分けて配置するようにした。これにより、その複数の全体として得られる画素回路ごとのサンプリングトランジスタの特性差を、サンプリングトランジスタを1つとする場合よりも少なくすることができる。その結果、サンプリングトランジスタの特性ばらつきに起因する輝度ムラを防止し良好な画質を得ることができる。

【0040】

また、有機EL素子などの電流駆動型の電気光学素子を画素回路に用いたアクティブマトリクス型の表示装置において、各画素回路が少なくとも駆動トランジスタの閾値補正機能を備えるようにすれば、閾値電圧のばらつきの影響を受けることがなく、良好な画質の表示装置を実現できる。望ましくは、駆動トランジスタの移動度補正機能や電気光学素子の経時変動補正機能（ブートストラップ動作）を備えるようにすれば、さらに高品位の画質を得ることができる。

30

【0041】

閾値補正機能により駆動トランジスタの閾値変動を補正することで、あるいは移動度補正機能により駆動トランジスタの移動度変動を補正することで、これらの変動やばらつきの影響を受けることなく発光輝度を一定に保つことができるからである。また、発光時における保持容量のブートストラップ動作により電気光学素子の電流－電圧特性が経時変動しても駆動トランジスタの制御入力端と出力端の電位差がブートストラップした保持容量により一定に保たれるため、常に一定の発光輝度を保つことができるからである。

40

【0042】

ここで、閾値補正機能およびそれに先立つ閾値補正準備機能（初期化機能）を実現するに当たって、駆動トランジスタの電源供給端を第1電位と第2電位との間で遷移させる、つまり電源電圧をスイッチングパルスとして使用することが有効に機能する。すなわち、閾値補正機能を組み込むため、各画素回路の駆動トランジスタに供給する電源電圧をスイッチングパルスとして使用すると、閾値補正用のスイッチングトランジスタやその制御入力端を制御する走査線が不要になる。

【0043】

結果として、2TR駆動の構成をベースとして本願特有の変形を加えるだけでよく、画

50

素回路の構成素子数と配線本数が大幅に削減でき、画素アレイ部を縮小することができ、表示装置の高精細化を達成し易くなる。画素回路の簡素化を図りつつ、素子の特性変動による輝度変化の補正機能を実現できる。

【0044】

素子数や配線数が少ないため高精細化に適しており、高精細の表示が求められる小型の表示装置を容易に実現できる。

【発明を実施するための最良の形態】

【0045】

以下、図面を参照して本発明の実施形態について詳細に説明する。

【0046】

<表示装置の全体概要>

図1は、本発明に係る表示装置の一実施形態であるアクティブマトリクス型表示装置の構成の概略を示すブロック図である。本実施形態では、たとえば画素の表示素子（電気光学素子、発光素子）として有機EL素子を、能動素子としてポリシリコン薄膜トランジスタ（TFT；Thin Film Transistor）をそれぞれ用い、薄膜トランジスタを形成した半導体基板上に有機EL素子を形成してなるアクティブマトリクス型有機ELディスプレイ（以下「有機EL表示装置」と称する）に適用した場合を例に採って説明する。

【0047】

なお、以下においては、画素の表示素子として有機EL素子を例に具体的に説明するが、これは一例であって、対象となる表示素子是有機EL素子に限らない。一般的に電流駆動で発光する表示素子の全てに、後述する全ての実施形態が同様に適用できる。

【0048】

図1に示すように、有機EL表示装置1は、複数の表示素子としての有機EL素子（図示せず）を持った画素回路（画素とも称される）110が表示アスペクト比である縦横比がX：Y（たとえば9：16）の有効映像領域を構成するように配置された表示パネル部100と、この表示パネル部100を駆動制御する種々のパルス信号を発するパネル制御部の一例である駆動信号生成部200と、映像信号処理部300を備えている。駆動信号生成部200と映像信号処理部300とは、1チップのIC（Integrated Circuit；半導体集積回路）に内蔵されている。

【0049】

なお、製品形態としては、図示のように、表示パネル部100、駆動信号生成部200、および映像信号処理部300の全てを備えたモジュール（複合部品）形態の有機EL表示装置1として提供されることに限らず、たとえば、表示パネル部100のみで有機EL表示装置1として提供することも可能である。また、このような有機EL表示装置1は、半導体メモリやミニディスク（MD）やカセットテープなどの記録媒体を利用した携帯型の音楽プレイヤーやその他の電子機器の表示部に利用される。

【0050】

表示パネル部100は、基板101の上に、画素回路Pがn行×m列のマトリクス状に配列された画素アレイ部102と、画素回路Pを垂直方向に走査する垂直駆動部103と、画素回路Pを水平方向に走査する水平駆動部（水平セクタあるいはデータ線駆動部とも称される）106と、外部接続用の端子部（パッド部）108などが集積形成されている。すなわち、垂直駆動部103や水平駆動部106などの周辺駆動回路が、画素アレイ部102と同一の基板101上に形成された構成となっている。

【0051】

垂直駆動部103（書込走査部104および駆動走査部105）と水平駆動部106とで、信号電位の保持容量への書込みや、閾値補正動作や、移動度補正動作や、ブートストラップ動作を制御する制御部109が構成される。

【0052】

垂直駆動部103としては、たとえば、書込走査部（ライトスキャナWS；Write Scan）104や電源供給能力を有する電源スキャナとして機能する駆動走査部（ドライブスキ

10

20

30

40

50

ャナ D S ; Drive Scan) 1 0 5 を有する。

【0053】

画素アレイ部 1 0 2 は、一例として、図示する左右方向の一方側もしくは両側から書込走査部 1 0 4 および駆動走査部 1 0 5 で駆動され、かつ図示する上下方向の一方側もしくは両側から水平駆動部 1 0 6 で駆動されるようになっている。

【0054】

端子部 1 0 8 には、有機 E L 表示装置 1 の外部に配された駆動信号生成部 2 0 0 から、種々のパルス信号が供給されるようになっている。また同様に、映像信号処理部 3 0 0 から映像信号 Vsig が供給されるようになっている。

【0055】

一例としては、垂直駆動用のパルス信号として、垂直方向の書込み開始パルスの一例であるシフトスタートパルス SPDS、SPWS や垂直走査クロック CKDS、CKWS など必要なパルス信号が供給される。また、水平駆動用のパルス信号として、水平方向の書込み開始パルスの一例である水平スタートパルス SPH や水平走査クロック CKH など必要なパルス信号が供給される。

【0056】

端子部 1 0 8 の各端子は、配線 1 0 9 を介して、垂直駆動部 1 0 3 や水平駆動部 1 0 6 に接続されるようになっている。たとえば、端子部 1 0 8 に供給された各パルスは、必要に応じて図示を割愛したレベルシフタ部で電圧レベルを内部的に調整した後、バッファを介して垂直駆動部 1 0 3 の各部や水平駆動部 1 0 6 に供給される。

【0057】

画素アレイ部 1 0 2 は、図示を割愛するが（詳細は後述する）、表示素子としての有機 E L 素子に対して画素トランジスタが設けられた画素回路 P が行列状に 2 次元配置され、この画素配列に対して行ごとに走査線が配線されるとともに、列ごとに信号線が配線された構成となっている。

【0058】

たとえば、画素アレイ部 1 0 2 には、走査線（ゲート線）1 0 4 WS と映像信号線（データ線）1 0 6 HS が形成されている。両者の交差部分には図示を割愛した有機 E L 素子とこれを駆動する薄膜トランジスタ（TFT ; Thin Film Transistor）が形成される。有機 E L 素子と薄膜トランジスタの組み合わせで画素回路 P を構成する。

【0059】

具体的には、マトリクス状に配列された各画素回路 P に対しては、書込走査部 1 0 4 によって書込駆動パルス WS で駆動される n 行分の書込走査線 1 0 4 WS_1 ~ 1 0 4 WS_n および駆動走査部 1 0 5 によって電源駆動パルス DSL で駆動される n 行分の電源供給線 1 0 5 DSL_1 ~ 1 0 5 DSL_n が画素行ごとに配線される。

【0060】

書込走査部 1 0 4 および駆動走査部 1 0 5 は、駆動信号生成部 2 0 0 から供給される垂直駆動系のパルス信号に基づき、書込走査線 1 0 4 WS および電源供給線 1 0 5 DSL を介して各画素回路 P を順次選択する。水平駆動部 1 0 6 は、駆動信号生成部 2 0 0 から供給される水平駆動系のパルス信号に基づき、選択された画素回路 P に対し映像信号線 1 0 6 HS を介して映像信号 Vsig の内の所定電位をサンプリングして保持容量に書き込ませる。

【0061】

本実施形態の有機 E L 表示装置 1 においては、線順次駆動のみが可能になっており、垂直駆動部 1 0 3 の書込走査部 1 0 4 および駆動走査部 1 0 5 は線順次で（つまり行単位で）画素アレイ部 1 0 2 を走査するとともに、これに同期して水平駆動部 1 0 6 が、画像信号を、1 水平ライン分を同時に、画素アレイ部 1 0 2 に書き込む。

【0062】

たとえば、水平駆動部 1 0 6 は、線順次駆動に対応するため、全列の映像信号線 1 0 6 HS 上に設けられた図示を割愛したスイッチを一斉にオンさせるドライバ回路を備えて構成され、映像信号処理部 3 0 0 から入力される画素信号を、垂直駆動部 1 0 3 によって選択

10

20

30

40

50

された行の 1 ライン分の全ての画素回路 P に同時に書き込むべく、全列の映像信号線 1 0 6 HS 上に設けられた図示を割愛したスイッチを一斉にオンさせる。

【0063】

垂直駆動部 1 0 3 の各部は、線順次駆動に対応するため、論理ゲートの組合せ（ラッチも含む）によって構成され、画素アレイ部 1 0 2 の各画素回路 P を行単位で選択する。なお、図 1 では、画素アレイ部 1 0 2 の一方側にのみ垂直駆動部 1 0 3 を配置する構成を示しているが、画素アレイ部 1 0 2 を挟んで左右両側に垂直駆動部 1 0 3 を配置する構成を採ることも可能である。

【0064】

同様に、図 1 では、画素アレイ部 1 0 2 の一方側にのみ水平駆動部 1 0 6 を配置する構成を示しているが、画素アレイ部 1 0 2 を挟んで上下両側に水平駆動部 1 0 6 を配置する構成を採ることも可能である。

【0065】

<画素回路>

図 2 は、本実施形態の画素回路 P に対する第 1 比較例を示す図である。なお、表示パネル部 1 0 0 の基板 1 0 1 上において画素回路 P の周辺部に設けられた垂直駆動部 1 0 3 と水平駆動部 1 0 6 も合わせて示している。図 3 は、図 2 に示した第 1 比較例の画素回路 P の動作を説明するタイミングチャートである。また、図 4 は、有機 EL 素子 1 2 7 や駆動トランジスタ 1 2 1 の特性ばらつきが駆動電流 I_{ds} に与える影響を説明する図であり、図 4 A および図 4 B はその改善手法の概念を説明する図である。

【0066】

また、図 5 は、本実施形態の画素回路 P に対する第 2 比較例を示す図である。なお、表示パネル部 1 0 0 の基板 1 0 1 上において画素回路 P の周辺部に設けられた垂直駆動部 1 0 3 と水平駆動部 1 0 6 も合わせて示している。

【0067】

詳細は後述するが、本実施形態の画素回路 P は、基本的には、図 5 に示す第 2 比較例と同様の仕組みを採り、この第 2 比較例の画素回路 P に対してサンプリングトランジスタ 1 2 5 に関する変形を加えている。後述する本実施形態の画素回路 P を駆動するに当たっての基本的な制御動作は、第 2 比較例と同様である。このため先ず、本実施形態の画素回路 P のベースとなる第 2 比較例の画素回路 P の構成や動作について詳しく説明する。

【0068】

第 2 比較例の画素回路 P は、基本的に n チャンネル型の薄膜電界効果トランジスタでドライブトランジスタが構成されている点に特徴を有する。また、有機 EL 素子の経時劣化による当該有機 EL 素子への駆動電流 I_{ds} の変動を抑制するための回路、すなわち電気光学素子の一例である有機 EL 素子の電流－電圧特性の変化を補正して駆動電流 I_{ds} を一定に維持する駆動信号一定化回路を備えた点に特徴を有する。加えて、有機 EL 素子の電流－電圧特性に経時変化があった場合でも駆動電流を一定にする機能を備えた点に特徴を有する。

【0069】

p チャンネル型のトランジスタではなく、n チャンネル型のトランジスタで駆動トランジスタを構成することができれば、トランジスタ作成において従来のアモルファスシリコン（a-Si）プロセスを用いることが可能になる。これにより、トランジスタ基板の低コスト化が可能となり、このような構成の画素回路 P の開発が期待される。

【0070】

駆動トランジスタを始めとする各トランジスタとしては MOS トランジスタを使用する。この場合、駆動トランジスタについては、ゲート端を制御入力端として取り扱い、ソース端およびドレイン端の何れか一方（ここではソース端とする）を出力端として取り扱い、他方を電源供給端（ここではドレイン端とする）として取り扱う。

【0071】

<比較例の画素回路：第 1 例>

10

20

30

40

50

先ず、第2比較例や本実施形態の画素回路Pの特徴を説明する上での比較例として、図2に示す第1比較例の画素回路Pについて説明する。第1比較例の画素回路Pを画素アレイ部102に備える有機EL表示装置1を第1比較例の有機EL表示装置1と称する。

【0072】

第1比較例の画素回路Pは、基本的にnチャネル型の薄膜電界効果トランジスタでドライブトランジスタが構成されている点で本実施形態と同じであるが、有機EL素子127の経時劣化による駆動電流 I_{ds} に与える影響を防ぐための駆動信号一定化回路が設けられていない。

【0073】

具体的には、画素回路Pは、それぞれnチャネル型の駆動トランジスタ121およびサンプリングトランジスタ125と、電流が流れることで発光する電気光学素子の一例である有機EL素子127とを有する。一般に、有機EL素子127は整流性があるためダイオードの記号で表している。なお、有機EL素子127には、寄生容量 C_{el} が存在する。図では、この寄生容量 C_{el} を有機EL素子127と並列に示す。

【0074】

駆動トランジスタ121は、ドレイン端Dが第1電源電位を供給する電源供給線DSLに接続され、ソース端（出力端）Sが、有機EL素子127のアノード端Aに接続され、有機EL素子127のカソード端Kが基準電位を供給する全画素共通の接地配線 V_{cath} （ GN_D ）に接続されている。

【0075】

サンプリングトランジスタ125は、ソース端Sが映像信号線HSに接続され、ドレイン端Dは駆動トランジスタ121のゲート端（制御入力端）Gに接続され、その接続点と第2電源電位を供給する基準線との間に保持容量120が設けられている。サンプリングトランジスタ125は、ソース端Sとドレイン端Dとを逆転させた接続態様とすることもできる。第2電源電位を供給する基準線は、本構成では、図示のように、有機EL素子127用の基準電位を供給する接地配線 V_{cath} と同じにしているが、別の電位を与える配線としてもよい。

【0076】

なお、図示を割愛するが、発光期間を制御する発光制御トランジスタを追加した3TR型とする場合、たとえば、駆動トランジスタ121のソース端をnチャネル型の発光制御トランジスタのドレイン端Dに接続し、発光制御トランジスタのソース端Sを有機EL素子127のアノード端に接続する。

【0077】

このような画素回路Pでは、発光制御トランジスタを設けるか否かに関わらず、有機EL素子127を駆動するときには、駆動トランジスタ121のドレイン端D側が第1電源電位に接続され、ソース端Sが有機EL素子127のアノード端A側に接続されることで、全体としてソースフォロワ回路を形成するようになっている。

【0078】

図2に示す第1比較例の画素回路Pの動作を説明する図3のタイミングチャートは、信号線HSから供給される映像信号 V_{sig} の電位（以下、映像信号線電位とも称する）の内の有効期間の電位（信号電位と称する）をサンプリングし、発光素子の一例である有機EL素子127を発光状態にする動作を表している。

【0079】

映像信号線106HSが映像信号 V_{sig} の有効期間である信号電位にある時間帯（ $t_1 \sim t_4$ ）に、書込走査線WSの電位が高レベルに遷移することで（ t_2 ）、nチャネル型のサンプリングトランジスタ125はオン状態となり、信号線HSから供給される映像信号線電位を保持容量120に充電する。これにより駆動トランジスタ121のゲート端Gの電位（ゲート電位 V_g ）は上昇を開始し、ドレイン電流を流し始める。そのため、有機EL素子127のアノード電位は上昇し発光を開始する。

【0080】

この後、書込駆動パルスWSが低レベルに遷移すると（ t_3 ）、保持容量120にその時点の映像信号線電位、つまり、映像信号Vsigの電位の内の有効期間の電位（信号電位）が保持される。これによって、駆動トランジスタ121のゲート電位Vgが一定となり、発光輝度が次のフレーム（またはフィールド）まで一定に維持される。タイミング $t_2 \sim t_3$ が、映像信号Vsigのサンプリング期間となり、タイミング t_3 以降が保持期間となる。

【0081】

ここで、第1比較例の画素回路Pでは、駆動トランジスタ121のソース端Sの電位（ソース電位Vs）は、駆動トランジスタ121と有機EL素子127との動作点で決まり、その電圧値は駆動トランジスタ121のゲート電位Vgによって異なる値を持つてしま

10

【0082】

ここで、一般的に、駆動トランジスタ121は飽和領域で駆動される。よって、飽和領域で動作するトランジスタのドレイン端－ソース間に流れる電流をIds、移動度を μ 、チャンネル幅（ゲート幅）をW、チャンネル長（ゲート長）をL、ゲート容量（単位面積当たりのゲート酸化膜容量）をCoxは、トランジスタの閾値電圧をVthとすると、駆動トランジスタ121は下記の式（1）に示した値を持つ定電流源となっている。式（1）から明らかなように、飽和領域ではトランジスタのドレイン電流Idsはゲート・ソース間電圧Vgsによって制御される。

【0083】

20

【数1】

$$I_{ds} = \frac{1}{2} \mu \frac{W}{L} C_{ox} (V_{gs} - V_{th})^2 \cdots (1)$$

【0084】

<発光素子のIel－Vel特性とI－V特性>

ここで、図4（1）に示す有機EL素子で代表される電流駆動型の発光素子の電流－電圧（Iel－Vel）特性において、実線で示す曲線が初期状態時の特性を示し、破線で示す曲線が経時変化後の特性を示している。一般的に有機EL素子を始めとする電流駆動型の発光素子のI－V特性は、グラフに示すように時間が経過すると劣化する。

30

【0085】

たとえば、発光素子の一例である有機EL素子127に発光電流Ielが流れるとき、そのアノード・カソード間電圧Velは一意的に決定される。図4（1）に示すように、発光期間中では、有機EL素子127のアノード端Aは駆動トランジスタ121のドレイン・ソース間電流Ids（＝駆動電流Ids）で決定される発光電流Ielが流れ、それによってアノード・カソード間電圧Vel分だけ上昇する。

【0086】

比較例の画素回路Pでは、この有機EL素子127のI－V特性の経時変化により同じ発光電流Ielに対するアノード・カソード間電圧VelがVel1からVel2へと変化することで、駆動トランジスタ121の動作点が変わってしまい、同じゲート電位Vgを印加しても駆動トランジスタ121のソース電位Vsは変化してしまい、その結果として、駆動トランジスタ121のゲート・ソース間電圧Vgsは変化してしまう。

40

【0087】

駆動トランジスタ121としてnチャンネル型を使用した単純な回路では、ソース端Sが有機EL素子127側に接続されてしまうため、有機EL素子127のI－V特性の経時変化の影響を受けてしまい、有機EL素子127に流れる電流量（発光電流Iel）が変化し、その結果、発光輝度は変化してしまうことになる。

【0088】

具体的には、比較例の画素回路Pでは、有機EL素子127のI－V特性の経時変化により動作点が変わってしまい、同じゲート電位Vgを印加しても駆動トランジスタ121

50

のソース電位 V_s は変化してしまう。これにより、駆動トランジスタ 121 のゲート・ソース間電圧 V_{gs} は変化してしまう。特性式 (1) から明らかなように、ゲート・ソース間電圧 V_{gs} が変動すると、たとえゲート電位 V_g が一定であっても駆動電流 I_{ds} が変動し、同時に有機 EL 素子 127 に流れる電流値も変化する。このように有機 EL 素子 127 の $I-V$ 特性が変化すると、図 2 に示したソースフォロワ構成を持つ比較例の画素回路 P では、有機 EL 素子 127 の発光輝度が経時的に変化してしまう。

【0089】

駆動トランジスタ 121 として n チャネル型を使用した単純な回路では、ソース端 S が有機 EL 素子 127 側に接続されてしまうため、有機 EL 素子 127 の経時変化とともに、ゲート・ソース間電圧 V_{gs} が変化してしまい、有機 EL 素子 127 に流れる電流量が変化し、その結果、発光輝度は変化してしまうのである。発光素子の一例である有機 EL 素子 127 の特性の経時変動による有機 EL 素子 127 のアノード電位変動は、駆動トランジスタ 121 のゲート・ソース間電圧 V_{gs} の変動となって現れ、ドレイン電流（駆動電流 I_{ds} ）の変動を引き起こす。この原因による駆動電流の変動は画素回路 P ごとの発光輝度のばらつきとなって現れ、画質の劣化が起きる。

【0090】

これに対して、詳細は後述するが、駆動トランジスタ 121 のソース端 S の電位 V_s の変動にゲート端 G の電位 V_g が連動するようにするブートストラップ機能を実現する回路構成および駆動タイミングとすることで、有機 EL 素子 127 の特性の経時変動による有機 EL 素子 127 のアノード電位変動（つまりソース電位変動）があっても、その変動を相殺するようにゲート電位 V_g を変動させることで、画面輝度の均一性（ユニフォーミティ）を確保できる。ブートストラップ機能が、有機 EL 素子を代表とする電流駆動型の発光素子の経時劣化補正能力を向上させることができる。

【0091】

もちろん、このブートストラップ機能は、発光開始時点で、有機 EL 素子 127 に発光電流 I_{el} が流れ始め、それによってアノード・カソード間電圧 V_{el} が安定となるまで上昇していく過程で、そのアノード・カソード間電圧 V_{el} の変動に伴って駆動トランジスタ 121 のソース電位 V_s が変動する際にも機能する。

【0092】

＜駆動トランジスタの $V_{gs}-I_{ds}$ 特性＞

また、駆動トランジスタ 121 の製造プロセスのばらつきにより、画素回路 P ごとに閾値電圧や移動度などの特性変動がある。駆動トランジスタ 121 を飽和領域で駆動する場合においても、この特性変動により、駆動トランジスタ 121 に同一のゲート電位を与えても、画素回路 P ごとにドレイン電流（駆動電流 I_{ds} ）が変動し、発光輝度のばらつきになって現れる。

【0093】

たとえば、図 4 (2) は、駆動トランジスタ 121 の閾値ばらつきに着目した電圧電流 ($V_{gs}-I_{ds}$) 特性を示す図である。閾値電圧が V_{th1} と V_{th2} で異なる 2 個の駆動トランジスタ 121 について、それぞれ特性カーブを挙げてある。

【0094】

前述のように、駆動トランジスタ 121 が飽和領域で動作しているときのドレイン電流 I_{ds} は、特性式 (1) で表される。特性式 (1) から明らかなように、閾値電圧 V_{th} が変動すると、ゲート・ソース間電圧 V_{gs} が一定であってもドレイン電流 I_{ds} が変動する。つまり、閾値電圧 V_{th} のばらつきに対して何ら対策を施さないと、図 4 (2) に示すように、閾値電圧が V_{th1} のとき V_{gs} に対応する駆動電流が I_{ds1} となるのに対して、閾値電圧が V_{th2} のときの同じゲート電圧 V_{gs} に対応する駆動電流 I_{ds2} は I_{ds1} と異なってしまう。

【0095】

また、図 4 (3) は、駆動トランジスタ 121 の移動度ばらつきに着目した電圧電流 ($V_{gs}-I_{ds}$) 特性を示す図である。移動度が μ_1 と μ_2 で異なる 2 個の駆動トランジスタ

10

20

30

40

50

1 2 1 について、それぞれ特性カーブを挙げてある。

【0096】

特性式(1)から明らかなように、移動度 μ が変動すると、ゲート・ソース間電圧 V_{gs} が一定であってもドレイン電流 I_{ds} が変動する。つまり、移動度 μ のばらつきに対して何ら対策を施さないと、図4(3)に示すように、移動度が μ_1 のとき V_{gs} に対応する駆動電流が I_{ds1} となるのに対して、移動度が μ_2 のときの同じゲート電圧 V_{gs} に対応する駆動電流 I_{ds2} は I_{ds1} と異なってしまう。

【0097】

＜閾値補正および移動度補正の概念＞

これに対して、閾値補正機能および移動度補正機能を実現する駆動タイミング（詳細は後述する）とすることで、図4Aの各図から理解されるように、それらの変動の影響を抑制でき、画面輝度の均一性（ユニフォর্মティ）を確保できる。

【0098】

本実施形態の閾値補正動作および移動度補正動作では、詳細は後述するが、発光時のゲート・ソース間電圧 V_{gs} が“ $V_{in} + V_{th} - \Delta V$ ”で表されるようにすることで、ドレイン・ソース間電流 I_{ds} が、閾値電圧 V_{th} のばらつきや変動に依存しないようにするとともに、移動度 μ のばらつきや変動に依存しないようにする。結果として、閾値電圧 V_{th} や移動度 μ が製造プロセスや経時により変動しても、駆動電流 I_{ds} は変動せず、有機EL素子127の発光輝度も変動しない。

【0099】

たとえば、図4Aは、移動度補正時における駆動トランジスタ121の動作点を説明するグラフである。製造プロセスや経時における移動度 μ_1 、 μ_2 のばらつきに対して、発光時のゲート・ソース間電圧 V_{gs} が“ $V_{in} + V_{th} - \Delta V$ ”で表されるようにする閾値補正および移動度補正をかけると、先ず移動度の観点からは、移動度 μ_1 に対しては移動度補正パラメータ ΔV_1 が決定され、また移動度 μ_2 に対しては移動度補正パラメータ ΔV_2 が決定される。これにより、何れの移動度に対しても適正な移動度補正パラメータが決定されるので、駆動トランジスタ121の移動度 μ_1 時の駆動電流 I_{dsa} および移動度 μ_2 時の駆動電流 I_{dsb} が決定され、最適な状態では“ $I_{dsa} = I_{dsb}$ ”となり、移動度 μ の違いはキャンセルされる。

【0100】

仮に移動度補正をかけないと、図4(3)にも示したが、ゲート・ソース間電圧 V_{gs} に対して、移動度が μ_1 、 μ_2 で異なると、これに応じて駆動電流 I_{ds} も I_{ds1} 、 I_{ds2} で違ってしまふ。これに対処するため移動度 μ_1 、 μ_2 に対してそれぞれ適切な移動度補正パラメータ ΔV_1 、 ΔV_2 をかけることで、駆動電流 I_{ds} が I_{dsa} 、 I_{dsb} となり、各移動度補正パラメータ ΔV_1 、 ΔV_2 を最適値とすることで、移動度補正後の駆動電流 I_{dsa} 、 I_{dsb} を同レベルとすることができる。

【0101】

移動度補正時には、図4Aのグラフから明らかなように、大きな移動度 μ_1 に対しては移動度補正パラメータ ΔV_1 が大きくなるようにする一方、小さい移動度 μ_2 に対しては移動度補正パラメータ ΔV_2 も小さくなるように負帰還をかけることになる。こう言った意味で、移動度補正パラメータ ΔV を負帰還量 ΔV とも称する。

【0102】

また、図4Bの各図は、閾値補正の観点から、信号電位 V_{in} と駆動電流 I_{ds} との関係を示している。たとえば、図4Bの各図においては、駆動トランジスタ121の電流電圧特性を、横軸に信号電位 V_{in} をとり、縦軸に駆動電流 I_{ds} をとって、閾値電圧 V_{th} が比較的強く移動度 μ が比較的大きい駆動トランジスタ121で構成された画素回路Pa（実線のカーブ）と、逆に閾値電圧 V_{th} が比較的高く移動度 μ が比較的小さい駆動トランジスタ121で構成された画素回路Pb（点線のカーブ）について、それぞれ特性カーブを挙げてある。

【0103】

10

20

30

40

50

図4B(1)は、閾値補正および移動度補正ともに実行しない場合である。このときには画素回路Paおよび画素回路Pbで閾値電圧 V_{th} および移動度 μ の補正が全く実行されないため、閾値電圧 V_{th} や移動度 μ の違いで $V_{in}-I_{ds}$ 特性に大きな違いが出てしまう。したがって、同じ信号電位 V_{in} を与えても、駆動電流 I_{ds} すなわち発光輝度が異なってしまう、画面輝度の均一性(ユニフォーミティ)が得られない。

【0104】

図4B(2)は、閾値補正を実行する一方、移動度補正を実行しない場合である。このとき画素回路Paと画素回路Pbで閾値電圧 V_{th} の違いはキャンセルされる。しかしながら移動度 μ の相違はそのまま現れている。したがって信号電位 V_{in} が高い領域(すなわち輝度が高い領域)で、移動度 μ の違いが顕著に現れ、同じ階調でも輝度が違ってしまふ。具体的には、同じ階調(同じ信号電位 V_{in})で、移動度 μ の大きい画素回路Paの輝度(駆動電流 I_{ds})は高く、移動度 μ の小さい画素回路Pbの輝度は低くなる。

10

【0105】

図4B(3)は閾値補正および移動度補正ともに実行する場合である。閾値電圧 V_{th} および移動度 μ の相違は完全に補正され、その結果、画素回路Paと画素回路Pbの $V_{in}-I_{ds}$ 特性は一致する。したがって、全ての階調(信号電位 V_{in})で輝度(I_{ds})が同一レベルとなり、画面輝度の均一性(ユニフォーミティ)が顕著に改善される。

【0106】

図4B(4)は、閾値補正および移動度補正ともに実行するものの、閾値電圧 V_{th} の補正が不十分な場合である。たとえば、1回の閾値補正動作では駆動トランジスタ121の閾値電圧 V_{th} に相当する電圧を十分に保持容量120へ保持させることができない場合がその一例である。このときには、閾値電圧 V_{th} の差が除去されないため、画素回路Paと画素回路Pbでは低階調の領域で輝度(駆動電流 I_{ds})に差が出てしまう。よって、閾値電圧 V_{th} の補正が不十分な場合は低階調で輝度のムラが現れ画質を損なうことになる。

20

【0107】

<比較例の画素回路：第2例>

図2に示す第1比較例の画素回路Pにおける有機EL素子127の経時劣化による駆動電流変動を防ぐ回路(ブートストラップ回路)を搭載し、また駆動トランジスタ121の特性変動(閾値電圧ばらつきや移動度ばらつき)による駆動電流変動を防ぐ駆動方式を採用したのが図5に示す第2比較例の画素回路Pである。第2比較例の画素回路Pを画素アレイ部102に備える有機EL表示装置1を第2比較例の有機EL表示装置1と称する。

30

【0108】

第2比較例の画素回路Pは、駆動トランジスタ121の他に走査用に1つのスイッチングトランジスタ(サンプリングトランジスタ125)を使用する2TR駆動の構成を採るとともに、各スイッチングトランジスタを制御する電源駆動パルスDSLおよび書込駆動パルスWSのオン/オフタイミングの設定により、有機EL素子127の経時劣化や駆動トランジスタ121の特性変動(たとえば閾値電圧や移動度などのばらつきや変動)による駆動電流 I_{ds} に与える影響を防ぐ点に特徴を有する。

【0109】

また、2TR駆動の構成であり、素子数や配線数が少ないため、高精細化が可能であることに加えて、映像信号 V_{sig} の劣化なくサンプリングできるため、良好な画質を得ることができる。

40

【0110】

図2に示した第1比較例に対しての構成上の大きな違いは、保持容量120の接続態様を変形して、有機EL素子127の経時劣化による駆動電流変動を防ぐ回路として、駆動信号一定化回路の一例であるブートストラップ回路を構成する点にある。駆動トランジスタ121の特性変動(たとえば閾値電圧や移動度などのばらつきや変動)による駆動電流 I_{ds} に与える影響を抑制する方法としては、各トランジスタ121, 125の駆動タイミングを工夫することで対処する。

【0111】

50

具体的には、第2比較例の画素回路Pは、保持容量120、nチャネル型の駆動トランジスタ121、およびアクティブH（ハイ）の書込駆動パルスWSが供給されるnチャネル型のサンプリングトランジスタ125、電流が流れることで発光する電気光学素子（発光素子）の一例である有機EL素子127を有する。

【0112】

駆動トランジスタ121のゲート端G（ノードND122）とソース端Sとの間に保持容量120が接続され、駆動トランジスタ121のソース端Sが直接に有機EL素子127のアノード端Aに接続されている。有機EL素子127のカソード端Kは基準電位としてのカソード電位Vcathとされる。このカソード電位Vcathは、図2に示した第1比較例と同様に基準電位を供給する全画素共通の接地配線Vcath（GND）に接続されている。

10

【0113】

駆動トランジスタ121のドレイン端Dは、電源スキャナとして機能する駆動走査部105からの電源供給線105DSLに接続されている。電源供給線105DSLは、この電源供給線105DSLそのものが、駆動トランジスタ121に対しての電源供給能力を備える点に特徴を有する。

【0114】

具体的には、駆動走査部105は、駆動トランジスタ121のドレイン端Dに対して、それぞれ電源電圧に相当する高電圧側の第1電位Vcc_Hと低電圧側の第2電位Vcc_Lとを切り替えて供給する電源電圧切替回路を具備している。

【0115】

第2電位Vcc_Lとしては、映像信号線106HSにおける映像信号Vsigの基準電位Voより十分低い電位とする。具体的には、駆動トランジスタ121のゲート・ソース間電圧Vgs（ゲート電位Vgとソース電位Vsの差）が駆動トランジスタ121の閾値電圧Vthより大きくなるように、電源供給線105DSLの低電位側の第2電位Vcc_Lを設定する。なお、基準電位Voは、閾値補正動作に先立つ初期化動作に利用するとともに映像信号線106HSを予めプリチャージしておくためにも利用する。

20

【0116】

サンプリングトランジスタ125は、ゲート端Gが書込走査部104からの書込走査線104WSに接続され、ドレイン端Dが映像信号線106HSに接続され、ソース端Sが駆動トランジスタ121のゲート端G（ノードND122）に接続されている。そのゲート端Gには、書込走査部104からアクティブHの書込駆動パルスWSが供給される。

30

【0117】

サンプリングトランジスタ125は、ソース端Sとドレイン端Dとを逆転させた接続態様とすることもできる。また、サンプリングトランジスタ125としては、ディプレッション型およびエンハンスメント型の何れをも使用できる。

【0118】

＜第2比較例の画素回路の動作＞

第2比較例（事実上、後述する本実施形態の画素回路Pも同様；以下駆動タイミングに関して同様）の画素回路Pにおいて、駆動タイミングとしては、先ず、サンプリングトランジスタ125は、書込走査線104WSから供給された書込駆動パルスWSに応じて導通し、映像信号線106HSから供給された映像信号Vsigをサンプリングして保持容量120に保持する。この点は、基本的には、図2に示した第1比較例の画素回路Pを駆動する場合と同じである。

40

【0119】

なお、第2比較例の画素回路Pにおける駆動タイミングは、映像信号Vsigの信号電位Vinの情報を保持容量120に書き込む際に、順次走査の観点からは、1行分の映像信号を同時に各列の映像信号線106HSに伝達する線順次駆動を行なう。

【0120】

駆動トランジスタ121は、第1電位（高電位側）にある電源供給線105DSLから電流の供給を受け保持容量120に保持された信号電位（映像信号Vsigの有効期間の電位

50

に対応する電位) に応じて駆動電流 I_{ds} を有機 EL 素子 127 に流す。

【0121】

垂直駆動部 103 は、電源供給線 105 DSL が第 1 電位にありかつ映像信号線 106 HS が映像信号 V_{sig} の非有効期間である基準電位 V_o にある時間帯でサンプリグトランジスタ 125 を導通させる制御信号として書込駆動パルス WS を出力して、駆動トランジスタ 121 の閾値電圧 V_{th} に相当する電圧を保持容量 120 に保持しておく。この動作が閾値補正機能を実現する。この閾値補正機能により、画素回路 P ごとにばらつく駆動トランジスタ 121 の閾値電圧 V_{th} の影響をキャンセルすることができる。

【0122】

第 2 比較例の画素回路 P における駆動タイミングとしては、垂直駆動部 103 は、映像信号 V_{sig} の内の信号電位 V_{in} のサンプリグに先行する複数の水平期間で閾値補正動作を繰り返し実行して確実に駆動トランジスタ 121 の閾値電圧 V_{th} に相当する電圧を保持容量 120 に保持する。

【0123】

このように、第 2 比較例の画素回路 P において、閾値補正動作を複数回実行することで、十分に長い書込み時間を確保する。こうすることで、駆動トランジスタ 121 の閾値電圧 V_{th} に相当する電圧を確実に保持容量 120 に予め保持することができる。

【0124】

この保持された閾値電圧 V_{th} に相当する電圧は駆動トランジスタ 121 の閾値電圧 V_{th} のキャンセルに用いられる。したがって、画素回路 P ごとに駆動トランジスタ 121 の閾値電圧 V_{th} がばらついていても、画素回路 P ごとに完全にキャンセルされるため、画像のユニフォーミティすなわち表示装置の画面全体に亘る発光輝度の均一性が高まる。特に信号電位が低階調のときに現れがちな輝度ムラを防ぐことができる。

【0125】

好ましくは、垂直駆動部 103 は、閾値補正動作に先立って、電源供給線 105 DSL が第 2 電位にありかつ映像信号線 106 HS が映像信号 V_{sig} の非有効期間である基準電位 V_o にある時間帯で、書込駆動パルス WS をアクティブ (本例では H レベル) にしてサンプリグトランジスタ 125 を導通させ、その後書込駆動パルス WS をアクティブ H にしたままで電源供給線 105 DSL を第 1 電位に設定する。

【0126】

こうすることで、駆動トランジスタ 121 のゲート端 G を基準電位 V_o にセットしかつソース端 S を第 2 電位にセットしてから閾値補正動作を開始する。このようなゲート電位およびソース電位のリセット動作 (初期化動作) により、後続する閾値補正動作を確実に実行することが可能になる。

【0127】

また、第 2 比較例の画素回路 P においては、閾値補正機能に加えて、移動度補正機能を備えている。すなわち、垂直駆動部 103 は、映像信号線 106 HS が映像信号 V_{sig} の有効期間である信号電位 V_{in} にある時間帯にサンプリグトランジスタ 125 を導通状態にするため、書込走査線 104 WS に供給する書込駆動パルス WS を、上述の時間帯より短い期間だけアクティブ (本例では H レベル) にする。この書込駆動パルス WS のアクティブ期間 (サンプリグ期間でもあり移動度補正期間でもある) を適切に設定することで、保持容量 120 に信号電位 V_{sig} を保持する際、同時に駆動トランジスタ 121 の移動度 μ に対する補正を信号電位 V_{sig} に加える。

【0128】

特に、第 2 比較例の画素回路 P における駆動タイミングでは、電源供給線 105 DSL が高電位側である第 1 電位にあり、かつ、映像信号 V_{sig} が有効期間にある時間帯内で書込駆動パルス WS をアクティブにしている。つまり、その結果、移動度補正時間 (サンプリグ期間も) は、映像信号線 106 HS の電位が、映像信号 V_{sig} の有効期間の電位 (信号線電位) にある時間幅と書込駆動パルス WS のアクティブ期間の両者が重なった範囲で決まる。特に、本実施形態では、映像信号線 106 HS が信号電位にある時間幅の中に入るように

10

20

30

40

50

書込駆動パルスWSのアクティブ期間幅を細めに決めているため、結果的に移動度補正時間は書込駆動パルスWSで決まる。

【0129】

正確には、移動度補正時間（サンプリング期間も）は、書込駆動パルスWS立ち上がってサンプリングトランジスタ125がオンしてから、同じく書込駆動パルスWSが立ち下がってサンプリングトランジスタ125がオフするまでの時間となる。

【0130】

ここで、画面の左右方向について考察した場合、詳細説明図は割愛するが、1行内の全ての画素回路Pに対して書込駆動パルスWSは書込走査部104から共通に供給されるので、書込駆動パルスWSの波形が配線容量や配線抵抗の影響で、書込走査部104から遠い画素回路P（遠側画素と称する）の方が書込走査部104から近い画素回路P（近側画素と称する）よりも、その波形鈍りが大きくなってしまいます。これに対して、映像信号線電位については、遠側画素および近側画素ともに、信号源である水平駆動部106からの距離が同じであるので、波形に差がない。

【0131】

よって、書込駆動パルスWSの波形が大きく鈍って劣化する遠側画素では、近側画素に比べてサンプリングトランジスタ125のオンタイミングが後方にずれるが、オフタイミングも後方にシフトする。したがって、両者の差で決まる移動度補正時間は、結局近側画素の移動度補正時間とあまり変わらないことになる。

【0132】

また、サンプリングトランジスタ125によって最終的に保持容量120にサンプリングされる信号電位（サンプリング電位）は、ちょうどサンプリングトランジスタ125がオフになったときの映像信号線電位で与えられる。近側画素および遠側画素ともにサンプリング電位は信号電位 V_{in} となり差は生じない。

【0133】

このように、第2比較例の画素回路Pにおける駆動タイミングでは、遠側画素と近側画素でサンプリングされる映像信号電位は殆ど差はない。さらに移動度補正時間についても、遠側画素と近側画素とでは殆ど差は無視できる程度である。これにより、本実施形態の有機EL表示装置1は、画面の左右で輝度差が現れることがなく、シェーディングは抑制され良好な画質の表示装置を実現できる。

【0134】

また、画面の上下方向について考察した場合、書込駆動パルスWSは、画面の上側の画素回路P（上側画素と称する）と画面の下側の画素回路P（下側画素と称する）とで同じ位置をとっているため、書込駆動パルスWSの波形（走査線電位波形）には差はない。一方、一列内の全ての画素回路Pに対して映像信号 V_{sig} は水平駆動部106から映像信号線106HSを介して共通に供給されるので、配線容量や配線抵抗の影響で、水平駆動部106から遠い遠側画素の方が水平駆動部106から近い近側画素よりも、映像信号電圧の遅延量が大きくなってしまいます。

【0135】

しかしながら、映像信号線106HSに現れる信号電位波形が遅延しても、映像信号線106HSが信号電位（映像信号 V_{sig} の有効期間の電位）にある時間幅に書込駆動パルスWSが入っている限り、サンプリング電位や移動度補正時間に殆ど差は生じない。その結果、画面下側と上側で、サンプリングされる映像信号電位はほぼ等しくなるし、移動度補正時間もほぼ等しくなる。これにより、画面の上側と下側との間の輝度差は抑制され、良好な画質の表示装置を実現できる。

【0136】

また、第2比較例の画素回路Pにおいては、ブートストラップ機能も備えている。すなわち、書込走査部104は、保持容量120に映像信号 V_{sig} の信号電位 V_{in} が保持された段階で書込走査線104WSに対する書込駆動パルスWSの印加を解除し（すなわちインアクティブL（ロー）にして）、サンプリングトランジスタ125を非導通状態にして駆動

10

20

30

40

50

トランジスタ 121 のゲート端 G を映像信号線 106 HS から電氣的に切り離す。

【0137】

駆動トランジスタ 121 のゲート端 G とソース端 S との間には保持容量 120 が接続されており、その保持容量 120 による効果によって、駆動トランジスタ 121 のソース電位 V_s の変動にゲート電位 V_g が連動するようになり、ゲート・ソース間電圧 V_{gs} を一定に維持することができる。

【0138】

＜タイミングチャート＞

図 6 は、図 5 に示した第 2 比較例の画素回路 P に関する駆動タイミングの一例として、線順次方式で信号電位 V_{in} の情報を保持容量 120 に書き込む際の動作を説明するタイミングチャートである。また、図 6 B～図 6 I は、図 6 に示したタイミングチャートの各期間における等価回路と動作状態を説明する図ある。

10

【0139】

図 6 においては、時間軸を共通にして、書込走査線 104 WS の電位変化、電源供給線 105 DSL の電位変化、および映像信号線 106 HS の電位変化を表してある。また、これらの電位変化と並行に、1 行分（図では 1 行目）について駆動トランジスタ 121 のゲート電位 V_g およびソース電位 V_s の変化も表してある。

【0140】

基本的には、書込走査線 104 WS や電源供給線 105 DSL の 1 行ごとに、1 水平走査期間だけ遅れて同じような駆動を行なう。図 6 における各タイミングや信号は、処理対象行を問わず、第 1 行目のタイミングや信号と同じタイミングや信号で示す。そして、説明中において区別が必要とされるときには、そのタイミングや信号に、処理対象行を “_” 付きの参照子で示すことで区別する。

20

【0141】

また、第 2 比較例の画素回路 P における駆動タイミングでは、映像信号 V_{sig} が非有効期間である基準電位 V_o にある期間を 1 水平期間の前半部とし、有効期間である信号電位 V_{in} にある期間を 1 水平期間の後半部とする。

【0142】

ここでは、閾値補正動作を 1 回のみ実行する事例で説明するが、このことは必須ではない。1 水平期間を処理サイクルとして、閾値補正動作を複数回に亘って繰り返すようにしてもよい。

30

【0143】

なお、閾値補正動作を複数回実行する場合に、1 水平期間が閾値補正動作の処理サイクルとなるのは、行ごとに、サンプリングトランジスタ 125 が信号電位 V_{in} の情報を保持容量 120 にサンプリングする前に、閾値補正動作に先立って、電源供給線 105 DSL の電位を第 2 電位 V_{cc_L} にセットし、また駆動トランジスタ 121 のゲートを基準電位 V_{in} にセットし、さらにソース電位を第 2 電位 V_{cc_L} にセットする初期化動作を経てから、電源供給線 105 DSL の電位が第 1 電位 V_{cc_H} にある状態であつ映像信号線 106 HS が基準電位 V_o にある時間帯でサンプリングトランジスタ 125 を導通させて駆動トランジスタ 121 の閾値電圧 V_{th} に対応する電圧を保持容量 120 に保持させようとする閾値補正動作を行なうからである。

40

【0144】

必然的に、閾値補正期間は、1 水平期間よりも短くなってしまう。したがって、保持容量 120 の容量 C_s や第 2 電位 V_{cc_L} の大きさ関係やその他の要因で、この短い 1 回分の閾値補正動作期間では、閾値電圧 V_{th} に対応する正確な電圧を保持容量 120 に保持仕切れないケースも起こり得る。閾値補正動作を複数回実行するのが好ましいのは、この対処のためである。すなわち、信号電位 V_{in} の保持容量 120 へのサンプリング（信号書込み）に先行する複数の水平周期で、閾値補正動作を繰り返し実行することで確実に駆動トランジスタ 121 の閾値電圧 V_{th} に相当する電圧を保持容量 120 に保持させるのである。

【0145】

50

ある行（ここでは第1行目とする）について、タイミング t_{11} 以前の前フィールドの発光期間Bでは、書込駆動パルスWSがインアクティブLでありサンプリングトランジスタ125が非導通状態である一方、電源駆動パルスDSLは高電位の電源電圧側である第1電位 V_{cc_H} にある。

【0146】

したがって、図6Bに示すように、映像信号線106HSの電位に関わらず、前フィールドの動作によって保持容量120に保持されている電圧状態（駆動トランジスタ121のゲート・ソース間電圧 V_{gs} ）に応じて有機EL素子127に駆動トランジスタ121から駆動電流 I_{ds} が供給され、全画素共通の接地配線 V_{cath} （GND）に流れ込むことで、有機EL素子127が発光状態にある。

10

【0147】

この後、線順次走査の新しいフィールドに入って、先ず、駆動走査部105は、書込駆動パルスWSがインアクティブLにある状態で、1行目の電源供給線105DSL₁に与える電源駆動パルスDSL₁を高低電位側の第1電位 V_{cc_H} から低電位側の第2電位 V_{cc_L} に切り替える（ t_{11_1} ：図6Cを参照）。

【0148】

このタイミング（ t_{11_1} ）は、図6に示す態様では、映像信号 V_{sig} が有効期間の信号電位 V_{in} にある期間内としている。たとえば、1行目については、タイミング $t_{15V} \sim t_{13V}$ の範囲内である。ただし、このことは必須ではなく、映像信号 V_{sig} が非有効期間の基準電位 V_o にあるときにしてもよい。1行目については、タイミング $t_{13V} \sim t_{15V}$ の範囲内とすればよい。

20

【0149】

次に、書込走査部104は、電源供給線105DSL₁が第2電位 V_{cc_L} にある状態のままで、書込駆動パルスWSをアクティブHに切り替える（ t_{13W} ）。このタイミング（ t_{13W} ）は、直前の水平期間における映像信号 V_{sig} が非有効期間である基準電位 V_o から有効期間の信号電位 V_{in} に切り替わり（ t_{15V} ）、その後、当該水平期間における映像信号 V_{sig} の有効期間の信号電位 V_{in} から非有効期間である基準電位 V_o に切り替わるタイミング（ t_{13V} ）と同じかそれよりも少し遅れたタイミングにする。この後に書込駆動パルスWSをインアクティブLに切り替えるタイミング（ t_{15W} ）は、映像信号 V_{sig} が非有効期間である基準電位 V_o から有効期間の信号電位 V_{in} に切り替わるタイミン

30

【0150】

つまり、好ましくは、書込駆動パルスWSをアクティブHにする期間（ $t_{13W} \sim t_{15W}$ ）は、映像信号 V_{sig} が非有効期間である基準電位 V_o にある時間帯（ $t_{13V} \sim t_{15V}$ ）内とする。これは、電源供給線105DSLが第1電位 V_{cc_H} にある状態のときに映像信号 V_{sig} が信号電位 V_{in} にあるときに書込駆動パルスWSをアクティブHにすると信号電位 V_{in} の保持容量120へのサンプリング動作（信号電位の書込み動作）がなされてしまい、閾値補正動作としては不都合が生じるからである。

【0151】

タイミング $t_{11_1} \sim t_{13W}$ （放電期間Cと称する）では、電源供給線105DSLの電位は第2電位 V_{cc_L} まで放電され、さらに駆動トランジスタ121のソース電位 V_s は第2電位 V_{cc_L} に近い電位まで遷移する。さらに、駆動トランジスタ121のゲート端Gとソース端Sとの間には保持容量120が接続されており、その保持容量120による効果によって、駆動トランジスタ121のソース電位 V_s の変動にゲート電位 V_g が連動する。

40

【0152】

電源供給線105DSLの配線容量が大きい場合は比較的早いタイミングで電源供給線105DSLを高電位 V_{cc_H} から低電位 V_{cc_L} に切り替えるとよい。この放電期間C（ $t_{11_1} \sim t_{13W}$ ）を十分に確保することで、配線容量やその他の画素寄生容量の影響を受けないようにしておく。

50

【0153】

電源駆動パルスDSLを低電位側の第2電位 V_{cc_L} にしたままで、書込駆動パルスWSをアクティブHに切り替えると(t_{13W})、図6Dに示すように、サンプリグトランジスタ125が導通状態になる。

【0154】

このとき、映像信号線106HSは基準電位 V_o にある。したがって、駆動トランジスタ121のゲート電位 V_g は導通したサンプリグトランジスタ125を通じて映像信号線106HSの基準電位 V_o となる。これと同時に、駆動トランジスタ121がオンすることで、駆動トランジスタ121のソース電位 V_s は即座に低電位側の第2電位 V_{cc_L} に固定される。

10

【0155】

つまり、電源供給線105DSLの電位が高電位側の第1電位 V_{cc_H} から映像信号線106HSの基準電位 V_o より十分低い第2電位 V_{cc_L} にあることで、駆動トランジスタ121のソース電位 V_s が映像信号線106HSの基準電位 V_o より十分低い第2電位 V_{cc_L} に初期化(リセット)される。このようにして、駆動トランジスタ121のゲート電位 V_g およびソース電位 V_s を初期化することで、閾値補正動作の準備が完了する。次に電源駆動パルスDSLを高電位側の第1電位 V_{cc_H} にするまでの期間($t_{13W} \sim t_{14_1}$)が、初期化期間Dとなる。なお、放電期間Cと初期化期間Dとを合わせて、駆動トランジスタ121のゲート電位 V_g とソース電位 V_s を初期化する閾値補正準備期間とも称する。

【0156】

20

次に、書込駆動パルスWSをアクティブHにしたままで、電源供給線105DSLに与える電源駆動パルスDSLを第1電位 V_{cc_H} に切り替える(t_{14_1})。駆動走査部105は、それ以降は、次のフレーム(あるいはフィールド)の処理まで、電源供給線105DSLの電位を第1電位 V_{cc_H} に保持しておく。

【0157】

これにより、ドレイン電流が保持容量120に流れ込み、駆動トランジスタ121の閾値電圧 V_{th} を補正(キャンセル)する閾値補正期間Eに入る。この閾値補正期間Eは、書込駆動パルスWSがインアクティブLにされるタイミング(t_{15W})まで継続する。

【0158】

タイミング(t_{14_1})以降の閾値補正期間Eでは、図6Eに示すように、電源供給線105DSLの電位が低電位側の第2電位 V_{cc_L} から高電位側の第1電位 V_{cc_H} に遷移することで、駆動トランジスタ121のソース電位 V_s が上昇を開始する。

30

【0159】

すなわち、駆動トランジスタ121のゲート端Gは映像信号 V_{sig} の基準電位 V_o に保持されており、駆動トランジスタ121のソース端Sの電位 V_s が上昇して駆動トランジスタ121がカットオフするまでドレイン電流が流れようとする。カットオフすると駆動トランジスタ121のソース電位 V_s は“ $V_o - V_{th}$ ”となる。

【0160】

なお、閾値補正期間Eでは、ドレイン電流が専ら保持容量120側($C_s \ll C_{el}$ 時)に流れ、有機EL素子127側には流れないようにするため、有機EL素子127がカットオフとなるように共通接地配線cathの電位 V_{cath} を設定しておく。

40

【0161】

有機EL素子127の等価回路はダイオードと寄生容量 C_{el} の並列回路で表されるため、“ $V_{el} \leq V_{cath} + V_{thEL}$ ”である限り、つまり、有機EL素子127のリーク電流が駆動トランジスタ121に流れる電流よりもかなり小さい限り、駆動トランジスタ121の電流は保持容量120と寄生容量 C_{el} を充電するために使われる。

【0162】

この結果、駆動トランジスタ121を流れるドレイン電流の電流路が遮断されると、有機EL素子127のアノード端Aの電圧 V_{el} つまりノードND121の電位は、時間とともに上昇してゆく。そして、ノードND121の電位(ソース電位 V_s)とノードND1

50

22の電圧（ゲート電位 V_g ）との電位差がちょうど閾値電圧 V_{th} となったところで駆動トランジスタ121はオン状態からオフ状態となり、ドレイン電流は流れなくなり、閾値補正期間が終了する。つまり、一定時間経過後、駆動トランジスタ121のゲート・ソース間電圧 V_{gs} は閾値電圧 V_{th} という値をとる。

【0163】

ここで、実際には、閾値電圧 V_{th} に相当する電圧が、駆動トランジスタ121のゲート端Gとソース端Sとの間に接続された保持容量120に書き込まれることになる。しかしながら、閾値補正期間Eは、書込駆動パルスWSをアクティブHにした状態のままで、初期化走査パルスASLをインアクティブLにし（t14A）かつ映像信号 V_{sig} を基準電位 V_o にしたタイミング（t14V）から、書込駆動パルスWSをインアクティブLに戻すタイ

10

【0164】

次に、初期化走査部115は、1水平期間の後半部で、書込駆動パルスWSをインアクティブLに切り替え（t15W）、さらに水平駆動部106は、映像信号線106HSの電位を基準電位 V_o から信号電位 V_{in} に切り替える（t15V）。これにより、タイミングt15W～t15Vにおいては、図6Fに示すように、映像信号線106HSが基準電位 V_o にある状態で、書込走査線104WSの電位（書込駆動パルスWS）はローレベルになる。

【0165】

20

この後、水平駆動部106により映像信号線106HSに映像信号 V_{sig} の信号電位 V_{in} を実際に供給して、書込駆動パルスWSをアクティブHにする期間を、保持容量120への信号電位 V_{in} の書込み期間（サンプリング期間とも称する）とする。この信号電位 V_{in} は駆動トランジスタ121の閾値電圧 V_{th} に足し込む形で保持される。

【0166】

この結果、駆動トランジスタ121の閾値電圧 V_{th} の変動は常にキャンセルされる形となるので、閾値補正を行なっていることになる。この閾値補正によって、保持容量120に保持されるゲート・ソース間電圧 V_{gs} は、“ $V_{sig} + V_{th}$ ” = “ $V_{in} + V_{th}$ ”となる。また、同時に、このサンプリング期間で移動度補正を実行する。すなわち、第2比較例の画素回路Pにおける駆動タイミングにおいて、サンプリング期間は移動度補正期間を兼ね

30

【0167】

具体的には、先ず、書込走査部104が書込駆動パルスWSをインアクティブLに切り替えた後（t15W）、さらに水平駆動部106は、映像信号線106HSの電位を基準電位 V_o から信号電位 V_{in} に切り替える（t15V）。こうすることで、図6Gに示すように、サンプリングトランジスタ125が非導通（オフ）状態とされた状態で、次のサンプリング動作および移動度補正動作の準備が完了する。次に書込駆動パルスWSをアクティブHにするタイミング（t16_1）までの期間を書込み&移動度補正準備期間Gと称する。

【0168】

次に、映像信号線106HSの電位を信号電位 V_{in} に保持したままで、書込走査部104は、書込駆動パルスWSをアクティブHに切り替え（t16_1）、水平駆動部106が映像信号線106HSの電位を信号電位 V_{in} から基準電位 V_o に切り替えるタイミング（t18_1）までの間での適当なタイミングで、つまり、映像信号線106HSが信号電位 V_{in} にある時間帯での適当なとき、書込駆動パルスWSをインアクティブLに切り替える（t17_1）。この書込駆動パルスWSがアクティブHにある期間（t16_1～t17_1）を、サンプリング期間&移動度補正期間Hと称する。

40

【0169】

駆動トランジスタ121の移動度変動やばらつきを補正する動作を映像信号 V_{sig} における信号電位 V_{in} の保持容量120へのサンプリングと同時にこなうことで、それぞれを別個のタイミングで行なうよりも、全体の処理時間を短縮できるとともに、その制御も簡

50

単となる利点がある。

【0170】

これにより、図6Hに示すように、駆動トランジスタ121のゲート電位 V_g が信号電位 V_{in} にある状態でサンプリングトランジスタ125が導通（オン）状態となる。したがって、サンプリング期間&移動度補正期間Hでは、駆動トランジスタ121のゲート端Gが映像信号 V_{sig} の信号電位 V_{in} に固定された状態で、駆動トランジスタ121がオン状態となり、駆動トランジスタ121に駆動電流 I_{ds} が流れる。このときには、先ず、駆動トランジスタ121のゲート・ソース間電圧 V_{gs} は“ $V_{in} + V_{th}$ ”となる。

【0171】

ここで、有機EL素子127の閾値電圧を V_{thEL} としたとき、“ $V_o - V_{th} < V_{thEL}$ ”と設定しておくことで、有機EL素子127は、逆バイアス状態におかれ、カットオフ状態（ハイインピーダンス状態）にあるため、発光することはない、また、ダイオード特性ではなく単純な容量特性を示すようになる。よって駆動トランジスタ121に流れるドレイン電流（駆動電流 I_{ds} ）は保持容量120の容量値 C_s と有機EL素子127の寄生容量（等価容量） C_{el} の容量値 C_{el} の両者を結合した容量“ $C = C_s + C_{el}$ ”に書き込まれていく。

【0172】

これにより、駆動トランジスタ121の駆動電流 I_{ds} は有機EL素子127の寄生容量 C_{el} に流れ込み充電を開始する。その結果、有機EL素子127のアノード端Aの電位、すなわち駆動トランジスタ121のソース電位 V_s が上昇を開始する。駆動トランジスタ121ソース電位 V_s が ΔV だけ上昇すると、駆動トランジスタ121のゲート・ソース間電圧 V_{gs} は ΔV だけ減少する。

【0173】

これが移動度補正動作であり、移動度補正期間（図6のサンプリング期間&移動度補正期間H）を“ t ”としたとき、ゲート・ソース間電圧 V_{gs} の減少量 ΔV は $\Delta V = I_{ds} \cdot C_{el} / t$ で決定され、 ΔV が移動度補正のためのパラメータ（移動度補正パラメータ、負帰還量）となる。

【0174】

図6のタイミングチャートでは、この上昇分を ΔV で表してある。この上昇分、すなわち移動度補正パラメータである負帰還量 ΔV は、閾値補正によって保持容量120に保持されるゲート・ソース間電圧“ $V_{gs} = V_{in} + V_{th}$ ”から差し引かれることになり、“ $V_{gs} = V_{in} - \Delta V + V_{th}$ ”となるので、負帰還をかけたことになる。このとき、駆動トランジスタ121のソース電位 V_s は、ゲート電位 V_g （ $= V_{in}$ ）から保持容量に保持される電圧“ $V_{gs} = V_{in} - \Delta V + V_{th}$ ”を差し引いた値“ $-V_{th} + \Delta V$ ”となる。

【0175】

このようにして、第2比較例の画素回路Pにおける駆動タイミングでは、サンプリング期間&移動度補正期間H（ $t_{16} \sim t_{17}$ ）において、映像信号 V_{sig} における信号電位 V_{in} のサンプリングと移動度 μ を補正する負帰還量（移動度補正パラメータ） ΔV の調整が行なわれる。書込走査部104は、サンプリング期間&移動度補正期間Hの時間幅を調整可能であり、これにより保持容量120に対する駆動電流 I_{ds} の負帰還量を最適化することができる。

【0176】

ここで「負帰還量を最適化する」とは、映像信号電位の黒レベルから白レベルまでの範囲で、どのレベルにおいても適切に移動度補正を行なうことができるようにすることを意味する。ゲート・ソース間電圧 V_{gs} にける負帰還量 ΔV は、ドレイン電流 I_{ds} の取り出し時間すなわちサンプリング期間&移動度補正期間Hに依存しており、この期間を長くする程、負帰還量が大きくなる。

【0177】

この式から明らかなように、駆動トランジスタ121のドレイン・ソース間電流である駆動電流 I_{ds} が大きい程、負帰還量 ΔV は大きくなる。逆に、駆動トランジスタ121の

10

20

30

40

50

駆動電流 I_{ds} が小さいとき、負帰還量 ΔV は小さくなる。このように、負帰還量 ΔV は駆動電流 I_{ds} に応じて決まる。

【0178】

また、詳細は後述するが、信号電位 V_{in} が大きいほど駆動電流 I_{ds} は大きくなり、負帰還量 ΔV の絶対値も大きくなる。したがって、発光輝度レベルに応じた移動度補正を実現できる。その際、サンプリング期間 & 移動度補正期間 H は必ずしも一定である必要はなく、逆に駆動電流 I_{ds} に応じて調整することが好ましい場合がある。たとえば、駆動電流 I_{ds} が大きい場合、移動度補正期間 t は短めにし、逆に駆動電流 I_{ds} が小さくなると、サンプリング期間 & 移動度補正期間 H は長めに設定するのがよい。

【0179】

また、負帰還量 ΔV は、 $I_{ds} \cdot C_{el} / t$ であり、画素回路 P ごとに移動度 μ のばらつきに起因して駆動電流 I_{ds} がばらつく場合でも、それぞれに応じた負帰還量 ΔV となるので、画素回路 P ごとの移動度 μ のばらつきを補正することができる。つまり、信号電位 V_{in} を一定とした場合、駆動トランジスタ 121 の移動度 μ が大きいほど負帰還量 ΔV の絶対値が大きくなる。換言すると、移動度 μ が大きいほど負帰還量 ΔV が大きくなるので、画素回路 P ごとの移動度 μ のばらつきを取り除くことができる。

【0180】

このようにして、第2比較例の画素回路 P における駆動タイミングでは、サンプリング期間 & 移動度補正期間 H にて、信号電位 V_{in} のサンプリングと移動度 μ のばらつきを補正するための負帰還量 ΔV の調整が同時に行なわれる。もちろん、移動度変動に対する補正量を示す負帰還量 ΔV は信号電位 V_{in} のサンプリング信号である書込駆動パルス WS のパルス幅すなわちサンプリング期間 & 移動度補正期間 H の時間幅を調整することで最適化可能である。

【0181】

次に、書込走査部 104 は、映像信号線 106 HS の電位が信号電位 V_{in} にある状態で、書込駆動パルス WS をインアクティブ L に切り替える (t_{17_1})。その後は、保持容量 120 に保持された情報に基づく駆動電流 I_{ds} が有機 EL 素子 127 に流れている期間 (発光期間 I) は継続的に書込駆動パルス WS をインアクティブ L に維持してサンプリングトランジスタ 125 を非導通状態にしておく。

【0182】

これにより、図 6 I に示すように、サンプリングトランジスタ 125 が非導通 (オフ) 状態となり発光期間 I に進む。水平駆動部 106 は、その後の適当な時点で映像信号線 106 HS への映像信号 V_{sig} の信号電位 V_{in} の供給を停止して基準電位 V_o に戻す (t_{18_1})。この後、次のフレーム (もしくはフィールド) に移って、再び、閾値補正準備動作、閾値補正動作、移動度補正動作、および発光動作が繰り返される。

【0183】

この結果、駆動トランジスタ 121 のゲート端 G は映像信号線 106 HS から切り離される。駆動トランジスタ 121 のゲート端 G への信号電位 V_{in} の印加が解除されるので、駆動トランジスタ 121 のゲート電位 V_g は上昇可能となる。

【0184】

このとき、駆動トランジスタ 121 に流れる駆動電流 I_{ds} は有機 EL 素子 127 に流れ、有機 EL 素子 127 のアノード電位は駆動電流 I_{ds} に応じて上昇する。この上昇分を V_{el} とする。やがて、ソース電位 V_s の上昇に伴い、有機 EL 素子 127 の逆バイアス状態は解消されるので、駆動電流 I_{ds} の流入により有機 EL 素子 127 は実際に発光を開始する。このときの有機 EL 素子 127 のアノード電位の上昇 (V_{el}) は、駆動トランジスタ 121 のソース電位 V_s の上昇に他ならず、駆動トランジスタ 121 のソース電位 V_s は、“ $-V_{th} + \Delta V + V_{el}$ ” となる。

【0185】

駆動電流 I_{ds} 対ゲート電圧 V_{gs} の関係は、先のトランジスタ特性を表した式 (1) の V_{gs} に “ $V_{in} - \Delta V + V_{th}$ ” を代入することで、式 (2) のように表しすることができる。式

10

20

30

40

50

(2)において、 $k = (1/2) (W/L) C_{ox}$ である。

【0186】

【数2】

$$I_{ds} = k\mu (V_{gs} - V_{th})^2 = k\mu (V_{in} - \Delta V)^2 \cdots (2)$$

この式(2)から、閾値電圧 V_{th} の項がキャンセルされており、有機EL素子127に供給される駆動電流 I_{ds} は駆動トランジスタ121の閾値電圧 V_{th} に依存しないことが分かる。基本的に駆動電流 I_{ds} は映像信号 V_{sig} の信号電位 V_{in} によって決まる。換言すると、有機EL素子127は信号電位 V_{in} に応じた輝度で発光することになる。

10

【0187】

その際、信号電位 V_{in} は帰還量 ΔV で補正されている。この補正量 ΔV はちょうど式(2)の係数部に位置する移動度 μ の効果を打ち消すように働く。したがって、駆動電流 I_{ds} は実質的に信号電位 V_{in} のみに依存することになる。駆動電流 I_{ds} は閾値電圧 V_{th} に依存しないので、閾値電圧 V_{th} が製造プロセスにより変動しても、ドレイン・ソース間の駆動電流 I_{ds} は変動せず、有機EL素子127の発光輝度も変動しない。

【0188】

また、駆動トランジスタ121のゲート端Gとソース端Sとの間には保持容量120が接続されており、その保持容量120による効果により、発光期間の最初でブートストラップ動作が行なわれ、駆動トランジスタ121のゲート・ソース間電圧“ $V_{gs} = V_{in} - \Delta V + V_{th}$ ”を一定に維持したまま、駆動トランジスタ121のゲート電位 V_g およびソース電位 V_s が上昇する。駆動トランジスタ121のソース電位 V_s が“ $-V_{th} + \Delta V + V_{el}$ ”となることで、ゲート電位 V_g は“ $V_{in} + V_{el}$ ”となる。

20

【0189】

このとき、駆動トランジスタ121のゲート・ソース間電圧 V_{gs} は一定であるので、駆動トランジスタ121は、一定電流(駆動電流 I_{ds})を有機EL素子127に流す。その結果、電圧降下が生じ、有機EL素子127のアノード端Aの電位 V_{el} (=ノードND121の電位)は、有機EL素子127に飽和状態での駆動電流 I_{ds} という電流が流れ得る電圧まで上昇する。

【0190】

30

つまり、第2比較例の駆動タイミングにおいて、ブートストラップ機能は、書込駆動パルス WS をインアクティブ L に切り替えてサンプリングトランジスタ125をオフさせた発光開始時点で開始させることができる。その後の発光開始初期においては、有機EL素子127に発光電流 I_{el} が流れ始め、それとともにアノード・カソード間電圧 V_{el} が安定となるまで上昇していく過程で、アノード・カソード間電圧 V_{el} の変動に伴って駆動トランジスタ121のソース電位 V_s が変動する際にブートストラップ動作が機能する。

【0191】

このときのブートストラップ機能では、有機EL素子127のアノード端Aが V_{el} だけ上昇すると、当然に駆動トランジスタ121のソース電位 V_s も V_{el} だけ上昇する。このとき、ゲート・ソース間の保持容量120によるブートストラップ動作によって、駆動トランジスタ121のゲート電位 V_g も V_{el} だけ上昇する。このため、ブートストラップ前に保持された駆動トランジスタ121のゲート・ソース間電圧である“ $V_{in} + V_{th} + \Delta V$ ”は発光開始初期のブートストラップ動作後も保持される。

40

【0192】

ここで、有機EL素子127は、発光時間が長くなるとその $I-V$ 特性が変化してしまう。そのため、時間の経過とともに、有機EL素子127のアノード電位(すなわちノードND121の電位)も変化する。しかしながら、このような有機EL素子127の経時変化(経時劣化とも称する)によりそのアノード電位が変動しても、ゲート・ソース間の保持容量120によるブートストラップ動作によって、保持容量120に保持されたゲート・ソース間電圧 V_{gs} は常に“ $V_{in} - \Delta V + V_{th}$ ”で一定に維持される。

50

【0193】

駆動トランジスタ121が定電流源として動作することから、有機EL素子127のI-V特性が経時変化し、これに伴って駆動トランジスタ121のソース電位 V_s が変化したとしても、保持容量120によって駆動トランジスタ121のゲート・ソース間電位 V_{gs} が一定($V_{in}-\Delta V+V_{th}$)に保たれているため、有機EL素子127に流れる電流は変わらず、したがって有機EL素子127の発光輝度も一定に保たれる。

【0194】

このような、有機EL素子127の特性変動に拘らず、駆動トランジスタ121のゲート・ソース間電圧を一定に維持し輝度を一定に維持する補正のための動作(保持容量120の効果による動作)をブートストラップ動作と呼ぶ。このブートストラップ動作により、有機EL素子127のI-V特性が経時的に変化しても、それに伴う輝度劣化のない画像表示が可能になる。

【0195】

つまり、第2比較例の画素回路Pとそれを駆動する駆動タイミングでは、電気光学素子の一例である有機EL素子127の電流-電圧特性の変化を補正して駆動電流を一定に維持する駆動信号一定化回路の一例であるブートストラップ回路が構成され、ブートストラップ動作が機能するようになっているのである。よって、有機EL素子127のI-V特性が劣化しても一定電流 I_{ds} が常に流れ続けるため、有機EL素子127は画素信号 V_{sig} に応じた輝度で発光を続けることになり輝度が変化することはない。有機EL素子127(およびその他の電流駆動型の発光素子)の経時変動に伴う駆動電流 I_{ds} (や発光電流 I_{el})の変動を、ブートストラップ動作により補正することが可能となる。

【0196】

また、第2比較例の画素回路Pとそれを駆動する駆動タイミングでは、駆動トランジスタ121の閾値電圧 V_{th} を補正して駆動電流を一定に維持する駆動信号一定化回路の一例である閾値補正回路が構成され閾値補正動作が機能するようになっている。駆動トランジスタ121の閾値電圧 V_{th} を反映させたゲート・ソース間電位 V_{gs} として、当該閾値電圧 V_{th} のばらつきの影響を受けない一定電流 I_{ds} を流すことができる。

【0197】

特に、図示を割愛しているが、1回の閾値補正動作の処理サイクルを1水平期間とし、複数回に亘って閾値補正動作を繰り返すようにすれば、確実に閾値電圧 V_{th} を保持容量120に保持させることができる。閾値電圧 V_{th} の画素間差が確実に除去され、階調に拘らず閾値電圧 V_{th} のばらつきに起因する輝度ムラを抑制できる。

【0198】

これに対して、閾値補正動作を1回にするなど閾値電圧 V_{th} の補正が不十分な場合は、つまり閾値電圧 V_{th} が保持容量120に保持されていない場合には、異なる画素回路Pの間で、低階調の領域では輝度(駆動電流 I_{ds})に差が出てしまう。よって閾値電圧の補正が不十分な場合は、低階調で輝度のムラが現れ画質を損なうことになる。

【0199】

加えて、第2比較例の画素回路Pにおける駆動タイミングでは、サンプリングトランジスタ125による信号電位 V_{in} の保持容量120への書込み動作と連動して駆動トランジスタ121の移動度 μ を補正して駆動電流を一定に維持する駆動信号一定化回路の一例である移動度補正回路が構成され移動度補正動作が機能するようになっている。駆動トランジスタ121のキャリア移動度 μ を反映させたゲート・ソース間電位 V_{gs} として、当該キャリア移動度 μ のばらつきの影響を受けない一定電流 I_{ds} を流すことができる。

【0200】

つまり、第2比較例の画素回路Pは、駆動タイミングを工夫することで、閾値補正回路や移動度補正回路が自動的に構成され、駆動トランジスタ121の特性ばらつき(本例では閾値電圧 V_{th} およびキャリア移動度 μ のばらつき)による駆動電流 I_{ds} に与える影響を防ぐために、閾値電圧 V_{th} およびキャリア移動度 μ による影響を補正して駆動電流を一定に維持する駆動信号一定化回路として機能するようになっているのである。

【0201】

ブートストラップ動作だけでなく、閾値補正動作と移動度補正動作とを実行しているため、ブートストラップ動作で維持されるゲート・ソース間電圧 V_{gs} は、閾値電圧 V_{th} に相当する電圧と移動度補正用の電圧 ΔV とによって調整されているため、有機 EL 素子 127 の発光輝度は駆動トランジスタ 121 の閾値電圧 V_{th} や移動度 μ のばらつきの影響を受けることがないし、有機 EL 素子 127 の経時劣化の影響も受けない。入力される信号電位 V_{in} に対応する安定した階調で表示でき、高画質の画像を得ることができる。

【0202】

また、第2比較例の画素回路 P は、nチャネル型の駆動トランジスタ 121 を用いたソースフォロア回路によって構成することができるために、現状のアノード・カソード電極の有機 EL 素子をそのまま用いても、有機 EL 素子 127 の駆動が可能になる。

10

【0203】

また、駆動トランジスタ 121 およびその周辺部のサンプリングトランジスタ 125 をも含めて nチャネル型のみトランジスタを用いて画素回路 P を構成することができ、TFT 作成においてもアモルファスシリコン (a-Si) プロセスを用いることができるようになるため、TFT 基板の低コスト化が図れることになる。

【0204】

＜駆動タイミングの変形例＞

ここで、駆動タイミングの側面からは、電源供給線 105 DSL の電位が第2電位 V_{cc_L} から第1電位 V_{cc_H} に遷移するタイミングを映像信号 V_{sig} の非有効期間である基準電位 V_o の期間としつつ、様々な変形が可能である。

20

【0205】

たとえば、変形例として、図示を割愛するが（後述する図7（B）や図10を参照）、図6に示した駆動タイミングに対して、サンプリング期間&移動度補正期間 H の設定方法を変形することができる。具体的には、先ず映像信号 V_{sig} が基準電位 V_o から信号電位 V_{in} に遷移するタイミング t_{15V} を図6に示した駆動タイミングよりも1水平期間の後半側にシフトさせて、有効期間である信号電位 V_{in} の期間を狭くする。

【0206】

また、閾値補正動作の完了時（閾値補正期間 E の完了時）には、先ず、書込駆動パルス WS をアクティブ H にしたままで、水平駆動部 106 により映像信号線 106 HS に映像信号 V_{sig} の信号電位 V_{in} を供給して (t_{16})、書込駆動パルス WS をインアクティブ L にするまで (t_{17}) の間を、保持容量 120 への画素信号 V_{sig} の書き込み期間とする。この信号電位 V_{in} は駆動トランジスタ 121 の閾値電圧 V_{th} に足し込む形で保持される。

30

【0207】

この結果、駆動トランジスタ 121 の閾値電圧 V_{th} の変動は常にキャンセルされる形となるので、閾値補正を行なっていることになる。この閾値補正動作によって、保持容量 120 に保持されるゲート・ソース間電圧 V_{gs} は “ $V_{sig} + V_{th}$ ” となる。また、同時に、信号書込期間 $t_{16} \sim t_{17}$ で移動度補正を実行する。すなわち、タイミング $t_{16} \sim t_{17}$ は、信号書込期間と移動度補正期間の双方を兼ねることとなる。

【0208】

なお、この移動度補正を実行する期間 $t_{16} \sim t_{17}$ では、有機 EL 素子 127 は実際には逆バイアス状態にあるので発光することはない。この移動度補正期間 $t_{16} \sim t_{17}$ では、駆動トランジスタ 121 のゲート端 G が映像信号 V_{sig} のレベルに固定された状態で、駆動トランジスタ 121 に駆動電流 I_{ds} が流れる。以下、図6に示した駆動タイミングと同様である。

40

【0209】

変形例の駆動タイミングでも、基準電位 V_o に先立つ初期化電位 V_{ini} の期間で初期化トランジスタ 126 をオンさせることで駆動トランジスタ 121 を初期化する動作は図6に示した駆動タイミングと完全に同じであり、サンプリング期間&移動度補正期間 H に関する変形に関する点を除いて、前述の第2比較例の効果は同様に享受できる。

50

【0210】

ここで、変形例の駆動タイミングでは、各駆動部（104，105，106）は、水平駆動部106が映像信号線106HSに供給する映像信号Vsigと書込走査部104が供給する書込駆動パルスWSとの相対的な位相差を調整して、移動度補正期間を最適化することができる。

【0211】

ただし、書込み&移動度補正準備期間Gが存在せずに、タイミングt16V～t17Wがサンプリング期間&移動度補正期間Hとなる。このため、書込走査線104WSや映像信号線106HSの配線抵抗や配線容量の距離依存の影響に起因する波形特性の相違がサンプリング期間&移動度補正期間Hに影響を与えてしまう可能性がある。画面の書込走査部104に近い側と遠い側（すなわち画面の左右）でサンプリング電位や移動度補正期間が異なることになるので、画面の左右で輝度差が生じ、シェーディングとして視認される難点が懸念される。

【0212】

以下、書込み&移動度補正準備期間に関して、図6に示した基本例の駆動タイミングと変形例の駆動タイミングとの違いを考慮して、詳しく説明する。

【0213】

＜移動度補正期間の設定手法について＞

図7は、移動度補正期間tを決定する画素回路Pに対する動作タイミングを説明する模式図である。ここで図7（A）は、図6に示した基本例の駆動タイミングでの場合を示し、図7（B）は、それに対する前述の変形例の駆動タイミングでの場合を示す。

【0214】

図7（A）および図7（B）の何れでも、映像信号線106HSの信号電位Vin（以下映像線信号電位とも称する）の立上りもしくは書込走査線104WSの書込駆動パルスWSの遷移特性に傾斜をつけることで、移動度補正期間tを映像線信号電位に自動的に追従させて、その最適化を図っている。

【0215】

ここで、図7（A）に示す基本例では、移動度補正期間tは書込走査線104WSのパルス幅で決定され、さらに映像信号線106HSの電位によっても決定される。移動度補正パラメータ ΔV は“ $\Delta V = I_{ds} \cdot C_{el} / t$ ”であり、この式は“ $t = C_{el} \cdot \Delta V / I_{ds}$ ”と変形することができる。

【0216】

これらの式から分かるように、基本例の駆動タイミングでは、駆動トランジスタ121のドレイン・ソース間電流（駆動電流 I_{ds} ）が大きい程、移動度補正パラメータ ΔV は大きく、移動度補正期間tは短い。逆に、駆動トランジスタ121の駆動電流 I_{ds} が小さい程、移動度補正パラメータ ΔV は小さく、移動度補正期間tは長い。また、駆動トランジスタ121の移動度変動やばらつきに対する補正動作を映像信号サンプリング用の書込駆動パルスWSのパルス幅により調整することができる。

【0217】

一方、図7（B）に示す変形例の駆動タイミングでは、移動度補正期間tは書込走査線104WSの電位と映像信号線106HSの電位の位相差で決定され、さらに映像信号線106HSの電位自体によっても決定される。移動度補正パラメータ ΔV は“ $\Delta V = I_{ds} \cdot C_{el} / t$ ”であり、この式は“ $t = C_{el} \cdot \Delta V / I_{ds}$ ”と変形することができる。

【0218】

これらの式から分かるように、変形例の駆動タイミングでも、駆動トランジスタ121のドレイン・ソース間電流（駆動電流 I_{ds} ）が大きい程、移動度補正パラメータ ΔV は大きく、移動度補正期間tは短い。逆に、駆動トランジスタ121の駆動電流 I_{ds} が小さい程、移動度補正パラメータ ΔV は小さく、移動度補正期間tは長い。また、基本例の駆動タイミングとの相違点として、駆動トランジスタ121の移動度変動やばらつきに対する補正動作を、書込走査線104WSの電位と映像信号線106HSの電位の位相差により調整

することができる。

【0219】

このように、図7（A）および図7（B）の何れでも、移動度補正期間の設定手法には多少の相違があるが、移動度補正パラメータ ΔV は駆動トランジスタ121の駆動電流 I_{ds} （や発光電流 I_{el} ）に応じて決まる。その際、移動度補正期間 t は必ずしも一定である必要はなく、逆に駆動電流 I_{ds} に応じて調整することが好ましい場合がある。たとえば、駆動電流 I_{ds} が大きい場合には移動度補正期間 t を短めにし、逆に駆動電流 I_{ds} が小さくなると移動度補正期間 t を長めに設定することがよい場合もある。

【0220】

図7（A）および図7（B）の何れでも、少なくとも映像信号線電位の立上りに傾斜をつけることで、映像信号線106HSの電位によって移動度補正期間 t を調整することが可能となる。たとえば、映像信号線106HSの電位が高いときには駆動電流 I_{ds} が大きくなり移動度補正期間 t が短くなる一方、映像信号線106HSの電位が低いときには駆動電流 I_{ds} が小さくなり移動度補正期間 t が長くなるように（移動度補正期間 t_a 、 t_b 、 t_c というように）、移動度補正期間 t を映像信号 V_{sig} （詳しくは信号電位 V_{in} ）に自動的に追従して設定することができる。

【0221】

＜移動度補正期間と配線抵抗および配線容量の関係について＞

図8～図11は、サンプリング期間&移動度補正期間 H と書込走査線104WSおよび映像信号線106HSの配線抵抗および配線容量との関係を説明する模式図である。ここで図8は、図6に示した基本例の駆動タイミングでの画面左右方向に着目した場合を示し、図9は、図6に示した基本例の駆動タイミングでの画面上下方向に着目した場合を示し、図10は基本例に対する前述の変形例の駆動タイミングでの画面左右方向に着目した場合を示し、図11は図8に対する変形例を示す。図11以外については、何れも、（A）は遠側画素について、また（B）は近側画素について、それぞれ、走査線電位波形および映像信号線電位波形の関係を示している。

【0222】

なお、サンプリングトランジスタ125は、ゲート端 G が書込走査部104からの書込走査線104WSに接続され、ドレイン端 D が映像信号線106HSに接続され、ソース端 S が駆動トランジスタ121のゲート端 G と保持容量120の一方の端子との接続点（ノード $ND122$ ）に接続されているものとする。また、サンプリングトランジスタ125としては、エンハンスメント型を使用している場合で示す。また、オフからオンするときと、オンからオフするときの特性は同等であり、いわゆるシュミット特性は無視する。

【0223】

図6に示した基本例の駆動タイミングにおいて、画面の左右方向について考察した場合、図8に示すように、1行内の全ての画素回路 P に対して書込駆動パルス WS は書込走査部104から共通に供給されるので、書込駆動パルス WS の波形が配線容量や配線抵抗の影響で、書込走査部104から遠い画素回路 P （遠側画素と称する）の方が書込走査部104から近い画素回路 P （近側画素と称する）よりも、その波形鈍りが大きくなってしまふ。これに対して、映像信号線電位については、遠側画素および近側画素ともに、信号源である水平駆動部106からの距離が同じであるので、波形に差がない。

【0224】

よって、書込駆動パルス WS の波形が大きく鈍って劣化する遠側画素では、近側画素に比べてサンプリングトランジスタ125のオンタイミングが後方にずれるが、オフタイミングも後方にシフトする。したがって、両者の差で決まる移動度補正期間は、結局近側画素の移動度補正期間とあまり変わらないことになる。

【0225】

すなわち、基本例の駆動タイミングでは、移動度補正期間は、映像信号線電位が信号電位 V_{in} にある時間幅と書込駆動パルス WS の両者が重なった範囲で決まる。特に、映像信号線106HSが信号電位 V_{in} にある時間幅の中に入るように書込駆動パルス WS の幅を細めに

決めるようにすれば、結果的に移動度補正期間 t_1 , t_2 は書込駆動パルス WS のアクティブ H の期間幅 t で決まる。

【0226】

正確には、書込駆動パルス WS が立ち上がってサンプリグトランジスタ 125 がオンしてから、同じく書込駆動パルス WS が立ち下がりサンプリグトランジスタ 125 がオフするまでの時間となる。

【0227】

ここで、基本的には、サンプリグトランジスタ 125 のゲート端電位（書込駆動パルス WS の電位）とソース電位（信号電位 V_{in} の電位）との差であるゲート・ソース間電圧 V_{gs_125} が、ちょうど閾値電圧 V_{th_125} を上回ったときにサンプリグトランジスタ 125 がオンし、逆に、ゲート・ソース間電圧 V_{gs_125} が、ちょうど閾値電圧 V_{th_125} を下回ったときにサンプリグトランジスタ 125 がオフする。

【0228】

したがって、図 8 に示すように、オンタイミングは、サンプリグトランジスタ 125 のゲート電位すなわち書込走査線 104 WS の電位が、L（ロー）レベルから立ち上がり、その時点のサンプリグトランジスタ 125 のソース電位すなわちその直前の書込み & 移動度補正準備期間 G にてサンプリグトランジスタ 125 のゲートに設定されている基準電位 V_o にさらにサンプリグトランジスタ 125 の閾値電圧 V_{th_125} を加えた電圧（オン電圧 V_{on} と称する）を上回ったとき（超えたとき）となる。

【0229】

逆に、サンプリグトランジスタ 125 のオフタイミングは、サンプリグトランジスタ 125 のゲート電位すなわち書込走査線 104 WS の電位が、H（ハイ）レベルから立ち下がり、サンプリグトランジスタ 125 がオンした後のソース電位すなわちサンプリグ期間 & 移動度補正期間 H にて信号電位 V_{in} に対応する情報を保持容量 120 に書き込むことで得られるサンプリグトランジスタ 125 のゲートに設定される電圧（ここでは信号電位 V_{in} と同じとする）にさらにサンプリグトランジスタ 125 の閾値電圧 V_{th_125} を加えた電圧（オフ電圧 V_{off} と称する）を下回ったときとなる。

【0230】

よって、移動度補正期間は、図示するように、波形が大きく鈍る遠側画素で t_1 になる一方、波形があまり鈍らない近側画素で t_2 となる。ここで波形が大きく鈍って劣化する遠側画素では、近側画素に比べてサンプリグトランジスタ 125 のオンタイミングが後方にずれるが、オフタイミングも後方にシフトする。したがって、サンプリグトランジスタ 125 の特性ばらつきがないものとすれば、両者の差で決まる遠側画素の移動度補正期間 t_1 は、結局近側画素の移動度補正期間 t_2 とあまり変わらないことになる。

【0231】

また、サンプリグトランジスタ 125 によって最終的に保持容量 120 にサンプリグされる信号電位 V_{in} （サンプリグ電位）に応じた信号は、ちょうどサンプリグトランジスタ 125 がオフになったときの映像信号線電位に応じて与えられる。図 8 から明らかのように、サンプリグトランジスタ 125 の特性ばらつきがないものとすれば、近側画素および遠側画素ともにサンプリグされる映像信号電位 V_1 , V_2 は信号電位 V_{in} に対応する大きさとなり（ここでは信号電位 V_{in} と同じとする）、両者に差は生じない。

【0232】

このように、第 2 比較例の画素回路 P における基本例の駆動タイミングでは、サンプリグトランジスタ 125 の特性ばらつきがないものとすれば、遠側画素と近側画素でサンプリグされる映像信号電位 V_1 , V_2 は殆ど差はない。さらにそれぞれの移動度補正期間 t_1 , t_2 についても、遠側画素と近側画素とでは殆ど差は無視できる程度である。これにより、画面の左右で輝度差が現れることがなく、書込走査線 104 WS および映像信号線 106 HS の配線抵抗および配線容量に起因する横方向（画面左右方向）のシェーディングは抑制され良好な画質の表示装置を実現できる。

【0233】

また、画面の上下方向について考察した場合、図 9 に示すように、書込駆動パルス WS は、画面の上側の画素回路 P（上側画素と称する）と画面の下側の画素回路 P（下側画素と称する）とで同じ位置をとっているため、書込駆動パルス WS の波形（走査線電位波形）には差はない。一方、一列内の全ての画素回路 P に対して映像信号 Vsig は水平駆動部 106 から映像信号線 106 HS を介して共通に供給されるので、下側画素は水平駆動部 106 に対して遠側画素となり、上側画素は水平駆動部 106 に対して近側画素となる。

【0234】

このため、映像信号線 106 HS の配線容量や配線抵抗の影響で、水平駆動部 106 から遠い遠側画素の方が水平駆動部 106 から近い近側画素よりも、映像信号電圧の遅延量が大きくなってしまう。その結果、水平駆動部 106 から遠い遠側画素の映像信号 Vsig と書込駆動パルス WS の位相差 t_{d1} は、水平駆動部 106 から近い近側画素の映像信号 Vsig と書込駆動パルス WS の位相差 t_{d2} よりも少なくなってしまう。

【0235】

しかしながら、映像信号線 106 HS に現れる信号電位波形が遅延しても、映像信号線 106 HS が信号電位（映像信号 Vsig の有効期間の電位）にある時間幅に書込駆動パルス WS が入っている限り、サンプリング電位や移動度補正期間に殆ど差は生じない。その結果、図 9 から明らかなように、サンプリングトランジスタ 125 の特性ばらつきがないものとするれば、画面下側と上側で、サンプリングされる映像信号電位 V_1 、 V_2 はほぼ等しくなるし、移動度補正期間 t_1 、 t_2 もほぼ等しくなる。これにより、画面の上下で輝度差が現れることがなく、書込走査線 104 WS および映像信号線 106 HS の配線抵抗および配線容量に起因する縦方向（画面上下方向）のシェーディングは抑制され良好な画質の表示装置を実現できる。

【0236】

なお、図 8、図 9 にて説明したことは、エンハンスメント型のサンプリングトランジスタ 125 のドレイン端 D を映像信号線 106 HS に接続しソース端 S を駆動トランジスタ 121 のゲート端 G と保持容量 120 の一方の端子との接続点（ノード ND 122）に接続する場合のことであるが、図 8 に対応するように簡易的に示した図 11 の各図に示すように、その他の態様であっても、概ね同じことが言える。

【0237】

たとえば、図 11（A）に示すように、ドレイン端 D およびソース端 S の接続態様を前述と同じにしたままで、ディプレッション型にした場合でもよい。ただし、サンプリングトランジスタ 125 のゲート端 G に供給する書込駆動パルス WS の電圧レベルに関しては、閾値電圧 V_{th_125} が負であるディプレッション型に対応するように変更する。

【0238】

特に、L レベル時に電流が流れることがないように、つまり確実にサンプリングトランジスタ 125 をオフさせておくように、基準電位 V_o に対して閾値電圧 V_{th_125} （の絶対値）を差し引いた電圧（オン電圧 V_{on} と称する）を下回るようにしておく。こうすることで、オンタイミングは、サンプリングトランジスタ 125 のゲート電位すなわち書込走査線 104 WS の電位が、L（ロー）レベルから立ち上がって、その時点のサンプリングトランジスタ 125 のソース電位すなわちその直前の書込み & 移動度補正準備期間 G にてサンプリングトランジスタ 125 のゲートに設定されている電圧（ここでは基準電位 V_o と同じとする）から閾値電圧 V_{th_125} を差し引いたオン電圧 V_{on} を上回ったとき（超えたとき）となる。

【0239】

逆に、サンプリングトランジスタ 125 のオフタイミングは、サンプリングトランジスタ 125 のゲート電位すなわち書込走査線 104 WS の電位が、H（ハイ）レベルから立ち下がって、サンプリングトランジスタ 125 がオンした後のソース電位すなわちサンプリング期間 & 移動度補正期間 H にて信号電位 V_{in} に対応する情報を保持容量 120 に書き込むことで得られるサンプリングトランジスタ 125 のゲートに設定される電圧（ここでは信号電位 V_{in} と同じとする）から閾値電圧 V_{th_125} を差し引いた電圧（オフ電圧 V_{off} と

称する)を下回ったときとなる。

【0240】

このように、閾値電圧 V_{th_125} が正であるエンハンスメント型と閾値電圧 V_{th_125} が負であるディプレション型とでは、サンプリングトランジスタ 125 のオンタイミングやオフタイミングにおけるゲート電位とソース電位の関係が正であるのか負であるのかが異なるだけで、配線抵抗や配線容量による影響が異なることに起因するオンタイミングやオフタイミングの遅延方向に関してはエンハンスメント型のときと相違がない。

【0241】

また、図 11 (B) に示すように、サンプリングトランジスタ 125 のドレイン端 D およびソース端 S の接続態様を前述と逆にして、ソース端 S を映像信号線 106 HS に接続し、ドレイン端 D を駆動トランジスタ 121 のゲート端 G と保持容量 120 の一方の端子との接続点 (ノード ND 122) に接続した場合でもよい。

【0242】

この場合、サンプリングトランジスタ 125 がエンハンスメント型である場合には、オンタイミングは、サンプリングトランジスタ 125 のゲート電位すなわち書込走査線 104 WS の電位が、L (ロー) レベルから立ち上がって、その時点のサンプリングトランジスタ 125 のソース電位すなわちその時点の映像信号線電位である信号電位 V_{in} にさらに閾値電圧 V_{th_125} を加えたオン電圧 V_{on} を上回ったとき (超えたとき) となる。

【0243】

逆に、サンプリングトランジスタ 125 のオフタイミングは、サンプリングトランジスタ 125 のゲート電位すなわち書込走査線 104 WS の電位が、H (ハイ) レベルから立ち下がって、その時点のサンプリングトランジスタ 125 のソース電位すなわちその時点の映像信号線電位である信号電位 V_{in} にさらに閾値電圧 V_{th_125} を加えたオフ電圧 V_{off} を下回ったときとなる。信号電位 V_{in} の存在する期間 ($t_{15V} \sim t_{18}$) 内に書込駆動パルス WS のアクティブ期間 ($t_{16} \sim t_{17}$) が確実に収まるようにしておけば、オン電圧 V_{on} とオフ電圧 V_{off} は等しくなる。

【0244】

このように、サンプリングトランジスタ 125 のソース端 S とドレイン端 D の接続態様を逆転させた場合、オン電圧 V_{on} が信号電位 V_{in} に対して設定される点では、図 8 および図 9 に示した接続態様ではオン電圧 V_{on} が書込み & 移動度補正準備期間 G にてサンプリングトランジスタ 125 のゲートに設定されている電圧 (ここでは基準電位 V_o と同じとする) に対して設定されるのとは異なるようになるが、配線抵抗や配線容量による影響が異なることに起因するオンタイミングやオフタイミングの遅延方向に関してはエンハンスメント型のときと相違がない。

【0245】

また、図 11 (C) に示すように、サンプリングトランジスタ 125 のドレイン端 D およびソース端 S の接続態様を前述と逆にして、かつ、ディプレション型を使用することもでき、この場合、書込駆動パルス WS の電圧レベルに関して閾値電圧 V_{th_125} が負であるディプレション型に対応するように変更すればよい。特に、L レベル時に電流が流れることがないように、つまり確実にサンプリングトランジスタ 125 をオフさせておくように、基準電位 V_o に対して閾値電圧 V_{th_125} (の絶対値) を差し引いた電圧 (オン電圧 V_{on0} と称する) を下回るようにしておく。配線抵抗や配線容量による影響が異なることに起因するオンタイミングやオフタイミングの遅延方向に関してはエンハンスメント型のときと相違がない。

【0246】

一方、変形例の駆動タイミングでは、移動度補正期間は、書込走査線 104 WS の電位と映像信号線 106 HS の電位の位相差により決定されるので、たとえサンプリングトランジスタ 125 の特性ばらつきがないものとしても、書込走査線 104 WS や映像信号線 106 HS の配線抵抗や配線容量の距離依存の影響に起因する波形特性の相違がサンプリング期間 & 移動度補正期間 H に影響を与えてしまう。

【0247】

すなわち、変形例の駆動タイミングでは、移動度補正期間の開始タイミングは、信号電位 V_{in} の立上がり時点で規定されるのに対して、移動度補正期間の停止タイミングは、映像信号線電位が信号電位 V_{in} にある時間内で書込駆動パルス WS と重なった範囲までとなる。正確には、移動度補正期間の停止タイミングは、書込駆動パルス WS が立ち下がってサンプリングトランジスタ 125 がオフするまでの時間となる。

【0248】

具体的には、図 10 に示すように、サンプリングトランジスタ 125 のオフタイミングは、そのゲート電位（書込駆動パルス WS の電位）とソース電位（信号電位 V_{in} の電位）との差 V_{gs_125} がちょうど閾値電圧 V_{th_125} を下回ったときとなる。

10

【0249】

なお、図 10 では、サンプリングトランジスタ 125 は、ドレイン端 D が映像信号線 106 HS に接続され、ソース端 S が駆動トランジスタ 121 のゲート端 G と保持容量 120 の一方の端子との接続点（ノード ND122）に接続されているものとする。また、サンプリングトランジスタ 125 としては、エンハンスメント型を使用している場合で示す。

【0250】

よって、たとえば、画面の左右方向について考察した場合、図 10 に示すように、近側画素では書込走査線 104 WS の配線抵抗と配線容量が小さいため書込走査線 104 WS の電位（すなわち書込駆動パルス WS）は劣化しない。これに対して、遠側画素では書込走査線 104 WS の配線抵抗と配線容量が大きいため書込走査線 104 WS の電位（すなわち書込駆動パルス WS）は大きく鈍って劣化する。一方、映像信号電位は供給元の水平駆動部 106 から等しい距離をとっているため、パルスの劣化の差は少ない。

20

【0251】

画面の近側と遠側で書込走査線 104 WS の電位の波形劣化が異なるため、近側画素と遠側画素で保持容量 120 にサンプリングされる映像信号電位 V_1 、 V_2 に差が生じている。さらに、移動度補正期間についても遠側画素と近側画素で t_1 と t_2 のように差が生じている。画面の遠側では書込駆動パルス WS の波形劣化が激しいため、サンプリング電位 V_1 は大きくなり移動度補正期間 t_1 も長くなる傾向になる。これに対して、画面の近側では書込駆動パルス WS の波形劣化が殆ど生じないため、サンプリング電位 V_2 および移動度補正期間 t_2 ともに設計値に近い値となる。

30

【0252】

このように、変形例の駆動タイミングでは、画面の書込走査部 104 に近い近側画素と遠い遠側画素（すなわち画面の左右）でサンプリング電位や移動度補正期間が異なると、画面の左右で輝度差が生じ、シェーディングとして視認される。

【0253】

なお、図 10 にて説明したことは、エンハンスメント型のサンプリングトランジスタ 125 のドレイン端 D を映像信号線 106 HS に接続しソース端 S を駆動トランジスタ 121 のゲート端 G と保持容量 120 の一方の端子との接続点（ノード ND122）に接続する場合のことであるが、図示を割愛するが、基本例の駆動タイミングに関して図 11 の各図に示したと同様のその他の態様であっても、概ね同じことが言える。

40

【0254】

これらの比較から分かるように、サンプリング期間および移動度補正期間に与える書込走査線 104 WS および映像信号線 106 HS の配線抵抗および配線容量の関係においては、信号電位 V_{in} と書込駆動パルス WS（書込兼初期化走査パルスの一例）との相対的な位相差を調整する変形例の駆動タイミングよりも、映像信号線 106 HS に信号電位 V_{in} が供給されている期間内の所定位置でかつその信号電位 V_{in} の供給時間帯よりも短い期間だけ書込駆動パルス WS をアクティブにする図 6 に示した基本例の駆動タイミングの方が、配線抵抗および配線容量の影響を受けることなく、精度よく移動度変動補正期間を調整でき、シェーディング耐性に優れている。

【0255】

50

駆動トランジスタ121の移動度に対する補正分を保持容量120に書き込まれる情報に加える移動度補正動作を、閾値補正動作の後に、サンプリングトランジスタ125をオンさせて信号電位 V_{in} を保持容量120に応じた情報保持容量120に書き込むサンプリング動作と同時に実行し、また映像信号 V_{sig} の基準電位 V_o と信号電位 V_{in} との切替りに傾斜をつけることで移動度補正期間を信号電位 V_{in} の大きさに自動追従させる仕組みを採る場合、図6に示した基本例の駆動タイミングの方が優れているということである。

【0256】

＜サンプリングトランジスタの特性ばらつきの影響＞

図12～図14は、サンプリングトランジスタ125の特性ばらつきと映像品質との関係を説明する図である。図12では、書込駆動パルス WS と映像信号 V_{sig} の様子を図8に対応するように示すことで、図6に示した基本例の駆動タイミングとした場合に、サンプリングトランジスタ125の特性（特に閾値電圧 V_{th} の）ばらつきが移動度補正期間に与える影響を表している。図13（A）～（C）は、図12に対する変形例であって、図11（A）～（C）に示した条件の場合である。図14では、書込駆動パルス WS と映像信号 V_{sig} の様子を図10に対応するように示すことで、図6に示した基本例に対する変形例の駆動タイミングとした場合に、サンプリングトランジスタ125の特性（特に閾値電圧 V_{th} の）ばらつきが移動度補正期間に与える影響を表している。

【0257】

図8～図10にて説明したように、第2比較例の画素回路 P と、その駆動タイミングでは、移動度補正動作をサンプリング動作と同時に実行し、また移動度補正期間を信号電位 V_{in} の大きさに自動追従させることができ、特に、図6に示したような基本例の駆動タイミングでは、配線抵抗および配線容量の影響を受けることなく、精度よく移動度変動補正期間を調整できシェーディング耐性に優れている。

【0258】

しかしながら、前述の説明では、サンプリングトランジスタ125には特性ばらつきがないものとしていたが、実際には、サンプリングトランジスタ125には特性ばらつきが存在し、その特性ばらつきが配線抵抗や配線容量と関わりを持ち、移動度補正期間や信号電位 V_{in} の保持容量120への書込みゲインに影響を与えてしまい、最終的には、輝度ムラとなって現れる。サンプリングトランジスタ125の特性ばらつきとしては、駆動トランジスタ121と同じように、閾値電圧 V_{th_125} や移動度 μ_{125} に代表される。

【0259】

たとえば、図8での説明でも述べたが、図6に示した基本例の駆動タイミングでは、図12に示すように、移動度補正期間は、サンプリングトランジスタ125がオン状態にある時間によって決定される。そのオン期間は配線抵抗や配線容量と関わりを持ち、たとえば、書込駆動パルス WS に対して設定するアクティブ H の期間幅 t_0 （ $t_{16} \sim t_{17}$ ）や配線抵抗や配線容量が同じであっても、移動度補正期間は、サンプリングトランジスタ125の閾値電圧 V_{th_125} のばらつきの影響を受ける。

【0260】

移動度補正時間は、 V_{th_a} のときには t_a 、 V_{th_b} （ $V_{th_a} < V_{th_b}$ とする）のときには t_b （ $t_a > t_b$ ）となり、閾値電圧 V_{th_125} が大きいほど実際のオン期間（サンプリング期間&移動度補正期間 K に相当）は短くなってしまう。サンプリングトランジスタ125のオンタイミングやオフタイミングは、そのゲート電位（書込駆動パルス WS の電位）とソース電位（信号電位 V_{in} の電位）との差であるゲート・ソース間 V_{gs_125} と閾値電圧 V_{th_125} との関係で決まるからである。

【0261】

なお、図12にて説明したことは、エンハンスメント型のサンプリングトランジスタ125のドレイン端 D を映像信号線106 HS に接続しソース端 S を駆動トランジスタ121のゲート端 G と保持容量120の一方の端子との接続点（ノード ND_{122} ）に接続する場合のことであるが、図12に対応するように簡易的に示した図13の各図に示すように、その他の態様であっても、閾値電圧 V_{th} （の絶対値）が異なることに起因してオン期間

（事実上のサンプリング期間&移動度補正期間K）に変動が生じる点では同じことが言える。

【0262】

たとえば、図13（A）に示すように、ドレイン端Dおよびソース端Sの接続態様を前述と同じにしたままで、ディプレッション型にした場合でもよい。この場合、移動度補正時間は、 V_{th_a} のときには t_a 、 V_{th_b} （ $V_{th_a} < V_{th_b}$ とする）のときには t_b （ $t_a < t_b$ ）となり、閾値電圧 V_{th_125} （の絶対値）が大きいほど実際のオン期間（サンプリング期間&移動度補正期間Kに相当）は長くなってしまふ。

【0263】

このように、閾値電圧 V_{th_125} が正であるエンハンスメント型と閾値電圧 V_{th_125} が負であるディプレッション型とでは、サンプリングトランジスタ125のオンタイミングやオフタイミングにおけるゲート電位とソース電位の関係が正であるのか負であるのかが異なるが、閾値電圧 V_{th} （の絶対値）が異なることに起因してオン期間に変動が生じる点では相違ない。なお、閾値電圧 V_{th} （の絶対値）が異なることに起因するオン期間の変動方向に関しては、エンハンスメント型のときと逆になる。

【0264】

また、図13（B）に示すように、サンプリングトランジスタ125のドレイン端Dおよびソース端Sの接続態様を前述と逆にして、ソース端Sを映像信号線106HSに接続し、ドレイン端Dを駆動トランジスタ121のゲート端Gと保持容量120の一方の端子との接続点（ノードND122）に接続した場合でもよい。

【0265】

この場合、移動度補正時間は、 V_{th_a} のときには t_a 、 V_{th_b} （ $V_{th_a} < V_{th_b}$ とする）のときには t_b （ $t_a < t_b$ ）となり、閾値電圧 V_{th_125} （の絶対値）が大きいほど実際のオン期間（サンプリング期間&移動度補正期間Kに相当）は短くなってしまふ。

【0266】

このように、サンプリングトランジスタ125のソース端Sとドレイン端Dの接続態様を逆転させた場合、オン電圧 V_{on} が信号電位 V_{in} に対して設定される点では、図12に示した接続態様ではオン電圧 V_{on} が書込み&移動度補正準備期間Gにてサンプリングトランジスタ125のゲートに設定されている電圧（ここでは基準電位 V_o と同じとする）に対して設定されるのと異なるようになるが、閾値電圧 V_{th} （の絶対値）が異なることに起因してオン期間に変動が生じる点では相違ない。なお、閾値電圧 V_{th} （の絶対値）が異なることに起因するオン期間の変動方向に関しては、同じくエンハンスメント型のときの図12に示した接続態様と同じになる。

【0267】

また、図13（C）に示すように、サンプリングトランジスタ125のドレイン端Dおよびソース端Sの接続態様を前述と逆にして、かつ、ディプレッション型を使用することもできる。この場合、移動度補正時間は、 V_{th_a} のときには t_a 、 V_{th_b} （ $V_{th_a} < V_{th_b}$ とする）のときには t_b （ $t_a < t_b$ ）となり、閾値電圧 V_{th_125} （の絶対値）が大きいほど実際のオン期間（サンプリング期間&移動度補正期間Kに相当）は長くなってしまふ。閾値電圧 V_{th} （の絶対値）が異なることに起因するオン期間の変動方向に関しては、同様の接続態様においてエンハンスメント型を使用した場合に対して逆になるが、同じくディプレッション型のときの図13（A）に示した接続態様と同じになる。

【0268】

また、変形例の駆動タイミングでは、図14に示すように、移動度補正時間は、書込駆動パルスWSと信号電位 V_{in} の位相差および信号電位 V_{in} の大きさによって決定される。たとえ、書込駆動パルスWSに対するアクティブHの期間の設定幅 t_0 や書込駆動パルスWSに対する信号電位 V_{in} が立上がる時点の位相差 Δt_0 や信号電位 V_{in} の大きさ並びに配線抵抗や配線容量が同じであっても、移動度補正時間は、サンプリングトランジスタ125の閾値電圧 V_{th_125} のばらつきの影響を受ける。

【0269】

10

20

30

40

50

V_{th_a} のときには t_a 、 V_{th_b} ($V_{th_a} < V_{th_b}$ とする) のときには t_b ($t_a > t_b$) となり、閾値電圧 V_{th_125} が大きいほどサンプリング期間 & 移動度補正期間 K は短くなってしまふ。サンプリングトランジスタ 125 のオフタイミングは、そのゲート電位 (書込駆動パルス WS の電位) とソース電位 (信号電位 V_{in} の電位) との差であるゲート・ソース間 V_{gs_125} と閾値電圧 V_{th_125} との関係で決まるからである。

【0270】

なお、図 14 にて説明したことは、エンハンスメント型のサンプリングトランジスタ 125 のドレイン端 D を映像信号線 106HS に接続しソース端 S を駆動トランジスタ 121 のゲート端 G と保持容量 120 の一方の端子との接続点 (ノード $ND122$) に接続する場合のことであるが、図示を割愛するが、基本例の駆動タイミングに関して図 13 の各図に示したと同様のその他の態様であっても、概ね同じことが言える。

10

【0271】

加えて、サンプリングトランジスタ 125 の閾値電圧 V_{th_125} がばらつくと、そのオン抵抗もばらつき (変動し)、信号電位 V_{in} をサンプリングしたときのその他の回路部材とのインピーダンス関係が変動してしまう。このため、信号電位 V_{in} が同じであっても、保持容量 120 に書き込まれる信号電位 V_{in} に対応する情報量がばらついてしまふ。換言すれば、保持容量 120 への書込みゲイン G_{input} が、サンプリングトランジスタ 125 の閾値電圧 V_{th_125} のばらつきの影響を受けてしまふ。

【0272】

なお、サンプリングトランジスタ 125 の特性ばらつきが移動度補正期間や書込みゲインのばらつきとして影響を与える点は、図 5 に示した第 2 比較例の画素回路 P に限るものではなく、特許文献 1 に記載されている $5TR$ 駆動の構成を採る場合でも図示を用いた具体的な説明は割愛するが同様に起こり得る。また、図 2 に示した第 1 比較例の画素回路 P においては、サンプリングトランジスタ 125 の特性ばらつきが書込みゲインのばらつきとして影響を与える。

20

【0273】

これら、サンプリングトランジスタ 125 の閾値電圧 V_{th_125} のばらつきに起因するサンプリング期間 & 移動度補正期間 K や書込みゲイン G_{input} のばらつきは輝度ムラとして現れる。特に、低温ポリシリコンにおいては、線状のレーザー光 (ライン光) を半導体基板に照射しつつそのライン光の長手方向と直交する方向へ走査して結晶化させるエキシマレーザーアニール処理 (以下、単にアニール処理とも称する) を行なうので、そのアニール処理時の走査ムラ (照射幅や走査ピッチや走査速度や照射強度などの変動) の影響を受け、光源として使用されるレーザー光の特質 (線状であること) が画素アレイ部 102 の各画素回路 P の特性ばらつきに現れる。

30

【0274】

具体的には、ある走査時点 (走査位置) では、線状に概ね一定かつ均等の照射強度で半導体基板を照射するので、各画素回路 P の特性が、レーザー光 (ライン光) の長手方向に沿っては概ね均等になるのに対して、アニール処理時の走査方向には、ばらつきを持ってしまふ。その結果、表示画面上では、アニール処理時の走査方向と一定の関係を持って線状に輝度ムラが発生し、視覚的には、筋状のノイズとして観察されてしまふ。

40

【0275】

線状のレーザー光で半導体基板を走査してアニール処理を行なうので、画素アレイ部 102 における画素回路 P の特性ばらつきが本質的に線状相関性を持って現れ易い特徴があり、各画素回路 P の特性ばらつきのレベルが小さくても、それが筋状のノイズとなって画像に現れ、視覚的にも感知され易い傾向がある。

【0276】

各画素回路 P の特性ばらつきのレベルが同じであっても、それが線状に蓄積し筋模様として認識される場合と、不規則に分布している場合では、人間の感じ方は大きく異なり、不規則に分布している場合の方がずっと自然に受け入れることができる。これは、幾何学的なパターン認識ができる場合は、どうしてもそこに意識が集中してしまうという人間の

50

認知心理学的な特性によるものである。

【0277】

このような問題を解消するには、線状のレーザー光の照射幅や走査ピッチや走査速度や照射強度などのアニール処理時のばらつき要因を極力小さくすることが先ず第1の手法として考えられる。しかしながら、当然に、その対処には限度がある。

【0278】

そこで、本実施形態では、表示画面上において筋状に現れる輝度ムラの要因が、線状のレーザー光を走査するアニール処理にある点に着目し、アニール処理時の照射幅および走査ピッチを考慮したサンプリグトランジスタ125の構成に特徴を持つ画素回路Pにするとともに、半導体回路形成時のパターン設計を工夫する。回路的な側面からと製造面から対策を講じるのである。具体的には、アニール処理時の走査過程におけるある時点での、アニール処理時の一照射幅内におけるサンプリグトランジスタ125の配置を工夫することで、アニール処理時のばらつき要因が表示画面に与える影響を緩和する。以下、画素回路からの側面と、半導体回路形成時のパターン設計および製造プロセスの側面について、具体的に説明する。

【0279】

＜画素回路：本実施形態：第1例＞

図15は、表示画面上におけるアニール処理時のばらつき要因を緩和し得るようにした本実施形態の画素回路Pの第1例と、当該画素回路Pを備えた有機EL表示装置の一実施形態を示す図である。本実施形態の第1例の画素回路Pを画素アレイ部102に備える有機EL表示装置1を本実施形態の第1例の有機EL表示装置1と称する。

【0280】

先ず、本実施形態の第1例の有機EL表示装置1は、図5に示した第2比較例の画素回路Pと同様の機能要素を持つ複数の画素回路Pを行列状に配置した画素アレイ部102を備え、たとえば、有機EL素子127の経時劣化による駆動電流変動を防ぐ回路（ブートストラップ回路）を搭載し、また駆動トランジスタ121の特性変動（閾値電圧ばらつきや移動度ばらつき）による駆動電流変動を防ぐ駆動方式を採用する点に特徴を有する。そのため、駆動タイミングとしては、図6～図6Iに示した第2比較例と同じものが適用される。

【0281】

加えて、本実施形態の第1例の有機EL表示装置1においては、画素回路Pごとに、画素回路Pを構成するサンプリグトランジスタ125を複数並列に配置する。回路図的には、映像信号線106HSと駆動トランジスタ121のゲート端Gとの間に、各同一端子同士（なおソース端とドレイン端とは逆であってもよい）を接続する。つまり電気信号的には、複数個のサンプリグトランジスタを並列接続する。

【0282】

たとえば、図15では、2つのサンプリグトランジスタ125a, 125bを使用し、サンプリグトランジスタ125a, 125bは、各ドレイン端Dを共通に映像信号線106HSに接続し、各ソース端Sを共通に駆動トランジスタ121のゲート端Gに接続し、各ゲート端Gを共通に書込走査線104WSに接続している。

【0283】

一方、基板101上に物理的に複数のサンプリグトランジスタ125を並列に配置する際には、1つの画素回路Pに1つのサンプリグトランジスタ125を設けたときと同じ画素ピッチを維持するべく、トランジスタサイズを等分にして配置する。

【0284】

たとえば、サンプリグトランジスタ125を1つとしたときの設計値で、サンプリグトランジスタ125のゲート長がL、ゲート幅がWの場合、2つに分けたサンプリグトランジスタ125a, 125bでは、ゲート長をL、ゲート幅をW/2とすれば、レイアウト面積は変わることがなく、画素ピッチを広げることなく配置が可能である。こうすることで、一方の行（または列）のサンプリグトランジスタ125aと他方の行（また

10

20

30

40

50

は列) のサンプリングトランジスタ 1 2 5 b との間隔を近づけることができる。

【0 2 8 5】

また、回路パターンの側面を考慮したとき、複数のサンプリングトランジスタ 1 2 5 a , 1 2 5 b をアニール処理時の走査方向に沿って、かつ走査時のレーザー光の照射幅内に少なくとも 1 つが完全に納まるとともに、他の一部 (好ましくは 2 つめも完全に) も収まような配置にする。

【0 2 8 6】

つまり、製造時のアニール処理時には、その複数のサンプリングトランジスタの配置態様に適合するように、走査方向や照射幅や走査ピッチを設定する。好ましくは、複数個に分けたサンプリングトランジスタ 1 2 5 の配列方向に関して、その配列ピッチよりもアニール処理時の 1 回当たりの照射幅を広くする、換言すれば、アニール処理時の 1 回当たりの照射幅よりも各サンプリングトランジスタの配列ピッチの方が狭くなるようにする。

【0 2 8 7】

その結果として、隣接行 (または隣接列) 間でのサンプリングトランジスタ 1 2 5 a , 1 2 5 b の特性を、行 (または列) 内に 1 つのサンプリングトランジスタ 1 2 5 を配する場合よりも近づけることができ、行 (または列) 内の画素回路 P 全体としては、隣接行 (または隣接列) との特性差が少なくなり、筋状の輝度ムラは緩和される。

【0 2 8 8】

たとえば、図 1 5 では、行方向に延在した線状のレーザー光を列方向に走査を進める事例で、2 つのサンプリングトランジスタ 1 2 5 a , 1 2 5 b を、回路パターンの側面での配置をも考慮して、回路図上でも、概ね、回路パターン上のサンプリングトランジスタ 1 2 5 a , 1 2 5 b の配置概要と対応させて示している。こうすることで、第 1 例においては、一方の行のサンプリングトランジスタ 1 2 5 a と他方の隣接行のサンプリングトランジスタ 1 2 5 b との間隔を近づけることができる。

【0 2 8 9】

製造時には、図 1 5 にも示しているように、画素回路 P の 1 行分を含むようにアニール処理時の照射幅を設定する。こうすることで、先ず、アニール処理時の走査過程におけるある時点での、アニール処理時の一照射幅内には、走査ピッチに関わらず、必ず、複数個 (本例では 2 個) のサンプリングトランジスタ 1 2 5 が入る。図 1 5 では、照射幅を画素ピッチと同じにした例で示している。

【0 2 9 0】

なお、言うまでもないが、アニール処理時の走査過程では、必ず、各走査ステップでの照射幅の一部が重なるように、走査を進めていく。たとえば、図 1 5 では、走査ピッチを、照射幅の半分にした例で示している。

【0 2 9 1】

こうすることで、アニール処理走査過程のある時点でちょうど行上にあるときには (P a) 、1 つの画素回路 P の全体が照射幅内にちょうど納まるような関係となる (もちろん、この時点は未だ画素回路 P は形成されていないが : 以下同様) 。したがって、その照射幅内には、同一行の各サンプリングトランジスタ 1 2 5 a , 1 2 5 b が納まる。

【0 2 9 2】

次の走査ステップでは照射幅の半分だけ走査が進むので、2 行分について、それぞれ半分が照射幅内にちょうど納まるような関係となる (P b) 。したがって、その照射幅内には、一方の行のサンプリングトランジスタ 1 2 5 (たとえば 1 2 5 a) と、他方の行のサンプリングトランジスタ 1 2 5 (前例との対比では 1 2 5 b) とが納まる。

【0 2 9 3】

さらに次の走査ステップでは照射幅の半分だけ走査が進むので、次の行の画素回路 P の全体が照射幅内にちょうど納まるような関係となる (P c) 。したがって、その照射幅内には、同一行の各サンプリングトランジスタ 1 2 5 a , 1 2 5 b が納まる。

【0 2 9 4】

さらに次の走査ステップでは照射幅の半分だけ走査が進むので、2 行分について、それ

10

20

30

40

50

ぞれ半分が照射幅内にちょうど納まるような関係となる（P d）。したがって、その照射幅内には、一方の行のサンプリングトランジスタ1 2 5（たとえば1 2 5 a）と、他方の行のサンプリングトランジスタ1 2 5（前例との対比では1 2 5 b）とが納まる。以下、同様の繰り返しとなる。

【0 2 9 5】

ここで、P a，P b，P c，P d時点でのアニール処理時に、照射幅や走査ピッチや走査速度や照射強度などの変動が少しあったとすると、その影響が各サンプリングトランジスタ1 2 5 a，1 2 5 bの特性ばらつきとして現れる。

【0 2 9 6】

しかしながら、各行の各サンプリングトランジスタ1 2 5 a，1 2 5 bは、複数時点でアニール処理を受けるので、行内での画素回路P全体としてのサンプリングトランジスタの特性としては、各時点のアニール処理ばらつきの影響が緩和される。

【0 2 9 7】

たとえば、2行目の画素回路Pでは、サンプリングトランジスタ1 2 5 aはP b時点とP c時点でアニール処理がなされ、サンプリングトランジスタ1 2 5 bはP c時点とP d時点でアニール処理がなされる。2行目の画素回路Pのサンプリングトランジスタの特性は、P b，P c時点でアニール処理されたサンプリングトランジスタ1 2 5 aの特性とP c，P d時点でアニール処理されたサンプリングトランジスタ1 2 5 bの特性を合成したものとなる。

【0 2 9 8】

他行との関係においては、サンプリングトランジスタ1 2 5 a，1 2 5 bの間隔が近づいており、隣接行間でのサンプリングトランジスタ1 2 5 a，1 2 5 bの特性を、行内に1つのサンプリングトランジスタ1 2 5を配する場合よりも揃えることができ、行内の画素回路P全体としては、隣接行との特性差が少なくなり、筋状の輝度ムラは緩和される。

【0 2 9 9】

＜画素回路：本実施形態：第2例＞

図1 6は、表示画面上におけるアニール処理時のばらつき要因を緩和し得るようにした本実施形態の画素回路Pの第2例と、当該画素回路Pを備えた有機EL表示装置の一実施形態を示す図である。本実施形態の第2例の画素回路Pを画素アレイ部1 0 2に備える有機EL表示装置1を本実施形態の第2例の有機EL表示装置1と称する。

【0 3 0 0】

画素回路Pごとに、画素回路Pを構成するサンプリングトランジスタ1 2 5を複数配置する基本的な考え方は、図1 5に示した第1例と同じである。一方、第1例では、行方向に延在した線状のレーザー光を列方向に走査を進める場合に対応するように、複数のサンプリングトランジスタ1 2 5を列方向に並べていたのに対して、第2例では、列方向に延在した線状のレーザー光を行方向に走査を進める場合に対応するように、複数のサンプリングトランジスタ1 2 5を行方向に並べる点異なる。

【0 3 0 1】

たとえば、図1 6では、列方向に延在した線状のレーザー光を行方向に走査を進める事例で、2つのサンプリングトランジスタ1 2 5 a，1 2 5 bを、回路パターンの側面での配置をも考慮して、回路図上でも、概ね、回路パターン上のサンプリングトランジスタ1 2 5 a，1 2 5 bの配置概要と対応させて示している。こうすることで、第2例においては、一方の列のサンプリングトランジスタ1 2 5 aと他方の隣接列のサンプリングトランジスタ1 2 5 bとの間隔を近づけることができる。

【0 3 0 2】

製造時には、図1 6にも示しているように、画素回路Pの1列分を含むようにアニール処理時の照射幅を設定する。こうすることで、先ず、アニール処理時の走査過程におけるある時点での、アニール処理時の一照射幅内には、走査ピッチに関わらず、必ず、複数個（本例では2個）のサンプリングトランジスタ1 2 5が入る。図1 6では、照射幅を画素ピッチと同じにした例で示している。

【0303】

こうすることで、アニール処理走査過程のある時点でちょうど列上にあるときには（P a）、1つの画素回路Pの全体が照射幅内にちょうど納まるような関係となる（もちろん、この時点は未だ画素回路Pは形成されていないが：以下同様）。したがって、その照射幅内には、同一列の各サンプリングトランジスタ125a、125bが納まる。

【0304】

次の走査ステップでは照射幅の半分だけ走査が進むので、2列分について、それぞれ半分が照射幅内にちょうど納まるような関係となる（P b）。したがって、その照射幅内には、一方の列のサンプリングトランジスタ125（たとえば125a）と、他方の列のサンプリングトランジスタ125（前例との対比では125b）とが納まる。

10

【0305】

さらに次の走査ステップでは照射幅の概ね半分だけ走査が進むので、次の列の画素回路Pの全体が照射幅内にちょうど納まるような関係となる（P c）。したがって、その照射幅内には、同一列の各サンプリングトランジスタ125a、125bが納まる。

【0306】

さらに次の走査ステップでは照射幅の概ね半分だけ走査が進むので、2列分について、それぞれ半分が照射幅内にちょうど納まるような関係となる（P d）。したがって、その照射幅内には、一方の列のサンプリングトランジスタ125（たとえば125a）と、他方の列のサンプリングトランジスタ125（前例との対比では125b）とが納まる。以下、同様の繰り返しとなる。

20

【0307】

これにより、P a、P b、P c、P d時点でのアニール処理時に照射幅や走査ピッチや走査速度や照射強度などの変動があっても、列内での画素回路P全体としてのサンプリングトランジスタの特性としては、各時点のアニール処理ばらつきの影響が緩和される。

【0308】

たとえば、2列目の画素回路Pでは、サンプリングトランジスタ125aはP b時点とP c時点でアニール処理がなされ、サンプリングトランジスタ125bはP c時点とP d時点でアニール処理がなされる。2列目の画素回路Pのサンプリングトランジスタの特性は、P b、P c時点でアニール処理されたサンプリングトランジスタ125aの特性とP c、P d時点でアニール処理されたサンプリングトランジスタ125bの特性を合成した

30

【0309】

他列との関係においては、サンプリングトランジスタ125a、125bの間隔が近づいており、隣接列間でのサンプリングトランジスタ125a、125bの特性を、列内に1つのサンプリングトランジスタ125を配する場合よりも揃えることができ、列内の画素回路P全体としては、隣接列との特性差が少なくなり、筋状の輝度ムラは緩和される。

【0310】

このように、画素回路Pごとにサンプリングトランジスタ125を複数に分け、その配置態様を勘案してアニール処理時の走査方向や照射幅および走査ピッチを適合させることで、画素回路P全体としてのサンプリングトランジスタ125の合成特性を近づけることができる。その結果として、輝度ムラを防止し、良好な画質を得ることが可能となる。

40

【0311】

以上、本発明について実施形態を用いて説明したが、本発明の技術的範囲は上記実施形態に記載の範囲には限定されない。発明の要旨を逸脱しない範囲で上記実施形態に多様な変更または改良を加えることができ、そのような変更または改良を加えた形態も本発明の技術的範囲に含まれる。

【0312】

また、上記の実施形態は、クレーム（請求項）に係る発明を限定するものではなく、また実施形態の中で説明されている特徴の組合せの全てが発明の解決手段に必須であるとは限らない。前述した実施形態には種々の段階の発明が含まれており、開示される複数の構

50

成要件における適宜の組合せにより種々の発明を抽出できる。実施形態に示される全構成要件から幾つかの構成要件が削除されても、効果が得られる限りにおいて、この幾つかの構成要件が削除された構成が発明として抽出され得る。

【0313】

＜画素回路の変形例＞

たとえば、回路理論上は「双対の理」が成立するので、画素回路Pに対しては、この観点からの変形を加えることができる。この場合、図示を割愛するが、先ず、図5に示した画素回路Pがnチャンネル型のトランジスタを用いて構成しているのに対し、pチャンネル型のトランジスタを用いて画素回路Pを構成する。これに合わせて映像信号Vsigの基準電位Voに対する信号電位Vinの極性や電源電圧の大小関係を逆転させるなど、双対の理に従った変更を加える。

10

【0314】

たとえば「双対の理」に従った変形態様の画素回路Pでは、pチャンネル型の駆動トランジスタ（以下p型駆動トランジスタ121pと称する）のゲート端Gとソース端Sとの間に保持容量120を接続し、p型駆動トランジスタ121pのソース端Sを直接に有機EL素子127のカソード端Kに接続する。有機EL素子127のアノード端Aは基準電位としてのアノード電位Vanodeにする。このアノード電位Vanodeは、基準電位を供給する全画素共通の基準電源（高電位側）に接続する。

【0315】

p型駆動トランジスタ121pは、そのドレイン端Dが低電圧側の電源電位Vcc_Lに接続され、有機EL素子127を発光させる駆動電流Idsを流す。映像信号線106HSと書込走査線104WSとの交差部にはpチャンネル型のサンプリグトランジスタ（以下p型サンプリグトランジスタ125pと称する）を配する。p型サンプリグトランジスタ125pは、ゲート端Gを書込走査部104からの書込走査線104WSに接続し、ドレイン端D（もしくはソース端S）を映像信号線106HSに接続し、ソース端S（もしくはドレイン端D）をp型駆動トランジスタ121pのゲート端Gと保持容量120の一方の端子との接続点に接続する。p型サンプリグトランジスタ125pのゲート端Gには書込走査部104からアクティブLの書込駆動パルスWSを供給する。

20

【0316】

このような双対の理を適用してトランジスタをp型にした変形例の有機EL表示装置においても、前述のn型にした有機EL表示装置と同様に、閾値補正動作、移動度補正動作、およびブートストラップ動作を実行することができる。加えて、画素回路Pごとに、画素回路Pを構成するサンプリグトランジスタ125を複数に分けて配置する基本的な考え方を適用することで、画素回路P全体としてのサンプリグトランジスタ125の合成特性を近づけることができ、輝度ムラを防止し、良好な画質を得ることができる。

30

【0317】

なお、ここで説明した変形例は、図5に示した構成に対して「双対の理」に従った変更を加えたものであるが、回路変更の手法はこれに限定されるものではない。

【図面の簡単な説明】

【0318】

【図1】本発明に係る表示装置の一実施形態であるアクティブマトリクス型表示装置の構成の概略を示すブロック図である。

40

【図2】本実施形態の画素回路および有機EL表示装置に対する第1比較例を示す図である。

【図3】図2に示した第1比較例の画素回路の動作を説明するタイミングチャートである。

【図4】有機EL素子や駆動トランジスタの特性ばらつきが駆動電流に与える影響を説明する図である。

【図4A】駆動トランジスタの特性ばらつきが駆動電流に与える影響の改善手法の概念を説明する図（その1）である。

50

【図 4 B】駆動トランジスタの特性ばらつきが駆動電流に与える影響の改善手法の概念を説明する図（その 2）である。

【図 5】本実施形態の画素回路および有機 E L 表示装置に対する第 2 比較例を示す図である。

【図 6】図 5 に示した第 2 比較例の画素回路に関する駆動タイミングの基本例を説明するタイミングチャートである。

【図 6 B】第 2 比較例の画素回路に対する駆動タイミングにおける発光期間 B の等価回路と動作説明の図である。

【図 6 C】第 2 比較例の画素回路に対する駆動タイミングにおける初期化期間 C の等価回路と動作説明の図である。

【図 6 D】第 2 比較例の画素回路に対する駆動タイミングにおける閾値補正期間 E の当初の期間 D の等価回路と動作説明の図である。

【図 6 E】第 2 比較例の画素回路に対する駆動タイミングにおける閾値補正期間 E の等価回路と動作説明の図である。

【図 6 F】第 2 比較例の画素回路に対する駆動タイミングにおける期間 F の等価回路と動作説明の図である。

【図 6 G】第 2 比較例の画素回路に対する駆動タイミングにおける書込み & 移動度補正準備期間 G の等価回路と動作説明の図である。

【図 6 H】第 2 比較例の画素回路に対する駆動タイミングにおけるサンプリング期間 & 移動度補正期間 H の等価回路と動作説明の図である。

【図 6 I】第 2 比較例の画素回路に対する駆動タイミングにおける発光期間 I の等価回路と動作説明の図である。

【図 7】移動度補正期間を決定する画素回路に対する動作タイミングを説明する模式図である。

【図 8】サンプリング期間および移動度補正期間と書込走査線および映像信号線の配線抵抗および配線容量との関係を説明する模式図であって、図 6 に示した基本例の駆動タイミングでの画面左右方向に着目した場合を示す。

【図 9】サンプリング期間および移動度補正期間と書込走査線および映像信号線の配線抵抗および配線容量との関係を説明する模式図であって、図 6 に示した基本例の駆動タイミングでの画面上下方向に着目した場合を示す。

【図 10】サンプリング期間および移動度補正期間と書込走査線および映像信号線の配線抵抗および配線容量との関係を説明する模式図であって、図 6 に示した基本例に対する変形例の駆動タイミングでの画面左右方向に着目した場合を示す。

【図 11】サンプリング期間および移動度補正期間と書込走査線および映像信号線の配線抵抗および配線容量の関係を説明する模式図であって、図 8 に対する変形例を示す。

【図 12】図 6 に示した基本例の駆動タイミングとした場合に、サンプリングトランジスタの閾値電圧ばらつきが移動度補正期間に与える影響を説明する図である。

【図 13】図 6 に示した基本例の駆動タイミングとした場合に、サンプリングトランジスタの閾値電圧ばらつきが移動度補正期間に与える影響を説明する図（図 12 に対する変形例）である。

【図 14】図 6 に示した基本例に対する変形例の駆動タイミングとした場合に、サンプリングトランジスタの閾値電圧ばらつきが移動度補正期間に与える影響を説明する図である。

【図 15】本実施形態の画素回路および有機 E L 表示装置の第 1 例を示す図である。

【図 16】本実施形態の画素回路および有機 E L 表示装置の第 2 例を示す図である。

【符号の説明】

【0319】

1…有機 E L 表示装置、101…基板、102…画素アレイ部、103…垂直駆動部、104…書込走査部、104WS…書込走査線、105…駆動走査部、105DSL…電源供給線、106…水平駆動部、106HS…映像信号線、109…制御部、120…保持容量

10

20

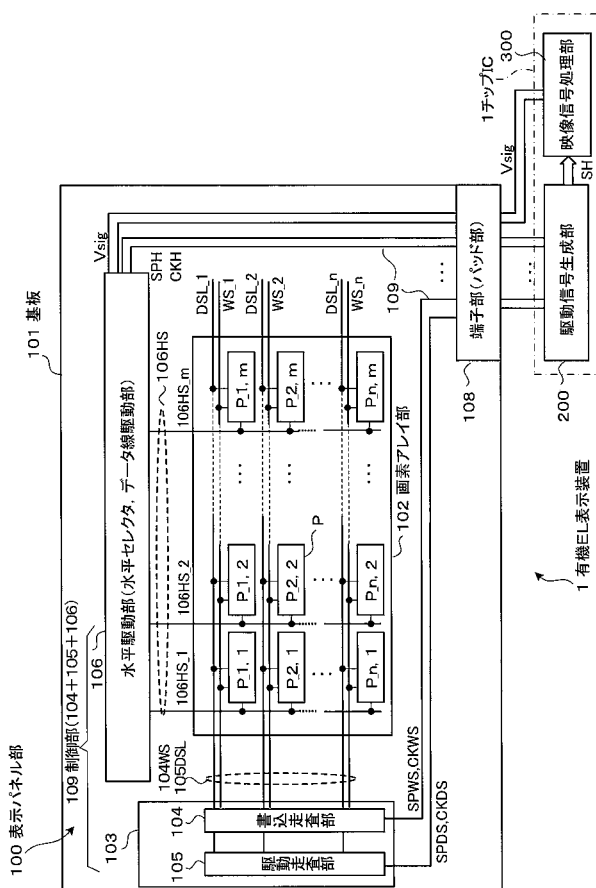
30

40

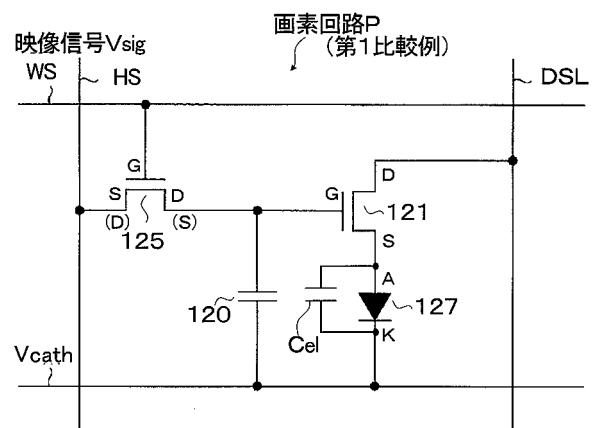
50

、121…駆動トランジスタ、125, 125a, 125b…サンプリングトランジスタ、127…有機EL素子、Cel…有機EL素子の寄生容量、P…画素回路、Vsig…映像信号、Vo…基準電位、Vin…信号電位、Vcc_H…第1電位、Vcc_L…第2電位、WS…書込駆動パルス、DSL…電源駆動パルス

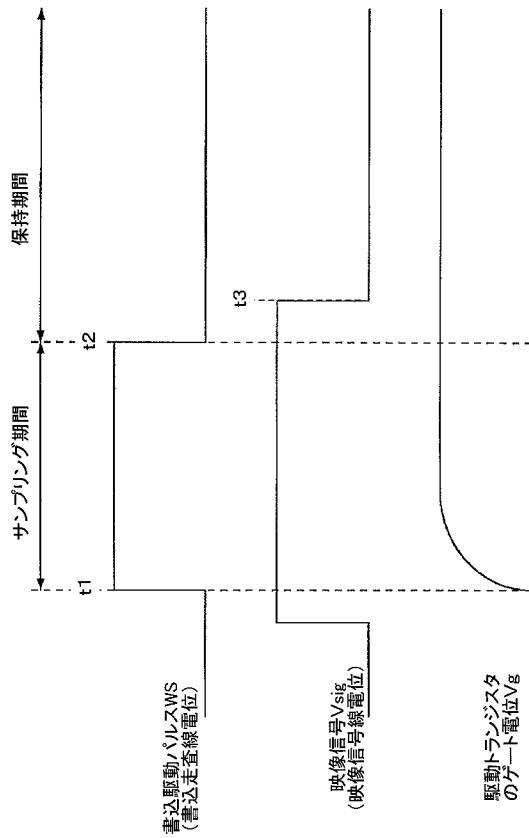
【図1】



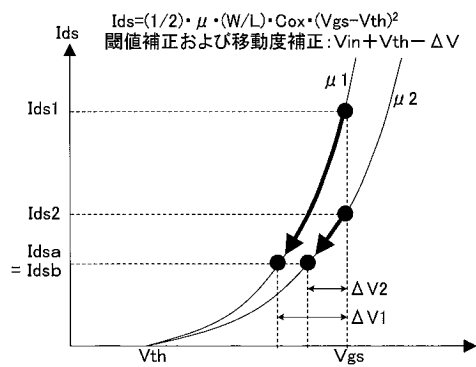
【図2】



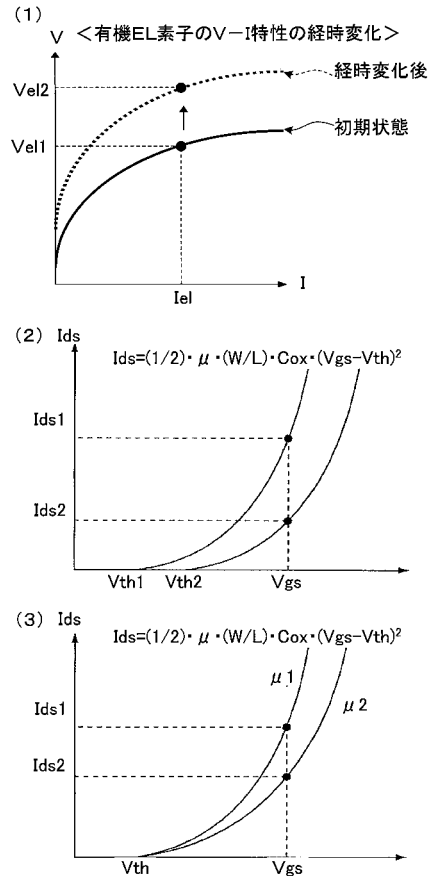
【図 3】



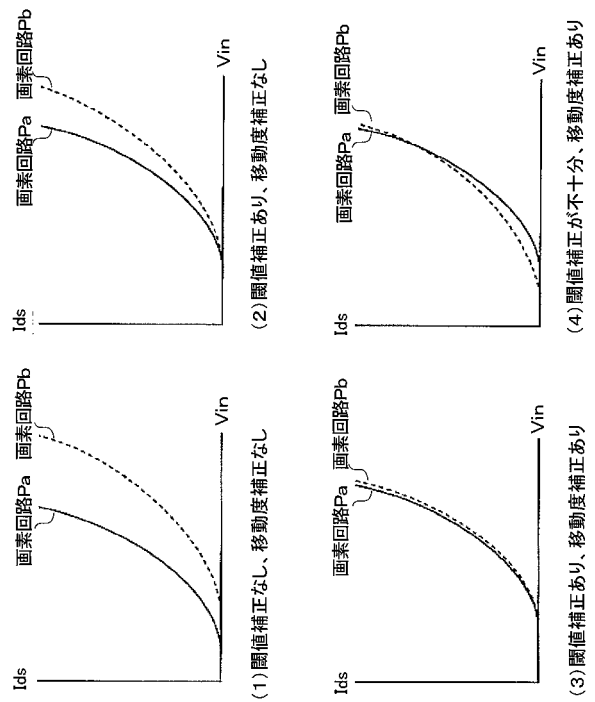
【図 4 A】



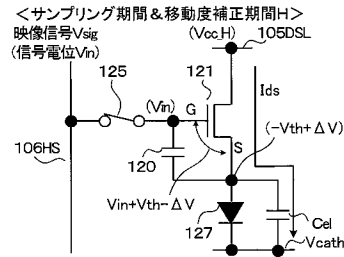
【図 4】



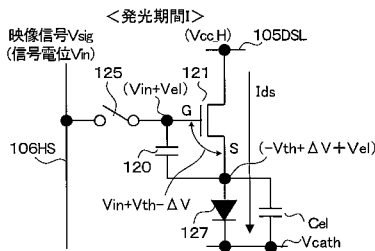
【図 4 B】



【図 6 H】

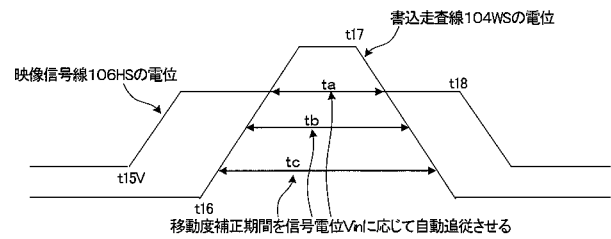


【図 6 I】

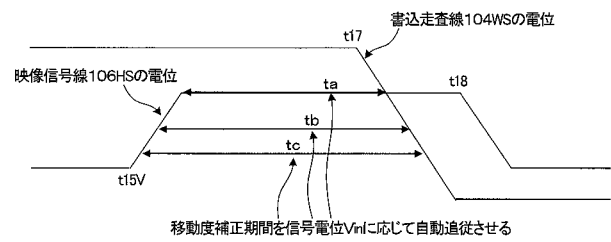


【図 7】

(A) 基本例の駆動タイミング

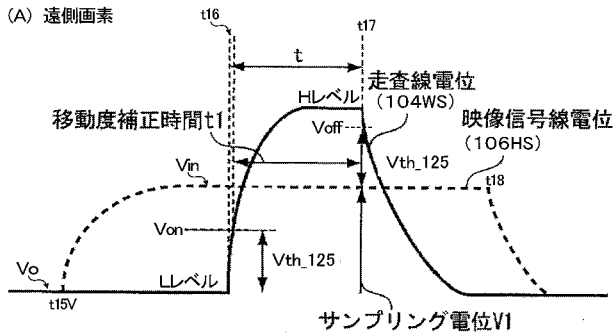


(B) 変形例の駆動タイミング



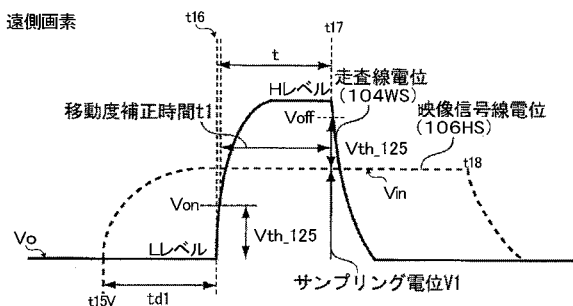
【図 8】

(A) 遠側画素

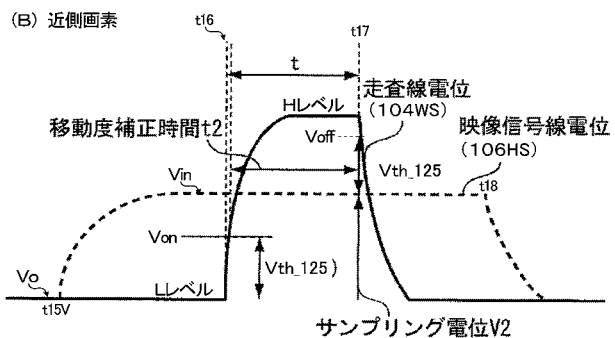


【図 9】

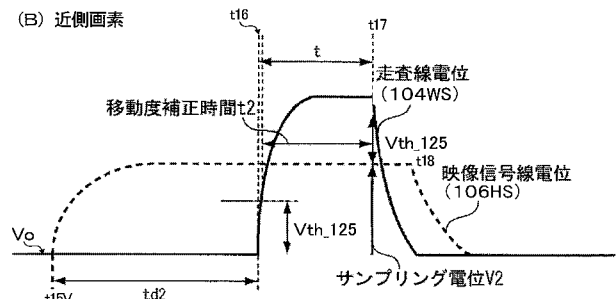
(A) 遠側画素



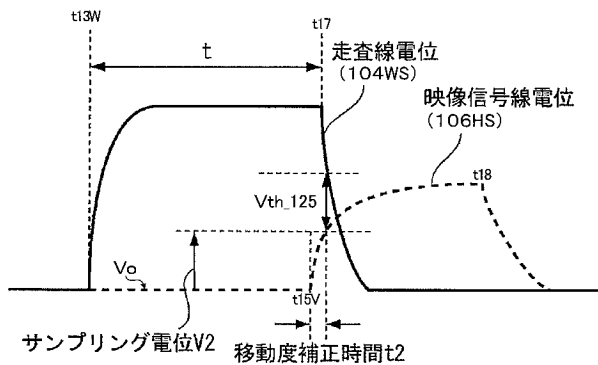
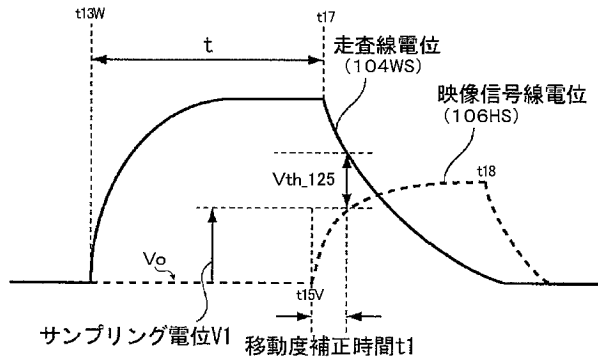
(B) 近側画素



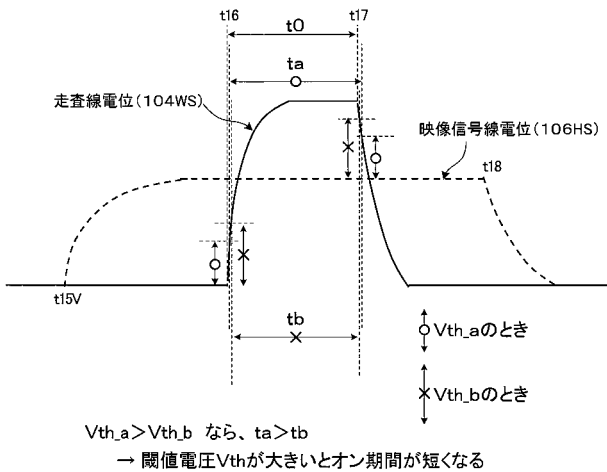
(B) 近側画素



【図 10】



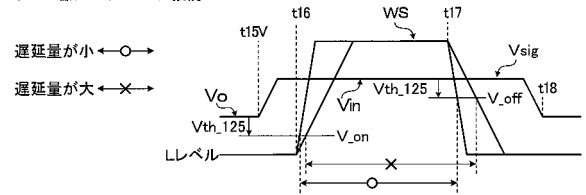
【図 12】



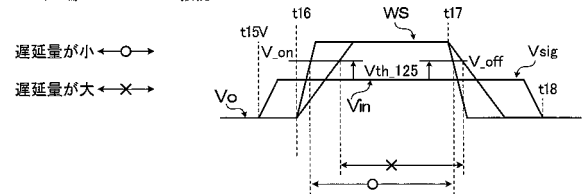
$V_{th,a} > V_{th,b}$ なら、 $t_a > t_b$
 → 閾値電圧 V_{th} が大きいとオン期間が長くなる

【図 11】

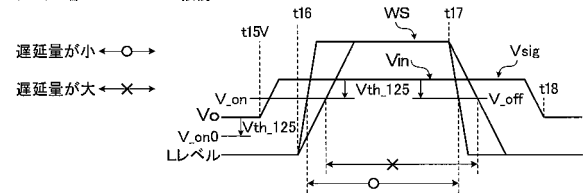
- (A) サンプルングトランジスタ125がディプレッション型
 &ドレイン端が映像信号線106HSIに接続
 &ソース端がノードN122Iに接続



- (B) サンプルングトランジスタ125がエンハンスメント型
 &ソース端が映像信号線106HSIに接続
 &ドレイン端がノードN122Iに接続

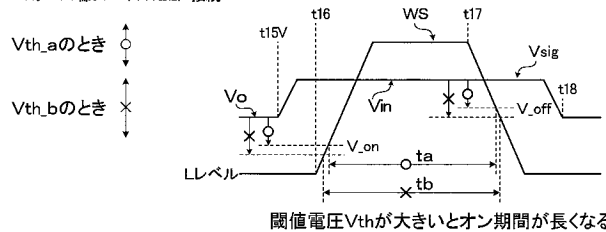


- (C) サンプルングトランジスタ125がディプレッション型
 &ソース端が映像信号線106HSIに接続
 &ドレイン端がノードN122Iに接続



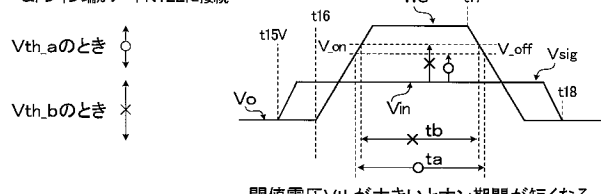
【図 13】

- (A) サンプルングトランジスタ125がディプレッション型
 &ドレイン端が映像信号線106HSIに接続
 &ソース端がノードN122Iに接続



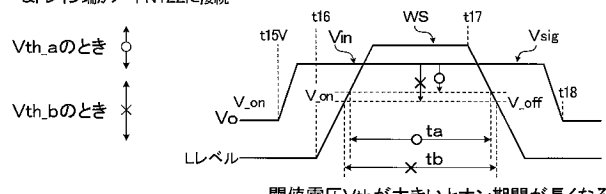
閾値電圧 V_{th} が大きいとオン期間が長くなる

- (B) サンプルングトランジスタ125がエンハンスメント型
 &ソース端が映像信号線106HSIに接続
 &ドレイン端がノードN122Iに接続



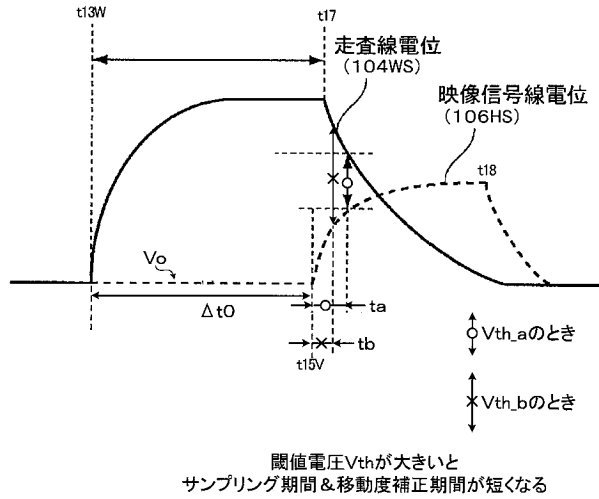
閾値電圧 V_{th} が大きいとオン期間が短くなる

- (C) サンプルングトランジスタ125がディプレッション型
 &ソース端が映像信号線106HSIに接続
 &ドレイン端がノードN122Iに接続

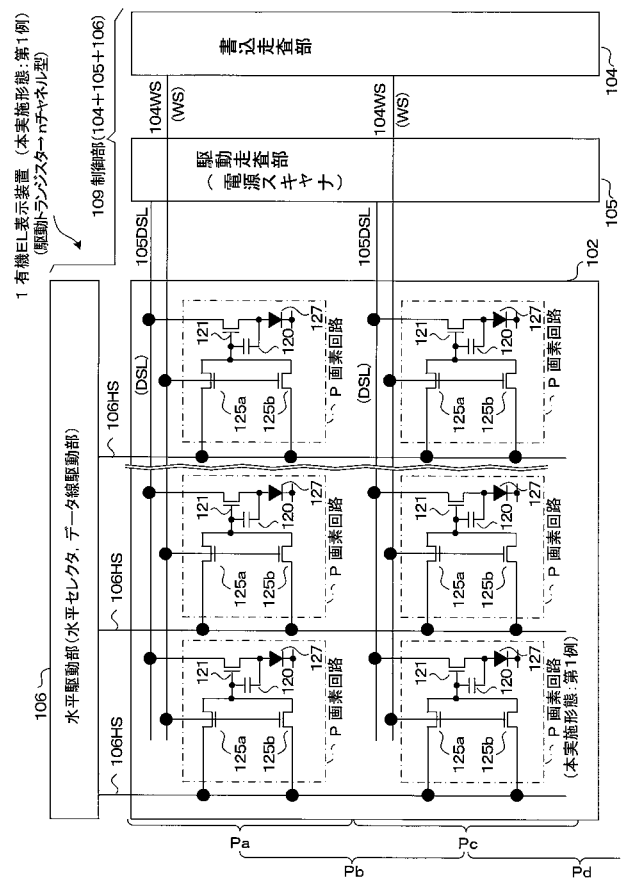


閾値電圧 V_{th} が大きいとオン期間が長くなる

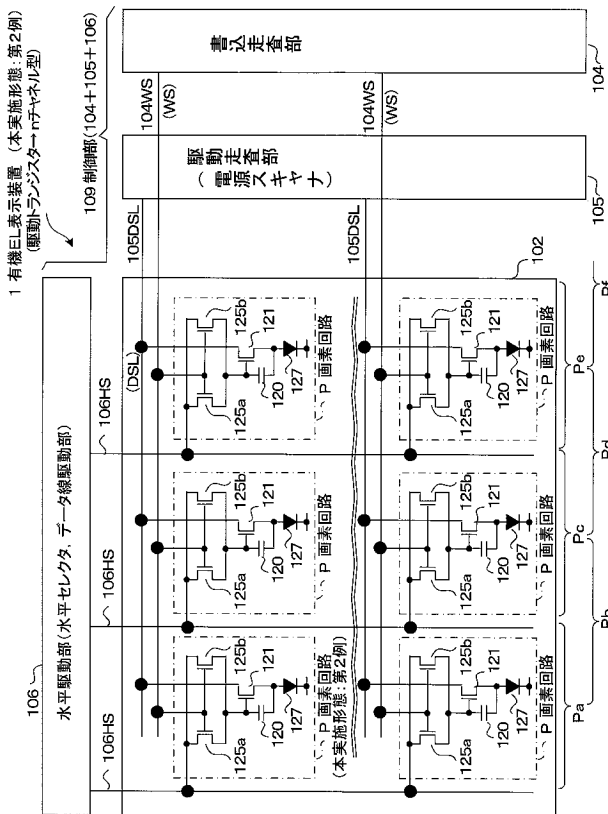
【図 14】



【図 15】



【図 16】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

G 0 9 G	3/20	6 2 3 A
G 0 9 G	3/20	6 2 2 B
G 0 9 G	3/20	6 2 2 C
G 0 9 G	3/20	6 2 2 D
G 0 9 G	3/20	6 2 3 C
G 0 9 G	3/20	6 4 2 C
H 0 5 B	33/14	A
H 0 5 B	33/10	

专利名称(译)	像素电路，显示装置和显示装置的制造方法		
公开(公告)号	JP2008197517A	公开(公告)日	2008-08-28
申请号	JP2007034445	申请日	2007-02-15
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	飯田幸人 内野勝秀		
发明人	飯田 幸人 内野 勝秀		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 H05B33/10		
FI分类号	G09G3/30.J G09G3/20.611.H G09G3/20.642.A G09G3/20.624.B G09G3/20.670.J G09G3/20.623.A G09G3/20.622.B G09G3/20.622.C G09G3/20.622.D G09G3/20.623.C G09G3/20.642.C H05B33/14.A H05B33/10 G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/CC35 3K107/EE03 3K107/GG26 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD03 5C080/DD05 5C080/DD29 5C080/EE29 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/AB23 5C380/AB24 5C380/AB31 5C380/BA32 5C380/BA36 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB21 5C380/BD02 5C380/BD05 5C380/CA08 5C380/CA12 5C380/CA53 5C380/CA54 5C380/CB01 5C380/CB20 5C380/CB31 5C380/CC04 5C380/CC06 5C380/CC07 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC41 5C380/CC61 5C380/CC63 5C380/CD013 5C380/CD022 5C380/DA02 5C380/DA06 5C380/DA47		
代理人(译)	船桥 国则		
外部链接	Espacenet		

摘要(译)

在有机EL显示装置中，改善了由采样晶体管的特性变化引起的亮度不均匀性。种类代码：A1基于具有保持电容器，驱动晶体管和采样晶体管的2TR配置像素电路，将采样晶体管分成用于每个像素电路P的多个采样晶体管。在退火过程中，设定扫描方向，照射宽度和扫描间距，以匹配采样晶体管125a和125b的排列方式。优选地，关于多个采样晶体管125a和125b的布置方向，每一次退火处理的照射宽度Pa至Pd被设置为宽于采样晶体管125a和125b的布置间距。 .The 15

