

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2007-41580
(P2007-41580A)

(43) 公開日 平成19年2月15日(2007.2.15)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	5C080
G09G 3/20 (2006.01)	G09G 3/20 670J	
	G09G 3/20 642C	
	G09G 3/20 621M	
	G09G 3/20 623R	
審査請求 未請求 請求項の数 7 O L (全 53 頁) 最終頁に続く		

(21) 出願番号	特願2006-184941 (P2006-184941)	(71) 出願人	000153878
(22) 出願日	平成18年7月4日 (2006.7.4)		株式会社半導体エネルギー研究所
(31) 優先権主張番号	特願2005-194600 (P2005-194600)		神奈川県厚木市長谷398番地
(32) 優先日	平成17年7月4日 (2005.7.4)	(72) 発明者	吉田 泰則
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		(72) 発明者	木村 肇
			神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		(72) 発明者	山崎 舜平
			神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		Fターム(参考)	5C080 AA06 BB05 CC03 DD04 DD20 DD29 EE29 EE30 FF11 JJ02 JJ03 JJ04 JJ05 JJ06

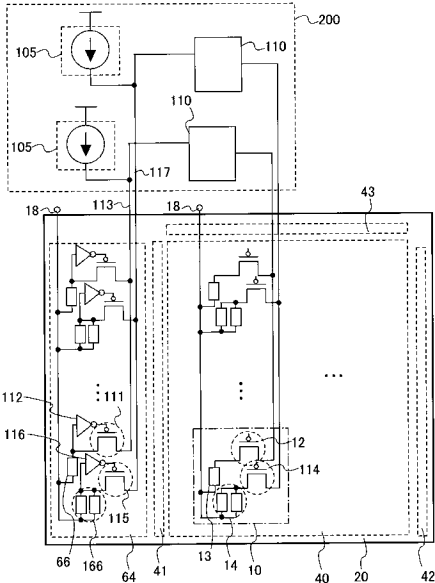
(54) 【発明の名称】 表示装置及びその駆動方法

(57) 【要約】

【課題】面積階調を行うEL表示装置において、画質の向上と安定化を図ることを目的とする。

【解決手段】一つの画素に概ね同じ色の光を発する発光素子を個別に有する複数のサブ画素と、画素と同じ数のサブ画素を持つ複数のモニター用画素とを設け、モニター用画素の発光素子は、画素の発光素子と同時に作製され、モニター用画素の発光素子の電極は、サブ画素ごとにそれぞれ異なる定電流源に接続され、モニター用画素の発光素子の電極の電位の変化に従って画素の発光素子の電極の電位をサブ画素ごとに変化させる差動増幅回路を設けることで上記課題を解決する。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

発光素子をマトリクス状に配列させた画素部と、画素部の外側に設けられた複数のモニター用発光素子を有するモニター部と、
前記複数のモニター用発光素子の電位を検出するモニター線と、
前記複数のモニター用発光素子の一又は複数のショートしたときに、前記モニター線を介して該ショートしたモニター用発光素子へ供給する電流を遮断するスイッチとを有することを特徴とする表示装置。

【請求項 2】

一つの画素が、発光素子を有する複数のサブ画素で構成され、
前記画素と同じ構成を備えたモニター用画素を有し、
前記モニター用画素の発光素子の電位の変化に従って、前記画素の発光素子にかかる電位をサブ画素ごとに变化させる回路を有することを特徴とする表示装置。

10

【請求項 3】

一つの画素が、同じ発光色の発光素子で形成される複数のサブ画素で構成され、
前記画素と同じ構成を備えたモニター用画素を有する表示装置であって、
前記モニター用画素に属する発光素子は、前記画素の発光素子と同時に作製されたものであって、
前記モニター用画素の発光素子は、サブ画素ごとにそれぞれ異なる定電流源に接続され、
前記モニター用画素の発光素子の電位の変化に従って、前記画素の発光素子にかかる電位をサブ画素ごとに变化させる回路を有することを特徴とする表示装置。

20

【請求項 4】

第 1 の発光素子が第 1 の駆動用トランジスタに接続する第 1 のサブ画素と、
複数の第 2 の発光素子が並列接続されると共に第 2 の駆動用トランジスタに接続する第 2 のサブ画素とを有する画素がマトリクス状に配列する画素部と、
前記画素部の外側に、第 3 の発光素子が第 3 の駆動用トランジスタに接続する第 3 のサブ画素と、複数の第 4 の発光素子が並列接続されると共に第 4 の駆動用トランジスタに接続する第 4 のサブ画素とを備えたモニター用画素を有し、
前記第 1 の発光素子と前記第 3 の発光素子及び、前記第 2 の発光素子と前記第 4 の発光素子は同等の特性を有し、
前記モニター用画素において、前記第 3 の発光素子と、前記第 4 の発光素子はそれぞれ異なる定電流源に接続され、該第 3 の発光素子と、該第 4 の発光素子の電位の変化に従って、
前記画素における前記第 1 の発光素子と、前記第 2 の発光素子に印加する電位を変化させる回路を有することを特徴とする表示装置。

30

【請求項 5】

請求項 4 において、
前記画素及びモニター用画素のサブ画素は選択用トランジスタと、前記発光素子と接続する駆動用トランジスタと、電圧を保持する容量素子とを有し、前記選択用トランジスタと前記駆動用トランジスタは、アモルファスシリコンで形成されていることを特徴とする表示装置。

40

【請求項 6】

請求項 5 において、
前記駆動用トランジスタのゲート電極に負電圧を印加するプリチャージ回路を有することを特徴とする表示装置。

【請求項 7】

請求項 6 において、
前記プリチャージ回路によって前記駆動用トランジスタのゲート電極に表れる電位は、前

50

記サブ画素の発光素子にかかる電圧の低電位側電位と同じ又は該低電位側電位よりも高く、前記サブ画素の駆動用トランジスタのソース電極電位に前記サブ画素の駆動用トランジスタの閾値電圧値を加えた電位よりも同じ又は小さいことを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、発光素子で画素を構成する表示装置及びその駆動方法に関する。

【背景技術】

【0002】

エレクトロルミネセンス（Electro Luminescence）素子（以下、「発光素子」ともいう）で画素を形成した平板型の表示装置の開発が進められている。この表示装置は、画面が平板状であるにもかかわらず、画素の発光素子が自ら発光するので、液晶表示装置に比べて視野角が広いと言われている。また、液晶表示装置に比べて薄型化及び軽量化を図ることができるという利点が注目されている。

【0003】

発光素子で画素を形成する場合、画素の輝度を制御する方法として、発光素子に流す電流値、若しくは電圧値を制御するアナログ階調法が知られている（例えば、特許文献1参照）。また、発光素子の発光時間を制御する時間階調法が知られている（例えば、特許文献2参照）。その他に、一つの画素を複数の領域に分割し、分割された個々の画素の発光状態を制御する面積階調法が知られている（例えば、特許文献3参照）。

【特許文献1】特開2003-288055号公報

【特許文献2】特開2002-123219号公報

【特許文献3】特開2001-184015号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、発光素子は温度変化や発光時間の経過により輝度が変わってしまうといった問題を有している。このような輝度の劣化は、面積階調法を採用する表示装置において、画質の劣化として顕著に表れるので解決すべき問題とされている。

【0005】

そこで本発明は、発光素子を用いて面積階調を行う表示装置において、画質の向上と安定化を図ることを目的とする。

【課題を解決するための手段】

【0006】

本発明は、発光素子で構成される画素を有する表示装置の一部に、該画素と同じ構成の発光素子をモニター用発光素子として設け、該モニター素子の変動を考慮し、発光素子へ供給する電圧、又は電流を補正することを要旨とする。

【0007】

本発明は、複数のモニター用発光素子と、複数のモニター用発光素子が有する電極の電位の変化をモニターするモニター線と、複数のモニター用発光素子のいずれかがショートすると、モニター線を介してショートしたモニター用発光素子へ供給される電流を電氣的に遮断する手段とを有する表示装置である。

【0008】

本発明は、一つの表示用画素に概略同じ発光色の発光素子で形成されるサブ画素を複数有し、この表示用画素と同じ構成のモニター用画素を備えた表示装置である。この画素に設けられる発光素子とモニター用画素に設けられる発光素子は同じ構成を備え、製造工程において同時に作製されたものであることが好ましい。モニター用画素内の発光素子は、サブ画素ごとにそれぞれ異なる定電流源に接続されている。また表示装置はモニター用画素内の該発光素子の電位の変化に従って、表示用画素の発光素子にかかる電位をサブ画素ごとに変化させる差動増幅回路を有している。

10

20

30

40

50

【発明の効果】

【0009】

画素に設けた発光素子と同じ構成のモニタ用発光素子を設けることで、環境温度の変化や経時劣化による輝度バラツキを抑制することができる。それにより、画質の向上若しくは安定化を図ることができる。

【発明を実施するための最良の形態】

【0010】

以下に、本発明の実施の形態を図面に基づいて説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細をさまざまに変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態を説明するための全図において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。

10

【0011】

なお本明細書において、各素子間の接続は、電氣的に接続されていることを示す。そのため、接続関係を有する素子間に、半導体素子やスイッチング素子等を介して接続することもありうる。

【0012】

また本明細書において、トランジスタのソース電極及びドレイン電極は、トランジスタの構成上、ゲート電極以外の電極を便宜上区別するために採用されている名称である。本発明において、トランジスタの極性に限定されない構成の場合、その極性を考慮すると、ソース電極及びドレイン電極の名称は変化する。そのため、ソース電極又はドレイン電極を、一方の電極及び他方の電極のいずれかとして記載することがある。

20

【0013】

(実施の形態1)

本実施の形態では、モニター用発光素子を有するパネルの構成について図面を参照して説明する。

【0014】

図1は画素部40、信号線駆動回路43、第1の走査線駆動回路41、第2の走査線駆動回路42、モニター回路64が設けられているパネルの構成を示している。このパネルは絶縁基板20を用いて形成されている。

30

【0015】

画素部40には、複数の画素10が設けられ、各画素には、第1の発光素子13、第1の発光素子13に接続し、電流の供給を制御する機能を有する第1の駆動用トランジスタ12が設けられている。第1の発光素子13は、電源18に接続されている。また、各画素には、前記第1の駆動用トランジスタ12と第1の発光素子13とおなじ接続関係にある第2の駆動トランジスタ114、第2の発光素子14が設けられていても良い。第2の駆動トランジスタ114と第2の発光素子14は、第1の駆動用トランジスタ12と第1の発光素子13と電源を共有し、並列に接続されていても良い。ここで、第2の発光素子14は、図1のように、第1の発光素子と同等若しくはほぼ同等の機能を有する発光素子を二つ並列に接続した構成であっても良い。しかし、これに限定されず、第1の発光素子13のように一つであっても良い。また、3個以上の複数の発光素子を並列に接続した構成でも良いし、これら複数の発光素子の機能が同等でなくても良い。例えば、第1の発光素子13と比べて、発光面積が異なっても良い。つまり、一つの画素で第2の駆動トランジスタ114及び第2の発光素子14が、第1の駆動用トランジスタ12及び第1の発光素子13と並列に接続されていれば良い。なお、より具体的な画素10の構成は、以下の実施の形態で例示する。

40

【0016】

モニター回路64は、第1のモニター用発光素子66、第1のモニター用発光素子66に接続された第1のモニター制御用トランジスタ111、第1のインバーター112を有

50

している。第1のインバーター112は、出力端子が第1のモニター制御用トランジスタ111のゲート電極に接続されている。また第1のインバーター112の入力端子は、第1のモニター制御用トランジスタ111のソース又はドレイン電極の一方と第1のモニター用発光素子66に接続されている。第1のモニター制御用トランジスタ111には、電源線113を介して、定電流源105が接続されている。モニター回路64の他のモニター制御用トランジスタは、複数のモニター用発光素子のそれぞれへ、電源線113からの電流供給を制御するための機能を有する。電源線113は、複数のモニター用発光素子が有する電極に接続されているため、該電極の電位の変化をモニターする機能を有することができる。また定電流源105は、電源線113へ一定電流を供給する機能を有すれば良い。また、モニター回路64でも、画素10と同じく電源を共有し、第1のモニター制御用トランジスタ111、第1のモニター用発光素子66及び第1のインバーター112と並列に接続された第2のモニター制御用トランジスタ115、第2のモニター用発光素子166及び第2のインバーター116を有していても良い。

10

【0017】

第1のモニター用発光素子66は、第1の発光素子13と同一の作製条件により、同一の工程で作製されたものであり、同一構成を有する。そのため、環境温度の変化と経時劣化に対して同じ特性又はほぼ同じ特性を有する。この第1のモニター用発光素子66は、電源18に接続されている。ここで、第1の発光素子13と接続される電源と、該第1のモニター用発光素子66に接続される電源とは、同一電位のため、同一の符号を用いて電源18として示す。なお本実施の形態では、第1のモニター制御用トランジスタ111の極性をpチャネル型として説明するが、これに限定されるものではなく、nチャネル型を用いても良い。その場合、適宜周囲の回路構成を変更させる。

20

【0018】

第2のモニター用発光素子166、第2のモニター制御用トランジスタ115、第2のインバーター116に関しても同様であり、第2のモニター用発光素子166は、第2の発光素子14と同一の作製条件により、同一の工程で作製されたものであり、同一構成を有する。そのため、環境温度の変化と経時劣化に対して同じ特性、又はほぼ同じ特性を有する。この第2のモニター用発光素子166は、電源18に接続されている。ここで、第2の発光素子14と接続される電源と、該第2のモニター用発光素子166に接続される電源とは同一電位のため、同一の符号を用いて、電源18と記載する。なお本実施の形態では、第2のモニター制御用トランジスタ115の極性をpチャネル型として説明するが、これに限定されるものではなく、nチャネル型を用いても良い。その場合、適宜周囲の回路構成を変更させる。

30

【0019】

このようなモニター回路64を設ける位置は限定されず、信号線駆動回路43と画素部40との間や、第1又は第2の走査線駆動回路41、42と画素部40との間に設けても良い。

【0020】

モニター回路64と画素部40の間には、バッファアンプ回路110が設けられている。バッファアンプ回路とは、入力と出力とが同じ電位であって、入力インピーダンスが高く、出力電流容量が高いという特性をもつ回路である。そのため、このような特性をもつ回路であれば、回路構成は適宜決定することができる。

40

【0021】

このような構成において、バッファアンプ回路は、第1のモニター用発光素子66及び第2のモニター用発光素子166の一方の電極の電位の変化に伴い、画素部40が有する第1の発光素子13及び第2の発光素子14に印加する電圧を変化させる機能を有する。

【0022】

このような構成において、制御回路100内の定電流源105、及びバッファアンプ回路110は同一な絶縁基板20上に設けても、別の基板上に設けても良い。

【0023】

50

以上のような構成において、第１のモニター用発光素子６６及び第２のモニター用発光素子１６６には定電流源１０５から一定の電流が供給される。この状態で、環境温度の変化や経時劣化が生じると、第１のモニター用発光素子６６及び第２のモニター用発光素子１６６の抵抗値が変化する。例えば、経時劣化が生じると、第１のモニター用発光素子６６及び第２のモニター用発光素子１６６の抵抗値が増加する。すると、第１のモニター用発光素子６６及び第２のモニター用発光素子１６６へ供給される電流値は一定であるため、第１のモニター用発光素子６６及び第２のモニター用発光素子１６６の両端の電位差が変化する。具体的には、第１のモニター用発光素子６６及び第２のモニター用発光素子１６６が有する両電極間の電位差が変化する。このとき、電源１８に接続された電極の電位は固定されているため、定電流源１０５に接続されている電極の電位が変化する。この電極の電位の変化は、電源線１１３を介してバッファアンプ回路１１０に供給される。 10

【００２４】

すなわち、バッファアンプ回路１１０の入力端子には、上記電極の電位の変化が入力される。また、バッファアンプ回路１１０の出力端子から出力される電位は、第１の駆動用トランジスタ１２及び第２の駆動トランジスタ１１４を介して、第１の発光素子１３及び第２の発光素子１４に供給される。具体的には、出力された電位は、第１の発光素子１３及び第２の発光素子１４が有する電極の一方の電位として与えられる。

【００２５】

このようにして、環境温度の変化や経時劣化の変化に応じた第１のモニター用発光素子６６及び第２のモニター用発光素子１６６の変化を、第１の発光素子１３及び第２の発光素子１４にフィードバックする。その結果、第１の発光素子１３及び第２の発光素子１４は、環境温度の変化や経時劣化の変化に応じた輝度で点灯することができる。従って、環境温度の変化や経時劣化の変化によらない表示を行うことができる表示装置を提供することができる。 20

【００２６】

さらに、複数の第１のモニター用発光素子６６及び第２のモニター用発光素子１６６を設けているため、これらの電位の変化を平均化して、第１の発光素子１３及び第２の発光素子１４へ供給することができる。すなわち本発明において、第１のモニター用発光素子６６及び第２のモニター用発光素子１６６を複数設けることにより電位の変化を平均化することができる。また複数の第１のモニター用発光素子６６及び第２のモニター用発光素子１６６を設けることにより、ショート等が生じたモニター用発光素子の代替を用意することができる。 30

【００２７】

そして、第１のモニター用発光素子６６及び第２のモニター用発光素子１６６に接続された第１のモニター制御用トランジスタ１１１及び第２のモニター制御用トランジスタ１１５に加えて、第１のインバーター１１２及び第２のインバーター１１６を設けることが好ましい。これは第１のモニター用発光素子６６及び第２のモニター用発光素子１６６の不良（初期不良や経時不良を含む）により生じる、モニター回路６４の動作不良を考慮して設けられている。例えば、定電流源１０５と第１のモニター制御用トランジスタ１１１及び第２のモニター制御用トランジスタ１１５とが、その他のトランジスタ等を介さず接続されている場合、複数のモニター用発光素子のうち、ある第１のモニター用発光素子６６及び第２のモニター用発光素子１６６が、作製工程中の不良等により、モニター用発光素子が有する陽極と陰極とがショート（短絡）する場合を考える。すると、定電流源１０５からの電流は、電源線１１３を介して、ショートした第１のモニター用発光素子６６及び第２のモニター用発光素子１６６へ多く供給されてしまう。複数のモニター用発光素子は、それぞれ並列に接続されているため、ショートした第１のモニター用発光素子６６及び第２のモニター用発光素子１６６へ多くの電流が供給されると、その他のモニター用発光素子には、所定の一定電流が供給されなくなる。その結果、適切な第１のモニター用発光素子６６及び第２のモニター用発光素子１６６の電位の変化を、第１の発光素子１３及び第２の発光素子１４へ供給することができなくなってしまう。 40 50

【0028】

このようなモニター用発光素子のショートは、該モニター用発光素子の陽極の電位と陰極の電位とが同じとなる。例えば、作製工程中、陽極と、陰極との間のゴミ等により、ショートすることがある。また、陽極と陰極とのショート以外にも、走査線と陽極がショートすること等により、モニター用発光素子がショートすることもある。

【0029】

そこで本実施の形態では、第1のモニター制御用トランジスタ111及び第2のモニター制御用トランジスタ115に加えて、第1のインバーター112及び第2のインバーター116を設けている。第1のモニター制御用トランジスタ111及び第2のモニター制御用トランジスタ115は、上記のような第1のモニター用発光素子66及び第2のモニター用発光素子166のショート等による多量の電流の供給を防止するため、ショートした第1のモニター用発光素子66及び第2のモニター用発光素子166への電流の供給が止まるようにする。つまりショートしたモニター用発光素子とモニター線とを電氣的に遮断する。

10

【0030】

第1のインバーター112及び第2のインバーター116は、複数のモニター用発光素子のいずれかがショートすると、モニター制御用トランジスタをオフとする電位を出力する機能を有する。加えて第1のインバーター112及び第2のインバーター116は、複数のモニター用発光素子のいずれもショートしていないときには、モニター制御用トランジスタをオンとする電位を出力する機能を有する。

20

【0031】

図6を用いて、モニター回路64の詳しい動作を説明する。図6(A)に示すように、第1のモニター用発光素子66が有する電極において、高電位側をアノード電極66a、低電位側をカソード電極66cとすると、アノード電極66aは第1のインバーター112の入力端子に接続され、カソード電極66cは電源18に接続され、固定電位となる。そのため、第1のモニター用発光素子66が有する陽極と陰極とがショートすると、アノード電極66aの電位が、カソード電極66cの電位に近づく。その結果、第1のインバーター112には、カソード電極66cの電位に近い低電位が供給されるため、第1のインバーター112が有するpチャネル型のトランジスタ112pがオンとなる。すると、高電位側の電位(Va)が第1のインバーター112より出力され、第1のモニター制御用トランジスタ111のゲート電位となる。すなわち、第1のモニター制御用トランジスタ111のゲートに入力される電位はVaとなり、第1のモニター制御用トランジスタ111はオフとなる。

30

【0032】

同様に、第2のモニター用発光素子166が有する電極において、高電位側をアノード電極166a、低電位側をカソード電極166cとすると、アノード電極166aは第2のインバーター116の入力端子に接続され、カソード電極166cは電源18に接続され、固定電位となる。そのため、第2のモニター用発光素子166が有する陽極と陰極とがショートすると、アノード電極166aの電位が、カソード電極166cの電位に近づく。その結果、第2のインバーター116には、カソード電極166cの電位に近い低電位が供給されるため、第2のインバーター116が有するpチャネル型のトランジスタ116pがオンとなる。すると、高電位側の電位(Va)が第2のインバーター116より出力され、第2のモニター制御用トランジスタ115のゲート電位となる。すなわち、第2のモニター制御用トランジスタ115のゲートに入力される電位はVaとなり、第2のモニター制御用トランジスタ115はオフとなる。

40

【0033】

なお、高電位(High)となるVDDは、アノード電位と同じか、アノード電位より高く設定する。また、第1のインバーター112及び第2のインバーター116の低電位(Low)、電源18の電位、電源線113の低い側電位、Vaに印加する低い側電位は、全て等しくすることができる。一般的には、低い側電位は、グランドとする。ただしこ

50

れに限定されることはなく、低い側の電位は、高い側電位と所定の電位差を有するように決定すれば良い。所定の電位差は、発光材料の電流、電圧、輝度特性、又は装置の仕様により決定することができる。

【0034】

ここで、第1のモニター用発光素子66及び第2のモニター用発光素子166に一定電流を流す順序に注意する。第1のモニター制御用トランジスタ111及び第2のモニター制御用トランジスタ115がオンの状態で、電源線113に一定電流を流し始める必要がある。本実施の形態では、図6(B)に示すようにVaをLowにしたまま、電源線113に電流を流し始めている。そしてVaは、電源線113の電位が飽和状態となった後、VDDとなるようにする。その結果、第1のモニター制御用トランジスタ111及び第2のモニター制御用トランジスタ115がオンの状態であっても、電源線113に付随する容量素子及び寄生容量を充電することができる。

10

【0035】

一方、第1のモニター用発光素子66及び第2のモニター用発光素子166がショートしていない場合、アノード電極66a及びアノード電極166aの電位が第1のインバーター112及び第2のインバーター116に供給されるため、nチャネル型のトランジスタ112n及び116nがオンとなる。すると、低電位側の電位が第1のインバーター112及び第2のインバーター116より出力され、第1のモニター制御用トランジスタ111及び第2のモニター制御用トランジスタ115はオンとなる。

【0036】

このようにして、ショートしたモニター用発光素子へは、定電流源105からの電流が供給されないようにすることができる。従って、モニター用発光素子が複数ある場合、モニター用発光素子がショートしたとき、ショートしたモニター用発光素子への電流供給を遮断することで電源線113の電位の変化を最小限に抑えることができる。その結果、適切な第1のモニター用発光素子66及び第2のモニター用発光素子166の電位の変化を、第1の発光素子13及び第2の発光素子14へ供給することができる。

20

【0037】

なお本実施の形態において、定電流源105は、一定の電流を供給することができる回路であればよく、例えばトランジスタを用いて作製することができる。また本実施の形態では、モニター回路64に複数のモニター用発光素子、モニター制御用トランジスタ、及びインバーターを有するように説明したが、これに限定されない。例えばインバーターは、モニター用発光素子がショートすると、それを検知して、モニター線を介して、ショートしたモニター用発光素子へ供給される電流を遮断する機能を有していれば、どのような回路を用いても良い。具体的には、ショートしたモニター用発光素子へ、供給される電流を遮断するため、モニター制御用トランジスタをオフとする機能を有していれば良い。

30

【0038】

また本実施の形態では、複数のモニター用発光素子を用いている。この場合、モニター素子の一つが動作不良を起こしても、他のモニター素子が動作していることにより、環境温度の変化や経時劣化による発光素子の特性変動をモニターして、画素10における発光素子の輝度を補正することができる。

40

【0039】

本実施の形態において、バッファアンプ回路110は電位の変動を防止するために設けられている。従って、バッファアンプ回路110のように、電位の変動を防止することが可能な回路ならば、当該バッファアンプ回路110ではなく、別の回路を用いても良い。すなわち、第1のモニター用発光素子66及び第2のモニター用発光素子166の一方の電極の電位を第1の発光素子13及び第2の発光素子14に伝達する際、第1のモニター用発光素子66及び第2のモニター用発光素子166と第1の発光素子13及び第2の発光素子14の間に、電位の変動を防止するための回路を設けると、そのような回路として、上記のバッファアンプ回路110に制約されず、オペアンプ回路などどのような構成の回路を用いても良い。

50

【0040】

ここで、本実施の形態のうち、他の回路構成について、図2を用いて以下に説明する。図2の回路構成は、個々の画素10、モニター回路64の中の素子配置は図1と同じだが、電源の接続方法が図1とは異なっている。すなわち、図1では共通だった電源線113だけではなく電源線117を追加し、サブ画素ごとに独立した電源で駆動できるようになっている。このように、本実施の形態において、電源線をサブ画素ごとに独立して接続しても良い。また、そのとき、それぞれの電源において定電流源105、及びバッファアンプ回路110も独立に配置しても良い。

【0041】

このように、サブ画素ごとに電源線及びこれに接続する制御回路200内の定電流源105、バッファアンプ回路110を配置することの利点としては、モニター素子に流す電流値を、サブ画素ごとに設定することで、補正の精度を上げることができることが挙げられる。本実施の形態にあるようなサブ画素を用いて、面積階調を行う場合、第1の発光素子13と第2の発光素子14の特性は、異なるものにすることができる。例えば、両方のサブ画素に同じ電圧を加えたときに、一方のサブ画素の発光素子の輝度が、もう一方のサブ画素の2倍となるようにしたとき、駆動電圧や発光デューティを変化させることなく、輝度の比で0、1、2、3の4通りの階調を表現できる。このように、それぞれのサブ画素の発光素子の特性を異なるものとしたとき、それらの劣化や温度による特性の変化の様子は、両方で同じとなるとは限らない。そのため、異なる特性をもつ素子の組み合わせによる特性の変化は、非常に複雑なものになってしまう。より正確に補正を行うためには、特性の似通っている素子同士で分けるのが効果的である。サブ画素ごとに電源線及びこれに接続する定電流源105、バッファアンプ回路110を配置し、第1のモニター用発光素子66と第2のモニター用発光素子166の特性を画素10のものと同じにしておけば、より正確な補正が実現できる。

【0042】

なお、本実施の形態において、サブ画素の数は二つのときのみ示したが、サブ画素の数はこれに限定されない。並列に接続されていれば、いくつでも良い。

【0043】

(実施の形態2)

本実施の形態では、上記実施の形態と異なり、モニター用発光素子がショートしたときにモニター制御用トランジスタをオフとする回路構成及びその動作について説明する。なお、実施の形態1では、サブ画素を含めた画素回路で説明を行ったが、本実施の形態で説明を行うのは、各サブ画素に配置されているモニター用発光素子がショートしたときにモニター制御用トランジスタをオフとする回路構成に関することなので、説明はサブ画素ごとの回路とし、重複する説明はしないこととする。

【0044】

図7(A)に示すモニター回路64は、pチャネル型の第1のトランジスタ80、第1のトランジスタ80にゲート電極が共通し、並列に接続されているnチャネル型の第2のトランジスタ81、第2のトランジスタ81に直列に接続されているnチャネル型の第3のトランジスタ82を有する。モニター用発光素子66は、第1及び第2のトランジスタ80、81のゲート電極に接続されている。モニター制御用トランジスタ111のゲート電極は、第1及び第2のトランジスタ80、81が互いに接続されている電極に接続されている。その他の構成は図6に示すモニター回路64と同様であるが、ここではモニター制御用トランジスタ111及びモニター用発光素子66を含むサブ画素のみを図示している。

【0045】

また、第1のpチャネル型のトランジスタ80の高電位側の電位をVaとし、第3のnチャネル型のトランジスタ82のゲート電極の電位をVbとする。そして、電源線113の電位、Va、Vbの電位を図7(B)に示すように動作させる。

【0046】

まず、電源線 113 に付随する容量素子及び寄生容量を完全に充電した状態にし、その後、V_aの電位をH_ig_hとする。モニター用発光素子 66 がショートしている場合、モニター用発光素子 66 の陽極の電位、つまり点 D の電位は、モニター用発光素子 66 の陰極と、同程度にまで下がる。すると、第 1 及び第 2 のトランジスタ 80、81 のゲート電極には、低い電位、つまりL_owが入力され、nチャネル型である第 2 のトランジスタ 81 がオフとなり、pチャネル型である第 1 のトランジスタ 80 がオンとなる。そして、第 1 のトランジスタ 80 の一方の電位である、高い側電位が、モニター制御用トランジスタ 111 のゲート電極へ入力され、モニター制御用トランジスタ 111 はオフとなる。その結果、ショートしたモニター用発光素子 66 には、電源線 113 からの電流は供給されない。

10

【0047】

このとき、ショートの状態がわずかであり、陽極の電位が微少に低下した場合であると、第 1 及び第 2 のトランジスタ 80、81 のいずれがオン、又はオフとなるか制御しづらいことがある。そこで、図 7 に示すように、第 3 のトランジスタ 82 のゲート電極へV_bの電位を供給する。すなわち、図 7 (B) に示すように、V_aがH_ig_hとなっている間に、V_bの電位をL_owとする。すると、nチャネル型である第 3 のトランジスタ 82 はオフとなる。その結果、陽極の電位が、V_{DD}から第 1 のトランジスタのしきい値電圧分下がった電位なら、第 1 のトランジスタ 80 をオンとすることができ、モニター制御用トランジスタ 111 をオフとすることができる。

【0048】

20

このようにV_bの電位を制御することにより、陽極の電位が、微少に下がった場合であっても、モニター制御用トランジスタ 111 を正確にオフとすることができる。なおモニター用発光素子が正常である場合、モニター制御用トランジスタ 111 がオンとなるように制御される。すなわち陽極の電位は、電源線 113 の高電位とほぼ同じとなるため、第 2 のトランジスタ 81 がオンとなる。その結果、低電位がモニター制御用トランジスタ 111 のゲート電極に印加されるため、オンとなる。

【0049】

また図 8 (A) に示すように、pチャネル型の第 1 のトランジスタ 83 と、第 1 のトランジスタ 83 に直列に接続される、pチャネル型の第 2 のトランジスタ 84 と、第 2 のトランジスタ 84 とゲート電極を共通とした、nチャネル型の第 3 のトランジスタ 85 と、第 1 のトランジスタとゲート電極を共通とし、並列に接続されるnチャネル型の第 4 のトランジスタ 86 とを有する。モニター用発光素子 66 は、第 2 及び第 3 のトランジスタ 84、85 のゲート電極に接続されている。モニター制御用トランジスタ 111 のゲート電極は、第 2 及び第 3 のトランジスタ 84、85 が互いに接続されている電極に接続されている。さらにモニター制御用トランジスタ 111 のゲート電極は、第 4 のトランジスタ 86 の一方の電極に接続されている。その他の構成は図 6 に示すモニター回路 64 と同様である。

30

【0050】

まず、電源線 113 に付随する容量素子及び寄生容量を完全に充電した状態にし、その後、V_eの電位をL_owとする。モニター用発光素子 66 がショートしている場合、モニター用発光素子 66 の陽極の電位、つまり点 D の電位は、モニター用発光素子 66 の陰極と、同程度にまで下がる。すると、第 2 及び第 3 のトランジスタ 84、85 のゲート電極には、低い電位、つまりL_owが入力され、nチャネル型である第 3 のトランジスタ 85 がオフとなり、pチャネル型である第 2 のトランジスタ 84 がオンとなる。またV_eの電位をL_owとすると、第 1 のトランジスタ 83 はオンとなり、第 4 のトランジスタ 86 はオフとなる。そして、第 2 のトランジスタ 84 を介して、第 1 のトランジスタの高い側電位が、モニター制御用トランジスタ 111 のゲート電極へ入力され、オフとなる。その結果、ショートしたモニター用発光素子 66 には、電源線 113 からの電流は供給されない。このようにゲート電極の電圧V_eを制御することにより、モニター制御用トランジスタ 111 を正確にオフとすることができる。

40

50

【0051】

(実施の形態3)

発光素子及びモニター用発光素子に逆方向電圧を印加することができる。そこで本実施の形態では、逆方向電圧を印加する場合について説明する。

【0052】

逆方向電圧とは、発光素子13やモニター用発光素子66を発光させるときに印加する電圧を順方向電圧とすると、順方向電圧における高い側の電位と、低い側の電位とを反転させた電圧を印加することである。具体的にモニター用発光素子66を用いて説明すると、アノード電極66aと、カソード電極66cとの電位を反転させるため、電源18の電位より、電源線113に印加する電位を低くすることである。

10

【0053】

具体的には、図14に示すように、アノード電極66aの電位（アノード電位：V_a）及びカソード電極66cの電位（カソード電位：V_c）をLow電位とする。このとき同時に、電源線113の電位（V₁₁₃）も反転させる。このアノード電位及びカソード電位が反転している期間を、逆方向電圧印加期間という。そして、所定の逆方向電圧印加期間経過後、カソード電位を戻し、電源線113に一定電流を流して充電が完了、つまり電圧が飽和した後、電位を戻す。このとき、電源線113の電位が曲線状に戻るのとは、一定電流で複数のモニター用発光素子を充電し、さらには寄生容量を充電することによる。

【0054】

好ましくは、アノード電位を反転させ、次いでカソード電位を反転させると良い。そして所定の逆方向電圧期間経過後、アノード電位を戻し、次いでカソード電位を戻す。そしてアノード電位の反転と同時に、電源線113の電位をHighに充電させる。

20

【0055】

この逆方向電圧印加期間では、駆動用トランジスタ12及びモニター制御用トランジスタ111がオンとなっていなければならない。

【0056】

逆方向電圧を発光素子へ印加する結果、発光素子13、加えてモニター用発光素子66の不良状態を改善し、信頼性を向上させることができる。また、発光素子13、加えてモニター用発光素子66は、異物の付着や、陽極又は陰極にある微細な突起によるピンホール、発光層の不均一性を起因として、陽極と陰極がショートする初期不良が生じることがある。このような初期不良が発生すると、信号に応じた点灯及び非点灯が行われず、電流のほとんどがショートした素子を通して流れてしまう。その結果、画像の表示が良好に行われないう問題が発生する。また、この不良は任意の画素に生じる恐れがある。

30

【0057】

そこで本実施の形態のように、発光素子13、加えてモニター用発光素子66に逆方向電圧を印加すると、ショートした部分に局所的な電流が流れ、該ショートした部分が発熱し、酸化又は炭化させることができる。その結果、ショートした部分を絶縁化させることができ、その部分以外の領域に電流が流れ、発光素子13又はモニター用発光素子66として、正常に動作させることが可能となる。このように逆方向電圧を印加することにより、初期不良が生じて、その不良を解消することができる。なお、このような短絡部の絶縁化は、出荷前に行うと良い。

40

【0058】

また、初期不良だけでなく、時間の経過に伴い、新たに陽極と陰極のショートが発生することがある。このような不良は、進行性不良とも呼ばれる。そこで本発明のように、定期的に発光素子13、加えてモニター用発光素子66に逆方向電圧を印加することにより、進行性不良が生じて、その不良を解消することができ、発光素子13又はモニター用発光素子66として、正常に動作させることが可能となる。

【0059】

加えて、逆方向電圧を印加することによって、画像の焼き付きを防止することができる。画像の焼き付きとは、発光素子13の劣化状態により生じるが、逆方向電圧を印加する

50

ことにより、劣化状態を低減することができる。その結果、画像の焼き付きが防止できる。

【0060】

一般に発光素子13、加えてモニター用発光素子66の劣化は、初期に大きく進み、時間と共に劣化の進行度合いが少なくなってくる。すなわち画素において、一度劣化した発光素子13やモニター用発光素子66は、さらなる劣化が生じにくくなる。その結果、各発光素子13にバラツキが生じる。そのため、出荷前、又は画像を表示しないとき等に、全ての発光素子13、さらにはモニター用発光素子66を点灯し、劣化していない素子に劣化を生じさせることによって、全素子の劣化状態を平均化することができる。このような、全素子を点灯する構成を表示装置に設けても良い。

10

【0061】

(実施の形態4)

本実施の形態では、画素回路及び構成の一例について説明する。図3には、本発明の画素部に用いることのできる画素回路を示す。画素部40は、データ線Sx、ゲート線Gy、電源線Vxがマトリックス状に設けられており、それらの交点には画素10が設けられている。画素10は、スイッチング用トランジスタ11、駆動用トランジスタ12、容量素子16、発光素子13を有する。

【0062】

当該画素における接続関係を説明する。スイッチング用トランジスタ11は、データ線Sxと、ゲート線Gyとの交点に設けられ、スイッチング用トランジスタ11の一方の電極は信号線Sxと、スイッチング用トランジスタ11のゲート電極はゲート線Gyと接続されている。駆動用トランジスタ12は、一方の電極が電源線Vxに接続され、ゲート電極はスイッチング用トランジスタ11の他方の電極と接続されている。容量素子16は、駆動用トランジスタ12のゲートとソース間の電圧を保持するように設けられている。本実施の形態では、容量素子16は、その一方の電極はVxに、他方の電極は駆動用トランジスタ12のゲート電極に接続されている。なお、容量素子16は、駆動用トランジスタ12のゲート容量が大きく、リーク電流が少ない場合等は設ける必要がない。発光素子13は、駆動用トランジスタ12の他方の電極に接続されている。

20

【0063】

このような画素の駆動方法について説明する。まず、スイッチング用トランジスタ11がオンとなると、信号線Sxからビデオ信号が入力される。ビデオ信号に基づき、容量素子16に電荷が蓄積される。容量素子16に蓄積された電荷が、駆動用トランジスタ12のゲートとソース間の電圧(Vgs)を越えると、駆動用トランジスタ12がオンとなる。すると、発光素子13に電流が供給され、点灯する。このとき、駆動用トランジスタ12は、線形領域又は飽和領域で動作させることができる。飽和領域で動作させると、一定の電流を供給することができる。また線形領域で動作させると、低電圧で動作させることができ、低消費電力化を図ることができる。

30

【0064】

以下に、タイミングチャートを用いて、画素の駆動方法について説明する。図9Aには、1秒間に60フレームの画像の書き換えが行われる場合のある1フレーム期間のタイミングチャートを示す。該タイミングチャートにおいて、縦軸は走査線(1行目から最終行目)、横軸は時間を示している。

40

【0065】

1フレーム期間はm(mは2以上の自然数)個のサブフレーム期間SF1、SF2、…、SFmを有し、m個のサブフレーム期間SF1、SF2、…、SFmは、それぞれ書き込み動作期間Ta1、Ta2、…、Tamと表示期間(点灯期間)Ts1、Ts2、…、Tsmと、逆方向電圧印加期間とを有する。本実施の形態では、図9(A)に示すように、1フレーム期間は、サブフレーム期間SF1、SF2、及びSF3と、逆方向電圧印加期間(RB)とが設けられている。そして、各サブフレーム期間は、書き込み動作期間Ta1～Ta3が順に行われ、それぞれ表示期間Ts1～Ts3となる。

50

【0066】

図9（B）に記載のタイミングチャートには、ある行（i行目）に着目したときの、書き込み動作期間、表示期間、及び逆方向電圧印加期間について示す。書き込み動作期間、表示期間が交互に現れた後、逆方向電圧印加期間が現れる。この書き込み動作期間、及び表示期間を有する期間が、順方向電圧印加期間となる。

【0067】

書き込み動作期間Taは複数の動作期間に分けることができる。本実施の形態では、二つの動作期間に分け、一方で消去動作を行い、他方で書き込み動作を行う。このように消去動作と、書き込み動作を設けるため、WE（Write Erase）信号が入力される。その他の消去動作及び書き込み動作や信号の詳細は、以下の実施の形態で説明する。また、逆方向電圧印加期間の直前には、全画素のスイッチング用トランジスタを同時にオンとする期間、つまり全走査線をオンとする期間（オン期間）を設ける。

10

【0068】

逆方向電圧印加期間の直後には、全画素のスイッチング用トランジスタを同時にオフとする期間、つまり全走査線をオフとする期間（オフ期間）を設けると良い。また、逆方向電圧印加期間の直前には、消去期間（SE）が設けられている。消去期間は、上記消去動作と同様な動作により行うことができる。消去期間は、直前のサブフレーム期間、本実施の形態ではSF3で書き込まれたデータを、順に消去する動作が順次行われる。なぜなら、オン期間では、最終行目の画素の表示期間が終了後、一斉にスイッチング用トランジスタをオンとするため、1行目等の画素は、不要な表示期間を有することになるからである。

20

【0069】

このように、オン期間、オフ期間、消去期間を設けるための制御は、走査線駆動回路や信号線駆動回路等の駆動回路によって行われる。なお、発光素子13に逆方向電圧の電圧を印加するタイミング、つまり逆方向電圧印加期間は、図9（A）（B）に限定されない。すなわち、フレームごとに逆方向電圧印加期間を設ける必要はない。また1フレームの後半に逆方向電圧印加期間を設ける必要もない。またオン期間は、少なくとも印加期間（RB）の直前にあればよく、オフ期間は少なくとも印加期間（RB）直後にあれば良い。また発光素子の陽極の電圧と、陰極の電圧とを逆にする順序も図9（A）（B）に限定されない。すなわち、カソード電極の電位を上げた後、アノード電極の電位を下げて良い。

30

【0070】

図4には、図3に示した画素回路のレイアウト例を示す。スイッチング用トランジスタ11、駆動用トランジスタ12を構成する半導体膜を形成する。その後、ゲート絶縁膜として機能する絶縁膜を介して、第1の導電膜を形成する。該導電膜は、スイッチング用トランジスタ11、駆動用トランジスタ12のゲート電極として用い、またゲート線Gyとして用いることができる。このとき、スイッチング用トランジスタ11は、ダブルゲート構造とすると良い。

【0071】

その後、層間絶縁膜として機能する絶縁膜を介して、第2の導電膜を形成する。該導電膜は、スイッチング用トランジスタ11、駆動用トランジスタ12のドレイン配線、及びソース配線として用い、また信号線Sx、電源線Vxとしてもちいることができる。このとき、容量素子16は、第1の導電膜、層間絶縁膜として機能する絶縁膜、第2の導電膜の積層構造により形成することができる。駆動用トランジスタ12のゲート電極と、スイッチング用トランジスタの他方の電極とは、コンタクトホールを介して接続される。

40

【0072】

そして、画素に設けられた開口部には、第1の電極19（画素電極）を形成する。該画素電極は、駆動用トランジスタ12の他方の電極に接続されている。このとき、第2の導電膜と画素電極との間に絶縁膜等が設けられている場合、コンタクトホールを介して接続する必要がある。絶縁膜等が設けられていない場合、駆動用トランジスタ12の他方の電

50

極に、画素電極が直接接続することができる。

【0073】

図4に示すようなレイアウトにおいて、高開口率を確保するため、第1の導電膜と、画素電極とが重なってしまうことがある。そのような領域には、結合容量が生じてしまうことがある。この結合容量は不要な容量である。

【0074】

図5には、図4に示したA-B、B-Cの断面図例を示す。絶縁基板20上には、下地膜を介して半導体膜が形成されている。絶縁基板20には、例えばバリウムホウケイ酸ガラスや、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、ステンレス基板等を用いることができる。また、PET（ポリエチレンテレフタレート）、PEN（ポリエチレンナフタレート）に代表されるプラスチックや、アクリル等の可撓性を有する合成樹脂からなる基板は、一般的に他の基板と比較して耐熱温度が低い傾向にあるが、作製工程における処理温度に耐え得るのであれば用いることが可能である。下地膜には、酸化シリコンや、窒化シリコン、窒化酸化シリコンなどの絶縁膜を用いることができる。

10

【0075】

下地膜上に非晶質半導体膜を形成する。非晶質半導体膜の膜厚は25～100nm（好ましくは30～60nm）とする。また非晶質半導体はシリコンだけではなくシリコンゲルマニウムも用いることができる。

【0076】

次に、必要に応じて非晶質半導体膜を結晶化し、結晶性半導体膜を形成する。結晶化する方法は、加熱炉、レーザ照射、若しくはランプから発する光の照射（以下、ランプアニールと表記する）、又はそれらを組み合わせて用いることができる。例えば、非晶質半導体膜に金属元素を添加し、加熱炉を用いた熱処理を行うことによって結晶性半導体膜を形成する。このように、金属元素を添加することにより、低温で結晶化できるため好ましい。このように形成された結晶性半導体膜を、所定の形状に加工する。所定の形状とは、図4で示したように、スイッチング用トランジスタ11、駆動用トランジスタ12となる形状である。

20

【0077】

次いで、ゲート絶縁膜として機能する絶縁膜を形成する。該絶縁膜は、半導体膜を覆うように、厚さを10nm～150nm、好ましくは20nm～40nmとして形成される。例えば、酸化窒化シリコン膜、酸化シリコン膜等を用いることができ、単層構造又は積層構造としても良い。

30

【0078】

そしてゲート絶縁膜を介して、ゲート電極として機能する第1の導電膜を形成する。ゲート電極は、単層であっても積層であっても良いが、本実施の形態では導電膜22a、22bの積層構造をもちいる。各導電膜22a、22bはTa、W、Ti、Mo、Al、Cuから選ばれた元素、又は前記元素を主成分とする合金材料若しくは化合物材料で形成すれば良い。本実施の形態では、導電膜22aとして膜厚10nm～50nm、例えば30nmの窒化タンタル膜を形成し、導電膜22bとして膜厚200nm～400nm、例えば370nmのタングステン膜を順次形成する。

40

【0079】

ゲート電極をマスクとして不純物元素を添加する。このとき、高濃度不純物領域に加えて、低濃度不純物領域を形成しても良い。これをLDD（Lightly Doped Drain）構造という。特に低濃度不純物領域がゲート電極と重なった構造をGOLD（Gate-drain Overlapped LDD）構造という。特に、nチャネル型トランジスタは、低濃度不純物領域を有する構成とすると良い。

【0080】

その後、層間絶縁膜30として機能する絶縁膜28、29を形成する。絶縁膜28は、窒素を有する絶縁膜であればよく、本実施の形態では、プラズマCVD法により100nmの窒化シリコン膜を用いて形成する。

50

【0081】

また絶縁膜29は、有機材料又は無機材料を用いて形成することができる。有機材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、レジスト又はベンゾシクロブテン、シロキサン、ポリシラザンを用いることができる。シロキサンとは、シリコン(Si)と酸素(O)との結合で骨格構造が構造され、置換基に少なくとも水素を含む、又は置換基にフッ素、アルキル基、又は芳香族炭化水素のうち少なくとも1種を有するポリマー材料、を出発原料として形成される。またポリシラザンとは、シリコン(Si)と窒素(N)の結合を有するポリマー材料である。無機材料としては、酸化シリコン(SiO_x)、窒化シリコン(SiN_x)、酸化窒化シリコン(SiO_xN_y) ($x > y$)、窒化酸化シリコン(SiN_xO_y) ($x > y$) ($x, y = 1, 2 \cdots$)等の酸素、又は窒素を有する絶縁膜を用いることができる。また、絶縁膜29として、これら絶縁膜の積層構造を用いても良い。特に、有機材料を用いて絶縁膜29を形成すると、平坦性は高まる一方で、有機材料によって水分や酸素が吸収されてしまう。これを防止するため、有機材料上に、無機材料を有する絶縁膜を形成すると良い。無機材料に、窒素を有する絶縁膜を用いると、Na等のアルカリイオンの侵入を防ぐことができ、好ましい。絶縁膜29に、有機材料を用いると平坦性を高めることができ、好ましい。

【0082】

層間絶縁膜30にコンタクトホールを形成する。そして、スイッチング用トランジスタ11、駆動用トランジスタ12のソース配線及びドレイン配線24、信号線S_x、電源線V_xとして機能する第2の導電膜を形成する。第2の導電膜は、アルミニウム(Al)、チタン(Ti)、モリブデン(Mo)、タングステン(W)若しくはシリコン(Si)の元素からなる膜又はこれらの元素を用いた合金膜を用いることができる。本実施の形態では、チタン膜を60nm、窒化チタン膜を40nm、チタンとアルミニウム合金膜を300nm、チタン膜を100nmに積層して第2の導電膜を形成する。その後、第2の導電膜を覆うように絶縁膜31を形成する。絶縁膜31は、層間絶縁膜30で示した材料を用いることができる。このように絶縁膜31を設けることにより、開口率を高めることができる。

【0083】

そして、絶縁膜31に設けられた開口部に第1の電極19(画素電極)を形成する。該開口部において、画素電極の段差被覆性を高めるため、開口部端面に、複数の曲率半径を有するように丸みを帯びさせると良い。第1の電極19には、透光性を有する材料として、インジウム錫酸化物(ITO、Indium Tin Oxide)、酸化インジウムに2~20%の酸化亜鉛(ZnO)を混合したIZO(indium zinc oxide)、酸化インジウムに2~20%の酸化シリコン(SiO₂)を混合したITO-SiO_x、有機インジウム、有機スズ等を用いることもできる。また非透光性を有する材料として、銀(Ag)以外にタンタル、タングステン、チタン、モリブデン、アルミニウム、銅から選ばれた元素、又は前記元素を主成分とする合金材料若しくは化合物材料を用いることができる。このとき、有機材料を用いて絶縁膜31を形成し、平坦性を高めると、画素電極形成面の平坦性が向上するため、均一な電圧を印加でき、さらには短絡を防止することができる。

【0084】

第1の導電膜と、画素電極とが重なってしまう領域430には、結合容量が生じてしまうことがある。この結合容量は不要な容量である。

【0085】

その後、隔壁32を形成し、蒸着法、又はインクジェット法により発光層33を形成する。発光層33は、有機材料、又は無機材料を有し、電子注入層(EIL)、電子輸送層(ETL)、発光層(EML)、正孔輸送層(HTL)、正孔注入層(HIL)等を適宜組み合わせ構成される。なお各層の境目は必ずしも明確である必要はなく、互いの層を構成している材料が一部混合し、界面が不明瞭になっている場合もある。また、発光層は上記積層構造に限定されない。

10

20

30

40

50

【0086】

発光層33を形成する母体材料として、無機材料を用いることができる。無機材料としては、亜鉛、カドミウム、ガリウムなど金属材料の硫化物、酸化物、窒化物を用いることが好ましい。例えば、硫化物として、硫化亜鉛 (ZnS)、硫化カドミウム (CdS)、硫化カルシウム (CaS)、硫化イットリウム (Y_2S_3)、硫化ガリウム (Ga_2S_3)、硫化ストロンチウム (SrS)、硫化バリウム (BaS) などを用いることができる。酸化物としては、酸化亜鉛 (ZnO)、酸化イットリウム (Y_2O_3) などを用いることができる。また、窒化物としては、窒化アルミニウム (AlN)、窒化ガリウム (GaN)、窒化インジウム (InN) などを用いることができる。さらに、セレン化亜鉛 ($ZnSe$)、テルル化亜鉛 ($ZnTe$) なども用いることができ、硫化カルシウム-ガリウム ($CaGa_2S_4$)、硫化ストロンチウム-ガリウム ($SrGa_2S_4$)、硫化バリウム-ガリウム ($BaGa_2S_4$)、などの3元系の混晶であってもよい。

10

【0087】

不純物元素としては、金属イオンの内殻電子遷移を利用した発光中心を形成するものとして、マンガン (Mn)、銅 (Cu)、サマリウム (Sm)、テルビウム (Tb)、エルビウム (Er)、ツリウム (Tm)、ユーロピウム (Eu)、セリウム (Ce)、プラセオジウム (Pr) などの金属元素を用いることができる。なお、電荷補償として、フッ素 (F)、塩素 (Cl) などのハロゲン元素が添加されていてもよい。

【0088】

また、ドナー-アクセプタ再結合を利用した発光中心として、第一の不純物元素及び第二の不純物元素を含む発光材料を用いることができる。第一の不純物元素としては、例えば、銅 (Cu)、銀 (Ag)、金 (Au)、白金 (Pt) などの金属元素、珪素 (Si) などを用いることができる。第二の不純物元素は、例えば、フッ素 (F)、塩素 (Cl)、臭素 (Br)、ヨウ素 (I)、ホウ素 (B)、アルミニウム (Al)、ガリウム (Ga)、インジウム (In)、タリウム (Tl) などを用いることができる。

20

【0089】

発光材料は固相反応、すなわち、母体材料及び不純物元素を秤量し、乳鉢で混合、電気炉で加熱して反応させる方法により、母体材料に不純物元素を含有させる。例えば、母体材料と、第一の不純物元素又は第一の不純物元素を含む化合物と、第二の不純物元素又は第二の不純物元素を含む化合物をそれぞれ秤量し、乳鉢で混合した後、電気炉で加熱、焼成を行う。焼成温度は、 $700 \sim 1500^\circ C$ が好ましい。温度が低すぎる場合は固体反応が進まず、温度が高すぎる場合は母体材料が分解してしまうからである。なお、粉末状態で焼成を行ってもよいが、ペレット状態で焼成を行うことが好ましい。

30

【0090】

また、固相反応を利用する場合の不純物元素として、第一の不純物元素と第二の不純物元素で構成される化合物を組み合わせて用いてもよい。この場合、不純物元素が拡散されやすく固相反応が進みやすくなるため、均一な発光材料を得ることができる。さらに余分な不純物元素が入らないため、純度の高い発光材料を得ることができる。第一の不純物元素と第二の不純物元素で構成される化合物としては、例えば、フッ化銅 (CuF_2)、塩化銅 ($CuCl$)、ヨウ化銅 (CuI)、臭化銅 ($CuBr$)、窒化銅 (Cu_3N)、リン化銅 (Cu_3P)、フッ化銀 (CuF)、塩化銀 ($CuCl$)、ヨウ化銀 (CuI)、臭化銀 ($CuBr$)、塩化金 ($AuCl_3$)、臭化金 ($AuBr_3$)、塩化白金 ($PtCl_2$) などを用いることができる。また、第二の不純物元素の代わりに第三の不純物元素を含んだ発光材料を用いてもよい。

40

【0091】

第三の不純物元素は、例えば、リチウム (Li)、ナトリウム (Na)、カリウム (K)、ルビジウム (Rb)、セシウム (Cs)、窒素 (N)、リン (P)、ヒ素 (As)、アンチモン (Sb)、ビスマス (Bi) などを用いることができる。これらの不純物元素の濃度は、母体材料に対して $0.01 \sim 10 mol\%$ であれば良く、好ましくは $0.1 \sim 5 mol\%$ の範囲である。

50

【0092】

高い電気導電性を有する発光材料としては、母体材料として、上述した材料を用い、上述した第一の不純物元素及び第二の不純物元素及び第三の不純物元素を含む発光材料を追加した発光材料を用いることができる。これらの不純物元素の濃度は、母体材料に対して0.01～10mol%であれば良く、好ましくは0.1～5mol%の範囲であれば良い。

【0093】

第二の不純物元素と第三の不純物元素で構成される化合物としては、例えば、フッ化リチウム(LiF)、塩化リチウム(LiCl)、ヨウ化リチウム(LiI)、臭化銅(LiBr)、塩化ナトリウム(NaCl)などのハロゲン化アルカリ、窒化ホウ素(BN)、窒化アルミニウム(AlN)、アルミニウムアンチモン(AlSb)、ガリウムリン(GaP)、ガリウムヒ素(GaAs)、インジウムリン(InP)、インジウムヒ素(InAs)、インジウムアンチモン(InSb)などを用いることができる。

【0094】

母体材料として、上述した材料を用い、上述した第一の不純物元素及び第二の不純物元素及び第三の不純物元素を含む発光材料を用いた発光層は、高電界により加速されたホットエレクトロンを必要とすることなく、発光することが可能である。つまり、発光素子に高電圧を印加する必要がなくなるため、低駆動電圧で動作可能な発光素子を得ることができる。また、低駆動電圧で発光可能であるため、消費電力も低減された発光素子を得ることができる。また、さらに他の発光中心となる元素が含まれていてもよい。

【0095】

また、母体材料として上述した材料を用い、第二の不純物元素及び第三の不純物元素及び上述した金属イオンの内殻電子遷移を利用した発光中心を含む発光材料を用いることができる。この場合、発光中心となる金属イオンは、母体材料に対して0.05～5原子%であることが好ましい。また、第二の不純物元素の濃度は、母体材料に対して0.05～5原子%であることが好ましい。また、第三の不純物元素の濃度は、母体材料に対して0.05～5原子%であることが好ましい。このような構成の発光材料は、低電圧で発光可能である。よって、低駆動電圧で発光可能な発光素子を得ることができるため、消費電力が低減された発光素子を得ることができる。また、さらに他の発光中心となる元素が含まれていてもよい。このような発光材料を用いることにより、発光素子の輝度劣化を抑制することができる。また、トランジスタを用いて低電圧で駆動することができる。

【0096】

そして、蒸着法により第2の電極35を形成する。発光素子の第1の電極19(画素電極)、及び第2の電極35は、画素構成により陽極又は陰極となる。陽極材料としては、仕事関数の大きい(仕事関数4.0eV以上)金属、合金、電気伝導性化合物、及びこれらの混合物などを用いることが好ましい。陽極材料の具体例としては、ITO、酸化インジウムに2～20%の酸化亜鉛(ZnO)を混合したIZOの他、金(Au)、白金(Pt)、ニッケル(Ni)、タングステン(W)、クロム(Cr)、モリブデン(Mo)、鉄(Fe)、コバルト(Co)、銅(Cu)、パラジウム(Pd)、又は金属材料の窒化物(TiN)等を用いることができる。

【0097】

一方、陰極材料としては、仕事関数の小さい(仕事関数3.8eV以下)金属、合金、電気伝導性化合物、及びこれらの混合物などを用いることが好ましい。陰極材料の具体例としては、元素周期律の1族又は2族に属する元素、すなわちLiやCs等のアルカリ金属、及びMg、Ca、Sr等のアルカリ土類金属、及びこれらを含む合金(Mg:Ag、Al:Li)や化合物(LiF、CsF、CaF₂)の他、希土類金属を含む遷移金属を用いて形成することができる。但し、陰極は透光性を有する必要があるため、これら金属、又はこれら金属を含む合金を非常に薄く形成し、ITO等の金属(合金を含む)との積層により形成する。

【0098】

10

20

30

40

50

その後、第2の電極35を覆って、保護膜を形成しても良い。保護膜としては、窒化シリコン膜やDLC膜を用いることができる。このようにして、表示装置の画素を形成することができる。

【0099】

(実施の形態5)

本発明の表示装置における画素と駆動回路の構成を図29～図31を参照して説明する。

【0100】

図29に本発明に係る表示パネルの構成を示す。この表示パネルは基板120上に、サブ画素130が複数配列された画素部121、走査線133の信号を制御する走査線駆動回路122、データ線131の信号を制御するデータ線駆動回路123を有している。また、サブ画素130に含まれる発光素子137の輝度変化を補正するためのモニタ回路124が設けられていても良い。発光素子137とモニタ回路124に含まれる発光素子は同じ構造を有している。発光素子137の構造は一对の電極間にエレクトロルミネセンスを発現する材料を含む層を挟んだ形となっている。

【0101】

基板120の周辺部には、走査線駆動回路122に外部回路から信号を入力する入力端子125、データ線駆動回路123に外部回路から信号を入力する入力端子126、モニタ回路124に信号を入力する入力端子129を有している。

【0102】

サブ画素130には、データ線131に接続するトランジスタ134と、電源線132と発光素子137との間に直列に挿入されて接続するトランジスタ135を含んでいる。トランジスタ134のゲートは走査線133の接続し、走査信号で選択されたとき、データ線131の信号をサブ画素130に入力する。入力された信号はトランジスタ135のゲートに与えられ、また、保持容量部136を充電する。この信号に応じて、電源線132と発光素子137は導通状態となり、発光素子137が発光する。

【0103】

サブ画素130に設けた発光素子137を発光させるためには外部回路から電力を供給する必要がある。画素部121に設けられる電源線132は、入力端子127で外部回路と接続される。電源線132は引き回す配線の長さにより抵抗損失が生じるので、入力端子127は基板120の周辺部に複数箇所設けることが好ましい。入力端子127は基板120の両端部に設け、画素部121の面内で輝度ムラが目立たないように配置されている。すなわち、画面の中で片側が明るく、反対側が暗くなってしまうことを防いでいる。また、一对の電極を備えた発光素子137であって、電源線132と接続する電極とは反対側の電極は、複数のサブ画素130で共有する共通電極として形成されるが、この電極の抵抗損失も低くするために、端子128を複数個備えている。

【0104】

次に、サブ画素130の一例を、図30と図31を参照して詳細に説明する。なお、図30はサブ画素130の上面図を示し、その図中に示す切断線A-B、C-D、E-Fに対応する縦断面図を図31に示す。

【0105】

走査線133とデータ線131は異なる層で形成され、絶縁層155及び156を挟んで交差している。走査線133は、ゲート絶縁層157を挟んで半導体層141と交差する部分で、トランジスタのゲート電極として機能する。この場合、トランジスタ134を、半導体層141の配置に合わせて、走査線133を分岐させて複数箇所半導体層141と交差部を設けると、一对のソースとドレインの間に複数のチャンネル形成領域が直列に配列する所謂マルチゲートトランジスタとすることができる。

【0106】

トランジスタ135と接続する電源線132は抵抗が低いことが望まれるので、特に抵抗率の低いAlやCuなどを用いることが好ましい。Cu配線を形成する場合は、バリア

10

20

30

40

50

層と組み合わせて絶縁層中に形成することができる。図31では、基板120上であって、半導体層141よりも下層に形成する一例を示している。基板120の表面にはバリア層150が形成され、基板120に含まれるアルカリ金属などの不純物のしみ出しを防いでいる。電源線132は、絶縁層151に形成された開孔にバリア層152とCu層159によって形成されている。バリア層152は、タンタル(Ta)、窒化タンタル(TaN)、窒化タングステン(WN)、窒化チタン(TiN)などによって形成されている。Cu層159は、シード層をスパッタリングで形成した後、メッキにより1 μ m~5 μ mの厚さに堆積され、化学的機械研磨により平坦化处理がされている。すなわち、ダマシンプロセスを用いることにより絶縁層151に埋め込まれた形状にすることができる。

【0107】

絶縁層151上には、半導体層140、141にとっての下地絶縁層が形成されている。下地絶縁層の構成は限定されないが、窒化シリコン層153と酸化シリコン層154で形成されていることが好ましい。その他、絶縁層の構成として、半導体層140、141の上層には、ゲート絶縁層157の他に、絶縁層156が、酸化シリコン又は窒化シリコンなどで形成され、保護膜として用いられている。

【0108】

電源線132とトランジスタ135の接続は、上記した絶縁層を貫通するコンタクトホールを開けて、配線145により接続されている。また、ゲート電極142は、配線144によって、トランジスタ134と接続している。トランジスタ134、135のゲート電極は、複数の層を積層して形成しても良い。例えば、第1の導電層と第2の導電層の組み合わせは、ゲート絶縁層との密着性と抵抗率を考慮して組み合わせても良いし、上下の層の形状を変えて（例えば、ひさしの付いた帽子型の形状として）自己整合的に半導体層にソース及びドレイン領域や低濃度不純物(LDD)領域を形成することができる構造としても良い。

【0109】

また、ゲート電極142が延長されることによって設けられる保持容量部136の容量電極143は、第1の導電層と第2の導電層の組み合わせを利用して、第1の導電層による薄膜部を設け、その下層にある半導体層に一導電型の不純物を添加して、低抵抗化しておくことが好ましい。すなわち、保持容量部136は、ゲート電極142が延長されることによって設けられる保持容量部136の容量電極143と、トランジスタ135の半導体層141が延長された半導体層160と、それらに挟まれるゲート絶縁層157によって形成されるが、半導体層160に一導電型の不純物を添加して、低抵抗化しておくことで、有効に機能させることができる。

【0110】

発光素子の画素電極はトランジスタ135の半導体層141と直接コンタクトを形成しても良いが、図31に図示するように、配線146を介して接続することができる。この場合、配線146の端部に複数の段差形状を設けることにより、画素電極147との接触面積を増やすことができるので好ましい。このような段差形状は、スリットや半透過膜などの減光手段を用いたフォトリソグラフィを用いることにより形成することができる。画素電極147の周辺端部は隔壁層158でカバーされている。

【0111】

本実施の形態で示す表示パネルは、電源線がCuなどの低抵抗材料で形成されているので、特に画面サイズが大型化したときに有効である。例えば、画面サイズが13インチクラスの場合対角線の長さは340mmであるが、60インチクラスの場合には1500mm以上となる。このような場合には、配線抵抗を無視することができないので、Cuなどの低抵抗材料を配線を用いることが好ましい。また、配線遅延を考慮すると、同様にしてデータ線や走査線を形成しても良い。

【0112】

なお、本実施の形態で述べた内容は、実施の形態1~4で述べた内容と自由に組み合わせて実施することができる。

10

20

30

40

50

【0113】

(実施の形態6)

本実施例は、表示パネルを製造するときに用いる蒸着装置について図面を参照して説明する。

【0114】

表示パネルは、トランジスタによって画素回路及び／又は駆動回路が形成された素子基板に、EL層を形成して製造される。EL層はエレクトロルミネセンスを発現する材料を少なくとも一部に含んで形成される。EL層は機能の異なる複数の層で構成されても良い。その場合、EL層は、正孔注入輸送層、発光層、電子注入輸送層などとも呼ばれる機能の異なる層を組み合わせる構成する場合がある。

10

【0115】

トランジスタが形成された素子基板に、EL層を形成するための蒸着装置の構成を図32に示す。この蒸着装置は、搬送室160、161に複数の処理室を連結している。処理室には、基板を供給するロード室162、基板を回収するアンロード室163、その他、加熱処理室168、プラズマ処理室172、EL材料を蒸着する成膜処理室169～175、発光素子の一方の電極として、アルミニウム若しくはアルミニウムを主成分とする導電膜を形成する成膜処理室176を含んでいる。また、搬送室と各処理室の間にはゲートバルブ177a～177lが設けられていて、各処理室の圧力は独立して制御可能とされており、処理室間の相互汚染を防いでいる。

【0116】

ロード室162から搬送室161に導入された基板は、回転自在に設けられたアーム方式の搬送手段193により、所定の処理室へ搬入される。また、基板は搬送手段193により、ある処理室から他の処理室へ搬送される。搬送室160と搬送室161とは成膜処理室170で連結され、ここで搬送手段193と搬送手段194により基板の受け渡しが行う。

20

【0117】

搬送室160及び搬送室161に連結する各処理室は減圧状態に保持されている。従って、この蒸着装置では、基板は大気に触れることなく連続してEL層の成膜処理が行われる。EL層の成膜処理が終わった表示パネルは、水蒸気などにより劣化する場合があるので、この蒸着装置では、品質を保持するために大気に触れさせる前に封止処理を行うための封止処理室165が搬送室161に連結されている。封止処理室165は大気圧若しくはそれに近い減圧下におかれているので、搬送室161と封止処理室165の間にも中間室164が備えられている。中間室164は基板の受け渡しと、室間の圧力を緩衝するために設けられている。

30

【0118】

ロード室162、アンロード室163、搬送室及び成膜処理室には室内を減圧に保持するための排気手段が備えられている。排気手段としては、ドライポンプ、ターボ分子ポンプ、拡散ポンプなど各種の真空ポンプを用いることができる。

【0119】

図32の蒸着装置において、搬送室160及び搬送室161に連結される処理室の数やその構成は、発光素子の積層構造に応じて適宜組み合わせることができる。以下に、その組み合わせの一例を示す。

40

【0120】

加熱処理室168は、最初に下部電極や絶縁隔壁等が形成された基板を加熱して脱ガス処理を行う。プラズマ処理室172は、下地電極表面を希ガスや酸素プラズマ処理を行う。このプラズマ処理は、表面を清浄化、表面状態の安定化、表面の物理的若しくは化学的状态(例えば、仕事関数など)を安定化させるために行う。

【0121】

成膜処理室169は、発光素子の一方の電極と接触する電極バッファ層を形成する処理室である。電極バッファ層はキャリア注入性(正孔注入若しくは電子注入)があり、発光

50

素子の短絡や暗点欠陥の発生を抑制する層である。代表的には、電極バッファ層は、有機無機混合材料であって、抵抗率が $5 \times 10^4 \sim 1 \times 10^6 \Omega \text{cm}$ であり、 $30 \text{nm} \sim 300 \text{nm}$ の厚さに形成される。また、成膜室 171 は正孔輸送層を成膜する処理室である。

【0122】

発光素子における発光層は、単色発光をする場合と白色発光をする場合とで、その構成が異なる。蒸着装置において成膜処理室もそれに応じて配置することが好ましい。例えば、表示パネルに発光色が異なる三種類の発光素子を形成する場合には、各発光色に対応した発光層を成膜する必要がある。この場合、成膜処理室 170 を第 1 の発光層の成膜用として、成膜処理室 173 を第 2 の発光層の成膜用として、成膜処理室 174 を第 3 の発光層の成膜用として用いることができる。発光層ごとに成膜処理室を分けることで、異なる発光材料による相互汚染を防止することができ、成膜処理のスループットを向上させることができる。

10

【0123】

また、成膜処理室 170、成膜処理室 173、成膜処理室 174 のそれぞれで、発光色が異なる三種類の EL 材料を順次蒸着しても良い。この場合、シャドーマスクを使い、蒸着する領域に応じて当該マスクをずらして蒸着を行うことになる。

【0124】

白色発光する発光素子を形成する場合には、異なる発光色の発光層を縦積みにして形成する。その場合にも、素子基板が成膜処理室を順次移動して、発光層ごとに成膜することができる。また、同じ成膜処理室で異なる発光層を連続して成膜することもできる。

20

【0125】

成膜処理室 176 では、EL 層の上に電極を成膜する。電極の形成は、電子ビーム蒸着法やスパッタリング法を適用することもできるが、好ましくは抵抗加熱蒸着法を用いることが好ましい。

【0126】

電極の形成まで終了した素子基板は、中間室 164 を経て封止処理室 165 に搬入される。封止処理室 165 は、ヘリウム、アルゴン、ネオン、若しくは窒素などの不活性な気体が充填されており、その雰囲気下で素子基板の EL 層が形成された側に封止板を貼り付けて封止する。封止された状態において、素子基板と封止板との間には、不活性気体が充填されていても良いし、樹脂材料を充填しておいても良い。封止処理室 165 には、シール材を描画するディスペンサーや、素子基板に対向して封止板を固定する固定ステージやアームなどの機械的要素、樹脂材料を充填するディスペンサー若しくはスピンコーターなどが備えられている。

30

【0127】

図 33 は、成膜処理室の内部構成を示す。成膜処理室は減圧下に保たれていて、図 33 では天板 191 と底板 192 で挟まれる内側が室内であり、減圧状態に保たれる室内を示している。

【0128】

処理室内には、一つ又は複数個の蒸発源が備えられている。組成の異なる複数の層を成膜する場合や、異なる材料を共蒸着する場合は、複数個の蒸発源を設けることが好ましいからである。図 33 では、蒸発源 181a、181b、181c が蒸発源ホルダ 180 に装着されている。蒸発源ホルダ 180 は多関節アーム 183 によって保持されている。多関節アーム 183 は関節の伸縮によって、蒸発源ホルダ 180 の位置をその可動範囲内で自在に移動可能としている。また、蒸発源ホルダ 180 に距離センサー 182 を設け、蒸発源 181a ~ 181c と基板 189 との間隔をモニターして、蒸着時における最適な間隔を制御しても良い。その場合には、多関節アームに上下方向（Z 方向）にも変位する多関節アームとしても良い。

40

【0129】

基板ステージ 186 と基板チャック 187 は一対となって基板 189 を固定する。基板ステージ 186 はヒータを内蔵させて基板 189 を加熱できるように構成しても良い。基

50

板189は、基板チャック187の禁緩により、基板ステージ186に固定されまた搬出入される。蒸着に際しては、必要に応じて蒸着するパターンに対応して開口部を備えたシャドーマスク190を用いることもできる。その場合、シャドーマスク190は、基板189と蒸発源181a~181cの間に配置されるようにする。シャドーマスク190はマスクチャック188により、基板189と密着若しくは一定の間隔を持って固定される。シャドーマスク190のアライメントが必要な場合には、処理室内にカメラを配置し、マスクチャック188にX-Y-θ方向に微動する位置決め手段を備えることで、その位置合わせを行う。

【0130】

蒸発源181には、蒸着材料を蒸発源に連続して供給する蒸着材料供給手段が付加されている。蒸着材料供給手段は、蒸発源181と離れた位置に配置される蒸着材料供給源185a、185b、185cと、その両者の間を繋ぐ材料供給管184を有している。典型的には、材料供給源185a、185b、185cは蒸発源181に対応して設けられている。図33の場合は、材料供給源185aと蒸発源181aが対応している。材料供給源185bと蒸発源181b、材料供給源185cと蒸発源181cについても同様である。

【0131】

蒸着材料の供給方式には、気流搬送方式、エアロゾル方式などが適用できる。気流搬送方式は、蒸着材料の微粉末を気流に乗せて搬送するもので、不活性ガスなどを用いて蒸発源181に搬送する。エアロゾル方式は、蒸着材料を溶剤中に溶解又は分散させた原料液を搬送し、噴霧器によりエアロゾル化し、エアロゾル中の溶媒を気化させながら行う蒸着である。いずれの場合にも、蒸発源181には加熱手段が設けられ、搬送された蒸着材料を蒸発させて基板189に成膜する。図33の場合、材料供給管184は柔軟に曲げることができ、減圧状態下においても変形しない程度の剛性を持った細管で構成されている。

【0132】

気流搬送方式やエアロゾル方式を適用する場合には、成膜処理室内を大気圧若しくはそれ以下であって、好ましくは133Pa~13300Paの減圧下で成膜を行えば良い。成膜処理室内にはヘリウム、アルゴン、ネオン、クリプトン、キセノン、若しくは窒素などの不活性気体を充填し、又は当該気体を供給しながら（同時に排気しながら）、圧力の調節を行うことができる。また、酸化膜を形成する成膜処理室では、酸素、亜酸化窒素などの気体を導入して酸化雰囲気としておいても良い。また、有機材料を蒸着する成膜処理室内には水素などの気体を導入して還元雰囲気としておいても良い。

【0133】

その他の蒸着材料の供給方法として、材料供給管184の中にスクリュウを設け蒸着材料を蒸発源に向けて連続的に押し出す構成としても良い。

【0134】

本実施の形態の蒸着装置によれば、大画面の表示パネルであっても、均一性良く、連続して成膜することができる。また、蒸発源に蒸着材料が無くなる度に、その都度蒸着材料を補給する必要がないので、スループットを向上することができる。

【0135】

なお、本実施の形態で述べた内容は、実施の形態1~5で述べた内容と自由に組み合わせ実施することができる。

【0136】

(実施の形態7)

本実施の形態では、本発明が適用できる表示装置の作製方法について説明する。本発明が適用できる表示装置は、マイクロ波で励起された高密度プラズマ法を組み合わせても良い。その一例を図17に示す。なお、図17において、図17(B)は図17(A)のa-b間の断面図に相当し、図17(C)は図17(A)のc-d間の断面図に相当する。

【0137】

図17に示す表示装置は、基板1701上に絶縁膜1702を介して設けられた半導体

10

20

30

40

50

膜1703a、1703bと、当該半導体膜1703a、1703b上にゲート絶縁膜1704を介して設けられたゲート電極1705と、ゲート電極を覆って設けられた絶縁膜1706、1707と、半導体膜1703a、1703bのソース領域又はドレイン領域と電氣的に接続し且つ絶縁膜1707上に設けられた導電膜1708とを有している。なお、図17においては、半導体膜1703aの一部をチャンネル領域として用いたn型の薄膜トランジスタ1710aと半導体膜1703bの一部をチャンネル領域として用いたp型の薄膜トランジスタ1710bとを設けた場合を示しているが、この構成に限られない。例えば、図17では、n型の薄膜トランジスタ1710aにLDD領域を設け、p型の薄膜トランジスタ1710bにはLDD領域を設けていないが、両方に設けた構成としても良いし両方に設けない構成とすることも可能である。

10

【0138】

基板1701は、バリウムホウケイ酸ガラスや、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、セラミック基板又はステンレスを含む金属基板等を用いることができる。他にも、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルサルフォン（PES）に代表されるプラスチックや、アクリル等の可撓性を有する合成樹脂からなる基板を用いることも可能である。可撓性を有する基板を用いることによって、折り曲げが可能である表示装置を作製することが可能となる。また、このような基板であれば、その面積や形状に大きな制限はないため、基板1701として、例えば、1辺が1メートル以上であって、矩形状のものをを用いれば、生産性を格段に向上させることができる。このような利点は、円形のシリコン基板を用いる場合と比較すると、大きな優位点である。

20

【0139】

絶縁膜1702は、下地膜として機能し、基板1701からNaなどのアルカリ金属やアルカリ土類金属が、半導体膜1703a、1703b中に拡散し、半導体素子の特性に悪影響を及ぼすのを防ぐために設ける。絶縁膜1702としては、酸化シリコン（SiO_x）、窒化シリコン（SiN_x）、酸化窒化シリコン（SiO_xN_y）（ $x > y$ ）、窒化酸化シリコン（SiN_xO_y）（ $x > y$ ）等の酸素又は窒素を有する絶縁膜の単層構造、又はこれらの積層構造で設けることができる。例えば、絶縁膜1702を2層構造で設ける場合、1層目の絶縁膜として窒化酸化シリコン膜で設け、2層目の絶縁膜として酸化窒化シリコン膜を設けると良い。また、絶縁膜1702を3層構造で設ける場合、1層目の絶縁膜として酸化窒化シリコン膜を設け、2層目の絶縁膜として窒化酸化シリコン膜を設け、3層目の絶縁膜として酸化窒化シリコン膜を設けると良い。

30

【0140】

半導体膜1703a、1703bは、非晶質（アモルファス）半導体をスパッタ法、LPCVD法、プラズマCVD法等を用いてシリコン（Si）を主成分とする材料で非晶質半導体膜を形成し、当該非晶質半導体膜をレーザ結晶化法、RTA又はファーネスアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法などの結晶化法により結晶化させる。

【0141】

ゲート絶縁膜1704は、酸化シリコン（SiO_x）、窒化シリコン（SiN_x）、酸化窒化シリコン（SiO_xN_y、 $x > y$ ）、窒化酸化シリコン（SiN_xO_y）（ $x > y$ ）等の酸素又は窒素を有する絶縁膜の単層構造、又はこれらの積層構造で設けることができる。

40

【0142】

絶縁膜1706は、スパッタ法やプラズマCVD法等により、酸化シリコン（SiO_x）、窒化シリコン（SiN_x）、酸化窒化シリコン（SiO_xN_y、 $x > y$ ）、窒化酸化シリコン（SiN_xO_y、 $x > y$ ）等の酸素又は窒素を有する絶縁膜やDLC（ダイヤモンドライクカーボン）等の炭素を含む膜の単層構造、又はこれらの積層構造で設けることができる。

【0143】

50

絶縁膜 1707 は、酸化シリコン (SiO_x)、窒化シリコン (SiN_x)、酸化窒化シリコン (SiO_xN_y 、 $x > y$)、窒化酸化シリコン (SiN_xO_y 、 $x > y$) 等の酸素又は窒素を有する絶縁膜や DLC (ダイヤモンドライクカーボン) 等の炭素を含む膜はもちろん、その他にもエポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料やシロキサン樹脂からなる単層又は積層構造で設けることができる。なお、シロキサン樹脂とは、 $\text{Si}-\text{O}-\text{Si}$ 結合を含む樹脂に相当する。シロキサンは、シリコン (Si) と酸素 (O) との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基 (例えばアルキル基、芳香族炭化水素) が用いられる。置換基として、フルオロ基を用いることもできる。又は置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いても良い。なお、図 17 における表示装置において、絶縁膜 1706 を設けずにゲート電極 1705 を覆うように直接絶縁膜 1707 を設けることも可能である。 10

【0144】

導電膜 1708 としては、Al、Ni、C、W、Mo、Ti、Pt、Cu、Ta、Au、Mn から選ばれた一種の元素又は当該元素を複数含む合金からなる単層又は積層構造を用いることができる。例えば、当該元素を複数含む合金からなる導電膜として、例えば C と Ti を含有した Al 合金、Ni を含有した Al 合金、C と Ni を含有した Al 合金、C と Mn を含有した Al 合金等を用いることができる。また、積層構造で設ける場合、Al と Ti を積層させることによって設けることができる。 20

【0145】

また、図 17 において、n 型の薄膜トランジスタ 1710a はゲート電極 1705 の側壁に接してサイドウォールを有し、半導体膜 1703a に n 型の導電性を付与する不純物が選択的に添加されたソース領域、ドレイン領域及びサイドウォールの下方に設けられた LDD 領域が形成されている。また、p 型の薄膜トランジスタ 1710b はゲート電極 1705 の側壁に接してサイドウォールを有し、半導体膜 1703b に p 型の導電性を付与する不純物が選択的に添加されたソース領域及びドレイン領域が形成されている。 30

【0146】

なお、本発明の表示装置では、上記基板 1701、絶縁膜 1702、半導体膜 1703a 及び 1703b、ゲート絶縁膜 1704、絶縁膜 1706 又は絶縁膜 1707 のうち少なくともいずれか一層に、プラズマ処理を用いて酸化又は窒化を行うことにより半導体膜又は絶縁膜を酸化又は窒化することによって、当該半導体膜又は絶縁膜の表面を改質し、CVD 法やスパッタ法により形成した絶縁膜と比較してより緻密な絶縁膜を形成することができるため、ピンホール等の欠陥を抑制し表示装置の特性等を向上させることが可能となる。 40

【0147】

また、プラズマ処理は、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{13} \text{ cm}^{-3}$ 以下であり、プラズマの電子温度が 0.5 eV 以上 1.5 eV 以下で行う。プラズマの電子密度が高密度であり、基板 1701 上に形成された被処理物 (ここでは、半導体膜 1703a、1703b) 付近での電子温度が低いため、被処理物に対するプラズマによる損傷を防止することができる。また、プラズマの電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上と高密度であるため、プラズマ処理を用いて、被照射物を酸化又は窒化することによって形成される酸化物又は窒化膜は、CVD 法やスパッタ法等により形成された膜と比較して膜厚等が均一性に優れ、且つ緻密な膜を形成することができる。また、プラズマの電子温度が 1 eV 以下と低いため、従来のプラズマ処理や熱酸化法と比較して低温度で酸化又は窒化処理を行うことができる。例えば、ガラス基板の歪点温度よりも 100 度以上低い温度でプラズマ処理を行っても十分に酸化又は窒化処理を行うことができる。なお、プラズマを形成するための周波数としては、マイクロ波 (2.45 GHz) 等の高周波を用いることができる。 50

【0148】

次に、トランジスタの半導体層にアモルファスシリコン (a-Si:H) 膜を用いた場

合について説明する。図18にはトップゲートのトランジスタ、図19及び図20にはボトムゲートのトランジスタの場合について示す。

【0149】

アモルファスシリコンを半導体層に用いたトップゲート構造のトランジスタの断面を図18Aに示す。に示すように、基板1801上に下地膜1802が形成されている。さらに下地膜1802上に画素電極1803が形成されている。また、画素電極1803と同層に同じ材料からなる第1の電極1804が形成されている。基板はガラス基板、石英基板、セラミック基板などを用いることができる。また、下地膜1802としては、窒化アルミニウム(A1N)や酸化シリコン(SiO₂)、酸化窒化シリコン(SiO_xN_y)などの単層やこれらの積層を用いることができる。

10

【0150】

また、下地膜1802上に配線1805及び配線1806が形成され、画素電極1803の端部が配線1805で覆われている。配線1805及び配線1806の上部にN型の導電性を有するN型半導体層1807及びN型半導体層1808が形成されている。また、配線1805と配線1806の間であって、下地膜1802上に半導体層1809が形成されている。そして、半導体層1809の一部はN型半導体層1807及びN型半導体層1808上にまで延長されている。なお、この半導体層はアモルファスシリコン(a-Si:H)、微結晶半導体(μ c-Si:H)等の非結晶性を有する半導体膜で形成されている。また、半導体層1809上にゲート絶縁膜1810が形成されている。また、ゲート絶縁膜1810と同層の同じ材料からなる絶縁膜1811が第1の電極1804上にも形成されている。なお、ゲート絶縁膜1810としては酸化シリコン膜や窒化シリコン膜などが用いられる。

20

【0151】

また、ゲート絶縁膜1810上に、ゲート電極1812が形成されている。また、ゲート電極と同層に同じ材料でなる第2の電極1813が第1の電極1804上に絶縁膜1811を介して形成されている。第1の電極1804及び第2の電極1813で絶縁膜1811を挟まれた容量素子1819が形成されている。また、画素電極1803の端部、駆動トランジスタ1818及び容量素子1819を覆い、層間絶縁膜1814が形成されている。

【0152】

層間絶縁膜1814及びその開口部に位置する画素電極1803上に有機化合物を含む層1815及び対向電極1816が形成され、画素電極1803と対向電極1816とで有機化合物を含む層1815が挟まれた領域では発光素子1817が形成されている。

30

【0153】

また、図18Aに示す第1の電極1804を図18Bに示すように第1の電極1820で形成しても良い。第1の電極1820は配線1805及び1806と同層の同一材料で形成されている。また、アモルファスシリコンを半導体層に用いたボトムゲート構造のトランジスタを用いた表示装置のパネルの部分断面を図19に示す。

【0154】

基板1901上にゲート電極1903が形成されている。また、ゲート電極と同層に同じ材料からなる第1の電極1904が形成されている。ゲート電極1903の材料にはリンが添加された多結晶シリコンを用いることができる。多結晶シリコンの他に、金属とシリコンの化合物であるシリサイドでも良い。

40

【0155】

また、ゲート電極1903及び第1の電極1904を覆うようにゲート絶縁膜1905が形成されている。ゲート絶縁膜1905としては酸化シリコン膜や窒化シリコン膜などが用いられる。ゲート絶縁膜1905上に、半導体層1906が形成されている。また、半導体層1906と同層に同じ材料からなる半導体層1907が形成されている。

【0156】

半導体層1906上にはN型の導電性を有するN型半導体層1908、1909が形成

50

され、半導体層 1907 上には N 型半導体層 1910 が形成されている。N 型半導体層 1908、1909 上にはそれぞれ配線 1911、1912 が形成され、N 型半導体層 1910 上には配線 1911 及び 1912 と同層の同一材料からなる導電層 1913 が形成されている。半導体層 1907、N 型半導体層 1910 及び導電層 1913 からなる第 2 の電極が構成される。なお、この第 2 の電極と第 1 の電極 1904 でゲート絶縁膜 1902 を挟み込んだ構造の容量素子 1920 が形成されている。

【0157】

また、配線 1911 の一方の端部は延在し、その延在した配線 1911 上部に接して画素電極 1914 が形成されている。画素電極 1914 の端部、駆動トランジスタ 1919 及び容量素子 1920 を覆うように絶縁層 1915 が形成されている。

10

【0158】

画素電極 1914 及び絶縁層 1915 上には発光層 1916 及び対向電極 1917 が形成され、画素電極 1914 と対向電極 1917 とで発光層 1916 が挟まれた領域では発光素子 1918 が形成されている。

【0159】

容量素子の第 2 の電極の一部となる半導体層 1907 及び N 型半導体層 1910 は設けなくても良い。つまり第 2 の電極は導電層 1913 とし、第 1 の電極 1904 と導電層 1913 でゲート絶縁膜が挟まれた構造の容量素子としても良い。

【0160】

図 19A において、配線 1911 を形成する前に画素電極 1914 を形成することで、図 19B に示すような、画素電極 1914 からなる第 2 の電極 1921 と第 1 の電極 1904 でゲート絶縁膜 1905 が挟まれた構造の容量素子 1922 を形成することができる。なお、図 19 では、逆スタガ型のチャネルエッチ構造のトランジスタについて示したが、もちろんチャネル保護構造のトランジスタでも良い。チャネル保護構造のトランジスタの場合について、図 20A、B を用いて説明する。

20

【0161】

図 20A に示すチャネル保護型構造のトランジスタは図 19A に示したチャネルエッチ構造の駆動トランジスタ 1919 の半導体層 1906 のチャネルが形成される領域上にエッチングのマスクとなる絶縁物 2001 が設けられている点が異なり、他の共通しているところは共通の符号を用いている。また、同様に、図 20B に示すチャネル保護型構造のトランジスタは図 19B に示したチャネルエッチ構造の駆動トランジスタ 1919 の半導体層 1906 のチャネルが形成される領域上にエッチングのマスクとなる絶縁物 2001 が設けられている点が異なり、他の共通しているところは共通の符号を用いている。

30

【0162】

画素を構成するトランジスタの半導体層（チャネル形成領域やソース領域やドレイン領域など）に非晶質半導体膜を用いることで、製造コストを削減することができる。なお、本発明の画素構成の適用することができるトランジスタの構造や、容量素子の構造は上述した構成に限られず、さまざまな構成のトランジスタの構造や、容量素子の構造のものをを用いることができる。

【0163】

この表示装置を製造するとき、フォトリソグラフィ工程において、透過率に傾斜を持たせたフォトマスク（ハーフトーンマスク）を使用しても良い。以下に、ハーフトーンマスクを使用した場合の本発明を適用した表示装置を製造する方法について説明する。

40

【0164】

トランジスタは、単結晶基板に形成される MOS トランジスタの他、薄膜トランジスタ（TFET）で構成することもできる。図 21 は回路を構成するトランジスタの断面構造を示す図である。図 21 は、n チャネル型トランジスタ 2101、n チャネル型トランジスタ 2102、容量素子 2104、抵抗素子 2105、p チャネル型トランジスタ 2103 が示されている。各トランジスタは半導体層 2205、ゲート絶縁層 2208、ゲート電極 2209 を備えている。ゲート電極 2209 は、第 1 導電層 2203 と第 2 導電層 22

50

02の積層構造で形成されている。また、図22(A)～(D)は、図21で示すトランジスタ、容量素子、抵抗素子に対応する上面図であり合わせて参照することができる。

【0165】

図21において、nチャネル型トランジスタ2101は、チャネル長方向（キャリアの流れる方向）において、ゲート電極の両側に低濃度ドレイン（LDD）とも呼ばれ、配線2204とコンタクトを形成するソース及びドレイン領域を形成する不純物領域2206の不純物濃度よりも低濃度にドーピングされた不純物領域2207が半導体層2205に形成されている。不純物領域2206と不純物領域2207には、nチャネル型トランジスタ2101を構成する場合、n型を付与する不純物としてリンなどが添加されている。LDDはホットエレクトロン劣化や短チャネル効果を抑制する手段として形成される。

10

【0166】

図22(A)で示すように、nチャネル型トランジスタ2101のゲート電極2209において、第1導電層2203は、第2導電層2202の両側に広がって形成されている。この場合において、第1導電層2203の膜厚は、第2導電層の膜厚よりも薄く形成されている。第1導電層2203の厚さは、10～100kVの電界で加速されたイオン種を通過させることが可能な厚さに形成されている。不純物領域2207はゲート電極2209の第1導電層2203と重なるように形成されている。すなわち、ゲート電極2209とオーバーラップするLDD領域を形成している。この構造は、ゲート電極2209において、第2導電層2202をマスクとして、第1導電層2203を通して一導電型の不純物を添加することにより、自己整合的に不純物領域2207を形成している。すなわち

20

【0167】

図21において、nチャネル型トランジスタ2102は、ゲート電極の片側に不純物領域2206の不純物濃度よりも低濃度にドーピングされた不純物領域2207が半導体層2205に形成されている。図22(B)で示すように、nチャネル型トランジスタ2102のゲート電極2209において、第1導電層2203は、第2導電層2202の片側に広がって形成されている。この場合も同様に、第2導電層2202をマスクとして、第1導電層2203を通して一導電型の不純物を添加することにより、自己整合的にLDDを形成することができる。

【0168】

片側にLDDを有するトランジスタは、ソース及びドレイン電極間に正電圧のみ、若しくは負電圧のみが印加されるトランジスタに適用すれば良い。具体的には、インバータ回路、NAND回路、NOR回路、ラッチ回路といった論理ゲートを構成するトランジスタや、センスアンプ、定電圧発生回路、VCOといったアナログ回路を構成するトランジスタに適用すれば良い。

30

【0169】

図21において、容量素子2104は、第1導電層2203と半導体層2205とでゲート絶縁層2208を挟んで形成されている。容量素子2104を形成する半導体層2205には、不純物領域2206と不純物領域2207を備えている。不純物領域2207は、半導体層2205において第1導電層2203と重なる位置に形成される。また、不純物領域2206は配線2204とコンタクトを形成する。不純物領域2207は、第1導電層2203を通して一導電型の不純物を添加することができるので、不純物領域310と不純物領域311に含まれる不純物濃度は同じにすることもできるし、異ならせることも可能である。いずれにしても、容量素子2104において、半導体層2205は電極として機能させるので、一導電型の不純物を添加して低抵抗化しておくことが好ましい。また、第1導電層2203は、図22(C)に示すように、第2導電層2202を補助的な電極として利用することにより、電極として十分に機能させることができる。このように、第1導電層2203と第2導電層2202を組み合わせた複合的な電極構造とすることにより、容量素子2104を自己整合的に形成することができる。

40

【0170】

50

図 2 1 において、抵抗素子 2 1 0 5 は、第 1 導電層 2 2 0 3 によって形成されている。第 1 導電層 2 2 0 3 は 3 0 n m ~ 1 5 0 n m 程度の厚さに形成されるので、その幅や長さを適宜設定して抵抗素子を構成することができる。

【0 1 7 1】

図 2 1 において、p チャネル型トランジスタ 2 1 0 3 は、半導体層 2 2 0 5 に不純物領域 2 2 1 2 を備えている。この不純物領域 2 2 1 2 は、配線 2 2 0 4 とコンタクトを形成するソース及びドレイン領域を形成する。ゲート電極 2 2 0 9 の構成は第 1 導電層 2 2 0 3 と第 2 導電層 2 2 0 2 が重畳した構成となっている。p チャネル型トランジスタ 2 1 0 3 は L D D を設けないシングルドレイン構造のトランジスタである。p チャネル型トランジスタ 2 1 0 3 を形成する場合、不純物領域 2 2 1 2 には p 型を付与する不純物として硼素などが添加される。一方、不純物領域 2 2 1 2 にリンを添加すればシングルドレイン構造の n チャネル型トランジスタとすることもできる。

10

【0 1 7 2】

半導体層 2 2 0 5 及びゲート絶縁層 2 2 0 8 の一方若しくは双方に対してマイクロ波で励起され、電子温度が 2 e V 以下、イオンエネルギーが 5 e V 以下、電子密度が $1 0^{11} \sim 1 0^{13} \text{ cm}^{-3}$ 程度である高密度プラズマ処理によって酸化又は窒化処理しても良い。このとき、基板温度を 3 0 0 ~ 4 5 0 °C とし、酸化雰囲気 (O_2 、 N_2O など) 又は窒化雰囲気 (N_2 、 NH_3 など) で処理することにより、半導体層 2 2 0 5 とゲート絶縁層 2 2 0 8 の界面の欠陥準位を低減することができる。ゲート絶縁層 2 2 0 8 に対してこの処理を行うことにより、この絶縁層の緻密化を図ることができる。すなわち、荷電欠陥の生成を抑えトランジスタのしきい値電圧の変動を抑えることができる。また、トランジスタを 3 V 未満の電圧で駆動させる場合には、このプラズマ処理により酸化若しくは窒化された絶縁層をゲート絶縁層 2 2 0 8 として適用することができる。また、トランジスタの駆動電圧が 3 V 以上の場合には、このプラズマ処理で半導体層 2 2 0 5 の表面に形成した絶縁層と C V D 法 (プラズマ C V D 法若しくは熱 C V D 法) で堆積した絶縁層とを組み合わせることでゲート絶縁層 2 2 0 8 を形成することができる。また、同様にこの絶縁層は、容量素子 2 1 0 4 の誘電体層としても利用することができる。この場合、このプラズマ処理で形成された絶縁層は、1 n m ~ 1 0 n m の厚さで形成され、緻密な膜であるので、大きな電荷容量を持つ容量素子を形成することができる。

20

【0 1 7 3】

図 2 1 及び図 2 2 を参照して説明したように、膜厚の異なる導電層を組み合わせることにより、さまざまな構成の素子を形成することができる。第 1 導電層のみが形成される領域と、第 1 導電層と第 2 導電層が積層されている領域は、回折格子パターン或いは半透膜からなる光強度低減機能を有する補助パターンを設置したフォトマスク又はレチクルを用いて形成することができる。すなわち、フォトリソグラフィ工程において、フォトレジストを露光する際に、フォトマスクの透過光量を調節して、現像されるレジストマスクの厚さを異ならせる。この場合、フォトマスク又はレチクルに解像度限界以下のスリットを設けて上記複雑な形状を有するレジストを形成しても良い。また、現像後に約 2 0 0 °C のベークを行ってフォトレジスト材料で形成されるマスクパターンを変形させても良い。

30

【0 1 7 4】

また、回折格子パターン或いは半透膜からなる光強度低減機能を有する補助パターンを設置したフォトマスク又はレチクルを用いることにより、第 1 導電層のみが形成される領域と、第 1 導電層と第 2 導電層が積層されている領域を連続して形成することができる。図 2 2 (A) に示すように、第 1 導電層のみが形成される領域を半導体層上に選択的に形成することができる。このような領域は、半導体層上において有効であるが、それ以外の領域 (ゲート電極と連続する配線領域) では必要がない。このフォトマスク若しくはレチクルを用いることにより、配線部分は、第 1 導電層のみの領域を作らないで済むので、配線密度を実質的に高めることができる。

40

【0 1 7 5】

図 2 1 及び図 2 2 の場合には、第 1 導電層はタングステン (W)、クロム (C r)、タ

50

ンタル (Ta)、窒化タンタル (Ta₂N₅) 又はモリブデン (Mo) などの高融点金属、又は高融点金属を主成分とする合金若しくは化合物を 30～50nm の厚さで形成する。また、第2導電層はタングステン (W)、クロム (Cr)、タンタル (Ta)、窒化タンタル (Ta₂N₅) 又はモリブデン (Mo) などの高融点金属、又は高融点金属を主成分とする合金若しくは化合物で 300nm～600nm の厚さに形成する。例えば、第1導電層と第2導電層をそれぞれ異なる導電材料を用い、後に行うエッチング工程でエッチングレートが異なるようにする。一例として、第1導電層として TaN を用い、第2導電層としてタングステン膜を用いることができる。

【0176】

本実施形態では、回折格子パターン或いは半透膜からなる光強度低減機能を有する補助パターンを設置したフォトマスク又はレチクルを用いて、電極構造の異なるトランジスタ、容量素子、抵抗素子を同じ工程によって作り分けることができることを示している。これにより、回路の特性に応じて、形態の異なる素子を、工程を増やすことなく作り込み、集積化することができる。

【0177】

(実施の形態8)

本実施の形態では、本発明に適用できる画素構成を例示する。なお、図3で示した構成と重複する説明は省略する。図10には、図3に示した画素構成に加え、容量素子16の両端に第3のトランジスタ25が設けられていることを特徴とした画素構成を示す。第3のトランジスタ25は、所定の期間で、容量素子16に蓄積された電荷を放電する機能を有する。この第3のトランジスタ25を消去用トランジスタとも表記する。所定の期間は、第3のトランジスタ25のゲート電極が接続されている消去用ゲート線 Ry によって制御される。

【0178】

例えば、複数のサブフレーム期間を設ける場合、短いサブフレーム期間において、第3のトランジスタ25により容量素子16の電荷を放電する。その結果、デューティ比を向上させることができる。

【0179】

図11(A)には、図3に示した画素構成に加え、駆動用トランジスタ12と発光素子13との間に、第4のトランジスタ36が設けられていることを特徴とした画素構成を示す。第4のトランジスタ36のゲート電極には、固定電位となっている第2の電源線 Vax が接続されている。そのため、発光素子13へ供給される電流は、駆動用トランジスタ12や第4のトランジスタ36のゲートとソース間の電圧によらず、一定とすることができる。この第4のトランジスタ36を、電流制御用トランジスタとも表記する。図11(B)には、図11(A)と異なり、固定電位となっている第2の電源線 Vax が、ゲート線 Gy と並行に設けられていることを特徴とした画素構成を示す。また図11(C)には、図11(A)(B)と異なり、固定電位となっている、第4のトランジスタ36のゲート電極が、駆動用トランジスタ12のゲート電極に接続されていることを特徴とした画素構成である。図11(C)のように、新たに電源線を設けることがない画素構成では、開口率を維持することができる。

【0180】

図12には、図11(A)に示した画素構成に加え、図10に示した消去用トランジスタ25を設けたことを特徴とした画素構成を示す。消去用トランジスタにより、容量素子16の電荷を放電することができる。勿論、図11(B)又は図11(C)に示した画素構成に加えて、消去用トランジスタを設けることも可能である。

【0181】

ここで、一つの画素に、複数のサブ画素を設けた場合の画素回路について説明する。図示しないが、一つの画素に複数のサブ画素を設けてそれぞれ独立に駆動する場合、サブ画素の数だけデータ線、走査線、電源線を用意し、それぞれに1画素分の素子を配置すれば良い。ただし、データ線、走査線、電源線のうち、サブ画素間で共有できるものは共有し

10

20

30

40

50

ても良い。共有するときの回路例を、以下に示す。

【0182】

図23(A)に、駆動トランジスタのソース又はドレイン領域の一方と接続されている電源線と走査線を、サブ画素で共有している場合の画素回路図を示す。図23(B)は、走査線のみ共有している場合の画素回路図を示す。図中の第1の駆動用トランジスタ12、第1の発光素子13、第2の駆動トランジスタ114、第2の発光素子14は、図1で示したものと同等である。図23(A)ではこれら以外に、走査線2301、第1のデータ線2302、第2のデータ線2303、電源線2304、第1の選択トランジスタ2305、第2の選択トランジスタ2306、第1の容量素子2307、第2の容量素子2308、から構成される。図23(B)では、これらに加えて第2の電源線2309が追加されている。 10

【0183】

第1の選択トランジスタ2305、第1の容量素子2307、第1の駆動用トランジスタ12、第1の発光素子13で、第1のサブ画素が構成される。同様に、第2の選択トランジスタ2306、第2の容量素子2308、第2の駆動トランジスタ114、第2の発光素子14で、第2のサブ画素が構成される。

【0184】

走査するタイミングはサブ画素間で同じでも良いので、図23のようにサブ画素間で走査線を共有し、データ線はそれぞれ別に用いても良い。走査線を共有すれば、画素回路レイアウトに余裕ができ、画素開口率を上げられる。また、歩留まり向上にもつながる。 20

【0185】

図24(A)に、駆動トランジスタのソース又はドレイン領域の一方と接続されている電源線と、選択トランジスタのソース又はドレイン領域の一方と接続されているデータ線を、データ線2403によりサブ画素で共有している場合の画素回路図を示す。図24(B)は、データ線のみ共有している場合の画素回路図を示す。図24の走査線2401、2402のように、走査線を別々にすることによって走査タイミングをサブ画素間で変えることで、データ線を共有しても良い。データ線を共有すれば、画素回路レイアウトに余裕ができ、画素開口率を上げられる。また、歩留まり向上にもつながる。また、データ線の寄生容量が小さいため、データ線の充放電に伴う消費電力が小さくなる。

【0186】

このようにサブ画素間で配線を共有して面積階調を行うことで、サブ画素がないものに比べて画素開口率や歩留まりを下げることなく、多階調化することができる。なお、電源線を共有しないときは、実施の形態1で述べたようにサブ画素ごとでモニター用発光素子による劣化、温度補正が可能であることや、電源線を通る電流によって電圧降下することによる電圧変動を低減できるなど、特別の効果を有するので、電源線については共有しない場合も併記した。 30

【0187】

次に、本発明を用いたフルカラー表示可能な表示装置の画素回路について説明する。R、G、Bで色分けされた画素を有する表示装置における発光素子の劣化や温度による特性の変化が、発光素子の発光色ごとに異なっているためのために、図25のように、色ごとにそれぞれ本発明の構成を適用しても良い。 40

【0188】

図25(A)は、図23(A)で示した画素2300aの発光素子をR、G、Bで色分けした表示装置に、本発明を適用したときの構成である。このとき、モニター回路64も同様に色分けし、RGBごとに劣化若しくは温度による特性変化の補正を行っても良い。ここで、画素の構成は、図23(A)ではなく、図24(A)の画素2400aと同様でもかまわない。

【0189】

図25(B)は、図23(B)で示した画素2300bの発光素子をR、G、Bで色分けした表示装置に、本発明を適用したときの構成である。このとき、モニター回路64も 50

同様に色分けし、R G Bごとに劣化若しくは温度による特性変化の補正を行っても良い。ここで、画素の構成は、図23(B)ではなく、図24(B)の画素2400bと同様でもかまわない。また、フルカラーを得るための画素構成として、図26のように、1画素を3つ以上に分割しても良い。このとき、モニター回路64も分割した数だけ配置し、それぞれの発光素子に劣化若しくは温度による特性変化の補正を行っても良い。

【0190】

図26(A)は、図23(A)で示した画素の発光素子をW、R、G、Bで色分けした表示装置に、本発明を適用したときの構成である。このとき、モニター回路64も同様に色分けし、W、R、G、Bごとに劣化若しくは温度による特性変化の補正を行っても良い。ここで、画素の構成は、図23(A)ではなく、図24(A)と同様でもかまわない。

10

【0191】

図26(B)は、図23(B)で示した画素の発光素子をW、R、G、Bで色分けした表示装置に、本発明を適用したときの構成である。このとき、モニター回路64も同様に色分けし、W、R、G、Bごとに劣化若しくは温度による特性変化の補正を行っても良い。ここで、画素の構成は、図23(B)ではなく、図24(B)と同様でもかまわない。

【0192】

なお、図25、図26では、分割した画素全てについて、電源線の数等しいときを示したが、これに限定されない。例えば、図26において、W画素だけ図23(A)で表される構成であり、残りのR、G、Bの3つが、図23(B)であっても良い。このように、色分けされた個々の画素回路は、それぞれ異なる画素構成であっても良く、自由に選択することができる。

20

【0193】

(実施の形態9)

本実施の形態では、アモルファスシリコンを用いたトランジスタで構成した表示装置に本発明を適用したときの画素構成及び画素への輝度情報の書き込み方法について説明する。

【0194】

アモルファスシリコンを用いた半導体集積装置は、その作製工程上、異なる導電型のトランジスタを一体形成した、いわゆるCMOS回路を構成することが難しい。可能だとしても、その作製工程は単一導電型のトランジスタのみを形成する場合と比べて複雑になることは避けられないため、アモルファスシリコンを用いるときの最大の利点である、単純な作製工程によるローコスト性が生かされない。そのため、アモルファスシリコンを用いた半導体集積装置を設計する際には、単一導電型のトランジスタのみを用いて回路を構成することを考慮する必要がある。

30

【0195】

また、アモルファスシリコンを用いたトランジスタは、バルクシリコンやポリシリコンを用いたトランジスタとは異なり、動作し続けることによる経時劣化、特に閾値の増大が著しい。閾値の増大は、トランジスタのゲート電極に正方向電圧を印加し続けることによって、ゲート絶縁膜中にトラップされる電荷量が増えることと、チャネル部の欠陥密度が増大していくことが、主な原因である。これらの現象の発生を抑え、トランジスタの閾値シフトを抑える方法としては、例えばゲート電極に負方向電圧を印加する期間を設ける方法がある。

40

【0196】

図27に、アモルファスシリコンを用いたときのトランジスタの経時劣化を抑えるための表示装置の構成を示す。図27の構成要素のうち図2と同じ符号のものは、同一若しくはほぼ同一の機能を有するものであるとする。2700は画素回路、2701はプリチャージ回路、S1～Sxは、画素へ書き込む輝度信号を伝えるデータ線である。データ線S1～Sxは、信号線駆動回路43と、プリチャージ回路2701と、スイッチを介して、接続されている。一つのデータ線あたりスイッチは二つであるが、これらのスイッチは両方同時にオンすることは無く、オンしているのは少なくともどちらか一つである。また、

50

画素回路 2700 を構成するトランジスタの導電型は、全て N チャンネル型として説明をする。

【0197】

プリチャージ回路 2701 は、信号線駆動回路 43 が動作して画素に所定の電圧を書き込む前に動作する。つまり、まずデータ線 S1 ～ Sx に配置されたスイッチのうちプリチャージ回路 2701 側のスイッチがオンとなっており、画素に書き込まれる電圧はプリチャージ回路 2701 で決められた電圧に一旦設定された後、データ線 S1 ～ Sx に配置されたスイッチが切り替わり、画素に信号線駆動回路 43 で決められた所定の電圧が書き込まれる。

【0198】

ここで、プリチャージ回路 2701 により決められるプリチャージ電圧は、駆動用トランジスタ 12 及び 114 がオフする電圧と同じかより低く、電源 18 の電位と同じかより高いのが好ましい。その理由として、アモルファスシリコンを用いたトランジスタは、経時劣化による閾値電圧シフトを抑えるために、ゲート電極に負方向電圧を印加する期間を設けることが効果的であることは前述したとおりであるが、プリチャージ期間に画素に書き込む電圧を駆動用トランジスタ 12 及び 114 がオフする電圧より低くしておけば、全ての駆動トランジスタのゲート電圧が負方向電圧となる期間を設けることができ、駆動トランジスタの経時劣化による閾値電圧シフトを低減できるからである。また、あまりプリチャージ電圧を低くしすぎても、消費電力の増大や電源回路の高コスト化をもたらすので、プリチャージ電圧は、対向電極側の電源 18 の電位と同じか、それよりも高いのが望ましい。

【0199】

なお、プリチャージ回路 2701 は、全ての駆動トランジスタのゲート電極に一定の電圧を加えることが目的であるため、回路中に電氣的素子がある必要は無く、外部入力電源をデータ線 S1 ～ Sx に伝えるための配線であっても良い。

【0200】

次に、駆動トランジスタのゲートに負方向電圧を印加するのに適した画素構成について、図 28 を用いて説明する。図 28 は、データ線方向に隣り合った二つの画素の回路図であり、図 3 で示した画素回路に、負方向電圧印加用のトランジスタ 2800 が追加されている構成である。負方向電圧印加用のトランジスタ 2800 のゲート電極は、一つ前の画素の走査線に接続され、負方向電圧印加用のトランジスタ 2800 のソース又はドレイン電極のうちの一方は、当該画素の走査線に接続され、負方向電圧印加用のトランジスタ 2800 のソース又はドレイン電極のうちの他方は、駆動用トランジスタ 12 のゲート電極に接続されている。

【0201】

図 28 で示した画素は、なんら特別な駆動方法を用いることなく、図 3 を用いたときと全く同様に駆動するだけで、駆動用トランジスタ 12 のゲート電極に負方向の電圧を印加する駆動を実現することができる。当該画素のトランジスタ 2800 は、当該画素の一つ前の画素が選択されるタイミングでオンとなる。すると、そのときの当該画素の走査線電位は低電位であるので、トランジスタ 2800 を通じて、駆動用トランジスタ 12 のゲート電極の電位は低電位となる。このとき、駆動用トランジスタ 12 のゲート電極に負方向の電圧が印加される。当該画素が選択されたときは、トランジスタ 2800 のゲート電極は低電位、ソース又はドレイン電極はそれよりも高い電位となるので、トランジスタ 2800 はオフとなる。従って、当該画素が選択されたときはデータの書き込みが行われ、トランジスタ 2800 は書き込みの動作を妨げない。このようにして、図 28 で示した画素を用いれば、書き込み時間の制約を受けることなく、また、負電荷印加のための特別な周辺駆動回路を追加することなく、トランジスタの信頼性を大きく高めることができる。

【0202】

ここで、トランジスタ 2800 の確実なオンオフのため、走査線の低電位側電位は画素にある電極がとる電位の中で一番低く、また、走査線の高電位側電位は画素にある電極が

10

20

30

40

50

とる電位の中で一番高くするのが好ましい。

【0203】

なお、図28が示す画素回路の趣旨は、当該画素にデータを書き込む前に駆動用トランジスタ12のゲート電極に十分低い電位を与えることであるので、その趣旨から逸脱しない限り、追加するトランジスタの電極の接続先はどこでも良い。例えば、トランジスタ2800のゲート電極の接続先が当該画素の二つ前の走査線であっても良いし、また、専用に設けられた走査線であっても良い。また、トランジスタ2800のソース又はドレイン電極の一方は、例えば対向電極に接続されていても良いし、電源線に接続されていても良い。また、トランジスタ2800を追加する元の画素は、当然、図3でなくても構わない。例えば、サブ画素を用いた図23の画素であっても良く、また、図24の画素であっても良い。さらに、消去用トランジスタを追加した図10の画素であっても良いし、ゲート電位を固定したトランジスタを追加した図11、図12の画素であっても良い。データ書き込み前に駆動トランジスタのゲート電極に低電位を書き込むという趣旨に沿っていればよく、追加元の画素の構成に制限は無い。

10

【0204】

(実施の形態10)

本実施の形態では、上記実施の形態で示した画素回路を有するパネル全体の構成について説明する。

【0205】

図13に示すように、本発明の表示装置は、上述した画素10がマトリクス状に複数配置された画素部40と、第1の走査線駆動回路41と、第2の走査線駆動回路42と、信号線駆動回路43とを有する。第1の走査線駆動回路41と第2の走査線駆動回路42は、画素部40を挟んで対向するように配置するか、画素部40の上下左右の四方のうち一方に配置すると良い。

20

【0206】

信号線駆動回路43は、パルス出力回路44、ラッチ45及び選択回路46を有する。ラッチ45は第1のラッチ47と第2のラッチ48を有する。選択回路46は、スイッチング手段としてトランジスタ49と、アナログスイッチ50とを有する。トランジスタ49とアナログスイッチ50は、信号線に対応して、各列に設けられている。加えて、本実施の形態では、WE信号の反転信号を生成するために、インバーター51が各列に設けられている。なおインバーター51は、外部からWE信号の反転信号を供給する場合には設けなくても良い。

30

【0207】

トランジスタ49のゲート電極は選択信号線52に接続し、一方の電極は信号線に接続し、他方の電極は電源53に接続する。アナログスイッチ50は、第2のラッチ48と各信号線の間に設けられる。すなわち、アナログスイッチ50の入力端子は第2のラッチ48に接続し、出力端子は信号線に接続する。アナログスイッチ50の二つの制御端子は、一方は選択信号線52に接続し、他方はインバーター51を介して選択信号線52に接続する。電源53の電位は、画素が有する駆動用トランジスタ12をオフにする電位であり、駆動用トランジスタ12の極性がnチャネル型の場合は電源53の電位をLowとし、駆動用トランジスタ12がpチャネル型の場合は電源53の電位をHighとする。

40

【0208】

第1の走査線駆動回路41はパルス出力回路54と選択回路55を有する。第2の走査線駆動回路42はパルス出力回路56と選択回路57を有する。パルス出力回路54、56には、それぞれスタートパルス(G1SP、G2SP)が入力される。またパルス出力回路54、56にはそれぞれクロックパルス(G1CK、G2CK)と、その反転クロックパルス(G1CKB、G2CKB)が入力される。

【0209】

選択回路55、57は、選択信号線52に接続する。但し、第2の走査線駆動回路42が含む選択回路57は、インバーター58を介して選択信号線52に接続する。つまり、

50

選択信号線 5 2 を介して、選択回路 5 5、5 7 に入力される WE 信号は、互いに反転した関係にある。

【0210】

選択回路 5 5、5 7 の各々はトライステートバッファを有する。トライステートバッファは、選択信号線 5 2 から伝達される信号が H レベルのときに動作状態となり、L レベルのときにハイインピーダンス状態となる。信号線駆動回路 4 3 が含むパルス出力回路 4 4、第 1 の走査線駆動回路 4 1 が含むパルス出力回路 5 4、第 2 の走査線駆動回路 4 2 が含むパルス出力回路 5 6 は、複数のフリップフロップ回路からなるシフトレジスタやデコーダ回路を有する。パルス出力回路 4 4、5 4、5 6 として、デコーダ回路を適用すれば、信号線又は走査線をランダムに選択することができる。信号線又は走査線をランダムに選択できると、時間階調方式を適用した場合に生じる疑似輪郭の発生を抑制することができる。

10

【0211】

なお信号線駆動回路 4 3 の構成は上記の記載に制約されず、レベルシフタやバッファを設けても良い。また、第 1 の走査線駆動回路 4 1 と第 2 の走査線駆動回路 4 2 の構成も上記の記載に制約されず、レベルシフタやバッファを設けても良い。また、信号線駆動回路 4 3、第 1 の走査線駆動回路 4 1、又は第 2 の走査線駆動回路 4 2 は、それぞれ保護回路を有しても良い。

【0212】

また本発明において、保護回路を設けても良い。保護回路は、複数の抵抗素子を有するように形成することができる。例えば複数の抵抗素子として、p チャネル型のトランジスタを用いることができる。保護回路は、信号線駆動回路 4 3、第 1 の走査線駆動回路 4 1、又は第 2 の走査線駆動回路 4 2 にそれぞれ設けることができ、好ましくは、信号線駆動回路 4 3、第 1 の走査線駆動回路 4 1、又は第 2 の走査線駆動回路 4 2 と画素部 4 0 との間に設けると良い。このような保護回路により、静電気に起因した素子の劣化や破壊を抑制することができる。

20

【0213】

また本実施の形態において、表示装置は電源制御回路 6 3 を有する。電源制御回路 6 3 は、発光素子 1 3 に電源を供給する電源回路 6 1 とコントローラ 6 2 を有する。電源回路 6 1 は、第 1 の電源 1 7 を有し、第 1 の電源 1 7 は駆動用トランジスタ 1 2 と電源線 V_x を介して発光素子 1 3 の画素電極に接続する。また、電源回路 6 1 は、第 2 の電源 1 8 を有し、第 2 の電源 1 8 は対向電極に接続される電源線を介して、発光素子 1 3 に接続する。

30

【0214】

このような電源回路 6 1 は、発光素子 1 3 に順方向電圧を印加して、発光素子 1 3 に電流を流して発光させるときは、第 1 の電源 1 7 の電位が、第 2 の電源 1 8 の電位よりも高くなるように設定する。一方、発光素子 1 3 に逆方向電圧を印加するときには、第 1 の電源 1 7 の電位が、第 2 の電源 1 8 の電位よりも低くなるように設定する。このような電源の設定は、コントローラ 6 2 から電源回路 6 1 に所定の信号を供給することにより、行うことができる。

40

【0215】

また本実施の形態において、表示装置は、モニター回路 6 4 と制御回路 6 5 を有することを特徴とする。制御回路 6 5 は定電流源 1 0 5 とバッファアンプ回路 1 1 0 を有する。また、モニター回路 6 4 は、モニター用発光素子 6 6、モニター制御用トランジスタ 1 1 1、インバータ 1 1 2 を有する。

【0216】

制御回路 6 5 は、モニター回路 6 4 の出力に基づき、電源電位を補正する信号を、電源制御回路 6 3 に供給する。電源制御回路 6 3 は、制御回路 6 5 から供給される信号に基づき、画素部 4 0 に供給する電源電位を補正する。上記構成を有する本発明の表示装置は、環境温度の変化や経時劣化に起因した電流値の変動を抑制して、信頼性を向上させること

50

ができる。さらにモニター制御用トランジスタ 111 及びインバーター 112 により、ショートしたモニター用発光素子 66 に、定電流源 105 からの電流が流れることを防止でき、正確な電流値の変動を発光素子 13 へ供給することができる。

【0217】

(実施の形態 11)

本実施の形態では、上記構成を有する本発明の表示装置の動作について図面を参照して説明する。

【0218】

まず、信号線駆動回路 43 の動作について図 15 (A) を用いて説明する。パルス出力回路 44 には、クロック信号 (以下 SCK と表記)、クロック反転信号 (以下 SCKB と表記) 及びスタートパルス (以下 SSP と表記) が入力され、これらの信号のタイミングに従って、第 1 のラッチ 47 にサンプリングパルスを出力する。データが入力される第 1 のラッチ 47 は、サンプリングパルスが入力されるタイミングに従って、1 列目から最終列目までビデオ信号を保持する。第 2 のラッチ 48 は、ラッチパルスが入力されると、第 1 のラッチ 47 に保持されていたビデオ信号を、一斉に第 2 のラッチ 48 に転送する。

【0219】

ここで、選択信号線 52 から伝達される WE 信号が L レベルのときを期間 T1 とし、WE 信号が H レベルのときを期間 T2 として、各期間における選択回路 46 の動作について説明する。期間 T1、T2 は水平走査期間の半分の期間に相当し、期間 T1 を第 1 のサブゲート選択期間、期間 T2 を第 2 のサブゲート選択期間とよぶ。

【0220】

期間 T1 (第 1 のサブゲート選択期間) において、選択信号線 52 から伝達される WE 信号は L レベルであり、トランジスタ 49 はオン状態、アナログスイッチ 50 は非導通状態となる。そうすると、複数のデータ線 S1 ~ Sn は、各列に配置されたトランジスタ 49 を介して、電源 53 と電氣的に接続する。つまり、複数の信号線 Sx は、電源 53 と同電位になる。このとき、選択された画素 10 が有するスイッチング用トランジスタ 11 は、オンとなっており、当該スイッチング用トランジスタ 11 を介して、電源 53 の電位が駆動用トランジスタ 12 のゲート電極に伝達される。そうすると、駆動用トランジスタ 12 はオフ状態となり、発光素子 13 が有する両電極間には電流が流れず非発光となる。このように、信号線 Sx に入力されるビデオ信号の状態に関係なく、電源 53 の電位が駆動用トランジスタ 12 のゲート電極に伝達されて、当該スイッチング用トランジスタ 11 がオフ状態になり、発光素子 13 が強制的に非発光となる動作が消去動作である。このとき、電源 53 の電位を、画素の駆動トランジスタがオフする方向に十分大きくすると、データ書き込み時と比べて逆のバイアスが駆動トランジスタのゲート電極に印加されるので、トランジスタの信頼性が高くなり、好ましい。

【0221】

期間 T2 (第 2 のサブゲート選択期間) において、選択信号線 52 から伝達される WE 信号は H レベルであり、トランジスタ 49 はオフ状態、アナログスイッチ 50 は導通状態となる。そうすると、第 2 のラッチ 48 に保持されたビデオ信号は、1 行分が同時に各信号線 Sx に伝達される。このとき、画素 10 が含むスイッチング用トランジスタ 11 はオンとなり、当該スイッチング用トランジスタ 11 を介して、ビデオ信号が駆動用トランジスタ 12 のゲート電極に伝達される。そうすると、入力されたビデオ信号に従って、駆動用トランジスタ 12 はオン又はオフとなり、発光素子 13 が有する第 1 及び第 2 の電極は、互いに異なる電位又は同電位となる。より詳しくは、駆動用トランジスタ 12 がオンとなると、発光素子 13 が有する第 1 及び第 2 の電極は互いに異なる電位となり、発光素子 13 に電流が流れる。すると、発光素子 13 は点灯する。なお発光素子 13 に流れる電流は、駆動用トランジスタ 12 のソースとドレインの間に流れる電流と同じである。

【0222】

一方、駆動用トランジスタ 12 がオフとなると、発光素子 13 が有する第 1 及び第 2 の電極は同電位となり、発光素子 13 に電流は流れない。すなわち、発光素子 13 は非発光

となる。このように、ビデオ信号に従って、駆動用トランジスタ 12 がオン状態又はオフ状態になり、発光素子 13 が有する第 1 及び第 2 の電極の電位が互いに異なる電位又は同電位となる動作が書き込み動作である。

【0223】

次に、第 1 の走査線駆動回路 41、第 2 の走査線駆動回路 42 の動作について説明する。パルス出力回路 54 には、G1CK、G1CKB、G1SP が入力され、これらの信号のタイミングに従って、選択回路 55 に順次パルスを出力する。パルス出力回路 56 には、G2CK、G2CKB、G2SP が入力され、これらの信号のタイミングに従って、選択回路 57 に順次パルスを出力する。図 15 (B) には、i 行目、j 行目、k 行目、p 行目 (i、j、k、p は自然数、 $1 \leq i, j, k, p \leq n$) の各列の選択回路 55、57 に供給されるパルスの電位を示す。 10

【0224】

ここで、信号線駆動回路 43 の動作の説明と同様に、選択信号線 52 から伝達される WE 信号が L レベルのときを期間 T1 とし、WE 信号が H レベルのときを期間 T2 として、各期間における第 1 の走査線駆動回路 41 が含む選択回路 55 と、第 2 の走査線駆動回路 42 が含む選択回路 57 の動作について説明する。なお、図 15 (B) のタイミングチャートでは、第 1 の走査線駆動回路 41 から信号が伝達されたゲート線 Gy (y は自然数、 $1 \leq y \leq n$) の電位を VGy (41) と表記し、第 2 の走査線駆動回路 42 から信号が伝達されたゲート線の電位を VGy (42) と表記する。そして、VGy (41) と VGy (42) は、同じゲート線 Gy により供給することができる。 20

【0225】

期間 T1 (第 1 のサブゲート選択期間) において、選択信号線 52 から伝達される WE 信号は L レベルである。そうすると、第 1 の走査線駆動回路 41 が含む選択回路 55 には、L レベルの WE 信号が入力され、選択回路 55 は不定状態となる。一方、第 2 の走査線駆動回路 42 が含む選択回路 57 には、WE 信号が反転した H レベルの信号が入力され、選択回路 57 は動作状態となる。つまり、選択回路 57 は H レベルの信号 (行選択信号) を i 行目のゲート線 Gi に伝達し、ゲート線 Gi は H レベルの信号と同電位となる。すなわち、第 2 の走査線駆動回路 42 により i 行目のゲート線 Gi が選択される。その結果、画素 10 が含むスイッチング用トランジスタ 11 はオン状態となる。そして、信号線駆動回路 43 が含む電源 53 の電位が駆動用トランジスタ 12 のゲート電極に伝達され、駆動 30
用トランジスタ 12 はオフ状態となり、発光素子 13 の両電極の電位は同電位となる。すなわち、この期間では、発光素子 13 が非発光となる消去動作が行われる。

【0226】

期間 T2 (第 2 のサブゲート選択期間) において、選択信号線 52 から伝達される WE 信号は H レベルである。そうすると、第 1 の走査線駆動回路 41 が含む選択回路 55 には、H レベルの WE 信号が入力され、選択回路 55 は動作状態となる。つまり、選択回路 55 は H レベルの信号を i 行目のゲート線 Gi に伝達し、ゲート線 Gi は H レベルの信号と同電位となる。つまり、第 1 の走査線駆動回路 41 により、i 行目のゲート線 Gi が選択される。その結果、画素 10 が含むスイッチング用トランジスタ 11 はオン状態となる。そして、信号線駆動回路 43 が含む第 2 のラッチ 48 からビデオ信号が駆動用トランジスタ 12 のゲート電極に伝達され、駆動用トランジスタ 12 はオン状態又はオフ状態となり、発光素子 13 が含む二つの電極の電位は、互いに異なる電位又は同電位となる。つまり、この期間では、発光素子 13 は発光又は非発光となる書き込み動作が行われる。一方、第 2 の走査線駆動回路 42 が含む選択回路 57 には、L レベルの信号が入力され、不定状態となる。 40

【0227】

このように、ゲート線 Gy は、期間 T1 (第 1 のサブゲート選択期間) において第 2 の走査線駆動回路 42 により選択され、期間 T2 (第 2 のサブゲート選択期間) において第 1 の走査線駆動回路 41 により選択される。すなわち、ゲート線は、第 1 の走査線駆動回路 41 と第 2 の走査線駆動回路 42 により、相補的に制御される。そして、第 1 及び第 2 50

のサブゲート選択期間において、一方で消去動作を行って、他方で書き込み動作を行う。

【0228】

なお第1の走査線駆動回路41がi行目のゲート線Giを選択する期間では、第2の走査線駆動回路42は動作していない状態（選択回路57が不定状態）、又はi行目を除く他の行のゲート線に行選択信号を伝達する。同様に、第2の走査線駆動回路42がi行目のゲート線Giに行選択信号を伝達する期間は、第1の走査線駆動回路41は不定状態、又はi行目を除く他の行のゲート線に行選択信号を伝達する。

【0229】

また上記のような動作を行う本発明は、発光素子13を強制的にオフにすることができるために、デューティ比の向上を実現する。さらに、発光素子13を強制的にオフにすることができるにも関わらず、容量素子16の電荷を放電するTF Tを設ける必要がないために、高開口率を実現する。高開口率を実現すると、光を発する面積の増加に伴って、発光素子の輝度を下げることができる。つまり、駆動電圧を下げることで、消費電力を削減することができる。

【0230】

なお、本発明は、ゲート選択期間を2分割する上記の形態に制約されない。ゲート選択期間を3つ以上に分割しても良い。

【0231】

（実施の形態12）

本発明は、定電流駆動を行う表示装置にも適用することができる。本実施の形態では、モニター用発光素子66を用いて経時変化の度合いを検出する場合であって、この検出結果を基に、ビデオ信号又は電源電位を補正することで、発光素子の経時変化を補償する場合について説明する。

【0232】

本実施の形態は、第1及び第2のモニター用発光素子を設ける。第1のモニター用発光素子には第1の定電流源から一定の電流が供給され、第2のモニター用発光素子には第2の定電流源から一定の電流が供給される。第1の定電流源から供給される電流値と、第2の定電流源から供給される電流値を変えることで、第1及び第2のモニター用発光素子に流れる総電流量は異なる。そうすると、第1及び第2のモニター用発光素子の間には経時変化の違いが生じる。

【0233】

第1及び第2のモニター用発光素子は演算回路に接続しており、当該演算回路では、第1のモニター用発光素子と、第2のモニター用発光素子との電位の差を算出する。演算回路で算出された電圧値は、ビデオ信号発生回路に供給される。ビデオ信号発生回路では、演算回路から供給される電圧値を基に、各画素に供給するビデオ信号を補正する。上記構成により、発光素子の経時変化を補償することができる。なお、各モニター用発光素子と、演算回路の間には、バッファアンプ回路などの電位の変動を防止する回路を設けると良い。本実施の形態において、定電流駆動を行う構成を有する画素としては、例えば、カレントミラー回路を用いた画素等がある。

【0234】

（実施の形態13）

本発明は、パッシブマトリクス型の表示装置に適用することができる。パッシブマトリクス型の表示装置は、基板上に形成された画素部、該画素部の周辺に配置されたカラム信号線駆動回路、ロウ信号線駆動回路、駆動回路を制御するコントローラを有する。画素部は、列方向に配置された各カラム信号線、行方向に配置されたロウ信号線、及びマトリクス状に配置された複数の発光素子を有する。この画素部が形成された基板上には、モニター回路64を設けることができる。

【0235】

本実施の形態の表示装置では、モニター回路64を用いて、カラム信号線駆動回路に入力される画像データ、又は定電圧源から発生される電圧を、温度変化及び経時変化に応じ

10

20

30

40

50

て補正することができ、温度変化及び経時変化の両者に起因する影響が低減された表示装置を提供することができる。

【0236】

(実施の形態14)

発光素子を含む画素部を備えた電子機器として、テレビジョン装置（単にテレビ、又はテレビジョン受信機ともよぶ）、デジタルカメラ、デジタルビデオカメラ、携帯電話装置（単に携帯電話機、携帯電話ともよぶ）、PDA等の携帯情報端末、携帯型ゲーム機、コンピュータ用のモニター、コンピュータ、カーオーディオ等の音響再生装置、家庭用ゲーム機等の記録媒体を備えた画像再生装置等が挙げられる。その具体例について、図16を参照して説明する。

10

【0237】

図16(A)に示す携帯情報端末機器は、本体9201、表示部9202等を含んでいる。表示部9202は、本発明の表示装置を適用することができる。すなわち、モニター用発光素子を用いて発光素子に与える電源電位を補正する本発明により、環境温度の変化と経時変化に起因した、発光素子の電流値の変動による影響を抑制した携帯情報端末機器を提供することができる。

【0238】

図16(B)に示すデジタルビデオカメラは、表示部9701、表示部9702等を含んでいる。表示部9701は本発明の表示装置を適用することができる。モニター用発光素子を用いて発光素子に与える電源電位を補正する本発明により、環境温度の変化と経時変化に起因した、発光素子の電流値の変動による影響を抑制したデジタルビデオカメラを提供することができる。

20

【0239】

図16(C)に示す携帯電話機は、本体9101、表示部9102等を含んでいる。表示部9102は、本発明の表示装置を適用することができる。モニター用発光素子を用いて発光素子に与える電源電位を補正する本発明により、環境温度の変化と経時変化に起因した、発光素子の電流値の変動による影響を抑制した携帯電話機を提供することができる。

【0240】

図16(D)に示す携帯型のテレビジョン装置は、本体9301、表示部9302等を含んでいる。表示部9302は、本発明の表示装置を適用することができる。モニター用発光素子を用いて発光素子に与える電源電位を補正する本発明により、環境温度の変化と経時変化に起因した、発光素子の電流値の変動による影響を抑制した携帯型のテレビジョン装置を提供することができる。またテレビジョン装置としては、携帯電話機などの携帯端末に搭載する小型のものから、持ち運びをすることができる中型のもの、また、大型のもの（例えば40インチ以上）まで、幅広いものに、本発明の表示装置を適用することができる。

30

【0241】

図16(E)に示す携帯型のコンピュータは、本体9401、表示部9402等を含んでいる。表示部9402は、本発明の表示装置を適用することができる。モニター用発光素子を用いて発光素子に与える電源電位を補正する本発明により、環境温度の変化と経時変化に起因した、発光素子の電流値の変動による影響を抑制した携帯型のコンピュータを提供することができる。

40

【0242】

図16(F)に示すテレビジョン装置は、本体9501、表示部9502等を含んでいる。表示部9502は、本発明の表示装置を適用することができる。モニター用発光素子を用いて発光素子に与える電源電位を補正する本発明により、環境温度の変化と経時変化に起因した、発光素子の電流値の変動による影響を抑制したテレビジョン装置を提供することができる。

【図面の簡単な説明】

50

【0243】

【図1】本発明の表示装置を示した図である。

【図2】本発明の表示装置を示した図である。

【図3】本発明の画素の等価回路を示した図である。

【図4】本発明の画素のレイアウトを示した図である。

【図5】本発明の画素の断面を示した図である。

【図6】本発明のモニター回路を示した図である。

【図7】本発明のモニター回路を示した図である。

【図8】本発明のモニター回路を示した図である。

【図9】本発明のタイミングチャートを示した図である。

10

【図10】本発明の画素の等価回路を示した図である。

【図11】本発明の画素の等価回路を示した図である。

【図12】本発明の画素の等価回路を示した図である。

【図13】本発明のパネルを示した図である。

【図14】本発明のタイミングチャートを示した図である。

【図15】本発明のタイミングチャートを示した図である。

【図16】本発明の電子機器を示した図である。

【図17】本発明が適用できる表示装置の一例を示した図である。

【図18】本発明が適用できる表示装置の一例を示した図である。

【図19】本発明が適用できる表示装置の一例を示した図である。

20

【図20】本発明が適用できる表示装置の一例を示した図である。

【図21】本発明が適用できる表示装置の一例を示した図である。

【図22】本発明が適用できる表示装置の一例を示した図である。

【図23】本発明の画素の等価回路を示した図である。

【図24】本発明の画素の等価回路を示した図である。

【図25】本発明の表示装置を示した図である。

【図26】本発明の表示装置を示した図である。

【図27】本発明の表示装置を示した図である。

【図28】駆動トランジスタのゲートに負方向電圧を印加するのに適した画素構成を説明する図である。

30

【図29】本発明の表示パネルの構成を説明する図である。

【図30】本発明の表示パネルのサブ画素の構成を説明する図である。

【図31】本発明の表示パネルのサブ画素の構成を説明する図である。

【図32】EL層を形成するための蒸着装置の構成を示す図である。

【図33】EL層を形成するための蒸着装置の構成を示す図である。

【符号の説明】

【0244】

10 画素

11 スイッチング用トランジスタ

12 駆動用トランジスタ

40

13 発光素子

14 発光素子

16 容量素子

17 電源

18 電源

19 第1の電極

20 絶縁基板

22a 導電膜

22b 導電膜

24 ドレイン配線

50

2 5	トランジスタ	
2 8	絶縁膜	
2 9	絶縁膜	
3 0	層間絶縁膜	
3 1	絶縁膜	
3 2	電源線	
3 3	発光層	
3 5	第 2 の電極	
3 6	トランジスタ	
4 0	画素部	10
4 1	走査線駆動回路	
4 2	走査線駆動回路	
4 3	信号線駆動回路	
4 4	パルス出力回路	
4 5	ラッチ	
4 6	選択回路	
4 7	ラッチ	
4 8	ラッチ	
4 9	トランジスタ	
5 0	アナログスイッチ	20
5 1	インバーター	
5 2	選択信号線	
5 3	電源	
5 4	パルス出力回路	
5 5	選択回路	
5 6	パルス出力回路	
5 7	選択回路	
5 8	インバーター	
6 1	電源回路	
6 2	コントローラ	30
6 3	電源制御回路	
6 4	モニター回路	
6 5	制御回路	
6 6	モニター用発光素子	
6 6 a	アノード電極	
6 6 c	カソード電極	
7 1	成膜室	
8 0	トランジスタ	
8 1	トランジスタ	
8 2	トランジスタ	40
8 3	トランジスタ	
8 4	トランジスタ	
8 5	トランジスタ	
8 6	トランジスタ	
1 0 5	定電流源	
1 0 7	絶縁膜	
1 1 0	バッファアンプ回路	
1 1 1	モニター制御用トランジスタ	
1 1 2	インバーター	
1 1 2 n	トランジスタ	50

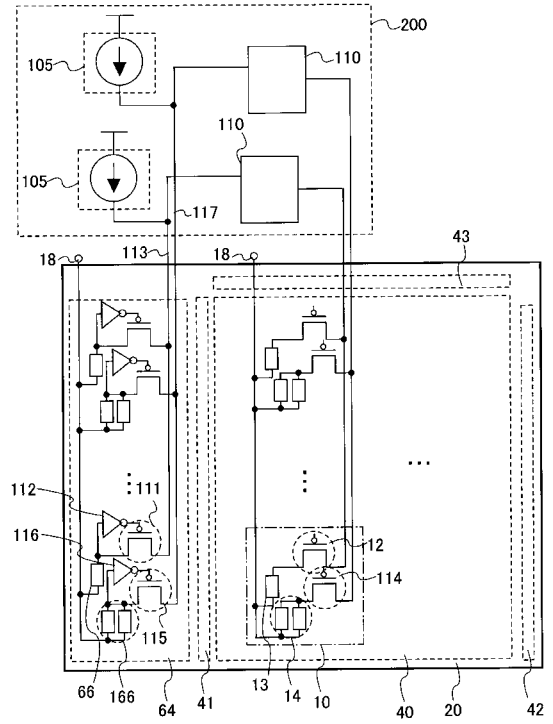
1 1 2 p	トランジスタ	
1 1 3	電源線	
1 1 4	駆動トランジスタ	
1 1 5	モニター制御用トランジスタ	
1 1 6	インバーター	
1 1 6 p	トランジスタ	
1 6 6 a	アノード電極	
1 6 6 c	カソード電極	
1 1 7	電源線	
1 2 0	基板	10
1 2 1	画素部	
1 2 2	走査線駆動回路	
1 2 3	データ線駆動回路	
1 2 4	モニタ回路	
1 2 5	入力端子	
1 2 6	入力端子	
1 2 7	入力端子	
1 2 8	端子	
1 2 9	入力端子	
1 3 0	サブ画素	20
1 3 1	データ線	
1 3 2	電源線	
1 3 3	走査線	
1 3 4	トランジスタ	
1 3 5	トランジスタ	
1 3 6	保持容量部	
1 3 7	発光素子	
1 4 0	半導体層	
1 4 1	半導体層	
1 4 2	ゲート電極	30
1 4 3	容量電極	
1 4 4	配線	
1 4 5	配線	
1 4 6	配線	
1 4 7	画素電極	
1 5 0	バリア層	
1 5 1	絶縁層	
1 5 2	バリア層	
1 5 3	窒化シリコン層	
1 5 4	酸化シリコン層	40
1 5 5	ゲート絶縁層	
1 5 6	絶縁層	
1 5 7	絶縁層	
1 5 8	隔壁層	
1 5 9	C u 層	
1 6 0	半導体層	
1 6 1 a	搬送室	
1 6 1 b	搬送室	
1 6 2	ロード室	
1 6 3	アンロード室	50

1 6 4	中間室	
1 6 5	封止処理室	
1 6 6	モニター用発光素子	
1 6 8	加熱処理室	
1 6 9	成膜処理室	
1 7 0	成膜処理室	
1 7 2	プラズマ処理室	
1 7 3	成膜処理室	
1 7 4	成膜処理室	
1 7 6	成膜処理室	10
1 8 0	蒸発源ホルダ	
1 8 1	蒸発源	
1 8 1 a	蒸発源	
1 8 1 b	蒸発源	
1 8 1 c	蒸発源	
1 8 2	距離センサー	
1 8 3	多関節アーム	
1 8 4	材料供給管	
1 8 5 a	材料供給源	
1 8 5 b	材料供給源	20
1 8 5 c	材料供給源	
1 8 6	基板ステージ	
1 8 7	基板チャック	
1 8 8	マスクチャック	
1 8 9	基板	
1 9 0	シャドーマスク	
1 9 1	天板	
1 9 2	底板	
1 9 3	搬送手段	
1 9 4	搬送手段	30
2 0 7	半導体層	
3 1 0	不純物領域	
3 1 1	不純物領域	
4 3 0	領域	
1 0 0 5	各演算回路	
1 7 0 1	基板	
1 7 0 2	絶縁膜	
1 7 0 3 a	半導体膜	
1 7 0 3 b	半導体膜	
1 7 0 4	ゲート絶縁膜	40
1 7 0 5	ゲート電極	
1 7 0 6	絶縁膜	
1 7 0 7	絶縁膜	
1 7 0 8	導電膜	
1 7 1 0 a	薄膜トランジスタ	
1 7 1 0 b	薄膜トランジスタ	
1 8 0 1	基板	
1 8 0 2	下地膜	
1 8 0 3	画素電極	
1 8 0 4	第 1 の電極	50

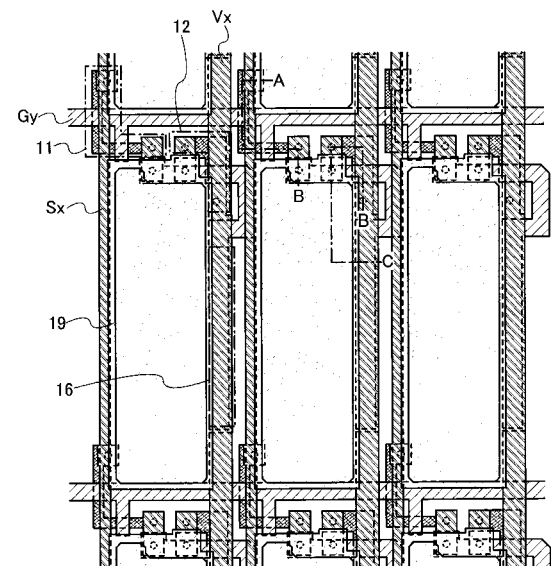
1 8 0 5	配線	
1 8 0 6	配線	
1 8 0 7	N型半導体層	
1 8 0 8	N型半導体層	
1 8 0 9	半導体層	
1 8 1 0	ゲート絶縁膜	
1 8 1 1	絶縁膜	
1 8 1 2	ゲート電極	
1 8 1 3	第2の電極	
1 8 1 4	層間絶縁膜	10
1 8 1 5	層	
1 8 1 6	対向電極	
1 8 1 7	発光素子	
1 8 1 8	駆動トランジスタ	
1 8 1 9	容量素子	
1 8 2 0	第1の電極	
1 9 0 1	基板	
1 9 0 2	ゲート絶縁膜	
1 9 0 3	ゲート電極	
1 9 0 4	第1の電極	20
1 9 0 5	ゲート絶縁膜	
1 9 0 6	半導体層	
1 9 0 7	半導体層	
1 9 0 8	N型半導体層	
1 9 1 0	N型半導体層	
1 9 1 1	配線	
1 9 1 3	導電層	
1 9 1 4	画素電極	
1 9 1 5	絶縁層	
1 9 1 6	発光層	30
1 9 1 7	対向電極	
1 9 1 8	発光素子	
1 9 1 9	駆動トランジスタ	
1 9 2 0	容量素子	
1 9 2 1	第2の電極	
1 9 2 2	容量素子	
2 0 0 1	絶縁物	
2 1 0 1	nチャネル型トランジスタ	
2 1 0 2	nチャネル型トランジスタ	
2 1 0 3	pチャネル型トランジスタ	40
2 1 0 4	容量素子	
2 1 0 5	抵抗素子	
2 2 0 2	導電層	
2 2 0 3	導電層	
2 2 0 4	配線	
2 2 0 5	半導体層	
2 2 0 6	不純物領域	
2 2 0 7	不純物領域	
2 2 0 8	ゲート絶縁層	
2 2 0 9	ゲート電極	50

2 2 1 2	不純物領域	
2 3 0 0 a	画素	
2 3 0 0 b	画素	
2 3 0 1	走査線	
2 3 0 2	データ線	
2 3 0 3	データ線	
2 3 0 4	電源線	
2 3 0 5	選択トランジスタ	
2 3 0 6	選択トランジスタ	
2 3 0 7	容量素子	10
2 3 0 8	容量素子	
2 3 0 9	電源線	
2 4 0 0 a	画素	
2 4 0 0 b	画素	
2 7 0 0	画素回路	
2 7 0 1	プリチャージ回路	
2 7 0 2	下地膜	
2 8 0 0	トランジスタ	
9 1 0 1	本体	
9 1 0 2	表示部	20
9 2 0 1	本体	
9 2 0 2	表示部	
9 3 0 1	本体	
9 3 0 2	表示部	
9 4 0 1	本体	
9 4 0 2	表示部	
9 5 0 1	本体	
9 5 0 2	表示部	
9 7 0 1	表示部	
9 7 0 2	表示部	30
V x	電源線	
V a x	電源線	
G y	ゲート線	
R y	ゲート線	
S 1	データ線	

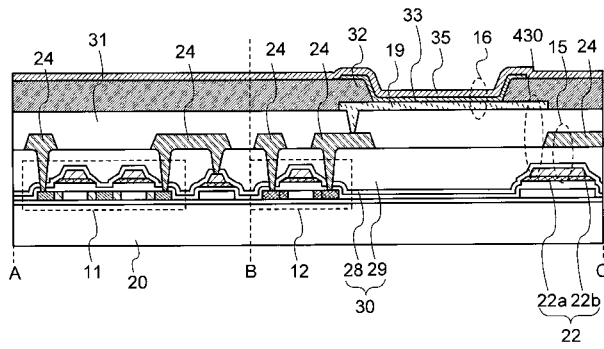
【 図 2 】



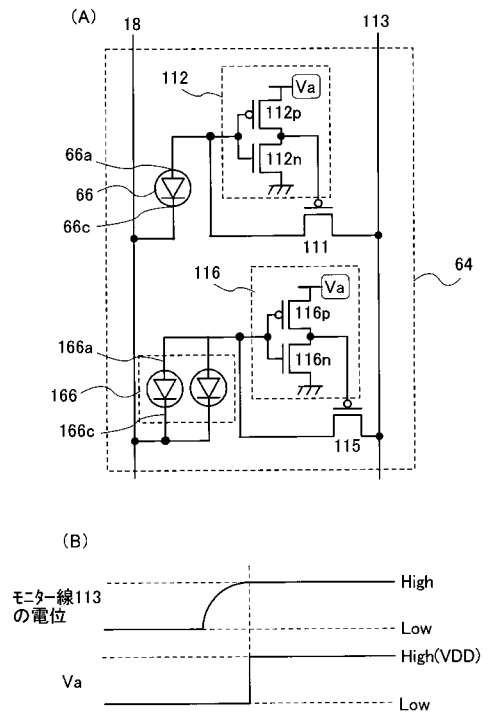
【圖 4】



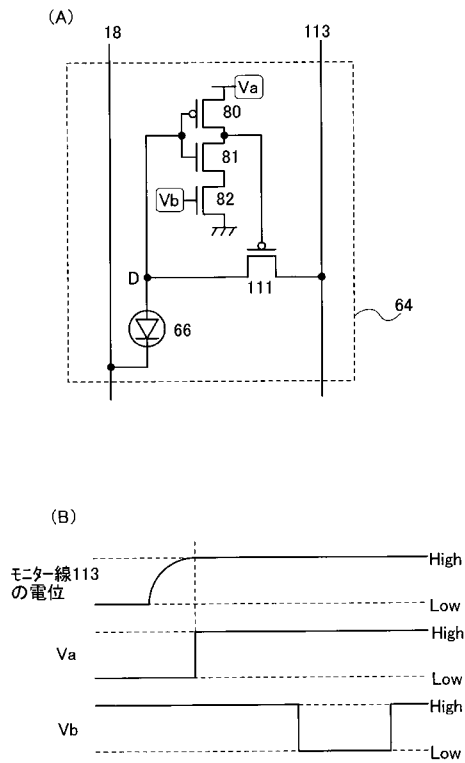
【図 5】



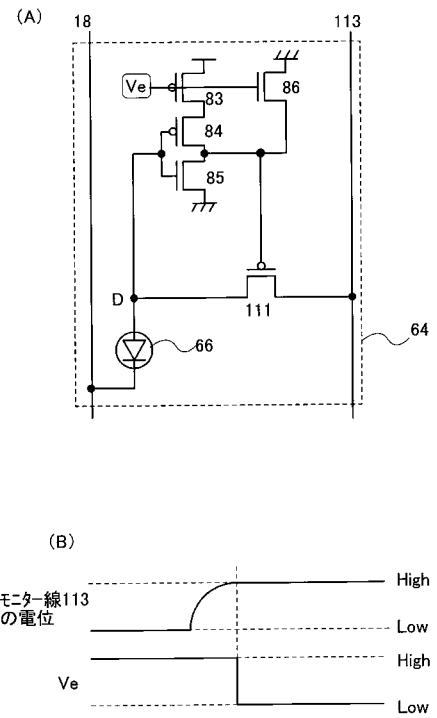
【図 6】



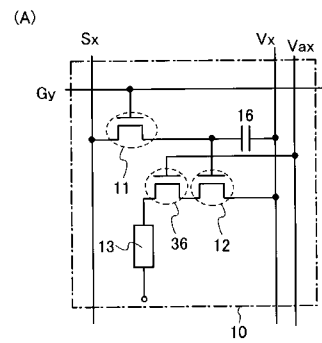
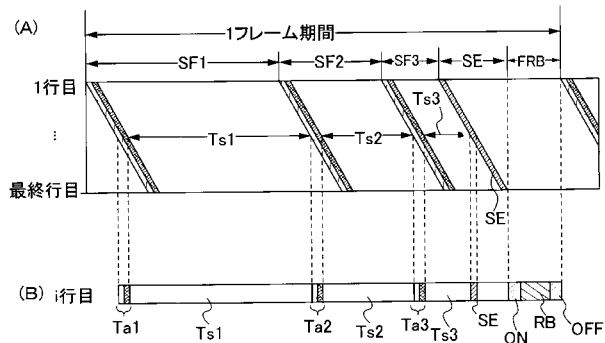
【図 7】



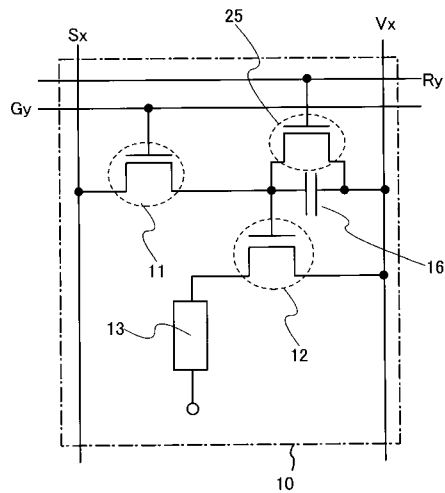
【図 8】



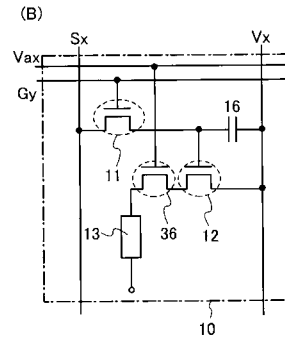
【 図 1 1 】



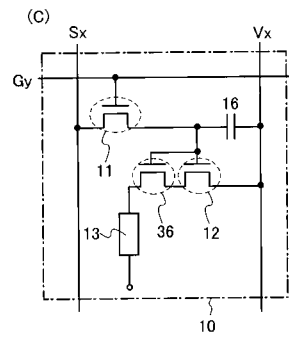
【 図 1 0 】



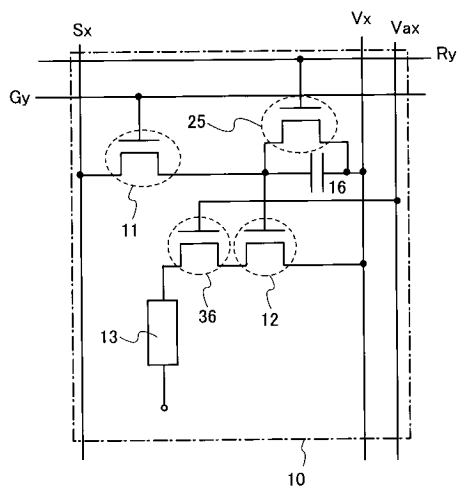
(B)



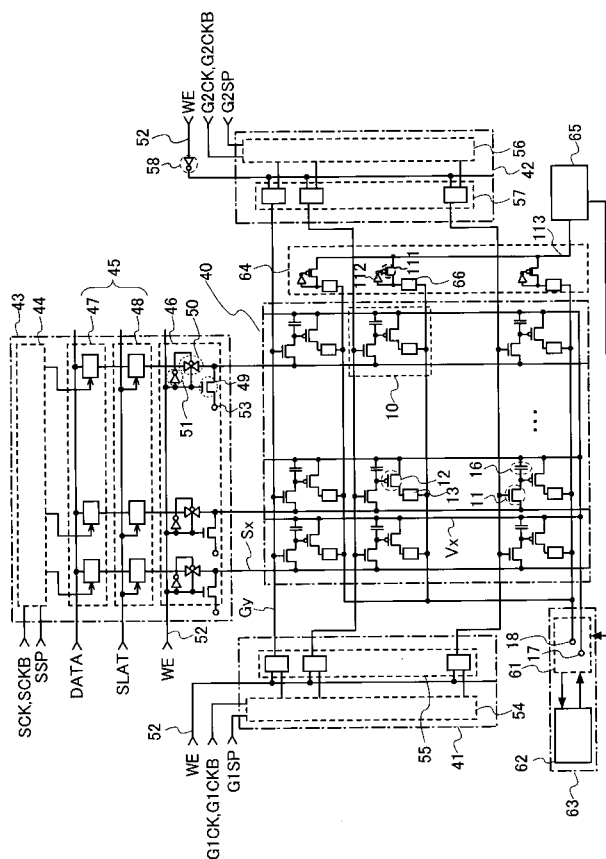
(C)



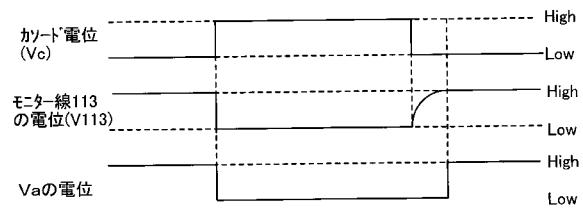
【图 1 2】



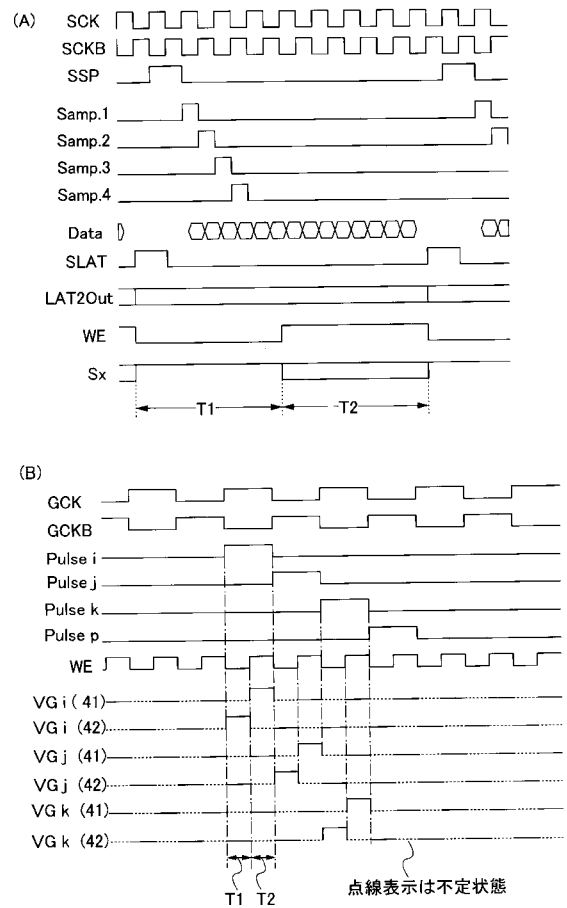
【 図 1 3 】



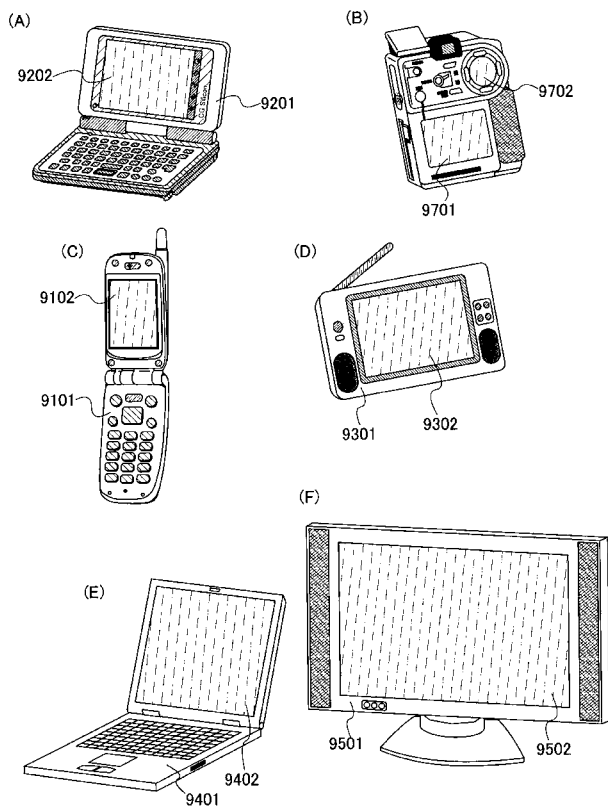
【図 1 4】



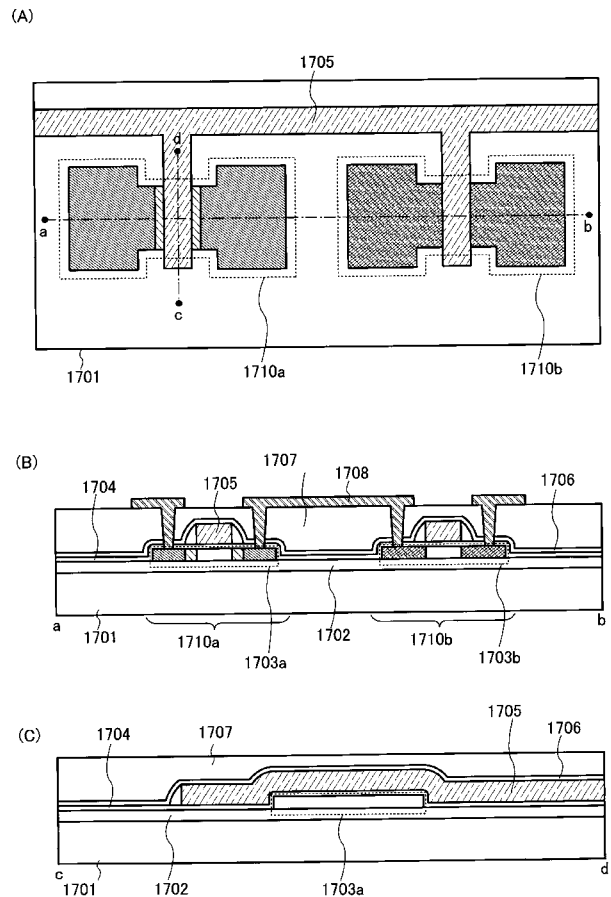
【図 1 5】



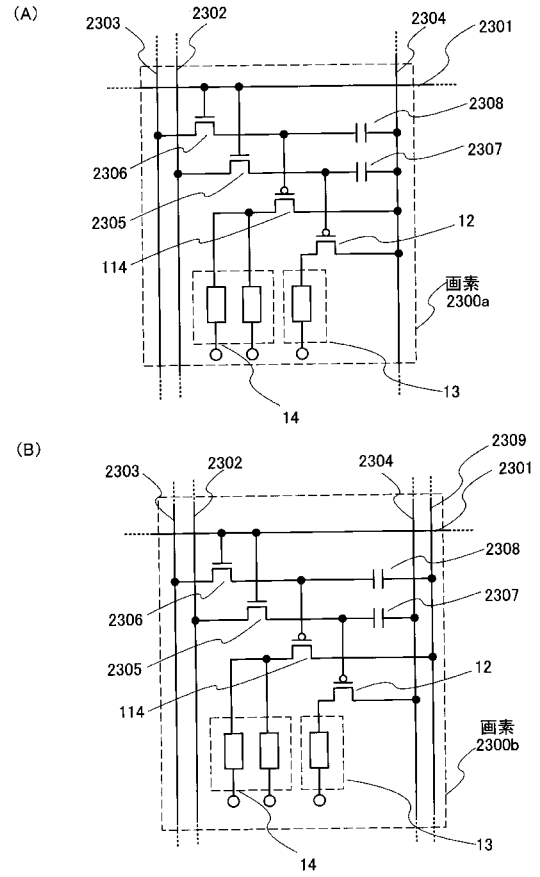
【図 1 6】



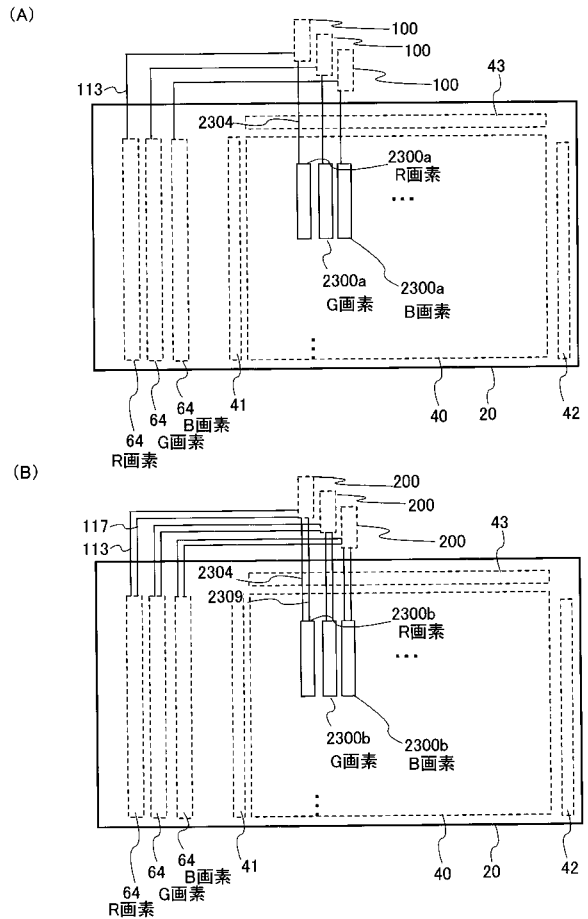
【図 1 7】



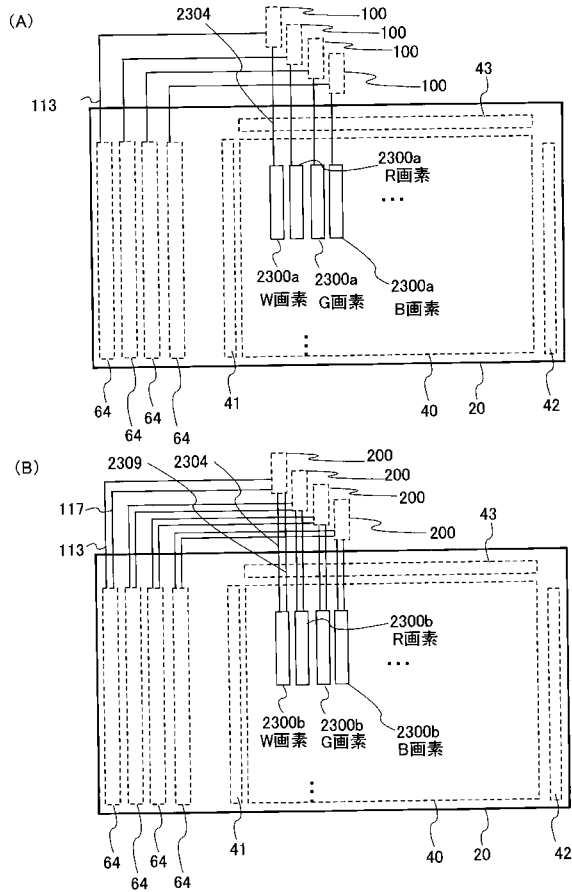
【 図 2 3 】



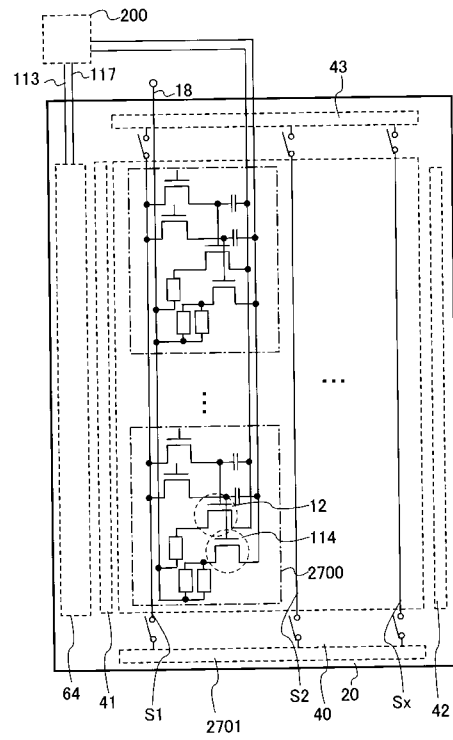
【 図 2 5 】



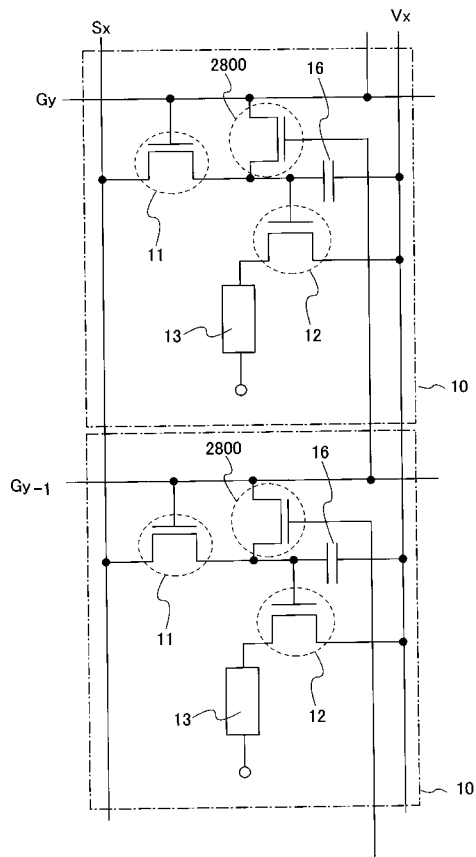
【図 26】



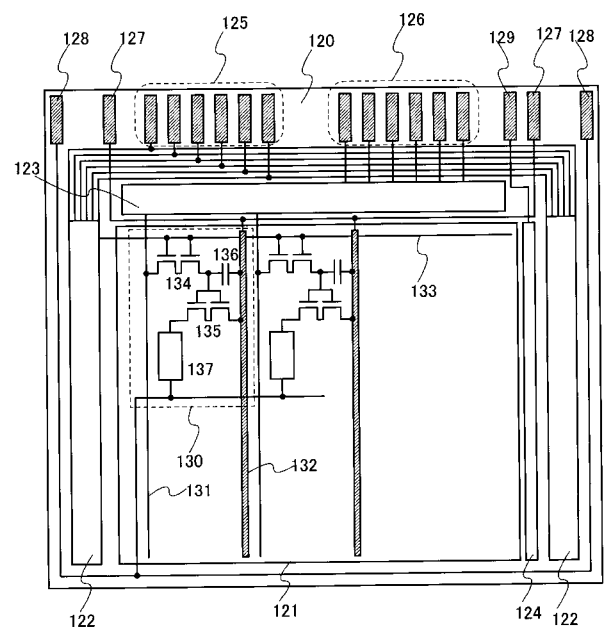
【図 27】



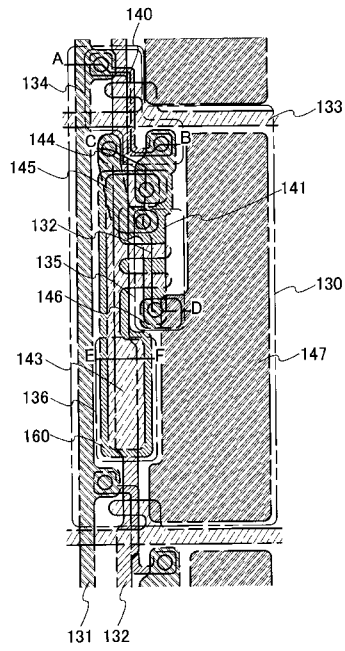
【図 28】



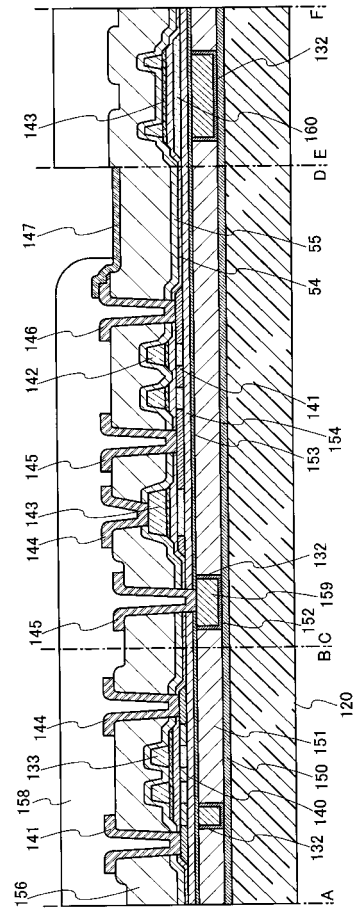
【図 29】



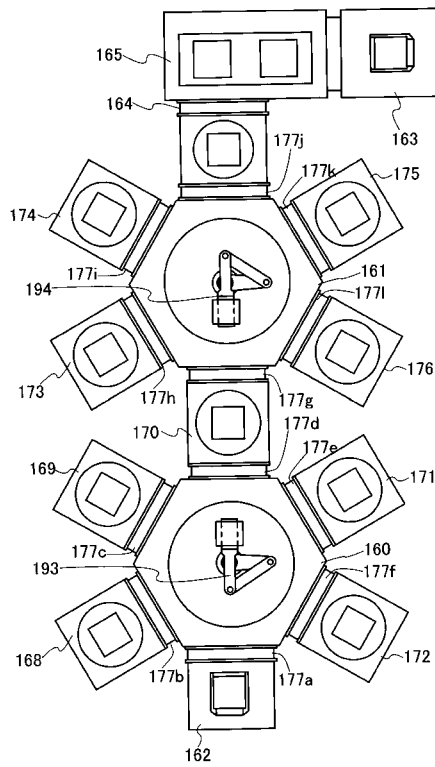
【図 30】



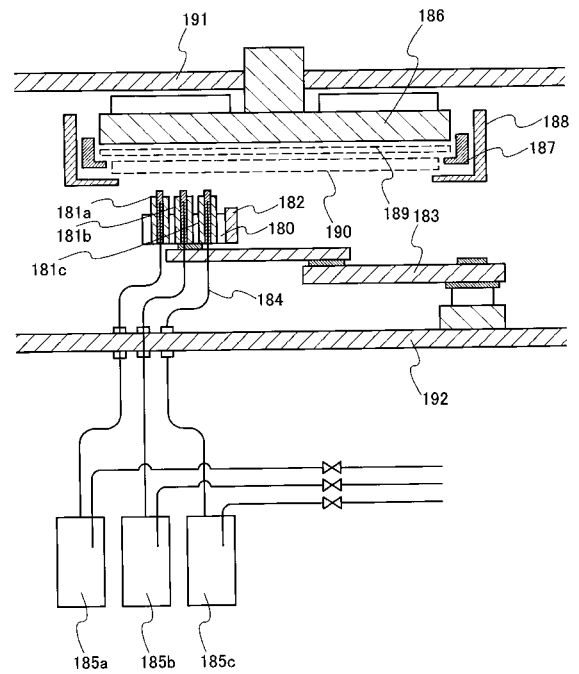
【図 31】



【図 32】



【図 33】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

G 0 9 G	3/20	6 2 3 Y
G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 4 1 A
G 0 9 G	3/20	6 4 1 E
G 0 9 G	3/20	6 4 1 D
G 0 9 G	3/20	6 7 0 L

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JP2007041580A	公开(公告)日	2007-02-15
申请号	JP2006184941	申请日	2006-07-04
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	吉田泰則 木村肇 山崎舜平		
发明人	吉田 泰則 木村 肇 山崎 舜平		
IPC分类号	G09G3/30 G09G3/20		
FI分类号	G09G3/30.J G09G3/20.670.J G09G3/20.642.C G09G3/20.621.M G09G3/20.623.R G09G3/20.623.Y G09G3/20.624.B G09G3/20.641.A G09G3/20.641.E G09G3/20.641.D G09G3/20.670.L G09G3/20.641.G G09G3/20.670.K G09G3/3216 G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD04 5C080/DD20 5C080/DD29 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C380/AA01 5C380/AA02 5C380/AB05 5C380/AB06 5C380/AB08 5C380/AB09 5C380/AB15 5C380/AB16 5C380/AB18 5C380/AB22 5C380/AB34 5C380/AB36 5C380/AB37 5C380/AB46 5C380/AC04 5C380/AC05 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/AC13 5C380/BA01 5C380/BA05 5C380/BA13 5C380/BA19 5C380/BA20 5C380/BA27 5C380/BA28 5C380/BA29 5C380/BA40 5C380/BA42 5C380/BB05 5C380/BB15 5C380/BC13 5C380/BD04 5C380/BD08 5C380/BD09 5C380/BD10 5C380/BD11 5C380/BD12 5C380/BE11 5C380/CA08 5C380/CA12 5C380/CA22 5C380/CA26 5C380/CA29 5C380/CB01 5C380/CB07 5C380/CB18 5C380/CB26 5C380/CB27 5C380/CC02 5C380/CC21 5C380/CC26 5C380/CC27 5C380/CC28 5C380/CC29 5C380/CC30 5C380/CC33 5C380/CC38 5C380/CC52 5C380/CC55 5C380/CC62 5C380/CC63 5C380/CC68 5C380/CC77 5C380/CD012 5C380/CD013 5C380/CD014 5C380/CE08 5C380/CE09 5C380/CF07 5C380/CF09 5C380/CF10 5C380/CF17 5C380/CF22 5C380/CF23 5C380/CF24 5C380/CF26 5C380/CF27 5C380/CF64 5C380/DA02 5C380/DA09 5C380/DA11 5C380/DA47 5C380/DA50 5C380/EA01 5C380/FA02 5C380/FA20 5C380/FA26 5C380/FA28 5C380/GA13 5C380/GA18		
优先权	2005194600 2005-07-04 JP		
其他公开文献	JP2007041580A5 JP5222464B2		
外部链接	Espacenet		

摘要(译)

本发明的一个目的是改善和稳定执行区域灰度的EL显示装置中的图像质量。 解决方案：提供多个子像素，其分别具有在一个像素中发射基本相同颜色的光的发光元件和具有与像素相同数量的子像素的多个监视器像素。该装置与像素的发光装置同时制造，并且监控像素的发光装置的电极连接到每个子像素的不同的恒定电流源，并且根据监控像素的发光装置的电极的电位的变化来制造像素。通过提供差分放大器电路解决了上述问题，该差分放大器电路针对每个子像素改变发光元件的电极的电位。 [选择图]图2

