

(11) 特許出願公開番号

特開2007-25544

(P2007-25544A)

(43) 公開日 平成19年2月1日(2007.2.1)

(51) Int.Cl.

F 1

テーマコード (参考)

G09G 3/30 (2006.01)

G09G 3/30 K

3K007

G09G 3/20 (2006.01)

G09G 3/20 624B

5C080

HO 1 L 51/50 (2006.01)

G09G 3/20 611H

G09G 3/20 642A

G09G 3/20 641E

調査請求 未請求 請求項の数 6

審査請求 未請求 請求項の数 6 O.L. (全 24 頁) 最終頁に続く

(21) 出願番号 特願2005-211177 (P2005-211177)

(22) 出願日 平成17年7月21日 (2005. 7. 21)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(74) 代理人 100094053

弁理士 佐藤 隆久

(72) 発明者 渡邊 勝秀

東京都品川区北品川6丁目7番35号 ソ
ニ一株式会社内

(72) 発明者 山口 正則

東京都品川区北品川6丁目7番35号 ソ
ニ一株式会社内

(72) 發明者 猪野 益充

東京都品川区北品川6丁目7番35号 ソ
ニ一株式会社内

[最終頁に続く](#)

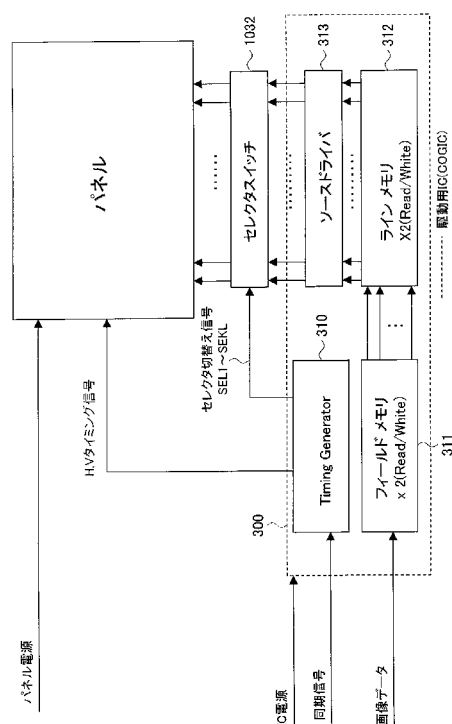
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】高輝度時の輝度ばらつきを防止でき、かつ、低輝度時の信号書き込み応答性を損わない表示装置を提供する。

【解決手段】画素回路１０１は、ＴＦＴ１１１および有機ＥＬ発光素子１１３、信号線ＳＧＬとＴＦＴ１１１のゲート間に接続されたＴＦＴ１１２、およびノードＮＤ１１１に接続されたキャパシタＣ１１１を含み、ラインメモリ部３１２と、１フィールド期間内に表示データの入れ替えを行うためのフィールドメモリ部３１１とを有し、１フィールド期間にＮ個のサブフィールドＳＦ期間を設けて、Ｎビット（２のＮ乗階調）表示を可能にし、スキャンドライバがＮ個のサブフィールドの信号を発生させ、スキャンドライバが先の選択を行うときに、信号線ＳＧＬにセレクトスイッチ部１０３２を含むデータドライバからハイまたはローレベルの信号を印加し画素への信号の取り込みをそのタイミングで行う。

【選択図】図 1 5



【特許請求の範囲】

【請求項 1】

マトリクス状に複数配列された画素回路と、
上記画素回路のマトリクス配列に対して列毎に配線され、輝度情報に応じた電圧信号が供給される信号線と、
上記画素回路のマトリクス配列に対して行毎に配線された少なくとも第 1 の制御線と、
上記信号線に所望の上記電圧信号を伝搬させる第 1 のドライバと、
セレクトスイッチ部を含み、上記第 1 の制御線に所定のタイミングでスイッチをオン、オフするための信号を選択的に印加する第 2 のドライバと、
第 1 の基準電位および第 2 の基準電位と、
1 フィールド期間において、上記画素回路の階調表示を行う信号データを蓄積するためのラインメモリと、
上記画素回路の階調表示を行うための 1 フィールド期間内に表示データの入れ替えを行う、フィールドメモリと、を有し、
上記各画素回路は、
流れる電流によって輝度が変化する電気光学素子と、
ノードと、
上記第 1 の基準電位と上記第 2 の基準電位間に、上記電気光学素子と直列に接続され、
上記ノードの電位に応じてオン、オフする第 1 のスイッチと、
上記信号線とノードとの間に接続され、上記第 1 の制御線によってオン、オフされる第 2 のスイッチと、
上記ノードと所定電位との間に接続され、上記第 2 のスイッチを通して入力した電圧信号を保持するキャパシタと、を含み、
上記第 1 および第 2 のドライバは、
各フィールドが N 個（ただし N は正の整数）のサブフィールドに分割されて N 個の異なる区分が設定され、各サブフィールドごとに上記画素回路の上記第 2 のスイッチがオン、オフ制御されて電圧信号を入力し、入力信号に応じて上記第 1 のスイッチをオン、オフさせて、 N ビット階調表示を行うように上記第 1 の制御線および信号線を駆動する表示装置。

10

20

30

【請求項 2】

各サブフィールドの先頭の 1 水平走査期間が N 等分されて N 個の区分が設定され、各サブフィールドごとに異なる区分にアドレス期間が設定された区分後の上記第 2 のスイッチのオン、オフ周期を 1 水平走査期間の長さの $1/N$ 倍または K/N 倍（ただし、 K は 2 以上の整数）として、 N ビットの階調表示を行うように所定の駆動方式に従って制御される請求項 1 記載の表示装置。

【請求項 3】

上記各画素回路の階調を表現するサブフィールドの配置順について、1 水平走査期間におけるサブフィールドの上記第 2 のスイッチのオン、オフのタイミングが、すべてのラインにおいて異なり、かつ、タイミングチャートを横軸に時間、縦軸にライン番号とした場合、上記オン、オフのタイミングが最も疎となるようにサブフィールドを配置した駆動タイミングをとる請求項 2 記載の表示装置。

40

【請求項 4】

上記セレクトスイッチ部のセレクトスイッチは、1 水平走査期間に J （但し、 J は 2 以上の整数とする）回選択的に動作する請求項 1 記載の表示装置。

【請求項 5】

上記セレクトスイッチ部の各セレクトスイッチは、1 水平走査期間に J （但し、 J は 2 以上の整数とする）回選択的に動作し、上記ラインメモリのビット数容量と $C O G I C$ がパネルと接続するピン数を $1/J$ とし、当該構成にあわせて上記フィールドメモリに記録

50

された画像データを1水平走査期間に書き込まれたデータの1/」ずつ読出し、ラインメモリに書き込む

請求項2記載の表示装置。

【請求項6】

外部からRGBシリアルで入力される画像データ信号を1垂直走査期間に記録し、次の1垂直走査期間では、格納したデータを上記フィールドメモリから1水平走査期間分毎に上記所定の駆動方式に基づき読出して上記ラインメモリに書き込み、ラインメモリに書き込んだ「0」または「1」のデータを参照し、データが「1」のとき画素領域の信号線に任意の定電圧を供給する

請求項5記載の表示装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機EL(Electroluminescence)表示装置およびLCD(液晶表示装置)などのアクティブマトリクス表示装置を含む信号線によって輝度が制御される電気光学素子を有する表示装置に関するものである。

【背景技術】

【0002】

アクティブマトリクス型表示装置において、画素の表示素子として、液晶セルや有機EL素子等の電気光学素子が用いられる。

20

そのうち、有機EL素子は有機材料からなる層、すなわち有機層を電極で挟み込んだ構造を有している。

この有機EL素子では、当該素子に電圧を印加することにより、陰極から電子が、陽極から正孔が有機層に注入され、その結果電子・正孔が再結合し、発光が生じる。この有機EL素子は以下のような特長を持っている。

【0003】

(1) 10V以下の低電圧駆動で、数百～数万cd/m²の輝度が得られることから低消費電力化が可能である。

(2) 自発光素子であることから画像のコントラストが高く、応答速度も速いことから視認性が良く、動画表示にも適している。

30

(3) シンプルな構造を持つ全固体型素子であり、素子の高信頼性化、薄型化が可能である。

【0004】

これらの特長を持つ有機EL素子を画素の表示素子として用いた有機EL表示装置(以下、有機ELディスプレイと記す)は、次世代のフラットパネルディスプレイとして有望視されている。

【0005】

ところで、有機ELディスプレイの駆動方式として、単純マトリクス方式とアクティブマトリクス方式とが挙げられる。これらの方式のうち、アクティブマトリクス方式には、以下のような特長がある。

40

【0006】

(1) 各画素における有機EL素子の発光を1フレーム期間に亘って保持できるアクティブマトリクス方式は、有機ELディスプレイの高精細化・高輝度化に適している。

(2) 基板(パネル)上に、薄膜トランジスタを用いた周辺回路を作製することが可能であるため、パネル外部とのインターフェースの簡素化、パネルの高機能化が可能である。

【0007】

このアクティブマトリクス型有機ELディスプレイでは、アクティブ素子であるトランジスタには、ポリシリコンを活性層としたポリシリコン薄膜トランジスタ(Thin Film Transistor; TFT)を用いるのが一般的である。

その理由は、ポリシリコンTFTは駆動能力が高く、画素サイズを小さく設計できるこ

50

とによって高精細化に有利だからである。

【 0 0 0 8 】

ところで、ポリシリコン T F T は上述したような特長を持つ反面、特性のばらつきが大きいことも広く知られている。

したがって、ポリシリコン T F T を用いる場合、その特性ばらつきを抑えること、また回路的に T F T の特性ばらつきを補償することは、ポリシリコン T F T を用いたアクティブマトリクス型有機 E L ディスプレイにおける大きな課題である。これは、次のような理由による。

【 0 0 0 9 】

すなわち、画素の表示素子として液晶セルを用いた液晶ディスプレイでは、各画素の輝度データを電圧値によって制御する構成が採られるのに対して、有機 E L ディスプレイでは、各画素の輝度データを電流値によって制御する構成が採られるからである。

【 0 0 1 0 】

図 1 は、アクティブマトリクス型有機 E L ディスプレイの画素回路の構成例を示す回路図である（たとえば、特許文献 1、2 参照）。

【 0 0 1 1 】

マトリクス状に配列される画素回路 1 0 は、図 1 に示すように、p チャネル T F T 1 1、n チャネル T F T 1 2、およびキャパシタ C 1 1、および有機 E L 素子（O L E D）からなる発光素子 1 3 を有する。

各画素回路 1 0 の T F T 1 1 は、ソースが電源電位線 V C C L に、ゲートが T F T 1 2 のドレインにそれぞれ接続されている。有機 E L 発光素子 1 3 は、アノードが T F T 1 1 のドレインに、カソードが基準電位（たとえば、グランド電位）G N D にそれぞれ接続されている。

各画素回路 1 0 の T F T 1 2 は、ソースが対応する列の信号線 S G L に、ゲートが対応する行の走査線 S C N L にそれぞれ接続されている。

キャパシタ C 1 1 は、一端が電源電位線 V C C L に、他端が T F T 1 2 のドレインにそれぞれ接続されている。

【 0 0 1 2 】

なお、有機 E L 素子は多くの場合整流性があるため、O L E D (Organic Light Emitting Diode) と呼ばれることがあり、図 1 その他では発光素子としてダイオードの記号を用いているが、以下の説明においては O L E D に必ずしも整流性を要求するものではない。

【 0 0 1 3 】

このような構成を有する画素回路 1 0 において、輝度データの書き込みを行う画素では、図示しないスキンドライバ 3 によって走査線を介して選択されることで、画素回路 1 0 の T F T 1 2 がオンする。

このとき、輝度データはデータドライバ 2 から信号線 S G L を介して電圧で供給され、T F T 1 2 を通してデータ電圧を保持するキャパシタ C 1 1 に書き込まれる。

キャパシタ C 1 1 に書き込まれた輝度データは、1 フィールド期間に亘って保持される。この保持されたデータ電圧は、T F T 1 1 のゲートに印加される。

これにより、T F T 1 1 は、保持データに従って有機 E L 発光素子 1 3 を電流で駆動する。このとき、有機 E L 発光素子 1 3 の階調表現は、キャパシタ C 1 1 によって保持される T F T 1 1 のゲート・ソース間電圧 V d a t a (< 0) を変調することによって行われる。

【 0 0 1 4 】

一般に、有機 E L 素子の輝度 L o l e d は、当該素子に流れる電流 I o l e d に比例する。したがって、有機 E L 発光素子 1 3 の輝度 L o l e d と電流 I o l e d との間には次式 (1) が成り立つ。

【 0 0 1 5 】

(数 1)

$$L_{oled} \quad I_{oled} = k (V_{data} - V_{th})^2 \quad \dots (1)$$

【0016】

式(1)において、 $k = 1/2 \cdot \mu \cdot C_{ox} \cdot W/L$ である。ここで、 μ はTFT11のキャリアの移動度、 C_{ox} はTFT11の単位面積当たりのゲート容量、 W はTFT11のゲート幅、 L はTFT11のゲート長である。

したがって、TFT11の移動度 μ 、しきい値電圧 $V_{th} (< 0)$ のばらつきが、直接的に、有機EL発光素子13の輝度ばらつきに影響を与えることがわかる。

【0017】

この場合、たとえば異なる画素に対して同じ電位 V_{data} を書き込んでも、画素によってTFT11のしきい値 V_{th} がばらつく結果、発光素子(OLED)13に流れる電流 I_{oled} は画素毎に大きくばらついて全く所望の値からはずれる結果となり、ディスプレイとして高い画質を期待することはできない。 10

【0018】

この問題を改善するため多数の画素回路が提案されているが、代表例を図2に示す(たとえば特許文献3、または特許文献4参照)。

【0019】

図2の画素回路20は、pチャネルTFT21、nチャネルTFT22~24、キャパシタC21、C22、発光素子である有機EL発光素子25を有する。また、図3において、SGLは信号線を、SCNLは走査線を、AZLはオートゼロ線を、DRVLは駆動線をそれぞれ示している。

この画素回路20の動作について、図3に示すタイミングチャートを参照しながら以下に説明する。 20

【0020】

図3(A)、(B)に示すように、駆動線DRVL、オートゼロ線AZLをハイレベルとし、TFT22およびTFT23を導通状態とする。このときTFT21はダイオード接続された状態で発光素子(OLED)25と接続されるため、TFT21に電流が流れる。

【0021】

次に、図3(A)に示すように、駆動線DRVLをローレベルとし、TFT22を非導通とする。このとき走査線SCNLは、図3(C)に示すように、ハイレベルでTFT24が導通状態とされ、信号線SGLには、図3(D)に示すように、基準電位 V_{ref} が与えられる。TFT21に流れる電流が遮断されるため、図3(E)に示すようにTFT21のゲート電位 V_g は上昇するが、その電位が $VDD - |V_{th}|$ まで上昇した時点でTFT21は非導通状態となって電位が安定する。この動作を以後、「オートゼロ動作」と称することがある。 30

【0022】

図3(B)、(D)に示すように、オートゼロ線AZLをローレベルとしてTFT23を非導通状態とし、信号線SGLの電位を V_{ref} から ΔV_{data} だけ低い電位とする。この信号線電位の変化は、図3(E)に示すように、キャパシタC21を介してTFT21のゲート電位を ΔV_g だけ低下させる。

【0023】

図3(A)、(C)に示すように、走査線SCNLをローレベルとしてTFT24を非導通状態とし、駆動線DRVLをハイレベルとしてTFT22を導通状態とすると、TFT21および発光素子(OLED)25に電流が流れ、発光素子25が発光を開始する。 40

【0024】

寄生容量が無視できるとすれば、 ΔV_g およびTFT21のゲート電位 V_g はそれぞれ次のようになる。

【0025】

(数2)

$$\Delta V_g = \Delta V_{data} \times C_1 / (C_1 + C_2) \quad \dots (2)$$

【0026】

(数3)

$$V_g = V_{cc} - |V_{th}| - \Delta V_{data} \times C_1 / (C_1 + C_2) \dots (3)$$

【0027】

ここで、 C_1 はキャパシタ C_{21} の容量値、 C_2 はキャパシタ C_{22} の容量値をそれぞれ示している。

【0028】

一方、発光時に発光素子(OLED)25に流れる電流を I_{oled} とすると、これは発光素子25と直列に接続されるTFT21によって電流値が制御される。TFT21が飽和領域で動作すると仮定すれば、良く知られたMOSトランジスタの式および上記(3)式を用いて次の関係を得る。

【0029】

(数4)

$$\begin{aligned} I_{oled} &= \mu C_{ox} W / L / 2 (V_{cc} - V_g - |V_{th}|)^2 \\ &= \mu C_{ox} W / L / 2 (\Delta V_{data} \times C_1 / (C_1 + C_2))^2 \\ &\dots (4) \end{aligned}$$

【0030】

ここで、 μ はキャリアの移動度、 C_{ox} は単位面積当たりのゲート容量、 W はゲート幅、 L はゲート長をそれぞれ示している。

【0031】

(4)式によれば、 I_{oled} はTFT21のしきい値 V_{th} によらず、外部から与えられる ΔV_{data} によって制御される。言い換えれば、図2の画素回路20を用いれば、画素毎にばらつくしきい値 V_{th} の影響を受けず、電流の均一性、ひいては輝度の均一性が比較的高い表示装置を実現することができる。

【特許文献1】USP5,684,365

【特許文献2】特開平8-234683号公報

【特許文献3】USP6,229,506

【特許文献4】特表2002-514320号公報のFIG.3

【発明の開示】

【発明が解決しようとする課題】

【0032】

上述のように、図1のような画素回路10を用いた場合、トランジスタのしきい値 V_{th} のばらつきのため、画素間の輝度の均一性が損なわれ、高品位の表示装置を構成することは困難である。

【0033】

一方、図2の画素回路を用いれば、輝度の均一性が比較的高い表示装置を実現することが可能であるが、これには次のような問題がある。

【0034】

第1の問題は、外部から駆動するデータ振幅 ΔV_{data} に対し、駆動トランジスタのゲート振幅 ΔV_g は(2)式に従って減少する。逆に言えば、同じ ΔV_g を得るために大きな ΔV_{data} を与える必要があり、これは消費電力やノイズの点から望ましくない。

【0035】

第2の問題は、図3の画素回路20に関する上記動作説明は理想的なものであって、実際には、発光素子(OLED)25を駆動するTFT21の V_{th} のばらつきの影響が無くならない。

これは、オートゼロ線AZLとTFT21のゲートノードがTFT23のゲート容量によって結合されており、オートゼロ線AZLが高レベルへ遷移してTFT23が非導通状態となる過程において、TFT23のチャネル電荷がTFT21のゲートノードに流入するためである。この理由を次に説明する。

【0036】

すなわち、オートゼロ動作終了後、TFT21のゲート電位は理想的には $V_{CC}-|V_{th}|$ であるべきであるが、上記電荷の流入によって実際にはそれよりやや高い電位となり、なお

10

20

30

40

50

かつこの電荷の流入量は V_{th} の値によって変動する。なぜなら、オートゼロ動作終了直前における $TFT21$ のゲート電位はほぼ $VCC - |V_{th}|$ である。したがって、この電位は $|V_{th}|$ がたとえば小さい程高い。

一方、オートゼロ動作終了時、オートゼロ線 AZL の電位が上昇して $TFT23$ が非導通に転ずる際、そのソース電位、すなわち $TFT21$ のゲート電位が高い程、 $TFT23$ が非導通になるタイミングが遅れるため、より多くの電荷が $TFT21$ のゲートに流入することになる。結果としてオートゼロ動作終了後の $TFT21$ のゲート電位が $|V_{th}|$ の影響を受けるため、前述の(3)式や(4)式が厳密には成立せず、画素毎にばらつく V_{th} の影響を受けることになる。

【0037】

10

また、低温ポリシリコン TFT 作製時のレーザアニールのポリシリコンの結晶粒径ばらつきに起因した移動度のばらつきは除去することはできない。そのため、面内輝度ばらつきが発生してしまう。特に、低輝度時より高輝度時に面内輝度ばらつきが発生する。

【0038】

本発明は、かかる事情に鑑みてなされたものであり、その目的は、高輝度時の輝度ばらつきを防止でき、かつ、低輝度時の信号書き込み応答性を損わない表示装置を提供することにある。

【課題を解決するための手段】

【0039】

本発明の第1の観点の表示装置は、マトリクス状に複数配列された画素回路と、上記画素回路のマトリクス配列に対して列毎に配線され、輝度情報に応じた電圧信号が供給される信号線と、上記画素回路のマトリクス配列に対して行毎に配線された少なくとも第1の制御線と、上記信号線に所望の上記電圧信号を伝搬させる第1のドライバと、セレクトスイッチ部を含み、上記第1の制御線に所定のタイミングでスイッチをオン、オフするための信号を選択的に印加する第2のドライバと、第1の基準電位および第2の基準電位と、1フィールド期間において、上記画素回路の階調表示を行う信号データを蓄積するためのラインメモリと、上記画素回路の階調表示を行うための1フィールド期間内に表示データの入れ替えを行う、フィールドメモリと、を有し、上記各画素回路は、流れる電流によって輝度が変化する電気光学素子と、ノードと、上記第1の基準電位と上記第2の基準電位間に、上記電気光学素子と直列に接続され、上記ノードの電位に応じてオン、オフする第1のスイッチと、上記信号線とノードとの間に接続され、上記第1の制御線によってオン、オフされる第2のスイッチと、上記ノードと所定電位との間に接続され、上記第2のスイッチを通して入力した電圧信号を保持するキャパシタと、を含み、上記第1および第2のドライバは、各フィールドが N 個（ただし N は正の整数）のサブフィールドに分割されて N 個の異なる区分が設定され、各サブフィールドごとに上記画素回路の上記第2のスイッチがオン、オフ制御されて電圧信号を入力し、入力信号に応じて上記第1のスイッチをオン、オフさせて、 N ビット階調表示を行うように上記第1の制御線および信号線を駆動する。

20

30

【0040】

好適には、各サブフィールドの先頭の1水平走査期間が N 等分されて N 個の区分が設定され、各サブフィールドごとに異なる区分にアドレス期間が設定された区分後の上記第2のスイッチのオン、オフ周期を1水平走査期間の長さの $1/N$ 倍または K/N 倍（ただし、 K は2以上の整数）として、 N ビットの階調表示を行うように所定の駆動方式に従って制御される。

40

【0041】

好適には、上記各画素回路の階調を表現するサブフィールドの配置順について、1水平走査期間におけるサブフィールドの上記第2のスイッチのオン、オフのタイミングが、すべてのラインにおいて異なり、かつ、タイミングチャートを横軸に時間、縦軸にライン番号とした場合、上記オン、オフのタイミングが最も疎となるようにサブフィールドを配置した駆動タイミングをとる。

50

【 0 0 4 2 】

好適には、上記セレクトスイッチ部のセレクトスイッチは、1 水平走査期間に J (但し、J は 2 以上の整数とする) 回選択的に動作する。

【 0 0 4 3 】

好適には、上記セレクトスイッチ部の各セレクトスイッチは、1 水平走査期間に J (但し、J は 2 以上の整数とする) 回選択的に動作し、上記ラインメモリのビット数容量と C O G I C がパネルと接続するピン数を $1 / J$ とし、当該構成にあわせて上記フィールドメモリに記録された画像データを 1 水平走査期間に書き込まれたデータの $1 / J$ ずつ読出し、ラインメモリに書き込む。

【 0 0 4 4 】

好適には、外部から R G B シリアルで入力される画像データ信号を 1 垂直走査期間に記録し、次の 1 垂直走査期間では、格納したデータを上記フィールドメモリから 1 水平走査期間分毎に上記所定の駆動方式に基づき読出して上記ラインメモリに書込み、ラインメモリに書き込んだ「0」または「1」のデータを参照し、データが「1」のとき画素領域の信号線に任意の定電圧を供給する。

【 0 0 4 5 】

本発明によれば、輝度データの書き込みを行う画素回路においては、第 1 の制御線により選択されることで、画素回路の第 2 のスイッチが所定期間オンする。

このとき、信号線を介してハイレベルまたはローレベルを示す電圧信号が供給され、第 2 のスイッチを通してキャパシタに保持される。

キャパシタに保持されたデータ電圧は、ノードを通して第 1 のスイッチをオンまたはオフさせる。

これにより、保持データに従って電気光学素子を電流で駆動する。

電気光学素子を駆動する場合にオン、オフされる第 1 および第 2 のスイッチは、単なるオン・オフスイッチとして機能する。

そして、電気光学素子の階調表現は、たとえば 1 フィールド期間に N 個のサブフィールド期間を設けて、N ビット階調表示を可能にしている。

このときに、N 個のサブフィールドの信号が分割して発生され、画素回路の選択を行うときに、信号線にはハイレベルまたはローレベルの信号が印加され、画素への信号の取り込みがそのタイミングで行われる。

【 発明の効果 】

【 0 0 4 6 】

本発明によれば、高輝度での輝度ばらつきが無くなり、特に、白表示時の画像品質が向上する。

また、任意の輝度参照を設定できるため、パネルアプリケーション、たとえば、背景がグレイ表示に対応時に輝度ばらつき偏差をなくすように設定することができる。

また、電圧信号駆動が可能であるため、信号線への接続点数を軽減できる利点がある。

【 発明を実施するための最良の形態 】

【 0 0 4 7 】

以下、本発明の実施形態を図面に関連付けて説明する。

【 0 0 4 8 】

< 第 1 実施形態 >

図 4 は、本第 1 の実施形態に係るアクティブマトリクス型有機 E L ディスプレイの構成の概略を示す図である。

図 5 は、本第 1 の実施形態に係るアクティブマトリクス型有機 E L ディスプレイの画素回路の構成例を示す回路図である。

【 0 0 4 9 】

アクティブマトリクス型有機 E L ディスプレイ 1 0 0 は、画素回路 1 0 1 が $m \times n$ 個のマトリクス状に配列された画素アレイ部 1 0 2、第 1 のドライバとしてのデータドライバ (D D R V) 1 0 3、および第 2 のドライバとしてのスキャンドライバ (S D R V) 1 0

10

20

30

40

50

4を有している。

そして、画素回路101のマトリクス配列に対してデータドライバ(DDRV)103によって選択的に駆動されるn列分の信号線SGL101~SGL10nが画素列毎に配線され、スキンドライバ(SDRV)104によって選択的に駆動されるm行分の第1の制御線としての走査線SCNL101~SCNL10mが画素行毎にそれぞれ配線されている。

【0050】

また、画素回路101は、図5に示すように、pチャネルTFT111、112、およびキャパシタC111、有機EL素子(OLED)からなる発光素子113、ノードND111を有する。

各画素回路101のTFT111は、ソースが電源電位線VCCLに、ゲートがノードND111に接続され、ノードND111がTFT112のドレインにそれぞれ接続されている。有機EL発光素子113は、アノードがTFT111のドレインに、カソードが基準電位(たとえば、グランド電位)GNDにそれぞれ接続されている。

各画素回路101のTFT112は、ソースが対応する列の信号線SGL101~SGL10nに、ゲートが対応する行の走査線SCNL101~SCNL10mにそれぞれ接続されている。

キャパシタC111は、一端(第1電極)が電源電位線VCCLに、他端(第2電極)がTFT112のドレインにそれぞれ接続されている。

【0051】

本実施形態の画素回路101における2つのTFT111、112は、低温ポリシリコンのTFTからなり、飽和領域ではなく、リニア領域で動作させ、単なるスイッチとして機能するように駆動される。

すなわち、画素回路101は、低温ポリシリコンTFTからなるセレクトスイッチ回路を含んで構成されており、これにより、信号電位を発生させるソースICのピン(PIN)数を削減することが可能となる。

【0052】

本実施形態の画素回路101は、データドライバ103およびスキンドライバ104により、1フィールド期間において、複数回表示するように駆動制御される。

また、データドライバ103は、後で詳述するように、セレクトスイッチを含み、セレクトスイッチは、画素回路101の複数回表示において分割されたフィールドの中で2回以上の複数回選択されて、信号線SGLを介した信号書き込みが行われる。

【0053】

垂直走査回路としてのスキンドライバ104は、データラッチ方式のシフトレジスタ方式を採用している。

スキンドライバ104のスキャン(走査)タイミングは、図6のタイミングチャートに示すように、たとえば1フィールド(Field)期間(16.7ms)に8個のサブフィールド(Sub Field: SF)期間を設けて、8ビット(256階調)表示を可能にしている。

このときに、スキンドライバ104が8個のサブフィールド(Sub Field)SF1~SF8(Field分割選択)の信号を発生させ、スキンドライバ(垂直走査回路)104が先の選択を行うときに、信号線SGLにはデータドライバ(セクタ)103からハイ(High)レベル(たとえば10V)またはロー(Low)レベル(0V)の信号が印加され、画素への信号の取り込みをそのタイミングで行う。

【0054】

図7は、本第1の実施形態に係る表示パネルの構成例を示す図である。

【0055】

図7に示すように、表示パネル200に、画素アレイ部102、データドライバ(DDRV)103、およびスキンドライバ(SDRV)104が形成されている。

そして、データドライバ103は、データインターフェースを介して駆動IC(ICチ

10

20

30

40

50

ップ) 300に形成されたソースIC301が接続されている。

図7の画素アレイ部102は、例としてパネルの画素数を横方向960(RGB)×縦方向240(ライン)としている。

【0056】

データドライバ103は、レベルシフタ1031および2-セクタスイッチ部1032により構成されている。

本実施形態においては、ソースIC301からの0/5V振幅の発生信号をパネル入力部の近傍に存在するデータドライバ130のレベルシフタ1031により0/10V振幅の信号にレベルシフトし、さらにセクタスイッチ部1032を介して選択することにより、8個のサブフィールドSFに時分割配分する。

10

【0057】

図8は、セクタスイッチ部1032の複数の各セクタスイッチを切り替える切替信号S1、S2のタイミング例を示す図である。

図7に示すセクタスイッチ部1032は、セクタスイッチSW1、SW2、SW3の3つのみを示している。

【0058】

図7のスイッチSW1は、切替信号S1を受けるとB信号に対応した信号線SGL101-Bにレベルシフトされた10Vの信号または0Vに信号を伝搬させ、切替信号S2を受けるとR信号に対応した信号線SGL102-Rにレベルシフトされた10Vの信号または0Vの信号を伝搬させる。

20

スイッチSW2は、切替信号S1を受けるとG信号に対応した信号線SGL103-Gにレベルシフトされた10Vの信号または0Vの信号を伝搬させ、切替信号S2を受けるとB信号に対応した信号線SGL104-Bにレベルシフトされた10Vの信号または0Vの信号を伝搬させる。

スイッチSW3は、切替信号S1を受けるとR信号に対応した信号線SGL105-Rにレベルシフトされた10Vの信号または0Vの信号を伝搬させ、切替信号S2を受けるとG信号に対応した信号線SGL106-Gにレベルシフトされた10Vの信号または0Vの信号を伝搬させる。

【0059】

このような、時分割階調表示を行うことにより、ソースIC301からの信号線の数とは、通常の有機ELディスプレイに対して、説き分割分で割った(除した)数で対応できることから入出力ピン数を少なくできる。

30

【0060】

以上のように、本実施形態においては、画素回路101の光学素子113を駆動して表示するに際し、1フィールドを複数のサブフィールドSFに分割して発光期間の異なる(長さの異なる)サブフィールドSFを選択(オン、オフ)し発光させて階調表示を行う時分割階調表示を採用している。

本実施形態においては、この時分割階調表示を行う場合に、線順次書き込み方式ではなく、アドレス表示同時駆動方式(AWD: Address While Display Driving Scheme)に従ってデータ出力を行う。

40

【0061】

以下に、線順次書き込み方式ではなくAWD方式を採用した理由について説明する。

まず、線順次書き込み方式について、図9~図11に関連付けて説明する。

【0062】

図9は、線順次書き込み方式の8ラインの場合のスキャンラインの駆動タイミングを示す図である。図10は、線順次書き込み方式のデータの出力形態を示す図である。図11は、線順次書き込み方式を採用した場合のスキャンの様子を示す図である。

【0063】

ここでは、1フィールドをそれぞれ期間の異なる3つのサブフィールドSF1、SF2、SF3に分割する8階調表示の場合であって、8ライン駆動の場合を例としている。

50

線順次の場合、データは図 9 および図 10 に示すように、LSB から MSB へと順番に出力され、書き込みの順番は線順次、すなわち、ライン L1 ~ ライン L8 のサブフィールド SF1 を書き込み、ライン L1 ~ ライン L8 のサブフィールド SF2 を書き込み、ライン L1 ~ ライン L8 のサブフィールド SF3 を書き込む。

しかしこの場合、図 9 に示すように、書き込めない期間が存在してしまう。

有機 EL 素子からなる発光素子 113 の劣化を抑えるために、1 度に流れる電流量を抑えることが必要である。電流量を抑えるためには発光期間を長くすればよいが、書き込み時間以外をすべて発光期間にすると、書き込み時間が足りなくなる。

たとえば、240 ラインで 8 SF (256 階調) の場合、書き込み時間は $0.27 \mu s$ となる。

書き込み時間を優先すると、表示期間が減少する。たとえば、240 ライン、8 SF (256 階調) で、書き込み時間 $6 \mu s$ とした場合、表示期間の割合は約 64 % となり、1 度に流れる電流が増大する。

【0064】

そこで、本実施形態においては、図 12 および図 13 に示すように、AWD 方式を採用してデータ出力を行っている。

【0065】

図 12 は、AWD 方式の 8 ラインの場合のスキャンラインの駆動タイミングを示す図である。図 13 は、AWD 方式のデータの出力形態を示す図である。

【0066】

ここでも、1 フィールドをそれぞれ期間の異なる 3 つのサブフィールド SF1、SF2、SF3 に分割する 8 階調表示の場合であって、8 ライン駆動の場合を例としている。

AWD 方式においては、書き込みが線順次ではなく、データも、たとえばライン L1 のサブフィールド SF1、次にライン L8 のサブフィールド SF2、次にライン L6 のサブフィールド SF3 のように、あるラインの表示期間をその他のラインの書き込み期間として均一に割り当てるような順に行われる。

【0067】

上述したように、本実施形態の有機 EL ディスプレイ 100 においては、サブフィールドの階調表現を行う。

具体的には、各ラインごとに、各フィールドが N 個 (ただし N は正の整数) のサブフィールド SF に分割され、各サブフィールドの先頭の 1 H 期間 (ただし、H は水平走査期間) が N 等分されて N 個の区分が設定され、各サブフィールドごとに異なる区分にアドレス期間が設定された区分後のキャパシタ C111 の放電維持期間でのスキャンドライバ 104 によるサステインパルス WS の周期を 1 H 期間の長さの $1/N$ 倍または K/N 倍 (ただし、K は 2 以上 H の整数) として、N ビットの階調表示を行う。

そして、各画素の階調を表現するサブフィールドの配置順について、1 H 期間におけるサブフィールド SF の放電開始タイミングが、すべてのラインにおいて異なり、かつ、いわゆるタイミングチャートを横軸に時間、縦軸にライン番号とした場合 (図 12 および図 13 参照)、キャパシタ C111 の放電開始タイミングが最も疎となるようにサブフィールドを配置した駆動タイミングをとる。

【0068】

以上の AWD 方式に応じた駆動タイミングを採用することにより、書き込み期間を全期間無駄なく配置可能となっている。

たとえば 240 ライン、8 SF (256 階調) の場合、書き込み時間は $8.7 \mu s (= 16.7 ms / 8 SF / 240 \text{ ライン})$ となる。

【0069】

このような、AWD 方式に応じた駆動タイミングは、たとえばあらかじめ AWD タイムシーケンスとして図示しないテーブルに保持される。

以下に、AWD タイムシーケンスの作成方法の一例を説明する。なお、ここでは、2 ビット分の γ 補正を含めて 1 フィールドを 10 サブフィールドの分割する場合を例に説明す

10

20

30

40

50

る。

【 0 0 7 0 】

1) 1フィールド(16.7ms)をスキャンライン(走査線)数(この例では240ライン)で割り(除して)、1H期間を決定する。すなわち、 $16.7\text{ms} / 240 = 69.5\mu\text{s}$ を1H期間とする。

【 0 0 7 1 】

2) 1H(69.5μs)をサブフィールド数(この例では10SF)で割り(除して)、書き込み時間を決定する。すなわち、 $69.5\mu\text{s} / 10 = 6.95\mu\text{s}$ を書き込み時間とする。

【 0 0 7 2 】

3) 1H期間を、図14に示すように、各サブフィールドの書き込み期間で割り振る。

【 0 0 7 3 】

4) 割り振ったサブフィールドSFの書き込み期間を違反しないように、各サブフィールドSFの書き込みタイミングを設定する。

【 0 0 7 4 】

5) 各ラインの書き込みシーケンスを1Hずらしていくことにより、AWDタイムシーケンス表の作成が完了する。

【 0 0 7 5 】

また、本実施形態においては図7のパネル外に配置されたICチップ(駆動IC)300には、1フィールド期間において、複数回任意の単一画素の階調表示を行う信号データを蓄積するためのR、G、B独立のラインメモリと、この複数回任意の単位画素の階調表示を行うための、1フィールド期間内に表示データの入れ替えを行うためのフィールドメモリと、を含む。

ここで、ラインメモリは、順次フィールドメモリでAWD方式に応じて並び替えたデータによりソースICを制御して信号データを出力する。このとき、RGBに単独での出力が可能になるため、接続PIN数、配線数は激減する。

以下に、ラインメモリおよびフィールドメモリを備えた駆動IC(ICチップ)300Aについて説明する。

【 0 0 7 6 】

図15は、本実施形態に係るフィールドメモリおよびラインメモリを有するICチップの具体的な構成例を示す図である。

図15においては、駆動IC(ICチップ)300Aに加えてセレクトスイッチ部1032とパネル200とを示している。

【 0 0 7 7 】

駆動IC(ICチップ)300Aは、タイミングジェネレータ310、フィールドメモリ部311、ラインメモリ部312、およびソースドライバ313を有している。

【 0 0 7 8 】

図7の例においては、セレクトスイッチ部1032は、1H期間に2回動作する場合を説明したが、基本的に本実施形態のディスプレイ100においては、画素領域の信号配線のCOGICとの接続部分に、1H期間にJ回動作する(但し、Jは2以上の整数とする)セレクトスイッチを用いることにより、ラインメモリのビット数容量とCOGICがパネルと接続するPIN数を1/Jとし、その構成にあわせてフィールドに記録された画像データを1H期間に書き込まれたデータの1/Jずつ読出し、ラインメモリに書き込むように構成される。

【 0 0 7 9 】

図16は、1H期間にJ回路動作するJセレクトスイッチ部の構成例を示す図である。また、図17は、Jセレクトスイッチ部の切り替え信号のタイミングチャートである。

Jスイッチは、タイミングジェネレータ310により生成される、セレクト信号SEL1、SEL2、・・・、SELJにより切り替えられて、電圧信号を対応する信号線に伝搬させる。

10

20

30

40

50

【0080】

また、本実施形態の有機ELディスプレイ100においては、フィールドメモリを用いた時間階調方式を採用可能で、外部からRGBシリアルで入力される画像データ信号を1V期間(但し、Vは垂直走査期間)記録し、次の1V期間では、格納したデータをフィールドメモリ部311から1H期間分毎に請求項2の駆動方式に基づき読出しラインメモリ部312に書込み、ラインメモリ312に書き込んだ「0」または「1」のデータを参照し、データが「1」のとき画素領域の信号線に任意の定電圧を供給するCOGICを実装している。

また、本実施形態の有機ELディスプレイ100は、前述したように、AWD方式を採用可能で、各画素の階調を表現するサブフィールドの配置順について、1H期間におけるサブフィールドSFの放電開始タイミングが、すべてのラインにおいて異なり、かつ、いわゆるタイミングチャートを横軸に時間、縦軸にライン番号とした場合(図12および図13参照)、キャパシタC111の放電開始タイミングが最も疎となるようにサブフィールドを配置した駆動タイミングをとる。

10

【0081】

駆動IC300Aは、たとえばセットの画像データ入力を8ビットとし、回路内部で10ビットに拡幅することにより、 γ (ガンマ)カーブを10ビット階調とする。

10ビットに拡幅された画像データは2つのフィールドメモリのいずれかに一旦格納され、次の垂直走査期間(V)にAWD方式に従って出力する。

AWD方式での駆動においては2つのフィールドメモリとラインメモリ(レジスタ)が必要となる。

20

ここで、パネルの画素数が大きくなると、COGICにおいては、Pin数が増加するとともに内蔵する出力アンプの数が増加するため、ICのサイズの拡張が避けられないが、小型ディスプレイの額縁にICを実装する場合、ICサイズは小さい方が望ましい。

【0082】

駆動IC300Aを有する図15の有機ELディスプレイ100において、セレクトスイッチ部1032の各セレクトスイッチは、タイミングジェネレータ(TG)310で発生されるハイ(High)、ロー(Low)の信号に従いCOGICからの信号をパネル画素の信号線に取り込む(本来TGからは、この他にも各ブロック制御用に複数の内部信号が送られるが、それらは省略している)。

30

図7および図16に示すように、セレクトスイッチ部1032を導入することにより、COGICがパネルと接続されるPinの総数は1/Jとなる。

セレクトスイッチを使用する際には、図18に示すように、パネル内部ではセクタによる分割数に合わせてスキンドライバ104によって生成されるスキャン信号WSのロー(Low)期間を等間隔に振り分ける。

【0083】

また、本実施形態においては、COGIC中にメモリを効率よく配置し、サイズ制約を損わないためのメモリの書込み・読出し方法を採用している。

【0084】

図19は、水平方向画素数12(RGB)、垂直方向ライン数8としたパネルの画素配置と周辺構成の例を示す図である。

40

また、図20は、階調を3ビットとした場合の画像データ入力タイミングチャートを示す図である。

また、図21は、フィールドメモリの構成例を示す図であって、1ラインのデータを3ビット×4ワード×3ビットで格納する例を示す図である。

【0085】

入力された画像データは水平方向画素数×垂直方向ライン数(12bit×8word)構成のASICメモリ(フィールドメモリ)×3枚(階調3bitに対応)に図21のように格納される。ここで、フィールドメモリは奇数(ODD)フィールドメモリと偶数(EVEN)フィールドメモリがあり、図21は、そのうちいずれか片方を示しているもの

50

とする。

【 0 0 8 6 】

図 2 2 は、フィールドメモリからセクタスイッチまでの具体的な構成例を示す図である。

また、図 2 3 は A W D 方式に従ったフィールドメモリの読出しアルゴリズムを示す図である。

また、図 2 4 は、図 2 3 のアルゴリズムに対するタイミングチャートを示す図である。

【 0 0 8 7 】

この例では、2つのフィールドメモリ 3 1 1 1 , 3 1 1 2、2つのラインメモリ 3 1 2 1 , 3 1 2 2 と、切り替えスイッチ 3 1 4 ~ 3 1 6 を有しており、たとえば一方のフィールドメモリ 3 1 1 1 のデータをスイッチ 3 1 4 , 3 1 5 を通してラインメモリ 3 1 2 2 に格納し、その間に他方のラインメモリ 3 1 2 1 に格納されたデータをスイッチ 3 1 6 を通してソースドライバに転送する。以上の動作が交互に繰り返すことが可能に構成されている。

【 0 0 8 8 】

なお、図 2 4 において、画像データのデータレジスタへの出力が 1 H 遅れたタイミングとなっているが、これは同期信号に対して相対的に出力全体が遅れるのであって同期は取れているので問題はない。

【 0 0 8 9 】

図 2 5 は、図 2 1 に代わるフィールドメモリの構成例を示す図であって、1ラインのデータを 6 ビット × 2 ワード × 3 ビットで格納する例を示す図である。

図 2 6 は、図 2 5 に対応したフィールドメモリからセクタスイッチまでの具体的な構成例を示す図である。

また、図 2 7 は、図 2 5 および図 2 6 に対応したフィールドメモリの読み出しタイミングを示す図である。

【 0 0 9 0 】

この場合、2つのフィールドメモリ 3 1 1 1 , 3 1 1 2 がスイッチ 3 1 7 を通してソースドライバ 3 1 3 に接続されるように構成されている。

この例では、フィールドメモリの書込みの際にはパルシャルライトを行うことにより、3 ビットの入力を 1 W o r d (= 6 b i t) に書き込んでいく。

書込み順は、まず 1 ビット目から 3 ビット目を 1 サイクルで書込み、続いてビット目から 6 ビット目を 1 サイクルで書き込む。

このアルゴリズムでは A S I C メモリの構成により、一度にビットのデータを読み出すことによって図 4 - 4 においてフィールドメモリとソースドライバ間にあったラインメモリを省略している。

【 0 0 9 1 】

次に、上記構成による動作を、画素回路の動作を中心に説明する。

【 0 0 9 2 】

以上の構成を有する有機 E L ディスプレイにおいて、輝度データの書き込みを行う画素回路 1 0 1 では、この画素を含む画素行がスキンドライバ 1 0 4 によって走査線 S C N L を介して選択されることで、その行の画素回路 1 0 1 の T F T 1 1 2 がオンする。

このとき、データドライバ 1 0 3 から信号線 S G L を介してハイレベル (1 0 V) またはローレベル (0 V) を示す電圧で供給され、T F T 1 1 2 を通してキャパシタ C 1 1 1 に保持される。

キャパシタ C 1 1 1 に保持されたデータ電圧は、T F T 1 1 1 のゲートに印加される。

これにより、T F T 1 1 1 は、保持データに従ってオンまたはオフし、有機 E L 発光素子 1 1 3 が電流駆動される。

有機 E L 発光素子 1 1 3 を駆動する場合にオン、オフされる T F T 1 1 1 および T F T 1 1 2 は、単なるオン・オフスイッチとして機能する。

すなわち、本実施形態においては、有機 E L 発光素子 1 1 3 の階調表現は、キャパシタ

10

20

30

40

50

C 1 1 1 によって保持される T F T 1 1 1 のゲート・ソース間電圧を変調することによって行われるのではなく、以下のように行われる。

【 0 0 9 3 】

本実施形態においては、スキャンドライバ 1 0 4 のスキャン（走査）タイミングは、たとえば 1 フィールド (Field) 期間 (1 6 . 7 m s) に 8 個のサブフィールド S F 期間を設けて、8 ビット (2 5 6 階調) 表示を可能にしている。

このときに、スキャンドライバ 1 0 4 において 8 個のサブフィールド S F 1 ~ S F 8 (Field 分割選択) の信号が発生され、スキャンドライバ 1 0 4 が先の選択を行うときに、信号線 S G L にはデータドライバ 1 0 3 からハイレベル (たとえば 1 0 V) またはローレベル (0 V) の信号が印加され、画素への信号の取り込みがそのタイミングで行われる。

10

【 0 0 9 4 】

このように、本第 1 の実施形態においては、有機 E L 発光素子 1 1 3 の階調表現を、時分割階調表示とし、データ出力は、線順次書き込み方式ではなく、A W D 方式に従って行い、各画素回路 1 0 1 においては、有機 E L 発光素子 1 1 3 への電流供給路に配置される T F T 1 1 1 を単なるオン・オフスイッチとしてのみ機能させることから、有機 E L 発光素子 1 1 3 の輝度ばらつきに影響を与える T F T 1 1 1 の移動度 μ 、しきい値 V_{th} のばらつきにかかわらず、有機 E L 発光素子 1 1 3 を輝度むらの発生を抑止しつつ安定に駆動することが可能となっている。

【 0 0 9 5 】

以上説明したように、本第 1 の実施形態によれば、画素回路 1 0 1 を、電源電位線 V C C L と基準電位 (たとえば接地電位 G N D) との間に直列に配置された T F T 1 1 1 および有機 E L 発光素子 1 1 3、信号線 S G L と T F T 1 1 1 のゲート間に接続された T F T 1 1 2、および T F T 1 1 1 のゲートと電源電位線 V C C L との間に接続されたキャパシタ C 1 1 1 を含んで構成し、さらに、1 フィールド期間において、複数回任意の単一画素の階調表示を行う信号データを蓄積するための R、G、B 独立のラインメモリ部 3 1 2 と、この複数回任意の単位画素の階調表示を行うための、1 フィールド期間内に表示データの入れ替えを行うためのフィールドメモリ部 3 1 1 と、スキャンドライバ 1 0 4 のスキャンタイミングは、たとえば 1 フィールド期間 (1 6 . 7 m s) に N (たとえば 8 あるいは 1 0) 個のサブフィールド S F 期間を設けて、N ビット (8 ビットの場合、2 5 6 階調) 表示を可能にし、スキャンドライバ 1 0 4 がたとえば N 個のサブフィールド S F 1 ~ S F N の信号を発生させ、スキャンドライバ 1 0 4 が先の選択を行うときに、信号線 S G L にはセレクトスイッチ部を含むデータドライバ 1 0 3 からハイレベル (たとえば 1 0 V) またはローレベル (0 V) の信号が印加され、画素への信号の取り込みをそのタイミングで行うことから、以下の効果を得ることができる。

20

30

【 0 0 9 6 】

各画素回路 1 0 1 においては、有機 E L 発光素子 1 1 3 への電流供給路に配置される T F T 1 1 1 を単なるオン・オフスイッチとしてのみ機能させることが可能で、その結果、有機 E L 発光素子 1 1 3 の輝度ばらつきに影響を与える T F T 1 1 1 の移動度 μ 、しきい値 V_{th} のばらつきにかかわらず、有機 E L 発光素子 1 1 3 を輝度むらの発生を抑止しつつ安定に駆動することが可能である。したがって低輝度時の信号書き込み応答性を損うことなく、高輝度時の輝度ばらつきを防止できる。その結果、高品位な画像を表示することができる。

40

また、画素回路の構成をしきい値補正用の T F T 等を設けることなく、極めて簡単な構成とすることができる。その結果、スキャンライン等の制御線を最小限のとどめることができ、制御系の負荷の軽減を図れることはもとより、表示パネルの狭額縁化を図ることができる。

【 0 0 9 7 】

換言すれば、本第 1 の実施形態によれば、高輝度での輝度ばらつきが無くなり、白表示時の有機 E L 発光素子 (O L E D) の画像品質が向上する。

また、任意の輝度参照を設定できるため、パネルアプリケーション (たとえば、背景が

50

グレイ表示に対応)時に、輝度ばらつき偏差をなくすように設定することができる。

また、電圧信号駆動であるため、信号線への接続点数を軽減できる。電流駆動回路では、電流を水平選択期間中流すことが必要となる結果、信号線の切り替えスイッチが使用できない。電圧信号は信号線の容量に電荷を蓄積させるほうが接続端子数削減には望ましい。

信号線への接続点数を軽減したことに合わせて、ASICメモリのBit/Word構成を最適化することによってCOGIC内のロジックゲート数を削減できる。これによりICの小型化を図ることが可能である。

また、信号線への接続点数を軽減したことにより、ICの必要出力アンプ数が削減され、コスト低減を図ることができる。

10

すなわち、AWDを用いた有機ELディスプレイにおいて、透明ガラス基板に実装されるCOGICとパネル信号線の接続本数をTFTによるセクタスイッチを用いて削減するとともに、COGIC内に構成するフィールドメモリ(ASICメモリ)のbit長、Word数をセクタスイッチの構成に対して最適となるように設計することによりCOGICに通常必要なラインメモリの容量を削減することによって、水平方向高画素時に問題となる、COGICの接続本数の増加、ラインメモリの容量増加を抑制することができる。

【0098】

なお、図5の画素回路101は一例であって、本発明はこれに限定されるものではない。たとえば、上述したように、TFT111, TFT112は単なるスイッチであることから、これらのすべて乃至一部をnチャンネルTFT、あるいはその他のスイッチ素子で構成することも可能なことは明らかである。

20

【図面の簡単な説明】

【0099】

【図1】一般的な画素回路の第1の構成例を示す回路図である。

【図2】一般的な画素回路の第2の構成例を示す回路図である。

【図3】図2の回路の駆動方法を説明するためのタイミングチャートである。

【図4】本発明の第1の実施形態に係るアクティブマトリクス型有機ELディスプレイの構成の概略を示す図である。

【図5】本第1の実施形態に係るアクティブマトリクス型有機ELディスプレイの画素回路の構成例を示す回路図である。

30

【図6】本実施形態の時分割階調表示を説明するための図である。

【図7】本実施形態に係るデータドライバの具体的な構成例を示す図である。

【図8】図7のセクタスイッチ部の切り替えタイミングを示す図である。

【図9】線順次書き込み方式の8ラインの場合のスキャンラインの駆動タイミングを示す図である。

【図10】線順次書き込み方式のデータの出力形態を示す図である。

【図11】線順次書き込み方式を採用した場合のスキャンの様子を示す図である。

【図12】AWD方式の8ラインの場合のスキャンラインの駆動タイミングを示す図である。

40

【図13】AWD方式のデータの出力形態を示す図である。

【図14】AWDタイムシーケンス表の作成例を説明するための図である。

【図15】本実施形態に係るフィールドメモリおよびラインメモリを有するICチップの具体的な構成例を示す図である。

【図16】1H期間にJ回路動作するJセクタスイッチ部の構成例を示す図である。

【図17】Jセクタスイッチ部の切り替え信号のタイミングチャートである。

【図18】パネル内部ではセクタによる分割数に合わせてスキャンドライバによって生成されるスキャン信号WSのロー(Low)期間を等間隔に振り分け方を示す図で垂る。

【図19】水平方向画素数12(RGB)、垂直方向ライン数8としたパネルの画素配置と周辺構成の例を示す図である。

50

【図 2 0】階調を 3 ビットとした場合の画像データ入力タイミングチャートを示す図である。

【図 2 1】フィールドメモリの構成例を示す図であって、1 ラインのデータを 3 ビット × 4 ワード × 3 ビットで格納する例を示す図である。

【図 2 2】フィールドメモリからセクタスイッチまでの具体的な構成例を示す図である。

【図 2 3】A W D 方式に従ったフィールドメモリの読出しアルゴリズムを示す図である。

【図 2 4】図 2 3 のアルゴリズムに対するタイミングチャートを示す図である。

【図 2 5】図 2 1 に代わるフィールドメモリの構成例を示す図であって、1 ラインのデータを 6 ビット × 2 ワード × 3 ビットで格納する例を示す図である。

【図 2 6】図 2 5 に対応したフィールドメモリからセクタスイッチまでの具体的な構成例を示す図である。

【図 2 7】図 2 5 および図 2 6 に対応したフィールドメモリの読み出しタイミングを示す図である。

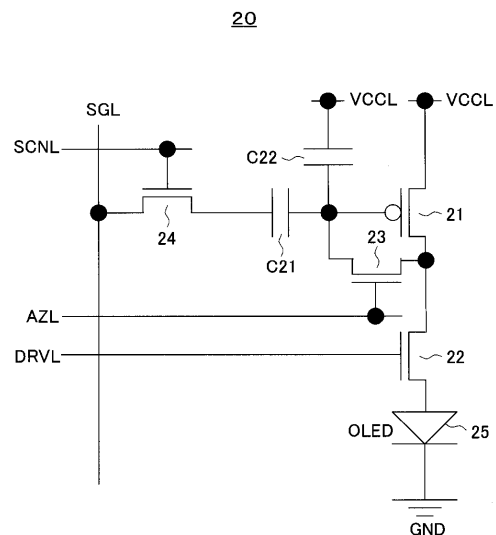
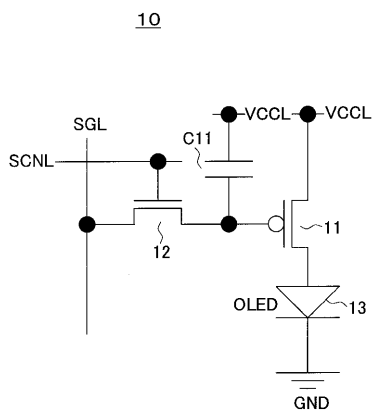
【符号の説明】

【 0 1 0 0 】

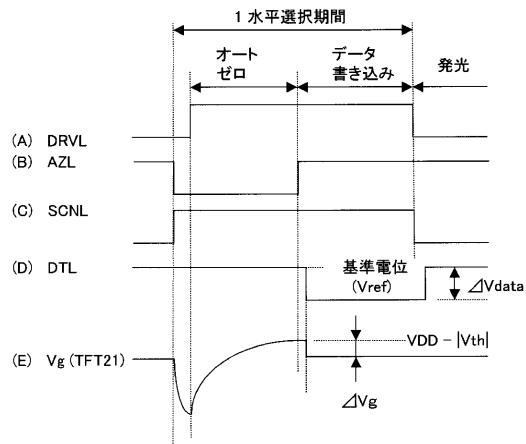
1 0 0 ... アクティブマトリクス型有機 E L ディスプレイ (表示装置)、1 0 1 ... 画素回路、1 0 2 ... 画素アレイ部、1 0 3 ... データドライバ (D D R V)、1 0 4 ... スキャンドライバ (S D R V)、2 0 0 ... 表示パネル、3 0 0 , 3 0 0 A ... 駆動 I C、3 1 0 ... タイミングジェネレータ、3 1 1 ... フィールドメモリ部、3 1 1 1 , 3 1 1 2 ... フィールドメモリ、3 1 2 ... ラインメモリ部、3 1 2 1 , 3 1 2 2 ... ラインメモリ、1 0 3 2 ... セクタスイッチ部、1 1 1 , 1 1 2 ... T F T、N D 1 1 1 ... ノード、V C C L ... 電源電位線。

【 図 1 】

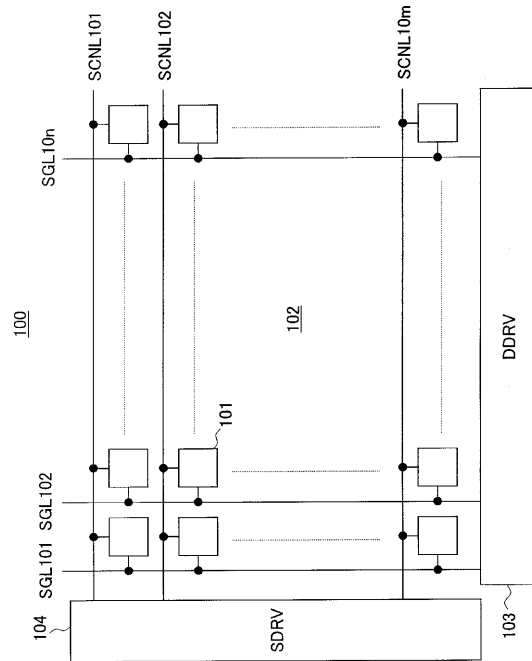
【 図 2 】



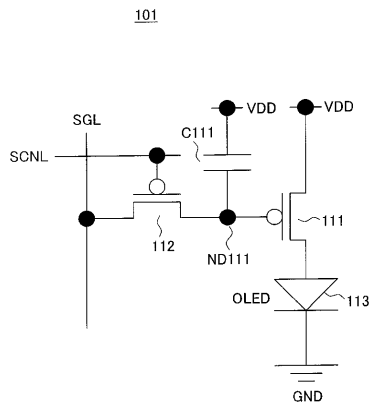
【図 3】



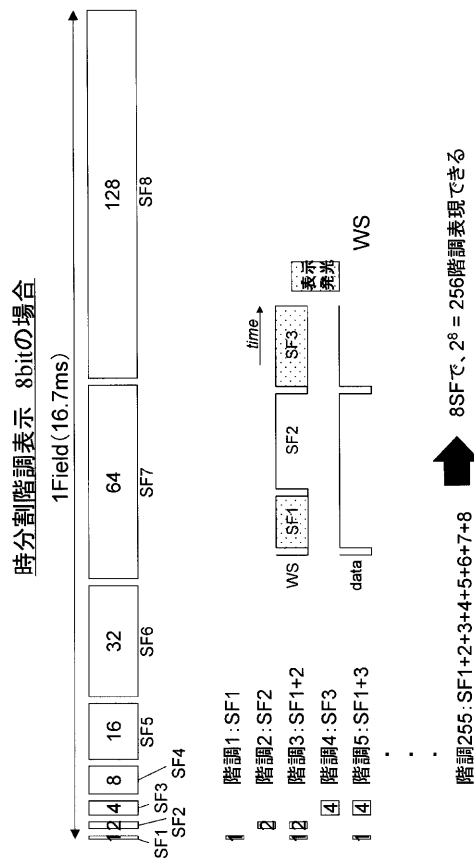
【図 4】



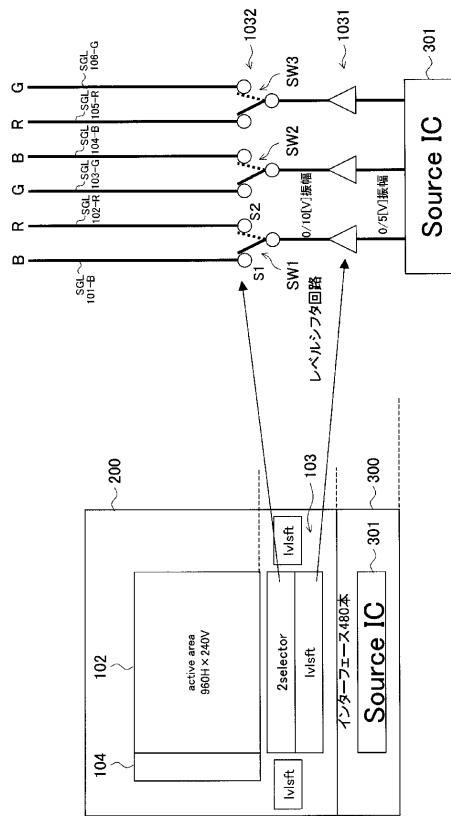
【図 5】



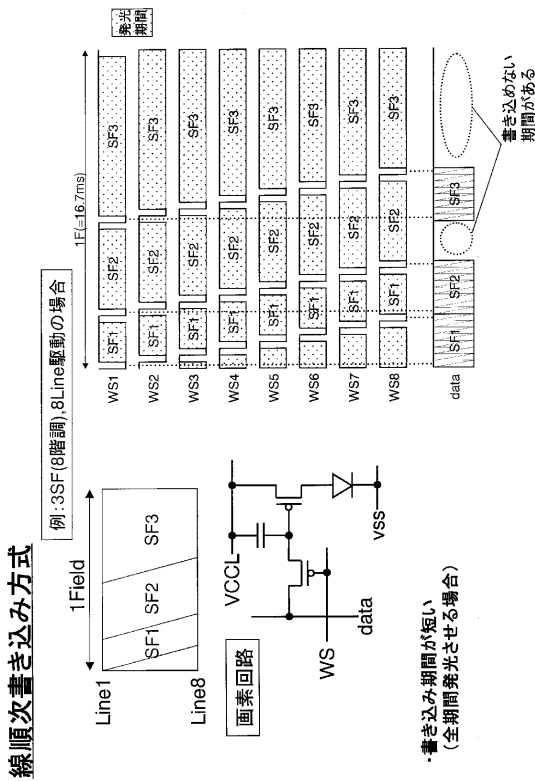
【図 6】



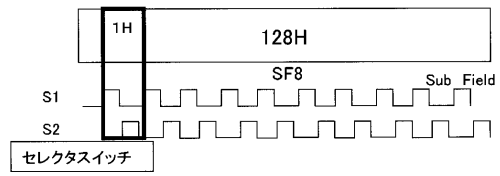
【図 7】



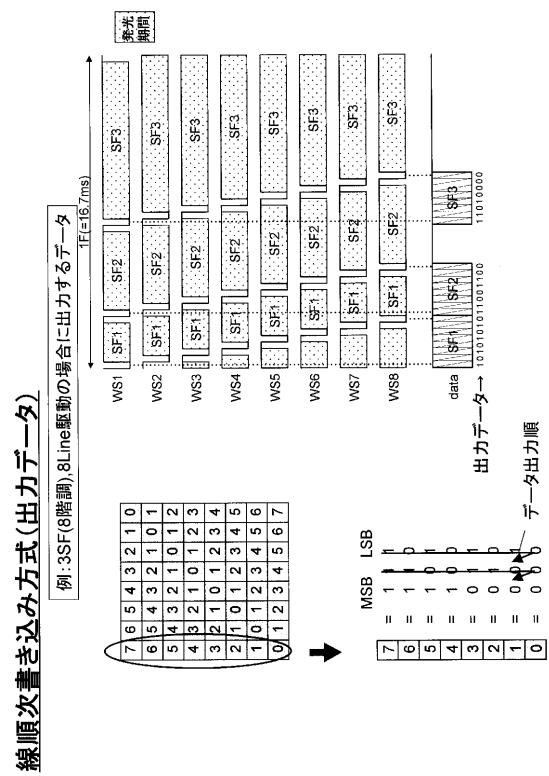
【図 9】



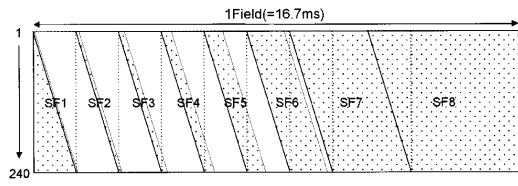
【図 8】



【図 10】

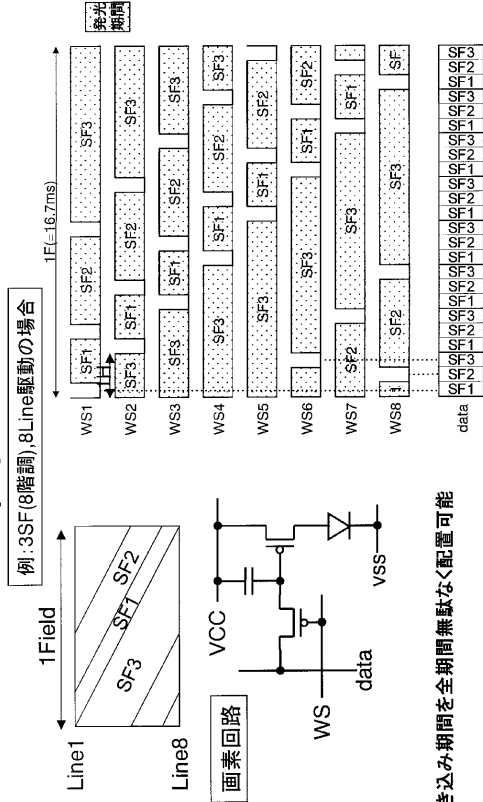


【図 1 1】



【図 1 2】

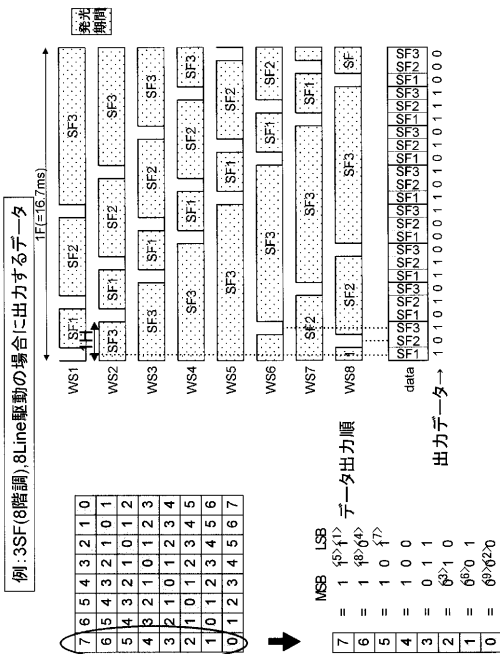
AWD (Address While Display) 方式



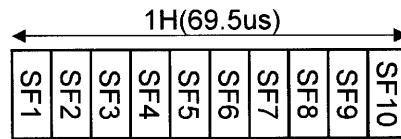
・書き込み期間を全期間無駄なく配置可能

【図 1 3】

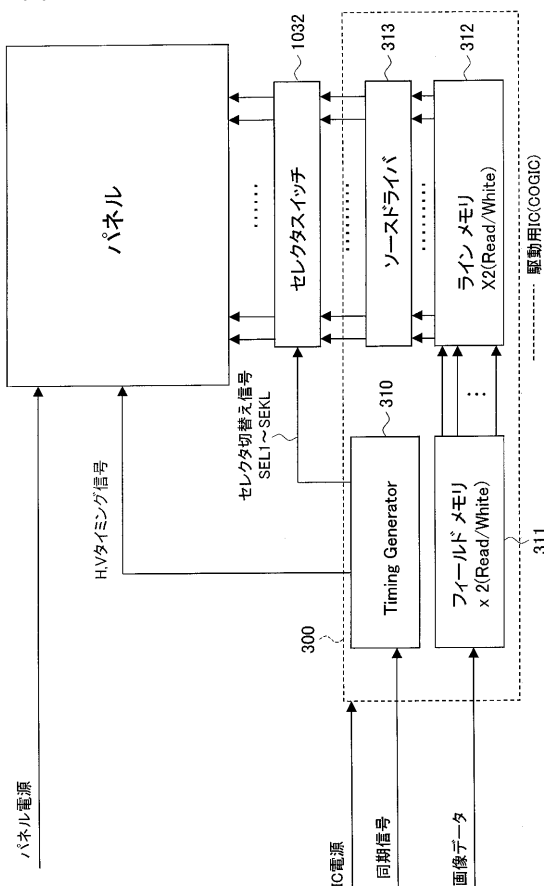
AWD (Address While Display) 方式の出力データ



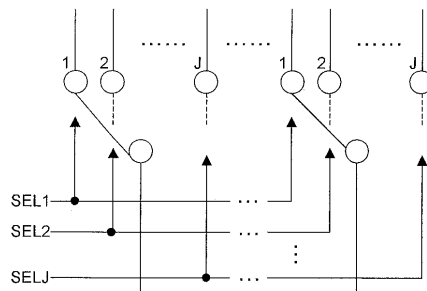
【図 1 4】



【 図 1 5 】



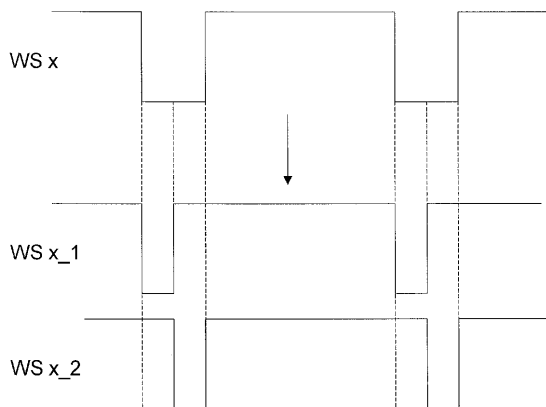
【 図 1 6 】



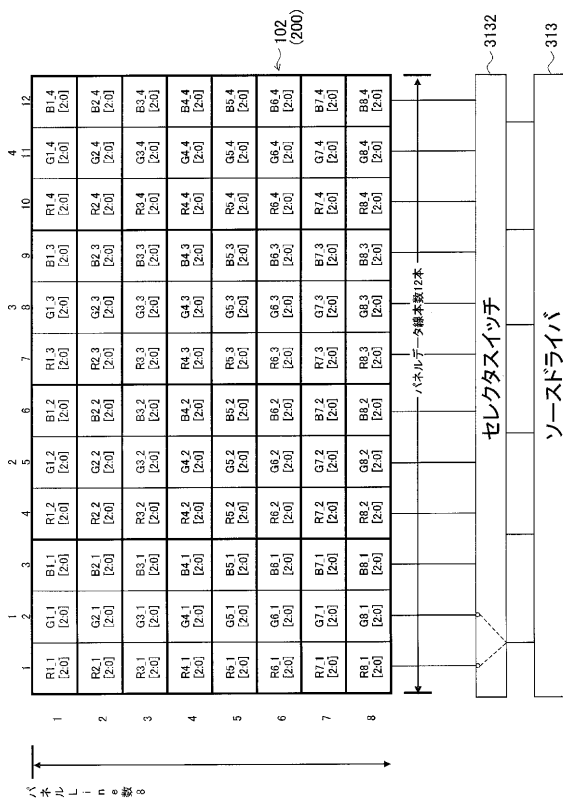
【 図 1 7 】



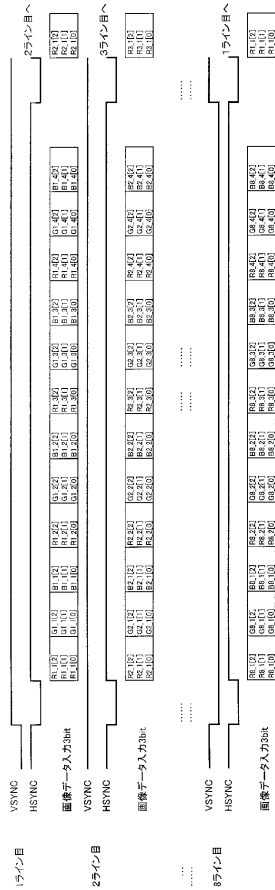
【 図 1 8 】



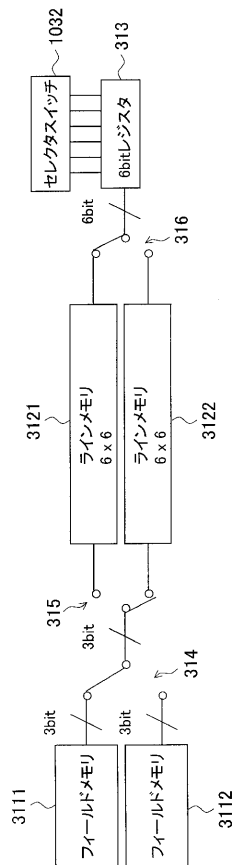
【 図 1 9 】



【図 20】

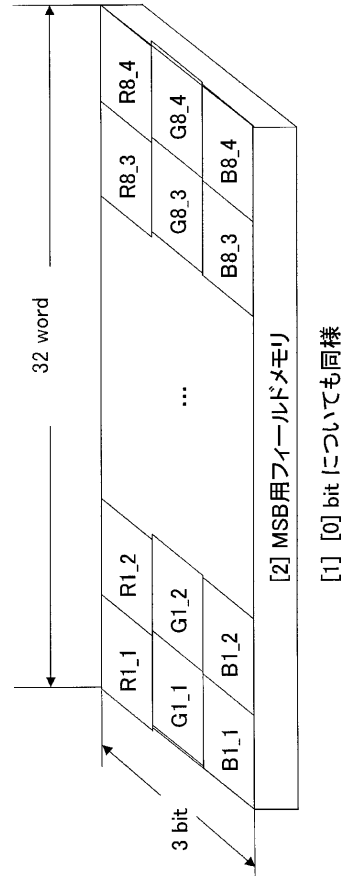


【図 22】

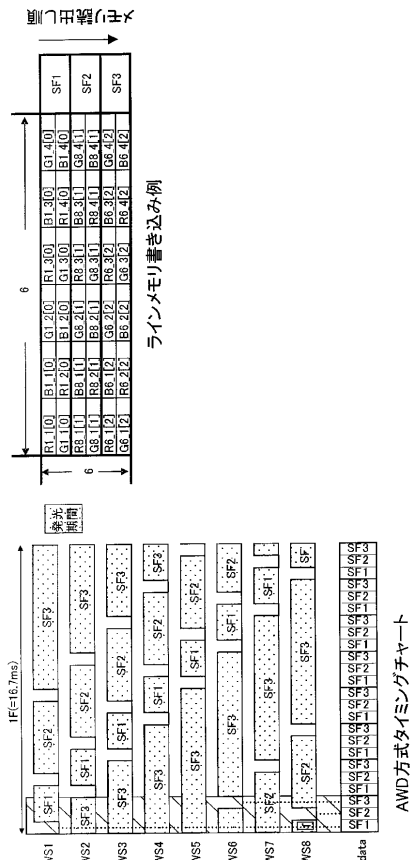


フィールドメモリからセレクタスイッチまでの構成

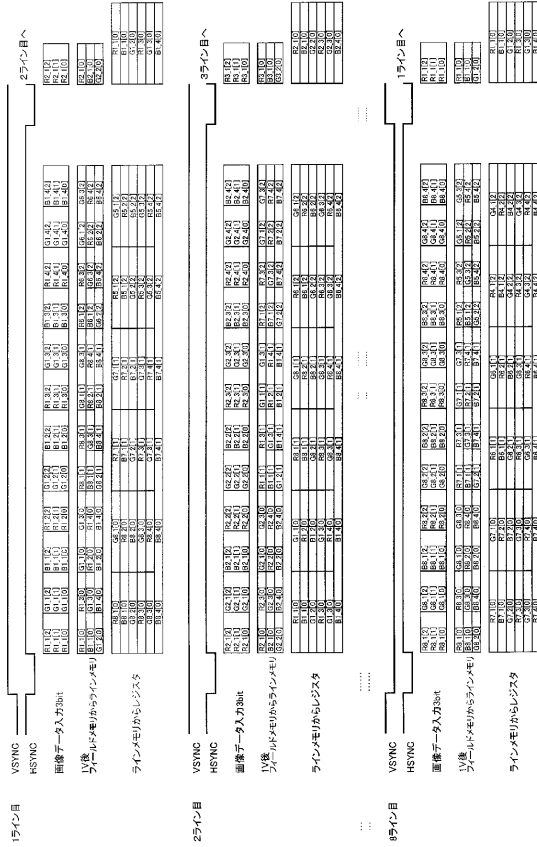
【図 21】



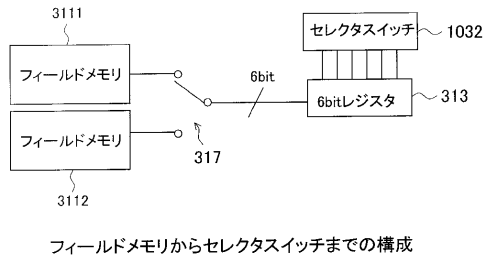
【図 23】



【図 24】

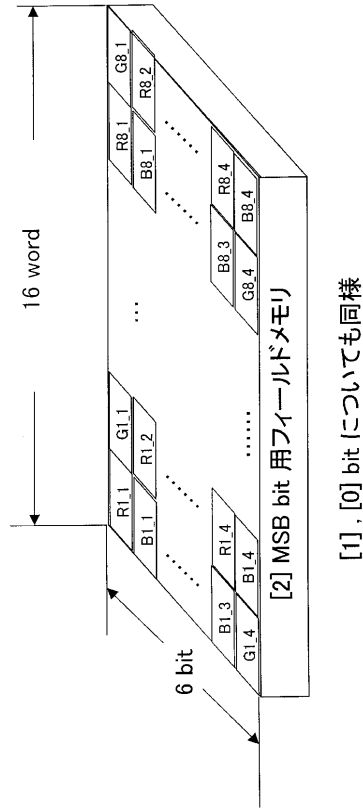


【図 26】



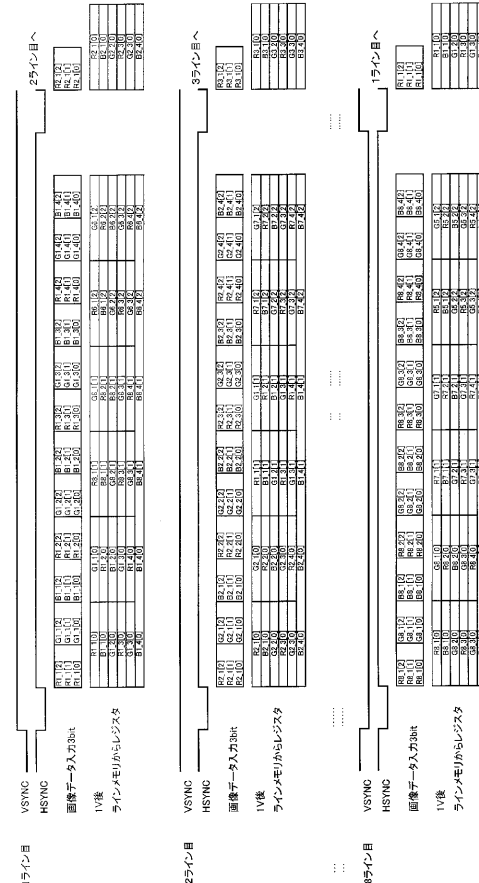
フィールドメモリからセクタスイッチまでの構成

【図 25】



[1], [0] bit についても同様

【図 27】



フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 3 1 R
	G 0 9 G 3/20	6 3 1 M
	G 0 9 G 3/20	6 3 1 B
	H 0 5 B 33/14	A

(72)発明者 湯本 昭
東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内

(72)発明者 浅野 慎
東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内

(72)発明者 甚田 誠一郎
東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内

(72)発明者 藤村 寛
東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内

F ターム(参考) 3K007 AB17 BA06 DB03 GA04
5C080 AA06 BB05 DD05 DD08 DD22 EE29 FF07 GG12 GG15 GG17
HH09 JJ02 JJ03 JJ04

专利名称(译)	表示装置		
公开(公告)号	JP2007025544A	公开(公告)日	2007-02-01
申请号	JP2005211177	申请日	2005-07-21
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	渡邊勝秀 山口正則 猪野益充 湯本昭 浅野慎 甚田誠一郎 藤村寛		
发明人	渡邊 勝秀 山口 正則 猪野 益充 湯本 昭 浅野 慎 甚田 誠一郎 藤村 寛		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.K G09G3/20.624.B G09G3/20.611.H G09G3/20.642.A G09G3/20.641.E G09G3/20.631.R G09G3/20.631.M G09G3/20.631.B H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA04 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD08 5C080/DD22 5C080/EE29 5C080/FF07 5C080/GG12 5C080/GG15 5C080/GG17 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH04 5C380/AA01 5C380/AB06 5C380/AB23 5C380/AB24 5C380/AB34 5C380/BA12 5C380/BA13 5C380/BA15 5C380/BA17 5C380/BA23 5C380/BA28 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BD09 5C380/CA04 5C380/CA05 5C380/CA08 5C380/CA14 5C380/CA16 5C380/CA20 5C380/CA53 5C380/CB01 5C380/CB06 5C380/CB16 5C380/CC02 5C380/CC21 5C380/CC26 5C380/CC27 5C380/CC29 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC62 5C380/CC64 5C380/CD012 5C380/CD024 5C380/CF02 5C380/CF03 5C380/CF07 5C380/CF24 5C380/CF51 5C380/DA02 5C380/DA09 5C380/DA56		
代理人(译)	佐藤隆久		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种防止高亮度亮度变化并且不破坏低亮度信号写入响应性的显示装置。ŹSOLUTION：像素电路101包括 TFT 111，有机EL发光元件113，连接在信号线SGL和TFT 111的栅极之间的TFT 112和连接到节点ND 111的电容器C 111，并且还 具有行存储器部分312和场存储器部分311，用于在一个场周期内交换显示数据。通过提供具有N个子场SF周期的一个场周期，扫 描驱动器生成N个子场信号，当扫描驱动器执行选择时，高或低的信号，允许N位（N次幂2）显示从包括选择器开关部分1032到信 号线SGL的数据驱动器施加电平，并且在该定时执行信号在像素中的结合。Ź

