(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2006-337928
(P2006-337928A)
(43)公開日　平成18年12月14日(2006.12.14)

(51)Int.Cl.		F I			テーマコード（参考）
G09G 3/30	(2006.01)	G09G	3/30	J	3K007
G09G 3/20	(2006.01)	G09G	3/20	621F	5C080
H01L 51/50	(2006.01)	G09G	3/20	624B	
		G09G	3/20	621A	
		G09G	3/20	641D	

審査請求 未請求　請求項の数 8　ＯＬ　（全 12 頁）　最終頁に続く

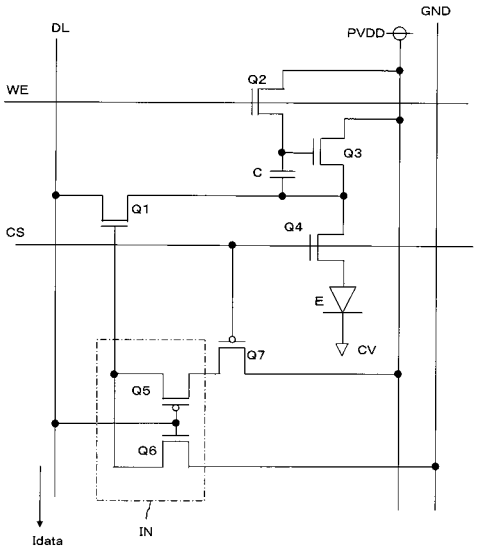
(21)出願番号　特願2005-165574 (P2005-165574)
(22)出願日　平成17年6月6日 (2005.6.6)

(71)出願人　000001889
三洋電機株式会社
大阪府守口市京阪本通２丁目５番５号
(74)代理人　100075258
弁理士　吉田　研二
(74)代理人　100096976
弁理士　石田　純
(72)発明者　池田　恭二
大阪府守口市京阪本通２丁目５番５号　三洋電機株式会社内

Ｆターム(参考)　3K007 AB17 BA06 DB03 GA00 GA04
5C080 AA06 BB05 DD08 FF11 JJ03
JJ04 JJ05

(54)【発明の名称】有機ＥＬ駆動回路および有機ＥＬパネル

(57)【要約】
【課題】微小なデータ電流を高速に書き込む。
【解決手段】短絡トランジスタＱ２をオンしている状態で、パストランジスタＱ１がオンして、データラインＤＬにおけるデータ電流Ｉｄａｔａを駆動トランジスタＱ３から引き込む。このとき、スイッチトランジスタＱ７をオンしており、データラインＤＬは、トランジスタＱ５，Ｑ６からなるインバータＩＮを介し、パストランジスタＱ１のゲートに接続されている。データラインＤＬに流れる微少電流によるデータラインＤＬの電位変化をインバータが検知し負帰還制御することで、データラインＤＬの電圧変動を抑え高速な電流伝達を実現する。
【選択図】図１



【特許請求の範囲】
【請求項１】
データ電流の供給を受け、このデータ電流に応じた電圧を保持し、その後保持した電圧に応じて有機ＥＬ素子に対応した駆動電流を供給する有機ＥＬ駆動回路であって、
データラインからのデータ電流を書き込み電流として入力するパストランジスタと、
入力側がデータラインに接続され、出力側がパストランジスタのゲートに接続されたインバータと、
を有し、
データ電流の書き込み時において、インバータをオンして、データライン電圧をクランプすることを特徴とする有機ＥＬ駆動回路。
【請求項２】
データ電流を流すデータラインに一端が接続され、選択信号によりオンオフされるパストランジスタと、
入力側がデータラインに接続され、出力側がパストランジスタのゲートに接続されたインバータと、
ドレインゲート間を短絡した状態で、前記パストランジスタを通して流れるデータ電流を流し、その状態におけるゲートソース間電圧をゲートソース間の保持容量に保持し、ゲートソース間電圧に応じた駆動電流を有機ＥＬ素子に供給する駆動トランジスタと、
を有し、
データ電流の書き込み時において、インバータをオンして、データライン電圧をクランプすることを特徴とする有機ＥＬ駆動回路。
【請求項３】
請求項２に記載の有機ＥＬ駆動回路において、
前記パストランジスタがオンされている状態でオフし、前記パストランジスタがオフされている状態でオンし前記駆動トランジスタからの電流を有機ＥＬ素子に供給する制御トランジスタを有することを特徴とする有機ＥＬ駆動回路。
【請求項４】
請求項１～３のいずれか１つに記載の有機ＥＬ駆動回路において、
前記パストランジスタをＮチャネルトランジスタとし、
前記データ電流は、データラインへ引き抜くプル電流とすることを特徴とする有機ＥＬ駆動回路。
【請求項５】
請求項１～３のいずれか１つに記載の有機ＥＬ駆動回路において、
前記パストランジスタをＰチャネルトランジスタとし、
前記データ電流は、データラインに流し込むプッシュ電流とすることを特徴とする有機ＥＬ駆動回路。
【請求項６】
請求項４に記載の有機ＥＬ駆動回路において、
前記インバータに代えて、１つの入力端がデータラインに接続され、出力端がパストランジスタのゲートに接続されたＮＯＲ回路を設け、データ電流書き込み時に前記ＮＯＲ回路の他入力端にＬレベルを入力することで、ＮＯＲ回路をインバータとして機能させることを特徴とする有機ＥＬ駆動回路。
【請求項７】
請求項５に記載の有機ＥＬ駆動回路において、
前記インバータに代えて、１つの入力端がデータラインに接続され、出力端がパストランジスタのゲートに接続されたＮＡＮＤ回路を設け、データ電流書き込み時に前記ＮＡＮＤ回路の他入力端にＨレベルを入力することで、ＮＡＮＤ回路をインバータとして機能させることを特徴とする有機ＥＬ駆動回路。
【請求項８】
請求項１～６のいずれか１つに記載の有機ＥＬ回路をマトリクス配置したことを特徴と

する有機ＥＬパネル。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、電流駆動型の有機ＥＬ駆動回路およびこれを利用した有機ＥＬパネルに関する。
【背景技術】
【０００２】
従来より、フラットパネルの１つとして、有機ＥＬパネルが知られている。この有機ＥＬパネルでは、有機ＥＬ素子をマトリクス状に配列した各画素に配置し、各有機ＥＬ素子の発光を制御して表示を行う。
【０００３】
このような有機ＥＬパネルでは、各画素のデータ信号に応じた発光を行うことが重要であり、各種の提案がある。その中の１つとして、電流駆動型のパネルがある。この電流駆動型のパネルでは、データラインにデータ電流を流し、このデータ電流を駆動トランジスタに流すための電圧を内部で保持する。そして、保持された電圧に応じて駆動トランジスタに電流を流し、これを有機ＥＬ素子に供給する。従って、駆動トランジスタのしきい値にバラツキがあっても、比較的バラツキのない有機ＥＬ素子の発光が得られる。
【０００４】
特許文献１には、このような電流駆動型パネルの一例が示されており、これについて図１０に基づいて説明する。
【０００５】
データラインＹは垂直（列）方向に伸びており、その列の各画素のデータ電流が順次流れる。ゲートラインＸは、水平（行）方向に伸びており、その行が選択された時にＨｉｇｈ（「ハイ」レベル、以下Ｈレベル）となる。電源ラインＺは、水平方向に伸びており、その行の各画素回路に電源電圧を供給する。
【０００６】
ゲートラインＸには、短絡トランジスタＱ２のゲートが接続されている。短絡トランジスタＱ２のドレインは電源ラインＺに接続され、ソースは駆動トランジスタＱ３のゲートに接続されている。駆動トランジスタＱ３のドレインは電源ラインＺに接続され、ソースは有機ＥＬ素子Ｅのアノードに接続されている。また、有機ＥＬ素子Ｅのカソードは、低電圧電源ＶＳＳに接続されている。
【０００７】
データラインＹには、パストランジスタＱ１のドレインが接続されており、このパストランジスタＱ１のゲートは、ゲートラインＸに接続されている。また、パストランジスタのソースは、駆動トランジスタＱ３のソースと有機ＥＬ素子Ｅのアノードに接続されている。さらに、駆動トランジスタＱ３のソースとゲートの間は、電圧保持用のコンデンサＣにより接続されている。
【０００８】
このような回路において、ゲートラインＸをＨレベルにすると、パストランジスタＱ１と、短絡トランジスタＱ２がオンする。この状態で、データラインＹにデータ電流を流す（引き抜く）と、駆動トランジスタＱ３は、短絡トランジスタＱ２によってダイオード接続されているため、データラインＹに流れるデータ電流が、駆動トランジスタＱ３、パストランジスタＱ１に流れる。これによって、コンデンサＣには、駆動トランジスタＱ３にデータ電流が流れている状態における駆動トランジスタＱ３のゲートソース間電圧が充電される。
【０００９】
次に、ゲートラインＸがＬレベルになると、パストランジスタＱ１、短絡トランジスタＱ２がオフされ、駆動トランジスタＱ３は、コンデンサＣに保持された電圧に応じた駆動電流を有機ＥＬ素子Ｅに供給する。

【００１０】
コンデンサＣに保持された電圧は、駆動トランジスタＱ３がデータ電流を流している際の電圧である。このため、有機ＥＬ素子Ｅに供給される駆動電流はデータ電流に応じたものになる。
【００１１】
なお、図１０の回路において、トランジスタはすべてＮチャネルのＴＦＴ（薄膜トランジスタ）である。
【００１２】
【特許文献１】特開２００４－１２８５８号公報
【発明の開示】
【発明が解決しようとする課題】
【００１３】
ここで、上述の電流駆動型のパネルにおいて、データ電流は、有機ＥＬ素子Ｅの発光に実際に必要な電流であり、表現する階調が多い場合には、微小な電流を制御しなければならない。すなわち、データ電流として、数１０ｎＡ単位のコントロールが必要になる。
【００１４】
一方、データラインＹには、他の画素回路も接続されており、負荷容量はかなり大きい。従って、データ電流を画素回路内のコンデンサに正確に充電するためには、かなり長い時間が必要となる。１画面の画素に対するデータの書き込みは、１フレームの表示期間より長くなることはできず、従来の回路では、データ電流の書き込みを十分行えないという問題があった。
【００１５】
本発明では、電流駆動型のパネルにおいて、データ電流の書き込みを高速に行う。
【課題を解決するための手段】
【００１６】
本発明は、データ電流の供給を受け、このデータ電流に応じた電圧を保持し、その後保持した電圧に応じて有機ＥＬ素子に対応した駆動電流を供給する有機ＥＬ駆動回路であって、データラインからのデータ電流を書き込み電流として入力するパストランジスタと、入力側がデータラインに接続され、出力側がパストランジスタのゲートに接続されたインバータとを有し、データ電流の書き込み時において、インバータをオンして、データライン電圧をクランプすることを特徴とする。
【００１７】
また、本発明は、データ電流を流すデータラインに一端が接続され、選択信号によりオンオフされるパストランジスタと、入力側がデータラインに接続され、出力側がパストランジスタのゲートに接続されたインバータと、ドレインゲート間を短絡した状態で、前記パストランジスタを通して流れるデータ電流を流し、その状態におけるゲートソース間電圧をゲートソース間の保持容量に保持し、ゲートソース間電圧に応じた駆動電流を有機ＥＬ素子に供給する駆動トランジスタと、を有し、データ電流の書き込み時において、インバータをオンして、データライン電圧をクランプすることを特徴とする。
【００１８】
また、前記パストランジスタがオンされている状態でオフし、前記パストランジスタがオフされている状態でオンし前記駆動トランジスタからの電流を有機ＥＬ素子に供給する制御トランジスタを有することが好適である。
【００１９】
また、前記パストランジスタをＮチャネルトランジスタとし、前記データ電流は、データラインへ引き抜くプル電流とすることが好適である。
【００２０】
また、前記パストランジスタをＰチャネルトランジスタとし、前記データ電流は、データラインに流し込むプッシュ電流とすることが好適である。
【００２１】

また、前記インバータに代えて、１つの入力端がデータラインに接続され、出力端がパストランジスタのゲートに接続されたＮＯＲ回路を設け、データ電流書き込み時に前記ＮＯＲ回路の他入力端にＬレベルを入力することで、ＮＯＲ回路をインバータとして機能させることが好適である。

【００２２】

また、前記インバータに代えて、１つの入力端がデータラインに接続され、出力端がパストランジスタのゲートに接続されたＮＡＮＤ回路を設け、データ電流書き込み時に前記ＮＡＮＤ回路の他入力端にＨレベルを入力することで、ＮＡＮＤ回路をインバータとして機能させることが好適である。

【００２３】

また、本発明は、上記有機ＥＬ回路をマトリクス配置したことを特徴とする有機ＥＬパネル。

【発明の効果】

【００２４】

以上説明したように、本発明によれば、入力側がデータラインに接続されたインバータを設け、このインバータによりパストランジスタのゲート電圧を制御する。そこで、パストランジスタに流れる電流を早期にデータラインに流れるデータ電流にすることができる。

【発明を実施するための最良の形態】

【００２５】

以下、本発明の実施形態について、図面に基づいて説明する。

【００２６】

図１は、実施形態に係る有機ＥＬ駆動回路の構成を示す図である。

【００２７】

データラインＤＬは垂直（列）方向に伸びており、その列の各画素のデータ電流が順次流れる。ライトイネーブルラインＷＥは、水平（行）方向に伸びており、その行が選択されデータ電流を書き込む時にＨレベルとなる。

【００２８】

高電圧の電源ラインＰＶＤＤと、低電圧のグランドラインＧＮＤは、垂直方向に伸びており、その行の各画素回路に電源電圧およびグランド電圧を供給する。

【００２９】

ライトイネーブルラインＷＥには、Ｎチャネルの短絡トランジスタＱ２のゲートが接続されている。短絡トランジスタのドレインは電源ラインＰＶＤＤに接続され、ソースはＮチャネルの駆動トランジスタＱ３のゲートに接続されている。駆動トランジスタＱ３のドレインは電源ラインＰＶＤＤに接続され、ソースはＮチャネルの制御トランジスタＱ４のドレインに接続されている。

【００３０】

この制御トランジスタＱ４のゲートは制御ラインＣＳに接続され、ソースは有機ＥＬ素子Ｅのアノードに接続されている。

【００３１】

また、有機ＥＬ素子Ｅのカソードは、低電圧のカソード電源ＣＶに接続されている。さらに、駆動トランジスタＱ３のソースとゲートの間は、電圧保持用のコンデンサＣにより接続されている。

【００３２】

データラインＤＬには、Ｎチャネルのパストランジスタ Ｑ１のドレインが接続されており、パストランジスタのソースは、駆動トランジスタＱ３のソースおよび制御トランジスタのドレインに接続されている。

【００３３】

パストランジスタＱ１のゲートには、ＰチャネルおよびＮチャネルの一対のインバータトランジスタＱ５、Ｑ６のドレインに共通接続されている。なお、このインバータトラン

ジスタＱ５，Ｑ６とで、インバータＩＮが構成される。Ｐチャネルのインバータトランジスタ Ｑ５のソースは、Ｐチャネルのスイッチトランジスタ Ｑ７のドレインに接続され、スイッチトランジスタ Ｑ７のソースは、電源ラインＰＶＤＤに接続されている。スイッチトランジスタ Ｑ７ゲートは、制御ラインＣＳに接続されている。このスイッチトランジスタ Ｑ７は、インバータＩＮの動作をオンオフするスイッチとして機能する。

【００３４】

Ｎチャネルのインバータトランジスタ Ｑ６のソースは、グランドラインＧＮＤに接続されている。そして、両インバータトランジスタ Ｑ５，Ｑ６のゲートは、データラインＤＬに共通接続されている。これによって、スイッチトランジスタ Ｑ７がオンの場合にインバータＩＮが動作可能になる。

【００３５】

このような回路において、データラインＤＬにデータ電流を流し、画素回路にデータ電流を書き込む場合には、ライトイネーブルラインＷＥをＨレベル、制御ラインＣＳをＬｏｗ（「ロウ」レベル、以下Ｌレベル）にする。これによって、インバータトランジスタ Ｑ５、Ｑ６からなるインバータは、入力がデータラインに接続され、出力がパストランジスタ Ｑ１のゲートに接続された状態になる。すなわち、図２に示すような状態になる。

【００３６】

ここで、インバータの入出力の電圧特性は、図３に太い実線で示すように、入力が低電圧の際にＨレベル、高電圧の時にＬレベルになる。この図３においては、インバータの入力電圧ＶＤａｔａ（データラインの電圧）を横軸、出力の電圧Ｖｇを縦軸にとってある。

【００３７】

また、パストランジスタ Ｑ１のゲート電圧Ｖｇと、そのときのドレイン電流Ｉの関係は、図３において破線で示すように、ゲート電圧Ｖｇがしきい値電圧以上になったときにゲート電圧Ｖｇの上昇につれて、上昇する。なお、図３では、縦軸がゲート電圧Ｖｇで、横軸がドレイン電流Ｉである。

【００３８】

データラインＤＬのデータ電流が０の場合、インバータ入力電圧のデータライン電圧にネガティブフィードバックが掛かり、パストランジスタ Ｑ１の電圧を決定し電流が変化し、それがまたインバータ入力に反映される。データラインＤＬの電圧は、パストランジスタ Ｑ１の電流が０であるしきい値電圧付近のクランプ電圧Ｖｃｒで安定する。

【００３９】

一方、データラインＤＬにデータ電流Ｉｄａｔａが流れると、この電流Ｉｄａｔａが流れることによるデータラインＤＬの電圧変化をインバータが検知する。そして、この電流Ｉｄａｔａがパストランジスタ Ｑ１に流れるように、インバータＩＮがパストランジスタ Ｑ１のゲート電圧Ｖｇを変更する。すなわち、データラインＤＬの電圧は、図３に示すΔＶｃｒだけ下がり、これによってパストランジスタ Ｑ１のゲート電圧Ｖｇは、パストランジスタ Ｑ１のドレイン電流がΔＩになるようにΔＶｇだけ上昇される。このようにして、インバータＩＮがパストランジスタ Ｑ１に流れる電流がデータラインのデータ電流Ｉｄａｔａになるように動作する。

【００４０】

ここで、注目すべきは、インバータのネガティブフィードバックにより、入力電圧振幅ΔＶｃｒは、出力電圧振幅Δｇに比べて十分小さくとることができる。従って、大きな入力容量の充放電時間を短い時間に抑えることができ、スピードが大幅に上がる。

【００４１】

ここで、このようなデータ電流書き込みのタイミングチャートを図４に示す。まず、１水平ラインの表示期間を示すイネーブルラインＥＮＢをＬレベルとしておき、その状態で、データラインＤＬにおけるデータ電流を切り替える。ここで、データ電流の書き込みは、線順次で行う。すなわち、１つのデータラインＤＬには、１水平期間の間データ電流が供給される。従って、各画素の輝度に応じた電圧を各列毎に保持し、その電圧に応じたデータ電流をすべてのデータラインＤＬに同時に１水平ラインの期間供給することなどの構

成が必要になる。

【００４２】

イネーブルラインＥＮＢをＨレベルにした場合には、次に制御ラインＣＳをＬレベルとして、制御トランジスタＱ４をオフするとともに、スイッチトランジスタＱ７をオンする。これによって、駆動トランジスタＱ３から有機ＥＬ素子Ｅへの経路が断たれるとともに、インバータＩＮが動作可能となる。

【００４３】

次に、ライトイネーブルラインＷＥがＨレベルとなることで、短絡トランジスタＱ２がオンする。これによって、駆動トランジスタＱ３は、ダイオード接続される。

【００４４】

ここで、インバータＩＮが動作すると、インバータＩＮは、上述のようにデータラインＤＬに流れるデータ電流がパストランジスタＱ１に流れるように、パストランジスタＱ１のゲート電位を制御する。従って、駆動トランジスタＱ３からパストランジスタＱ１に流れる電流がデータラインＤＬに流れるデータ電流と同一になる。特に、駆動トランジスタＱ３がダイオード接続されているため、ここに流れる電流は正確にデータ電流と同一になり、そのときの駆動トランジスタＱ３のゲートソース間電圧がコンデンサＣに保持される。

【００４５】

１水平期間が終了すると、イネーブルラインＥＮＢがＬレベルになる。このとき、ライトイネーブルラインＷＥも同時にＬレベルになる。そして、イネーブルラインＥＮＢがＬレベルの期間において、若干（オフマージン分）遅れて制御ラインＣＳがＨレベルになり、インバータＩＮがオフになるとともに、制御トランジスタＱ４がオンし、駆動トランジスタＱ３に流れる電流が有機ＥＬ素子Ｅに供給される。この有機ＥＬ素子Ｅへの電流供給は、次のフレームにおけるデータ電流の書き込みまで継続される。

【００４６】

図５、図６には、本実施形態におけるインバータを設けた回路と、これを設けない通常の回路の比較を示してある。図において、印加電流と記載してある定電流源により、時刻１００μｓｅｃより、Ｉｄａｔａ＝１０ｎＡ，２０ｎＡの２種類の電流を流した場合における応答電流の変化をグラフに示してある。なお、図におけるコンデンサＣは、データラインＤＬの負荷容量を模擬するものである。また、インバータを用いない回路では、データライン（コンデンサ）に４Ｖプリチャージしてから印加電流Ｉｄａｔａを印加した。

【００４７】

図６に示すように、インバータがない場合には、応答電流が印加電流と同一になるまでに、８０μｓｅｃ程度がかかるのに対し、図５に示すように、インバータを用いることで８μｓｅｃ程度になり、データ電流の書き込みに要する時間が１／１０程度に短縮できることがわかった。

【００４８】

図７には、図１の回路を論理回路図として書き直したものが示されている。インバータトランジスタＱ５，Ｑ６、スイッチトランジスタＱ７は、図６に示すように、ノアゲートＮＯＲとして表すことができる。このノアゲートＮＯＲにおいて、制御ラインＣＳがＬレベルに設定した場合に、ノアゲートＮＯＲがインバータとして動作する。

【００４９】

以上説明したように、本実施形態によれば、入力側がデータラインに接続されたインバータによって、パストランジスタＱ１のゲート電圧を制御することで、パストランジスタＱ１において流れる電流を早期にデータラインに流れるデータ電流に引き込むことができる。これによって、微小なデータ電流の書き込み時間を短縮して、データ電流の正確な書き込みを行うことができる。

【００５０】

また、図８には、駆動トランジスタＱ３をｐチャネルトランジスタで構成したプル型の回路を示す。駆動トランジスタＱ３のソースが電源ラインＰＶＤＤに接続され、この駆動

トランジスタＱ３のソースゲート間にコンデンサＣが接続されている。また、駆動トランジスタＱ３のゲートドレイン間にはｎチャネルの短絡トランジスタＱ２が接続されており、この短絡トランジスタＱ２のゲートにはライトイネーブルラインＷＥが接続されている。ドレインがデータラインＤＬに接続されたｎチャネルのパストランジスタＱ１のソースは、駆動トランジスタＱ３のドレインに接続されている。

【００５１】

また、駆動トランジスタＱ３のドレインは、ｎチャネルの制御トランジスタＱ４のドレインに接続され、この制御トランジスタＱ４のソースは、有機ＥＬ素子Ｅのアノードに接続され、有機ＥＬ素子Ｅのカソードはカソード電源ＣＶに接続されている。また、制御トランジスタＱ４のゲートは反転制御ラインＣＳ（バー）に接続されている。

【００５２】

さらに、反転制御ラインＣＳ（バー）と、データラインＤＬの２つは、ノアゲートＮＯＲの２つの入力端にそれぞれ入力され、ノアゲートＮＯＲの出力端がパストランジスタＱ１のゲートに供給されている。

【００５３】

このような構成によっても、上述の場合と同様に反転制御ラインＣＳ（バー）をＬレベルに設定したときに、ノアゲートＮＯＲがインバータとして動作し、パストランジスタＱ１を介しデータ電流Ｉｄａｔａをデータライン ＤＬに引き抜くことができる。

【００５４】

図９には、パストランジスタＱ１、制御トランジスタＱ４をｐチャネルトランジスタで構成したプッシュ型の回路を示す。

【００５５】

ｐチャネルの制御トランジスタＱ４のソースが電源ラインＰＶＤＤに接続され、制御トランジスタＱ４のドレインは、ｎチャネルの駆動トランジスタＱ３のドレインに接続され、駆動トランジスタＱ３のソースは、有機ＥＬ素子Ｅのアノードに接続され、有機ＥＬ素子Ｅのカソードはカソード電源ＣＶに接続されている。また、制御トランジスタＱ４のゲートは制御ラインＣＳに接続されている。

【００５６】

駆動トランジスタＱ３のソースゲート間にコンデンサＣが接続され、この駆動トランジスタＱ３のゲートドレイン間にはｎチャネルの短絡トランジスタＱ２が接続されている。また、この短絡トランジスタＱ２のゲートにはライトイネーブルラインＷＥが接続されている。

【００５７】

ソースがデータラインＤＬに接続されたｐチャネルのパストランジスタＱ１のドレインには、駆動トランジスタＱ３のドレインおよび制御トランジスタＱ４のドレインが接続されている。

【００５８】

さらに、制御ラインＣＳと、データラインＤＬの２つは、ナンドゲートＮＡＮＤの２つの入力端にそれぞれ入力され、ナンドゲートＮＡＮＤの出力端がパストランジスタＱ１のゲートに供給されている。

【００５９】

このような構成によっても、上述の場合と同様に制御ラインＣＳをＨレベルに設定したときに、ナンドゲートＮＡＮＤがインバータとして動作し、パストランジスタＱ１を介しデータ電流Ｉｄａｔａをデータライン ＤＬに引き抜くことができる。

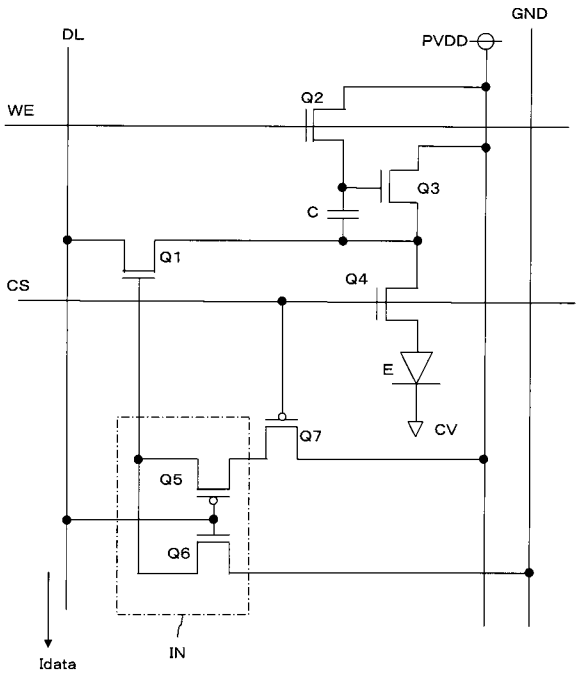
【００６０】

以上説明したように、本実施形態によれば、入力がデータラインに接続されたインバータＩＮを設け、このインバータＩＮによりパストランジスタＱ１のゲート電圧を制御する。そこで、パストランジスタＱ１に流れる電流を早期にデータラインに流れるデータ電流にすることができる。

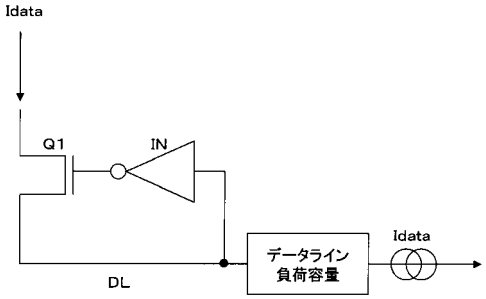
【図面の簡単な説明】

【００６１】
【図１】実施形態にかかる構成を示す図である。
【図２】実施形態の回路を機能的に示す図である。
【図３】動作を示す特性図である。
【図４】各信号のタイミングを示すタイミングチャートである。
【図５】実施形態の構成における動作を示す図である。
【図６】比較例における動作を示す図である。
【図７】実施形態の回路の機能を示す図である。
【図８】プル型の他の回路例を示す図である。
【図９】プッシュ型の他の回路例を示す図である。
【図１０】従来例の構成を示す図である。
【符号の説明】
【００６２】
Ｃ　コンデンサ、Ｅ　有機ＥＬ素子、Ｑ１　パストランジスタ、Ｑ２　短絡トランジスタ、Ｑ３　駆動トランジスタ、Ｑ４　制御トランジスタ、Ｑ５，Ｑ６　インバータトランジスタ、Ｑ７　スイッチトランジスタ。

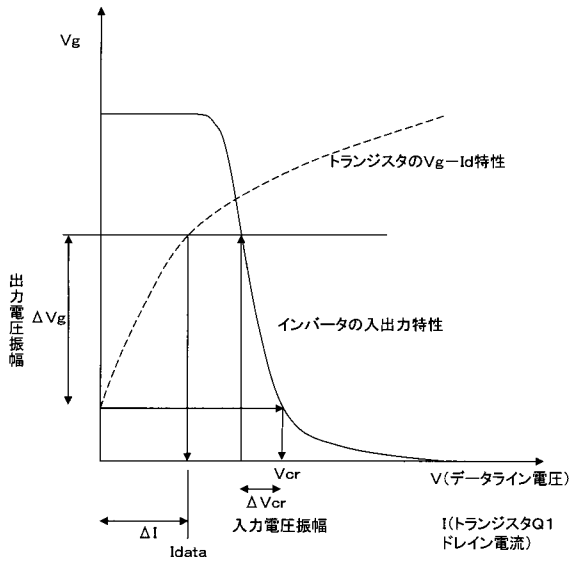
【図１】



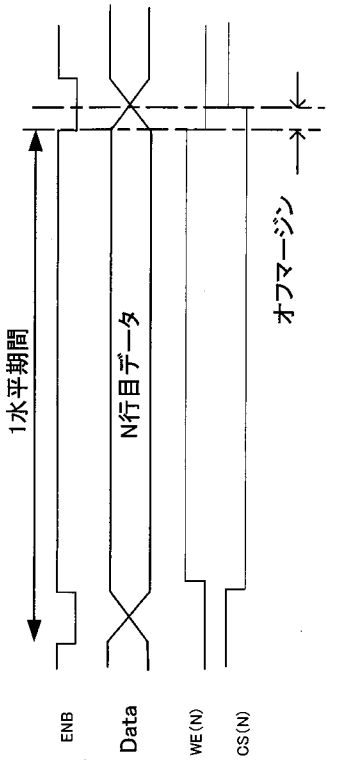
【図２】



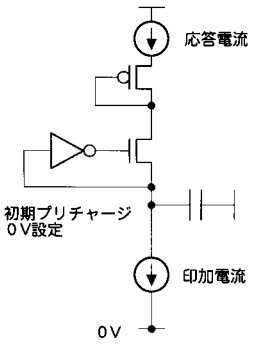
【図３】


Vg
トランジスタのVg－Id特性
出力電圧振幅
ΔVg
インバータの入出力特性
Vcr
ΔVcr
入力電圧振幅
V（データライン電圧）
ΔI
Idata
I（トランジスタQ1
ドレイン電流）

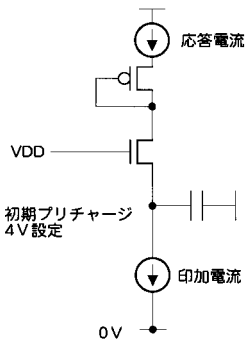
【図４】

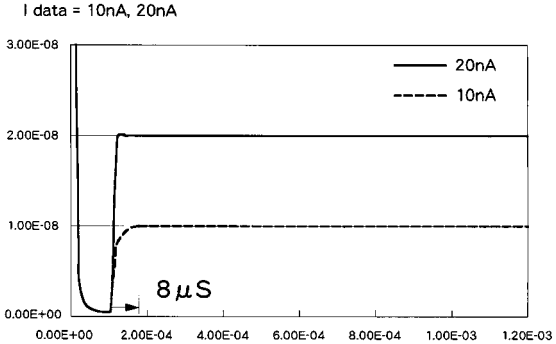

1水平期間
N行目データ
オフマージン
ENB
Data
WE(N)
CS(N)

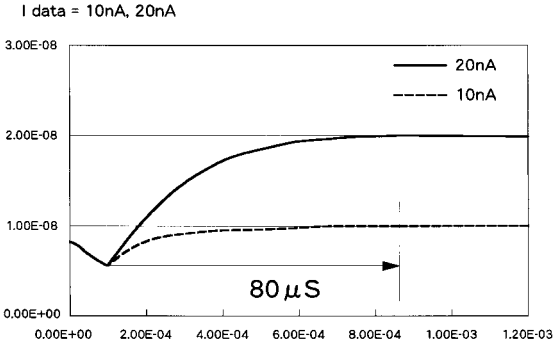
【図５】


応答電流
初期プリチャージ
0V設定
印加電流
0V

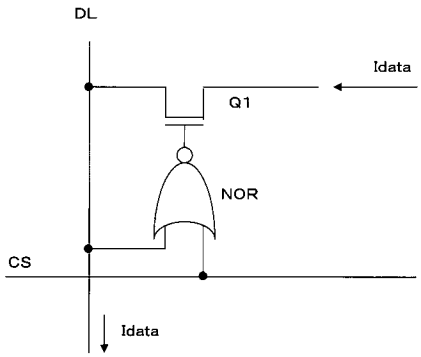
【図６】


応答電流
VDD
初期プリチャージ
4V設定
印加電流
0V

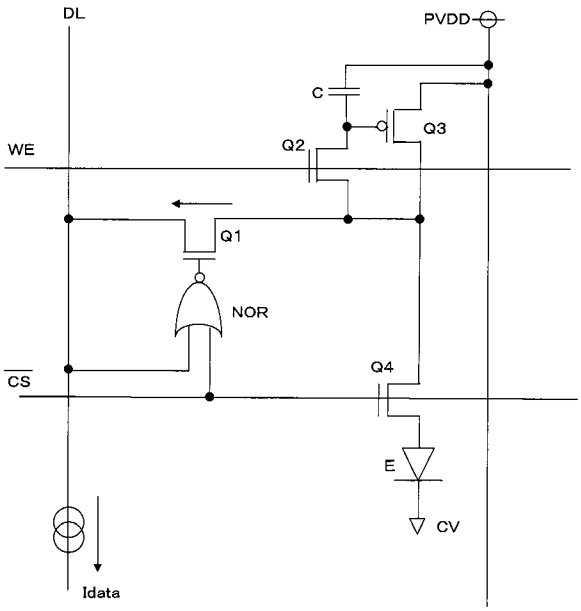

I data = 10nA, 20nA
3.00E-08
2.00E-08
1.00E-08
0.00E+00
20nA
10nA
8μS
0.00E+00
2.00E-04
4.00E-04
6.00E-04
8.00E-04
1.00E-03
1.20E-03


I data = 10nA, 20nA
3.00E-08
2.00E-08
1.00E-08
0.00E+00
20nA
10nA
80μS
0.00E+00
2.00E-04
4.00E-04
6.00E-04
8.00E-04
1.00E-03
1.20E-03

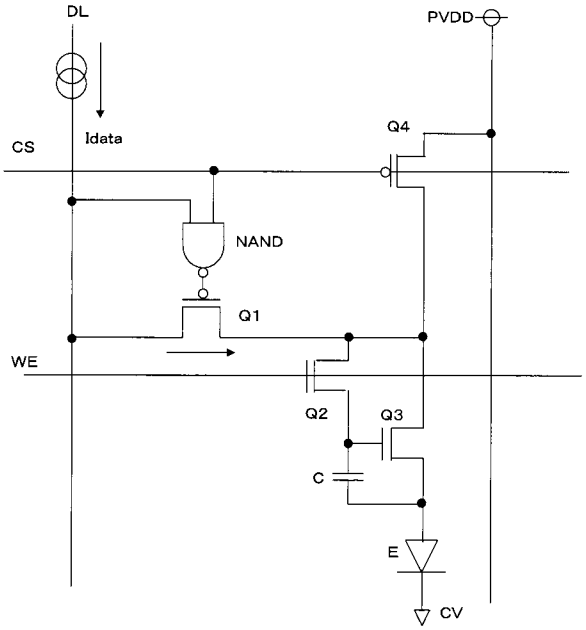
【図７】


DL
Idata
Q1
NOR
CS
Idata

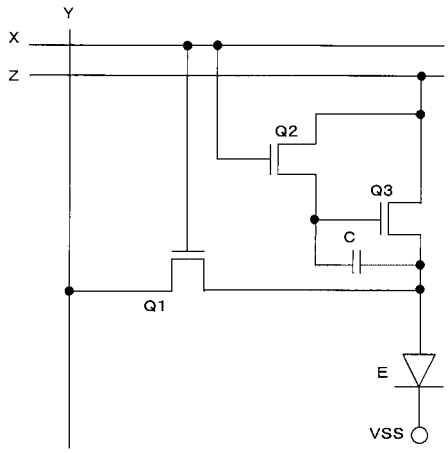
【図８】


DL
PVDD
C
Q3
WE
Q2
Q1
NOR
CS
Q4
E
CV
Idata

【図９】


DL
PVDD
Idata
CS
Q4
NAND
Q1
WE
Q2
Q3
C
E
CV

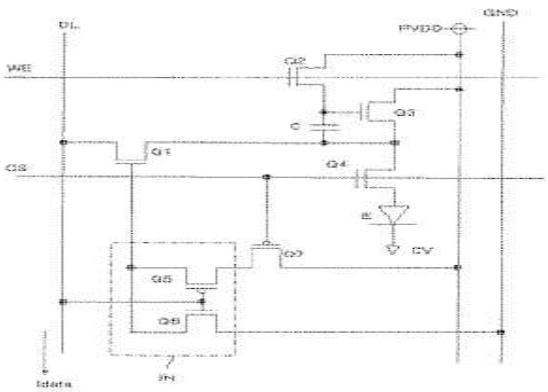
【図１０】


Y
X
Z
Q2
Q3
C
Q1
E
VSS

フロントページの続き

(51)Int.Cl.	FI		テーマコード（参考）
	Ｈ０５Ｂ 33/14	Ａ	

专利名称(译)	有机EL驱动电路和有机EL面板		
公开(公告)号	JP2006337928A	公开(公告)日	2006-12-14
申请号	JP2005165574	申请日	2005-06-06
[标]申请(专利权)人(译)	三洋电机株式会社		
申请(专利权)人(译)	三洋电机株式会社		
[标]发明人	池田恭二		
发明人	池田 恭二		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.621.F G09G3/20.624.B G09G3/20.621.A G09G3/20.641.D H05B33/14.A G09G3/3241 G09G3/325 G09G3/3266 G09G3/3275 G09G3/3283		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K007/GA04 5C080/AA06 5C080/BB05 5C080/DD08 5C080/FF11 5C080/JJ03 5C080/JJ04 5C080/JJ05 3K107/AA01 3K107/BB01 3K107/CC31 3K107/CC33 3K107/EE03 3K107/HH02 3K107/HH04 3K107/HH05 5C380/AA01 5C380/AB06 5C380/BA19 5C380/BA20 5C380/BA38 5C380/BA39 5C380/CA08 5C380/CA13 5C380/CB01 5C380/CB16 5C380/CB17 5C380/CB31 5C380/CC13 5C380/CC18 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC53 5C380/CC62 5C380/CC63 5C380/CD013 5C380/CD014 5C380/CD017 5C380/DA02 5C380/DA06 5C380/DA50		
代理人(译)	吉田健治 石田 纯		
外部链接	Espacenet		

摘要(译)

解决问题的方法：提供一种有机EL驱动电路和有机EL面板，其能够使用流过传输晶体管的电流在早期提供流过数据线的数据电流。解决方案：当短路晶体管Q2导通时，传输晶体管Q1导通，并且数据线DL的数据电流Ldata从驱动晶体管Q3拉出。此时，开关晶体管Q7导通，数据线DL通过包括晶体管Q5和Q6的反相器IN连接到传输晶体管Q1的栅极。逆变器检测由于流到数据线DL的精细电流引起的数据线DL的电位变化，并执行负反馈控制，然后抑制数据线DL的电压变化以实现高速电流传输。 Ž