

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-24573

(P2006-24573A)

(43) 公開日 平成18年1月26日(2006.1.26)

(51) Int. Cl.		F I	テーマコード (参考)
H05B 33/10	(2006.01)	H05B 33/10	3K007
H05B 33/02	(2006.01)	H05B 33/02	
H01L 51/50	(2006.01)	H05B 33/14	A

審査請求 未請求 請求項の数 18 O L (全 12 頁)

(21) 出願番号	特願2005-200983 (P2005-200983)	(71) 出願人	304060520 友達光電股▲ふん▼有限公司 台湾国新竹市科學工業園區力行二路1號
(22) 出願日	平成17年7月8日(2005.7.8)	(74) 代理人	100124327 弁理士 吉村 勝博
(31) 優先権主張番号	10/888,692	(72) 発明者	李 信宏 台湾台北市龍江路155巷15号4樓之1
(32) 優先日	平成16年7月9日(2004.7.9)	(72) 発明者	黄 維邦 台湾新竹市明湖路400巷68弄4号
(33) 優先権主張国	米国 (US)	(72) 発明者	陳 俊雄 台湾台北縣三峽鎮三樹路234号
		Fターム(参考)	3K007 AB01 AB18 BA06 DB03 FA00 GA00

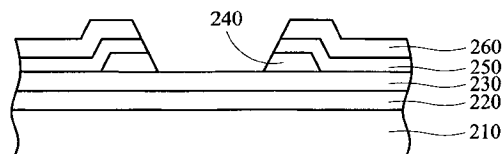
(54) 【発明の名称】 エレクトロルミネセンスディスプレイ

(57) 【要約】

【課題】 ELディスプレイの製造方法を提供する。

【解決手段】 本発明は、ELディスプレイ中の画素領域を製造する方法であって、基板上に少なくとも一つのバッファ層が形成され、エッチング停止層がバッファ層上に形成され、少なくとも一つの間層がエッチング停止層上に形成され、上記中間層がエッチングされ、エッチング停止層が露出され、エッチング停止層及び中間層をそれぞれ選択的にエッチングできる選択エッチングレートを有し、エッチング停止層がエッチングされ、バッファ層が露出される。バッファ層とエッチング停止層はそれぞれについて選択的にエッチング可能な選択エッチングレートを有する。本発明は、このようにして露出したバッファ層の表面平坦度を向上させELディスプレイの発光能力が劣化しないようにすることができる。

【選択図】 図8



## 【特許請求の範囲】

## 【請求項 1】

E Lディスプレイの少なくとも一つの画素領域を製造する方法であって、  
 基板上に、少なくとも一つのバッファ層を形成する工程と、  
 前記バッファ層上に、エッチング停止層を形成する工程と、  
 前記エッチング停止層上に、少なくとも一つの中間層を形成する工程と、  
 前記中間層は前記エッチング停止層に対し選択的にエッチング可能であり、前記中間層を  
 選択エッチングレートでエッチングし、前記エッチング停止層を露出する工程と、  
 前記エッチング停止層は前記バッファ層に対し選択的にエッチング可能であり、前記エッ  
 チング停止層を選択エッチングレートでエッチングし、前記バッファ層を露出する工程と  
 、  
 を備えることを特徴とする方法。

10

## 【請求項 2】

請求項 1 に記載の方法であって、前記エッチング停止層をエッチングした後、前記露出  
 されたバッファ層上に画素電極層を形成する工程を更に含むことを特徴とする請求項 1 に  
 記載の方法。

## 【請求項 3】

前記中間層と前記エッチング停止層とのエッチングレートが 20 以上であることを特徴  
 とする請求項 1 に記載の方法。

## 【請求項 4】

前記エッチング停止層と前記バッファ層とのエッチングレートが 20 以上であることを  
 特徴とする請求項 1 に記載の方法。

20

## 【請求項 5】

前記バッファ層が酸化シリコン層であることを特徴とする請求項 1 に記載の方法。

## 【請求項 6】

前記エッチング停止層がポリシリコン層であることを特徴とする請求項 1 に記載の方法

## 【請求項 7】

前記中間層が酸化シリコン層であることを特徴とする請求項 1 に記載の方法。

## 【請求項 8】

前記中間層がオーバーエッチングされることを特徴とする請求項 1 に記載の方法。

30

## 【請求項 9】

前記エッチング停止層がオーバーエッチングされることを特徴とする請求項 1 に記載の  
 方法。

## 【請求項 10】

E Lディスプレイ中の少なくとも一つの画素領域を製造する方法であって、  
 基板上に、第 1 バッファ層を形成する工程と、  
 前記第 1 バッファ層上に、第 2 バッファ層を形成する工程と、  
 前記第 2 バッファ層上に、エッチング停止層を形成する工程と、  
 前記エッチング停止層上に、第 1 中間層を形成する工程と、  
 前記第 1 中間層上に、第 2 中間層を形成する工程と、

40

前記第 1 中間層及び前記第 2 中間層は前記エッチング停止層に対して前記第 1 中間層を  
 選択的にエッチング可能であり、前記第 1 中間層を選択エッチングレートでエッチングし  
 、前記エッチング停止層に対して選択的にエッチングして、前記エッチング停止層を露出  
 する工程と、

前記エッチング停止層は、前記第 2 バッファ層に対し、選択的にエッチング可能であり  
 、前記エッチング停止層を選択エッチングレートでエッチングして、前記第 2 バッファ  
 層を露出する工程と、

前記露出した第 2 バッファ層の上に、画素電極を形成する工程と、  
 を備えることを特徴とする方法。

50

## 【請求項 1 1】

前記第 1 中間層と前記エッチング停止層とのエッチングレートが 20 以上であることを特徴とする請求項 1 0 に記載の方法。

## 【請求項 1 2】

前記エッチング停止層と前記第 2 バッファ層とのエッチングレートが 20 以上であることを特徴とする請求項 1 0 に記載の方法。

## 【請求項 1 3】

前記第 2 バッファ層が酸化シリコン層であることを特徴とする請求項 1 0 に記載の方法。

## 【請求項 1 4】

前記エッチング停止層がポリシリコン層であることを特徴とする請求項 1 0 に記載の方法。

## 【請求項 1 5】

前記第 1 中間層が酸化シリコン層であることを特徴とする請求項 1 0 に記載の方法。

## 【請求項 1 6】

バッファ酸化物エッチング液 (BOE 液) により、前記第 1 中間層をエッチングすることを特徴とする請求項 1 0 に記載の方法。

## 【請求項 1 7】

塩素プラズマにより、前記エッチング停止層をエッチングすることを特徴とする請求項 1 0 に記載の方法。

## 【請求項 1 8】

EL ディスプレイ中に、少なくとも一つの画素領域を製造する方法であって、基板上に、少なくとも一つの酸化シリコンを主とするバッファ層を形成する工程と、前記バッファ層上にポリシリコンを主とするエッチング停止層を形成する工程と、前記エッチング停止層上に、少なくとも一つの酸化シリコンを主とする中間層を、前記エッチング停止層上に形成する工程と、前記エッチング停止層と前記中間層とのエッチングレートを 1 対 20 以上とし、前記中間層は前記エッチング停止層に対して選択的にエッチング可能であり、前記中間層を選択エッチングレートでエッチングし、前記エッチング停止層を露出する工程と、前記バッファ層と前記エッチング停止層とのエッチングレートを 1 対 20 以上とし、前記エッチング停止層は前記バッファ層に対して選択的にエッチング可能であり、前記エッチング停止層を選択エッチングレートでエッチングし、もって当該露出されたバッファ層の表面平坦度を向上する工程と、を備えることを特徴とする方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、EL (エレクトロルミネセンス) ディスプレイに関し、さらに詳細には EL ディスプレイの画素領域の製造方法に関するものである。

## 【背景技術】

## 【0002】

近年、フラットパネルディスプレイ技術が急速に進歩し続けている。

この技術向上の要因の一つは、ガラス等の基板上に薄膜トランジスタ (TFT) を製造する技術が成熟してきたからである。

## 【0003】

一方で、バックライトが必要な液晶ディスプレイ (LCD) の液晶材料とは別に、有機発光ダイオード (OLED) 等の自発光性の EL ディスプレイが重点的に研究されている。このような自発光性の EL ディスプレイは、自ら発光可能であるため、それ自体が輝度を有し、バックライトを備えた液晶ディスプレイ (LCD) より明るい画像を呈しうる。

## 【0004】

10

20

30

40

50

図 1 は、従来の E L ディスプレイ 1 0 の断面図を示す。

【 0 0 0 5 】

以下、図 1 を参照して E L ディスプレイ 1 0 の構成を説明する。

【 0 0 0 6 】

E L ディスプレイ 1 0 は、薄膜トランジスタ ( T F T ) 領域 1 1 0 と、画素領域 1 2 0 と、を有する。

【 0 0 0 7 】

さらに、上記薄膜トランジスタ領域 1 1 0 には、基板 1 3 0、窒化シリコンバッファ層 1 3 2、酸化シリコンバッファ層 1 3 4、ゲート酸化層 1 3 6、及び中間誘電 ( I L D ) 層 1 3 8 が備えられている。

10

【 0 0 0 8 】

また、上記薄膜トランジスタ領域 1 1 0 には、基板 1 3 0、窒化シリコンバッファ層 1 3 2、酸化シリコンバッファ層 1 3 4、インジウムスズ酸化物 ( I T O ) 層 1 4 0、有機発光層 1 4 2、及び陰極層 1 4 4 が備えられている。

【 特許文献 1 】 特開平 1 0 - 2 8 9 7 8 5 号公報

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 9 】

しかし、当該 E L ディスプレイ 1 0 の形成過程で、画素領域 1 2 0 に当初より蒸着されているゲートたる酸化層 ( 以下「ゲート酸化層」という。 ) 1 3 6 及び I L D 層 1 3 8 が E L ディスプレイ 1 0 の発光強度を低下させうるため、ゲート酸化層 1 3 6 及び I L D 層 1 3 8 を除去することが必要とされる。

20

当該除去には、フォトリソグラフィ技術が適用され、画素領域 1 2 0 のゲート酸化層 1 3 6 及び I L D 層 1 3 8 を露光するためのウインドウ部が画定され、当該露光処理が行われる。その後この露光部分がエッチングにより除去され、その下の酸化シリコンバッファ層 1 3 4 を露出する。その後、 I T O 層 1 4 0 及び有機発光層 1 4 2 を、その上に順に蒸着することにより図 1 に示される構造が形成される。

【 0 0 1 0 】

しかし、このような従来の方法は非平坦表面を生成してしまう ( 元来平坦にすべき当該デバイス内の表面を非均一にしてしまう ) 欠点を持つ。

30

【 0 0 1 1 】

すなわち、ゲート酸化層 1 3 6 と、その下の酸化シリコンバッファ層 1 3 4 の、各層に対して選択的なエッチングが困難である ( すなわち各層に対するエッチング選択性 ( E T C H S E L E C T I V I T Y ) が低い。以下同様。 ) ことから、各層を選択的エッチングする際のエッチング工程の完了時 ( エンドポイント ) を適切に制御することが難しい。

【 0 0 1 2 】

そのため、画素領域 1 2 0 中の酸化シリコンバッファ層 1 3 4 に図 1 に示されているような凹凸部を有する非平坦表面 1 5 0 が形成され、その後に形成する I T O 層 1 4 0 及び有機発光層 1 4 2 に、当該非平坦表面 1 5 0 の凹凸が反映された非平坦表面 1 5 2、1 5 4 が順々に形成されてしまい、もってこの非平坦表面 1 5 0 を介した画像に乱れが生じ、 E L ディスプレイ 1 0 の画像表示性能 ( 発光能力 ) が大幅に減少させられるという問題が生じていた。

40

【 0 0 1 3 】

したがって、以上のような従来の問題点を解決するような E L ディスプレイの製造方法、すなわち画素領域の材料層の非平坦面を改善する製造方法が望まれているのである。もって、本発明の目的は、上述の非平坦表面が形成されないような E L ディスプレイの画素領域の製造方法を提供することにある。

【 課題を解決するための手段 】

【 0 0 1 4 】

上記課題を解決するための手段を以下述べることとする。

50

## 【0015】

本発明は、ELディスプレイの少なくとも一つの画素領域を製造する方法であって、基板上に、少なくとも一つのバッファ層を形成する工程と、前記バッファ層上に、エッチング停止層を形成する工程と、前記エッチング停止層上に、少なくとも一つの間層を形成する工程と、前記中間層は前記エッチング停止層に対し選択的にエッチング可能であり、前記中間層を選択エッチングレートでエッチングし、前記エッチング停止層を露出する工程と、前記エッチング停止層は前記バッファ層に対し選択的にエッチング可能であり、前記エッチング停止層を選択エッチングレートでエッチングし、前記バッファ層を露出する工程と、を備えることを特徴とする方法を提供する。

10

## 【0016】

ここで、「選択エッチングレート」とは、少なくとも2つの層についてそれぞれ選択的にエッチ（ETCH）可能なエッチング速度を変えエッチ比をもたらしようにすることで、各層を順々に別個にエッチングするためのパラメータをいう。すなわち、「選択エッチングレート」にいう「レート」とは英語では「RATE」に相当するものであるが、この「RATE」には一般に「比」、「速度」等の意味を持つが本願では前者の「比」の意味で使われている（本願のすべての箇所について同様）。

## 【0017】

本発明は、前記エッチング停止層がエッチングされた後、前記露出されたバッファ層の上に画素電極層を形成する工程を更に含むことを特徴とする上記の方法を提供する。

20

## 【0018】

本発明は、前記中間層と前記エッチング停止層とのエッチングレートが1対20以上であることを特徴とする上記の方法を提供する。

## 【0019】

ここで、「前記中間層と前記エッチング停止層とのエッチングレートが1対20以上」とは、前記中間層のエッチング速度が前記エッチング停止層の速度よりも20倍以上であることを意味する。そのために前記中間層がエッチングされているときに、前記エッチング停止層がエッチングされず、もって、エッチング選択性（ETCHING SELECTIVITY）が前記中間層と前記エッチング停止層に適用されるのである。

## 【0020】

本発明は、前記エッチング停止層と前記バッファ層とのエッチングレートが1対20以上であることを特徴とする上記の方法を提供する。

30

## 【0021】

ここで、「前記エッチング停止層と前記バッファ層とのエッチングレートが1対20以上」とは、前記中間層のエッチング速度が前記エッチング停止層の速度よりも20倍以上であることを意味する。そのために前記バッファ層がエッチングされているときに、前記エッチング停止層がエッチングされず、もって、エッチング選択性（ETCHING SELECTIVITY）が前記エッチング停止層と前記エッチング停止層に適用されるのである。

## 【0022】

本発明は、前記バッファ層が酸化シリコン層であることを特徴とする上記の方法を提供する。

40

## 【0023】

本発明は、前記エッチング停止層がポリシリコン層であることを特徴とする上記の方法を提供する。

## 【0024】

本発明は、前記中間層が酸化シリコン層であることを特徴とする上記の方法を提供する。

## 【0025】

本発明は、前記中間層がオーバーエッチングされることを特徴とする上記の方法を提供

50

する。

【0026】

本発明は、前記エッチング停止層がオーバーエッチングされることを特徴とする上記の方法を提供する。

【0027】

本発明は、ELディスプレイ中の少なくとも一つの画素領域を製造する方法であって、基板上に、第1バッファ層を形成する工程と、前記第1バッファ層上に、第2バッファ層を形成する工程と、前記第2バッファ層上に、エッチング停止層を形成する工程と、前記エッチング停止層上に、第1中間層を形成する工程と、前記第1中間層上に、第2中間層を形成する工程と、

10

前記第1中間層及び前記第2中間層は前記エッチング停止層に対して前記第1中間層を選択的にエッチング可能であり、前記第1中間層を選択エッチングレートでエッチングし、前記エッチング停止層に対して選択的にエッチングして、前記エッチング停止層を露出する工程と、

前記エッチング停止層は、前記第2バッファ層に対し、選択的にエッチング可能であり、前記エッチング停止層を選択的エッチングレートでエッチングして、前記第2バッファ層を露出する工程と、

前記露出した第2バッファ層の上に、画素電極を形成する工程と、を備えることを特徴とする方法を提供する。

20

【0028】

本発明は、前記第1中間層と前記エッチング停止層とのエッチングレートが20以上であることを特徴とする上記の方法を提供する。

【0029】

ここで、「前記第1中間層と前記エッチング停止層とのエッチングレートが20以上」とは、前記第1中間層のエッチング速度が前記エッチング停止層の速度よりも20倍以上であることを意味する。そのために前記第1中間層がエッチングされているときに、前記エッチング停止層がエッチングされず、もって、エッチング選択性が前記第1中間層と前記エッチング停止層に適用されるのである。

【0030】

本発明は、前記エッチング停止層と前記第2バッファ層とのエッチングレートは20以上であることを特徴とする上記の方法を提供する。

30

【0031】

ここで、「前記エッチング停止層と前記第2バッファ層とのエッチングレートが20以上」とは、前記エッチング停止層のエッチング速度が前記第2バッファ層の速度よりも20倍以上であることを意味する。そのために前記エッチング停止層がエッチングされているときに、前記第2バッファ層がエッチングされず、もって、エッチング選択性が前記エッチング停止層と前記第2バッファ層に適用されるのである。

【0032】

本発明は、前記第2バッファ層が酸化シリコン層であることを特徴とする上記の方法を提供する。

40

【0033】

本発明は、前記エッチング停止層がポリシリコン層であることを特徴とする上記の方法を提供する。

【0034】

本発明は、前記第1中間層が酸化シリコン層であることを特徴とする上記の方法を提供する。

【0035】

本発明は、バッファ酸化物エッチング液（BOE液）により前記第1中間層をエッチングすることを特徴とする上記の方法を提供する。

50

## 【0036】

本発明は、塩素プラズマにより前記エッチング停止層をエッチングすることを特徴とする上記の方法を提供する。

## 【0037】

本発明は、ELディスプレイ中に、少なくとも一つの画素領域を製造する方法であって、  
基板上に、少なくとも一つの酸化シリコンを主とするバッファ層を形成する工程と、  
前記バッファ層上にポリシリコンを主とするエッチング停止層を形成する工程と、  
前記エッチング停止層上に、少なくとも一つの酸化シリコンを主とする中間層を、前記エッチング停止層上に形成する工程と、  
前記エッチング停止層と前記中間層とのエッチングレートを1対20以上とし、前記中間層は前記エッチング停止層に対して選択的にエッチング可能であり、前記中間層を選択エッチングレートでエッチングし、前記エッチング停止層を露出する工程と、  
前記バッファ層と前記エッチング停止層とのエッチングレートを1対20以上とし、前記エッチング停止層は前記バッファ層に対して選択的にエッチング可能であり、前記エッチング停止層を選択エッチングレートでエッチングし、もって当該露出されたバッファ層の表面平坦度を向上する工程と、  
を備えることを特徴とする方法を提供する。

10

## 【発明の効果】

## 【0038】

本発明は、ELディスプレイの製造方法を開示し、画素領域中に形成される材料層表面の平坦度を向上し、エッチング停止層並びに第1バッファ層及び第2バッファ層のそれぞれにエッチング選択性が付与されている。そしてエッチング停止層の存在により、第1バッファ層のエッチングが容易に制御でき、且つ、エッチング時にその下のゲート酸化層に対し何ら影響を与えなく、続いて、エッチング停止層を除去するが、この際、第2バッファ層は略平坦な表面を維持することができ、ELディスプレイの全体画像表示性能（発光能力）を改善する。

20

## 【発明を実施するための最良の形態】

## 【0039】

本発明を実施するための最良の形態について、実施例を通じて説明する。

30

## 【実施例1】

## 【0040】

図2から図9は、本発明の実施例1によるELディスプレイ中の画素領域200の製造工程を示す図である。

## 【0041】

以下、図2から図9を参照して第1実施例を説明する。

## 【0042】

まず、図2を参照して説明すると、化学気相蒸着（CVD）、減圧化学気相蒸着（LPCVD）、又はプラズマ化学気相成長法（PECVD）等の製造工程により、基板210上に、第1バッファ層220が形成される。この第1バッファ層220は、窒化シリコン等の誘電材料からなり、基板210は、ガラス、石英、ポリマー等の材料により構成される。しかし基板210の構成材料これらに限定されない。

40

## 【0043】

次に、図3を参照して説明すると、CVD、LPCVD、PECVD等の工程により、第1バッファ層220上に第2バッファ層230が形成される。この第2バッファ層230は、酸化シリコン（SiO<sub>x</sub>）層により構成される。これらの第1バッファ層220及び第2バッファ層230は、TFT領域（図示しない）へと延在するようにすることもできる。

## 【0044】

次に、図4を参照して説明すると、第2バッファ層230上にエッチング停止層240

50

を形成する。この第2バッファ層230は厚さ500のポリシリコンから構成される。

【0045】

そして、さらに以下の2つの工程が提供される。

【0046】

1つは、ポリシリコンを画素領域120とTFT領域(図示しない)中に堆積する工程である。もう一つは、ポリシリコンに対しエッチバックを施し、TFT領域(図示しない)中にソース及びドレインを形成し、画素領域120中にエッチング停止層240を形成する工程である。エッチング停止層240並びにソース及びドレインは、どれも、同様のポリシリコンにより構成されるので、別途にマスクを追加する必要がなく製造コストが抑制される。

10

【0047】

また、エッチング停止層240は、その材料が第1バッファ層220及び第2バッファ層230とのエッチング選択性を有するものであればいかなるものでもよい。

【0048】

次に、図5を参照して説明すると、エッチング停止層240上に第1中間層250が形成される。第1中間層は厚さ約1000の酸化シリコン層である。そして、この酸化シリコン層がTFT領域(図示しない)まで延在するようにしてもよい。本実施例中のTFT領域中の第1中間層250はゲート酸化層である。

【0049】

次に、図6を参照して説明すると、第1中間層250上に第2中間層260が形成される。第2中間層260は厚さ約2500の酸化シリコン層である。そして、この酸化シリコン層がTFT領域(図示しない)まで延在するようにしてもよい。本実施例中のTFT領域中の第1中間層260はILD層である。

20

【0050】

次に、図7を参照して説明すると、ウェットエッチング、ドライエッチング等のエッチング法を適用することにより、第1バッファ層220及び第2バッファ層230に対しエッチバックを施す。この際使用するエッチング剤は、第1中間層250、第2中間層260、及びエッチング停止層240に対し、一定のエッチング選択比を有するものである(すなわちそれぞれの層を一定の比率かつ互いに異なるエッチング速度で選択的にエッチングするものである。)

30

【0051】

例えば、BOE(Buffered Oxide Etch)を利用し、酸化シリコンが主要材料である第1中間層250及び第2中間層260を、エッチングするエッチング方法が考えられる。このBOEは、フッ化水素HFとフッ化アンモニウム $\text{NH}_4\text{F}$ との混合物で、かつ、ポリシリコンよりも酸化シリコンに対し高いエッチング選択性を提供する。もって、エッチング停止層240の表面平坦度に影響を与えずに、第1中間層250及び第2中間層260を除去することができるのである。

【0052】

ここで「表面一致度」なる以下の計算式に基づくパラメータを導入する。

「表面一致度」= [(最大厚さ - 最小厚さ) / (最大厚さ + 最小厚さ)]  
× 100%

40

【0053】

つまり、第1中間層250は、オーバーエッチングされる。この例において、酸化シリコンとポリシリコンとのエッチングレートが20以上であるため、エンドポイントにおけるエッチング量は、反応する反応物、及び/又は、生成物の濃度を検出することにより、簡単に測定できる。

【0054】

次に、図8を参照して説明すると、エッチング停止層240とその下の第2バッファ層230に対し、高選択性を有するエッチング液を利用し、エッチング停止層240に対しエッチバックを実行する。

50

## 【 0 0 5 5 】

例えば、塩素プラズマにより、ポリシリコンを備えるエッチング停止層 2 4 0 をエッチングし、酸化シリコンに対して塩素プラズマは、ポリシリコンにとって高いエッチング選択比を有するので、第 2 バッファ層 2 3 0 に表面平坦度に影響を与えずにエッチング停止層 2 4 0 を除去することができる。つまり、第 1 中間層 2 5 0 がオーバーエッチングされるのである。この例では、酸化シリコンとポリシリコンのエッチングレートが 2 0 以上であるので、第 2 バッファ層 2 3 0 の表面平坦度を劣化させることなくことなく、もって表面平坦度を向上することができる。

## 【 0 0 5 6 】

第 2 バッファ層の一致度の実験結果を以下の表 1 に示した。この結果は、走査型電子顕微鏡 (SEM) により断面観察を行い、約 5 0 0 の第 1 バッファ層の 3 2 0 mm × 4 0 0 mm 角の基板において 2 0 0 mm × 2 0 0 mm の範囲内で同一行及び同一列において点間距離を 1 0 0 mm として 9 点について厚さを測定した。

【表 1】

第 2 バッファ層 (SiO <sub>x</sub> ) の厚さ (Å)	5 0 0	1 0 0 0	1 5 0 0	2 0 0 0
第 2 バッファ層 (SiO <sub>x</sub> ) の表面一致度	2. 5 8 %	5. 0 1 %	1. 7 4 %	7. 0 6 %

さらに、図 9 を参照して説明すると、導電層 2 7 0 を形成し、T F T 領域中のソースとドレインをそれぞれ電氣的に接続する。

最後に、図 1 0 を参照して説明すると、I T O 層等の画素電極層 2 8 0 が、第 2 バッファ層 2 3 0 と第 2 中間層 2 6 0 上に形成され、かつ平坦な表面を有するので、E L ディスプレイの全体の画像表示を性能を向上することができる。

## 【実施例 2】

## 【 0 0 5 7 】

図 1 1 から図 1 4 は、本発明の第 2 実施例による E L ディスプレイ中の画素領域 3 0 0 の製造工程を示す図である。

## 【 0 0 5 8 】

まず、図 1 1 を参照して説明すると、図 2 から図 7 で示されるのと同様の工程により、画素領域 3 0 0 中に、図 1 1 のような構造を形成する。この構造は、基板 3 1 0、第 1 バッファ層 3 2 0、第 2 バッファ層 3 3 0、エッチング停止層 3 4 0、第 1 中間層 3 5 0、及び第 2 中間層 3 6 0 を備える。

## 【 0 0 5 9 】

次に、図 1 2 を参照して説明すると、導電層 3 7 0 が、第 1 中間層 3 5 0 及び第 2 中間層 3 6 0 の一部とエッチング停止層 3 4 0 上に形成される。

## 【 0 0 6 0 】

次に、図 1 3 を参照して説明すると、導電層 3 7 0 に被覆されないエッチング停止層 3 4 0 が除去され、かつ高いエッチング選択比を有するので、当該エッチングがその下の第 1 中間層 3 5 0 の表面平坦度に悪影響を与えないのである。

## 【 0 0 6 1 】

さらに、図 1 4 を参照して説明すると、露出した第 2 バッファ層 3 3 0 と第 2 中間層 3 6 0 上に画素電極層 3 8 0 が形成される。

## 【 0 0 6 2 】

10

20

30

40

50

本願では好ましい実施例を前述の通り示したが、上記実施例は決して本発明の技術的範囲を限定するものではない。すなわち、当業者により本発明の技術的思想の範囲内で各種の変形例を採用することができることに留意されたい。

【産業上の利用可能性】

【0063】

本発明はELディスプレイの発光能力を向上させることができる。

【図面の簡単な説明】

【0064】

【図1】公知のELディスプレイの断面図である。

【図2】本発明に係る実施例1によるELディスプレイ中の画素領域の製造工程を示す。

10

【図3】本発明に係る実施例1によるELディスプレイ中の画素領域の製造工程を示す。

【図4】本発明に係る実施例1によるELディスプレイ中の画素領域の製造工程を示す。

【図5】本発明に係る実施例1によるELディスプレイ中の画素領域の製造工程を示す。

【図6】本発明に係る実施例1によるELディスプレイ中の画素領域の製造工程を示す。

【図7】本発明に係る実施例1によるELディスプレイ中の画素領域の製造工程を示す。

【図8】本発明に係る実施例1によるELディスプレイ中の画素領域の製造工程を示す。

【図9】本発明に係る実施例1によるELディスプレイ中の画素領域の製造工程を示す。

【図10】本発明に係る実施例1によるELディスプレイ中の画素領域の製造工程を示す。

。

【図11】本発明に係る実施例2によるELディスプレイ中の画素領域の製造工程を示す。

20

。

【図12】本発明に係る実施例2によるELディスプレイ中の画素領域の製造工程を示す。

。

【図13】本発明に係る実施例2によるELディスプレイ中の画素領域の製造工程を示す。

。

【図14】本発明に係る実施例2によるELディスプレイ中の画素領域の製造工程を示す。

。

【符号の説明】

【0065】

10 ELディスプレイ

30

110 薄膜トランジスタ(TFT)領域

120、200、300 画素領域

130、210、310 基板

132 窒化シリコンバッファ層

134 酸化シリコンバッファ層

136 ゲート酸化層

138 中間誘電(ILD)層

140 ITO層

142 有機発光層

144 陰極層

40

220、320 第1バッファ層

230、330 第2バッファ層

240、340 エッチング停止層

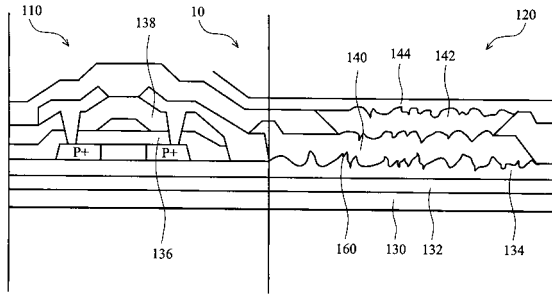
250、350 第1中間層

260、360 第2中間層

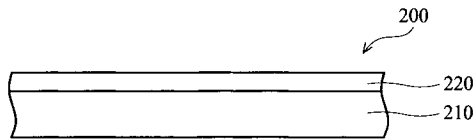
270、370 導電層

280、380 画素電極層

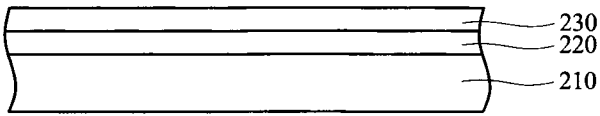
【 図 1 】



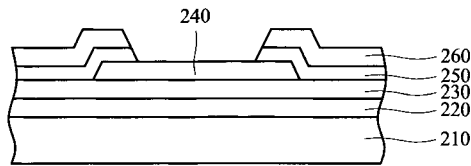
【 図 2 】



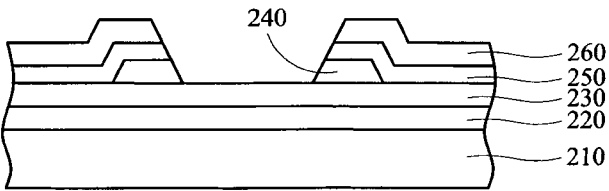
【 図 3 】



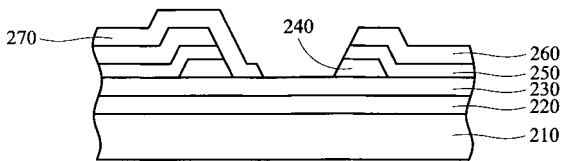
【 図 7 】



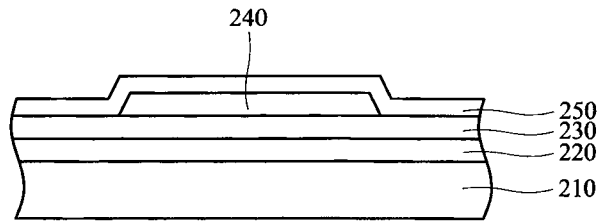
【 図 8 】



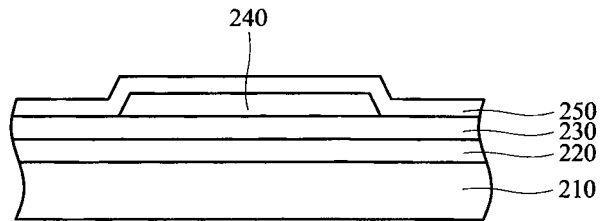
【 図 9 】



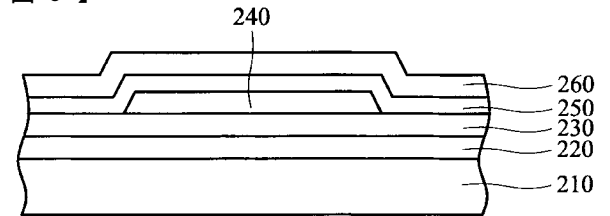
【 図 4 】



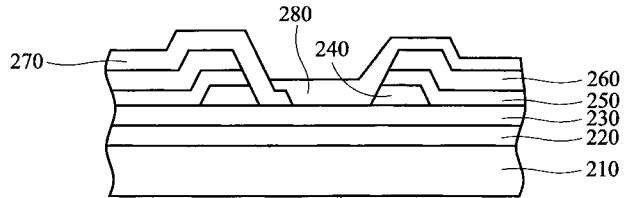
【 図 5 】



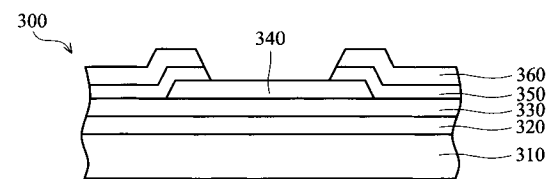
【 図 6 】



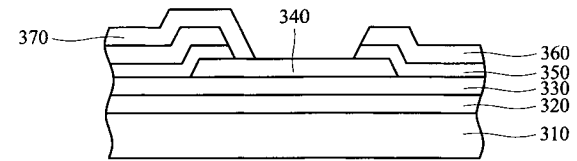
【 図 10 】



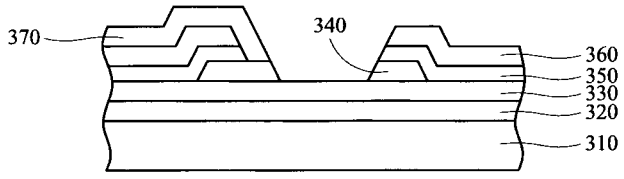
【 図 11 】



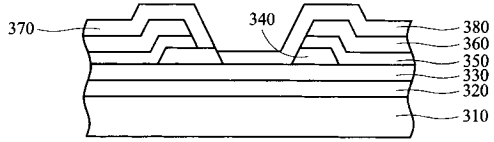
【 図 12 】



【 図 1 3 】



【 図 1 4 】



专利名称(译)	电致发光显示器		
公开(公告)号	<a href="#">JP2006024573A</a>	公开(公告)日	2006-01-26
申请号	JP2005200983	申请日	2005-07-08
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股▲ふん▼有限公司		
[标]发明人	李信宏 黄維邦 陳俊雄		
发明人	李 信宏 黄 維邦 陳 俊雄		
IPC分类号	H05B33/10 H05B33/02 H01L51/50 G09F9/30 H01L27/146 H01L27/32 H01L51/56 H05B33/00 H05B33/22		
CPC分类号	H01L27/3244 H01L51/56		
FI分类号	H05B33/10 H05B33/02 H05B33/14.A G09F9/30.365 G09F9/30.365.Z H01L27/32		
F-TERM分类号	3K007/AB01 3K007/AB18 3K007/BA06 3K007/DB03 3K007/FA00 3K007/GA00 3K107/AA01 3K107/BB01 3K107/CC02 3K107/CC31 3K107/CC45 3K107/DD95 3K107/FF17 3K107/GG28 5C094/AA37 5C094/BA03 5C094/BA05 5C094/BA27 5C094/CA19 5C094/DA13 5C094/EA04 5C094/FA04 5C094/FB01 5C094/FB02 5C094/FB14 5C094/FB15 5C094/FB20 5C094/GB10 5C094/JA20		
代理人(译)	吉村克洋		
优先权	10/888692 2004-07-09 US		
其他公开文献	JP4778275B2		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

提供了一种EL显示器的制造方法。本发明是一种在EL显示器中制造像素区域的方法，其中在基板上形成至少一个缓冲层，在该缓冲层上形成蚀刻停止层，以及至少一个中间层。在蚀刻停止层上形成，蚀刻中间层，露出蚀刻停止层，具有选择性蚀刻速率，可以选择性地蚀刻蚀刻停止层和中间层，对蚀刻停止层进行蚀刻，缓冲层被暴露。缓冲层和蚀刻停止层均具有能够被选择性地蚀刻的选择性蚀刻速率。本发明可以改善由此暴露的缓冲层的表面平整度，并防止EL显示器劣化发光能力。 [选择图] 图8

