

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-195854

(P2005-195854A)

(43) 公開日 平成17年7月21日(2005.7.21)

(51) Int.Cl.⁷

G09G 3/30

G09G 3/20

H05B 33/10

H05B 33/12

H05B 33/14

F I

G09G 3/30

J

G09G 3/30

K

G09G 3/20 622A

G09G 3/20 623A

G09G 3/20 624B

テーマコード(参考)

3K007

5C080

審査請求 未請求 請求項の数 15 O L (全 24 頁) 最終頁に続く

(21) 出願番号 特願2004-1882(P2004-1882)

(22) 出願日 平成16年1月7日(2004.1.7)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(74) 代理人 100064746

弁理士 深見 久郎

(74) 代理人 100085132

弁理士 森田 俊雄

(74) 代理人 100083703

弁理士 仲村 義平

(74) 代理人 100096781

弁理士 堀井 豊

(74) 代理人 100098316

弁理士 野田 久登

(74) 代理人 100109162

弁理士 酒井 将行

最終頁に続く

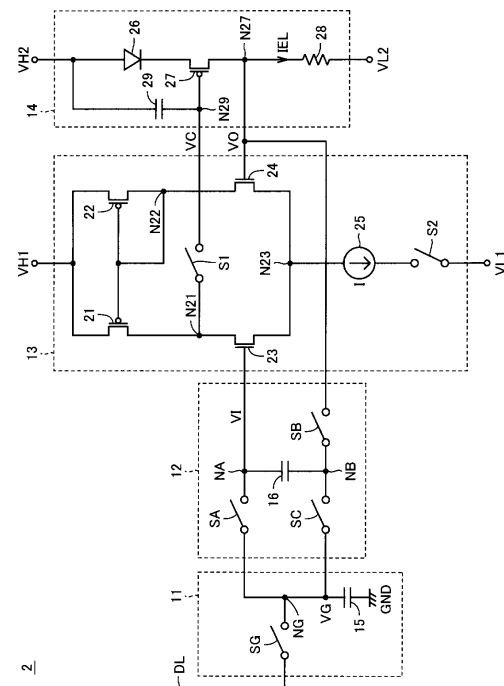
(54) 【発明の名称】 画像表示装置およびその検査方法

(57) 【要約】

【課題】 画素間の表示特性のばらつきが小さな画像表示装置を提供する。

【解決手段】 この画素表示回路2は、直列接続されたEL素子26、P型トランジスタ27および抵抗素子28を含むEL駆動回路14と、制御ノードN27の電位VOがノードNAの電位VIに一致するようにP型トランジスタ27のゲートの電位VCを設定する差動増幅回路13と、差動増幅回路13のオフセット電圧VOFをキャンセルするオフセット補償回路12とを備える。したがって、EL素子26に流れる電流値のばらつきは、抵抗素子28の抵抗値のみとなる。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

画像信号に従って画像を表示する画像表示装置であって、
複数行複数列に配置され、各々が電界発光素子を含む複数の画素表示回路、
それぞれ前記複数列に対応して設けられた複数のデータ線、
前記画像信号に同期して前記複数行の各々を所定時間ずつ順次選択する垂直走査回路、
および

前記垂直走査回路によって 1 つの行が選択されている間に、前記複数のデータ線の各々に前記画像信号に応じた電位を与える水平走査回路を備え、

各画素表示回路は、

第 1 の電位のラインと制御ノードとの間に対応の電界発光素子と直列接続された第 1 のトランジスタと、前記制御ノードと第 2 の電位のラインとの間に接続された抵抗素子とを含み、前記制御ノードの電位に応じた値の電流に対応の電界発光素子に流す駆動回路、

前記垂直走査回路によって対応の行が選択されたことに応じて活性化され、前記制御ノードの電位が入力ノードの電位に一致するように前記第 1 のトランジスタの制御電極の電位を設定する差動増幅回路、および

前記差動増幅回路が活性化されている期間内に活性化されて前記差動増幅回路のオフセット電圧を検出し、検出したオフセット電圧に対応のデータ線の電位に加算した電位を前記差動増幅回路の入力ノードに与え、前記差動増幅回路のオフセット電圧をキャンセルするオフセット補償回路を備える、画像表示装置。

【請求項 2】

前記差動増幅回路は、

その制御電極が前記入力ノードの電位を受ける第 2 のトランジスタ、

その制御電極が前記制御ノードの電位を受け、その第 1 の電極が前記第 2 のトランジスタの第 1 の電極に接続された第 3 のトランジスタ、

前記垂直走査回路によって対応の行が選択されている期間内に活性化され、前記第 2 および第 3 のトランジスタに電流を流す電流源、および

前記第 2 のトランジスタの第 2 の電極と前記第 1 のトランジスタの制御電極との間に接続され、前記電流源が活性化されている期間内に導通する第 1 のスイッチング素子を含む、請求項 1 に記載の画像表示装置。

【請求項 3】

前記差動増幅回路は、

その制御電極が前記入力ノードの電位を受ける第 2 のトランジスタ、

その制御電極が前記制御ノードの電位を受け、その第 1 の電極が前記第 2 のトランジスタの第 1 の電極に接続された第 3 のトランジスタ、

前記垂直走査回路によって対応の行が選択されている期間内に活性化され、前記第 2 および第 3 のトランジスタに電流を流す電流源、および

前記第 3 のトランジスタの第 2 の電極と前記第 1 のトランジスタの制御電極との間に接続され、前記電流源が活性化されている期間内に導通する第 1 のスイッチング素子を含む、請求項 1 に記載の画像表示装置。

【請求項 4】

前記電流源は、

所定の電流を流す定電流源、および

前記定電流源と直列接続され、前記垂直走査回路によって対応の行が選択されている期間内に導通し、前記第 2 および第 3 のトランジスタに前記定電流源の電流を流す第 2 のスイッチング素子を含む、請求項 2 または請求項 3 に記載の画像表示装置。

【請求項 5】

前記電流源は、

その第 1 の電極が前記第 2 および第 3 のトランジスタの第 1 の電極に接続された第 4 のトランジスタ、および

10

20

30

40

50

前記垂直走査回路によって対応の行が選択されている期間内は前記第４のトランジスタに所定の電流が流れ、それ以外の期間は前記第４のトランジスタが非導通になるように、前記第４のトランジスタの制御電極および第２の電極間の電圧を切換える第１の切換回路を含む、請求項２または請求項３に記載の画像表示装置。

【請求項６】

前記各画素表示回路は、前記第１のスイッチング素子を非導通にしたときに前記制御ノードに発生する電位変動を補償して、前記制御ノードの電位を前記第１のスイッチング素子を非導通にする直前の電位に復帰させるフィードスルー補償回路をさらに含む、請求項２から請求項５までのいずれかに記載の画像表示装置。

【請求項７】

前記フィードスルー補償回路は、
その一方電極が前記第１のトランジスタの制御電極に接続された第１のキャパシタ、
前記第１のキャパシタの他方電極と前記制御ノードとの間に接続され、前記第１のスイッチング素子と同じタイミングで導通および非導通になる第３のスイッチング素子、および
その一方電極が対応のデータ線の電位を受け、その他方電極が前記第１のキャパシタの他方電極に接続され、前記第３のスイッチング素子が非導通にされたことに応じて導通する第４のスイッチング素子を含む、請求項６に記載の画像表示装置。

【請求項８】

前記各画素表示回路は、
さらに、その一方電極が前記第４のスイッチング素子の一方電極に接続され、その他方電極が第３の電位を受ける第２のキャパシタ、および
対応のデータ線と前記第２のキャパシタの一方電極との間に接続され、前記垂直走査回路によって対応の行が選択されている期間に導通して前記第２のキャパシタの一方電極を対応のデータ線の電位に充電させる第５のスイッチング素子を備える、請求項７に記載の画像表示装置。

【請求項９】

前記各画素表示回路は、その一方電極が前記制御ノードの電位を受ける第３のキャパシタを有し、前記差動増幅回路の発振動作を防止するための位相補償回路をさらに含む、請求項１から請求項８までのいずれかに記載の画像表示装置。

【請求項１０】

前記オフセット補償回路は、
その一方電極が前記差動増幅回路の入力ノードに接続された第４のキャパシタ、
第１の期間において、前記入力ノードに所定の電位を与えるとともに前記第４のキャパシタの他方電極を前記制御ノードに接続し、前記第４のキャパシタを前記差動増幅回路のオフセット電圧に充電させる第２の切換回路、および
前記第１の期間の後の第２の期間において、前記第４のキャパシタの他方電極に対応のデータ線の電位を与え、対応のデータ線の電位に前記オフセット電圧を加算した電位を前記差動増幅回路の入力ノードに与える第３の切換回路を含む、請求項１から請求項９までのいずれかに記載の画像表示装置。

【請求項１１】

前記所定の電位は、対応のデータ線の電位である、請求項１０に記載の画像表示装置。

【請求項１２】

前記所定の電位は、一定の基準電位である、請求項１０に記載の画像表示装置。

【請求項１３】

前記駆動回路は、さらに、その一方電極が前記第１のトランジスタの制御電極に接続され、前記第１のトランジスタの制御電極の電位を保持する第５のキャパシタを含む、請求項１から請求項１２までのいずれかに記載の画像表示装置。

【請求項１４】

前記第１のトランジスタおよび前記抵抗素子は多結晶シリコン薄膜で形成されている、請求項１から請求項１３までのいずれかに記載の画像表示装置。

10

20

30

40

50

【請求項 15】

前記請求項 1 から請求項 14 までのいずれかに記載の画像表示装置を検査する検査方法であって、

検査対象の画素表示回路に対応するデータ線にテスト電位を与え、

前記画素表示回路の差動増幅回路およびオフセット補償回路を活性化させ、

前記画素表示回路の前記制御ノードの電位に対応のデータ線を介して読出し、読出した電位に基づいて前記画素表示回路が正常か否かを判定する、画像表示装置の検査方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は画像表示装置およびその検査方法に関し、特に、エレクトロルミネッセンス（以下、ELと称す）素子のような電界発光素子を備えた画像表示装置と、その検査方法に関する。

【背景技術】

【0002】

従来のEL表示装置では、各画素において、駆動トランジスタとEL素子を電源電位のラインと接地電位のラインとの間に直列接続するとともに、データ線と駆動トランジスタのゲートとの間にアクセストランジスタを接続し、データ線およびアクセストランジスタを介して駆動トランジスタのゲートに表示データに応じた電位を与え、その電位に応じた値の電流を駆動トランジスタおよびEL素子に流す。EL素子は、電流値に応じた光強度で発光する（たとえば特許文献1参照）。

【特許文献1】特開2001-100656号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

このようなEL表示装置において駆動トランジスタを多結晶シリコン薄膜トランジスタで構成した場合、駆動トランジスタの特性（しきい値電圧、移動度）のばらつきが比較的大くなり、これに応じてEL素子に流れる電流もばらつく。このため、同一の電位を複数の画素に書き込んだ場合でも画素毎に異なった色が表示され、特に隣接画素間における色のばらつきが目立つという問題があった。

【0004】

それゆえに、この発明の主たる目的は、画素間の表示特性のばらつきが小さな画像表示装置とその検査方法を提供することである。

【課題を解決するための手段】

【0005】

この発明に係る画像表示装置は、画像信号に従って画像を表示する画像表示装置であって、複数行複数列に配置され、各々が電界発光素子を含む複数の画素表示回路と、それぞれ複数列に対応して設けられた複数のデータ線と、画像信号に同期して複数行の各々を所定時間ずつ順次選択する垂直走査回路と、垂直走査回路によって1つの行が選択されている間に、複数のデータ線の各々に画像信号に応じた電位を与える水平走査回路とを備えたものである。ここで、各画素表示回路は、第1の電位のラインと制御ノードとの間に対応の電界発光素子と直列接続された第1のトランジスタと、制御ノードと第2の電位のラインとの間に接続された抵抗素子とを含み、制御ノードの電位に応じた値の電流に対応の電界発光素子に流す駆動回路と、垂直走査回路によって対応の行が選択されたことに応じて活性化され、制御ノードの電位が入力ノードの電位に一致するように第1のトランジスタの制御電極の電位を設定する差動増幅回路と、差動増幅回路が活性化されている期間内に活性化されて差動増幅回路のオフセット電圧を検出し、検出したオフセット電圧に対応のデータ線の電位に加算した電位を差動増幅回路の入力ノードに与え、差動増幅回路のオフセット電圧をキャンセルするオフセット補償回路とを備えている。

【0006】

10

20

30

40

50

また、この発明に係る画像表示装置の検査方法は、上記画像表示装置を検査する検査方法であって、検査対象の画素表示回路に対応するデータ線にテスト電位を与え、画素表示回路の差動増幅回路およびオフセット補償回路を活性化させ、画素表示回路の制御ノードの電位に対応のデータ線を介して読出し、読出した電位に基づいて画素表示回路が正常か否かを判定する。

【発明の効果】

【0007】

この発明に係る画像表示装置では、電界発光素子に流れる電流は、制御ノードの電位と抵抗素子の抵抗値によって決定される。制御ノードの電位は、差動増幅回路およびオフセット補償回路によってデータ線の電位に等しい電位に設定される。したがって、電界発光素子に流れる電流値のばらつきの要因は、抵抗素子の抵抗値のみとなる。抵抗素子の抵抗値のばらつきは、トランジスタの特性（しきい値、移動度）のばらつきよりも小さいので、画素間の表示特性のばらつきは従来よりも小さくなる。また、垂直走査回路によって対応の行が選択されたときに差動増幅回路およびオフセット補償回路を活性化させるので、消費電流が小さくて済む。

10

【0008】

また、この発明に係る画像表示装置の検査方法では、検査対象の画素表示回路に対応するデータ線にテスト電位を与え、その画素表示回路の差動増幅回路およびオフセット補償回路を活性化させて上記制御ノードの電位に対応のデータ線を介して読出し、読出した電位に基づいてその画素表示回路が正常か否かを判定する。したがって、電界発光素子の光学特性を検査することなく画素表示回路を電氣的に検査することができ、検査コストの低減化を図ることができる。

20

【発明を実施するための最良の形態】

【0009】

[実施の形態1]

図1は、この発明の実施の形態1によるEL表示装置の構成を示すブロック図である。図1において、このEL表示装置は、画素アレイ1、垂直走査回路3および水平走査回路4を備える。画素アレイ1、垂直走査回路3および水平走査回路4が1枚の基板上に設けられていてもよいし、垂直走査回路3および水平走査回路4の一部または全部が外部回路として設けられていてもよい。

30

【0010】

画素アレイ1は、複数行複数列に配置された複数の画素表示回路2と、それぞれ複数列に対応して設けられた複数のデータ線DLと、各行に対応して設けられた複数の信号線SLとを含む。各画素表示回路2は、EL素子を有し、対応の複数の信号線SLを介して与えられる複数の制御信号によって制御され、対応のデータ線DLを介して与えられる電位に応じた光強度で発光する。画素表示回路2については、後に詳述する。

【0011】

垂直走査回路3は、画像信号に同期して動作し、複数行を1水平期間ずつ順次選択し、選択した行の複数の信号線SLを介して各画素表示回路2を制御し、各画素表示回路2に対応のデータ線DLの電位を保持させる。

40

【0012】

水平走査回路4は、垂直走査回路3によって1つの行が選択されている間に、画像信号に応じた電位を各データ線DLに与える。画像信号は、複数ビットたとえば6ビットのデータ信号D0～D5を含む。データ信号D0～D5は、各画素表示回路2に対応してシリアルに生成される。6ビットのデータ信号D0～D5により、各画素表示回路2において $2^6 = 64$ 段階の階調表示が可能となる。さらに、R (Red)、G (Green)、B (Blue)の3つの画素表示回路2で1つのカラー表示単位を構成すれば、約26万色のカラー表示が可能となる。

【0013】

すなわち水平走査回路4は、シフトレジスタ5、データラッチ回路6、7、階調電位発

50

生回路 8、デコード回路 9、および出力バッファ回路 10 を含む。シフトレジスタ 5 は、データ信号 D 0 ~ D 5 の設定が切換えられる所定周期に同期したタイミングで、データラッチ回路 6 に対してデータ信号 D 0 ~ D 5 の取込みを指示する。データラッチ回路 6 は、シリアルに生成される 1 行分のデータ信号 D 0 ~ D 5 を順に取込んで保持する。

【 0 0 1 4 】

1 行分のデータ信号 D 0 ~ D 5 がデータラッチ回路 7 に取込まれたタイミングで、ラッチ信号 L T の活性化に応答して、データラッチ回路 6 にラッチされたデータ信号 D 0 ~ D 5 群は、データラッチ回路 7 に伝達される。階調電位発生回路 8 は、6 4 段階の階調電位 V 1 ~ V 6 4 をデコード回路 9 に与える。

【 0 0 1 5 】

デコード回路 9 は、各列毎に、データラッチ回路 7 にラッチされたデータ信号 D 0 ~ D 5 に従って、6 4 段階の階調電位 V 1 ~ V 6 4 のうちのいずれかの電位を選択し、選択した電位を出力バッファ回路 10 に与える。出力バッファ回路 10 は、各列毎に、データ線 D L の電位がデコード回路 9 から与えられた階調電位と同じ電位になるようにデータ線 D L に電流を供給する。

【 0 0 1 6 】

垂直走査回路 3 および水平走査回路 4 によって画素アレイ 1 の各画素表示回路 2 に階調電位が書き込まれると、画素アレイ 1 には 1 つの画像が表示される。

【 0 0 1 7 】

図 2 は、画素表示回路 2 の構成を示すブロック図である。図 2 において、画素表示回路 2 は、サンプルホールド (S / H) 回路 1 1、オフセット補償回路 1 2、差動増幅回路 1 3、および E L 駆動回路 1 4 を含む。サンプルホールド回路 1 1 は、信号線 S L を介して与えられる制御信号によって制御され、垂直走査回路 3 によって対応の行が選択されている期間に対応のデータ線 D L の電位をサンプリングおよびホールドし、サンプリングおよびホールドした電位 V G をオフセット補償回路 1 2 に与える。

【 0 0 1 8 】

オフセット補償回路 1 2 は、複数の信号線 S L を介して与えられる複数の制御信号によって制御され、差動増幅回路 1 3 が活性化されている期間内に、差動増幅回路 1 3 のオフセット電圧 V O F を検出し、検出したオフセット電圧 V O F をサンプルホールド回路 1 1 から与えられた電位 V G に加算した電位 $V I = V G + V O F$ を差動増幅回路 1 3 に与え、

【 0 0 1 9 】

差動増幅回路 1 3 の反転入力端子 (-) はオフセット補償回路 1 2 の出力電位 V I を受け、その非反転入力端子 (+) は E L 駆動回路 1 4 の制御ノード N 2 7 の電位 V O を受け、その出力端子は E L 駆動回路 1 4 に接続される。差動増幅回路 1 3 は、複数の信号線 S L を介して与えられる複数の制御信号に응答して活性化され、E L 駆動回路 1 4 の制御ノード N 2 7 の電位 V O がオフセット補償回路 1 2 から与えられた電位 V I に一致するように E L 駆動回路 1 4 に制御電位 V C を与える。E L 駆動回路 1 4 は、差動増幅回路 1 3 から与えられた制御電位 V C に応じた値の電流 I E L を E L 素子に流して E L 素子を発光させる。

【 0 0 2 0 】

図 3 は、画素表示回路 2 の構成を詳細に示す回路図である。図 3 において、サンプルホールド回路 1 1 は、スイッチング素子 S G およびキャパシタ 1 5 を含む。スイッチング素子 S G は、データ線 D L とノード N G との間に接続され、垂直走査回路 3 によって対応の行が選択されている期間にオンする。キャパシタ 1 5 は、ノード N G と接地電位 G N D のラインとの間に接続される。スイッチング素子 S G がオンすると、ノード N G がデータ線 D L と同じ電位 V G に充電される。スイッチング素子 S G がオフされると、ノード N G の電位 V G はキャパシタ 1 5 によって保持される。

【 0 0 2 1 】

E L 駆動回路 1 4 は、高電位 V H 2 のラインと制御ノード N 2 7 との間に直列接続され

10

20

30

40

50

た E L 素子 26 および P 型電界効果トランジスタ（以下、P 型トランジスタと称す）27 と、制御ノード N 27 と低電位 V L 2 のラインとの間に接続された抵抗素子 28 と、高電位 V H 2 のラインと P 型トランジスタ 27 のゲート（ノード N 29）の間に接続されたキャパシタ 29 とを含む。抵抗素子 28 の抵抗値を R とすると、E L 素子 26、P 型トランジスタ 27 および抵抗素子 28 には制御ノード N 27 の電位 V O と低電位 V L 2 との間の電圧 V O - V L 2 に応じた値の電流 $I_{EL} = (V_O - V_{L2}) / R$ が流れる。E L 素子 26 は、電流 I_{EL} に応じた光強度で発光する。

【0022】

P 型トランジスタ 27 のゲート N 29 の電位すなわち制御電位 V C は、キャパシタ 29 によって保持される。キャパシタ 29 の一方電極は高電位 V H 2 のラインに接続されているが、他の一定電位のラインに接続されていてもよい。また、ノード N 29 からのリーク電流が少ない場合は、キャパシタ 29 を除いてもよい。

【0023】

差動増幅回路 13 は、P 型トランジスタ 21、22、N 型電界効果トランジスタ（以下、N 型トランジスタと称す）23、24、定電流源 25、およびスイッチング素子 S 1、S 2 を含む。P 型トランジスタ 21、22 は、それぞれ高電位 V H 1 のラインとノード N 21、N 22 の間に接続され、それらのゲートはともにノード N 22 に接続される。P 型トランジスタ 21、22 は、カレントミラー回路を構成する。スイッチング素子 S 1 は、ノード N 21 と E L 駆動回路 14 のノード N 29 との間に接続され、垂直走査回路 3 によって対応の行が選択されている期間内にオンする。

【0024】

N 型トランジスタ 23、24 は、それぞれノード N 21、N 22 とノード N 23 との間に接続され、それらのゲートはそれぞれノード N A、N 27 に接続される。N 型トランジスタ 23、24 のゲートは、それぞれ差動増幅回路 13 の反転入力端子および非反転入力端子を構成する。定電流源 25 およびスイッチング素子 S 2 は、ノード N 23 と低電位 V L 1 のラインとの間に直列接続される。スイッチング素子 S 2 は、垂直走査回路 3 によって対応の行が選択されている期間内にオンする。スイッチング素子 S 2 がオンすると、定電流源 25 は、ノード N 23 から低電位 V L 2 のラインに所定の定電流を流す。

【0025】

スイッチング素子 S 2 は、低消費電力化のために設けられており、電流を遮断することができれば、高電位 V H 1 のラインと低電位 V L 1 のラインとの間のいずれの位置に設けられていてもよい。たとえば、スイッチング素子 S 2 をノード N 23 と定電流源 25 との間に設けてもよいし、高電位 V H 1 のラインと、P 型トランジスタ 21、22 のソースとの間に設けてもよい。また、V H 1 と V H 2、V L 1 と V L 2 は、それぞれ同じ電位であってもよい。

【0026】

次に、差動増幅回路 13 および E L 駆動回路 14 の動作について説明する。スイッチング素子 S 1、S 2 がオンすると、差動増幅回路 13 が活性化される。N 型トランジスタ 24 には、制御ノード N 27 の電位 V O に応じた値の電流が流れる。N 型トランジスタ 24 と P 型トランジスタ 22 は直列接続され、P 型トランジスタ 22 と 21 はカレントミラー回路を構成するので、P 型トランジスタ 21 には N 型トランジスタ 24 の電流に応じた値の電流が流れる。N 型トランジスタ 23 には、ノード N A の電位 V I に応じた値の電流が流れる。

【0027】

V O が V I よりも高い場合は、P 型トランジスタ 21 に流れる電流が N 型トランジスタ 23 に流れる電流よりも大きくなって制御電位 V C が上昇し、P 型トランジスタ 27 に流れる電流が減少して制御ノード N 27 の電位 V O が低下する。V O が V I よりも低い場合は、P 型トランジスタ 21 に流れる電流が N 型トランジスタ 23 に流れる電流よりも小さくなって制御電位 V C が低下し、P 型トランジスタ 27 に流れる電流が増加して V O が上昇する。

10

20

30

40

50

【 0 0 2 8 】

したがって、N型トランジスタ23のしきい値電圧 V_{TN23} とN型トランジスタ24のしきい値電圧 V_{TN24} とが等しい場合は、 $V_O = V_I$ となる。しかし、N型トランジスタ23のしきい値電圧 V_{TN23} とN型トランジスタ24のしきい値電圧 V_{TN24} とが一致しない場合は、オフセット電圧 $V_{OF} = V_I - V_O = V_{TN23} - V_{TN24}$ が発生する。たとえば V_{TN23} が V_{TN24} よりも高い場合、 V_O が V_I よりも低い状態で差動増幅回路13が安定する。このオフセット電圧 V_{OF} は、オフセット補償回路12によって補償される。

【 0 0 2 9 】

オフセット補償回路12は、スイッチング素子 $S_A \sim S_C$ およびキャパシタ16を含む。スイッチング素子 S_A はノードNGとNAの間に接続され、スイッチング素子 S_C 、 S_B はノードNGとN27の間に直列接続される。キャパシタ16は、ノードNAと、スイッチング素子 S_B 、 S_C 間のノードNBとの間に接続される。 10

【 0 0 3 0 】

図4は、図1～図3で示した画素表示回路2の動作を示すタイムチャートである。スイッチング素子 S_G 、 $S_A \sim S_C$ 、 S_1 、 S_2 は、垂直走査回路3によって対応の行が選択されたときに、垂直走査回路3から対応の行の複数の信号線SLを介して与えられる複数の制御信号によってオン/オフ制御される。スイッチング素子 S_G は、垂直走査回路3によって対応の行が選択されている期間にオンされる。図4では、説明の便宜上スイッチング素子 S_1 、 S_2 、 S_A 、 S_B が同時にオンされているが、以下に説明される動作が達成 20
されれば同時にオンされる必要はない。また、データ線DLの電位の入力時刻は、時刻 t_0 の前でも後でもよい。図4では、データ線DLの電位は既に入力されているものとする。

【 0 0 3 1 】

時刻 t_0 においてスイッチング素子 S_1 、 S_2 、 S_A 、 S_B がオンすると、ノードNGの電位 V_G がスイッチング素子 S_A を介してノードNAに伝達され、 $V_I = V_G$ となる。また、駆動電流Iが流れて差動増幅回路13が活性化され、制御ノードN27の電位 V_O は $V_O = V_G - V_{OF}$ となる。 V_O は、スイッチング素子 S_B を介してノードNBに伝達される。これにより、キャパシタ16は、 $V_I - V_O = V_{OF}$ に充電される。 30

【 0 0 3 2 】

時刻 t_1 においてスイッチング素子 S_A 、 S_B がオフした後、時刻 t_2 においてスイッチング素子 S_C がオンすると、ノードNBの電位が $V_G - V_{OF}$ から V_G に変化する。この変化分 V_{OF} がキャパシタ16を介してノードNAに伝達され、ノードNAの電位 V_I が $V_I = V_G + V_{OF}$ となる。この結果、制御ノードN27の電位 V_O が $V_O = V_G$ となり、オフセット電圧 V_{OF} がキャンセルされる。

【 0 0 3 3 】

このとき抵抗素子28には、電流 $I_{EL} = (V_G - V_{L2}) / R = (V_G / R) - (V_{L2} / R)$ が流れる。 R 、 V_{L2} の各々を一定値にすると、 I_{EL} は V_G に比例する。特に、 V_{L2} が接地電位GNDの場合は、 $I_{EL} = V_G / R$ となる。 R を所定値に設定すれば、 V_G により I_{EL} を決めることができる。つまり、 V_G によりEL素子26の輝度を 40
制御することができる。

【 0 0 3 4 】

ここで、 I_{EL} がばらつく要因となるのは、 R のばらつきである。従来技術では駆動トランジスタのしきい値電圧と移動度の2つの要因が I_{EL} のばらつきの原因となっていたが、本願発明では抵抗素子28の抵抗値 R のみが I_{EL} のばらつきの要因となる。したがって、従来技術よりも I_{EL} のばらつきの要因数が減少し、 I_{EL} のばらつきが減少する。なお、画素表示回路2は、多結晶シリコン薄膜の表面に形成される。抵抗素子28の抵抗値 R は、多結晶シリコン薄膜へのイオン注入量によって調整される。

【 0 0 3 5 】

また、EL表示装置では、 I_{EL} が常時流れているので消費電流が大きくなる。EL表 50

示装置の消費電流を小さくするためには、 I_{EL} を低減化する必要がある。このため従来技術では、駆動トランジスタのゲート・ソース間電圧を駆動トランジスタのしきい値電圧に近づけて駆動トランジスタの相互コンダクタンスを下げる必要がある。ところがゲート・ソース間電圧を駆動トランジスタのしきい値電圧に近づける程、 I_{EL} がしきい値電圧のばらつきの影響を受け易くなるので、従来は低消費電力化が困難であった。これに対して本願発明では、抵抗素子28の抵抗値 R を単純に大きくすれば I_{EL} が小さくなるので、低消費電力化が容易である。

【0036】

図4に戻って、時刻 t_3 においてスイッチング素子 S_1 がオフすると、制御電位 V_C がキャパシタ29によって保持される。時刻 t_4 において、スイッチング素子 S_2 がオフすると、駆動電流 I が遮断されて差動増幅回路13が非活性化される。差動増幅回路13を非活性化させるのは、 EL 素子26を発光させるための電圧はキャパシタ29によって保持されているので、差動増幅回路13の動作は不要になるからである。差動増幅回路13の駆動電流 I は対応の行が選択されている期間内しか流れないので、差動増幅回路13を設けたことによる消費電流の増加は小さい。

【0037】

なお、スイッチング素子 S_1 、 S_2 を同時にオフさせることも可能であるが、スイッチング素子 S_2 のオフにより制御電位 V_C が変化し、変化後の電位がキャパシタ29に保持される可能性があるので、スイッチング素子 S_1 をオフさせた後にスイッチング素子 S_2 をオフさせている。

【0038】

また、スイッチング素子 S_1 をオフさせた後は、ノード N_{29} から電荷がリークしてノード N_{29} の電位 V_C が時間の経過とともに低下する。しかし、1フレーム時間(約16m秒)における電位 V_C の低下は、実用上問題ない。

【0039】

以下、この実施の形態1の種々の変更例について説明する。図5の変更例では、画素表示回路2の EL 駆動回路14が EL 駆動回路31で置換される。 EL 駆動回路31では、キャパシタ29は、 P 型トランジスタ27のゲート・ソース間に接続される。この変更例でも、実施の形態1と同じ効果が得られる。

【0040】

図6の変更例では、画素表示回路2の EL 駆動回路14が EL 駆動回路32で置換される。 EL 駆動回路32では、 P 型トランジスタ27および EL 素子26が高電位 V_{H2} のラインと制御ノード N_{27} との間に接続され、キャパシタ29は P 型トランジスタ27のゲート・ソース間に接続される。この変更例でも、実施の形態1と同じ効果が得られる。

【0041】

図7の変更例では、図3の定電流源25およびスイッチング素子 S_2 が N 型トランジスタ33およびスイッチ34で置換される。 N 型トランジスタ33はノード N_{23} と低電位 V_{L1} のラインとの間に接続され、そのゲートはスイッチ34の共通端子34cに接続される。スイッチ34の一方端子34aはバイアス電位 V_{BN} を受け、その他方端子34bは低電位 V_{L1} のラインに接続される。図3のスイッチング素子 S_2 がオンする期間(図4の時刻0~ t_4)では、スイッチ34の端子34a、34c間が導通して N 型トランジスタ33のゲートにバイアス電位 V_{BN} が与えられ、 N 型トランジスタ33は飽和領域で動作して定電流 I を流す。図3のスイッチング素子 S_2 がオフする期間では、スイッチ34の端子34b、34c間が導通して N 型トランジスタ33のゲートに低電位 V_{L1} が与えられ、 N 型トランジスタ33はオフする。この変更例でも、実施の形態1と同じ効果が得られる。

【0042】

図8の変更例では、画素表示回路2が画素表示回路35で置換される。画素表示回路35では、スイッチング素子 S_A の一方電極がノード N_G の代わりに基準電位 V_R のノードに接続される。基準電位 V_R は、電流供給能力が大きな外部電源あるいは内部電源から供

10

20

30

40

50

給される。この場合は、キャパシタ 16 の充電が基準電位 V_R のノードを介して行なわれるので、図 1 の出力バッファ回路 10 の負荷が軽減され、オフセットキャンセル動作の高速化が図られる。

【0043】

図 3 の画素表示回路 2 では、負帰還回路が構成されているので、発振動作が生じる可能性がある。発振動作を防止するため、位相補償が行なわれる。図 9 の画素表示回路 36 では、制御ノード N_{27} と低電位 V_{L3} のラインとの間にキャパシタ 37 が接続される（支配極補償法）。図 10 の画素表示回路 38 では、キャパシタ 37 の一方電極は低電位 V_{L3} のラインの代わりに差動増幅回路 13 のノード N_{21} に接続される（ミラー補償法）。図 11 の画素表示回路 39 では、制御ノード N_{27} と低電位 V_{L3} のラインとの間に抵抗素子 40 およびキャパシタ 37 が接続される（ポール・ゼロ法）。これらの変更例では、発振動作が防止される。また、図 3 の画素表示回路 2 でも、動作条件によっては発振動作は生じない。

10

【0044】

[実施の形態 2]

図 12 は、この発明の実施の形態 2 による EL 表示装置に含まれる画素表示回路 40 の構成を示す回路図であって、図 3 と対比される図である。図 12 を参照して、この画素表示回路 40 は、画素表示回路 2 の EL 駆動回路 14 を EL 駆動回路 41 で置換したものである。EL 駆動回路 41 は、高電位 V_{H2} のラインと制御ノード N_{27} との間に接続された抵抗素子 42 と、制御ノード N_{27} と低電位 V_{L2} のラインとの間に直列接続された N 型トランジスタ 43 および EL 素子 44 と、N 型トランジスタ 43 のゲートと低電位 V_{L2} のラインとの間に接続されたキャパシタ 45 とを含む。

20

【0045】

抵抗素子 42 の抵抗値を R とすると、抵抗素子 42、N 型トランジスタ 43 および EL 素子 44 には高電位 V_{H2} と制御ノード N_{27} の電位 V_O との間の電圧 $V_{H2} - V_O$ に応じた値の電流 $I_{EL} = (V_{H2} - V_O) / R$ が流れる。EL 素子 44 は、電流 I_{EL} に応じた光強度で発光する。

【0046】

N 型トランジスタ 43 のゲート（ノード N_{45} ）の電位すなわち制御電位 V_C は、キャパシタ 45 によって保持される。キャパシタ 45 の一方電極は低電位 V_{L2} のラインに接続されているが、他の一定電位のラインに接続されていてもよい。また、ノード N_{45} からのリーク電流が少ない場合は、キャパシタ 45 を除いてもよい。

30

【0047】

次に、差動増幅回路 13 および EL 駆動回路 41 の動作について説明する。スイッチング素子 S_1 、 S_2 がオンすると、差動増幅回路 13 が活性化される。N 型トランジスタ 24 には、制御ノード N_{27} の電位 V_O に応じた値の電流が流れる。N 型トランジスタ 24 と P 型トランジスタ 22 は直列接続され、P 型トランジスタ 22 と 21 はカレントミラー回路を構成するので、P 型トランジスタ 21 には N 型トランジスタ 24 の電流に応じた値の電流が流れる。N 型トランジスタ 23 には、ノード N_A の電位 V_I に応じた値の電流が流れる。

40

【0048】

V_O が V_I よりも高い場合は、P 型トランジスタ 21 に流れる電流が N 型トランジスタ 23 に流れる電流よりも大きくなって制御電位 V_C が上昇し、N 型トランジスタ 43 に流れる電流が増加して制御ノード N_{27} の電位 V_O が低下する。 V_O が V_I よりも低い場合は、P 型トランジスタ 21 に流れる電流が N 型トランジスタ 23 に流れる電流よりも小さくなって制御電位 V_C が低下し、N 型トランジスタ 43 に流れる電流が減少して V_O が上昇する。

【0049】

したがって、N 型トランジスタ 23 のしきい値電圧 V_{TN23} と N 型トランジスタ 24 のしきい値電圧 V_{TN24} とが等しい場合は、 $V_O = V_I$ となる。しかし、N 型トランジ

50

スタ 2 3 のしきい値電圧 V_{TN23} と N 型トランジスタ 2 4 のしきい値電圧 V_{TN24} とが一致しない場合は、オフセット電圧 $V_{OF} = V_I - V_O = V_{TN23} - V_{TN24}$ が発生する。たとえば V_{TN23} が V_{TN24} よりも高い場合、 V_O が V_I よりも低い状態で差動増幅回路 1 3 が安定する。このオフセット電圧 V_{OF} は、オフセット補償回路 1 2 によって補償される。

【 0 0 5 0 】

この実施の形態 2 でも、実施の形態 1 と同じ効果が得られる。

【 0 0 5 1 】

以下、この実施の形態 2 の種々の変更例について説明する。図 1 3 の変更例では、E L 駆動回路 4 1 が E L 駆動回路 4 6 で置換される。E L 駆動回路 4 6 では、キャパシタ 4 5 は、N 型トランジスタ 4 3 のゲート・ソース間に接続される。図 1 4 の変更例では、E L 駆動回路 4 1 が E L 駆動回路 4 7 で置換される。E L 駆動回路 4 7 では、E L 素子 4 4 および N 型トランジスタ 4 3 が制御ノード N 2 7 と低電位 V_{L2} のラインとの間に直列接続され、キャパシタ 4 5 は N 型トランジスタ 4 3 のゲート・ソース間に接続される。これらの変更例でも、実施の形態 2 と同じ効果が得られる。

10

【 0 0 5 2 】

[実施の形態 3]

図 1 5 は、この発明の実施の形態 3 による E L 表示装置に含まれる画素表示回路 5 0 の構成を示す回路図であって、図 3 と対比される図である。図 1 5 を参照して、この画素表示回路 5 0 は、画素表示回路 2 の差動増幅回路 1 3 を差動増幅回路 5 1 で置換したものである。

20

【 0 0 5 3 】

差動増幅回路 5 1 は、スイッチング素子 S_1 , S_2 、定電流源 5 2、P 型トランジスタ 5 3 , 5 4 および N 型トランジスタ 5 5 , 5 6 を含む。スイッチング素子 S_2 および定電流源 5 2 は、高電位 V_{H1} のラインとノード N 5 2 の間に接続される。スイッチング素子 S_2 がオンすると、定電流源 5 2 は、高電位 V_{H1} のラインからノード N 5 2 に所定の定電流を流す。P 型トランジスタ 5 3 , 5 4 は、それぞれノード N 5 2 とノード N 5 3 , N 5 4 の間に接続され、それらのゲートはそれぞれノード N A , N 2 7 に接続される。P 型トランジスタ 5 3 , 5 4 のゲートは、それぞれ差動増幅回路 5 1 の反転入力端子および非反転入力端子を構成する。スイッチング素子 S_1 は、ノード N 5 3 と P 型トランジスタ 2 7 のゲートとの間に接続される。N 型トランジスタ 5 5 , 5 6 は、それぞれノード N 5 3 , N 5 4 と低電位 V_{L1} のラインとの間に接続され、それらのゲートはともにノード N 5 4 に接続される。N 型トランジスタ 5 5 , 5 6 は、カレントミラー回路を構成する。

30

【 0 0 5 4 】

次に、差動増幅回路 5 1 および E L 駆動回路 1 4 の動作について説明する。P 型トランジスタ 5 4 には、制御ノード N 2 7 の電位 V_O に応じた値の電流が流れる。P 型トランジスタ 5 4 と N 型トランジスタ 5 6 は直列接続され、N 型トランジスタ 5 6 と 5 5 はカレントミラー回路を構成するので、N 型トランジスタ 5 5 には P 型トランジスタ 5 4 の電流に応じた値の電流が流れる。P 型トランジスタ 5 3 には、ノード N A の電位 V_I に応じた値の電流が流れる。

40

【 0 0 5 5 】

V_O が V_I よりも高い場合は、N 型トランジスタ 5 5 に流れる電流が P 型トランジスタ 5 3 に流れる電流よりも小さくなって制御電位 V_C が上昇し、P 型トランジスタ 2 7 に流れる電流が減少して V_O が低下する。 V_O が V_I よりも低い場合は、N 型トランジスタ 5 5 に流れる電流が P 型トランジスタ 5 3 に流れる電流よりも大きくなって制御電位 V_C が低下し、P 型トランジスタ 2 7 に流れる電流が増加して V_O が上昇する。

【 0 0 5 6 】

したがって、P 型トランジスタ 5 3 のしきい値電圧 V_{TP53} と P 型トランジスタ 5 4 のしきい値電圧 V_{TP54} とが等しい場合は、 V_O は V_I に等しくなる。しかし、P 型トランジスタ 5 3 のしきい値電圧 V_{TP53} と P 型トランジスタ 5 4 のしきい値電圧 V_{TP}

50

5 4 とが一致しない場合は、オフセット電圧 $V_{OF} = V_I - V_O = |V_{TP54}| - |V_{TP53}|$ が発生する。たとえば $|V_{TP53}|$ が $|V_{TP54}|$ よりも高い場合、 V_O が V_I よりも高い状態で差動増幅回路 5 1 が安定する。このオフセット電圧 V_{OF} は、図 4 で示したオフセットキャンセル動作によって補償される。

【0057】

この実施の形態 3 でも、実施の形態 2 と同じ効果が得られる。

【0058】

次に、この実施の形態 3 の変更例について説明する。図 16 の変更例では、図 5 のスイッチング素子 S 2 および定電流源 5 2 が P 型トランジスタ 5 7 およびスイッチ 5 8 で置換される。P 型トランジスタ 5 7 は高電位 V_{H1} のラインとノード N 5 2 との間に接続され、そのゲートはスイッチ 5 8 の共通端子 5 8 c に接続される。スイッチ 5 8 の一方端子 5 8 a はバイアス電位 V_{BP} を受け、その他方端子 5 8 b は高電位 V_{H1} のラインに接続される。図 15 のスイッチング素子 S 2 がオンする期間（図 4 の時刻 0 ~ t_4 ）では、スイッチ 5 8 の端子 5 8 a, 5 8 c 間が導通して N 型トランジスタ 5 7 のゲートにバイアス電位 V_{BP} が与えられ、P 型トランジスタ 5 7 は飽和領域で動作して定電流 I を流す。図 15 のスイッチング素子 S 2 がオフする期間では、スイッチ 5 8 の端子 5 8 b, 5 8 c 間が導通して N 型トランジスタ 5 7 のゲートに高電位 V_{H1} が与えられ、P 型トランジスタ 5 7 はオフする。この変更例でも、実施の形態 3 と同じ効果が得られる。

10

【0059】

図 17 の画素表示回路 5 9 は、図 15 の画素表示回路 5 0 の E L 駆動回路 1 4 を図 1 2 の E L 駆動回路 4 1 で置換したものである。この変更例でも、実施の形態 3 と同じ効果が得られる。

20

【0060】

[実施の形態 4]

図 18 は、この発明の実施の形態 4 による E L 表示装置に含まれる画素表示回路 6 0 の構成を示すブロック図であって、図 2 と対比される図である。図 2 を参照して、この画素表示回路 6 0 が図 2 の画素表示回路 2 と異なる点は、E L 駆動回路 1 4 が E L 駆動回路 6 1 で置換され、E L 駆動回路 6 1 の制御ノード N 2 7 が差動増幅回路 1 3 の反転入力端子（-）に接続され、オフセット補償回路 1 2 の出力電位 V_I が差動増幅回路 1 3 の非反転入力端子（+）に入力されている点である。

30

【0061】

図 19 は、図 18 に示した画素表示回路 6 0 の構成を詳細に示す回路図である。E L 駆動回路 6 1 は、図 3 の E L 駆動回路 1 4 の P 型トランジスタ 2 7 を N 型トランジスタ 6 2 で置換したものである。差動増幅回路 1 3 の N 型トランジスタ 2 3 のゲート（反転入力端子）は制御ノード N 2 7 に接続され、N 型トランジスタ 2 4 のゲート（非反転入力端子）はノード N A に接続され、ノード N 2 1 はスイッチング素子 S 1 を介して N 型トランジスタ 6 2 のゲートに接続される。

【0062】

次に、差動増幅回路 1 3 および E L 駆動回路 6 1 の動作について説明する。スイッチング素子 S 1, S 2 がオンすると、差動増幅回路 1 3 が活性化される。N 型トランジスタ 2 4 には、ノード N A の電位 V_I に応じた値の電流が流れる。N 型トランジスタ 2 4 と P 型トランジスタ 2 2 は直列接続され、P 型トランジスタ 2 2 と 2 1 はカレントミラー回路を構成するので、P 型トランジスタ 2 1 には N 型トランジスタ 2 4 の電流に応じた値の電流が流れる。N 型トランジスタ 2 3 には、制御ノード N 2 7 の電位 V_O に応じた値の電流が流れる。

40

【0063】

V_O が V_I よりも高い場合は、P 型トランジスタ 2 1 に流れる電流が N 型トランジスタ 2 3 に流れる電流より小さくなって制御電位 V_C が低下し、N 型トランジスタ 6 2 に流れる電流が減少して制御ノード N 2 7 の電位 V_O が低下する。 V_O が V_I よりも低い場合は、P 型トランジスタ 2 1 に流れる電流が N 型トランジスタ 2 3 に流れる電流より大き

50

くなって制御電位 V_C が上昇し、N型トランジスタ 62 に流れる電流が増加して V_O が低下する。

【0064】

したがって、N型トランジスタ 23 のしきい値電圧 V_{TN23} とN型トランジスタ 24 のしきい値電圧 V_{TN24} とが等しい場合は、 $V_O = V_I$ となる。しかし、N型トランジスタ 23 のしきい値電圧 V_{TN23} とN型トランジスタ 24 のしきい値電圧 V_{TN24} とが一致しない場合は、オフセット電圧 $V_{OF} = V_I - V_O = V_{TN24} - V_{TN23}$ が発生する。たとえば V_{TN24} が V_{TN23} よりも高い場合、 V_O が V_I よりも低い状態で差動増幅回路 13 が安定する。このオフセット電圧 V_{OF} は、オフセット補償回路 12 によって補償される。

10

【0065】

この実施の形態 4 では、EL 駆動回路 61 はN型トランジスタ 62 を用いたソースフォロワ回路になっており、発振動作が生じ難い構成になっている。ただし、N型トランジスタ 62 のしきい値電圧分だけ高電位 V_{H1} を図 3 の場合よりも高くする必要がある。本発明では、垂直走査回路 3 によって対応の行が選択されていない場合は、スイッチング素子 S_2 をオフして高電位 V_{H1} のラインと低電位 V_{L1} のラインとの間に流れる電流を遮断するので、高電位 V_{H1} を高くしたことによる消費電流の増大は小さい。

【0066】

以下、この実施の形態 4 の種々の変更例について説明する。図 20 の画素表示回路 65 は、図 19 の画素表示回路 60 の EL 駆動回路 61 を EL 駆動回路 66 で置換したものである。EL 駆動回路 66 は、図 12 の EL 駆動回路 41 のN型トランジスタ 43 をP型トランジスタ 67 で置換したものである。

20

【0067】

V_O が V_I よりも高い場合は、P型トランジスタ 21 に流れる電流がN型トランジスタ 23 に流れる電流よりも小さくなって制御電位 V_C が低下し、P型トランジスタ 67 に流れる電流が増加して制御ノード N_{27} の電位 V_O が低下する。 V_O が V_I よりも低い場合は、P型トランジスタ 21 に流れる電流がN型トランジスタ 23 に流れる電流よりも大きくなって制御電位 V_C が上昇し、P型トランジスタ 67 に流れる電流が増加して V_O が低下する。したがって、N型トランジスタ 23 のしきい値電圧 V_{TN23} とN型トランジスタ 24 のしきい値電圧 V_{TN24} とが等しい場合は、 $V_O = V_I$ となる。

30

【0068】

この変更例では、EL 駆動回路 66 はP型トランジスタ 67 を用いたソースフォロワ回路になっており、発振動作が生じ難い構成になっている。ただし、P型トランジスタ 67 のしきい値電圧分だけ低電位 V_{L1} を図 3 の場合よりも低くする必要がある。本発明では、垂直走査回路 3 によって対応の行が選択されていない場合は、スイッチング素子 S_2 をオフして高電位 V_{H1} のラインと低電位 V_{L1} のラインとの間に流れる電流を遮断するので、低電位 V_{L1} を低くしたことによる消費電流の増大は小さい。

【0069】

また、図 21 の画素表示回路 70 は、図 19 の画素表示回路 60 の差動増幅回路 13 を図 15 の差動増幅回路 51 で置換したものである。また、図 22 の画素表示回路 71 は、図 20 の画素表示回路 60 の差動増幅回路 13 を図 15 の差動増幅回路 51 で置換したものである。これらの変更例でも、発振動作が生じることを防止することができる。

40

【0070】

[実施の形態 5]

上記画素表示回路においてスイッチング素子 S_1 は、実際には、N型トランジスタ、あるいはP型トランジスタ、あるいは並列接続されたN型トランジスタおよびP型トランジスタで構成される。スイッチング素子 S_1 を構成するトランジスタがオフするとき、トランジスタのゲート・ドレイン間あるいはゲート・ソース間に存在する寄生容量により、制御電位 V_C が変化して所定の値からずれるという問題がある。このとき変化する電圧は、フィードスルー電圧と呼ばれる。たとえば図 3 のキャパシタ 29 は、フィードスルー電圧

50

の低減化に一定の効果を発揮するが充分ではない。この実施の形態 5 では、この問題の解決が図られる。

【0071】

図 23 は、この発明の実施の形態 5 による EL 表示装置に含まれる画素表示回路 75 の構成を示す回路図であって、図 19 と対比される図である。図 23 を参照して、この画素表示回路 75 が図 19 の画素表示回路 60 と異なる点は、フィードスルー補償回路 76 が追加され、EL 駆動回路 61 が EL 駆動回路 78 で置換されている点である。

【0072】

フィードスルー補償回路 76 は、スイッチング素子 S3, S4 およびキャパシタ 77 を含む。スイッチング素子 S3, S4 は、制御ノード N27 とサンプルホールド回路 11 のノード NG との間に直列接続される。スイッチング素子 S3 は、垂直走査回路 3 から信号線 SL を介して与えられる制御信号によって制御され、スイッチング素子 S1 と同時にオン/オフする。スイッチング素子 S4 は、垂直走査回路 3 から信号線 SL を介して与えられる制御信号によって制御され、スイッチング素子 S1, S3 がオフしたことに応じてオンする。キャパシタ 77 は、N 型トランジスタ 62 のゲートと、スイッチング素子 S3, S4 間のノード N77 との間に接続される。EL 駆動回路 78 は、図 19 の EL 駆動回路 61 からキャパシタ 29 を除去したものである。

10

【0073】

図 24 は、フィードスルーキャンセル動作を示すタイムチャートである。図 24 において、時刻 t_0 においてスイッチング素子 S1, S3 がともにオンし、図 4 で示したオフセットキャンセル動作が行なわれ、ノード N29 に制御電位 VC が与えられ、ノード N27, N77 に $V_O = V_G$ が与えられる。

20

【0074】

時刻 t_1 においてスイッチング素子 S1, S3 がオフすると、スイッチング素子 S1, S3 によってフィードスルー電圧が発生する。今、スイッチング素子 S1 のみについて考える。スイッチング素子 S1 がオフしたことによりノード N29 に $-\Delta V_1$ のフィードスルー電圧が生じたとすると、ノード N29 の電位 VC が ΔV_1 だけ低下する。キャパシタ 77 の容量値はノード N77 の寄生容量値よりも十分に大きく設定されているので、この変化分はキャパシタ 77 によりノード N77 にほぼ 100% 伝達される。同様に、スイッチング素子 S3 がオフしたことによりノード N77 の電位 $V_O = V_G$ が ΔV_3 だけ低下し、この変化分がノード N29 にほぼ 100% 伝達される。最終的に、ノード N77 の電位は $V_O = V_G$ から $\Delta V_1 + \Delta V_3$ だけ低下し、同様にノード N29 の電位は VC から $\Delta V_1 + \Delta V_3$ だけ低下する。

30

【0075】

次に時刻 t_2 においてスイッチング素子 S4 がオンすると、ノード N77 の電位が低インピーダンス状態にあるノード NG の電位 V_G になる。つまり、ノード N77 の電位が $\Delta V_1 + \Delta V_3$ だけ上昇する。この変化分は、キャパシタ 77 を介してノード N29 に伝達され、ノード N29 の電位が VC に戻る。このようにしてフィードスルー電圧がキャンセルされる。

【0076】

なお、キャパシタ 77 は、スイッチング素子 S4 がオンしている間は、その一方電極が一定電位 V_G に接続されているので、ノード N29 の電位保持容量として機能する。

40

【0077】

図 25 は、実施の形態 5 の変更例を示す回路図である。この画素表示回路 80 が図 23 の画素表示回路 75 と異なる点は、フィードスルー補償回路 76 がフィードスルー補償回路 81 で置換されている点である。フィードスルー補償回路 81 は、スイッチング素子 S3, S4 およびキャパシタ 77 を含む。スイッチング素子 S3 は、差動増幅回路 13 の N 型トランジスタ 23 のゲートと制御ノード N27 との間に接続される。スイッチング素子 S4 は、サンプルホールド回路 11 のノード NG と N 型トランジスタ 23 のゲートとの間に接続される。キャパシタ 77 は、ノード N29 とスイッチング素子 S3, S4 間のノード

50

ドN77との間に接続される。この変更例では、EL駆動回路78から差動増幅回路13への帰還ルートの配線とスイッチング素子S3用の配線が共有されるので、図23の画素表示回路75に比べて回路の占有面積が低減される。ただし、N型トランジスタ23のゲート容量がノードN77の寄生容量として作用するというデメリットがある。

【0078】

[実施の形態6]

本発明のEL表示装置を生産する場合、EL表示装置として組み立てたときの歩留り（良品率）が重要になる。EL表示装置の歩留りは、占有面積が大きな画素アレイ2の欠陥率で大部分が決まる。EL表示装置の製造コストを低減するためには、できるだけ製造工程の前段階で不良品を除去することが好ましい。つまり、EL表示装置として組立ててEL素子の表示特性を光学的に検査する段階で不良品を検出するよりも、画素表示回路が形成された段階で電氣的な検査で不良品を検出した方が製造コストの低減化に有効である。この実施の形態6では、画素表示回路の電氣的な検査方法について説明する。

10

【0079】

図26は、この発明の実施の形態6による画素表示回路2の検査方法を示す回路図である。図26において、この検査方法では、スイッチ85、ライトドライバ86およびセンサンプ87が用いられる。スイッチ85の共通端子はデータ線DLに接続され、その一方端子85aはライトドライバ86の出力ノードに接続され、その他方端子はセンサンプ87に接続される。

【0080】

20

まず、スイッチング素子SG, SA, SB, S1, S2をオンさせ、スイッチング素子SCをオフさせる。また、スイッチ85の端子85a, 85c間を導通させ、ライトドライバ86の入力ノードに所定の電位VGを印加する。この結果、 $V_I = V_G$ 、 $V_O = V_I - V_{OF}$ となる。

【0081】

次に、スイッチング素子SA, SBをオフにしてノードNAの電位 $V_I = V_G$ を保持する。次いでスイッチング素子SCをオンすると、ノードNBの電位がVOFだけ変化してノードNAの電位VIが $V_I = V_G + V_{OF}$ となる。この結果、 $V_O = V_G$ となる。次に、スイッチング素子S1, S2を順次オフする。以上は、図4で説明した動作と同じである。ただし、スイッチング素子S2は、オンのままでもよい。

30

【0082】

次に、ライトドライバ86の入力ノードにVGとは異なる電位（たとえば接地電位GND）を印加してデータ線DLの電位をVGとは異なる電位に設定した後、スイッチ85の端子85b, 85c間を導通させ、データ線DLをセンサンプ87の入力ノードに接続する。

【0083】

次に、スイッチング素子SBをオンさせる。この結果、データ線DLには制御ノードN27の電位VOが伝達される。この電位VOをセンサンプ87で読み取り、 $V_O = V_G$ の場合は画素表示回路2は正常であると判定し、 $V_O \neq V_G$ の場合は画素表示回路2は不良であると判定する。

40

【0084】

なお、この実施の形態6では、制御ノードN27の電位VOを読み出したが、制御ノードN27からデータ線DLに流れる電流を検出し、その検出結果に基づいて画素表示回路2の良否を判定しても良い。また、スイッチング素子SG, SA, SB, SC, S1, S2のオン/オフの組合せで、その他種々の検査方法が考えられる。

【0085】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

50

【図面の簡単な説明】

【0086】

【図1】図1は、この発明の実施の形態1によるEL表示装置の構成を示すブロック図である。

【図2】図1に示した画素表示回路の構成を示すブロック図である。

【図3】図2に示した画素表示回路の構成を示す回路図である。

【図4】図3に示した画素表示回路の動作を示すタイムチャートである。

【図5】実施の形態1の変更例を示す回路図である。

【図6】実施の形態1の他の変更例を示す回路図である。

【図7】実施の形態1のさらに他の変更例を示す回路図である。

10

【図8】実施の形態1のさらに他の変更例を示す回路図である。

【図9】実施の形態1のさらに他の変更例を示す回路図である。

【図10】実施の形態1のさらに他の変更例を示す回路図である。

【図11】実施の形態1のさらに他の変更例を示す回路図である。

【図12】図12は、この発明の実施の形態2によるEL表示装置に含まれる画素表示回路の構成を示す回路図である。

【図13】実施の形態2の変更例を示す回路図である。

【図14】実施の形態2の他の変更例を示す回路図である。

【図15】図15は、この発明の実施の形態3によるEL表示装置に含まれる画素表示回路の構成を示す回路図である。

20

【図16】実施の形態3の変更例を示す回路図である。

【図17】実施の形態3の他の変更例を示す回路図である。

【図18】図18は、この発明の実施の形態4によるEL表示装置に含まれる画素表示回路の構成を示すブロック図である。

【図19】図18に示した画素表示回路の構成を示す回路図である。

【図20】実施の形態4の変更例を示す回路図である。

【図21】実施の形態4の他の変更例を示す回路図である。

【図22】実施の形態4のさらに他の変更例を示す回路図である。

【図23】図23は、この発明の実施の形態5によるEL表示装置に含まれる画素表示回路の構成を示す回路図である。

30

【図24】図23に示した画素表示回路の動作を示すタイムチャートである。

【図25】実施の形態5の変更例を示す回路図である。

【図26】図26は、この発明の実施の形態6による画素表示回路の検査方法を示す回路図である。

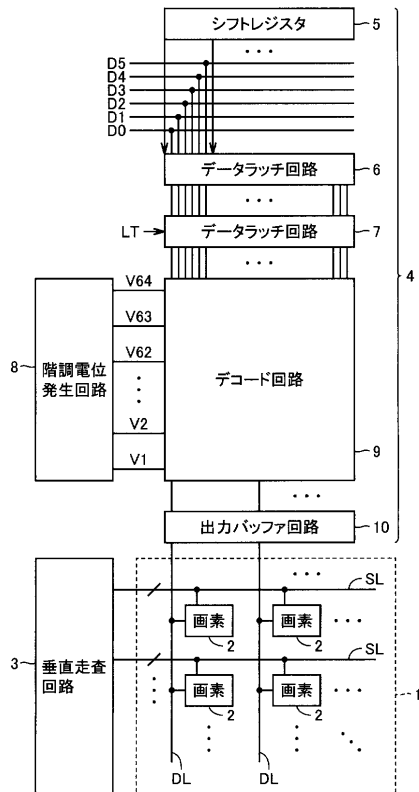
【符号の説明】

【0087】

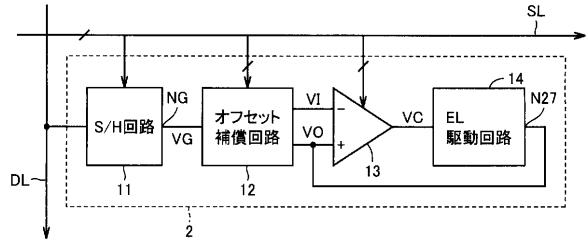
1 画素アレイ、2, 35, 36, 38, 39, 40, 50, 59, 60, 65, 70, 71, 75, 80 画素表示回路、DL データ線、SL 信号線、3 垂直走査回路、4 水平走査回路、5 シフトレジスタ、6, 7 データラッチ回路、8 階調電位発生回路、9 デコード回路、10 出力バッファ回路、11 サンプルホールド回路、12 オフセット補償回路、13, 51 差動増幅回路、14, 31, 32, 41, 46, 47, 61, 66, 78 EL駆動回路、SG, SA, SB, SC, S1~S4 スイッチング素子、15, 16, 29, 37, 45, 77 キャパシタ、21, 22, 27, 53, 54, 57, 67 P型トランジスタ、23, 24, 33, 43, 55, 56, 62 N型トランジスタ、25, 52 定電流源、26, 44 EL素子、28, 40, 42 抵抗素子、34, 58, 85 スイッチ、76, 81 フィードスルー補償回路、86 ライトドライバ、87 センスアンプ。

40

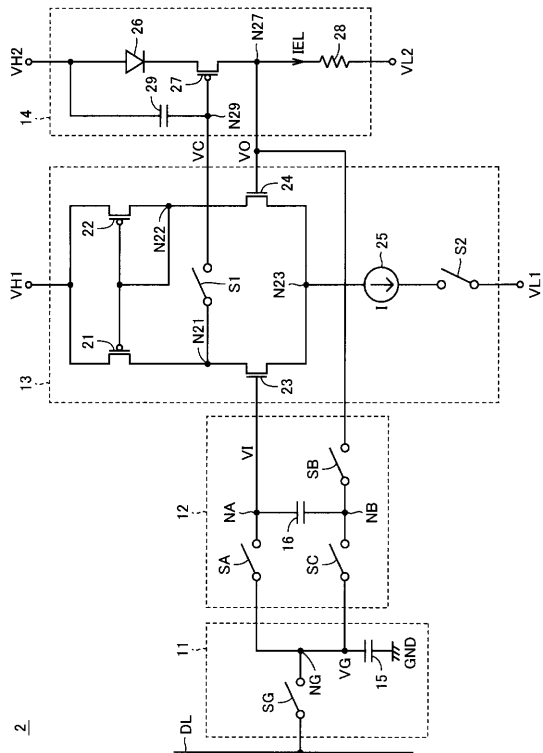
【図 1】



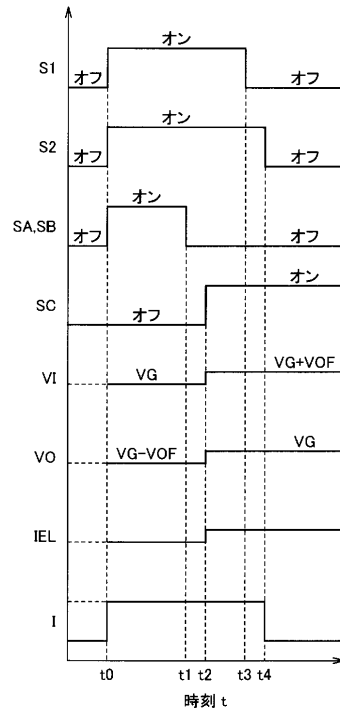
【図 2】



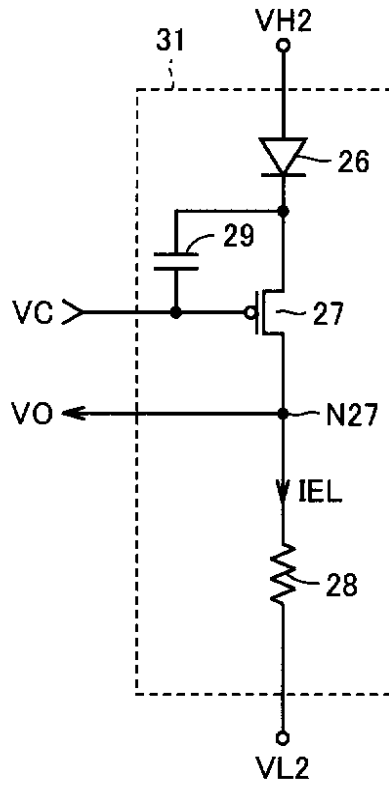
【図 3】



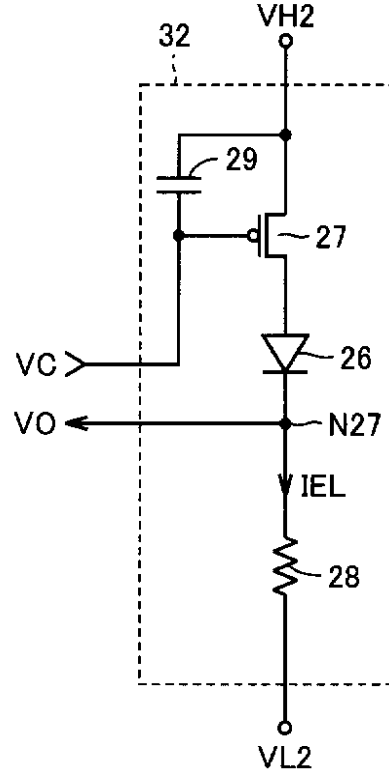
【図 4】



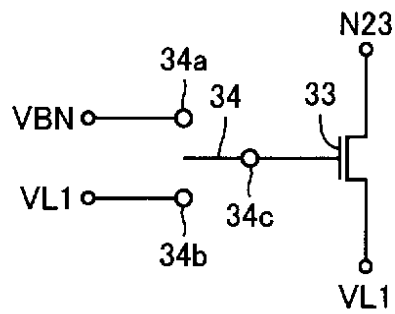
【図 5】



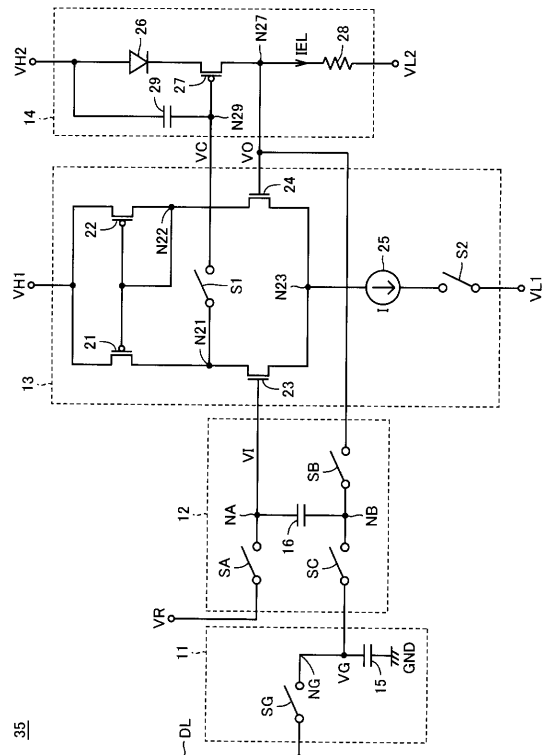
【図 6】



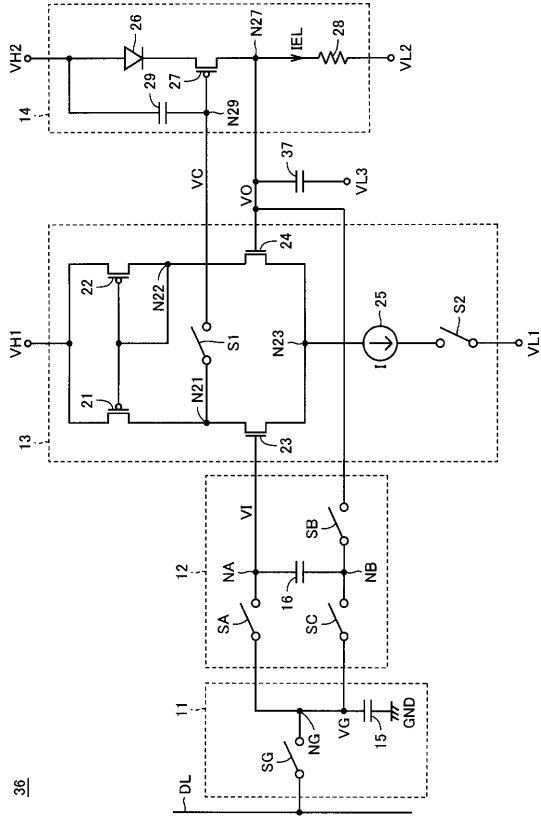
【図 7】



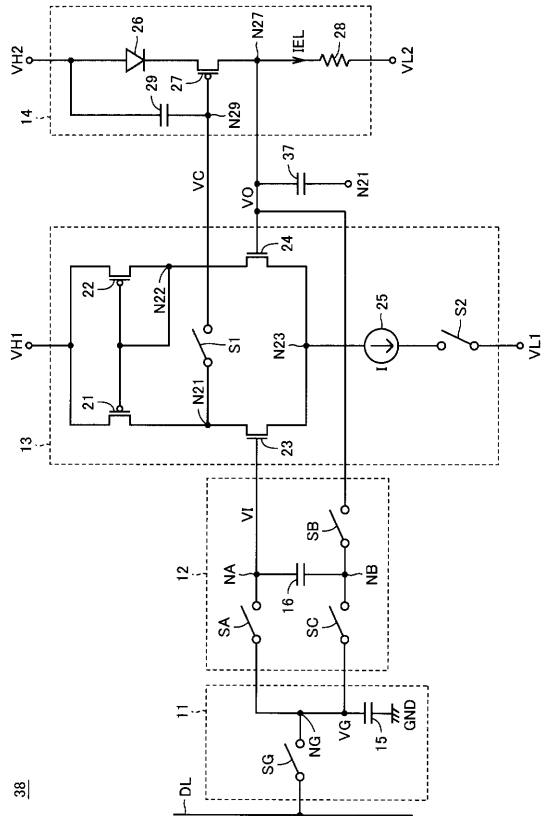
【図 8】



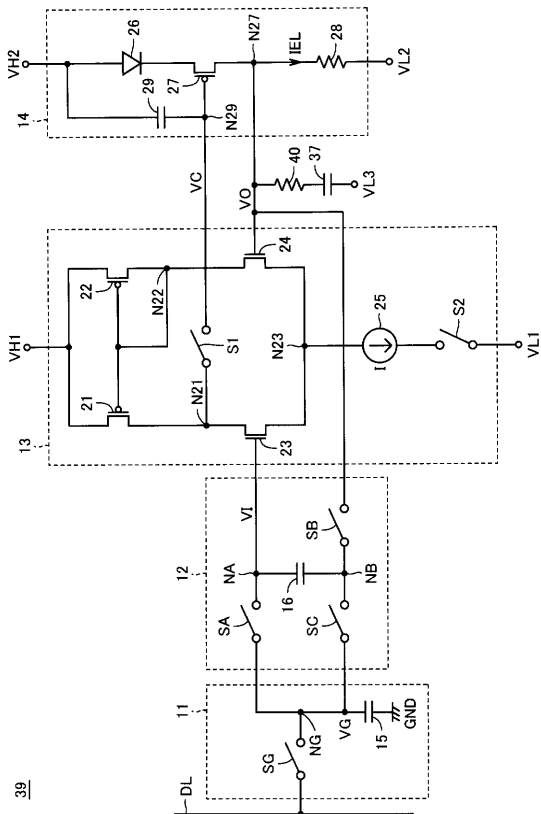
【 図 9 】



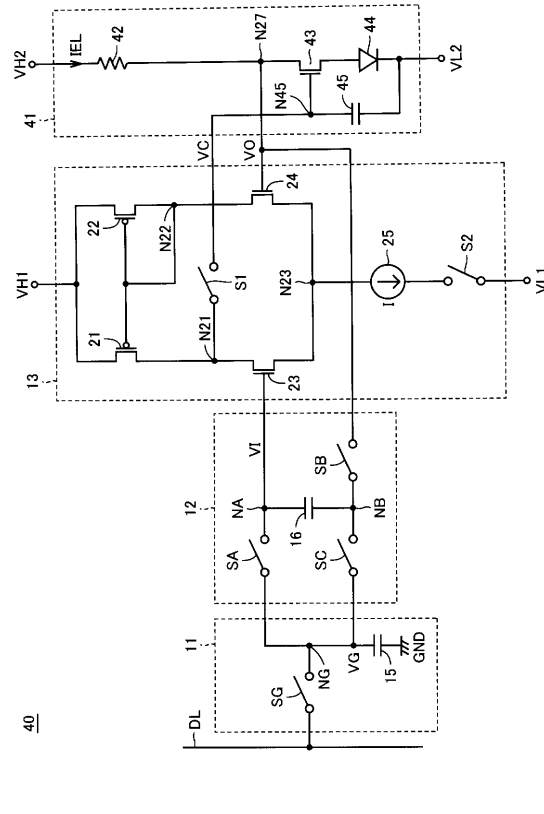
【 図 1 0 】



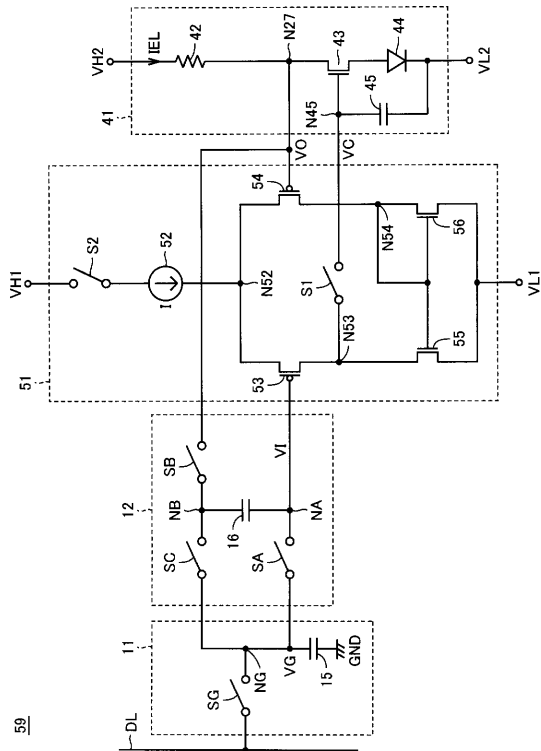
【 図 1 1 】



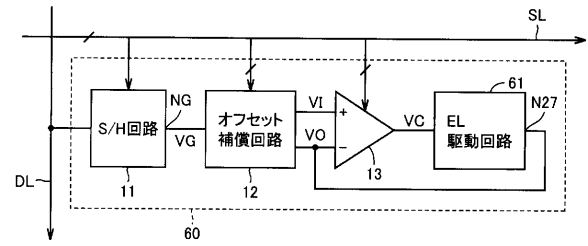
【 図 1 2 】



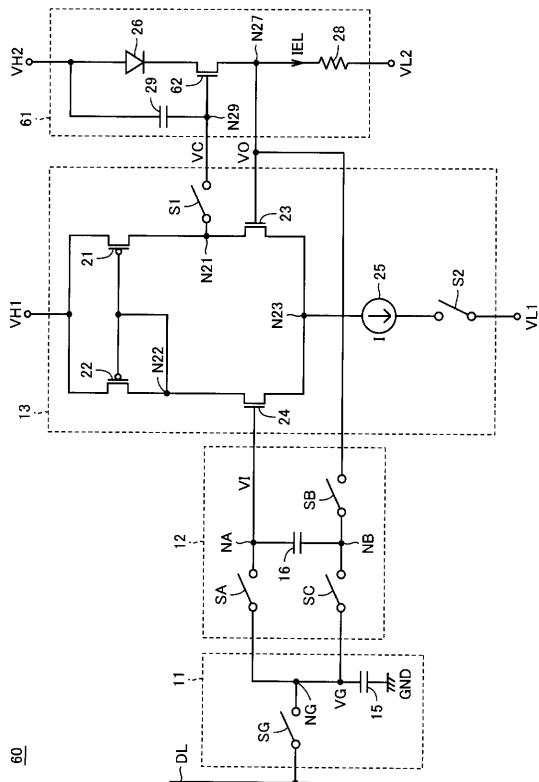
【図 17】



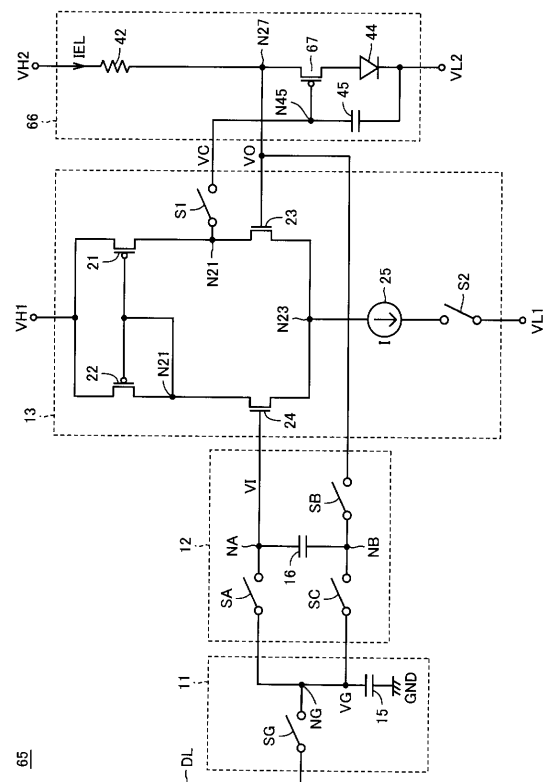
【図 18】



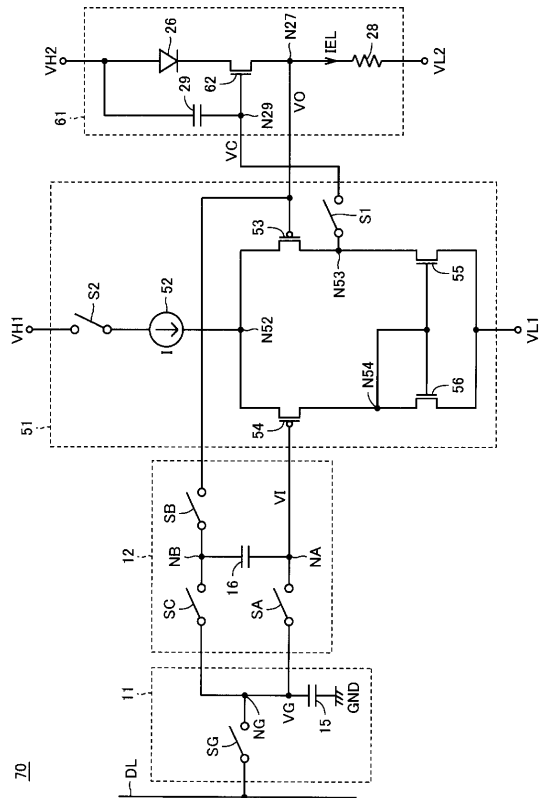
【図 19】



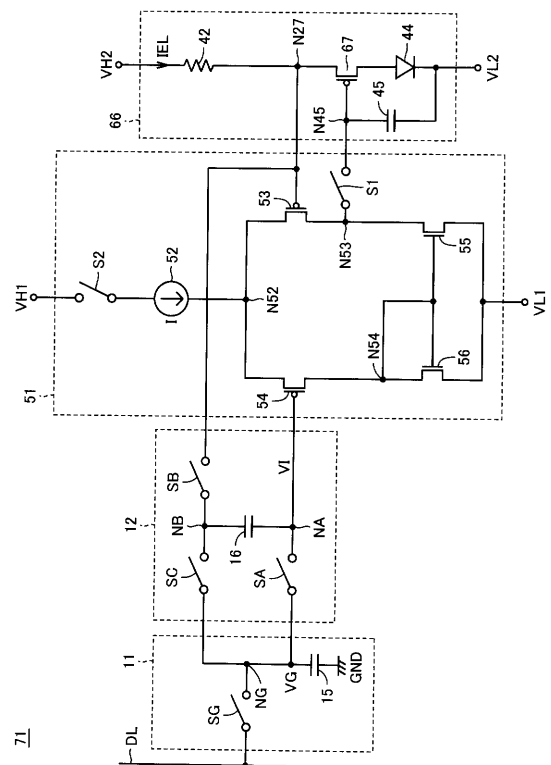
【図 20】



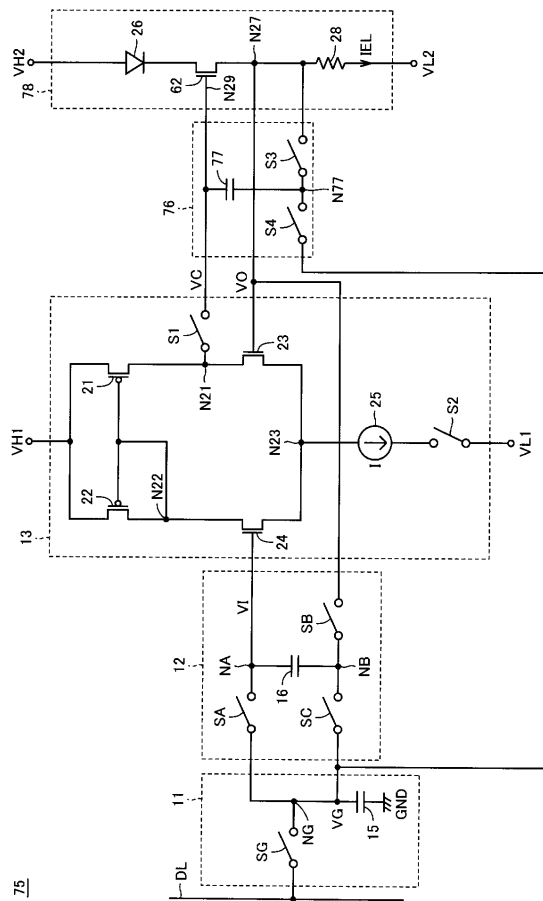
【図 2 1】



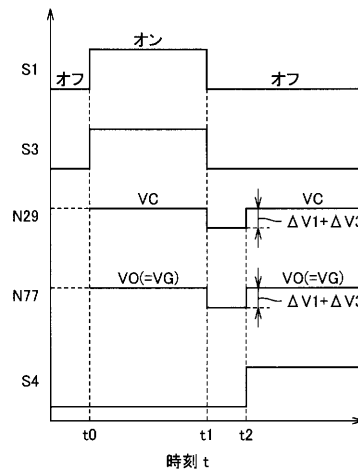
【図 2 2】



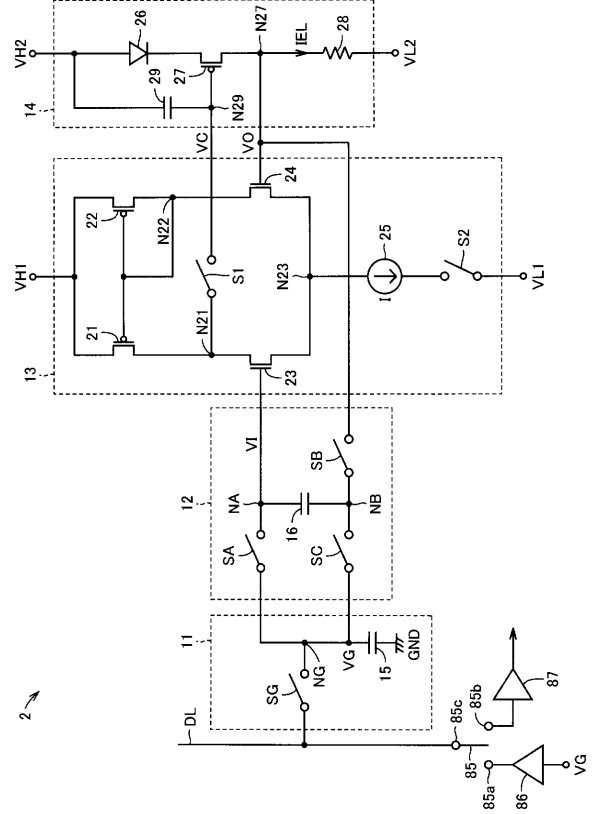
【図 2 3】



【図 2 4】



【 図 2 6 】



フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード(参考)
	G 0 9 G 3/20	6 4 2 B
	G 0 9 G 3/20	6 4 2 P
	G 0 9 G 3/20	6 7 0 Q
	H 0 5 B 33/10	
	H 0 5 B 33/12	Z
	H 0 5 B 33/14	A

(72)発明者 飛田 洋一

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

Fターム(参考) 3K007 AB04 AB17 BA06 DB03 FA00 GA00

5C080 AA06 BB05 DD05 EE29 EE30 FF11 JJ02 JJ03 JJ04

专利名称(译)	图像显示装置及其检查方法		
公开(公告)号	JP2005195854A	公开(公告)日	2005-07-21
申请号	JP2004001882	申请日	2004-01-07
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机株式会社		
[标]发明人	飛田 洋一		
发明人	飛田 洋一		
IPC分类号	H05B33/10 G01R31/00 G09F9/30 G09G3/20 G09G3/30 H01L51/50 H03F3/45 H03F3/72 H05B33/00 H05B33/08 H05B33/12 H05B33/14 H05B37/02		
CPC分类号	G09G3/32 G09G3/006 G09G3/3233 G09G2300/0809 G09G2300/0819 G09G2300/0838 G09G2300/0852 G09G2310/0275 G09G2320/0233 G09G2330/021		
FI分类号	G09G3/30.J G09G3/30.K G09G3/20.622.A G09G3/20.623.A G09G3/20.624.B G09G3/20.642.B G09G3/20.642.P G09G3/20.670.Q H05B33/10 H05B33/12.Z H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K007/AB04 3K007/AB17 3K007/BA06 3K007/DB03 3K007/FA00 3K007/GA00 5C080/AA06 5C080/BB05 5C080/DD05 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE04 3K107/GG56 3K107/HH05 5C380/AA01 5C380/AB06 5C380/AB23 5C380/AB34 5C380/BA01 5C380/BA28 5C380/BA29 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB06 5C380/CA04 5C380/CA05 5C380/CA08 5C380/CA12 5C380/CA26 5C380/CA33 5C380/CB01 5C380/CC03 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC61 5C380/CC66 5C380/CC68 5C380/CD039 5C380/CD049 5C380/CE04 5C380/CF07 5C380/CF09 5C380/CF22 5C380/CF26 5C380/CF28 5C380/CF41 5C380/CF48 5C380/DA02 5C380/DA06 5C380/FA02 5C380/FA21 5C380/GA05		
代理人(译)	森田俊夫 堀井裕 酒井 将行		
外部链接	Espacenet		

摘要(译)

提供了一种图像显示装置，该图像显示装置在像素之间的显示特性上具有很小的变化。在该像素显示电路2中，包括串联连接的EL元件26，P型晶体管27和电阻元件28的EL驱动电路14以及控制节点N27的电势VO等于节点NA的电势VI。因此，提供了用于设置P型晶体管27的栅极的电位VC的差分放大器电路13和用于消除差分放大器电路13的偏置电压VOF的偏置补偿电路12。因此，流经EL元件26的电流值变化的唯一原因是电阻元件28的电阻值。[选择图]图3

