

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2004-93994
(P2004-93994A)

(43) 公開日 平成16年3月25日 (2004.3.25)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
G09G 3/30	G09G 3/30 J	3K007
G09G 3/20	G09G 3/20 611H	5C080
H05B 33/14	G09G 3/20 624B	
	G09G 3/20 642A	
	H05B 33/14 A	
審査請求 未請求 請求項の数 6 O L (全 26 頁)		

(21) 出願番号	特願2002-256232 (P2002-256232)	(71) 出願人	000153878
(22) 出願日	平成14年8月30日 (2002.8.30)		株式会社半導体エネルギー研究所
			神奈川県厚木市長谷398番地
		(72) 発明者	犬飼 和隆
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		F ターム (参考)	3K007 AB02 AB17 BA06 DB03 GA04
			5C080 AA06 AA18 BB05 DD05 DD28
			EE28 FF11 JJ02 JJ03 JJ05
			JJ06

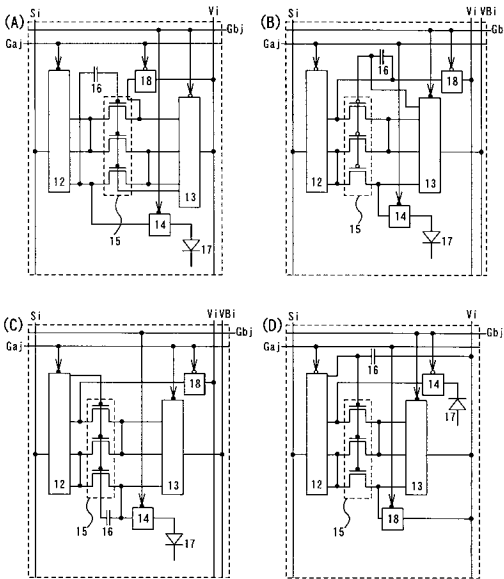
(54) 【発明の名称】 表示装置、発光装置及び電子機器

(57) 【要約】

【課題】 O L E D素子駆動電流のバラつきが十分に抑制された A M型 O L E D表示装置を提供することを課題とする。

【解決手段】 本発明は、画素にデータ電流を読み込むときには該複数のトランジスタを並列接続状態にし、自発光素子を発光させるときには該複数のトランジスタを直列接続状態にする。その結果、同一画素内の駆動用素子を構成する複数のトランジスタ間にバラつきが存在しても、その影響は小さく抑制されるため、実用上問題となるほど画素間で発光輝度がバラついてしまうことは防止することができる。

【選択図】 図 5



【特許請求の範囲】

【請求項 1】

複数の画素を備えた表示装置であって、
該画素は、発光素子と、複数のトランジスタを備えた駆動用素子を有し、
少なくとも、前記駆動用素子に備えられた複数のトランジスタが並列接続の状態と、前記
駆動用素子に備えられた複数のトランジスタが直列接続の状態とを、とることが可能とな
る手段を備えていることを特徴とする表示装置。

【請求項 2】

複数の画素を備えた表示装置であって、
該画素は、発光素子と、複数のトランジスタを備えた駆動用素子と、容量素子とを有し、 10
少なくとも、前記駆動用素子に備えられた複数のトランジスタが並列接続の状態と、前記
駆動用素子に備えられた複数のトランジスタが直列接続の状態とを、とることが可能とな
る手段を有し、
前記並列接続の状態と前記直列接続の状態とのいずれの状態においても、前記駆動用素子
に備えられた複数のトランジスタのうちで前記直列接続の状態において最もソース側に位
置するトランジスタの、ゲートとソースとの間となる位置に、前記容量素子が備えられて
いることを特徴とする表示装置。

【請求項 3】

複数の画素を備えた表示装置であって、
該画素は、発光素子と、駆動用素子とを有し、 20
前記画素にデータを書込むときには、前記駆動用素子に書込みデータ電流が流れ、
前記画素の前記発光素子が発光するときには、前記駆動用素子に発光素子駆動電流が流れ
、
前記書込みデータ電流は、前記発光素子駆動電流の 9 倍以上 2.5 倍以下の大きさであるこ
とを特徴とする表示装置。

【請求項 4】

複数の画素を備えた表示装置であって、
該画素は、発光素子と、複数のトランジスタを備えた駆動用素子とを有し、
前記画素にデータを書込むときには、前記駆動用素子に備えられた複数のトランジスタを
並列接続状態にして書込みデータ電流を流し、 30
前記画素の前記発光素子が発光するときには、前記駆動用素子に備えられた複数のトラン
ジスタを直列接続状態にして発光素子駆動電流を流し、
前記書込みデータ電流は、前記発光素子駆動電流の 9 倍以上 2.5 倍以下の大きさであるこ
とを特徴とする表示装置。

【請求項 5】

複数の画素を備えた表示装置であって、
該画素は、発光素子と、複数のトランジスタを備えた駆動用素子と、容量素子とを有し、
前記画素にデータを書込むときには、前記駆動用素子に備えられた複数のトランジスタを
並列接続状態にして書込みデータ電流を流し、
前記画素の前記発光素子が発光するときには、前記駆動用素子に備えられた複数のトラン 40
ジスタを直列接続状態にして発光素子駆動電流を流し、
前記並列接続状態と前記直列接続状態とのいずれの状態においても、前記駆動用素子に備
えられた複数のトランジスタのうちで前記直列接続状態において最もソース側に位置す
るトランジスタの、ゲートとソースとの間となる位置に、前記容量素子が備えられてい
ることを特徴とする表示装置。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一項に記載の、前記表示装置を備えていることを特徴と
する電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、発光装置及び表示装置の技術に関する。さらには、前記発光装置または表示装置を搭載した電子機器に関する。本明細書における発光装置とは、発光素子から放出される光を利用した装置を指す。発光素子の例としては、有機発光ダイオード（OLED）素子、無機材料系の発光ダイオード素子、電界放出発光素子（FED素子）などがある。本明細書における表示装置とは、複数の画素をマトリクス状に配置し画像情報を視覚的に伝達する装置、いわゆるディスプレイを指す。

【0002】**【従来の技術】**

近年、画像・映像の表示を行う表示装置の重要性がますます高まっている。表示装置としては、液晶素子を用いて画像の表示を行う液晶表示装置が、高画質、薄型、軽量などの利点を活かして、携帯電話やパソコンをはじめとする種々の用途の表示装置として幅広く用いられている。 10

【0003】

他方で、発光素子を用いた表示装置、発光装置の開発も進められている。この発光素子には、有機材料、無機材料、薄膜材料、バルク材料、分散材料、と広汎にわたる様々な種類の材料を用いた素子が存在する。

【0004】

なかでも表示装置向けに現在有望視されている代表的な発光素子は、有機発光ダイオード（OLED）素子である。OLED素子を発光素子として用いたOLED表示装置は、既存の液晶表示装置以上に薄型、軽量であるといった特長に加え、動画表示に適した高応答速度、高視野角、低電圧駆動などの特長も有している。そのため携帯電話や携帯情報端末（PDA）をはじめテレビ、モニターなど、幅広い用途が見込まれ、次世代ディスプレイとして注目されている。 20

【0005】

特にアクティブマトリクス（AM）型のOLED表示装置は、パッシブマトリクス（PM）型では困難な、高解像度（大画素数）、高精細（ファインピッチ）、大画面の表示も可能であるうえ、PM型を上回る低消費電力動作で高信頼性を有し、実用化への期待は大変強い。

【0006】

OLED素子は陽極と、陰極と、該陽極と該陰極との間に挟まれた有機化合物含有層とを有する構造をしている。通常、OLED素子に流れる電流量とOLED素子の発光輝度とは、概ね比例する関係にある。AM型OLED表示装置の画素では、該画素のOLED素子の発光輝度を制御する駆動用トランジスタが、OLED素子に直列に挿入されている。 30

【0007】

AM型OLED表示装置において画像を表示する駆動方式には、電圧入力方式と電流入力方式がある。前者の電圧入力方式は、画素に入力するビデオ信号として、電圧値形式データのビデオ信号を入力する。他方、後者の電流入力方式は、画素に入力するビデオ信号として、電流値形式データのビデオ信号を入力する。

【0008】

電圧入力方式では通常、画素の駆動用トランジスタのゲート電極にビデオ信号の電圧が直接印加される。そのためOLED素子を定電流発光させる場合、駆動用トランジスタの電気的特性が各々の画素間で均一でなくバラつきを有していると、各画素のOLED素子駆動電流にバラつきが生じる。OLED素子駆動電流のバラつきは、OLED素子の発光輝度のバラつきとなる。OLED素子の発光輝度のバラつきは、画面全体でみると砂嵐状あるいは絨毯模様のムラやとして、表示画像の品位を低下させる。製造工程によっては縞状のムラとなることもある。 40

【0009】

特に、現在利用可能なOLED素子は発光効率が低く、発光装置としての用途に十分な高輝度を得るためには、比較的大きな電流が必要とされる。その結果、電流能力が低い非晶 50

質（アモルファス）シリコン薄膜トランジスタ（TFT）を、駆動用トランジスタとして用いることは難しい。そこで、駆動用トランジスタとしては、多結晶（ポリ）シリコンTFTが用いられる。しかしポリシリコンでは、結晶粒界における欠陥等に起因して、TFTの電気的特性にバラつきが生じやすい問題がある。

【0010】

このような電圧入力方式における、OLED素子駆動電流のバラつきを防ぐための有効な手段の一つとして、電流入力方式がある。電流入力方式では通常、ビデオ信号のデータ電流値を記憶し、記憶した電流値と同一もしくは数倍（1未満を含む正の実数倍）の電流を、OLED素子駆動電流として供給する。

【0011】

電流入力方式のAM型OLED表示装置の画素回路で、代表的な公知例を図12（A）に示す（A. Yumoto et al., Proc. Asia Display / IDW '01 p.p. 1395-1398（2001）等を参照）。516がOLED素子である。この画素回路は、カレントミラー回路を用いている。そこでカレントミラーを構成する二つのトランジスタが同一の電気的特性さえ備えていれば、ビデオ信号のデータ電流値を正確に記憶することができる。相異なる画素の駆動用トランジスタの電気的特性間にバラつきがあっても、同一画素内の前記二つのトランジスタが各々同一の電気的特性を備えてさえいれば、OLED素子の発光輝度のバラつきは防がれることになる。

【0012】

電流入力方式のAM型OLED表示装置の画素回路で、代表的な他の公知例を図12（B）に示す（I. M. Hunter et al., Proc. AM-LCD 2000 p.p. 249-252（2000）等を参照）。611がOLED素子である。この画素回路は、駆動用トランジスタのゲート電極にビデオ信号に対応する電圧を書込むときに、駆動用トランジスタ自身のドレイン電極とゲート電極を短絡する。その状態でビデオ信号のデータ電流を流し、その後ゲート電極を電気的に絶縁させる。するとOLED素子を発光させるときに、駆動用トランジスタを飽和領域にて動作させるようにすれば、書込み時のデータ電流と同一値の電流を、駆動用トランジスタはOLED素子に供給する。従って、各画素の駆動用トランジスタに電気的特性のバラつきが存在しても、OLED素子の発光輝度のバラつきは防がれることになる。

【0013】

【発明が解決しようとする課題】

図12（A）（B）は、上記のように正確にデータ電流値を記憶できるはずであるが、以下の深刻な問題がある。

【0014】

まず、図12（A）の画素回路における問題点は、カレントミラーを構成する二つのトランジスタが同一の電気的特性もつことが、前提条件とされていることである。設計時に工夫すれば、両トランジスタを基板上に隣り合わせに作製することも可能であるので、ある程度はバラつきを減少させることができる。とはいえ現在のポリシリコンでは、結晶粒界における欠陥等に起因して、TFTのしきい値電圧、電界効果移動度等の電気的特性に、

【0015】

具体的には、例えば64階調の画像を表示する場合には、輝度バラつきは1%以内程度に抑える必要が生じる。しかし図12（A）の画素回路では、データ電流値を1%の精度で記憶することは、現在普通に使用されるポリシリコンでは困難である。すなわち、図12（A）の画素回路を使うのみでは、画面全体でムラがない十分に均一の、高品位表示画像を得ることはできない。

【0016】

次に、図12（B）の画素回路における問題点は、画素に書込むビデオ信号データ電流と、OLED素子を発光させるときのOLED素子駆動電流とが、同一値になってしまう点

10

20

30

40

50

である。AM型OLED表示装置を作製する場合、両電流を同一値としなくてはならないという点は、事実上はかなり厳しい制約となる。

【0017】

具体的には、実際のAM型OLED表示装置においては、信号線等に多量の寄生容量、寄生抵抗がついてしまう。その結果、ビデオ信号データ電流はOLED素子駆動電流よりも大きくする措置をとることが必要な場合が、少なからず生じる。特に、ビデオ信号データ電流をアナログ値にして階調表現する場合には、暗部のビデオ信号データ電流の書込みが非常に困難となる。

【0018】

本発明は上記問題点の存在に鑑みてなされたものである。まず本発明は、図12(B)の画素回路とは異なり、画素に書込むビデオ信号データ電流と、OLED素子を発光させるときのOLED素子駆動電流との比が「1」に固定されない、AM型OLED表示装置を提供することを課題とする。次に本発明は、図12(A)の画素回路とは異なり、同一画素内の隣接設置されたトランジスタ間においてさえも、電気的特性のバラつきがある程度残存する可能性があることを前提とする。その上で本発明は、図12(A)のようなカレントミラーを用いた画素回路の場合と比較して、OLED素子駆動電流のバラつきが十分に抑制されたAM型OLED表示装置を提供することを課題とする。

【0019】

なおOLED素子以外の素子を用いた表示装置、発光装置であっても、電流駆動型の素子を用いる場合には、本発明の構成を有効に利用できる。

【0020】

【課題を解決するための手段】

本発明の表示装置、発光装置は、複数の画素を備えた表示装置であって、該画素は、発光素子と、複数のトランジスタを備えた駆動用素子を有し、少なくとも、前記駆動用素子に備えられた複数のトランジスタが並列接続の状態と、前記駆動用素子に備えられた複数のトランジスタが直列接続の状態とを、とることが可能となる手段を備えていることを特徴とする表示装置である。本明細書における発光装置とは、発光素子から放出される光を利用した装置を指す。発光素子の例としては、有機発光ダイオード(OLED)素子、無機材料系の発光ダイオード素子、電界放出発光素子(FED素子)などがある。本明細書における表示装置とは、複数の画素をマトリクス状に配置し画像情報を視覚的に伝達する装置、いわゆるディスプレイを指す。

【0021】

本発明の表示装置、発光装置の画素構成の概略について、図1(A)(B)を用いて説明する。図1(A)には、複数の画素を有する画素部において、j行i列目に配置された画素11を示す。図1(A)の画素11が備えているものを列挙すると、信号線(Si)、電源線(Vi)、第1走査線(Gaj)、第2走査線(Gbj)、第3走査線(Gcj)、第4走査線(Gdj)、第1スイッチ12、第2スイッチ13、第3スイッチ14、第4スイッチ18、駆動用素子15、容量素子16、発光素子17、対向電極19である。ただし第1スイッチ~第4スイッチ、第1走査線(Gaj)~第4走査線(Gdj)等の構成は多少変更させても、実質上の同一物は得られる。その一例が図1(B)である。図1(B)では、第4スイッチの撤去、第3走査線の第2走査線への一本化がなされている。これらも実質上は図1(A)と同一であるから、特に断らなくても図1(A)に含まれるものとする。初期化用素子等の付加物がある場合も同様である。

【0022】

なお図1(A)(B)において、容量素子16が設置されているノードの寄生容量が大きい場合などには、容量素子16は必ずしも明示的に設けていなくてもよい。

【0023】

また発光素子としては、典型的にはOLED素子が該当するため、本明細書では、発光素子17を表す記号としてダイオードの記号を用いることがある。図2~図6、図12、図13においては、発光素子を表す記号としてダイオードの記号を用いている。しかし発光

素子にダイオード特性は必須ではなく、本発明はダイオード特性をもつ発光素子の場合に限定されない。さらには、本明細書での発光素子は電流駆動型の表示用素子であればよく、自発光により表示機能を担う必要もない。例えば、液晶のような光シャッターだが、電圧値でなく電流値により制御されるものも、本明細書での発光素子に含まれるものとする。

【0024】

第1スイッチ12～第3スイッチ14や第4スイッチ18には、トランジスタなどのスイッチング機能を有する半導体素子を1個又は複数個用いることができる。同様に駆動用素子15にも、トランジスタなどの半導体素子を複数個用いることができる。第1スイッチ12～第3スイッチ14や第4スイッチ18、駆動用素子15に用いられる半導体素子の導電型(nチャネル型、pチャネル型)については、原則としては特に限定はない。もっともこれは、nチャネル型もpチャネル型も使い得るということであって、個々の具体的適用例では、特定の導電型の方が他の導電型よりも好ましい場合もある。

【0025】

第1スイッチ12は、第1走査線(Gaj)から与えられる信号によりオン又はオフが決定される。同様に、第2スイッチ13は第2走査線(Gbj)の信号、第3スイッチ14は第3走査線(Gcj)の信号、第4スイッチ18は第4走査線(Gdj)の信号により、オン又はオフが決定される。勿論図1(B)でも明らかなように、第1走査線(Gaj)、第2走査線(Gbj)、第3走査線(Gcj)、第4走査線(Gdj)の全てが存在することは必須ではないし、ある走査線が他の走査線も兼ねることもある。

【0026】

図1(A)において、第1スイッチ12は、信号線(Si)と駆動用素子15の間に設置されており、画素11に対する信号の書込みを制御する役割を果たす。また、第2スイッチ13と第4スイッチ18とは電源線(Vi)と駆動用素子15の間に設置されており、電源線(Vi)から画素11への電流の供給をオンオフ制御する。第3スイッチ14は駆動用素子15と発光素子17との間に設置されており、駆動用素子15から発光素子17への電流の供給をオンオフ制御する。

【0027】

本発明では、駆動用素子15を複数のトランジスタで構成し、画素11にビデオ信号のデータ電流を書込む場合には該複数のトランジスタの接続を並列にし、発光素子17に電流を流し発光させる場合には該複数のトランジスタの接続を直列にする。図1(A)では、走査線(Gaj～Gdj)の信号により第1スイッチ～第4スイッチをオン・オフ制御することにより、駆動用素子15の複数のトランジスタを、並列接続の状態にも直列接続の状態にもすることが可能となる。

【0028】

ここで、例として駆動用素子15が4つのトランジスタ20a～20dで構成された場合の画素11を図1(C)(D)に示し、画素11における電流の経路について以下に説明する。

【0029】

図1(C)は画素11にデータ電流を書込む場合を示し、図1(D)は発光素子を発光させる場合を示している。図1(C)では、4つのトランジスタ20a～20dは並列接続状態になっており、図1(D)では、4つのトランジスタ20a～20dは直列接続状態になっている。なお図1(C)(D)において、第1スイッチ12、第2スイッチ13、駆動用素子15、発光素子17、信号線(Si)及び電源線(Vi)以外の素子、配線は図示を省略する。

【0030】

最初に、画素11にデータ電流を書込む場合について説明する。図1(C)において、第1スイッチ12及び第2スイッチ13は、第1走査線(Gaj)及び第2走査線(Gbj)から与えられる信号によりオンになる。すると駆動用素子15は、各トランジスタがダイオード接続状態となり、かつ相互に並列接続状態になる。第3スイッチ14及び第

4 スイッチ 18 は、第 3 走査線 (G c j) 及び 第 4 走査線 (G d j) から与えられる信号によりオフになる。電流経路は、電源線 (V i) が高電位の場合、電源線 (V i) から第 2 スイッチ 13、駆動用素子 15、第 1 スイッチ 12 を通って、信号線 (S i) である。当然、電源線 (V i) が低電位の場合は逆である。このときの電流値 I_w は、ビデオ信号のデータ電流値であり、信号線駆動回路が信号線 (S i) に出力する所定の電流値である。

【0031】

次いで、発光素子 17 を発光させる場合について説明する。図 1 (D) において、第 1 スイッチ 12 及び第 2 スイッチ 13 は、第 1 走査線 (G a j) 及び 第 2 走査線 (G b j) から与えられる信号によりオフになる。すると駆動用素子 15 は、各トランジスタが相互に直列接続状態になる。第 3 スイッチ 14 及び第 4 スイッチ 18 は、第 3 走査線 (G c j) 及び 第 4 走査線 (G d j) から与えられる信号によりオンになる。電流経路は、電源線 (V i) が高電位の場合、電源線 (V i) からトランジスタ 20 a、20 b、20 c、20 d を通って発光素子 17 である。当然、電源線 (V i) が低電位の場合は逆である。このときの電流値 I_E により、発光素子 17 の発光輝度が決まる。

10

【0032】

上述したように本発明では、画素にデータ電流を書込むときには、駆動用素子 15 を構成するトランジスタ 20 a ~ 20 d を並列に使用する (図 1 (C))。他方、画素 11 が有する発光素子 17 に電流を流すとき、すなわち発光素子駆動時には、駆動用素子 15 を構成するトランジスタ 20 a ~ 20 d を直列に使用する (図 1 (D))。従って、もしトランジスタ 20 a ~ 20 d の電気的特性が同一であると仮定すれば、書込み時の電流値 I_w は、発光素子駆動時の電流値 I_E の 16 倍 (4^2 倍) となる。より一般的に、駆動用素子 15 を構成するトランジスタの数が n 個の場合を考えると、該トランジスタの全てが同一の電気的特性をもつとの条件の下では、ビデオ信号書込み時の電流値 I_w と発光素子駆動時の電流値 I_E との間に次式 (1) の関係が成立する。

20

【数 1】 $I_w = n^2 \times I_E \cdots (1)$

【0033】

なお式 (1) が厳密に成立するためには、駆動用素子 15 を構成するトランジスタの全てが同一の電気的特性をもつことが条件となる。しかし該トランジスタの電気的特性が、相互に若干のバラつきを伴っている場合であっても、近似的に式 (1) が成立するとして扱うことが現実的には可能である。

30

【0034】

よって本発明では、駆動用素子 15 を複数のトランジスタで構成し、画素 11 にビデオ信号電流を書込む場合と、発光素子を発光させる場合とにおいて、該複数のトランジスタの接続を並列と直列とに切替えて用いることで、書込み時の電流値 I_w と発光素子駆動時の電流値 I_E とを任意に設定することができる特長を有する。

【0035】

また本発明の別の特長として、駆動用素子 15 を構成する各トランジスタの電気的特性が、相互に若干のバラつきを伴っていたとしても、その影響が発光素子駆動電流 I_E に反映されてしまうのを大きく軽減できる点がある。これに関しては具体的な例をとりあげ、実施の形態 5 において説明する。

40

【0036】

図 12 (A) のようなカレントミラーを用いる画素回路においても、画素内の二つのトランジスタに関する限り、同一の電気的特性をもつことが要求されてしまう問題があった。しかし本発明では同一画素内におけるトランジスタでさえ、相互に電気的特性が若干異なることを既に前提としている。すなわち本発明は、トランジスタの特性バラつきに対する耐性の点において、電流入力方式のカレントミラーを用いる画素回路と比較して、優れている。その結果本発明では、結晶粒界における欠陥等に起因するポリシリコン TFT の電気的特性バラつきが存在しても、発光素子駆動電流 I_E を実用レベルにまで均一化することが可能となる。

50

【 0 0 3 7 】

【 発明の実施の形態 】

(実施の形態 1)

以上、本発明の表示装置、発光装置の画素の概略を図 1 を用いて述べた。実施の形態 1 では、本発明の表示装置、発光装置の画素の具体的例について、図 2 ~ 6 を用いて説明する。図 2 ~ 図 5 では、駆動用素子 1 5 を構成するトランジスタ数 n が 3 の場合の例を挙げる。図 6 では同 n が 2、4 の場合の例を挙げる。

【 0 0 3 8 】

最初の例を、図 2 を用いて説明する。

【 0 0 3 9 】

図 2 (A) には、 j 行 i 列目に配置された画素 1 1 を示す。そして画素 1 1 は、信号線 (S_i)、電源線 (V_i)、第 1 走査線 (G_{aj})、第 2 走査線 (G_{bj})、駆動用素子 1 5、第 1 スイッチ 1 2、第 2 スイッチ 1 3、第 3 スイッチ 1 4、第 4 スイッチ 1 8、容量素子 1 6、発光素子 1 7 を有する。図 2 (B) に示す画素 1 1 は、図 2 (A) に示す画素 1 1 を具体的にトランジスタで図示した一例である。

【 0 0 4 0 】

図 2 (A) と図 2 (B) の対応関係を記す。 n チャンネル型のトランジスタ 7 1 ~ 7 5 は第 1 スイッチ 1 2 に相当する。 p チャンネル型のトランジスタ 7 6 ~ 7 8 は第 2 スイッチ 1 3 に相当し、 n チャンネル型のトランジスタ 7 9 は第 3 スイッチ 1 4 に、 p チャンネル型のトランジスタ 8 5 は第 4 スイッチ 1 8 に相当する。 p チャンネル型のトランジスタ 8 0 ~ 8 2 は駆動用素子 1 5 に相当する。容量素子 8 3 は容量素子 1 6 に、発光素子 8 4 は発光素子 1 7 に相当する。

【 0 0 4 1 】

トランジスタ 7 1 ~ 7 5 の各ゲート電極は、第 1 走査線 (G_{aj}) に接続されている。容量素子 8 3 は、トランジスタ 8 0 のゲート・ソース間電圧を保持する役割を担う。なお、トランジスタ 8 0 ~ 8 2 のゲート容量が大きい場合や、該ノードの寄生容量が大きい場合などでは、容量素子 8 3 は必ずしも明示的に設けないこともある。

【 0 0 4 2 】

図 2 (B) に示す画素 1 1 に、ビデオ信号データ電流を書込むときには、第 1 走査線 (G_{aj}) に高電位信号・第 2 走査線 (G_{bj}) に低電位信号を送り、トランジスタ 7 1 ~ 7 8 をオン、トランジスタ 7 9、8 5 をオフにする。このとき、トランジスタ 8 0 ~ 8 2 は電流経路上、互いに並列接続の関係になる。一方、発光素子 8 4 に電流を流すときには、第 1 走査線 (G_{aj}) に低電位信号・第 2 走査線 (G_{bj}) に高電位信号を送り、トランジスタ 7 1 ~ 7 8 をオフ、トランジスタ 7 9、8 5 をオンにする。このとき、トランジスタ 2 5、2 6 は電流経路上、互いに直列接続の関係になる。

【 0 0 4 3 】

ところで図 2 (A) は、概念的に図 2 (B) を包含するものであるが、同一ではない。例えば第 1 スイッチ 1 2 は、図 2 (B) のトランジスタ 7 1 ~ 7 5 のような構成でなく、図 2 (C) のトランジスタ 3 1 ~ 3 4 のように構成することもできる。また図 2 (D) のトランジスタ 3 5 ~ 3 9 や、図 2 (E) のトランジスタ 4 1 ~ 4 4 のように構成することもできる。ただし図 2 (A) の第 1 スイッチ 1 2 が、具体的には図 2 (B) ~ 図 2 (E) のどの構成であっても、実質上は同一といえる。よって以下の例では、図 2 (A) のように、スイッチはブロック記号にて表記したものを主に使う。

【 0 0 4 4 】

二番目の例は、図 3 (A) と図 4 (C) である。これらは、駆動用素子 1 5 を構成する 3 つのトランジスタの接続方法以外の点では、図 2 (A) と同じである。

【 0 0 4 5 】

例えば図 3 (A) と図 4 (C) の画素回路では、第 1 走査線 (G_{aj}) と第 2 走査線 (G_{bj}) に送られる信号は、図 2 の場合と同様である。ビデオ信号データ電流を書込むときには、第 1 走査線 (G_{aj}) に高電位信号・第 2 走査線 (G_{bj}) に低電位信号を送り、

10

20

30

40

50

第 1 スイッチ 1 2 と第 2 スイッチ 1 3 をオン、第 3 スイッチ 1 4 と第 4 スイッチ 1 8 をオフとする。発光素子 1 7 に電流を流すときには、第 1 走査線 (G a j) に低電位信号・第 2 走査線 (G b j) に高電位信号を送り、第 1 スイッチ 1 2 と第 2 スイッチ 1 3 をオフ、第 3 スイッチ 1 4 と第 4 スイッチ 1 8 をオンにする。

【 0 0 4 6 】

図 3 (A) と図 4 (C) とは、駆動用素子 1 5 を構成する 3 つのトランジスタの接続方法が、図 2 (A) と異なる。もっとも該 3 つの各トランジスタが、(電気特性的に常に) ソースドレイン対称であれば、図 3 (A) と図 4 (C) と図 2 (A) は、いずれも同一の性能をもつはずである。しかし (電気特性的に常に) ソースドレイン対称でなければ、図 3 (A) と図 4 (C) と図 2 (A) は、やや性能が異なってくる。その場合、並列状態か直列状態かに関わらず、駆動用素子 1 5 を構成する 3 つのトランジスタいずれにおいても、ソースドレイン (高電位側端子と低電位側端子) の入れ替えがない、図 4 (C) は最も回路性能面からは望ましい。しかし反面、回路性能面では多少劣る可能性がある図 3 (A) と図 2 (A) も、小さい画素にレイアウトする場合の容易性の観点からは、図 4 (C) よりも優れている。

10

【 0 0 4 7 】

三番目の例である図 3 (B) は、容量素子 1 6 の接続位置のみが図 3 (A) と違っている。

【 0 0 4 8 】

例えば第 1 走査線 (G a j) と第 2 走査線 (G b j) に送られる信号は、図 3 (A) の場合と同様である。ビデオ信号データ電流を書込むときには、第 1 走査線 (G a j) に高電位信号・第 2 走査線 (G b j) に低電位信号を送り、第 1 スイッチ 1 2 と第 2 スイッチ 1 3 をオン、第 3 スイッチ 1 4 と第 4 スイッチ 1 8 をオフとする。発光素子 1 7 に電流を流すときには、第 1 走査線 (G a j) に低電位信号・第 2 走査線 (G b j) に高電位信号を送り、第 1 スイッチ 1 2 と第 2 スイッチ 1 3 をオフ、第 3 スイッチ 1 4 と第 4 スイッチ 1 8 をオンにする。

20

【 0 0 4 9 】

図 3 (B) は容量素子 1 6 の接続位置が図 3 (A) と違っているが、そもそも容量素子 1 6 は、駆動用素子 1 5 を構成するトランジスタのゲートソース間電圧を保持するものである。より正確には、駆動用素子 1 5 を構成する 3 つのトランジスタのうちで、最もソース側にあるトランジスタのゲートソース間電圧を保持するものである。この観点からは、図 3 (A) よりも図 3 (B) の方が忠実な回路と言える。

30

【 0 0 5 0 】

ただし、図 3 (A) の回路においても、ビデオ信号データ電流を書込むときには、第 2 スイッチ 1 3 がオンになっており、発光素子 1 7 に電流を流すときには、第 3 スイッチ 1 4 がオンになっている。その結果、図 3 (A) も、ビデオ信号データ電流を書込み時の、駆動用素子 1 5 を構成するトランジスタのゲートソース間電圧は、発光素子 1 7 に電流を流すときに再現されるようになっている。

つまり、図 3 (A) の回路も図 3 (B) の回路も、駆動用素子 1 5 を構成するトランジスタのゲートソース間電圧は保持される点では、同じである。

40

【 0 0 5 1 】

小さい画素にレイアウトする場合の容易性の観点からは、一般的に図 3 (B) よりも図 3 (A) の方が優れている。

【 0 0 5 2 】

四番目の例は、図 3 (C)、図 3 (D)、図 4 (A)、図 4 (B) である。これらは、図 3 (A) と第 1 スイッチ 1 ~ 第 4 スイッチのオンオフ制御方法が異なっている。

【 0 0 5 3 】

まず図 3 (C) の回路は、第 1 走査線 (G a j) ~ 第 4 走査線 (G d j) の 4 本の走査線を用いて、第 1 スイッチ ~ 第 4 スイッチのスイッチを個々にオンオフ制御する。

【 0 0 5 4 】

50

ビデオ信号データ電流を書込むときには、第1走査線（G a j）と第4走査線（G d j）に高電位信号・第2走査線（G b j）と第3走査線（G c j）に低電位信号を送り、第1スイッチ12と第2スイッチ13をオン、第3スイッチ14と第4スイッチ18をオフとする。発光素子17に電流を流すときには、第1走査線（G a j）と第4走査線（G d j）に低電位信号・第2走査線（G b j）と第3走査線（G c j）に高電位信号を送り、第1スイッチ12と第2スイッチ13をオフ、第3スイッチ14と第4スイッチ18をオンにする。

【0055】

図3（A）の回路では、第1走査線（G a j）と第4走査線（G d j）が1本にまとめられ、第2走査線（G b j）と第3走査線（G c j）が1本にまとめられているのが、図3（C）の回路では、それぞれが別々の走査線にしてある。そこで、走査動作の安定化に効果がある。反面、走査線の数が増えるので小さい画素にレイアウトするのは困難である。

【0056】

図3（D）の回路は、第1走査線（G a j）のみで、第1スイッチ～第4スイッチのスイッチを同時にオンオフ制御する。

【0057】

ビデオ信号データ電流を書込むときには、第1走査線（G a j）に高電位信号を送り、第1スイッチ12と第2スイッチ13をオン、第3スイッチ14と第4スイッチ18をオフとする。発光素子17に電流を流すときには、第1走査線（G a j）に低電位信号を送り、第1スイッチ12と第2スイッチ13をオフ、第3スイッチ14と第4スイッチ18をオンにする。

【0058】

図3（A）の回路では、第1走査線（G a j）と第2走査線（G b j）との2走査線を使用しているところ、図3（D）の回路では、1走査線にまとめてある。そこで走査線の数少ない分、小さい画素にレイアウトするのが容易となる効果がある。しかし1走査線しかないことから、例えば2走査線の走査タイミングを工夫して、発光素子17に電流を流す時間を制御することなどができなくなってしまう等の弱点がある。

【0059】

図4（A）の回路は、第1走査線（G a j）と第2走査線（G b j）で第1スイッチ～第4スイッチのスイッチを同時にオンオフ制御する点は、図3（A）の回路と同じである。しかし図3（A）の回路とは、各走査線がオンオフ制御するスイッチの組合せが異なる。図4（A）の回路は、第1走査線（G a j）で第1スイッチと第2スイッチを制御し、第2走査線（G b j）で第3スイッチと第4スイッチを制御する。

【0060】

ビデオ信号データ電流を書込むときには、第1走査線（G a j）に高電位信号・第2走査線（G b j）に低電位信号を送り、第1スイッチ12と第2スイッチ13をオン、第3スイッチ14と第4スイッチ18をオフとする。発光素子17に電流を流すときには、第1走査線（G a j）に低電位信号・第2走査線（G b j）に高電位信号を送り、第1スイッチ12と第2スイッチ13をオフ、第3スイッチ14と第4スイッチ18をオンにする。

【0061】

図4（A）の回路は、ビデオ信号データ電流を書込むときにオンするスイッチと、発光素子17に電流を流すときにオンするスイッチを、別の走査線でオンオフ制御するものである。そこで、動作を安定化させる観点からは優位である。しかし図3（A）の回路では、第2スイッチ13・第4スイッチ18にpチャネル型のスイッチを使用しているところ、図4（A）の回路では、nチャネル型のスイッチにしてある。そこで図4（A）の回路では、第1走査線（G a j）と第2走査線（G b j）の高電位信号は、図3（A）の回路の場合よりも高くとる必要がある。

【0062】

図4（B）の回路は、図4（A）の第1スイッチ12を分割したものである。すなわち図

4 (A) の第 1 スイッチ 12 の中で、駆動用素子を構成するトランジスタのゲート電圧を保持・開放する部分だけ、スイッチ 19 として分割したものである。そして、スイッチ 19 は第 1 スイッチ 12 とは独立に、第 3 走査線 (Gc j) によりオンオフ制御できる。

【0063】

ビデオ信号データ電流を書込むときには、第 1 走査線 (Ga j) と第 3 走査線 (Gc j) に高電位信号・第 2 走査線 (Gb j) に低電位信号を送り、第 1 スイッチ 12 と第 2 スイッチ 13 及びスイッチ 19 をオン、第 3 スイッチ 14 と第 4 スイッチ 18 をオフとする。発光素子 17 に電流を流すときには、第 1 走査線 (Ga j) と第 3 走査線 (Gc j) に低電位信号・第 2 走査線 (Gb j) に高電位信号を送り、第 1 スイッチ 12 と第 2 スイッチ 13 及びスイッチ 19 をオフ、第 3 スイッチ 14 と第 4 スイッチ 18 をオンにする。

10

【0064】

図 4 (B) の回路ではビデオ信号データ電流を書込んだときに、スイッチ 19 を第 1 スイッチ 12 よりも早くオフすることができる。そこで動作の安定化が可能である。反面、走査線の数が増えるので小さい画素にレイアウトするのは困難になる。

【0065】

五番目の例、図 5 (A) では、駆動用素子を構成する 3 つのトランジスタが n チャネル型である。この点が図 3 (A) 異なっている。

【0066】

第 1 走査線 (Ga j) と第 2 走査線 (Gb j) に送られる信号は、図 3 (A) の場合と同様である。ビデオ信号データ電流を書込むときには、第 1 走査線 (Ga j) に高電位信号・第 2 走査線 (Gb j) に低電位信号を送り、第 1 スイッチ 12 と第 2 スイッチ 13 をオン、第 3 スイッチ 14 と第 4 スイッチ 18 をオフとする。発光素子 17 に電流を流すときには、第 1 走査線 (Ga j) に低電位信号・第 2 走査線 (Gb j) に高電位信号を送り、第 1 スイッチ 12 と第 2 スイッチ 13 をオフ、第 3 スイッチ 14 と第 4 スイッチ 18 をオンにする。

20

【0067】

図 5 (A) は容量素子 16 の接続位置も図 3 (A) と違っているが、そもそも容量素子 16 は、駆動用素子 15 を構成するトランジスタのゲートソース間電圧を保持するものである。より正確には、駆動用素子 15 を構成する 3 つのトランジスタうちで、最もソース側にあるトランジスタのゲートソース間電圧を保持するものである。図 3 (A) では、駆動用素子を構成する 3 つのトランジスタが p チャネル型であるのに対し、図 5 (A) では、該 3 つのトランジスタが n チャネル型である。そこで、容量素子 16 の接続位置は図 3 (A) とは異なっている。

30

【0068】

図 5 (A) では、駆動用素子を構成する 3 つのトランジスタが n チャネル型であるから、p チャネル型よりも n チャネル型の方が理想的なトランジスタを製造工程上作れる場合には、図 3 (A) よりも有利である。小さい画素にレイアウトする場合の容易性の観点からは、一般的に図 5 (A) よりも図 3 (A) の方が優れている。

【0069】

六番目の例は図 5 (B)、図 5 (C) である。図 5 (B)、図 5 (C) の回路では、ビデオ信号データ電流を書込むときの駆動用素子に流れる電流の向きが、これまでの例とは反対になる。図 2 ~ 図 4 の回路では、ビデオ信号データ電流を書込むとき、第 1 スイッチ 12 側が低電位・第 2 スイッチ 13 側が高電位だった。しかし図 5 (B)、図 5 (C) の回路では、ビデオ信号データ電流を書込むとき、第 1 スイッチ 12 側が高電位・第 2 スイッチ 13 側が低電位である。電源線 (Vi) は高電位の電源線であり、電源線 (VB i) は低電位の電源線である。

40

【0070】

図 5 (B) の走査線の信号について説明する。ビデオ信号データ電流を書込むときには、第 1 走査線 (Ga j) に低電位信号・第 2 走査線 (Gb j) に高電位信号を送り、第 1 スイッチ 12 と第 2 スイッチ 13 をオン、第 3 スイッチ 14 と第 4 スイッチ 18 をオフとす

50

る。発光素子 17 に電流を流すときには、第 1 走査線 (G a j) に高電位信号・第 2 走査線 (G b j) に低電位信号を送り、第 1 スイッチ 12 と第 2 スイッチ 13 をオフ、第 3 スイッチ 14 と第 4 スイッチ 18 をオンにする。

【0071】

図 5 (C) の走査線の信号についても説明する。ビデオ信号データ電流を書込むときには、第 1 走査線 (G a j) に高電位信号・第 2 走査線 (G b j) に低電位信号を送り、第 1 スイッチ 12 と第 2 スイッチ 13 をオン、第 3 スイッチ 14 と第 4 スイッチ 18 をオフとする。発光素子 17 に電流を流すときには、第 1 走査線 (G a j) に低電位信号・第 2 走査線 (G b j) に高電位信号を送り、第 1 スイッチ 12 と第 2 スイッチ 13 をオフ、第 3 スイッチ 14 と第 4 スイッチ 18 をオンにする。

10

【0072】

七番目の例は図 5 (D) である。図 5 (D) の回路では、発光素子 17 に電流を流すときの駆動用素子に流れる電流の向きが、これまでの例とは反対になる。図 2 ~ 図 4 の回路では、ビデオ信号データ電流を書込むとき、第 3 スイッチ 14 側が低電位・第 4 スイッチ 18 側が高電位だった。しかし図 5 (D) の回路では、ビデオ信号データ電流を書込むとき、第 3 スイッチ 14 側が高電位・第 4 スイッチ 18 側が低電位である。

【0073】

因みに図 5 (D) においては、ビデオ信号データ電流を書込むときの駆動用素子に流れる電流の向きは、図 5 (B) ・図 5 (C) の場合と同方向、図 2 ~ 図 4 の場合とは逆方向となっている。

20

【0074】

図 5 (D) においては、ビデオ信号データ電流を書込むときには、第 1 走査線 (G a j) に低電位信号・第 2 走査線 (G b j) に高電位信号を送り、第 1 スイッチ 12 と第 2 スイッチ 13 をオン、第 3 スイッチ 14 と第 4 スイッチ 18 をオフとする。発光素子 17 に電流を流すときには、第 1 走査線 (G a j) に高電位信号・第 2 走査線 (G b j) に低電位信号を送り、第 1 スイッチ 12 と第 2 スイッチ 13 をオフ、第 3 スイッチ 14 と第 4 スイッチ 18 をオンにする。

【0075】

図 5 (D) は、発光素子 17 の陰極側に回路配置する場合に有利である。

【0076】

以上図 2 ~ 図 5 では、駆動用素子 15 を構成するトランジスタ数 n が 3 の場合の、本発明の表示装置、発光装置の画素の具体的例について述べた。次に、駆動用素子 15 を構成するトランジスタ数 n が 3 以外の例として、図 6 (A) では同 n が 2、図 6 (B) では同 n が 4 の場合の例を挙げて説明する。なお図 6 では、第 1 スイッチ ~ 第 4 スイッチをブロック記号ではなくトランジスタにて表記しているが、図 2 ~ 図 5 同様トランジスタの接続には様々なバリエーションが可能である。

30

【0077】

図 6 (A) の例では、第 1 スイッチを 2 個、第 2 スイッチを 1 個のトランジスタのみという、最少個数のトランジスタで構成し、駆動用素子 15 のトランジスタ 25、26 の接続関係の切替えを、走査線 (G a j) で制御する。

40

【0078】

ビデオ信号データ電流を書込むときには、走査線 (G a j) に低電位信号を送り、第 1 スイッチ 12 と第 2 スイッチ 13 をオン、第 3 スイッチ 14 をオフとする。発光素子 17 に電流を流すときには、第 1 走査線 (G a j) に高電位信号を送り、第 1 スイッチ 12 と第 2 スイッチ 13 をオフ、第 3 スイッチ 14 をオンにする。

【0079】

図 6 (A) の例は、走査線数及びトランジスタ数を少なく抑えているため、開口率確保や製造不良発生率低減を重視する場合に、適した構成である。

【0080】

図 6 (B) の回路は、信号線 (S i)、電源線 (V i)、第 1 走査線 (G a j)、消去用

50

走査線 (G e j)、トランジスタ 1 1 1 ~ 1 2 0、1 2 2、容量素子 1 2 3、発光素子 1 2 1 を有する。p チャンネル型のトランジスタ 1 1 1 ~ 1 1 3 は第 1 スイッチ 1 2 に相当する。p チャンネル型のトランジスタ 1 1 4、1 1 5 は第 2 スイッチ 1 3 に相当し、n チャンネル型のトランジスタ 1 1 6 は第 3 スイッチ 1 4 に相当する。p チャンネル型のトランジスタ 1 1 7 ~ 1 2 0 は駆動用素子 1 5 に相当する。p チャンネル型のトランジスタ 1 2 2 は、ここまでの例の第 1 スイッチ ~ 第 4 スイッチとは異なる、発光時間制御用の付加的なスイッチである。

【0081】

トランジスタ 1 1 1 ~ 1 1 6 の各ゲート電極は、第 1 走査線 (G a j) に接続されている。トランジスタ 1 2 2 のゲート電極は、消去用走査線 (G e j) に接続されている。容量素子 1 2 3 は、トランジスタ 1 1 7 のゲート・ソース間電圧を保持する役割を担う。

10

【0082】

図 6 (B) に示す画素 1 1 に、ビデオ信号データ電流を書込むときには、第 1 走査線 (G a j) に高電位信号を送り、トランジスタ 1 1 1 ~ 1 1 5 をオン、トランジスタ 1 1 6 をオフにする。このとき、トランジスタ 1 1 7 ~ 1 2 0 は電流経路上、互いに並列接続の関係になる。一方、発光素子 1 2 1 に電流を流すときには、第 1 走査線 (G a j) に低電位信号を送り、トランジスタ 1 1 1 ~ 1 1 5 をオフ、トランジスタ 1 1 6 をオンにする。このとき、トランジスタ 1 1 7 ~ 1 2 0 は電流経路上、互いに直列接続の関係になる。

【0083】

なお上記の間、消去用走査線 (G e j) には低電位信号を送り、トランジスタ 1 2 2 をオフしておく。

20

【0084】

図 6 (B) に示す画素 1 1 においては、消去用走査線 (G e j) に送る信号により、発光素子 1 2 1 の発光時間を任意に制御できる。すなわち発光素子 1 2 1 発光中に、消去用走査線 (G e j) に高電位信号をおくり、トランジスタ 1 2 2 をオンにすると、トランジスタ 1 1 7 がオフとなり発光素子 1 2 1 は消光する。ただし発光素子 1 2 1 を一度消光させると、再度ビデオ信号データ電流を書込まなくては、発光素子 5 9 を発光させられない。

【0085】

発光素子の発光時間を任意に制御することには、利点がある。すなわち、中間階調表現を時間階調方式により表現することが可能となる。また中間階調表現をアナログ的なビデオ信号データ電流を用いることで表現する場合であっても、ホールド型ディスプレイ特有の動画ボケを防止するために、インパルス型の発光を行う等の用途に有用である。

30

【0086】

以上、本発明の表示装置、発光装置の画素 1 1 の例を図 2 ~ 6 を用いて説明した。しかし本発明の表示装置、発光装置の画素構成は、これらに限定されるわけではない。

【0087】

(実施の形態 2)

実施の形態 2 では、画素 1 1 の駆動方法を説明する。例として図 6 (B) に示した画素 1 1 の場合を取り上げ、図 1 3 を用いて説明する。

【0088】

最初に、ビデオ信号書込み動作と発光動作について説明する。

40

【0089】

まず画素 1 1 の周囲に設けられた走査線駆動回路 (図示せず) から出力される信号によって、j 行目の第 1 走査線 (G a j) が選択される。すなわち、第 1 走査線 (G a j) に低電位 (L レベル) 信号が出力され、トランジスタ 1 1 1 ~ 1 1 6 のゲート電極が低電位 (L レベル) となる。このとき、p チャンネル型のトランジスタ 1 1 1 ~ 1 1 5 がオンとなり、n チャンネル型のトランジスタ 1 1 6 がオフとなる。そして画素 1 1 の周囲に設けられた信号線駆動回路 (図示せず) から、i 列目の信号線 (S i) を介して画素 1 1 にビデオ信号データ電流 I_w が入力される。

【0090】

50

トランジスタ 111 ~ 113 がオンすると、トランジスタ 117 ~ 120 は、ドレインとゲートが短絡されたダイオード状態となる。すなわち画素 11 は、並列な 4 つのダイオードと回路的に等価となる。この状態で画素 11 の電源線 (V_i) と信号線 (S_i) の間に、電流 I_w を流す (図 13 (A) を参照)。

【0091】

並列な 4 つのダイオードを流れる電流 I_w が定常状態になった後、第 1 走査線 (G_{aj}) を高電位 (H レベル) にする。するとトランジスタ 111 ~ 113 はオフとなり、ビデオ信号データ電流 I_w が画素に記憶される。

【0092】

続いて第 1 走査線 (G_{aj}) が高電位 (H レベル) となると、p チャネル型のトランジスタ 111 ~ 115 がオフとなり、n チャネル型のトランジスタ 116 がオンとなる。トランジスタ 117 ~ 120 は直列状態に接続が組みかえられる。このときトランジスタ 120 が飽和領域で動作するように予め電圧条件を設定しておく、駆動用素子は発光素子に定電流 I_E を供給する。

10

【0093】

定電流 I_E の値は、ビデオ信号データ電流 I_w の約 16 分の 1 の大きさである。本実施の形態では、駆動用素子は 4 つトランジスタにより構成されているためである。より一般的に、駆動用素子が n 個のトランジスタにより構成されている場合には、電流 I_E は、ビデオ信号データ電流 I_w の約 n^2 分の 1 の大きさとなる。

【0094】

このように本実施の形態では、書込みデータ電流 I_w を発光素子駆動電流 I_E の約 16 倍と、大きな値にすることができる。そのため寄生容量等のために、発光素子駆動電流 I_E 程度の微小電流を、直接速やかに画素に書込むことが難しい場合であっても、ビデオ信号データ電流 I_w を画素に書込むことが可能となる。

20

【0095】

なお本実施の形態は、中間階調表現の方法として、アナログビデオ方式を採っていてもよいし、デジタルビデオ方式を採っていてもよい。アナログビデオ方式の場合、ビデオ信号データ電流として、アナログ的に変化するデータ電流 I_w を用いる。デジタルビデオ方式の場合は、一つのデータ電流 I_w のみを基準のオン電流として単位輝度を用意する。そして、単位輝度を時間的に足し合わせて階調表現する、時間階調法を用いるのが便利である (デジタル時間階調法)。あるいは、単位輝度を面積的に足し合わせて階調表現する面積階調法や、時間階調法と面積階調法を組み合わせる方法で、デジタルビデオ方式を行うこともできる。

30

【0096】

また本実施の形態において、アナログビデオ方式、デジタルビデオ方式いずれを採用したとしても、ビデオ信号データ電流 I_w を 0 とする場合が必要となることがある。しかしビデオ信号データ電流 I_w を 0 とする場合は、発光素子の発光輝度を 0 とするということであるから、 I_w を画素に正確に書込み記憶させる必要はない。したがって、この場合には駆動用素子のトランジスタ 117 ~ 120 がオフとなるようなゲート電圧を、直接信号線 (S_i) に出力してもよい。すなわち例外的に、ビデオ信号を電流値でなく、電圧値で出力してもよい。

40

【0097】

次に、発光停止動作について説明する。

【0098】

まず画素 11 の周囲に設けられた別の走査線駆動回路 (図示せず) から出力される信号によって、 j 行目の第 2 走査線 (G_{bj}) が選択される。すなわち、第 2 走査線 (G_{bj}) に低電位 (L レベル) 信号が出力される。p チャネル型のトランジスタ 122 は、ゲート電極が低電位 (L レベル) となるためにオン状態となる。

【0099】

するとトランジスタ 117 のソースとゲートが短絡され、オフとなる。その結果、発光素

50

子 1 2 1 への電流供給は遮断され、発光は停止する。

【 0 1 0 0 】

このような発光停止動作を利用することによって、発光素子 1 2 1 の発光時間を、1 列走査時間の制約を受けずに、任意に制御できるが可能となる。その大きな利点として、まず中間階調表現を時間階調方式により表現することが容易となることがある。また中間階調表現をアナログ的なビデオ信号データ電流を用いることで表現する場合であっても、ホールド型ディスプレイ特有の動画ボケを防止するために、インパルス型の発光を行うこと等に利点がある。

【 0 1 0 1 】

(実施の形態 3)

実施の形態 3 では、本発明の表示装置、発光装置における画素の平面レイアウト (上面図) 例を提示する。本例の画素回路は、図 3 (B) に示した画素回路である。

【 0 1 0 2 】

図 7 には、j 行 i 列目の画素 1 1 を示す。図 7 において、二点破線で囲んだ領域が画素 1 1 に相当する。点模様の領域は、ポリシリコン膜である。右上り斜線と右下り二重斜線は、それぞれ別の層の導電体膜 (金属膜等) である。バツ印は層間の接触点を示す。そして、チェック模様の領域 8 6 は発光素子 5 4 の陽極に相当する。

【 0 1 0 3 】

第 1 走査線 (G a j) 下には、トランジスタ 7 1 ~ 7 5、8 5 が形成されている。第 2 走査線 (G b j) 下には、トランジスタ 7 6 ~ 7 9 が形成されている。電源線 (V i) の下に容量素子 8 3 が形成されている。

【 0 1 0 4 】

駆動用素子を構成する 3 つのトランジスタ 8 0 ~ 8 2 は同サイズに揃えて互いに隣接させて形成されている。これにより最初から、同一画素内におけるトランジスタ 8 0 ~ 8 2 間のバラつきが、大きくなりにくくすることはできる。本発明の構成である「並列書込み直列駆動」は、駆動用素子を構成する複数のトランジスタ間に元々存在するバラつきの影響を、さらに小さくする手法である。したがって、当初からバラつきが抑えられた複数のトランジスタを駆動用素子に用いるのであれば、本発明の効果を非常に大きく生かすことができ好ましい。発光素子の発光輝度のバラつきは、さらに僅少となる。

【 0 1 0 5 】

駆動用素子を構成する複数のトランジスタ間に元々存在するバラつきを、できる限り小さくしておくことは、表示装置、発光装置の動作電圧を下げる観点からも望ましい。もし、駆動用素子を構成する複数のトランジスタ間に元々存在するバラつきが大きければ、該複数のトランジスタの L / W 比を大きくし、駆動用素子の動作点の電圧を上げる必要があるため、表示装置、発光装置の動作電圧を下げるができなくなるからである。このことは、省電力要求の強い携帯機器向けの表示装置、発光装置などでは、重要となる。

【 0 1 0 6 】

なお本発明の表示装置、発光装置を作製する工程については、例えば、特開 2 0 0 1 - 3 4 3 9 3 3 等を参照できる。駆動用素子を構成する複数のトランジスタは、ソースとドレインについては対称的である方が好ましいが、対称的であることが必須というわけではない。

【 0 1 0 7 】

また、8 0 ~ 8 2 などのトランジスタの活性層をポリシリコン膜により作成する場合には、現在はアモルファスのシリコン膜を最初に成膜した後で、多結晶化 (ポリ化) させる工程をとるのが一般的である。この多結晶化は、レーザー照射か S P C (固相成長)、あるいは両方を組み合わせる等の方法により行うことができる。ここで、線状のレーザー光をスキャンしながら照射することで、微結晶化を行う方法をとる場合、レーザー光強度やスキャン速度のムラを極めて小さくしないと、作成されたポリシリコン膜に線状ムラが出て、それがトランジスタ特性の線状ムラとなってしまう。

【 0 1 0 8 】

10

20

30

40

50

そこで、トランジスタ特性の線状ムラの発生を小さくするために、駆動用素子を構成するトランジスタの向きに対応させて、レーザー光スキャンの方向を工夫してもよい。本発明の表示装置、発光装置を作製する工程では、レーザー光スキャンは縦方向でも、横方向でも、斜め方向でもよい。また、本発明の表示装置、発光装置を作製する工程では、レーザー光スキャンを縦方向と横方向に二重に行ったり、右上左下斜め方向と左上右下斜め方向に二重に行ったりしてもよい。図7のレイアウトの場合なら、X方向とY方向にレーザー光スキャンを二重に行ってもよい。

【0109】

(実施の形態4)

実施の形態4では、本発明の表示装置、発光装置の構成の例について図8を用いて説明する。画素内ではなく、装置の全体的な構成の例を説明する。 10

【0110】

本発明の表示装置、発光装置は、基板1801上に、複数の画素がマトリクス状に配置された画素部1802を有する。画素部1802の周辺部には、信号線駆動回路1803、第1の走査線駆動回路1804及び第2の走査線駆動回路1805が配置されている。信号線駆動回路1803と、走査線駆動回路1804及び1805には、FPC1806を介して、外部より電源、信号が供給される。

【0111】

図8(A)の例においては、信号線駆動回路1803と、走査線駆動回路1804及び1805が集積されているが、本発明はこれに限定されるものではない。例えば、第2の走査線駆動回路1805を欠いていてもよい。あるいは、信号線駆動回路1803、走査線駆動回路1804及び1805を欠いていてもよい。 20

【0112】

第1の走査線駆動回路1804及び第2の走査線駆動回路1805の例を、図8(B)を用いて説明する。図8(B)では、走査線駆動回路1804及び1805はそれぞれ、シフトレジスタ1821、バッファ回路1822を有している。

【0113】

図8(B)の回路の動作を説明する。シフトレジスタ1821は、クロック信号(G-CLK)、クロック反転信号(G-CLKb)、スタートパルス信号(G-SP)に基づき、順次パルスを出力する。該パルスは、バッファ回路1822で電流増幅された後、走査線に 30

【0114】

なお必要に応じ、バッファ回路1822内にレベルシフタを設置してもよい。レベルシフタにより、電圧振幅を変更することができる。

【0115】

次いで、信号線駆動回路1803の例を、図8(C)を用いて説明する。図8(C)に示す信号線駆動回路1803は、シフトレジスタ1831、第1のラッチ回路1832、第2のラッチ回路1833、電流電圧変換回路1834を有している。

【0116】

図8(C)の回路の動作を説明する。図8(C)の回路は、中間階調表示方式として、デジタル時間階調法を採用した場合の回路である。 40

【0117】

シフトレジスタ1831は、クロック信号(S-CLK)、クロック反転信号(S-CLKb)、スタートパルス信号(S-SP)に基づき、順次サンプリングパルスを第1のラッチ回路1832に出力する。各列の第1のラッチ回路1832は、該パルスのタイミングに従って、デジタルビデオ信号を順次読込む。第1のラッチ回路1832において、最終列までビデオ信号の読込みが完了すると、第2のラッチ回路1833にラッチパルスが入力される。ラッチパルスにより、各列の第1のラッチ回路1832に読込まれていたビデオ信号は、一斉に各列の第2のラッチ回路1833に転送される。第2のラッチ回路1833に転送されたビデオ信号は、電圧電流変換回路1834において、適宜形式変換 50

処理され、画素へ転送される。ビデオ信号のうち、オンデータは電流形式に変換され、オフデータは電圧形式のまま電流増幅される。ラッチパルス後、シフトレジスタ1831、第1のラッチ回路1832は、次行のビデオ信号読み込み動作として、上記動作を繰り返す。

【0118】

図8(C)の信号線駆動回路1803の構成は一例であり、アナログ階調法を採用した場合には、別の構成となる。またデジタル時間階調法を採用した場合であっても、他の構成にすることはできる。

【0119】

(実施の形態5)

実施の形態5では、図9、図10を用いて、本発明の効果について説明する。説明を簡単にするため、駆動用素子を構成するトランジスタに個数が、2個の場合を例に説明する。具体的な画素回路構成は、図6(A)のとおりであるとする。(ただし図9、図10では、正負の向きは適宜設定してある。トランジスタがpチャネル型のときは、正負が入替わる点に注意。)また図9のトランジスタの特性曲線は、簡単にするため理想的なものとしてあり、実際のトランジスタとは若干の差異がある。例えば、チャネル長変調はゼロとしてある。

【0120】

トランジスタのソースの電位を基準として、ゲートの電位を V_g 、ドレインの電位を V_d 、ソースドレイン間に流れる電流を I_d とする。図9(A)(B)において、曲線801~804は、ある一定のゲート電位 V_g 下における $I_d - V_d$ 特性曲線である。一点鎖太曲線805は、駆動用素子を構成する2個のトランジスタの一方について、ゲートとドレインを短絡することにより、 V_g と V_d とを等しくした条件下での $I_d - V_d$ 変化を示したものである。すなわち、一点鎖太曲線805には、該トランジスタ固有の電気的特性(電界効果移動度、しきい電圧値)が反映されている。同様に、二点鎖太曲線806は、駆動用素子を構成する他の一方のトランジスタについて、ゲートとドレインを短絡することにより、 V_g と V_d とを等しくした条件下での $I_d - V_d$ 変化を示したものである。

【0121】

図9(A)(B)は、駆動用素子を構成する2個のトランジスタが各々異なった電気的特性をもっている場合に、本発明の構成である「並列書込み直列駆動」により、発光素子駆動電流がどうなるかを、図的に調べたものである。図9(A)は、2個のトランジスタ間において特に、電界効果移動度の違いが大きい場合の例である。図9(B)は、2個のトランジスタ間において特に、しきい電圧値の違いが大きい場合の例である。結論としては、各場合で発光素子駆動電流は、807の三角矢印の長さで示されるとおりとなる。これについて、以下に簡単に説明する。

【0122】

まず、トランジスタ38、39の特性曲線として、いずれも等しく、一点鎖太曲線805が対応する場合を考える。

【0123】

データ電流書込み時には、図2(B)のトランジスタ31~36がオンとなる。トランジスタ31~34がオンとなることから、駆動用素子を構成する2個のトランジスタ38、39では、ゲートとドレインが短絡される。よってトランジスタ38、39の動作点は、一点鎖太曲線805上の点であり、データ電流値 I_w により決まるある一点である。いま、該動作点が805と801の交点としておく。つまり805と801の交点の縦軸値 I_d の2倍が、データ電流値 I_w であるとしておく。

【0124】

発光素子発光時には、図2(B)のトランジスタ31~36がオフとなり、トランジスタ37、42がオンとなる。トランジスタ31~34がオフとなることから、トランジスタ38、39のゲート電位は、データ電流書込み時のままで保持される。そして発光素子発光時には、トランジスタ39が飽和領域で動作し、トランジスタ38が非飽和領域で動作

10

20

30

40

50

する。発光素子発光時における、トランジスタ 38 の $I_d - V_d$ 曲線は 801 で表され、トランジスタ 39 の $I_d - V_d$ 曲線は 803 で表される。

【0125】

図 9 (A) 上で、各一点鎖線矢印は、長さで縦軸座標は等しい。発光素子発光時における、トランジスタ 38 の動作点は、左側の一点鎖線矢印の右端と 801 との接点である。そして求めるべき発光素子駆動電流 I_E は、一点鎖線矢印の縦軸座標、すなわち、807 の実線三角矢印の長さである。なお図 9 (B) 上でも同様の事情が成立し、求めるべき発光素子駆動電流 I_E は 807 の実線三角矢印の長さである。トランジスタ 38 の特性曲線とトランジスタ 39 の特性曲線が、いずれも等しい場合には、結果的には求めるべき発光素子駆動電流 I_E は、データ電流値 I_W の 4 分の 1 の大きさとなる。

10

【0126】

次に、トランジスタ 38 の特性曲線として二点鎖太曲線 806 が対応し、トランジスタ 39 の特性曲線として一点鎖太曲線 805 が対応する場合を考える。データ電流値 I_W は、上で述べたトランジスタ 38、39 の特性曲線としていずれも 805 が対応する場合と、同一とする。

【0127】

データ電流書き込み時には、図 2 (B) の駆動用素子を構成する 2 個のトランジスタ 38、39 では、ゲートとドレインが短絡される。よってトランジスタ 38 の動作点は二点鎖太曲線 806 上の点であり、トランジスタ 39 の動作点は一点鎖太曲線 805 上の点である。そして、トランジスタ 38 の動作点の縦軸座標と、トランジスタ 39 の動作点の縦軸座標との和は、データ電流値 I_W である。よってトランジスタ 38 の動作点は、806 と 802 の交点となる。トランジスタ 39 の動作点は、トランジスタ 38 の動作点と横軸座標が等しい、曲線 805 上の点となる。

20

【0128】

発光素子発光時には、図 2 (B) のトランジスタ 31 ~ 34 がオフとなることから、トランジスタ 38、39 のゲート電位は、データ電流書き込み時のままで保持される。そして発光素子発光時には、トランジスタ 39 が飽和領域で動作し、トランジスタ 38 が非飽和領域で動作する。発光素子発光時における、トランジスタ 38 の $I_d - V_d$ 曲線は 802 で表される。

【0129】

図 9 (A) 上で、同縦軸座標値にある各二点鎖線矢印は、長さが等しい。上の二点鎖線矢印の組が、いま検討している、トランジスタ 38 の特性曲線として二点鎖太曲線 806 が対応し、トランジスタ 39 の特性曲線として一点鎖太曲線 805 が対応する場合である。発光素子発光時における、トランジスタ 38 の動作点は、左側の該二点鎖線矢印の右端と 802 との接点である。そして求めるべき発光素子駆動電流 I_E は、該二点鎖線矢印の縦軸座標、すなわち、807 の長点線三角矢印 (左側) の長さである。なお図 9 (B) 上でも同様の事情が成立し、求めるべき発光素子駆動電流 I_E は、807 の長点線三角矢印 (左側) の長さである。

30

【0130】

また別の場合として、トランジスタ 38 の特性曲線として一点鎖太曲線 805 が対応し、トランジスタ 39 の特性曲線として二点鎖太曲線 806 が対応する場合の検討も、同様に行うことができる。詳しく述べないが、結果的には図 9 (A) (B) と同様に、求めるべき発光素子駆動電流 I_E は、807 の長点線三角矢印 (右側) の長さとなる。

40

【0131】

さらに別の場合として、トランジスタ 38、39 の特性曲線として、いずれも二点鎖太曲線 805 が対応する場合の検討も、同様に行うことができる。結果的には図 9 (A) (B) と同様に、求めるべき発光素子駆動電流 I_E は、807 の短点線三角矢印の長さとなる。

【0132】

図 9 (A) (B) における、807 の三角矢印の長さから、駆動用素子を構成するトランジスタ 38、39 の特性がバラつきが、発光素子駆動電流 I_E にどのように反映されるか

50

の概略をみることができる。

【 0 1 3 3 】

比較のために、図 9 (A) (B) には 8 0 8 の狭角矢印、8 0 9 の広角矢印も掲載してある。8 0 8 の狭角矢印は、電流入力方式でカレントミラー型を用いる画素回路の場合において、上記と同様の検討を行った結果である。すなわち、カレントミラーの二つのトランジスタ間に、上記と同様の特性バラつきが存在したとき、発光素子駆動電流 I_E がどうなるかを示している。8 0 9 の広角矢印は、電圧入力方式の画素回路の場合において、同様の検討を行った結果である。すなわち、異なる画素の発光素子駆動トランジスタ間に、上記と同様の特性バラつきが存在したとき、発光素子駆動電流 I_E がどうなるかを示している。

10

【 0 1 3 4 】

図 9 (A) (B) の 8 0 7 の三角矢印、8 0 8 の狭角矢印、8 0 9 の広角矢印を比較から、次の点がわかる。

【 0 1 3 5 】

まず、8 0 7 の三角矢印、8 0 8 の狭角矢印では、同一画素内の二つのトランジスタ間にさえ特性バラつきがない限りは、トランジスタの特性曲線が 8 0 5 でも 8 0 6 でも、発光素子駆動電流 I_E は一定となる。すなわち、電流入力方式でカレントミラー型を用いる画素回路でも、本発明の「並列書込み直列駆動」の画素回路でも、基板全体でトランジスタの特性を一定に揃える必要はなく、同一画素内の二つのトランジスタ間の特性バラつきさえ、抑制すれば十分である。この点は、電圧入力方式の画素回路に対して非常に優位である。

20

【 0 1 3 6 】

しかし、同一画素内の二つのトランジスタ間の特性バラつきが存在すると、8 0 8 の狭角矢印では、発光素子駆動電流 I_E のバラつきが大きくなる。すなわち、電流入力方式でカレントミラー型を用いる画素回路では、同一画素内の二つのトランジスタ間の特性バラつきの影響が激しく現れてしまう。極端な場合では、電圧入力方式の画素回路よりも、発光素子駆動電流 I_E のバラつきが大きくなる危険がある。この点、本発明の「並列書込み直列駆動」の画素回路では、同一画素内の二つのトランジスタ間の特性バラつきの影響が、かなり抑制されている。現実の表示装置、発光装置では、トランジスタの特性バラつきは、同一画素内よりも基板全体にわたるものの方が深刻である。したがって同一画素内の二つのトランジスタ間の特性バラつきは、本発明の「並列書込み直列駆動」の画素回路なみに抑制されれば、実用上はほとんど問題がなくなる。

30

【 0 1 3 7 】

図 1 0 は、電流入力方式でカレントミラー型を用いる画素回路と、本発明の「並列書込み直列駆動」の画素回路との、定量的な比較をした例である。図 1 0 では、まず同一画素内の二つのトランジスタのうち一方を基準値の特性で固定する。電界効果移動度 μ_{FE} の基準値は 1 0 0、しきい電圧 V_{th} の基準値は 3 V とした。その上で、同一画素内の他の一方のトランジスタの特性を振って、発光輝度の大きさをシミュレートしている。電界効果移動度 μ_{FE} は 8 0 ~ 1 2 0、しきい電圧 V_{th} は 2 . 5 V ~ 3 . 5 V、の各範囲で値を振っている。発光輝度の大きさは、同一画素内の二つのトランジスタとも基準値の特性である場合について発光輝度 0、非点灯時について発光輝度 - 1 0 0、として規格化している。

40

【 0 1 3 8 】

図 1 0 (A) が電流入力方式でカレントミラー型を用いる画素回路の場合であり、図 1 0 (B) が本発明の「並列書込み直列駆動」の画素回路の場合である。同一画素内の二つのトランジスタ間に特性バラつきは、製造工程に大きく依存するものの、現在の標準的な製造工程では、図 1 0 に示される程度の電界効果移動度 μ_{FE} 、しきい電圧 V_{th} のバラつきは珍しいものではない。とすると一般的には、電流入力方式でカレントミラー型を用いる画素回路の場合では、プラスマイナス 2 5 % 程度にも及ぶ表示ムラが発生する可能性があるといえる。他方で、本発明の「並列書込み直列駆動」の画素回路の場合では、表示ム

50

ラが実用上許容範囲内に抑えられ得ることがわかる。

【0139】

なお図10のシミュレーションでは、便宜上トランジスタの構造上のパラメータは、現実的な任意の値にとっている。もっともトランジスタの構造上のパラメータを変化させることにより、トランジスタの動作電圧を振ってみれば、動作電圧が高くなるほど輝度バラつきを小さくすることがわかる。

【0140】

この実施の形態5では、駆動用素子を構成するトランジスタの個数 n が2の場合を例に、本発明の効果を説明した。しかし、駆動用素子を構成するトランジスタに個数 n が3以上の場合においても同様の事情が成立する。ただし駆動用素子を構成するトランジスタの個数 n が大きくなるほど、TFT特性バラつき低減効果は薄くなる。その反面、現在作成可能なポリシリコンTFT基板の構造及び特性(TFT特性のほかに、配線の電気抵抗や寄生容量等まで含む)とOLED素子の発光特性などを勘案すると、本発明をAM型OLED表示装置に適用する場合には、データ電流値 I_w は発光素子駆動電流 I_E の5倍以上が望ましいことを、本願発明者は見出している。したがって、駆動用素子を構成するトランジスタの個数 n は3~5程度が特に利用価値が高い。もっとも表示装置の用途や駆動方法により、 n が他の値であっても高利用価値となる場合はある。

10

【0141】

また、実施の形態5では、トランジスタ特性を理想的なものとみなしているほか、寄生抵抗や直列に接続したトランジスタのオン抵抗等も無視しているが、これらが現実には多少影響することがある。しかし勿論、表示ムラ抑制に本発明の「並列書込み直列駆動」が有効であることに変わりはない。

20

【0142】

(実施の形態6)

実施の形態6では、本発明の表示装置、発光装置を搭載した電子機器等を、いくつか例示する。

【0143】

本発明の表示装置、発光装置を搭載した電子機器として、モニター、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(オーディオコンポ、カーオーディオ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置(具体的にはDigital Versatile Disc(DVD)等の記録媒体を再生し、その画像を表示するディスプレイを備えた装置)などが挙げられる。特に、斜め方向から画面を見る機会が多い電子機器については、視野角の広さが重要視されるため、発光装置を用いることが望ましい。それら電子機器の具体例を図11に示す。

30

【0144】

図11(A)はモニターである。この例は筐体2001、支持台2002、表示部2003、スピーカー部2004、ビデオ入力端子2005等を含んでいる。本発明の表示装置、発光装置は表示部2003に用いることができる。発光装置は自発光型であるためバックライトが不要であり、液晶ディスプレイよりも表示部を薄くすることができる。なおモニターには、パソコン用、TV放送受信用、広告表示用などのすべての情報表示装置が含まれる。

40

【0145】

図11(B)はデジタルスチルカメラである。この例は本体2101、表示部2102、受像部2103、操作キー2104、外部接続ポート2105、シャッター2106等を含んでいる。本発明の表示装置、発光装置は表示部2102に用いることができる。

【0146】

図11(C)はノート型パーソナルコンピュータである。この例は本体2201、筐体2202、表示部2203、キーボード2204、外部接続ポート2205、ポインティング

50

グマウス 2 2 0 6 等を含んでいる。本発明の表示装置、発光装置は表示部 2 2 0 3 に用いることができる。

【 0 1 4 7 】

図 1 1 (D) はモバイルコンピュータである。この例は本体 2 3 0 1、表示部 2 3 0 2、スイッチ 2 3 0 3、操作キー 2 3 0 4、赤外線ポート 2 3 0 5 等を含んでいる。本発明の表示装置、発光装置は表示部 2 3 0 2 に用いることができる。

【 0 1 4 8 】

図 1 1 (E) は記録媒体を備えた携帯型の画像再生装置（具体的には D V D 再生装置）である。この例は本体 2 4 0 1、筐体 2 4 0 2、表示部 A 2 4 0 3、表示部 B 2 4 0 4、記録媒体（D V D 等）読み込み部 2 4 0 5、操作キー 2 4 0 6、スピーカー部 2 4 0 7 等を含んでいる。本発明の表示装置、発光装置は、表示部 A 2 4 0 3、表示部 B 2 4 0 4 に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

10

【 0 1 4 9 】

図 1 1 (F) はゴーグル型ディスプレイ（ヘッドマウントディスプレイ）である。この例は本体 2 5 0 1、表示部 2 5 0 2、アーム部 2 5 0 3 等を含んでいる。本発明の表示装置、発光装置は表示部 2 5 0 2 に用いることができる。

【 0 1 5 0 】

図 1 1 (G) はビデオカメラである。この例は本体 2 6 0 1、表示部 2 6 0 2、筐体 2 6 0 3、外部接続ポート 2 6 0 4、リモコン受信部 2 6 0 5、受像部 2 6 0 6、バッテリー 2 6 0 7、音声入力部 2 6 0 8、操作キー 2 6 0 9 等を含んでいる。本発明の表示装置、発光装置は表示部 2 6 0 2 に用いることができる。

20

【 0 1 5 1 】

図 1 1 (H) は携帯電話である。この例は本体 2 7 0 1、筐体 2 7 0 2、表示部 2 7 0 3、音声入力部 2 7 0 4、音声出力部 2 7 0 5、操作キー 2 7 0 6、外部接続ポート 2 7 0 7、アンテナ 2 7 0 8 等を含んでいる。本発明の表示装置、発光装置は表示部 2 7 0 3 に用いることができる。なお、表示部 2 7 0 3 は黒色背景に白色文字を表示することで、携帯電話の消費電力を抑制することができる。

【 0 1 5 2 】

将来に発光素子の発光輝度を安定的に高くすることが可能となれば、本発明の表示装置、発光装置から出力した画像情報を含む光をレンズ等で拡大投影して、フロント型又はリア型のプロジェクターに用いることもできる。

30

【 0 1 5 3 】

このように、本発明の適用範囲は極めて広く、あらゆる分野の電子機器等に使用することが可能である。

【 0 1 5 4 】

【発明の効果】

本発明は A M 型表示装置、発光装置において、各画素に設置される駆動用素子を複数のトランジスタにより構成する。その上で、画素にデータ電流を読み込むときには該複数のトランジスタを並列接続状態にし、発光素子を発光させるときには該複数のトランジスタを直列接続状態にする。このように、駆動用素子を構成する複数のトランジスタの接続状態を、並列または直列と適宜切替えることを特徴とする。その結果、次のような効果が生じる。

40

【 0 1 5 5 】

まず、同一画素内の駆動用素子を構成する複数のトランジスタさえ、バラつきがなければ、表示画面全体で発光輝度のムラが現れてしまうという、表示品位上の重大な欠陥を回避することができる。すなわち、各画素に設置されるトランジスタの電気的特性は、基板全体にわたって観察すると、かなりのバラつきをもつ。このバラつきが発光素子駆動電流 I_E に反映されて、表示画面全体で発光輝度のムラとなってしまうのを防止することができる。ただし、図 1 2 (A) のようなカレントミラーを用いた画素回路の場合においても、

50

同一画素内のカレントミラーの二つのトランジスタさえバラつきがなければ、表示画面全体で発光輝度のムラとなるのを防止することができる。この点で本発明は、図 12 (A) のようなカレントミラーを用いた画素回路の場合と同様の効果を有する。

【0156】

しかし、図 12 (A) のようなカレントミラーを用いた画素回路の場合、同一画素内のカレントミラーの二つのトランジスタ間にバラつきが存在してしまうと、結局発光輝度が画素間で異なってしまうのを防止することができなくなる。その点、本発明の場合では、同一画素内の駆動用素子を構成する複数のトランジスタ間にバラつきが存在しても、その影響は小さく抑制されるため、実用上問題となるほど画素間で発光輝度がバラついてしまうことは防止することができる。

10

【0157】

また、図 12 (B) の画素回路の場合、画素間で発光輝度がバラついてしまうのは防止することができる。しかし、図 12 (B) の画素回路の場合には、画素に書込むデータ電流 I_w と、発光素子を発光させるときの発光素子駆動電流 I_E との比が、同一値でなくてはならない。これは実用上、非常に厳しい制限である。本発明の場合では、駆動用素子を構成するトランジスタを複数に分割するため、画素に書込むデータ電流 I_w を発光素子駆動電流 I_E よりも大きくすることが可能である。

【0158】

本発明は以上のような利点を有することから、実用的な AM 型表示装置、発光装置を製造する上で、重要な技術である。

20

【図面の簡単な説明】

【図 1】本発明の表示装置、発光装置の画素を示す図。

【図 2】本発明の表示装置、発光装置の画素を示す図。

【図 3】本発明の表示装置、発光装置の画素を示す図。

【図 4】本発明の表示装置、発光装置の画素を示す図。

【図 5】本発明の表示装置、発光装置の画素を示す図。

【図 6】本発明の表示装置、発光装置の画素を示す図。

【図 7】本発明の表示装置、発光装置の画素の平面レイアウトを示す図。

【図 8】本発明の表示装置、発光装置を示す図。

【図 9】駆動用素子を構成するトランジスタの特性を示す図。

30

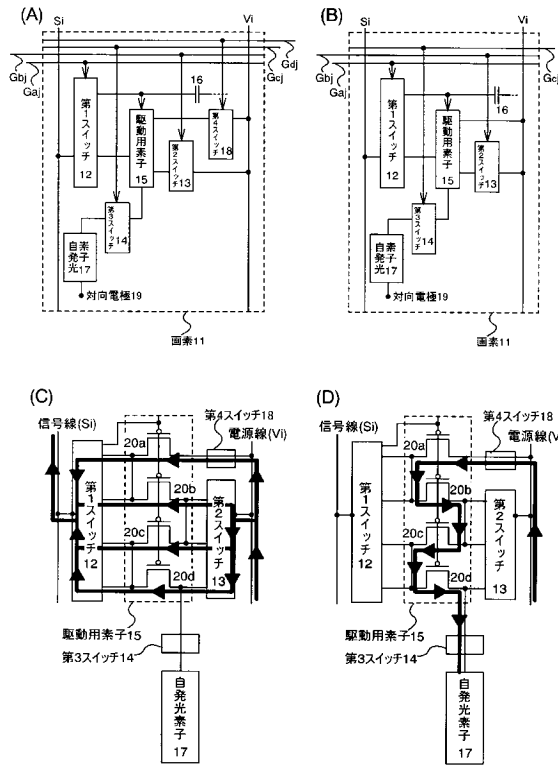
【図 10】駆動用素子を構成するトランジスタの特性が変化した場合の本発明の発光装置の表示輝度を示す図。

【図 11】本発明の表示装置、発光装置を適用した電子機器を示す図。

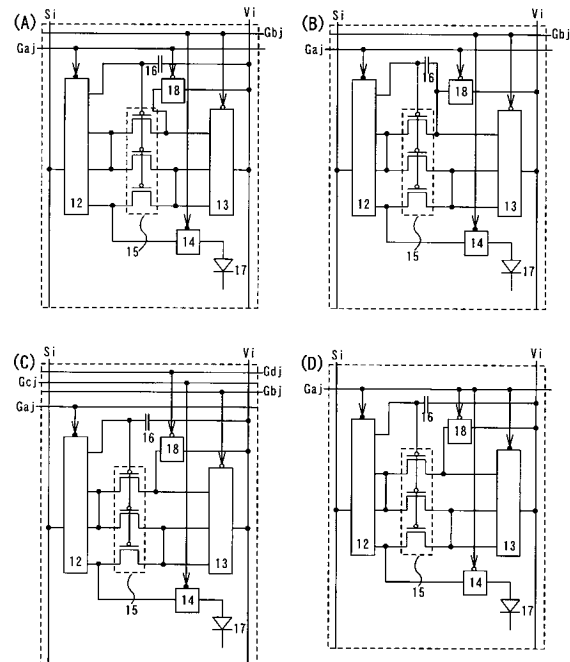
【図 12】公知の表示装置、発光装置の画素を示す図。

【図 13】本発明の表示装置、発光装置の画素における電流の経路を示す図。

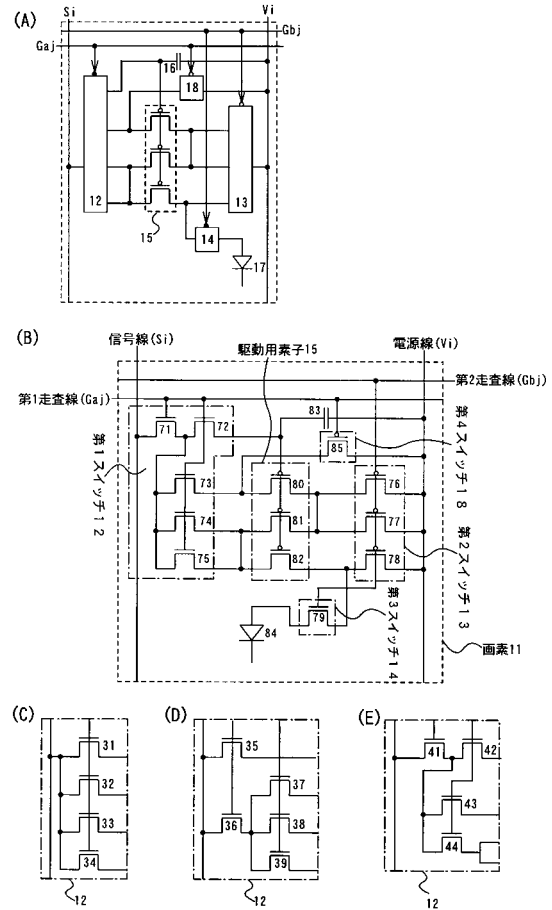
【図 1】



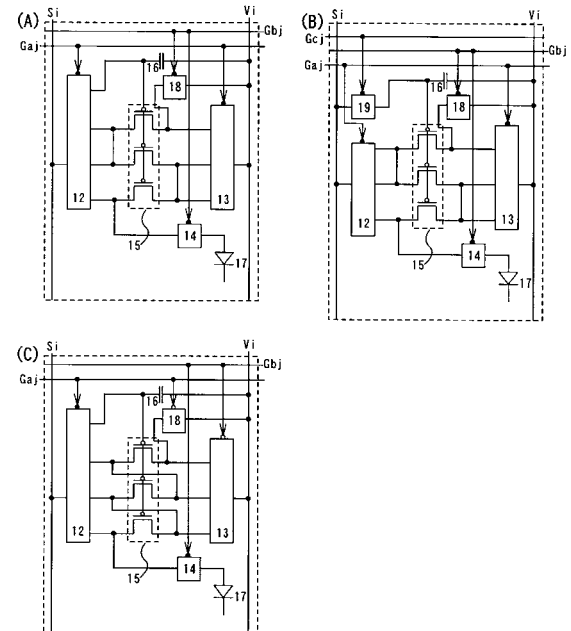
【図 3】



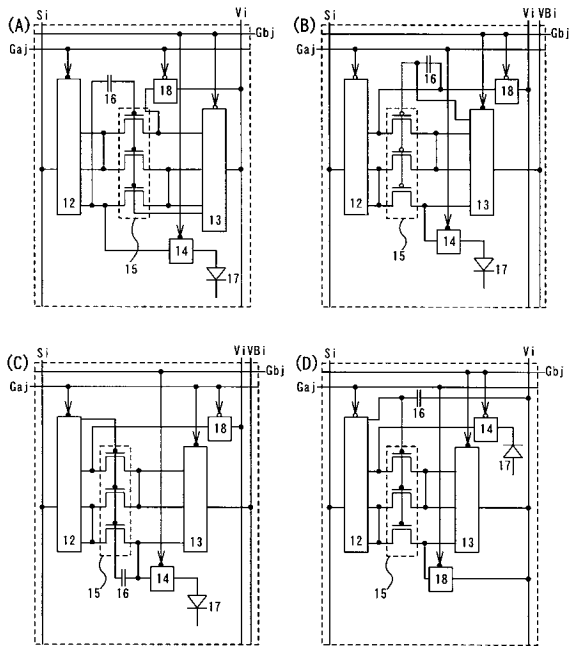
【図 2】



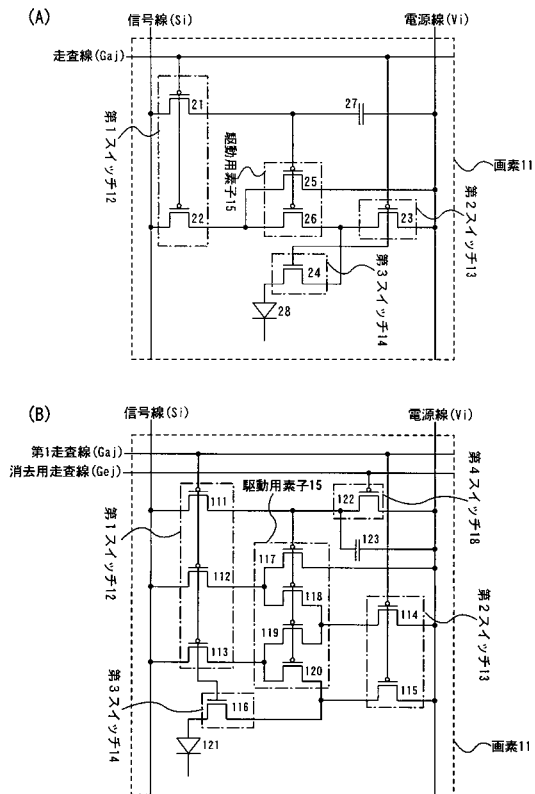
【図 4】



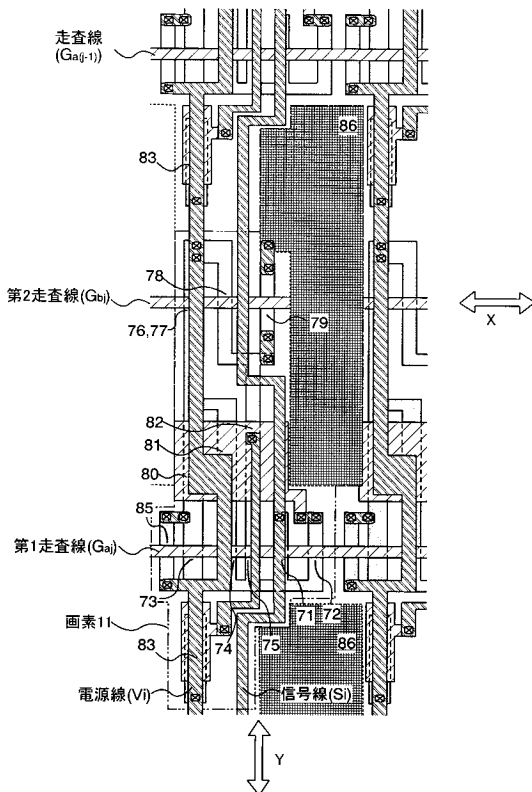
【図 5】



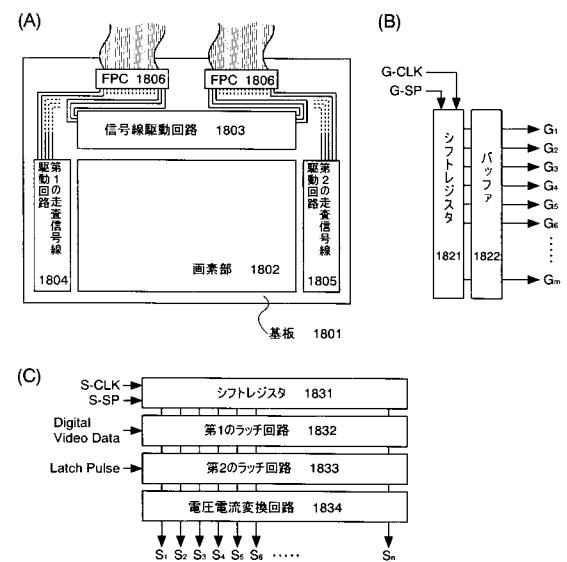
【図 6】



【図 7】

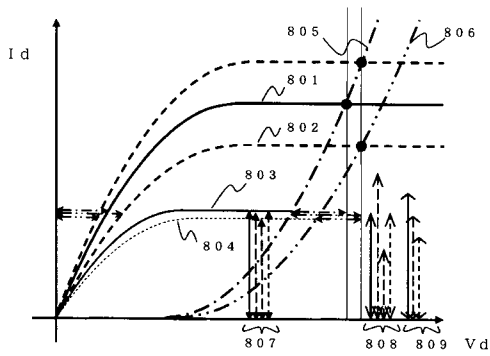


【図 8】

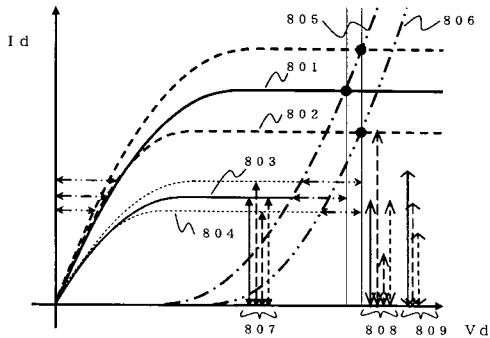


【図 9】

(A) キャリヤ移動度のばらつきが大きい例

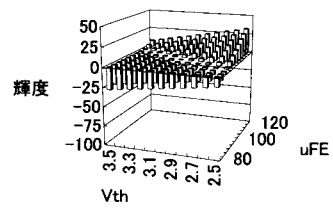


(B) しきい値のばらつきが大きい例

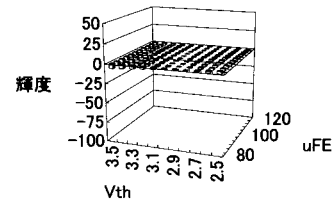


【図 10】

(A)

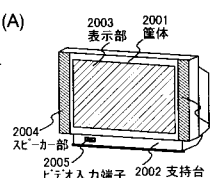


(B)

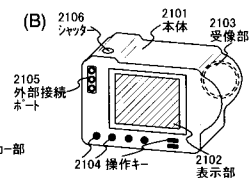


【図 11】

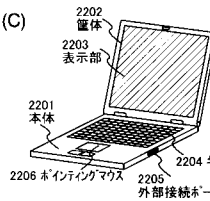
(A)



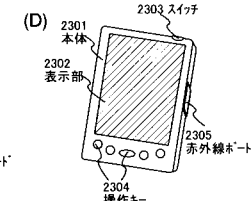
(B)



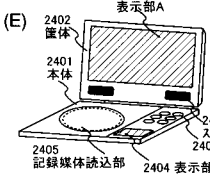
(C)



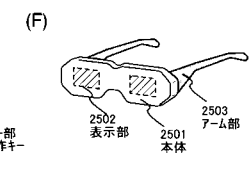
(D)



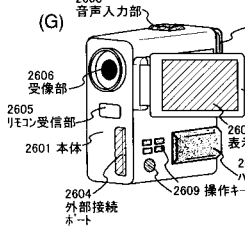
(E)



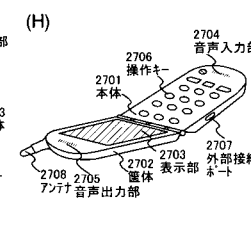
(F)



(G)

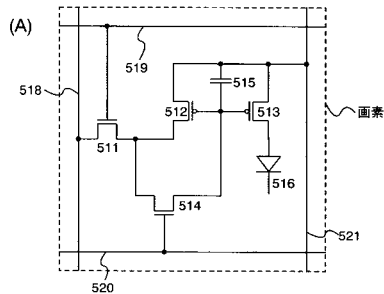


(H)

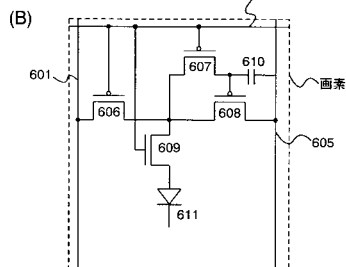


【図 12】

(A)

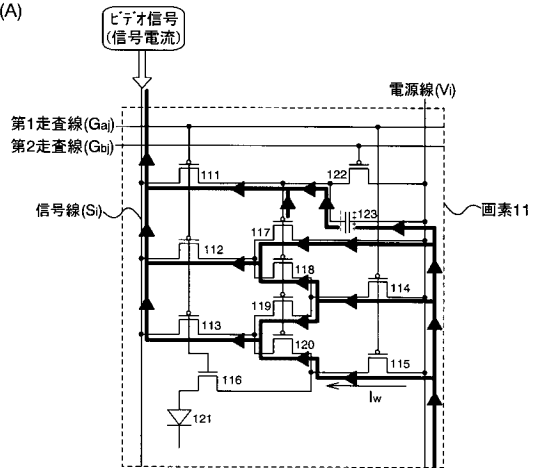


(B)

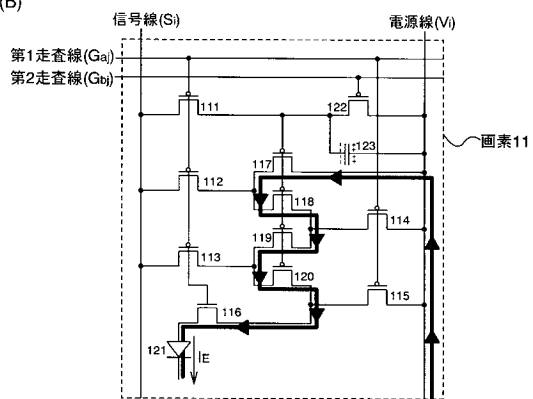


【図 13】

(A)



(B)



专利名称(译)	<无法获取翻译>		
公开(公告)号	JP2004093994A5	公开(公告)日	2007-11-15
申请号	JP2002256232	申请日	2002-08-30
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	犬飼和隆		
发明人	犬飼 和隆		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 H05B33/14		
FI分类号	G09G3/30.J G09G3/20.611.H G09G3/20.624.B G09G3/20.642.A H05B33/14.A		
F-TERM分类号	3K007/AB02 3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA04 5C080/AA06 5C080/AA18 5C080/BB05 5C080/DD05 5C080/DD28 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ05 5C080/JJ06 3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH04 3K107/HH05 5C380/AA01 5C380/AA02 5C380/AB06 5C380/AB23 5C380/AB24 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/AC13 5C380/AC16 5C380/BA01 5C380/BA19 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BE05 5C380/CA02 5C380/CA04 5C380/CA13 5C380/CA14 5C380/CA22 5C380/CA26 5C380/CB01 5C380/CB17 5C380/CB26 5C380/CC13 5C380/CC14 5C380/CC17 5C380/CC26 5C380/CC27 5C380/CC28 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC53 5C380/CC62 5C380/CC63 5C380/CC64 5C380/CC65 5C380/CD014 5C380/CD016 5C380/CD019 5C380/CF07 5C380/CF09 5C380/CF22 5C380/CF24 5C380/DA02 5C380/DA06 5C380/DA08 5C380/DA11 5C380/DA16 5C380/HA02 5C380/HA06		
其他公开文献	JP2004093994A JP4170050B2		

摘要(译)

解决的问题：提供一种AM型OLED显示装置，其中OLED元件驱动电流的变化被充分抑制。根据本发明，当将数据电流读入像素时，多个晶体管并联连接，当自发光元件发光时，多个晶体管串联连接。结果，即使在同一像素中形成驱动元件的多个晶体管之间存在变化，该效果也被抑制到很小的程度，使得像素之间的发光亮度变化到一定程度，这引起了实际问题。可以预防。[选择图]图5