

(51)Int.Cl ⁷	識別記号	F I	テームコード [*] (参考)
G 0 9 G 3/30		G 0 9 G 3/30	J 3 K 0 0 7
G 0 9 F 9/30	365	G 0 9 F 9/30	365 Z 5 C 0 8 0
G 0 9 G 3/20	623	G 0 9 G 3/20	623 F 5 C 0 9 4
			623 R
	641		641 D
審査請求 未請求 請求項の数 10 O L (全 8 数) 最終頁に続く			

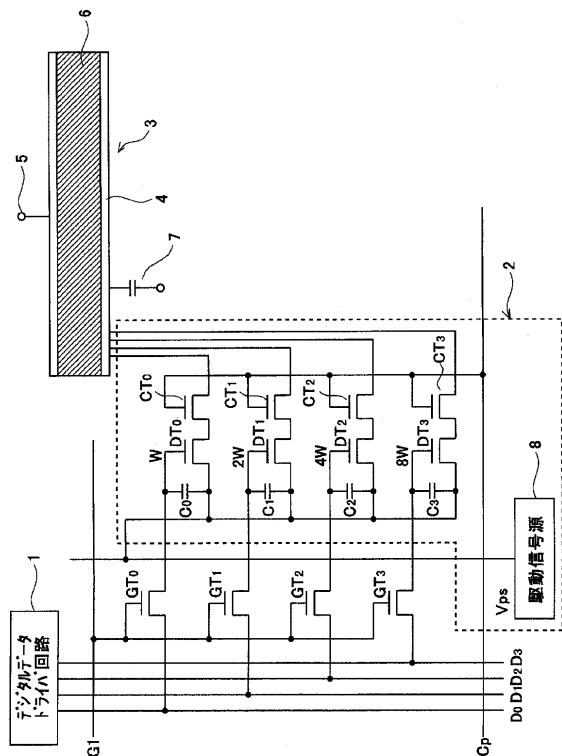
(21)出願番号	特願2002－148617(P2002－148617)	(71)出願人	000001889 三洋電機株式会社 大阪府守口市京阪本通2丁目5番5号
(22)出願日	平成14年5月23日(2002.5.23)	(72)発明者	千田 みちる 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
		(74)代理人	100107906 弁理士 須藤 克彦 (外 1 名)
		F ターム (参考)	3K007 AB18 BA06 BB07 DB03 GA04 5C080 AA06 BB05 DD03 DD22 EE29 JJ02 JJ03 JJ04 JJ05 5C094 AA07 AA15 BA03 BA27 CA19 CA25 FA01 FB01 FB20 GA10

(54)【発明の名称】 表示装置

(57)【要約】

【課題】ドライバ回路に近接してD／A変換器が配置されていたため、画素の周辺回路が複雑になり、表示パネルの額縁面積が増加するという問題があった。

【解決手段】画素毎に、デジタル映像信号に応じて重み付けされた駆動電流Iを発生する電流発生回路2を設け、この駆動電流Iを有機EL素子3に供給するようにしたものである。電流発生回路2は、デジタル映像信号を、それに応じた重み付けされた駆動電流に変換するD／A変換機能を有するものであり、デジタル映像信号に応じた階調表示を可能とするものである。



【特許請求の範囲】

【請求項 1】 複数の画素を備えた表示装置において、前記画素毎に、電流駆動型発光素子と、デジタル映像信号に応じた駆動電流を発生する電流発生回路と、を備え、前記駆動電流を前記電流駆動型発光素子に供給するようにしたことを特徴とする表示装置。

【請求項 2】 前記電流発生回路は、前記デジタル映像信号の各ビットに応じてスイッチングする複数の駆動用トランジスタと、前記複数の駆動用トランジスタに供給される駆動信号を出力する駆動信号源と、を備え、前記複数の駆動用トランジスタの電流駆動能力が前記デジタル映像信号の各ビットに応じて重み付けされていることを特徴とする請求項 1 記載の表示装置。

【請求項 3】 前記駆動信号源の出力と前記駆動用トランジスタのゲートとの間に結合容量を設けたことを特徴とする請求項 2 記載の表示装置。

【請求項 4】 前記複数の駆動用トランジスタから発生される駆動電流を前記電流駆動型発光素子に供給するタイミングを制御するためのタイミング制御用トランジスタを備えることを特徴とする請求項 2 記載の表示装置。

【請求項 5】 前記電流発生回路は、前記デジタル映像信号の各ビットに応じてスイッチングする複数の駆動用トランジスタと、駆動電圧源と、この駆動電圧源と前記各駆動用トランジスタとの間に接続された複数の抵抗素子と、を備え、前記複数の抵抗素子の抵抗値が前記デジタル映像信号の各ビットに応じて重み付けされていることを特徴とする請求項 1 記載の表示装置。

【請求項 6】 デジタル映像信号が供給される複数のドレイン信号線と、走査信号に応じて一画素を選択する複数の画素選択トランジスタと、前記複数の画素選択トランジスタを通して前記複数のドレイン信号線からのデジタル映像信号の各ビットがゲートに印加された複数の駆動用トランジスタと、前記複数の駆動用トランジスタのソースに供給される駆動信号を出力する駆動信号源と、前記駆動用トランジスタからの駆動電流によって駆動される E L 素子と、を備え、前記複数の駆動用トランジスタの電流駆動能力が前記デジタル映像信号の各ビットに応じて重み付けされていることを特徴とする表示装置。

【請求項 7】 前記駆動信号源の出力と前記駆動用トランジスタのゲートとの間に結合容量を設けたことを特徴とする請求項 6 記載の表示装置。

【請求項 8】 前記複数の駆動用トランジスタからの駆動電流を前記 E L 素子に供給するタイミングを制御するためのタイミング制御用トランジスタを備えることを特徴とする請求項 7 記載の表示装置。

【請求項 9】 デジタル映像信号が供給される複数のドレイン信号線と、走査信号に応じて一画素を選択する複数の画素選択トランジスタと、前記複数の画素選択トランジスタを通して前記複数のドレイン信号線からのデジタル映像信号の各ビットがゲートに印加された複数の駆

動用トランジスタと、駆動電圧源と、この駆動電圧源と前記各駆動用トランジスタとの間に接続された複数の抵抗素子と、前記駆動用トランジスタからの駆動電流によって駆動される E L 素子と、を備え、前記複数の抵抗素子の抵抗値が前記デジタル映像信号の各ビットに応じて重み付けされていることを特徴とする表示装置。

【請求項 10】 前記駆動用トランジスタのゲートに前記デジタル映像信号を保持する保持容量が設けられていることを特徴とする請求項 9 記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は表示装置に関し、特にデジタル映像信号をアナログ映像信号に変換する DA 変換機能を備えた表示装置に関する。

【0002】

【従来の技術】近年、エレクトロルミネッセンス (Electro Luminescence: 以下、「E L」と略称する) 素子を用いた E L 表示装置は、C R T や L C D に代わる表示装置として注目されている。特に、E L 素子を駆動させるスイッチング素子として薄膜トランジスタ (Thin Film Transistor: 以下、「T F T」と略称する) を備えた E L 表示装置が開発されている。

【0003】図 7 に、有機 E L 表示パネル内の一画素の等価回路図を示す。ゲート信号 G_n を供給するゲート信号線 50 と、ドレイン信号、すなわち、ビデオ信号 D_m を供給するドレイン信号線 60 とが互いに交差している。ビデオ信号 D_m は、上記のビデオ信号 V_{s2} をサンプリング信号でサンプリングして作成される。

【0004】それらの両信号線の交差点付近には、有機 E L 素子 120 及びこの有機 E L 素子 120 を駆動する T F T 100、画素を選択するための T F T 110 が配置されている。

【0005】有機 E L 素子駆動用の T F T 100 のドレイン 110 d には、正電源電圧 P V d d が供給されている。また、ソース 110 s は有機 E L 素子 120 のアノード 121 に接続されている。

【0006】また、画素選択用の T F T 110 のゲート 110 g にはゲート信号線 50 が接続されることによりゲート信号 G_n が供給され、ドレイン 110 d にはドレイン信号線 60 が接続されることにより、ビデオ信号 D_m が供給される。T F T 110 のソース 110 s は上記 T F T 100 のゲート 100 g に接続されている。ここで、ゲート信号 G_n は不図示のゲートドライバ回路から出力される。ビデオ信号 D_m は不図示のドレインドライバ回路から出力される。

【0007】また、有機 E L 素子 120 は、アノード 121、カソード 122、このアノード 121 とカソード 122 の間に形成された発光素子層 123 から成る。カソード 122 には、負電源電圧 C V が供給されている。

【0008】また、T F T 100 のゲート 100 g には

保持容量130が接続されている。すなわち、保持容量130の一方の電極はゲート100gに接続され、他方の電極は保持容量電極131に接続されている。保持容量130はビデオ信号Dmに応じた電荷を保持することにより、1フィールド期間、画素のビデオ信号を保持するために設けられている。

【0009】上述した構成のEL表示装置の動作を説明すると以下の通りである。ゲート信号Gnが一水平期間、ハイレベルになると、TFT110がオンする。すると、ドレイン信号線60からビデオ信号DmがTFT110を通して、TFT100のゲート100gに印加される。そして、ゲート100gに供給されたビデオ信号Dmに応じて、TFT100のコンダクタンスが変化し、それに応じた駆動電流がTFT100を通して、有機EL素子120に供給され、有機EL素子120が点灯する。

【0010】ところで、ドレイン信号線60に入力されるアナログ映像信号は、入力デジタル映像信号をD/A変換器によりデジタル・アナログ変換して得られる。従来、表示パネル内部にD/A変換器を内蔵する表示装置においては、画素周辺部のドライバ回路に近接してD/A変換器を配置していた。

【0011】

【発明が解決しようとする課題】しかしながら、従来の表示装置では、ドライバ回路に近接してD/A変換器が配置されていたため、画素の周辺回路が複雑になり、表示パネルの額縁面積が増加するという問題があった。

【0012】

【課題を解決するための手段】そこで、本発明の表示装置は、画素毎に、デジタル映像信号に応じて重み付けされた駆動電流を発生する電流発生回路を設け、この駆動電流を電流駆動発光素子、例えば有機EL素子に供給するようにしたものである。

【0013】係る電流発生回路は、デジタル映像信号を、それに応じて重み付けされた駆動電流に変換するD/A変換機能を有するものであり、デジタル映像信号に応じた階調表示を可能とするものである。そして、そのようなD/A変換機能を各画素毎に内蔵化したため、画素の周辺回路が簡単になり、表示パネルの額縁面積を縮小することが可能となる。

【0014】

【発明の実施の形態】第1の実施形態

次に、本発明の第1の実施形態に係る表示装置について図面を参照しながら説明する。図1は、第1の実施形態に係る表示装置の回路図である。図において、簡単のため一つの画素のみを示しているが、実際の表示装置ではこの画素が行列上に複数配置されている。

【0015】絶縁性基板（不図示）上の一方方向にゲート信号線G1が配設されている。ゲート信号線G1にはゲートドライバ（不図示）から走査信号が供給される。ゲ

ート信号線G1と交差する方向に4本のドレイン信号線D0～D3が配設されている。デジタルデータドライバ回路1は、4ビットのデジタル映像信号をサンプリング信号に応じて出力する。

【0016】ドレイン信号線D0～D3には、デジタル映像信号(n3, n2, n1, n0)の各ビットが出力される。すなわち、ドレイン信号線D0に最下位ビットn0が、ドレイン信号線D3に最上位ビットn3が出力される。実際にはデジタル映像信号は電圧信号で見ると、その振幅をV1とすれば、(n3・V1, n2・V1, n1・V1, n0・V1)と表される。ここで、n0～n3は、「0」または「1」のバイナリーデータである。

【0017】このデジタル映像信号のビット数を増加させることにより、さらに多階調の表示が可能である。反対に、デジタル映像信号のビット数を減少させることにより、低階調の表示が可能である。

【0018】Nチャンネル型の画素選択トランジスタGT0～GT3は、各ドレイン信号線D0～D3に接続されている。また、画素選択トランジスタGT0～GT3の各ゲートにはゲート信号線G1が共通に接続されている。なお、以下で「トランジスタ」とは薄膜トランジスタ(TFT)であるとする。

【0019】そして、デジタル映像信号(n3・V1, n2・V1, n1・V1, n0・V1)は、画素選択トランジスタGT0～GT3を通して、電流発生回路2に供給される。電流発生回路2は、デジタル映像信号(n3・V1, n2・V1, n1・V1, n0・V1)に応じた駆動電流を発生する回路である。その駆動電流は、有機EL素子3に供給される。有機EL素子3は、アノード4、カソード5、アノード4とカソード5の間に形成された有機材料から成る発光層6とから構成されている。なお、7はアノード4に付随する寄生容量である。

【0020】電流発生回路2は、以下の構成を有している。デジタル映像信号(n3・V1, n2・V1, n1・V1, n0・V1)の各ビットが各ゲートに印加され、各ビットに応じてスイッチングする4つのNチャンネル型の駆動用トランジスタDT0～DT3が設けられている。また、これらの駆動用トランジスタDT0～DT3に供給される駆動信号Vpsを出力する駆動信号源8が設けられている。この駆動信号源8の出力と駆動用トランジスタDT0～DT3のゲートとの間に接続された4つの結合容量C0～C3が設けられている。4つの結合容量C0～C3は、後述するように、駆動用トランジスタDT0～DT3がオンするときのゲート電位を昇圧するために設けられている。

【0021】また、駆動用トランジスタDT0～DT3から発生される駆動電流を有機EL素子3に供給するタイミングを制御するための4つのNチャンネル型のタイミング制御用トランジスタCT0～CT3が設けられている。

【0022】駆動用トランジスタDT0～DT3に発生す

る各駆動電流は、タイミング制御用トランジスタCT0～CT3を通して、有機EL素子3に印加される。つまり、有機EL素子3には、駆動用トランジスタDT0～DT3に発生する各駆動電流の和が印加される。

【0023】そして、駆動用トランジスタDT0～DT3の電流駆動能力は、デジタル映像信号($n3 \cdot V1$, $n2 \cdot V1$, $n1 \cdot V1$, $n0 \cdot V1$)の各ビットに応じて重み付けされている。

【0024】駆動用トランジスタDT0～DT3の電流駆動能力は、 $GW / (GL \cdot Tox)$ に比例することが知られている。GWはゲート幅、GLはチャンネル長、 Tox はゲート絶縁膜の膜厚である。そこで、例えば、ゲート幅GWについて重み付けがされる。例えば、駆動用トランジスタDT0のゲート幅GW0をWとすると、駆動用

$$1/R = (n0/8r + n1/4r + n2/2r + n3/r) \cdot \dots \cdot (2)$$

と近似的に表される。ここでrは駆動用トランジスタDT3のオン抵抗である。また、タイミング制御用トランジスタCT0～CT3のオン抵抗は、駆動用トランジスタDT0～DT3のオン抵抗に比して十分小さいものとする。

【0027】すると、デジタル映像信号のビットデータ($n3$, $n2$, $n1$, $n0$)に対応する上記抵抗値Rは、(0, 0, 0, 0)の時は、 ∞ (無限大)、(0, 0, 0, 1)のときは8r、(0, 0, 1, 0)の時は4r、(0, 0, 1, 1)の時は $8/3 \cdot r$ 、(0, 1, 0, 0)の時は2r、 $\dots$ 、(1, 1, 1, 1)の時は、 $8/15 \cdot r$ となる。なお、駆動用トランジスタDT0～DT3のオフ時の抵抗を近似的に ∞ (無限大)としている。

【0028】この変化の様子を図3に示した。図において、横軸はビットデータ($n3$, $n2$, $n1$, $n0$)、縦軸は抵抗値Rを示している。このように、デジタル映像信号のビットデータ($n3$, $n2$, $n1$, $n0$)が大きくなるに従って、合成された抵抗値Rは、減少していく。

【0029】すると、上記の(1)式によれば、有機EL素子3に印加される電圧Vは、ビットデータ($n3$, $n2$, $n1$, $n0$)が大きくなるに従って増加していく。有機EL素子3に印加される電圧Vが増加すれば、駆動用トランジスタDT0～DT3から有機EL素子3に流れる駆動電流Iも増加し、それに伴って有機EL素子3の輝度Lも増加する。駆動電流I及び有機EL素子3の輝度Lと電圧Vとの定性的な関係を図4に示した。

【0030】したがって、上述した構成の表示装置によれば、デジタル映像信号に応じた駆動電流Iを有機EL素子3に流し、それによって有機EL素子3の輝度Lを段階的に制御できる。換言すれば、デジタル映像信号を駆動電流Iにアナログ変換する一種のD/A変換機能を画素に内蔵したものであり、階調表示を可能としたものである。

【0031】次に、上述した構成の表示装置の動作につ

トランジスタDT1のゲート幅GW1を2W、駆動用トランジスタDT2のゲート幅GW2を4W、駆動用トランジスタDT3のゲート幅GW3を8Wと設定する。

【0025】これらの駆動用トランジスタDT0～DT3の合成された抵抗値をRとし、有機EL素子3の抵抗値をR' とすると、電流発生回路2と有機EL素子3の等価回路は図2のようになる。この等価回路から、有機EL素子3のアノード4とカソード5との間に発生する電圧Vは、

$$V = Vps \times R' / (R + R') \cdot \dots \cdot (1)$$

と表される。ただし、カソード5の電位を0Vとする。

【0026】一方、駆動用トランジスタDT0～DT3の合成された抵抗値Rは、

いて、図5を参照しながら説明する。駆動信号源8から出力される駆動信号Vpsは画素が選択される前には8Vであり、この8Vが駆動用トランジスタDT0～DT3のソースに供給される。次に、駆動信号Vpsが8Vから0Vに変化すると、駆動用トランジスタDT0～DT3のソースは0Vに設定される。次に、ゲート信号線G1の電位V(G1)が4V+ α に立ち上がる。ここで、 α は画素選択用トランジスタGT0～GT3のしきい値よりも大きい電圧である。

【0032】すると、画素選択用トランジスタGT0～GT3がオンし、ドレイン信号線D0～D3からデジタル映像信号の各ビット($n3$, $n2$, $n1$, $n0$)が読み込まれる。これにより、駆動用トランジスタDT0のゲートの電位は $n0 \times 4V$ 、駆動用トランジスタDT1のゲートの電位は、 $n1 \times 4V$ 、駆動用トランジスタDT2のゲートの電位は、 $n2 \times 4V$ 、駆動用トランジスタDT3のゲートの電位は、 $n3 \times 4V$ となる。

【0033】次に、ゲート信号線G1の電位V(G1)が0Vに立ち下がる。これにより、画素選択用トランジスタGT0～GT3がオフする。その後、駆動信号Vpsが0Vから8Vに立ち上がる。すると、結合容量C0～C3によって、駆動用トランジスタDT0～DT3のゲートの電位は8Vだけ上昇する。ただし、駆動用トランジスタDT0～DT3のゲート・ドレイン間容量のような寄生容量を無視した場合である。

【0034】例えば、駆動用トランジスタDT0のゲートの電位は $n0 \times 4V + 8V$ となる。つまり、 $n0$ が「0」の時は、そのゲートの電位8Vであり、この場合は、駆動用トランジスタDT0はオフする。一方、 $n0$ が「1」の時は、そのゲートの電位は12Vという高い電位となり、駆動用トランジスタDT0は十分にオンする。他の駆動用トランジスタDT1～DT3についても同様である。このように、結合容量C0～C3を用いて駆動用トランジスタDT0～DT3のゲートの電位を上昇させているので、デジタル映像信号の振幅を小さく抑えられ

るという利点がある。

【0035】こうして、デジタル映像信号の各ビット（ n_3, n_2, n_1, n_0 ）に応じて駆動用トランジスタDT0～DT3がスイッチングし、駆動用トランジスタDT0～DT3の合成された抵抗値は、式（2）に従って定まる。

【0036】その後、タイミング制御信号CPが8V+βに立ち上がると、タイミング制御用トランジスタCT0～CT3がオンする。βはタイミング制御用トランジスタCT0～CT3のしきい値よりも大きい電圧である。そうすると、駆動用トランジスタDT0～DT3から駆動電流Iが、タイミング制御用トランジスタCT0～CT3を通して流れ、有機EL素子3に印加され、その駆動電流Iに応じた輝度で発光する。

【0037】そして、タイミング制御信号CPが0Vに立ち下がると、タイミング制御用トランジスタCT0～CT3がオフし、有機EL素子3への駆動電流Iの供給が停止され、有機EL素子3は消灯する。

【0038】なお、本実施形態によれば、有機EL素子3に駆動電流Iを流すタイミングを調整するためにタイミング制御用トランジスタCT0～CT3を設けているが、そのような必要がある場合に設ければよい。そして、タイミング制御用トランジスタCT0～CT3を削除する場合には、駆動用トランジスタDT0～DT3の各ドレインを有機EL素子3に直接接続すればよい。

【0039】また、結合容量C0～C3は、駆動用トランジスタDT0～DT3がオンするときのゲート電位を昇圧するために設けられているが、これらを削除してもよい。ただし、その場合には、デジタル映像信号の振幅を大きくしなければならない。またデジタル映像信号（ n_3, n_2, n_1, n_0 ）のビット数も4ビットに限らず、適宜増減してもよい。

【0040】また、駆動用トランジスタDT0～DT3の電流駆動能力の重み付けは、駆動用トランジスタDT0～DT3のゲート幅GWによって行ったが、これに限らず、チャンネル長さGLやゲート絶縁膜の膜厚Toxによって重み付けすることもできる。

【0041】次に、本発明の第2の実施形態に係る表示*

$$1/R = (n_0/8r_0 + n_1/4r_0 + n_2/2r_0 + n_3/r_0) \cdot \cdot$$

と近似的に表される。ただし、駆動用トランジスタDT0'～DT3'のオン抵抗は、抵抗値 r_0 に比して十分小さいものとする。

【0048】したがって、第1の実施形態と同様に、デジタル映像信号のビットデータ（ n_3, n_2, n_1, n_0 ）に対応する上記抵抗値Rは、（0, 0, 0, 0）の時は、∞（無限大）、（0, 0, 0, 1）のときは $8r_0$ 、（0, 0, 1, 0）の時は $4r_0$ 、（0, 0, 1, 1）の時は $8/3 \cdot r_0$ 、（0, 1, 0, 0）の時は $2r_0$ 、・・・、（1, 1, 1, 1）の時は、 $8/15 \cdot r_0$ となる。なお、駆動用トランジスタDT0'～DT

*装置について図面を参照しながら説明する。図6は、第2の実施形態に係る表示装置の回路図である。図において、簡単のため一つの画素のみを示しているが、実際の表示装置ではこの画素が行列上に複数配置されている。なお、図1と同一の構成部分については同一の符号を付してその説明を省略する。

【0042】本実施形態では、駆動用トランジスタDT0～DT3のそれぞれに直列に抵抗を接続し、デジタル映像信号（ n_3, n_2, n_1, n_0 ）の各ビットに応じて、これらの抵抗の抵抗値を重み付けしたものである。

【0043】図6において、電流発生回路10は、以下の構成を有している。デジタル映像信号（ $n_3 \cdot V_1, n_2 \cdot V_1, n_1 \cdot V_1, n_0 \cdot V_1$ ）の各ビットが各ゲートに印加され、各ビットに応じてスイッチングする4つのNチャンネル型の駆動用トランジスタDT0'～DT3'が設けられている。ここで、電圧 V_1 は信号振幅（例えば、 $8V + \alpha$ ）である。

【0044】また、これらの駆動用トランジスタDT0'～DT3'のソースに供給される直流駆動電圧VDC（例えば8V）を出力する駆動電圧源11が設けられている。そして、駆動電圧源11の出力と駆動用トランジスタDT0'～DT3'の間にはそれぞれ抵抗値 $8r_0, 4r_0, 2r_0, r_0$ を有する抵抗素子が接続されている。

【0045】また、駆動用トランジスタDT0'～DT3'のゲートには、デジタル映像信号を保持するための保持容量CS0～CS3が接続されている。

【0046】これらの駆動用トランジスタDT0'～DT3'の合成された抵抗値をRとし、有機EL素子3の抵抗値をR'とすると、電流発生回路10と有機EL素子3の等価回路は図2と同様になる。この等価回路から、有機EL素子3のアノード4とカソード5との間に発生する電圧Vは、

$$V = VDC \times R' / (R + R') \cdot \cdot \cdot (3)$$

と表される。ただし、カソード5の電位を0Vとする。

【0047】一方、駆動用トランジスタDT0'～DT3'の合成された抵抗値Rは、

【0049】そして、第1の実施形態と全く同様にして、有機EL素子3に印加される電圧Vは、ビットデータ（ n_3, n_2, n_1, n_0 ）が大きくなるに従って増加していく。有機EL素子3に印加される電圧Vが増加すれば、駆動用トランジスタDT0'～DT3'から有機EL素子3に流れる駆動電流Iも増加し、それに伴って有機EL素子3の輝度Lも増加する。したがって、本実施形態によれば、デジタル映像信号に応じた駆動電流Iを有機EL素子3に流し、それによって有機EL素子3の輝

度Lを段階的に制御できる。

【0050】上述した構成の表示装置の動作について説明する。ここで、説明の簡単のため、駆動用トランジスタDT0'～DT3'及び画素選択用トランジスタGT0～GT3のしきい値を無視する。

【0051】ゲート信号線G1の電位V(G1)が例えば8Vに立ち上がる。すると、画素選択用トランジスタGT0～GT3がオンし、ドレイン信号線D0～D3からデジタル映像信号の各ビット(n3, n2, n1, n0)が読み込まれる。これにより、駆動用トランジスタDT0'のゲートの電位は、 $n0 \times 8V$ 、駆動用トランジスタDT1のゲートの電位は、 $n1 \times 8V$ 、駆動用トランジスタDT2'のゲートの電位は、 $n2 \times 8V$ 、駆動用トランジスタDT3'のゲートの電位は、 $n3 \times 8V$ となる。

【0052】例えば、駆動用トランジスタDT0'について、n0が「0」の時は、そのゲートの電位は0Vであり、この場合は、駆動用トランジスタDT0'はオフする。一方、n0が「1」の時は、そのゲートの電位は8Vとなり、駆動用トランジスタDT0'はオンする。他の駆動用トランジスタDT1'～DT3'についても同様である。

【0053】こうして、デジタル映像信号の各ビット(n3, n2, n1, n0)に応じて駆動用トランジスタDT0'～DT3'がスイッチングし、駆動用トランジスタDT0'～DT3'の合成された抵抗値は、式(2)に従って定まる。そして、駆動用トランジスタDT0'～DT3'から駆動電流Iが有機EL素子3に印加され、その駆動電流Iに応じた輝度で発光する。

【0054】なお、本実施形態では、有機EL素子3に駆動電流Iを流すタイミングを調整するためにタイミグ制御用トランジスタCT0～CT3を省略しているが、第1の実施形態と同様に設けても良い。またデジタル映像信号(n3, n2, n1, n0)のビット数も4ビットに限らず、適宜増減してもよいことは言うまでもない。

【0055】さらに、第1及び第2の実施形態において、有機EL素子3を用いた表示装置への適用について*

*説明したが、本発明はこれに限らず、LED等の電流駆動発光素子を用いた表示装置に広く適用することができるものである。

【0056】

【発明の効果】本発明の表示装置は、画素毎に、デジタル映像信号に応じて重み付けされた駆動電流を発生する電流発生回路を設け、この駆動電流を電流駆動発光素子、例えば有機EL素子に供給するようにした。要すれば、デジタル映像信号に応じた階調表示を可能とするD/A変換機能を各画素毎に内蔵化したものである。これにより、画素の周辺回路が簡単になり、表示パネルの額縁面積を縮小化することが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る表示装置を示す回路図である。

【図2】図1における電流発生回路2と有機EL素子3の等価回路図である。

【図3】駆動用トランジスタDT0～DT3の合成された抵抗値Rとデジタル映像信号との関係を示す図である。

【図4】駆動電流I及び有機EL素子3の輝度Lと電圧Vとの定性的な関係を示す図である。

【図5】本発明の第1の実施形態に係る表示装置の動作を説明するタイミング図である。

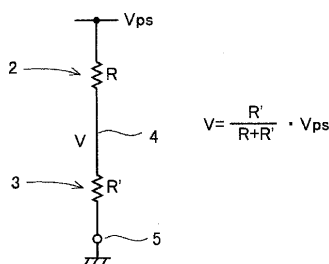
【図6】本発明の第2の実施形態に係る表示装置を示す回路図である。

【図7】従来例に係る有機EL表示パネル内の一画素の等価回路図である。

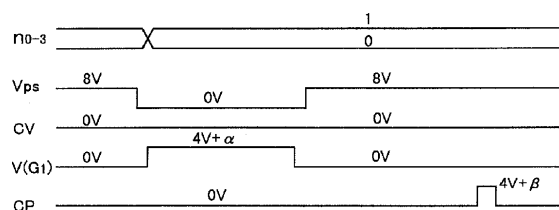
【符号の説明】

- | | | | |
|---------|---------------|---------|-----------|
| 1 | デジタルデータドライバ回路 | 2 | 電流発生回路 |
| 3 | 有機EL素子 | | |
| 4 | アノード | 5 | カソード |
| 6 | 発光層 | 7 | |
| 8 | 寄生容量 | 8 | 駆動信号源 |
| G1 | ゲート信号線 | D0～D3 | ドレイン信号線 |
| GT0～GT3 | 画素選択トランジスタ | DT0～DT3 | 駆動用トランジスタ |
| CT0～CT3 | タイミグ制御用トランジスタ | | |

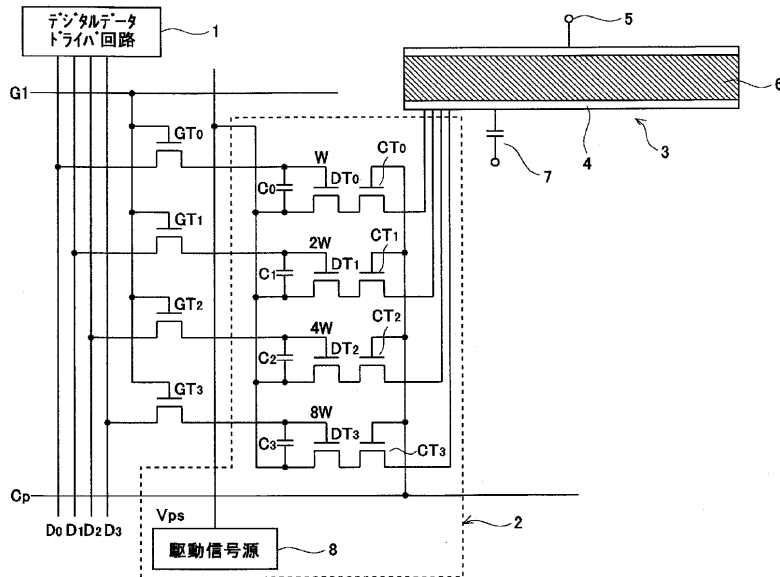
【図2】



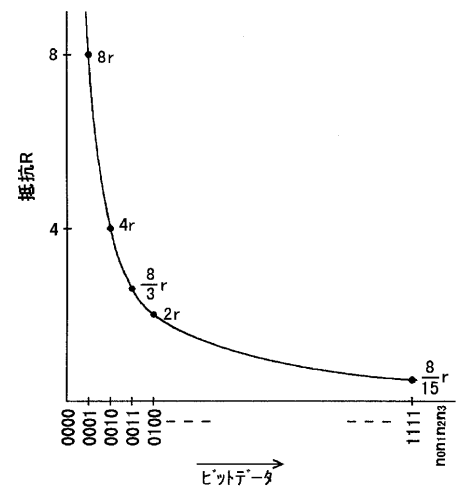
【図5】



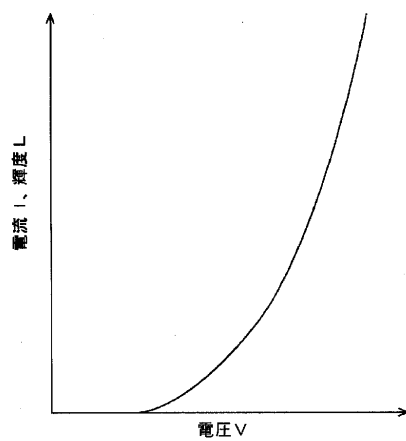
【図 1】



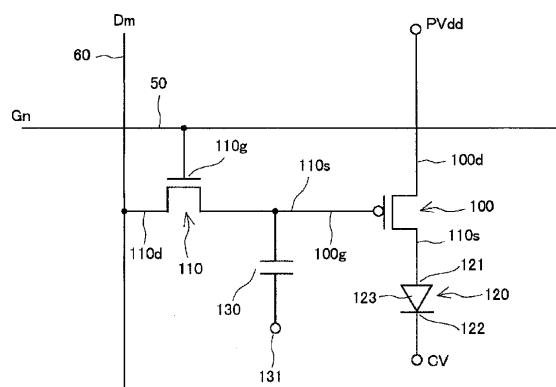
【図 3】



【図 4】



【図 7】



要解决的问题：为了解决由于D/A转换器靠近传统显示装置中的驱动电路而布置的问题，像素的外围电路变得复杂并且显示面板的框架面积增加。ŽSOLUTION：该显示装置具有电流产生电路2，用于产生驱动电流I，该电流I响应于每个像素的数字视频信号而被加权，并且驱动电流I被提供给有机EL（电致发光）元件3。产生电路2具有D/A转换功能，用于将数字视频信号转换成响应于数字视频信号加权的驱动电流，从而使显示装置执行对应于数字视频信号的灰度显示。Ž

