

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6142178号

(P6142178)

(45) 発行日 平成29年6月7日(2017.6.7)

(24) 登録日 平成29年5月19日(2017.5.19)

(51) Int.Cl.

F I

G O 9 G 3/3233 (2016.01)

G O 9 G 3/30 (2006.01)

G O 9 G 3/20 (2006.01)

H O 1 L 51/50 (2006.01)

G O 9 G 3/3233

G O 9 G 3/30 J

G O 9 G 3/20 6 1 1 H

G O 9 G 3/20 6 2 4 B

G O 9 G 3/20 6 2 1 A

請求項の数 5 (全 23 頁) 最終頁に続く

(21) 出願番号 特願2015-535292 (P2015-535292)
(86) (22) 出願日 平成26年6月9日(2014.6.9)
(86) 国際出願番号 PCT/JP2014/003071
(87) 国際公開番号 W02015/033496
(87) 国際公開日 平成27年3月12日(2015.3.12)
審査請求日 平成28年2月22日(2016.2.22)
(31) 優先権主張番号 特願2013-183312 (P2013-183312)
(32) 優先日 平成25年9月4日(2013.9.4)
(33) 優先権主張国 日本国(JP)

(73) 特許権者 514188173
株式会社 J O L E D
東京都千代田区神田錦町三丁目2 3 番地
(74) 代理人 100189430
弁理士 吉川 修一
(74) 代理人 100190805
弁理士 傍島 正朗
(72) 発明者 柘植 仁志
日本国東京都千代田区神田錦町三丁目2 3
番地 株式会社 J O L E D 内
(72) 発明者 戎野 浩平
日本国東京都千代田区神田錦町三丁目2 3
番地 株式会社 J O L E D 内

最終頁に続く

(54) 【発明の名称】 表示装置および駆動方法

(57) 【特許請求の範囲】

【請求項 1】

制御部とマトリクス状に配置された複数の表示画素とを有する表示装置であって、
前記複数の表示画素の各々は、
発光素子と、
電圧を保持するための容量素子と、
前記容量素子に保持された電圧に応じた電流を前記発光素子に供給することにより前記
発光素子を発光させる駆動トランジスタと、
前記表示画素を初期化する初期化期間において、前記駆動トランジスタに、前記駆動ト
ランジスタの閾値電圧よりも大きな電圧であって前記駆動トランジスタのゲート電極およ
びソース電極間が順バイアスとなる参照電圧を印加し、前記初期化期間の前の前記発光素
子を発光させない期間のうちの所定期間において、前記駆動トランジスタに、前記駆動ト
ランジスタの前記ゲート電極およびソース電極間が逆バイアスとなる電圧である逆バイア
ス電圧を印加する電圧印加部と、
前記所定期間および前記初期化期間において、前記容量素子の第2電極と第1電源線と
を導通させる第1スイッチと、
データ信号電圧を供給するための信号線と前記容量素子の第1電極との導通および非導
通を切り換える第2スイッチと、
前記容量素子の前記第1電極と前記駆動トランジスタの前記ゲート電極の導通および非
導通を切り換える第3スイッチとを備え、

前記電圧印加部は、

前記参照電圧を供給する第2電源線または前記逆バイアス電圧を供給する第3電源線に切り換えて前記参照電圧または前記逆バイアス電圧を供給する電源切換スイッチと、

前記電源切換スイッチと前記駆動トランジスタの前記ゲート電極との導通および非導通を切り換える第4スイッチとを有し、

前記駆動トランジスタのソース電極は、前記容量素子の第2電極および前記発光素子のアノードと導通されており、

前記制御部は、

前記所定期間において、

前記第2スイッチを非導通にさせ、前記第3スイッチを導通にさせ、かつ、第1スイッチを導通させた状態において、前記第4スイッチを導通させ、かつ、前記電源切換スイッチを制御して前記第3電源線に切り換えて前記逆バイアス電圧を供給させ、

前記初期化期間において、

前記第2スイッチを非導通、かつ、前記第3スイッチを導通、かつ、第1スイッチを導通させた状態において、前記第4スイッチを導通させ、かつ、前記電源切換スイッチを制御して前記第2電源線に切り換えて前記参照電圧を供給させる、

表示装置。

【請求項2】

前記第1スイッチ、前記第2スイッチ、前記第3スイッチ、前記第4スイッチおよび前記駆動トランジスタは、Nチャンネル薄膜トランジスタである、

請求項1に記載の表示装置。

【請求項3】

前記所定期間は、前記初期化期間の後の期間であって前記駆動トランジスタの閾値電圧を補償する閾値補償期間よりも長い、

請求項1または2に記載の表示装置。

【請求項4】

前記駆動トランジスタのチャネル層は、酸化物半導体からなる、

請求項1～3のいずれか1項に記載の表示装置。

【請求項5】

マトリクス状に配置された複数の表示画素を有する表示装置の駆動方法であって、

前記複数の表示画素の各々は、

発光素子と、

電圧を保持するための容量素子と、

前記容量素子に保持された電圧に応じた電流を前記発光素子に供給することにより前記発光素子を発光させる駆動トランジスタと、

前記容量素子の第2電極と第1電源線とを導通させるための第1スイッチと、

データ信号電圧を供給するための信号線と前記容量素子の第1電極との導通および非導通を切り換える第2スイッチと、

前記容量素子の前記第1電極と前記駆動トランジスタのゲート電極の導通および非導通を切り換える第3スイッチとを備え、

前記駆動トランジスタのソース電極は、前記容量素子の第2電極および前記発光素子のアノードと導通されており、

前記駆動方法は、

前記表示画素を初期化する初期化期間において、前記駆動トランジスタに、前記駆動トランジスタの閾値電圧よりも大きな電圧であって前記駆動トランジスタのゲート電極およびソース電極間が順バイアスとなる参照電圧を印加するステップと、

前記初期化期間の前の前記発光素子を発光させない期間のうちの所定期間において、前記駆動トランジスタに、前記駆動トランジスタの前記ゲート電極およびソース電極間が逆バイアスとなる電圧である逆バイアス電圧を印加するステップとを含み、

前記逆バイアス電圧を印加するステップでは、

10

20

30

40

50

前記第 2 スイッチを非導通、前記第 3 スイッチを導通、かつ、第 1 スイッチを導通にさせた状態において、

前記参照電圧を供給する第 2 電源線または前記逆バイアス電圧を供給する第 3 電源線に切り換えて前記参照電圧または前記逆バイアス電圧を供給する電源切換スイッチと前記駆動トランジスタの前記ゲート電極との導通および非導通を切り換える第 4 スイッチを導通させ、かつ、前記電源切換スイッチを制御して前記第 3 電源線に切り換えて、前記逆バイアス電圧を供給させ、

前記参照電圧を印加するステップでは、

前記第 2 スイッチを非導通、かつ、前記第 3 スイッチを導通、かつ、第 1 スイッチを導通にさせた状態において、前記第 4 スイッチを導通させ、かつ、前記電源切換スイッチを制御して前記第 2 電源線に切り換えて前記参照電圧を供給させる、

駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置および駆動方法に関し、特に電流駆動型の発光素子を用いた表示装置の駆動方法に関する。

【背景技術】

【0002】

近年、液晶ディスプレイに代わる次世代のフラットパネルディスプレイの一つとして、有機 EL (Electro Luminescence) を利用した有機 EL ディスプレイが注目されている。有機 EL ディスプレイ等のアクティブマトリクス方式の表示装置には、駆動トランジスタとして薄膜トランジスタ (TFT: Thin Film Transistor) が用いられる。

【0003】

薄膜トランジスタの半導体層 (チャネル層) としてはシリコンを用いることが多いが、近年、アモルファス IGZO (In - Ga - Zn - O) に代表される酸化物半導体を半導体層として用いた薄膜トランジスタも開発されている (例えば特許文献 1)。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2012 - 212077 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、酸化物半導体を半導体層 (チャネル層) に用いた TFT では、通電などのストレスにより、TFT がオン状態となるゲートソース間電圧 (閾値電圧) が変動しやすい。そして、閾値電圧の経時的な変動は、表示装置の輝度制御に影響し、表示品質を悪化させてしまうという問題が生じる。

【0006】

さらに、酸化物半導体を半導体層に用いた TFT では、閾値電圧の変動を抑制するために、閾値電圧補償動作を行うとしても、閾値電圧の信頼性シフトが大きく短時間しか閾値電圧補償動作を行うことができないという問題もある。つまり、閾値電圧補償動作が可能な電圧 (限界電圧以下) を短時間しか維持できないという問題もある。

【0007】

本発明は、上述の問題に鑑みてなされたものであり、閾値電圧補償動作を行う期間を十分に確保できない場合でも、より長期間、駆動トランジスタの閾値電圧を動作補償範囲内に含めることができる表示装置およびその駆動方法を提供することを目的とする。

【課題を解決するための手段】

【0008】

10

20

30

40

50

上記目的を達成するために、本発明の一態様に係る表示装置は、マトリクス状に配置された複数の表示画素を有する表示装置であって、前記複数の表示画素の各々は、発光素子と、電圧を保持するための容量素子と、前記容量素子に保持された電圧に応じた電流を前記発光素子に供給することにより前記発光素子を発光させる駆動トランジスタと、前記表示画素を初期化する初期化期間において、前記駆動トランジスタに、前記駆動トランジスタの閾値電圧よりも大きな電圧であって前記駆動トランジスタのゲート電極およびソース電極間が順バイアスとなる参照電圧を印加し、前記初期化期間の前の前記発光素子を発光させない期間のうちの所定期間において、前記駆動トランジスタに、前記駆動トランジスタの前記ゲート電極およびソース電極間が逆バイアスとなる電圧である逆バイアス電圧を印加する電圧印加部と、を備える。

10

【発明の効果】

【0009】

本発明の表示装置等によれば、閾値電圧補償動作を行う期間を十分に確保できない場合でも、より長期間、駆動トランジスタの閾値電圧を動作補償範囲内に含めることができる。

【図面の簡単な説明】

【0010】

【図1】図1は、実施の形態に係る表示装置の機能ブロック図の一例である。

【図2A】図2Aは、実施の形態に係る表示装置の有する表示画素の回路構成の一例を示す図である。

20

【図2B】図2Bは、実施の形態に係る表示装置の有する表示画素の回路構成の一例を示す図である。

【図3】図3は、実施の形態に係る表示装置の駆動時の動作の一例を説明するためのタイミングチャートである。

【図4A】図4Aは、図3に示すタイミングチャートにおける画素回路の動作の一例を示す図である。

【図4B】図4Bは、図3に示すタイミングチャートにおける画素回路の動作の一例を示す図である。

【図4C】図4Cは、図3に示すタイミングチャートにおける画素回路の動作の一例を示す図である。

30

【図4D】図4Dは、図3に示すタイミングチャートにおける画素回路の動作の一例を示す図である。

【図4E】図4Eは、図3に示すタイミングチャートにおける画素回路の動作の一例を示す図である。

【図4F】図4Fは、図3に示すタイミングチャートにおける画素回路の動作の一例を示す図である。

【図5】図5は、図3に示すタイミングチャートの変形例である。

【図6】図6は、図2Bに示す回路構成の変形例を示す図である。

【図7】図7は、図2Bに示す回路構成の変形例を示す図である。

【図8】図8は、図2Bに示す回路構成の変形例を示す図である。

40

【図9】図9は、本開示の表示装置を内蔵した薄型フラットTVの外観図である。

【発明を実施するための形態】

【0011】

本発明に係る表示装置の一態様は、制御部とマトリクス状に配置された複数の表示画素とを有する表示装置であって、前記複数の表示画素の各々は、発光素子と、電圧を保持するための容量素子と、前記容量素子に保持された電圧に応じた電流を前記発光素子に供給することにより前記発光素子を発光させる駆動トランジスタと、前記表示画素を初期化する初期化期間において、前記駆動トランジスタに、前記駆動トランジスタの閾値電圧よりも大きな電圧であって前記駆動トランジスタのゲート電極およびソース電極間が順バイアスとなる参照電圧を印加し、前記初期化期間の前の前記発光素子を発光させない期間のう

50

ちの所定期間において、前記駆動トランジスタに、前記駆動トランジスタの前記ゲート電極およびソース電極間が逆バイアスとなる電圧である逆バイアス電圧を印加する電圧印加部と、前記所定期間および前記初期化期間において、前記容量素子の第2電極と第1電源線とを導通させる第1スイッチと、データ信号電圧を供給するための信号線と前記容量素子の前記第1電極との導通および非導通を切り換える第2スイッチと、前記容量素子の前記第1電極と前記駆動トランジスタの前記ゲート電極の導通および非導通を切り換える第3スイッチとを備え、前記電圧印加部は、前記参照電圧を供給する第2電源線または前記逆バイアス電圧を供給する第3電源線に切り換えて前記参照電圧または前記逆バイアス電圧を供給する電源切換スイッチと、前記電源切換スイッチと前記駆動トランジスタの前記ゲート電極との導通および非導通を切り換える第4スイッチとを有し、前記駆動トランジスタのソース電極は、前記容量素子の第2電極および前記発光素子のアノードと導通されており、前記制御部は、前記所定期間において、前記第2スイッチを非導通にさせ、前記第3スイッチを導通にさせ、かつ、第1スイッチを導通させた状態において、前記第4スイッチを導通させ、かつ、前記電源切換スイッチを制御して前記第3電源線に切り換えて前記逆バイアス電圧を供給させ、前記初期化期間において、前記第2スイッチを非導通、かつ、前記第3スイッチを導通、かつ、第1スイッチを導通させた状態において、前記第4スイッチを導通させ、かつ、前記電源切換スイッチを制御して前記第2電源線に切り換えて前記参照電圧を供給させる。

10

【0012】

ここで、例えば、前記第1スイッチ、前記第2スイッチ、前記第3スイッチ、前記第4スイッチおよび前記駆動トランジスタは、Nチャンネル薄膜トランジスタである。

20

【0013】

また、例えば、前記所定期間は、前記初期化期間の後の期間であって前記駆動トランジスタの閾値電圧を補償する閾値補償期間よりも長い。

【0014】

また、例えば、前記駆動トランジスタのチャネル層は、酸化物半導体からなる。

【0015】

また、本発明に係る駆動方法の一態様は、マトリクス状に配置された複数の表示画素有する表示装置の駆動方法であって、前記複数の表示画素の各々は、発光素子と、電圧を保持するための容量素子と、前記容量素子に保持された電圧に応じた電流を前記発光素子に供給することにより前記発光素子を発光させる駆動トランジスタと、前記容量素子の第2電極と第1電源線とを導通させるための第1スイッチと、データ信号電圧を供給するための信号線と前記容量素子の前記第1電極との導通および非導通を切り換える第2スイッチと、前記容量素子の前記第1電極と前記駆動トランジスタの前記ゲート電極の導通および非導通を切り換える第3スイッチとを備え、前記駆動トランジスタのソース電極は、前記容量素子の第2電極および前記発光素子のアノードと導通されており、前記駆動方法は、前記表示画素を初期化する初期化期間において、前記駆動トランジスタに、前記駆動トランジスタの閾値電圧よりも大きな電圧であって前記駆動トランジスタのゲート電極およびソース電極間が順バイアスとなる参照電圧を印加するステップと、前記初期化期間の前記発光素子を発光させない期間のうちの所定期間において、前記駆動トランジスタに、前記駆動トランジスタの前記ゲート電極およびソース電極間が逆バイアスとなる電圧である逆バイアス電圧を印加するステップとを含み、前記逆バイアス電圧を印加するステップでは、前記第2スイッチを非導通、前記第3スイッチを導通、かつ、第1スイッチを導通にさせた状態において、前記参照電圧を供給する第2電源線または前記逆バイアス電圧を供給する第3電源線に切り換えて前記参照電圧または前記逆バイアス電圧を供給すると前記駆動トランジスタの前記ゲート電極との導通および非導通を切り換える前記第4スイッチを導通させ、かつ、前記電源切換スイッチを制御して前記第3電源線に切り換えて前記逆バイアス電圧を供給させ、前記参照電圧を印加するステップでは、前記第2スイッチを非導通、かつ、前記第3スイッチを導通、かつ、第1スイッチを導通にさせた状態において、前記第4スイッチを導通させ、かつ、前記電源切換スイッチを制御して前記第2電

30

40

50

源線に切り換えて前記参照電圧を供給させる。

【0016】

以下、本発明の一態様に係る表示装置およびその駆動方法について、図面を参照しながら具体的に説明する。

【0017】

なお、以下で説明する実施の形態は、いずれも本発明の一具体例を示すものである。以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の配置位置および接続形態、ステップ、ステップの順序などは、一例であり、本発明を限定する主旨ではない。また、以下の実施の形態における構成要素のうち、最上位概念を示す独立請求項に記載されていない構成要素については、任意の構成要素として説明される。また、以下の各図は、模式図であり、必ずしも厳密に図示したものではない。

10

【0018】

(実施の形態)

本実施の形態において、本開示の一態様に係る表示装置の発光素子として有機EL素子を用いる場合について説明する。

【0019】

図1は、実施の形態に係る表示装置の機能ブロック図の一例である。

【0020】

図1に示す表示装置1は、表示パネル制御回路2と、走査線駆動回路3と、データ線駆動回路5と、表示パネル6とを備える。

20

【0021】

表示パネル6は、例えば有機ELパネルである。また、表示パネル6は、少なくとも、互いに平行に配置されたN(例えばN=1080)本の走査線と、N本の点灯制御線、直交して配置されたM本のソース信号線を有する(図示せず)。さらに、表示パネル6は、ソース信号線と走査線との各交点に、薄膜トランジスタおよびEL素子から構成される画素回路(図示せず)を有する。

【0022】

表示パネル制御回路2は、後述する所定期間および初期化期間における動作を制御する制御部の一例である。表示パネル制御回路2は、表示データ信号S1に基づいてデータ線駆動回路5を制御するための制御信号S2を生成し、生成した制御信号S2をデータ線駆動回路5へ出力する。また、表示パネル制御回路2は、入力される同期信号に基づいて走査線駆動回路3を制御するための制御信号S3を生成する。そして、表示パネル制御回路2は、生成した制御信号S3を走査線駆動回路3へ出力する。

30

【0023】

ここで、表示データ信号S1は、映像信号、垂直同期信号、および水平同期信号を含む表示データを示す信号である。映像信号は、フレームごとに階調情報である各画素値を指定する信号である。垂直同期信号は、画面に対する垂直方向の処理のタイミングについて同期を取るための信号であり、ここでは、フレームごとの処理タイミングの基準となる信号である。水平同期信号は、画面に対する水平方向の処理のタイミングについて同期を取るための信号である。

40

【0024】

また、制御信号S2は、映像信号および水平同期信号を含む。制御信号S3は、垂直同期信号および水平同期信号をそれぞれ含む。

【0025】

データ線駆動回路5は、表示パネル制御回路2で生成された制御信号S2に基づいて、表示パネル6のソース信号線を駆動する。より具体的には、データ線駆動回路5は、映像信号および水平同期信号に基づいて、各画素回路にソース信号を出力する。

【0026】

走査線駆動回路3は、表示パネル制御回路2で生成された制御信号S3に基づいて、表示パネル6の走査線を駆動する。より具体的には、走査線駆動回路3は、垂直同期信号お

50

よび水平同期信号に基づいて、各画素回路に走査信号、R e f 信号、M e r g e 信号、i n i t 信号を出力する。

【 0 0 2 7 】

以上のように、表示装置 1 は構成される。

【 0 0 2 8 】

なお、表示装置 1 は、例えば、図示しないが、C P U (C e n t r a l P r o c e s s i n g U n i t)、制御プログラムを格納した R O M (R e a d O n l y M e m o r y) などの記憶媒体、R A M (R a n d o m A c c e s s M e m o r y) などの作業用メモリ、および通信回路を有するとしてもよい。表示データ信号 S 1 は、例えば、C P U が制御プログラムを実行することにより生成される。

10

【 0 0 2 9 】

図 2 A および図 2 B は、実施の形態に係る表示装置の有する表示画素の回路構成の一例を示す図である。

【 0 0 3 0 】

図 2 A および図 2 B に示す画素回路 6 0 は、表示パネル 6 が有する一画素であり、D a t a 線 7 6 (データ線) を介して供給されたデータ信号 (データ信号電圧) により発光する機能を有する。

【 0 0 3 1 】

画素回路 6 0 は、表示画素 (発光画素) の一例であり、行列状に配置されている。画素回路 6 0 は、例えば図 2 A に示すように、駆動トランジスタ 6 1 と、スイッチ 6 2 と、スイッチ 6 3 を有する電圧印加部 3 1 と、スイッチ 6 4 と、スイッチ 6 5 と、E L 素子 6 6 と、容量素子 6 7 と、を備えている。また、画素回路 6 0 には、D a t a 線 7 6 (データ線) と、R F V 線 6 8 ($V_{R E F}$ または $V_{R E V}$) と、E L アノード電源線 6 9 ($V_{T F T}$) と、E L カソード電源線 7 0 ($V_{E L}$) と、初期化電源線 7 1 ($V_{I N I}$) と、M e r g e 線 7 5 (マージ線) とを備える。

20

【 0 0 3 2 】

ここで、D a t a 線 7 6 は、データ信号電圧を供給するための信号線 (ソース信号線) の一例である。

【 0 0 3 3 】

R F V 線 6 8 は、例えば図 2 A に示すように参照電圧 $V_{R E F}$ または逆バイアス電圧 $V_{R E V}$ を供給する。E L アノード電源線 6 9 ($V_{T F T}$) は、駆動トランジスタ 6 1 のドレイン電極の電位を決定するための高電圧側電源線であり、例えば 20 V である。E L カソード電源線 7 0 ($V_{E L}$) は、E L 素子 6 6 の第 2 電極 (カソード) に接続された低電圧側電源線である。初期化電源線 7 1 ($V_{I N I}$) は、駆動トランジスタ 6 1 のソースゲート間の電圧すなわち容量素子 6 7 の電圧を初期化するための電圧 $V_{I N I}$ (初期化電圧 $V_{I N I}$ とも称す) を供給する第 1 電源線の一例である。

30

【 0 0 3 4 】

ここで、R F V 線 6 8 が供給する参照電圧 $V_{R E F}$ と初期化電源線 7 1 の電圧 $V_{I N I}$ との電位差は駆動トランジスタ 6 1 の閾値電圧 ($V_{t h}$) よりも大きな電圧、すなわち、閾値電圧 $V_{t h} < (\text{参照電圧 } V_{R E F} - \text{電圧 } V_{I N I})$ に設定される。

40

【 0 0 3 5 】

また、R F V 線 6 8 が供給する参照電圧 $V_{R E F}$ および初期化電源線 7 1 の電圧 $V_{I N I}$ は、E L 素子 6 6 に電流が流れないように、次のように設定されている。

【 0 0 3 6 】

電圧 $V_{I N I} < \text{電圧 } V_{E L} + (\text{E L 素子 6 6 の順方向電流閾値電圧})$ 、参照電圧 $V_{R E F} < \text{電圧 } V_{E L} + (\text{E L 素子 6 6 の順方向電流閾値電圧}) + (\text{駆動トランジスタ 6 1 の閾値電圧 } V_{t h})$

【 0 0 3 7 】

なお、R F V 線 6 8 は、例えば図 2 B に示すように、電源線 6 8 A ($V_{R E F}$) と電源線 6 8 B ($V_{R E V}$) とで構成され、電源切換スイッチ 3 1 0 で切り換えられて、参照電

50

圧 V_{REF} または逆バイアス電圧 V_{REV} を供給するとしてもよい。

【0038】

EL素子66は、駆動トランジスタ61により供給された電流に応じて発光する発光素子の一例であり、行列状に配置される。EL素子66は、例えば有機EL素子である。EL素子66は、カソード（第2電極）が、ELカソード電源線70に接続され、アノード（第1電極）が、駆動トランジスタ61のソース（ソース電極）に接続されている。ここで、ELカソード電源線70に供給されている電圧は V_{EL} であり、例えば0（V）である。

【0039】

駆動トランジスタ61は、EL素子66への電流の供給を制御する電圧駆動の駆動素子であり、容量素子67に保持された電圧に応じた電流をEL素子66に供給することでEL素子66を発光させる。

10

【0040】

例えば、発光期間（後述の期間T11）において、駆動トランジスタ61は、容量素子67に保持された電圧（データ信号電圧）に応じた電流をEL素子66に流すことにより、EL素子66を発光させる。より具体的には、駆動トランジスタ61は、ゲート電極に供給されたデータ信号電圧を、そのデータ信号電圧に対応した電流に変換し、変換された電流をEL素子66に供給することにより、EL素子66を発光させる。

【0041】

また、例えば、発光期間に続く非発光期間（後述の期間T12）において、駆動トランジスタ61は電流をEL素子66に流さないことでEL素子66を発光させない。

20

【0042】

また、例えば、初期化期間の前の所定期間（逆バイアス期間、後述の期間T2）において、駆動トランジスタ61のゲート電極 - ソース電極間に逆バイアスが印加される。それにより、閾値電圧 V_{th} の変動量を抑制することができる。そして、その後、初期化期間（後述の期間T5）において、駆動トランジスタ61の閾値電圧補償を行うためにドレイン電流を流すのに必要な電圧が駆動トランジスタ61のソース電極 - ゲート電極間に印加され、閾値補償期間（後述の期間T6）において、駆動トランジスタ61の閾値電圧が補償される。なお、詳細については後述するためここでの説明は省略するが、このようにして、閾値電圧 V_{th} の変動を補正する閾値補償機能に加えて、閾値電圧 V_{th} の変動量を抑える逆バイアス印加機能を設けることで、より長期間、動作補償範囲に閾値電圧 V_{th} が含まれる駆動トランジスタ61（画素回路60）を実現することができる。

30

【0043】

また、駆動トランジスタ61を構成する薄膜トランジスタ（TFT）はn型であってもp型であってもよい。また、薄膜トランジスタのチャネル層は、アモルファスシリコン、微結晶シリコン、ポリシリコン、酸化物半導体および有機半導体などのうちのいずれかで形成されていてもよい。例えば、酸化物半導体は、インジウム（In）、ガリウム（Ga）および亜鉛（Zn）のうち、少なくとも1種を含む酸化物半導体材料を用いることができる。酸化物半導体は、オフ電流が少なく、アモルファス状態でも高い電子移動度を持ち、低温プロセスで形成可能であり、例えば、アモルファス酸化インジウムガリウム亜鉛（InGaZnO）を用いて形成できる。

40

【0044】

容量素子67は、電圧を保持するための蓄積容量であり、駆動トランジスタ61の流す電流量を決める電圧を保持する。具体的には、容量素子67の第2電極（節点B側の電極）は、駆動トランジスタ61のソース電極（ELカソード電源線70側）とEL素子66のアノード（第1電極）との間に接続されている。容量素子67の第1電極（節点A側の電極）は、駆動トランジスタ61のゲート電極にスイッチ65を介して接続されている。また、容量素子67の第1電極は、参照電圧 V_{REF} または逆バイアス電圧 V_{REV} を供給するRFV線68とスイッチ63およびスイッチ65を介して接続されている。

【0045】

50

スイッチ 6 2 は、データ信号電圧を供給するための D a t a 線 7 6 (信号線) と容量素子 6 7 の第 1 電極との導通および非導通を切り換える第 2 スwitch の一例である。具体的には、スイッチ 6 2 は、ドレインおよびソースの一方の端子が D a t a 線 7 6 に接続され、ドレインおよびソースの他方の端子が容量素子 6 7 の第 1 電極に接続され、ゲートが走査線である S c a n 線 7 2 に接続されているスイッチングトランジスタである。換言すると、スイッチ 6 2 は、D a t a 線 7 6 を介して供給された映像信号電圧 (映像信号) に応じたデータ信号電圧 (データ信号) を容量素子 6 7 に書き込むための機能を有する。

【 0 0 4 6 】

電圧印加部 3 1 は、駆動トランジスタ 6 1 を初期化する初期化期間 (期間 T 5) において、駆動トランジスタ 6 1 に、駆動トランジスタ 6 1 の閾値電圧 V_{th} よりも大きな電圧であって駆動トランジスタ 6 1 のゲート電極 - ソース電極間が順バイアスとなる参照電圧 V_{REF} を印加する。電圧印加部 3 1 は、初期化期間 (期間 T 5) の前の所定期間 (期間 T 2) において、駆動トランジスタ 6 1 に、駆動トランジスタ 6 1 のゲート電極 - ソース電極間が逆バイアスとなる電圧である逆バイアス電圧を印加する。より具体的には、電圧印加部 3 1 は、上記所定期間 (期間 T 2) において、駆動トランジスタ 6 1 のゲート電極に初期化電源線 7 1 (第 1 電源線) を基準に逆バイアス電圧を印加する。また、電圧印加部 3 1 は、上記初期化期間 (期間 T 5) において駆動トランジスタ 6 1 のゲート電極に初期化電源線 7 1 (第 1 電源線) を基準に参照電圧 V_{REF} を印加する。

【 0 0 4 7 】

ここで、例えば、電圧印加部 3 1 は、図 2 A に示すように、スイッチ 6 3 を有している。

【 0 0 4 8 】

スイッチ 6 3 は、参照電圧 V_{REF} または逆バイアス電圧 V_{REV} を供給する R F V 線 6 8 と駆動トランジスタ 6 1 のゲート電極並びにスイッチ 6 5 のドレインおよびソースの一方の端子との導通および非導通を切り換える第 4 スwitch の一例である。具体的には、図 2 A に示すように、スイッチ 6 3 は、ドレインおよびソースの一方の端子が R F V 線 6 8 に接続され、ドレインおよびソースの他方の端子が駆動トランジスタ 6 1 のゲート電極とスイッチ 6 5 のドレインおよびソースの一方の端子とに接続され、ゲートが R e f 線 7 3 に接続されているスイッチングトランジスタである。換言すると、スイッチ 6 3 は、駆動トランジスタ 6 1 のゲート電極に対して参照電圧 (V_{REF}) または逆バイアス電圧 V_{REV} を与える機能を有する。

【 0 0 4 9 】

なお、電圧印加部 3 1 は、図 2 A に示す構成に限らない。図 2 B に示すように、R F V 線 6 8 が、電源線 6 8 A (V_{REF}) と電源線 6 8 B (V_{REV}) とで構成される場合、電圧印加部 3 1 A は、スイッチ 6 3 A と電源切換スイッチ 3 1 0 とを備えるとしてもよい。

【 0 0 5 0 】

ここで、電源切換スイッチ 3 1 0 は、図 2 B に示すように、電圧印加部 3 1 A は、参照電圧 V_{REF} を供給する電源線 6 8 A (第 2 電源線) または逆バイアス電圧 V_{REV} を供給する電源線 6 8 B (第 3 電源線) に切り換えて参照電圧 V_{REF} または逆バイアス電圧 V_{REV} を供給する。スイッチ 6 3 A は、例えば第 4 スwitch の一例であり、電源切換スイッチ 3 1 0 と駆動トランジスタ 6 1 のゲート電極との導通及び非導通を切り換える。スイッチ 6 3 A は、電源線 6 8 A (V_{REF}) と電源線 6 8 B (V_{REV}) との接続関係を除くと、スイッチ 6 3 と同様であるためその他の説明は省略する。

【 0 0 5 1 】

スイッチ 6 4 は、容量素子 6 7 の第 2 電極および駆動トランジスタ 6 1 のソース電極と初期化電源線 7 1 (第 1 電源線) との導通および非導通を切り換える第 1 スwitch の一例である。具体的には、スイッチ 6 4 は、ドレインおよびソースの一方の端子が初期化電源線 7 1 (V_{INI}) に接続され、ドレインおよびソースの他方の端子が容量素子 6 7 の第 2 電極および駆動トランジスタ 6 1 のソース電極に接続され、ゲートが I n i t 線 7 4 に

接続されているスイッチングトランジスタである。換言すると、スイッチ 6 4 は、容量素子 6 7 の第 2 電極および駆動トランジスタ 6 1 のソース電極に対して初期化電圧 V_{INI} を与える機能を有する。

【0052】

スイッチ 6 5 は、容量素子 6 7 の第 1 電極と駆動トランジスタ 6 1 のゲート電極との導通および非導通を切り換える第 3 スイッチの一例である。具体的には、スイッチ 6 5 は、ドレインおよびソースの一方の端子がスイッチ 6 3 のドレインおよびソースの他方の端子と駆動トランジスタ 6 1 のゲート電極とに接続され、ドレインおよびソースの他方の端子が容量素子 6 7 の第 1 電極に接続され、ゲートが Merge 線 7 5 に接続されているスイッチングトランジスタである。換言すると、スイッチ 6 5 は、駆動トランジスタ 6 1 のゲート電極に、容量素子 6 7 の第 1 電極の電位を与える機能を有する。

10

【0053】

以上のように画素回路 6 0 は構成されている。

【0054】

なお、画素回路 6 0 を構成するスイッチ 6 2 ~ スイッチ 6 5 は n 型 TFT として、以下では説明を行うが、それに限られない。スイッチ 6 2 ~ スイッチ 6 5 は、p 型 TFT であってもよく、両方の組み合わせでもよい。つまり、例えば、駆動トランジスタ 6 1 のみ p 型 TFT であり、スイッチ 6 2 ~ スイッチ 6 5 は n 型 TFT であるともよいし、スイッチ 6 3 のみ p 型 TFT であり、駆動トランジスタ 6 1 およびスイッチ 6 2、6 4、6 5 は n 型 TFT であるとしてもよい。

20

【0055】

次に、図 2 A に示す画素回路の駆動方法について図 3 ~ 図 4 F を用いながら説明を行う。

【0056】

図 3 は、実施の形態に係る表示装置の駆動時の動作の一例を説明するためのタイミングチャートである。図 4 A ~ 図 4 F は、図 3 に示すタイミングチャートにおける画素回路の動作の一例を示す図である。図 3 において、横軸は時間を表している。また横軸方向には、表示パネル 6 を構成する n 行の画素回路 6 0 のうち対応する行の画素回路 6 0 に対する Scan 線 7 2、Ref 線 7 3、Init 線 7 4、Merge 線 7 5 および Data 線 7 6 に発生する電圧の波形図が示されている。なお、RFV 線 6 8 は、電圧レベルが HIGH のときには参照電圧 V_{REF} を供給し、電圧レベルが LOW のときには逆バイアス電圧 V_{REV} を供給するとして以下説明する。

30

【0057】

本実施の形態における駆動方法（走査方法）は、図 2 A に示す画素回路 6 0 の構成により、表示パネル制御回路 2 の制御に従って期間 T 1 から期間 T 1 2 を実施することで実現できる。

【0058】

以下、画素回路 6 0 の動作を例に挙げて具体的に説明する。

【0059】

（期間 T 1）

40

図 3 に示す時刻 t_1 ~ 時刻 t_2 の期間 T 1 は、RFV 線が供給する電圧を切り換えるための遷移期間である。

【0060】

より具体的には、時刻 t_1 において、走査線駆動回路 3 は、Scan 線 7 2 と Init 線 7 4 との電圧レベルを LOW、かつ、Ref 線 7 3 と Merge 線 7 5 との電圧レベルを HIGH に維持しつつ、RFV 線 6 8 が供給する電圧を参照電圧 V_{REF} から逆バイアス電圧 V_{REV} に切り換える。すなわち、時刻 t_1 において、スイッチ 6 2 およびスイッチ 6 4 を非導通状態（オフ状態）、かつ、スイッチ 6 3 およびスイッチ 6 5 を導通状態（オン状態）に維持しつつ、RFV 線 6 8 に供給する電圧を参照電圧 V_{REF} から逆バイアス電圧 V_{REV} に切り換える。

50

【 0 0 6 1 】

このように、R F V 線が供給する電圧を切り換えるための遷移期間である期間 T 1 を設けることにより、E L アノード電源線 6 9 と初期化電源線 7 1 との間に貫通電流が流れてしまうのを防止することができる。

【 0 0 6 2 】

表示装置 1 を構成する表示パネル 6 のサイズや 1 画素あたり（画素回路 6 0 ）のサイズが大きい場合、ゲート信号線（S c a n 線 7 2 ~ M e r g e 線 7 5 ）の配線時定数が増加する。そのため、ゲート信号線の信号電圧の変化速度が表示パネル 6 の面内で大きく変動し、各ゲート信号線の時定数が異なる場合には、同一画素においても、信号変化タイミングが異なることがある。たとえば、R F V 線 6 8 が “ L ” すなわち R F V 線 6 8 が供給する電圧が逆バイアス電圧 V_{REV} になる前に、I n i t 線 7 4 の電圧レベルが H I G H となる可能性があり、駆動トランジスタ 6 1 に大きな V_{gs} がかかることで、E L アノード電源線 6 9 から初期化電源線 7 1 に貫通電流が流れることがある。貫通電流は表示パネル 6 の消費電力に影響し、消費電力が増加する欠点がある。

10

【 0 0 6 3 】

また、たとえば、初期化電源線 7 1 に電流が流れると、給電端から遠い初期化電源線 7 1 は電圧が上昇し、初期化期間で印加される電圧が所定電圧よりも高くなり、閾値補償期間の開始時の V_{gs} 電圧が十分取れず、動作可能な V_{th} 範囲が狭くなってしまう問題がある。

【 0 0 6 4 】

そのため、スイッチ 6 4 を非導通のまま R F V 線 6 8 に供給する電圧を参照電圧 V_{REF} から逆バイアス電圧 V_{REV} に切り換える遷移期間である期間 T 1 を設けることにより、E L アノード電源線 6 9 と初期化電源線 7 1 との間に貫通電流が流れてしまうのを防止する。この方法の利点としては、さらに期間 T 2 を考えると、節点 C の電位が期間 T 1 で設定済みであるため、期間 T 2 では節点 B のみ充電を行えばよく、節点 B の電位を初期化電源線 7 1 の電圧 V_{INI} により短期間で設定（初期化電圧 V_{INI} を書き込み）することができる。

20

【 0 0 6 5 】

（期間 T 2 ：逆バイアス期間）

図 3 に示す時刻 t_2 ~ 時刻 t_3 の期間 T 2 は、逆バイアス電圧 V_{REV} を駆動トランジスタ 6 1 に印加する逆バイアス期間である。ここで、逆バイアス電圧 V_{REV} とは、駆動トランジスタ 6 1 のソース電極に初期化電源線 7 1 の電圧 V_{INI} 印加されている場合に、駆動トランジスタ 6 1 のゲート電極 - ソース電極間が逆バイアスとなる電圧である。ここで、上述したように、逆バイアス電圧 V_{REV} - 初期化電圧 $V_{INI} < 閾値電圧 V_{th}$ と設定され、駆動トランジスタ 6 1 の V_{gs} に閾値電圧 V_{th} 以下の電圧が印加される。

30

【 0 0 6 6 】

具体的には、図 4 A の画素回路 6 0 の動作状態に示されるように、時刻 t_2 において、走査線駆動回路 3 は、S c a n 線 7 2 の電圧レベルを L O W に、R e f 線 7 3 と M e r g e 線 7 5 との電圧レベルを H I G H に、かつ、R F V 線 6 8 が供給する電圧を逆バイアス電圧 V_{REV} に維持しつつ、I n i t 線 7 4 の電圧レベルを L O W から H I G H に変化させる。すなわち、時刻 t_2 において、スイッチ 6 2 を非導通状態（オフ状態）、スイッチ 6 3 およびスイッチ 6 5 を導通状態（オン状態）、かつ、R F V 線 6 8 の供給する電圧を逆バイアス電圧 V_{REV} に維持しつつ、スイッチ 6 4 を導通状態（オン状態）にする。

40

【 0 0 6 7 】

このように、駆動トランジスタ 6 1 のゲート電極 - ソース電極間が逆バイアスにされる逆バイアス期間である期間 T 2 を設けることにより、駆動トランジスタ 6 1 の閾値電圧 V_{th} の変動量を抑制することができる。また、発光期間（期間 T 1 1 ）においてシフトした閾値電圧を、逆方向にシフトさせ、1 フレームの前後では閾値電圧の変動が少なくなるといったことが可能になる。

【 0 0 6 8 】

50

なお、期間 T 2 は、印加する逆バイアス電圧の大きさや、発光期間(期間 T 1 1)での閾値電圧シフト量によって、1 フレームの前後で閾値電圧の変動が小さくなるように設定する。たとえば、順バイアス電圧が 4 V で 1 フレームの 70 % 期間印加された場合に、逆バイアス電圧を - 10 V で逆バイアス期間を 1 フレームの 20 % 程度挿入する。

【0069】

また、本実施の形態では、容量素子 67 が半導体容量で、駆動トランジスタ 61 と、容量素子 67 との劣化特性を合わせるために、期間 T 2 (逆バイアス期間)において、Merge 線 75 の電圧レベルを HIGH (スイッチ 65 をオン状態)に維持したものと説明しているが、それに限らない。容量素子 67 が MIM 構成 (Metal - Insulator - Metal Structure) の場合には、期間 T 2 (逆バイアス期間)において、Merge 線 75 の電圧レベルは LOW (スイッチ 65 をオフ状態)であってもよい。

【0070】

(期間 T 3)

図 3 に示す時刻 t 3 ~ 時刻 t 4 の期間 T 3 は、RFV 線が供給する電圧を切り換えるためにスイッチ 63 を非導通にするための所定期間である。

【0071】

表示パネル制御回路 2 は、スイッチ 62 を非導通 (オフ)、スイッチ 65 を導通 (オン)、かつスイッチ 64 を導通 (オン) にさせた状態で、スイッチ 63 を非導通 (オフ) にさせ、かつ、RFV 線 68 に逆バイアス電圧 V_{REV} を駆動トランジスタ 61 のゲート電極に供給させることで期間 T 3 (所定期間)を実行する。

【0072】

より具体的には、時刻 t 3 において、走査線駆動回路 3 は、Scan 線 72 の電圧レベルを LOW、Init 線 74 と Merge 線 75 との電圧レベルを HIGH、かつ、RFV 線 68 が供給する電圧を逆バイアス電圧 V_{REV} に維持しつつ、Ref 線 73 の電圧レベルを HIGH から LOW に変化させる。すなわち、時刻 t 3 において、スイッチ 62 を非導通状態 (オフ状態)、スイッチ 64 およびスイッチ 65 を導通状態 (オン状態)、かつ、RFV 線 68 の供給する電圧を逆バイアス電圧 V_{REV} に維持しつつ、スイッチ 63 を非導通状態 (オフ状態) にさせる。

【0073】

このように、スイッチ 63 を非導通にするための期間である期間 T 3 を設けることにより、RFV 線が供給する電圧を切り換えた際に駆動トランジスタ 61 のゲート電極に参照電圧 V_{REF} が印加され EL ノード電源線 69 と初期化電源線 71 との間に貫通電流が流れてしまうのを防止することができる。なお、この期間 T 3 がないと、RFV 線 68 の立ち上がり早い画素では、早期から貫通電流が EL ノード電源線 69 と初期化電源線 71 と間に流れる。一方で、初期化するためには、前画素が参照電圧 V_{REF} にまで立ち上がる必要があり、前画素が初期化期間 (期間 T 5) に入るまでの期間 T 3 および期間 T 4 相当のところが長くなる。それにより、貫通電流が画素数と時間を考慮して発光電流に対して割合が大きくなり、発光とは無関係にパネルの消費電力が大きくなってしまう。

【0074】

(期間 T 4)

図 3 に示す時刻 t 4 ~ 時刻 t 5 の期間 T 4 は、RFV 線が供給する電圧を切り換えるための遷移期間である。

【0075】

より具体的には、時刻 t 4 において、走査線駆動回路 3 は、Scan 線 72 と Ref 線 73 との電圧レベルを LOW、かつ、Init 線 74 と Merge 線 75 との電圧レベルを HIGH に維持しつつ、RFV 線 68 が供給する電圧を逆バイアス電圧 V_{REV} から参照電圧 V_{REF} に切り換える。すなわち、時刻 t 4 において、スイッチ 62 およびスイッチ 63 を非導通状態 (オフ状態)、かつ、スイッチ 64 およびスイッチ 65 を導通状態 (オン状態) に維持しつつ、RFV 線 68 に供給する電圧を逆バイアス電圧 V_{REV} から参

照電圧 V_{REF} に切り換える。

【0076】

ここで、RFV線68の供給する電圧の切り換えよりもRef線73の電圧レベルの変化（立ち上がり）の方が早いので、RFV線68の供給する電圧の切り換えとRef線73の電圧レベルの変化を同時に行わず、RFV線68の供給する電圧の切り換えを先に行う。

【0077】

このように、RFV線が供給する電圧を先に切り換えるため遷移期間である期間T4を設けることにより、RFV線が供給する電圧を切り換えた際に駆動トランジスタ61のゲート電極に不定電圧が印加されてしまうのを防止することができる。

10

【0078】

（期間T5：初期化期間）

図3に示す時刻t5～時刻t6の期間T5は、駆動トランジスタを初期化する初期化期間である。ここで、初期化期間とは、駆動トランジスタ61の閾値電圧補償を行うためにドレイン電流を流すのに必要な電圧を駆動トランジスタ61のソース電極 - ゲート電極間に印加する期間である。本実施の形態では、初期化期間において、駆動トランジスタ61のゲート電極に、駆動トランジスタ61の閾値電圧 V_{th} よりも大きな電圧であって駆動トランジスタ61のゲート電極 - ソース電極間が順バイアスとなる参照電圧 V_{REF} を印加する。

【0079】

20

表示パネル制御回路2は、スイッチ62を非導通（オフ）、スイッチ65を導通（オン）、かつスイッチ64を導通（オン）にさせた状態で、スイッチ63を導通（オン）させ、かつ、RFV線68に参照電圧 V_{REF} を駆動トランジスタ61のゲート電極に供給させることで期間T5（初期化期間）を実行する。

【0080】

具体的には、図4Bの画素回路60の動作状態に示されるように、時刻t5において、走査線駆動回路3は、Scan線72の電圧レベルをLOW、Init線74とMerge線75との電圧レベルをHIGH、かつ、RFV線68が供給する電圧を参照電圧 V_{REF} に維持しつつ、Ref線73の電圧レベルをLOWからHIGHに変化させる。すなわち、時刻t5において、スイッチ62を非導通状態（オフ状態）、スイッチ64および

30

スイッチ65を導通状態（オン状態）、かつ、RFV線68の供給する電圧を参照電圧 V_{REF} に維持しつつ、スイッチ63を導通状態（オン状態）にする。

【0081】

このように、Ref線73の電圧レベルをLOWからHIGHに変化させること（立ち上がり）により初期化期間を開始する。

【0082】

これにより、節点A（節点C）の電位がRFV線68の供給する参照電圧 V_{REF} に設定される。また、スイッチ64が導通状態（オン状態）であるから、節点Bの電位は初期化電源線71の電圧 V_{INI} に設定される。すなわち、駆動トランジスタ61は、ゲート電極にRFV線68の供給する参照電圧 V_{REF} が印加され、ソース電極に初期化電源線71の電圧 V_{INI} が印加されることで、駆動トランジスタ61のゲート電極 - ソース電極間に順バイアスの所定電圧が印加される初期化期間が行われる。

40

【0083】

なお、期間T5は、節点A（節点C）および節点Bの電位が、所定電位になるまでの長さ（時間）に設定される。

【0084】

また、駆動トランジスタ61のゲート電極 - ソース電極間電圧（所定電圧）は、閾値電圧補償動作を行うのに必要なドレイン電流を確保できる電圧に設定されることが必要である。そのため、RFV線68の参照電圧 V_{REF} と初期化電源線71の電圧 V_{INI} の電位差は、上述したように、駆動トランジスタ61の閾値電圧 V_{th} よりも大きな電圧すな

50

わち閾値電圧 $V_{th} < (参照電圧 V_{REF} - 初期化電圧 V_{INI})$ に設定される。また、参照電圧 V_{REF} および初期化電圧 V_{INI} は、EL素子66に電流が流れないように、初期化電圧 $V_{INI} < 電圧 V_{EL} + (EL素子66の順方向電流閾値電圧)$ 、および、参照電圧 $V_{REF} < 電圧 V_{EL} + (EL素子66の順方向電流閾値電圧) + 閾値電圧 V_{th}$ 、となるように設定される。

【0085】

(期間T6：閾値補償期間)

次に、図3の時刻t6～時刻t7の期間T6は、駆動トランジスタ61の閾値電圧 V_{th} を補償する閾値補償期間である。

【0086】

具体的には、図4Cの画素回路60の動作状態に示されるように、時刻t6において、走査線駆動回路3は、Scan線72の電圧レベルをLOW、Ref線73およびMerge線75の電圧レベルをHIGH、かつ、RFV線68が供給する電圧を参照電圧 V_{REF} に維持しつつ、Init線74の電圧レベルをHIGHからLOWに変化させる。すなわち、時刻t6において、スイッチ62を非導通状態（オフ状態）、スイッチ63およびスイッチ65を導通状態（オン状態）、かつ、RFV線68が供給する電圧を参照電圧 V_{REF} に維持しつつ、スイッチ64が非導通状態（オフ状態）にされる。

【0087】

ここで、駆動トランジスタ61のゲート電極 - ソース電極間電圧（所定電圧）は、初期化期間（期間T5）において、上述したように設定されているので、EL素子66には電流が流れない。駆動トランジスタ61は、ELアノード電源線69の電圧 V_{TF} によりドレイン電流が供給されるが、それとともに駆動トランジスタ61のソース電位が変化する。言い換えると、駆動トランジスタ61は、ELアノード電源線69の電圧 V_{TF} により供給されるドレイン電流が0となる点まで駆動トランジスタ61のソース電位が変化する。

【0088】

このように、駆動トランジスタ61のゲート電極にRFV線68が供給する参照電圧 V_{REF} を印加した状態で、Init線74の電圧レベルをHIGHからLOWに変化させる（スイッチ65を導通状態（オン状態）にする）と、駆動トランジスタ61の閾値補償動作を開始する。

【0089】

そして、期間T6の終了時（時刻t7）には、駆動トランジスタ61のゲート電極 - ソース電極間電圧（節点A（節点C）と節点Bとの電位差）は駆動トランジスタ61の閾値電圧に相当する電位差となる。この電位差（電圧）は容量素子67に保持（記憶）される。

【0090】

(期間T7)

図3に示す時刻t7～時刻t8の期間T7は、閾値補償動作を終了させるための期間である。

【0091】

より具体的には、時刻t7において、走査線駆動回路3は、Scan線72およびInit線74の電圧レベルをLOW、Ref線73の電圧レベルをHIGH、かつ、RFV線68が供給する電圧を参照電圧 V_{REF} に維持しつつ、Merge線75の電圧レベルをHIGHからLOWに変化させる。すなわち、時刻t7において、スイッチ62およびスイッチ64を非導通状態（オフ状態）、スイッチ63を導通状態（オン状態）、かつ、RFV線68が供給する電圧を参照電圧 V_{REF} に維持しつつ、スイッチ65を非導通状態（オフ状態）にする。

【0092】

このようにして、Ref線73とMerge線75との電圧レベルを同時に変化させず、Merge線75の電圧レベルを先に変化させてスイッチ65を非導通とする期間T7

10

20

30

40

50

を設ける。それにより、スイッチ 63 およびスイッチ 65 の寄生容量を介してゲート信号線 (Scan 線 72 ~ Merge 線 75) の電圧の変化が節点 A の電位に影響する突き抜けを減らすことができ、突き抜け量のばらつきに起因する表示ムラを低減することが可能である。

【0093】

なお、Ref 線 73 と Merge 線 75 との電圧レベルを同時もしくは Ref 線 73 の電圧レベルを先に LOW にする場合、まず、スイッチ 63 による突き抜けが節点 A に伝搬する。スイッチ 65 がオン状態になると、次にスイッチ 65 による突き抜けが節点 A に伝搬する。

【0094】

10

一方、期間 T7 を設ける場合、スイッチ 65 による突き抜けは節点 A に伝搬するが、スイッチ 63 による突き抜けはすでにスイッチ 65 がオフ状態のため節点 A に伝搬しない。そして、この分が突き抜け量の低減効果となる。

【0095】

(期間 T8)

図 3 に示す時刻 t8 ~ 時刻 t9 の期間 T8 は、スイッチ 63 を非導通状態 (オフ状態) にすることで、Data 線 76 を介して供給されたデータ信号電圧と RFV 線 68 の参照電圧 V_{REF} とが同時に節点 A に印加されるのを防止する期間である。

【0096】

具体的には、時刻 t8 において、走査線駆動回路 3 は、Scan 線 72 と Init 線 74 と Merge 線 75 との電圧レベルを LOW、かつ、RFV 線 68 が供給する電圧を参照電圧 V_{REF} に維持しつつ、Ref 線 73 の電圧レベルを HIGH から LOW に変化させる。すなわち、時刻 t8 において、スイッチ 62、スイッチ 64 およびスイッチ 65 を非導通状態 (オフ状態)、かつ、RFV 線 68 が供給する電圧を参照電圧 V_{REF} に維持しつつ、スイッチ 63 を非導通状態 (オフ状態) にする。

20

【0097】

このように、Ref 線 73 の動作によりスイッチ 63 をさらに非導通状態 (オフ状態) とし、スイッチ 62 およびスイッチ 63 が非導通状態 (オフ状態) となる期間 T8 を設けることで、Data 線 76 を介してスイッチ 62 から供給されるデータ信号電圧と、RFV 線 68 の参照電圧 V_{REF} とが節点 A (容量素子 67 の第 1 電極) に同時に印加されるのを防止することができる。

30

【0098】

なお、スイッチ 63 とスイッチ 65 とを同時に非導通状態 (オフ状態) にし、期間 T7 および期間 T8 は一つにまとめてもよい。

【0099】

また、(映像信号電圧 - 参照電圧 V_{REF}) の電位差を正確に反映させるには、期間 T8 はなるべく短い方がよい。

【0100】

(期間 T9 : 書込期間)

次に、図 3 の時刻 t9 ~ 時刻 t10 の期間 T9 は、Data 線 76 から表示階調に応じた映像信号電圧 (データ信号電圧) を画素回路 60 にスイッチ 62 を介して取り込み、容量素子 67 に書き込む書込期間である。

40

【0101】

具体的には、図 4D の画素回路 60 の動作状態に示されるように、時刻 t9 において、走査線駆動回路 3 は、Ref 線 73、Init 線 74 および Merge 線 75 の電圧レベルを LOW、かつ、RFV 線 68 が供給する電圧を参照電圧 V_{REF} に維持しつつ、Scan 線 72 の電圧レベルを LOW から HIGH に変化させる。すなわち、時刻 t9 において、スイッチ 63 とスイッチ 64 とスイッチ 65 を非導通状態 (オフ状態) かつ、RFV 線 68 が供給する電圧を参照電圧 V_{REF} に維持しつつ、スイッチ 62 を導通状態 (オン状態) にする。

50

【0102】

これにより、容量素子67には、閾値補償期間（期間T6）で記憶された駆動トランジスタ61の閾値電圧 V_{th} に加えて、映像信号電圧が、記憶（保持）される。

【0103】

なお、大画面化（表示パネル6のサイズが大きくなる）、かつ、画素回路60の数が増加するのに伴い、画素回路60を駆動するためのフレーム周波数が高くなってきている。大画面化に伴いScan線72配線時定数も増加するものの、水平走査期間の短縮により、所定の階調電圧を画素回路60に書き込むことが難しくなる。そのため、本実施の形態では、Scan線72の波形なまりがあっても、所定の映像信号（データ信号電圧）がData線76に入力される前にScan線72が立ち上がりを完了させて、スイッチ62が導通状態（オン状態）となるようにしている。

【0104】

これにより、Scan線72の負荷（配線時定数）が大きく、立ち上がりに時間がかかるような大画面、高画素数の表示パネル6であっても確実に書き込むことができる。

【0105】

（期間T10）

図3に示す時刻 t_{10} ～時刻 t_{11} の期間T10は、スイッチ62を確実に非導通状態（オフ状態）にさせるための期間である。

【0106】

より具体的には、時刻 t_{10} において、走査線駆動回路3は、Ref線73、Init線74およびMerge線75の電圧レベルをLOW、かつ、RFV線68が供給する電圧を参照電圧 V_{REF} に維持しつつ、Scan線72の電圧レベルをHIGHからLOWに変化させる。すなわち、時刻 t_{10} において、スイッチ63とスイッチ64とスイッチ65を非導通状態（オフ状態）、かつ、RFV線68が供給する電圧を参照電圧 V_{REF} に維持しつつ、スイッチ62を非導通状態（オフ状態）にする。

【0107】

これにより、続く期間T11（発光期間）においてスイッチ65を導通状態（オン状態）にさせるまえにスイッチ62を確実に非導通状態（オフ状態）にすることができる。

【0108】

なお、期間T11を設けず、スイッチ65とスイッチ62とを同時に導通状態（オン状態）にさせる場合、駆動トランジスタ61のドレイン電流により、節点Bの電位が上昇する一方で、節点Aの電位はデータ信号電圧となることから、駆動トランジスタ61のソース電極 - ゲート電極間電圧が小さくなってしまふ。この場合には、所望の輝度に比べて少ない輝度で発光してしまうので問題となる。これを防止するため、本実施の形態では、期間T10を設けてスイッチ62が非導通状態（オフ状態）であることを確保してから、続く期間T11においてスイッチ65を導通状態（オン状態）にする。

【0109】

（期間T11：発光期間）

次に、図3に示す時刻 t_{11} ～時刻 t_{12} の期間T11は、EL素子66を発光させる発光期間である。

【0110】

具体的には、図4Eの画素回路60の動作状態に示されるように、時刻 t_{11} において、走査線駆動回路3は、Scan線72、Ref線73およびInit線74の電圧レベルをLOW、かつ、RFV線68が供給する電圧を参照電圧 V_{REF} に維持しつつ、Merge線75の電圧レベルをLOWからHIGHに変化させる。すなわち、時刻 t_{11} において、スイッチ62、スイッチ63およびスイッチ64を非導通状態（オフ状態）かつ、RFV線68が供給する電圧を参照電圧 V_{REF} に維持しつつ、スイッチ65を導通状態（オン状態）にする。

【0111】

このように、スイッチ65を導通状態（オン状態）にさせることで、容量素子67に蓄

10

20

30

40

50

えられた電圧（データ信号電圧）に応じて駆動トランジスタ 61 に E L 素子 66 に電流を供給させ E L 素子 66 を発光させることができる。

【0112】

（期間 T12）

図3に示す時刻 t12～時刻 t1 の期間 T12 は、黒挿入期間であり、たとえば動画応答性を改善するもので、E L 素子 66 を非発光状態にさせる期間である。

【0113】

より具体的には、図4Fの画素回路60の動作状態に示されるように、時刻 t12において、走査線駆動回路3は、Scan線72とInit線74の電圧レベルをLOW、Merge線75の電圧レベルをHIGH、かつ、RFV線68が供給する電圧を参照電圧 V_{REF} に維持しつつ、Ref線73の電圧レベルをLOWからHIGHに変化させる。すなわち、時刻 t12において、スイッチ62およびスイッチ64を非導通状態（オフ状態）、スイッチ65を導通状態（オン状態）、かつ、RFV線68が供給する電圧を参照電圧 V_{REF} に維持しつつ、スイッチ63を導通状態（オン状態）にする。

【0114】

以上のようなシーケンスにより、画素回路60は、階調表示を行う。

【0115】

なお、表示パネル制御回路2は、表示パネル6を構成する他の画素回路60についても、同様の駆動方法を線順次に行う。

【0116】

このように、表示パネル制御回路2は、画素回路60を初期化する期間T5（初期化期間）において、駆動トランジスタ61のゲート電極に、駆動トランジスタ61の閾値電圧 V_{th} よりも大きな電圧であって駆動トランジスタ61のゲート電極 - ソース電極間が順バイアスとなる参照電圧 V_{REF} を印加するステップと、期間T5（初期化期間）の前の期間T2（所定期間）において、駆動トランジスタ61のゲート電極に、駆動トランジスタ61のゲート電極 - ソース電極間が逆バイアスとなる電圧である逆バイアス電圧を印加するステップとを実行する。ここで、期間T2（所定期間）は、期間T11（発光期間）の後から期間T5（初期化期間）の前の期間に設けられる。

【0117】

それにより、期間T6（閾値補償期間）において駆動トランジスタ61の閾値電圧 V_{th} の変動を補正することに加えて、期間T2（逆バイアス期間）において閾値電圧 V_{th} の変動量を抑えることができる。そのため、閾値補償動作を行う期間を十分に確保できない場合でも駆動トランジスタの閾値電圧の変動量を抑制することができる。その結果、より長期間、駆動トランジスタ61の動作補償範囲に閾値電圧 V_{th} を含めることができる画素回路60を実現できる。

【0118】

なお、本実施の形態では、図3に示すように期間T3および期間T4を設ける場合について説明したがそれに限らない。例えば図5に示すように期間T3および期間T4を設けずに、RFV線68が供給する電圧を逆バイアス電圧 V_{REV} から参照電圧 V_{REF} に切り換えるとしてもよい。ここで、図5は、図3に示すタイミングチャートの変形例である。

【0119】

また、図3を用いた説明では、図2Aの画素回路60に基づき説明したが、図2Bに示す画素回路60Aでも同様である。具体的には、表示パネル制御回路2は、スイッチ62を非導通（オフ）、スイッチ65を導通（オン）、かつスイッチ64を導通（オン）にさせた状態で、スイッチ63Aを導通（オン）させ、かつ、電源切換スイッチ310を制御して逆バイアス電圧 V_{REV} を供給する電源線68B（第2電源線）に切り換えて逆バイアス電圧 V_{REV} を駆動トランジスタ61のゲート電極に供給させることで期間T3（所定期間）を実行する。また、表示パネル制御回路2は、スイッチ62を非導通（オフ）、スイッチ65を導通（オン）、かつスイッチ64を導通（オン）にさせた状態で、スイッ

10

20

30

40

50

チ 6 3 A を導通（オン）させ、かつ、電源切換スイッチ 3 1 0 を制御して参照電圧 V_{REF} を供給する電源線 6 8 A（第 3 電源線）に切り換えて参照電圧 V_{REF} を駆動トランジスタ 6 1 のゲート電極に供給させることで期間 T 5（初期化期間）を実行する。その他の駆動方法については上述したとおりであるため説明は省略する。

【 0 1 2 0 】

以上、実施の形態の表示装置およびその駆動方法によれば、たとえ酸化物半導体を半導体層として用いた薄膜トランジスタを有し閾値電圧補償動作を行う期間を十分に確保できない画素回路 6 0 で構成されていても、駆動トランジスタの閾値電圧の変動量を抑制することができる。もちろんシリコン半導体を半導体層として用いた薄膜トランジスタでは、閾値電圧補償動作を行う期間を十分に確保しなくても駆動トランジスタの閾値電圧の変動量を抑制するという効果を奏する。

10

【 0 1 2 1 】

以上、本発明の一つまたは複数の態様に係る表示装置およびその駆動方法について、実施の形態に基づいて説明したが、本発明は、この実施の形態に限定されるものではない。本発明の趣旨を逸脱しない限り、当業者が思いつく各種変形を本実施の形態に施したものや、異なる実施の形態における構成要素を組み合わせて構築される形態も、本発明の一つまたは複数の態様の範囲内に含まれてもよい。

【 0 1 2 2 】

例えば、E L 素子 6 6 は、典型的には有機発光素子であるが、電流に応じて発光強度が変化するデバイスであればどんな電流 - 光変換デバイスでもよい。

20

【 0 1 2 3 】

また、例えば、本発明の表示装置を構成する画素回路は、上述した画素回路 6 0 および画素回路 6 0 A の場合に限られない。例えば、図 6 ~ 図 8 に示す画素回路 6 0 B ~ 画素回路 6 0 D で実現されるとしてもよい。ここで、図 6 ~ 図 8 は、図 2 B に示す回路構成の変形例を示す図である。なお、図 2 A および図 2 B と同様の要素には同一の符号を付しており、詳細な説明は省略する。

【 0 1 2 4 】

例えば、図 6 に示すように、図 2 B の電圧印加部 3 1 と異なる場所に電圧印加部 3 1 B を構成し、さらに、図 2 B のスイッチ 6 5 に代えて駆動トランジスタ 6 1 のゲート電極 - ソース電極間に E n a b l e 線 7 8 がゲートに接続されたスイッチ 7 7 を構成する画素回路 6 0 B であってもよい。電圧印加部 3 1 B が有するスイッチ 6 3 A のドレインおよびソースの一方の端子がスイッチ 6 2 と節点 A との間に接続されている。

30

【 0 1 2 5 】

また、例えば、図 7 に示すように、図 2 B の電圧印加部 3 1 と異なる構成の電圧印加部 3 1 C と、図 2 B のスイッチ 6 5 に代えて駆動トランジスタ 6 1 のドレイン電極と E L アノード電源線 6 9 の間に E n a b l e 線 7 8 A がゲートに接続されたスイッチ 7 7 A とを有する画素回路 6 0 C であってもよい。この場合、電圧印加部 3 1 C は、電源線 6 8 A（ V_{REF} ）と駆動トランジスタ 6 1 のゲート電極との導通及び非導通を切り換えるスイッチ B と、電源線 6 8 B（ V_{REV} ）と駆動トランジスタ 6 1 のゲート電極との導通及び非導通を切り換えるスイッチ C とを備える。スイッチ 6 3 B およびスイッチ 6 3 C のドレインおよびソースの一方の端子がスイッチ 6 2 と節点 A との間に接続されている。

40

【 0 1 2 6 】

さらに、例えば、図 8 に示すように、図 6 および図 7 に示す回路構成の組み合わせからなる画素回路 6 0 D でもよい。すなわち、図 8 に示す画素回路 6 0 D では、図 6 のスイッチ 7 7 に代えて、図 7 に示すスイッチ 7 7 A を有するとしてもよい。

【 0 1 2 7 】

また、本発明では、初期化期間の前の所定期間（逆バイアス期間、後述の期間 T 2）において、駆動トランジスタ 6 1 のゲート電極 - ソース電極間に逆バイアスが印加され、初期化期間で駆動トランジスタ 6 1 のゲート電極 - ソース電極間に順バイアスが印加される。本実施の形態では、駆動トランジスタ 6 1 のゲート電極に印加される場合の例を挙げて

50

説明しているがそれに限らない。逆バイアスが印加するのは駆動トランジスタのゲート電極でなくてもよく、ソース電極でもよい。その場合、ゲート電極側から参照電圧 V_{REF} 、ソース電極側から初期化電圧 V_{INI} もしくは逆バイアス電圧 V_{REV} を供給する構成とすればよい。なお、本開示の例では、参照電圧 $V_{REF} < \text{逆バイアス電圧 } V_{REV}$ であるため、逆バイアス電圧 V_{REV} と V_{EL} 間の電位差が大きくなり、EL素子が点灯する。そのため、さらに、 $(V_{EL} + \text{EL順方向閾値電圧}) > (\text{逆バイアス電圧 } V_{REV})$ となるように、電圧 V_{EL} の調整を行っておく必要がある。

【産業上の利用可能性】

【0128】

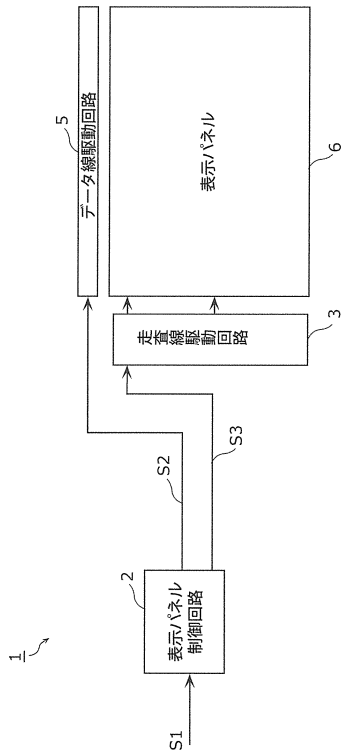
本発明は、表示装置およびその駆動方法に利用でき、特に、例えば図9に示されるようなテレビなどのFPD表示装置に利用することができる。 10

【符号の説明】

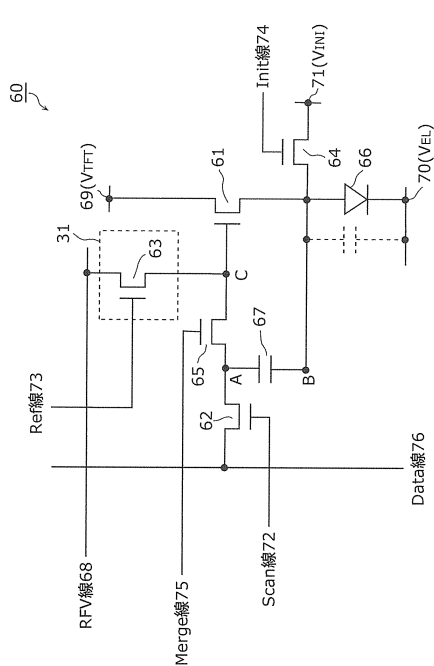
【0129】

- 1 表示装置
- 2 表示パネル制御回路
- 3 走査線駆動回路
- 5 データ線駆動回路
- 6 表示パネル
- 31、31A、31B、31C 電圧印加部
- 60、60A、60B、60C、60D 画素回路 20
- 61 駆動トランジスタ
- 62、63、63A、63B、63C、64、65、77、77A スイッチ
- 66 EL素子
- 67 容量素子
- 68 RFV線
- 68A、68B 電源線
- 69 ELアノード電源線
- 70 ELカソード電源線
- 71 初期化電源線
- 72 Scan線 30
- 73 Ref線
- 74 Init線
- 75 Merge線
- 76 Data線
- 78、78A Enable線
- 310 電源切換スイッチ

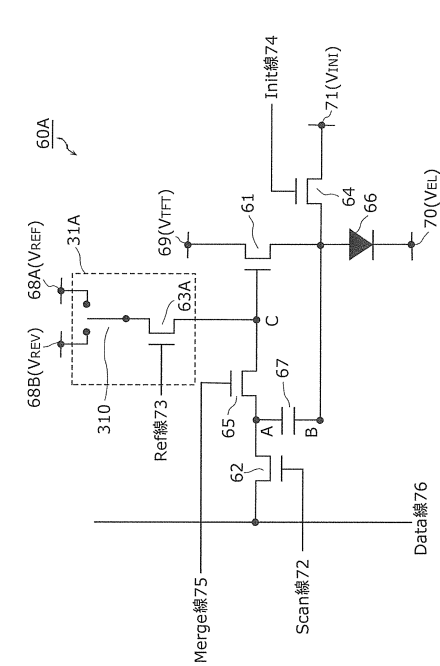
【図 1】



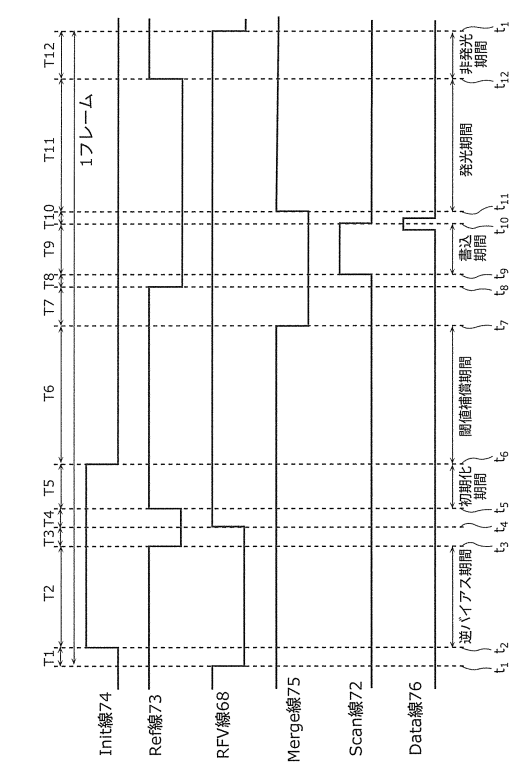
【図 2 A】



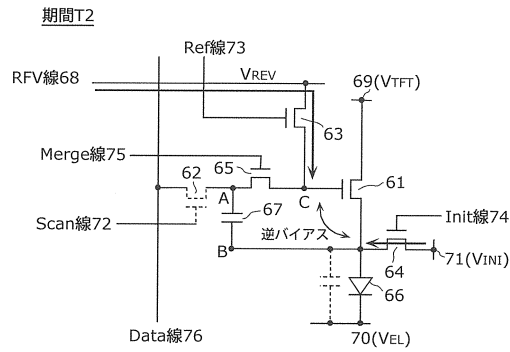
【図 2 B】



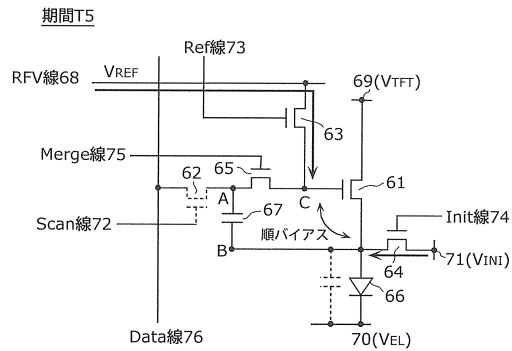
【図 3】



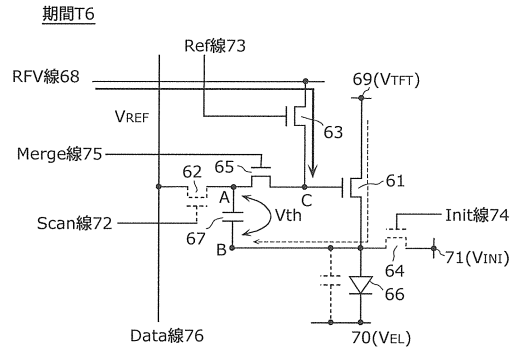
【図 4 A】



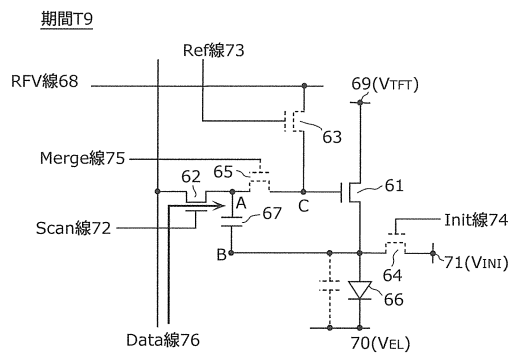
【図 4 B】



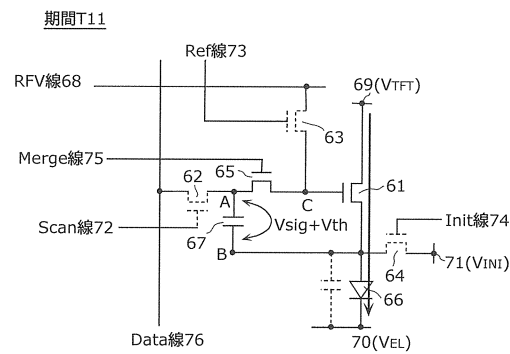
【図 4 C】



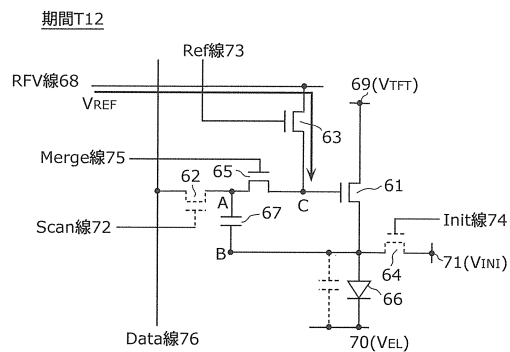
【図 4 D】



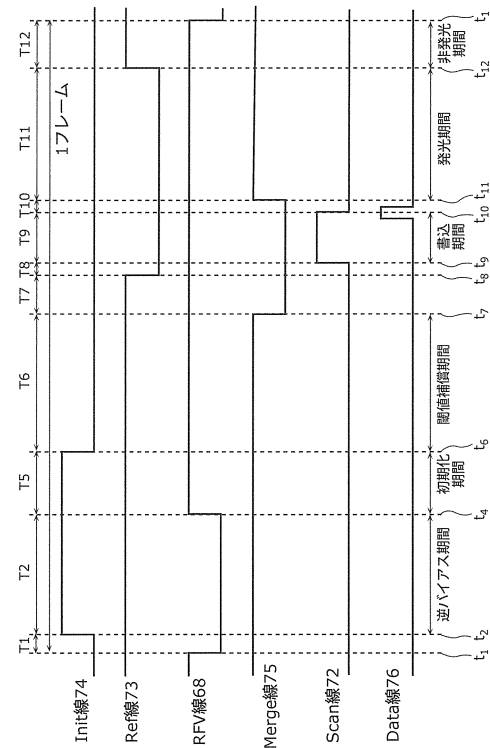
【図 4 E】



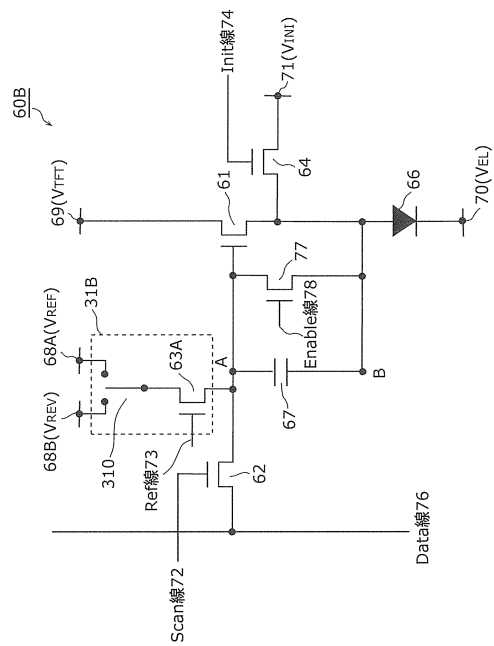
【図 4 F】



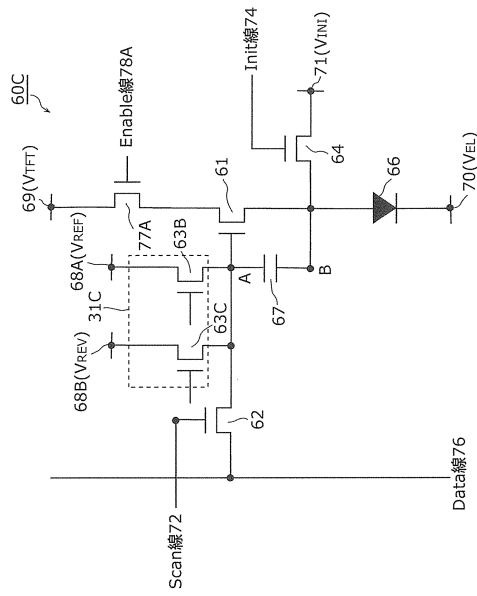
【図 5】



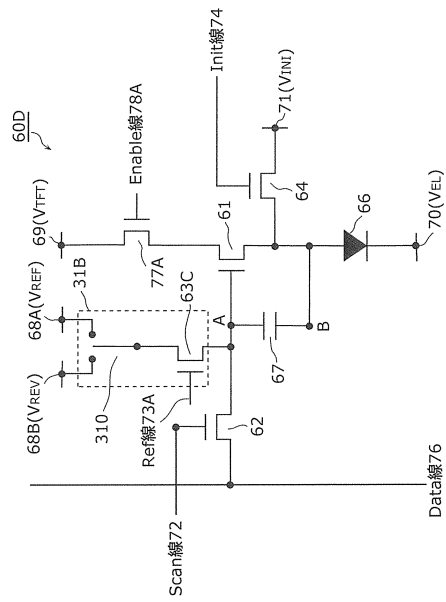
【図 6】



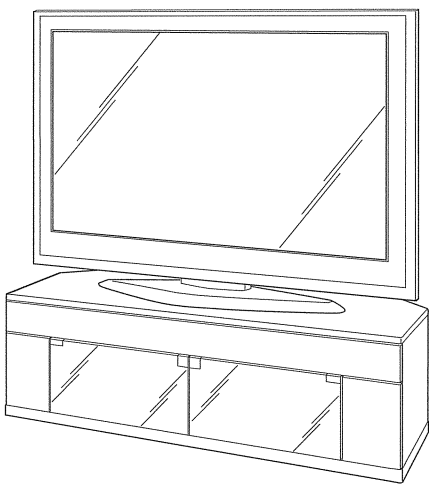
【図 7】



【図 8】



【図 9】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 2 C
G 0 9 G 3/20 6 2 3 C
G 0 9 G 3/20 6 4 1 D
G 0 9 G 3/20 6 7 0 J
H 0 5 B 33/14 A

(72)発明者 法邑 茂夫
日本国東京都千代田区神田錦町三丁目23番地 株式会社J O L E D内

審査官 橋本 直明

(56)参考文献 特開2013-137498(JP,A)
特表2011-520139(JP,A)
特開2005-164894(JP,A)
特開2005-275369(JP,A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 3 2 3 3
G 0 9 G 3 / 2 0
G 0 9 G 3 / 3 0
H 0 1 L 5 1 / 5 0

专利名称(译)	显示装置和驱动方法		
公开(公告)号	JP6142178B2	公开(公告)日	2017-06-07
申请号	JP2015535292	申请日	2014-06-09
[标]申请(专利权)人(译)	日本有机雷特显示器股份有限公司		
申请(专利权)人(译)	株式会社JOLED		
当前申请(专利权)人(译)	株式会社JOLED		
[标]发明人	柘植仁志 戎野浩平 法邑茂夫		
发明人	柘植 仁志 戎野 浩平 法邑 茂夫		
IPC分类号	G09G3/3233 G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G3/3266 G09G2300/0819 G09G2300/0842 G09G2310/0254 G09G2310/0256 G09G2320/0223 G09G2320/043 H01L27/3244		
FI分类号	G09G3/3233 G09G3/30.J G09G3/20.611.H G09G3/20.624.B G09G3/20.621.A G09G3/20.622.C G09G3/20.623.C G09G3/20.641.D G09G3/20.670.J H05B33/14.A		
代理人(译)	吉川修 Sobashima正雄		
审查员(译)	Naoaki桥本		
优先权	2013183312 2013-09-04 JP		
其他公开文献	JPWO2015033496A1		
外部链接	Espacenet		

摘要(译)

在具有多个配置成矩阵状（60）的像素电路的显示装置中，每个所述多个像素电路（60）的，EL元件（66），用于保持一个电压元件的能力（67）当初始化驱动晶体管和EL元件通过供给对应于所述电容器（67）所保持的电压的电流到EL器件发光（66）（61），像素电路（60）（66）在初始化期间中，驱动晶体管一种电动机（61），施加所述栅极电极和一个电压低于驱动晶体管的阈值电压大的源极电极之间的参考电压（61）的驱动晶体管（61）是正向偏置，在初始化时段前在预定的时间段，其包括驱动晶体管（61），电压施加单元，用于在栅电极和驱动晶体管（61）的源极电极之间施加反向偏置电压是一个电压作为反向偏压（31），则。

(19) 日本国特許庁(JP)		(12) 特 許 公 報(B2)		(11) 特許番号 特許第6142178号 (P6142178)	
(45) 発行日 平成29年6月7日(2017.6.7)		(24) 登録日 平成29年5月19日(2017.5.19)			
(51) Int. Cl.		F I			
G09G 3/3233 (2016.01)		G09G 3/3233			
G09G 3/30 (2006.01)		G09G 3/30		J	
G09G 3/20 (2006.01)		G09G 3/20		6 1 1 H	
H01L 51/50 (2006.01)		G09G 3/20		6 2 4 B	
		G09G 3/20		6 2 1 A	
請求項の数 5 (全 23 頁) 最終頁に続く					
(21) 出願番号 特願2015-535292(P2015-535292)		(73) 特許権者 514188173			
(86) (22) 出願日 平成26年6月9日(2014.6.9)		株式会社 J O L E D			
(86) 国際出願番号 PCT/JP2014/003071		東京都千代田区神田錦町三丁目2番3地			
(87) 国際公開番号 W02015/033496		(74) 代理人 100189430			
(87) 国際公開日 平成27年3月12日(2015.3.12)		弁理士 吉川 修一			
審査請求日 平成28年2月22日(2016.2.22)		(74) 代理人 100190805			
(31) 優先権主張番号 特願2013-183312(P2013-183312)		弁理士 傍島 正朗			
(32) 優先日 平成25年9月4日(2013.9.4)		(72) 発明者 柘植 仁志			
(33) 優先権主張国 日本国(JP)		日本国東京都千代田区神田錦町三丁目2番3地 株式会社 J O L E D 内			
		(72) 発明者 戎野 浩平			
		日本国東京都千代田区神田錦町三丁目2番3地 株式会社 J O L E D 内			
(54) 【発明の名称】 表示装置および駆動方法					