

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4925528号
(P4925528)

(45) 発行日 平成24年4月25日 (2012.4.25)

(24) 登録日 平成24年2月17日 (2012.2.17)

(51) Int.Cl.	F I	
G09G 3/30 (2006.01)	G09G 3/30	J
G09G 3/20 (2006.01)	G09G 3/20	624B
G09F 9/30 (2006.01)	G09G 3/20	611H
HO1L 27/32 (2006.01)	G09F 9/30	365Z
HO1L 21/20 (2006.01)	G09F 9/30	338
請求項の数 4 (全 23 頁) 最終頁に続く		

(21) 出願番号 特願2001-279802 (P2001-279802)
 (22) 出願日 平成13年9月14日 (2001.9.14)
 (65) 公開番号 特開2002-175029 (P2002-175029A)
 (43) 公開日 平成14年6月21日 (2002.6.21)
 審査請求日 平成20年9月12日 (2008.9.12)
 (31) 優先権主張番号 特願2000-300982 (P2000-300982)
 (32) 優先日 平成12年9月29日 (2000.9.29)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000001889
 三洋電機株式会社
 大阪府守口市京阪本通2丁目5番5号
 (74) 代理人 100075258
 弁理士 吉田 研二
 (74) 代理人 100081503
 弁理士 金山 敏彦
 (74) 代理人 100096976
 弁理士 石田 純
 (72) 発明者 安齋 勝矢
 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
 (72) 発明者 古宮 直明
 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
 最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項1】

マトリクス状に配置された各画素に、表示素子としてエレクトロルミネッセンス素子を備えたアクティブマトリクス型の表示装置であって、

各画素に、

ゲート信号をゲートに受けて動作し、電圧信号であるデータ信号を取り込むスイッチング用薄膜トランジスタと、

駆動電源と前記表示素子との間に設けられ、前記スイッチング用薄膜トランジスタから供給されるデータ信号に応じ、前記駆動電源から前記表示素子に供給する電力を制御する素子駆動用薄膜トランジスタと、

前記駆動電源と前記素子駆動用薄膜トランジスタとの間に設けられた、前記素子駆動用薄膜トランジスタと逆導電特性の補償用薄膜トランジスタと、

を有し、

前記補償用薄膜トランジスタは、ダイオード接続されており、

前記素子駆動用薄膜トランジスタのチャネル長方向は、前記スイッチング用薄膜トランジスタのチャネル長方向と一致しないことを特徴とする表示装置。

【請求項2】

請求項1に記載の表示装置において、

前記素子駆動用薄膜トランジスタは、互いに並列接続された複数の薄膜トランジスタから構成されることを特徴とする表示装置。

【請求項 3】

請求項 1 又は請求項 2 に記載の表示装置において、

前記素子駆動用薄膜トランジスタは、前記駆動電源と前記表示素子との間に、互いに並列接続された複数の薄膜トランジスタから構成され、前記補償用薄膜トランジスタは、前記並列接続された複数の薄膜トランジスタと、前記駆動電源との間にそれぞれ設けられていることを特徴とする表示装置。

【請求項 4】

請求項 1 ~ 3 のいずれか一つに記載の表示装置において、

マトリクス状に配置された画素の行に対応して設けられ対応するスイッチング素子のスイッチングを制御するゲートラインと、

マトリクス状に配置された画素の列に対応して設けられ対応するスイッチング素子にデータ信号を供給する接続されるデータラインと、

前記素子駆動用薄膜トランジスタのチャンネル長方向は、データラインが延在する方向に沿って配置され、スイッチング用薄膜トランジスタのチャンネル長方向は、ゲートラインが延在する方向に沿って配置されていることを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、マトリクス状に配置された各画素に、表示素子としてエレクトロルミネッセンス素子を備えたアクティブマトリクス型の表示装置に関する。

【0002】

【従来の技術】

自発光素子であるエレクトロルミネッセンス (Electroluminescence : 以下 E L) 素子を各画素に発光素子として用いた E L 表示装置は、自発光型であると共に、薄く消費電力が小さい等の有利な点があり、液晶表示装置 (L C D) や C R T などの表示装置に代わる表示装置として注目され、研究が進められている。

【0003】

また、なかでも、E L 素子を個別に制御する薄膜トランジスタ (T F T) などのスイッチ素子を各画素に設け、画素毎に E L 素子を制御するアクティブマトリクス型 E L 表示装置は、高精細な表示装置として期待されている。

【0004】

図 1 は、m 行 n 列のアクティブマトリクス型 E L 表示装置における 1 画素当たりの回路構成を示している。E L 表示装置では、基板上に複数本のゲートライン G L が行方向に伸び、複数本のデータライン D L 及び電源ライン V L が列方向に伸びている。また各画素は有機 E L 素子 5 0 と、スイッチング用 T F T (第 1 T F T) 1 0、E L 素子駆動用 T F T (第 2 T F T) 2 0 及び補助容量 C s を備えている。

【0005】

第 1 T F T 1 0 は、ゲートライン G L とデータライン D L とに接続されており、ゲート電極にゲート信号 (選択信号) を受けてオンする。このときデータライン D L に供給されているデータ信号は第 1 T F T 1 0 と第 2 T F T 2 0 との間に接続された補助容量 C s に保持される。第 2 T F T 2 0 のゲート電極には、上記第 1 T F T 1 0 を介して供給されたデータ信号に応じた電圧が供給され、この第 2 T F T 2 0 は、その電圧値に応じた電流を電源ライン V L から有機 E L 素子 5 0 に供給する。このような動作により、各画素ごとにデータ信号に応じた輝度で有機 E L 素子を発光させ、所望のイメージが表示される。

【0006】

ここで、有機 E L 素子は、陰極と陽極との間に設けた有機発光層に電流を供給することで発光する電流駆動型の素子である。一方、データライン D L に出力されるデータ信号は、表示データに応じた振幅の電圧信号である。そこで、従来より、有機 E L 表示装置では、このようなデータ信号によって有機 E L 素子を正確に発光させる目的で、各画素には第 1 T F T 1 0 と第 2 T F T 2 0 とを設けている。

10

20

30

40

50

【0007】

【発明が解決しようとする課題】

上述の有機EL表示装置において、その表示品質、信頼性はまだ十分ではなく、第1及び第2 TFT10, 20それぞれの特性ばらつきの解消が必要である。特に、電源ラインV_Lから有機EL素子50に供給する電流量を制御する第2 TFTの特性ばらつきは直接発光輝度にばらつきを発生させるので、そのばらつきを小さくすることが要求されている。

【0008】

また、これら第1及び第2 TFT10, 20を動作速度が速く、低電圧駆動の可能な多結晶シリコンTFTによって構成することが好適である。多結晶シリコンを得るためには、非晶質シリコンをレーザアニールによって多結晶化させることが行われるが、照射レーザの照射面内でのエネルギーばらつき等に起因して多結晶シリコンのグレインサイズが不均一となる。このグレインサイズのばらつき、特にTFTチャネル付近においてばらつきが起きると、TFTのオン電流特性などがばらついてしまうという問題もある。

【0009】

本発明は、上記課題に鑑みなされたものであり、有機EL素子を制御するTFTの特性ばらつきを緩和することで、各発光画素を均一な輝度で発光させることが可能なアクティブマトリクス型有機ELパネルを提供することを目的とする。

【0010】

また、本発明の他の目的は有機EL素子などを被駆動素子として備える装置において、その信頼性や特性向上を図ることである。

【0011】

【課題を解決するための手段】

上記目的を達成するためにこの発明は、マトリクス状に配置された各画素に、表示素子としてエレクトロルミネッセンス素子を備えたアクティブマトリクス型の表示装置であって、各画素に、ゲート信号をゲートに受けて動作し、電圧信号であるデータ信号を取り込むスイッチング用薄膜トランジスタと、駆動電源と前記表示素子との間に設けられ、前記スイッチング用薄膜トランジスタから供給されるデータ信号に応じ、前記駆動電源から前記表示素子に供給する電力を制御する素子駆動用薄膜トランジスタと、前記駆動電源と前記素子駆動用薄膜トランジスタとの間に設けられた、前記素子駆動用薄膜トランジスタと逆導電特性の補償用薄膜トランジスタと、を有し、前記補償用薄膜トランジスタは、ダイオード接続されており、前記素子駆動用薄膜トランジスタのチャンネル長方向は、前記スイッチング用薄膜トランジスタのチャンネル長方向と一致しないことを特徴とする。

【0012】

このような逆導電特性の補償用薄膜トランジスタにより、素子駆動用薄膜トランジスタとで、特性シフトのばらつきを吸収しあうことができるため、個々のトランジスタのばらつきを全体として緩和でき、特性ばらつきによるエレクトロルミネッセンス素子における発光輝度ばらつきを防止できる。

【0014】

これにより補償用薄膜トランジスタについて特別な制御信号を供給する必要なく素子駆動用薄膜トランジスタの特性ばらつきを補償することができる。スイッチング用薄膜トランジスタは、このトランジスタを選択する選択ラインと、データ信号を供給するデータラインとが交差する近傍に配置され、多くの場合、選択ラインの延在方向とスイッチング用薄膜トランジスタのチャンネル長方向が概ね平行するように配置される。このような場合に、素子駆動用薄膜トランジスタのチャンネル長方向をスイッチング用薄膜トランジスタと異なる方向に配置することで、素子駆動用薄膜トランジスタはチャンネル長を長くすることが容易となる。

【0015】

本発明の他の態様は、上記表示装置において、前記素子駆動用薄膜トランジスタは、互いに並列接続された複数の薄膜トランジスタから構成されることである。

【0016】

本発明のさらに別の態様は、上記素子駆動用薄膜トランジスタが、前記駆動電源と前記エレクトロルミネッセンス素子との間に、互いに並列接続された複数の薄膜トランジスタから構成され、前記補償用薄膜トランジスタは、前記並列接続された複数の薄膜トランジスタと、前記駆動電源との間にそれぞれ設けられていることである。

【0017】

このように素子駆動用薄膜トランジスタを並列に複数設けることで、個々のトランジスタに特性ばらつきが発生しても、並列接続されたトランジスタの全体の特性に対する影響を緩和することができる。このため、EL素子に対してばらつきが少なく電流を供給することができる。さらに、補償用薄膜トランジスタについてもこれを複数とすれば、個々のトランジスタの特性のばらつきが画素トランジスタ全体の特性に与える影響を低減でき、EL素子の均一輝度での発光が容易となる。

10

【0019】

本発明の他の態様では、上記半導体装置において、前記素子駆動用薄膜トランジスタ及び前記補償用薄膜トランジスタのチャネル長方向は、前記スイッチング用薄膜トランジスタに前記データ信号を供給するデータラインの延びる方向に沿うように配置されている。

【0023】

以上のような配置を採用することで、被駆動素子に電力を供給する素子駆動用薄膜トランジスタのチャネル長を長くでき、耐圧などトランジスタの信頼性を向上することができる。また、被駆動素子に対してそれぞれ設けられる素子駆動用薄膜トランジスタの特性を平均化することができ、被駆動素子が供給電力によって発光輝度の異なる発光素子などの場合においても素子毎の発光輝度のばらつきを抑えることができる。また、例えば1つの被駆動素子に対してそれぞれ十分なチャネル長を備えた複数の素子駆動用薄膜トランジスタを並列又は直列接続して画素内に効率的に配置することなどが容易であり、被駆動素子が発光素子などである場合において発光領域を増加させることも可能となる。

20

【0038】

【発明の実施の形態】

以下、図面を用いてこの発明の好適な実施の形態（以下実施形態という）について説明する。

【0039】

[実施形態1]

図2は、本発明の実施形態1に係るm行n列のアクティブマトリクス型EL表示装置における1画素当たりの回路構成を示している。図示するように各画素は、有機EL素子50、スイッチング用TFT（第1TFT）10、素子駆動用TFT（第2TFT）20及び補助容量Csを備え、ここでは、行方向に延びるゲートラインGLと、列方向に延びるデータラインDLで囲まれる領域に構成されている。本実施形態では、さらに、導電特性が該第2TFT20と逆の補償用TFT30が電源ラインVLと第2TFT20との間に挿入されている。この補償用TFT30は、ゲートと、ソース又はドレインの一方とが接続されてダイオード接続されており、該ダイオードが電源ラインVLと該第2TFT20との間に順方向に接続されている。よって、特別な制御信号を供給せずに動作させることが可能となっている。

30

40

【0040】

第1TFT10は、ゲート信号をそのゲートに受けてオンし、これにより、第1TFT10と第2TFT20と間に接続された補助容量CsにデータラインDLに供給されているデータ信号が保持され、補助容量Csの一方の電極電位が該データ信号に等しくなる。第2TFT20は、電源ラインVLと、有機EL素子（素子の陽極）50との間に設けられ、そのゲートに印加されるデータ信号の電圧値に応じた電流を電源ラインVLから有機EL素子50に供給するように動作する。図2に示す例では、第1TFT10には高速応答可能なnch-TFTが用いられ、第2TFT20にはpch-TFTが用いられている。

【0041】

50

補償用TFT30には、該第2TFT20と逆極性のnch-TFTが用いられており、第2TFT20のI(電流)-V(電圧)特性が変動した場合、ちょうど逆方向にそのI-V特性が変動し、第2TFT20の特性変動を補償する。

【0042】

図3は、能動層に多結晶シリコンを用いたnch-TFT及びpch-TFTのI-V特性を示している。nch-TFTは、ゲートへの印加電圧が所定の性電圧(+V_{th})以上になると電流値が急激に上昇し、一方のpch-TFTはゲートへの印加電圧が所定の負電圧(-V_{th})以下になると電流値が急激に上昇する。ここで、例えば同一基板上に形成されたnch-TFTとpch-TFTとは、nch-TFTの閾値+V_{th}が大きくなる方向、つまり、図3において右にシフトするように変動した場合、pch-TFTの閾値-V_tは、同程度だけ図3の右側にシフトする。反対にnth-TFTの閾値+V_tが左にシフトするときは、pth-TFTの閾値-V_tも左側にシフトする。例えば、製造条件のばらつき等によって、図2の第2TFT20に用いられているpch-TFTの-V_tが右ずれた場合、従来であれば同一条件化において有機EL素子50に供給される電流量が直ちに減少してしまう。しかし、本実施形態では、該第2TFT20と電源ラインVLとの間に設けられているnch-TFTからなる補償用TFT30の流す電流量が多くなる。

10

【0043】

本実施形態では、図2に示すように、互いに逆極性からなる第2TFT20と補償用TFT30とが電源ラインVLと有機EL素子50との間に設けられているので、2つのTFTは、常時、互いに流す電流量を補償するように釣り合うことになる。もちろん、補償用TFT30の存在しない図1のような従来回路構成よりも本実施形態の回路構成では、補償用TFT30が存在する分、有機EL素子50に供給可能な最大電流値は減少する。しかし、人間の目は、高輝度側における識別感度が、中間輝度における感度に比較して非常に低いため、最大供給電流値が多少減少しても表示品質には、ほとんど影響を与えない。その一方で、各画素において、第2TFT20と補償用TFT30とが互いに流し出す電流を調整しあうので、画素間における有機EL素子50への供給電流量のばらつきを低減することが可能となる。

20

【0044】

次に、図4を参照して、本実施形態の回路構成によって実現される効果について説明する。図4上段は、図2に示す本実施形態の画素回路構成によって有機EL素子を発光させた場合、図4下段は、図1に示す従来の画素回路構成によって有機EL素子を発光させた場合の印加電圧(データ信号)と発光輝度との関係の一例を示している。図4の設定は印加電圧(データ信号)8Vのときが有機EL素子に対する要求最大輝度としており、8V~10Vの間で階調表示が行われている場合を例に挙げている。また、図4の上段、下段の各3つのサンプルは、異なる製造条件下でそれぞれ図2及び図1の回路構成の有機ELパネルを形成した場合、つまり画素部のTFTの特性を故意にばらつかせた場合の発光輝度特性である。

30

【0045】

図4から明らかなように、従来の回路構成では、画素部TFTの特性が異なる3つのサンプルにおいて、設定されたデータ信号電圧範囲8V~10Vにおいて輝度特性が大きく変化しているのに対し、本実施形態の回路構成では、視感されない高輝度領域での特性が異なるだけで、3つのサンプルの中間調領域での輝度特性差は非常に小さい。従って、各画素を本実施形態のような回路構成とすることで、TFT、特に大きな影響を及ぼすEL素子駆動用TFT20の特性がばらついていても、これと逆極性の補償用TFT30の存在により、そのばらつきを補償することが可能であり、有機EL素子の発光輝度のばらつきを抑えることが可能となる。

40

【0046】

図5は、本実施形態の回路構成の他の例を示している。上述の図2と相違する点は、nch-TFTを用いて第2TFT22が構成され、また、補償用TFT32には、ダイオー

50

ド接続された p c h - T F T を用いている点である。このような構成によっても第 2 T F T 2 2 における特性ばらつきを補償用 T F T 3 2 で補償することができる。

【 0 0 4 7 】

図 6 は、本実施形態の回路構成のさらに別の例を示している。図 2 の回路構成と相違する点は、第 2 T F T が複数並列して補償用 T F T 3 0 と有機 E L 素子 5 0 との間に設けられていることである。なお、T F T の極性は、図 2 と同様に、第 2 T F T 2 4 が p c h、補償用 T F T 3 0 が n c h である。2 つの第 2 T F T 2 4 は、そのゲートが共に、第 1 T F T 1 0 及び補助容量 C s の第 1 電極側に接続され、各ソースは補償用 T F T 3 0 に接続され、ドレインが有機 E L 素子 5 0 に接続されている。このように第 2 T F T 2 4 を並列して設けることにより、第 2 T F T の特性ばらつきによる有機 E L 素子への供給電流ばらつきをさらに低減することが可能となる。

10

【 0 0 4 8 】

ここで、2 つの第 2 T F T 2 4 それぞれの流す電流値目標を i とすると、当然、2 つの第 2 T F T 2 4 の合計目標電流値は $2i$ となる。ばらつきにより、例えば一方の第 2 T F T 2 4 の電流供給能力が $i/2$ になってしまっても、他方の第 2 T F T 2 4 が i だけ電流を流せば、目標 $2i$ に対し、 $(3/2)i$ を有機 E L 素子に供給することができる。また、最悪一方の T F T の電流供給能力が 0 になったとしても、図 6 の例ならば、他方の T F T により電流 i を有機 E L 素子に供給することが可能である。単一の T F T で第 2 T F T 2 4 を構成した場合、これが電流供給能力 0 になると、その画素は欠陥になることと比較すると、その効果は格段に大きい。

20

【 0 0 4 9 】

また、本実施形態の各 T F T は、レーザアニール処理により a - S i を多結晶化するが、複数の第 2 T F T 2 4 を並列して設ける場合、各第 2 T F T 2 4 の能動領域に同時にレーザが照射されないようレーザ走査方向に対してその形成場所をずらすなどの工夫をすることが容易である。そして、そのような配置とすることで、全ての第 2 T F T 2 4 が欠陥となる可能性を格段に低下させることができ、レーザアニールに起因した特性ばらつきを最小限度に抑えることが可能となる。その上、上述のように、第 2 T F T 2 4 と電源ライン V L との間に補償用 T F T 3 0 を設けているので、そのアニール条件等のばらつきにより第 2 T F T 2 4 の閾値にシフトが生じても、補償用 T F T 3 0 によってこれを緩和することができる。

30

【 0 0 5 0 】

図 7 は、本実施形態のさらに別の画素回路構成を示している。上述の図 6 の構成と相違する点は、第 2 T F T 2 4 だけでなく、補償用 T F T も複数設けられ、各補償用 T F T 3 4 がそれぞれ電源ライン V L と第 2 T F T 2 4 との間に設けられている点である。補償用 T F T 3 4 についても図 7 のように複数とすれば、各補償用 T F T 3 4 に発生する電流供給能力のばらつきを全体として緩和することができ、有機 E L 素子 5 0 への供給電流能力のばらつきをより確実に低減させることが可能となる。

【 0 0 5 1 】

図 8 は、上記図 7 のような回路構成となる有機 E L 表示装置の平面構成の一例を示している。また図 9 (a) は、図 8 の A - A 線に沿った概略断面、図 9 (b) は、図 8 の B - B 線に沿った概略断面、図 9 (c) は、図 8 の C - C 線に沿った概略断面を示している。なお、図 9 において、同時に形成される層 (膜) には機能の異なるものをのぞき基本的に同一符号を付してある。

40

【 0 0 5 2 】

図 8 に示すように、各画素は、第 1 T F T 1 0、補助容量 C s、2 つの p c h の第 2 T F T 2 4、電源ライン V L と該第 2 T F T 2 4 との間にダイオード接続されて設けられた n c h の 2 つの補償用 T F T 3 4、そして、第 2 T F T 2 4 のドレインと接続された有機 E L 素子 5 0 を備える。また、図 8 の例では (これには限られないが)、行方向に延びるゲートライン G L と列方向に延びる電源ライン V L とデータライン D L に囲まれた領域に 1 画素が配置されている。なお、図 8 の例では、より高精細なカラー表示装置を実現するた

50

め、R, G, Bの画素が各行ごとにその配置位置がずれたいわゆるデルタ配列が採用されているので、データラインDL及び電源ラインVLは、一直線状ではなく、行ごとに位置のずれた画素の間隙をぬうように列方向に延びている。

【0053】

各画素領域において、ゲートラインGLとデータラインDLとの交差部近傍には、第1 TFT10が形成されている。能動層6には、レーザアニール処理によってa-Siを多結晶化して得たp-Siが用いられ、この能動層6は、ゲートラインGLから突出したゲート電極2を2回跨ぐパターンとなっており、図7では、シングルゲート構造で示しているが、回路的にはデュアルゲート構造となっている。能動層6は、ゲート電極2を覆って形成されたゲート絶縁膜4上に形成されており、ゲート電極2の直上領域がチャンネル、その両側には、不純物がドーパされたソース領域6S、ドレイン領域6Dが形成されている。第1 TFT10は、ゲートラインGLに出力される選択信号に高速応答することが望まれるから、ここで、ソースドレイン領域6S、6Dには、リン(P)などの不純物がドーパされ、nch-TFTとして構成されている。

10

【0054】

第1 TFT10のドレイン領域6Dは、第1 TFT10全体を覆って形成される層間絶縁膜14の上に形成されたデータラインDLと該層間絶縁膜14に開口されたコンタクトホールで接続されている。

【0055】

この第1 TFT10のソース領域6Sには、補助容量Csが接続されている。この補助容量Csは、第1電極7と第2電極8とが層間にゲート絶縁膜4を挟んで重なっている領域に形成されている。第1電極7は、図8においてゲートラインGLと同様行方向に延びており、かつゲートと同一材料から形成された容量ラインSLと一体で形成されている。また、第2電極8は、第1 TFT10の能動層6と一体で、該能動層6が第1電極7の形成位置まで延出して構成されている。第2電極8は、コネクタ42を介して第2 TFT24のゲート電極25に接続されている。

20

【0056】

2つのpchの第2 TFT24と、2つのnchの補償用TFT34の断面構成は、図9(b)のようになっている。これらの第2 TFT及び補償用TFT24, 34は、データラインDL(電源ラインVL)に沿った方向に、各TFT毎に島状にパターニングされた半導体層16を各能動層として利用している。従って、この例では、これら第2 TFT24及び補償用TFT34のチャンネルは、そのチャンネル長方向がデータラインDL、ここでは細長い形状の1画素の長手方向に沿うように配置されている。なお、この半導体層16は、第1 TFT10の能動層6と同時に形成されたものであり、レーザアニール処理により、a-Siが多結晶化されて形成された多結晶シリコンが用いられている。

30

【0057】

図9(b)の両端に位置する補償用TFT34は、そのドレイン領域が層間絶縁膜14に開口されたコンタクトホールを介し、それぞれ同じ電源ラインVLに接続されている。また、補償用TFT34のチャンネル領域の直下にはゲート絶縁膜4を挟んでゲート電極35が配されている。このゲート電極35は、ゲートラインGLと同一材料で、同時に形成された層であるが、図8に示すようにコンタクトホールにおいて、電源ラインVLと接続されている。従って、この補償用TFT34は、図7の回路図に示したように、ゲートとドレインが共に電源ラインVLに接続されたダイオードを構成している。また、この補償用TFT34のソース領域は、pch-TFTから構成される第2 TFT24のソース領域と離間配置されており、コンタクト配線43によって互いにそれぞれ接続されている。

40

【0058】

第2 TFT24の各ゲート電極25は、補償用TFT34のゲート電極35と同様、ゲートラインGLと同一材料で同時に形成された導電層であり、補助容量Csの第2電極8にコネクタ42を介して接続され、該補助容量Csの形成領域から電源ラインVLに沿って延び、さらに能動層16の下に延びており、2つの第2 TFT24の各ゲート電極25を

50

構成している。

【0059】

有機EL素子50は、例えば図9(c)のような断面構造を備えており、上述のような各TF Tが形成された後、上面平坦化の目的で、基板全面に形成された平坦化絶縁層18の上に形成されている。この有機EL素子50は、陽極(透明電極)52と、最上層に各画素共通で形成された陰極(金属電極)57との間に有機層が積層されて構成されている。ここで、この陽極52は、第2TF T24のソース領域と直接接続されておらず、配線層を構成するコネクタ40を介して接続されている。

【0060】

ここで、本実施形態では、図8のように、2つの第2TF T24は、1つのコネクタ40に共通に接続されており、このコネクタ40は、有機EL素子50の第1電極52と1カ所でコンタクトしている。つまり、有機EL素子50は、n個の第2TF T24と、n-1個以下のコンタクトで接続されている。コンタクト領域は非発光領域となることもあり、このように有機EL素子50とコネクタ40(第2TF T24)とのコンタクト数をできるだけ少なくすることで、発光領域をできるだけ大きくすることを可能とする。なお、このコンタクト数に関する他の例については、実施形態3として後述する。

【0061】

また、本実施形態では、図8及び図9(c)に示すようにコネクタ40と陽極52との接続位置は、コネクタ40と第2TF T24との接続位置とずれて配置されている。後述する有機化合物を含む発光素子層51は、局部的に薄い場所などがあると電界集中が起きやすく、電界集中の起きた場所から劣化が始まることがある。従って有機材料の用いられる発光素子層51の形成面はできるだけ平坦であることが望ましい。コンタクトホールの上層ではこのコンタクトホールに起因した窪みができ、コンタクトホールが深ければ深いほどその窪みは大きくなる。従って、陽極52の形成領域外にコネクタ40と第2TF T24のソース領域とを接続するコンタクトホールを配置することにより、上に有機層の形成される陽極52の上面をできる限り平坦にすることを可能としている。なお、陽極52の上面を平坦にする例については実施形態4として後述する。

【0062】

発光素子層(有機層)51は、陽極側から、例えば第1ホール輸送層53、第2ホール輸送層54、有機発光層55、電子輸送層56が順に積層されている。

一例として、第1ホール輸送層52は、

MTDATA:4,4',4''-tris(3-methylphenylphenylamino)triphenylamine、

第2ホール輸送層54は、

TPD:N,N'-diphenyl-N,N'-di(3-methylphenyl)-1,1'-biphenyl-4,4'-diamine、

有機発光層55は、R、G、Bの目的とする発光色によって異なるが、例えば、キナクリドン(Quinacridone)誘導体を含むBeBq₂:bis(10-hydroxybenzo[h]quinolinato)berylliumを含み、

電子輸送層56は、BeBqから構成される。また、図9(c)に示す例では、有機EL素子50は、ITO(Indium Tin Oxide)などからなる陽極52と有機発光層55以外の各有機層(53, 54, 56)及びAlなどからなる陰極57は各画素共通で形成されている。

【0063】

上記EL素子の他の構成例としては、右にあげた材料を用いた左の層が順次積層形成された素子があげられる。

【0064】

a. 透明電極(陽極)

b. ホール輸送層: NBP

c. 発光層: レッド(R)・・・ホスト材料(Alq₃)に赤色のドーパント(DCJT B)をドープ

グリーン(G)・・・ホスト材料(Alq₃)に緑色のドーパント(Coumarin

10

20

30

40

50

6) をドーブ

ブルー (B) ・ ・ ・ ホスト材料 (Alq₃) に青色のドーパント (Perylene) をドーブ

d . 電子輸送層 : Alq₃

e . 電子注入層 : フッ化リチウム (LiF)

f . 電極 (陰極) : アルミニウム (Al)

なお、ここで、上記略称にて記載した材料の正式名称は以下のとおりである。

・ 「NB P」 ・ ・ ・ N,N'-Di((naphthalene-1-yl)-N,N'-diphenyl-benzidine)

・ 「Alq₃」 ・ ・ ・ Tris(8-hydroxyquinolino)aluminum

・ 「DCJT B」 ・ ・ ・ (2-(1,1-Dimethylethyl)-6-(2-(2,3,6,7-tetrahydro-1,1,7,7-tetramethyl-1H,5H-benzo[ij]quinolizin-9-yl)ethenyl)-4H-pyran-4-ylidene)propanedinitrile

・ 「Coumarin 6」 ・ ・ ・ 3-(2-Benzothiazolyl)-7-(diethylamino)coumarin

・ 「BALq」 ・ ・ ・ (1,1'-Bisphenyl-4-Olato)bis(2-methyl-8-quinolinplate-N 1,08) Aluminum

但し、もちろんこのような構成には限られない。

【0065】

以上のような構造の画素において、ゲートラインGLに選択信号が印加されると、第1 TFT10がオンし、データラインDLの電位と、補助容量Csの第2電極8に接続されたそのソース領域の電位が等しくなる。第2 TFT24のゲート電極25には、データ信号に応じた電圧が供給され、第2 TFT24は、その電圧値に応じて電源ラインVLから補償用 TFT34を介して供給される電流を有機EL素子50の陽極52に供給する。このような動作により、各画素ごとにデータ信号に応じた電流を正確に有機EL素子50に供給することができ、ばらつきのない表示が可能となる。

【0066】

図8に示すように、電源ラインVLと有機EL素子50との間に補償用 TFT34と第2 TFT24とがこの順に複数系列(ここでは2系列)設けられているので、一方の系でばらつきによる特性シフトや欠陥などが発生しても、正常な特性の他方の系が存在することで、複数系列の合計決まる供給電流量のばらつきを緩和することを可能としている。

【0067】

また、図8に示す平面配置では、共に能動層がレーザアニール処理によって多結晶化された多結晶シリコン層が用いられているが、このアニール処理は、一例として図の行方向に長いレーザビームを列方向に走査して行う。このような場合にも、第1 TFT10のチャネル向きと、第2及び補償用 TFT24, 34の各能動層長さチャネル向きとは一致せず、また形成位置が第1と第2 TFT10, 24とで離れている。このため、レーザアニールによって、第1及び第2 TFT10, 24、さらには第2及び補償用 TFT24, 34に同時に不具合が生ずることを防止することが可能である。

【0068】

なお、第1 TFT10、第2 TFT24及び補償用 TFT34のいずれも、ボトムゲート構造として説明したが、能動層よりもゲート電極が上層に形成されたトップゲート構造であってもよい。

【0069】

[実施形態2]

次に、本発明の他の実施形態2について説明する。実施形態1では、トランジスタの特性ばらつきによる画素間で発光輝度のばらつきを防止するため、素子駆動用薄膜トランジスタと逆導電特性の補償用薄膜トランジスタを設けている。これに対して、本実施形態2では、素子駆動用薄膜トランジスタ(第2 TFT)の配置に着目して画素間での発光輝度のばらつきを抑制する。図10は、実施形態2に係る1画素あたりの構成例を示しており、図10(a)は概略平面図、図10(b)は図10(a)のB-B線に沿った断面図である。この構成は、図1と同一の回路構成で示される。また、図中、既に説明した図と対応する部分には同一符号を付している。

10

20

30

40

50

【0070】

本実施形態2において、1画素は、有機EL素子50、第1TFT（スイッチング用薄膜トランジスタ）10、補助容量Cs、第2TFT（素子駆動用薄膜トランジスタ）20を備える。実施形態1と異なり、電源ラインVLと有機EL素子50との間には単一の第2TFT20が形成されているが、この第2TFT20は、上述の図8と同様に、そのチャンネル長方向が、細長く形成された画素の長手方向に沿うように配置されている。そして、本実施形態2では、このように画素領域の長手方向にチャンネル長方向が向くように第2TFT20を配置することで、図10(a)のようにチャンネル長の非常に長い第2TFT20を配置する場合にも、また、上述の図8に示すように電源ラインVLと、有機EL素子50との間に第2TFT20や補償用TFT30を配置する必要がある場合にも、有機EL素子50の発光領域を最大限確保しながら、面積の限られた1画素領域内に必要なTFTを効率的に配置することを可能としている。

10

【0071】

本実施形態2では、画素の長手方向に第2TFT20を配置することで、図10(a)及び図10(b)に示すように、第2TFT20のチャンネル長を十分長くすることを可能としている。第2TFT20のチャンネル長を十分長くすることにより、TFT耐圧向上による信頼性が向上する。また、第2TFT20のトランジスタ特性の平均化が可能となり、画素毎の第2TFT20の電流供給能力ばらつきを低減でき、この能力ばらつきにより発生する有機EL素子50の発光輝度ばらつきを非常に小さくすることが可能となる。

20

【0072】

また、本実施形態2においては、実施形態1と同様に、第2TFT20は、アモルファスシリコン層をレーザアニールによって多結晶化して得た多結晶シリコン層を半導体層（能動層）16として用いる。この場合に、レーザアニールの走査方向を第2TFT20のチャンネル長方向と一致するような方向に設定する、言い換えるとパルスレーザの照射領域の長手方向エッジがチャンネル16cを幅方向に横切るように配置し、かつ上述のように第2TFT20のチャンネル長を長くすることによって、第2TFT20の特性ばらつきの低減が可能となる。これは、単一のレーザショットによって第2TFT20のチャンネル全領域がアニールされないように調整することが容易で、他の画素の第2TFT20とその特性に大きな差が発生することを防止でき、これにより第2TFT20の特性についてより高い平均化効果を得ることが可能であるためである。

30

【0073】

第2TFT20は、有機EL素子50に対して駆動電源（電源ラインVL）からの比較的大電流を供給することが要求されるが、能動層16に多結晶シリコンを用いたp-SiTFTを第2TFT20に用いる場合、要求能力と比較してp-Siの移動度は十分な値であり、第2TFT20はそのチャンネル長を長く設計しても十分な電流供給能力を発揮することができる。また、第2TFT20は、電源ラインVLに直接接続されるため要求耐圧が高く、チャンネル長CLは、チャンネル幅よりも大きくすることが要求されることが多い。従って、このような観点からも第2TFT20は、十分に長いチャンネル長とすることが好適であり、そのために第2TFT20をそのチャンネル長方向が画素領域の長手方向に沿うように形成することで、1画素領域内に長いチャンネルを備える第2TFT20を効率的に配置することが可能となる。

40

【0074】

表示面上に複数の画素がマトリクス状に配置されて構成される表示装置では、多くの場合、垂直方向（列方向）よりも水平方向（行方向）の方がより高い解像度が要求されるため、各画素は、上述の図8や図10(a)に示すように列方向に長い形状に設計される傾向が強い。このような場合に、列方向にチャンネル長方向が向くように第2TFT20を配置すれば、画素領域の長手方向にチャンネル長方向が沿うことになり、上述のような要求されるチャンネル長の確保が容易となる。

【0075】

また、本実施形態2に示すように、各画素に表示素子を駆動するためのスイッチ素子が設

50

けられるアクティブマトリクス型表示装置では、列方向に第1 TFT10にデータ信号を供給するデータラインDLが配置され、行方向には選択ライン(ゲートライン)GLが配置される。そこで、データラインDLの延びる方向(列方向)にチャンネル長方向が沿うように第2 TFT20を配置することで、長いチャンネル長を確保しつつ、第2 TFT20を効率的に画素領域内に配置することが容易となる。なお、図10の例では、駆動電源V_{dd}から電源ラインVLによって各画素に電力が供給されるレイアウトが採用されており、この電源ラインVLについてもデータラインDLと同様に列方向に延びているので、第2 TFT20のチャンネル長方向は、この電源ラインVLの延在方向とも一致している。

【0076】

ところで、本実施形態2では、上述のように第2 TFT20のチャンネル長方向が、レーザーアニールの走査方向と一致するように、或いは列方向(データラインDLの延在方向)に平行となるように設定しているが、第1 TFT10については、ゲートラインGLの延びる行方向にそのチャンネル長方向が一致するように配置されている。よって、本実施形態2においては、第1 TFT10と第2 TFT20とでは、そのチャンネル長方向が互いに異なった配置になっている。

【0077】

次に本実施形態2に係る表示装置の断面構造について図10(b)を参照して説明する。図10(b)は、第2 TFT20及びこのTFT20と接続される有機EL素子50の断面構造を示している。なお図示しない第1 TFT10については、チャンネルの長さ、ダブルゲートであること、及び能動層6の導電型が異なること等を除けば、基本構成は、図10(b)の第2 TFT20とほぼ共通している。

【0078】

実施形態1において例示した第1及び第2 TFTは、共にボトムゲート構造であるが、本実施形態2では第1及び第2 TFT10, 20は、能動層よりゲート電極が上層に形成されたトップゲート構造を採用している。もちろん、トップゲート構造に限られるものではなく、ボトムゲート構造であってもよい。

【0079】

第2 TFT20の能動層16及び第1 TFT10の能動層6は、上述のように共に、基板1上に形成されたアモルファスシリコン層をレーザーアニールして多結晶化して得られた多結晶シリコンより構成されている。多結晶シリコンからなる能動層6及び能動層16の上にはゲート絶縁膜4が形成されている。第1 TFT10及び第2 TFT20の各ゲート電極2及び25は、このゲート絶縁膜4の上に形成されており、第2 TFT20のゲート電極25は、第1 TFT10の能動層6と一体の補助容量C_sの第2電極8に接続され、図10(a)に示すように補助容量C_sとの接続部分から列方向に延びてゲート絶縁膜4上に能動層16の上方を広く覆うようにパターンニングされている。

【0080】

第2 TFT20の能動層16は、ゲート電極25によって上方が覆われている領域がチャンネル領域16cであり、このチャンネル領域16cの両側にはそれぞれソース領域16sと、ドレイン領域16dが形成されている。本実施形態2では、この能動層16のソース領域16sは、補助容量C_sの近傍において、ゲート絶縁膜4及び層間絶縁膜14を貫通して形成されたコンタクトホールを介して電源ラインVLと電氣的に接続されている。また、ドレイン領域16dは、マトリクスの次行に相当するゲートラインGLの近傍で、ゲート絶縁膜4及び層間絶縁膜14を貫通して形成されたコンタクトホールを介してコネクタ(配線層)40と接続されている。コネクタ40は、ドレイン領域16dとの接続領域から有機EL素子50の形成領域まで延び、上記層間絶縁膜14及び電源ラインVL及びコネクタ40を覆って形成されている第1平坦化絶縁層18に形成されたコンタクトホールを介して有機EL素子50のITO電極(陽極)52と電氣的に接続されている。

【0081】

また、図10(b)では、上記第1平坦化層18の上には、有機EL素子50の陽極52の形成中央領域のみ開口され、陽極52のエッジ、配線領域及び第1及び第2 TFTの形

10

20

30

40

50

成領域を覆うように第2平坦化絶縁層61が形成されている。そして、有機EL素子50の発光素子層51が、陽極52及び第2平坦化絶縁層61上に形成されている。また発光素子層51の上には全画素共通の金属電極57が形成されている。

【0082】

次に、第2TF T 20のチャンネル長CLと、レーザの移動ピッチPとの関係について説明する。上述のように、第2TF T 20のチャンネル長CLについては、十分長くすることが好適であるが、1回のパルスレーザでチャンネル全領域がアニールされないようにするためにはレーザの移動ピッチPがチャンネル長CLに対し、 $P < CL$ となることが好ましい。移動ピッチPは、レーザアニール装置の光学系システム等の設定により調整可能である場合があり、このような場合、 $CL > P$ となるように装置を調整することが好適である。例えば200dpi程度の解像度の表示装置の場合、画素行方向の長さは30 μ m程度であっても、列方向は80 μ m程度を確保することができる。さらに、レーザの移動ピッチP20 μ m~35 μ mの場合において、第2TF T 20をそのチャンネル長方向が画素長手方向に向くように配置することでチャンネル長CLは50 μ m~80 μ m程度を確保でき、上記関係を満たすことができる。このような関係であれば第2TF T 20のチャンネル領域16cは、必ず複数回パルスレーザが照射されて多結晶化されることとなり、同様に複数回のパルスレーザ照射により多結晶化される他の画素の第2TF T 20との間で、その特性の差を低減することが可能となる。

10

【0083】

以上の説明では、1画素内において有機EL素子50と、電源ラインVLとの間に単一の第2TF T 20が形成されている。しかし、第2TF T 20は、1画素内に複数設けられていてもよい。図11は、1画素内で、複数の第2TF T 20が電源ライン16と有機EL素子50との間に並列接続される場合のレイアウトの一例を示している。なお、図11に示す画素構成の等価回路は、上述の図6の回路において補償用TF T 30を除いた場合と同等であり、2つの第2TF T 20のソース領域16sa、16sbが共に電源ラインVLに接続され、ドレイン領域16da、16dbが共にそれぞれコンタクト40を介して有機EL素子50の陽極52に接続されている。このように1画素内に第2TF T 20を複数設けることで、1画素について複数の第2TF T 20の両方が同時に不良となって有機EL素子に電流供給不能となる確率を最低でも半分以下に低減することができる。

20

【0084】

2つの第2TF T 20a、20bの配置については、図10と同様に、画素領域の長手方向(ここではデータラインDLの延在方向にも一致)に対し、そのチャンネル長方向がほぼ平行となるように配置する。このような配置により、発光領域を最大限確保しつつ各チャンネル長CLをできるだけ長く確保することが可能となっている。さらに、レーザアニールの走査方向については、図11においても、2つの第2TF T 20a、20bのいずれのチャンネル長方向にも平行となるように設定されている。また、両能動層16a、16bは一直線上に並べられている。複数の第2TF T 20a、20bの各能動層が必ずしも互いに一直線上に並ぶことは必須ではないが、第2TF T 20a、20bの各チャンネル領域16ca、16cbは、レーザ走査方向に対し、互いに完全に一致せずに、若干でもずれていることにより、TF T 20a、20bの特性が同じようにばらつくことをより確実に防止できる。即ち、チャンネル長方向が互いにレーザ走査方向にずれていることで、同一のパルスによって2つのTF Tのチャンネルが同時にアニールされる可能性が減少し、第2TF T 20a、20bの特性が全く同じように設定値からずれたり、両方のトランジスタが同時に動作しないといった問題発生の可能性を大幅に低減でき、画素毎における有機EL素子60に供給する総電流量のばらつきを低減できる。

30

40

【0085】

2つの第2TF T 20a、20bのチャンネル長CLa、CLbは、そのいずれもが上述のようにレーザの移動ピッチPより大きいことが望ましい。さらに、複数の第2TF T 20a、20bのチャンネル16caと、16cbとの離間距離Lについても、レーザの移動ピッチPよりも大きくすることがより好ましい。しかし、図11のように複数の第2TF T

50

20が1画素内に配置されている場合、少なくとも2つのTF T 20 a、20 bの合計チャンネル長と上記離間距離Lの合計が、移動ピッチPより大きければ、レーザアニールによって、1画素内の複数のトランジスタTF T 2 a、TF T 2 bに同時不具合が生ずる又は同じように特性がずれることを防止でき、画素毎での特性ばらつき低減効果が得られる。

【0086】

[実施形態3]

次に、実施形態3として、1画素内において、複数の第2TF T 20と対応する有機EL素子50とのより効率的な接続方法について説明する。上述の実施形態1及び実施形態2の図11に示すように、1画素内で、有機EL素子50と電源ラインVLとの間に複数の第2TF T 20を設けることは、信頼性向上、特性向上などの観点で好適である。このように複数の第2TF T 20を1画素内に設ける場合、図11に示したように、第2TF T 20 a、20 bと有機EL素子50とをそれぞれ接続することで、電源ラインVLから有機EL素子50への第2TF T 20を介した電流供給がより確実となる。しかし、図10(b)に示すような透明な陽極52から下方の基板1を経て外部に発光層55からの光を射出するタイプの有機EL素子の場合、コンタクト部は遮光されることが多い。例えば、図9(c)や図10(b)では、有機EL素子50の第2TF T 20との接続は、金属配線である配線層40を介して行われており、この配線層40と陽極52とのコンタクト部では、陽極52の下方に遮光性の配線層40が存在しており、この領域では発光層55からの光は基板1側に通り返れることはできない。従って、第2TF T 20と有機EL素子50とのコンタクト部を第2TF T 20の個数nと同じ数だけ設けるとコンタクト数に比例して発光面積が減少してしまう。

【0087】

そこで、発光面積の減少を最小限とするためには、1画素当たりの第2TF T 20の数n(n>2)に対し、該第2TF T 20と有機EL素子50とのコンタクト数をn-1以下とすることが好適である。上述の図8や、以下に説明する図12、図13及び図14では、n個の第2TF T 20と有機EL素子50とをn-1以下のコンタクト数で接続している。なお、以降で説明する各図において、既に説明した図面と共通する部分には同一符号を付し、説明を省略する。

【0088】

図12では、電源ラインVLと有機EL素子50との間に2つの第2TF T 20 a、20 bを並列接続した場合の有機EL素子50とのコンタクト方法を示している。なお、2つの第2TF T 20 a、20 bは、上述の図11と同様、そのチャンネル長方向が画素の長手方向(データラインDLの延在方向)、又はレーザアニールの走査方向に対して平行となるように配置され、さらに互いにずれるように配置されており、画素間での輝度ばらつきの低減、信頼性向上を図っている。

【0089】

図12の例では、単一の島状にパターンニングされたp-Siからなる半導体層が2つの第2TF T 20 a、20 bの能動層16 a、16 bとして用いられている。この半導体パターンはその列方向の両端側が、各第2TF T 20 a、20 bのソース領域(p-chTF Tの場合)16 s a、16 s bであり、それぞれ電源ラインVLと接続されている。また、半導体パターンの中央付近が2つのTF T 20 a、20 bのドレイン領域(p-chTF Tの場合)16 d a及び16 d bは、2つのTF Tの間に配された単一の配線層40と、層間絶縁膜14及びゲート絶縁膜4を貫通して形成された共通のコンタクトホールにおいて接続されている(図10(b)参照)。

【0090】

この配線層40は、有機EL素子50の陽極形成領域に延び、図10(b)の断面構造と同様に第1平坦化絶縁層18に開口された1カ所のコンタクトホールを介して有機EL素子50の陽極52と接続されている。ここで、配線層40と陽極52と接続位置は、図12において、陽極52の画素長手方向の中央付近となっている。コンタクト位置は、図12のように限定されるわけではないが、図12のように陽極52の比較的中央付近に近い

10

20

30

40

50

位置に配置されることにより、金属電極と比較すると高抵抗なITOなどからなる陽極52の形成領域内での電流密度の平均化効果が得られ、各画素の発光面内での発光輝度の均一性を高めることが可能である。

【0091】

図13に示す例では、第2 TFT 20の数を3とし、これら3つのTFT 20-1、20-2、20-3を電源ラインVLと有機EL素子50の陽極52との間に並列接続している。3つの第2 TFT 20の能動層16は、一体であり、チャンネル長方向は図中の行方向に設定されている。第2 TFT 20-1~3の各チャンネル領域16c1~3は、互いにそのチャンネル幅方向において、能動層16のパターンが開口されていることで分離されている。

10

【0092】

この3つの第2 TFT 20は、ここでは、電源ラインVLと1カ所で接続され、また単一の配線層40により、有機EL素子50の陽極52とも1カ所で接続され、ゲート電極25は、3つのTFTについて共通であり、補助容量Csの第2電極8に電氣的に接続され、かつ補助容量Cs付近から列方向に延びた金属配線によって構成されている。図13の構成例では、3つの第2 TFT 20-1~3と有機EL素子50とが1つのコンタクト部によって接続されており、有機EL素子50の形成領域に占めるコンタクト部の割合を低くでき、1画素当たりの開口率、つまり、発光面積を高くすることができる。

【0093】

図14に示す例では、第2 TFT 20の数を4とし、これら4つのTFT 20-1~4は、電氣的には電源ラインVLと有機EL素子50の陽極52との間に並列接続されている。4つの第2 TFT 20の能動層16は、一体で構成され、各TFT 20-1~4のチャンネル長方向は、図12等と同様、画素領域の長手方向又はデータラインDLの延在方向に平行に設定され、4つがほぼ一直線上に並んでいる。

20

【0094】

4つの第2 TFT 20-1~4は、ここでは、電源ラインVLと3カ所で接続され、第1、第2配線層40-1及び40-2により、有機EL素子50の陽極52と2カ所で接続されている。図14の構成例では、単一の能動層16の最も外側に位置するTFT 20-1、20-4の各ソース領域16s₁、16s₄がそれぞれ単独で電源ラインVLと接続され、中央に位置するTFT 20-2、20-3の各ソース領域16s₂及び16s₃が、共通で電源ラインVLに接続されている。第2 TFT 20-1及び20-2と、有機EL素子50とは、第2 TFT 20-1及び20-2の間から素子50に延びる第1配線層40-1にドレイン領域16d₁及び16d₂が接続され、この第1配線層40-1は有機EL素子50の形成領域に延び、素子の陽極52と接続されている。また、第2 TFT 20-3及び20-4と、有機EL素子50とは、第2 TFT 20-3及び20-4の間から素子50に延びる第2配線層40-2にドレイン領域16d₃及び16d₄が接続され、この第2配線層40-2は有機EL素子50の形成領域に延び、素子の陽極52と接続されている。このように、4つの第2 TFT 20-1~4と有機EL素子50とは2カ所のみ接続されており、4つの第2 TFT 20-1~4を設けることによる発光領域の減少を抑制している。

30

40

【0095】

また、図14の構成においては、4つの第2 TFT 20-1~4を画素の長手方向に沿ってほぼ一直線上にチャンネル長方向が向くように配置しているため、第2 TFT 20-1~4を効率的に1画素内に配置することを可能としている。

【0096】

[実施形態4]

次に、図15~図20を参照して、第2 TFT 20と有機EL素子50との接続構造について説明する。実施形態3において説明したように、有機EL素子50と第2 TFT 20とのコンタクト領域は、透明陽極52を透過し下方の基板1から外部に光を放射する方式(ボトムエミッション)の場合、非発光領域となることが多い。また、多くの集積回路な

50

どにおいては集積度の向上、表示装置であれば解像度の向上などを実現するためには、コンタクト面積をできる限り少なくすることが望まれる。このような観点からは、第2 TFT 20の能動層16と、有機EL素子50の陽極52とを直接接続する場合も、接続特性の向上のため直接接続せず金属接続層(A1層やCr層など)を介在させる場合においても、図15に示すように層間絶縁膜14の第1コンタクトホール70、第1平坦化絶縁層18の第2コンタクトホール72を重ねて形成することが好ましい。

【0097】

しかし、複数のコンタクトホールを図15(a)に示されるように重ねて形成した場合、コンタクトホール合計段差($h_{70} + h_{72}$)が大きくなり、コンタクトホール上に形成される層の表面平坦度が低下する。さらに、陽極エッジ領域における発光素子層51のカバレッジ不良による陽極52と陰極57との短絡を防止するため、図15(a)に示すように陽極52のエッジ領域を覆う第2平坦化絶縁層61が採用される場合があるが、この第2平坦化絶縁層61は陽極52の中央領域では開口される。従って、第2平坦化絶縁層61の開口部は、上記第1及び第2コンタクトホール70及び72の近傍に形成されることとなり、発光素子層51の形成面は、さらにこの第2平坦化絶縁層61の開口による段差 h_{74} の影響も受けることとなる。

【0098】

一方、有機EL素子50は、発光素子層51に電流を流すことで発光層55に含まれる発光性有機化合物を発光させており、発光素子層51の層内において、その厚さに大きな差があると、他より薄い部分で電界集中が起きやすく、そのような部分にダークスポットが発生しやすいことが知られている。ダークスポットは表示品質を低下させ、また素子駆動により拡大することも多いため、素子寿命を短くしてしまうことにもなる。従って、コンタクト領域の上層に有機EL素子50を形成する場合には、発光素子層51の形成面の平坦性をできるだけ高めることが要求され、発光素子層51が非常に凹凸の多い面に形成されることとなる図15のようなコンタクト構造は発光素子層51の信頼性向上などの観点からは好ましくない。

【0099】

図16は、以上をふまえ、発光素子層51の形成面での平坦性を高めた接続方法の例を示している。図16(a)は第2 TFT 20の能動層16と、有機EL素子50の陽極52とのコンタクト部分の断面構造、図16(b)は、このコンタクト部分の概略平面構造を示している。図16に示す接続構造は、陽極52のエッジ領域を覆う第2平坦化絶縁層61が存在することと、第2 TFTがトップゲートである点を除き、実施形態1において説明した図8及び図9と共通し、配線層40と陽極52との接続位置が、配線層40と第2 TFT 20の能動層16との接続位置とずれて配置されている。このようなレイアウトを採用することで、配線層40と陽極52とのコンタクト領域では、陽極表面、つまり発光素子層51の形成面は、第2コンタクトホール72による段差 h_{72} の影響を受けるだけで、図15のように第1コンタクトホール70による段差 h_{70} の影響を受けない。従って、図15と図16の比較からも理解できるように、発光素子層形成面、特に発光層55が形成され各画素の発光領域における素子層形成面の平坦性の向上が図られている。

【0100】

図17は、上記図16における発光素子層の形成面を更に平坦にするための方法を示している。図17に示す例では、図16と同様に、配線層40と有機EL素子50の陽極52とを接続する第2コンタクトホール72の形成位置を第1コンタクトホール70の形成位置からずらすと共に、第2平坦化絶縁層61によって第2コンタクトホール72を覆っている。従って、発光層55の形成される領域では、第1コンタクトホール70はもちろんのこと第2コンタクトホール72による段差の影響も受けず、発光素子層形成面の平坦性を一段と向上することが可能となっている。また、第2平坦化絶縁層61は陽極52のエッジ領域を覆っているため陽極52と陰極57とのショートなども確実に防止されている。

【0101】

10

20

30

40

50

ここで、有機EL素子の発光領域は、陽極52と陰極57とが間に配置される発光層55を挟んで対向する領域となり、陽極52と発光素子層51との間に第2平坦化絶縁層61が形成されている領域は発光しない。従って、図17に示す構成では、厳密には第2平坦化絶縁層61が陽極52のエッジだけでなく第2コンタクトホール72の上方まで覆うため、その分発光領域は減少することとなる。しかし、既に説明したように下層に遮光性の配線層40などが形成されていると、配線層40の形成領域は外部から見れば非発光領域となる。従って、図17のように第2平坦化絶縁層61が第2コンタクトホール72を覆う構造を採用してもそれによる1画素当たりの実際の発光面積の減少を抑制することができる。

【0102】

第2平坦化絶縁層61によってコンタクトホールを覆う方法は、上述の図15のように第1及び第2コンタクトホール70、72が重ねて配置されるレイアウトに採用することによっても、発光素子層形成面の平坦性向上効果を発揮する。即ち、図18に示すコンタクト部の断面構造のように、第2TFE20の能動層16と有機EL素子50の陽極52とが重ねて形成された第1及び第2コンタクトホール70、72によって接続され、この2つのコンタクトホールによって陽極52の上面が深く窪んだ領域を第2平坦化絶縁層61で覆う。従って、コンタクトホール70及び72の上方における発光素子層形成面は、第2平坦化絶縁層61によって形成された平坦性の良い面となる。また、図18では2つのコンタクトホール70、72を同じ位置に形成することで、1画素内での素子配置効率が高く、また、発光領域の向上に寄与することも容易となる。

【0103】

図19は更に別の発光素子層形成面の平坦化方法を説明している。図17と相違する点は、第2コンタクトホール72の形成領域において、陽極52上に第2平坦化絶縁層61ではなく、埋め込み層62を選択的に形成してコンタクトホールによる窪みを埋めていることである。このようにコンタクトホール72を覆う陽極52上に選択的に埋め込み層62を形成することによって、第2平坦化絶縁層61等を設けない場合であっても、コンタクトホール上の発光素子層形成面を平坦にすることができる。また、図20に示すように、第1及び第2コンタクトホール70、72を重ねて形成する場合に図19と同様に埋め込み層62を採用しても良い。図20では、2つのコンタクトホールが重ねて形成される領域において、陽極52上に埋め込み層62を選択的に形成しており、2つのコンタクトホールによって形成される深い窪みが埋められている。図19及び図20のいずれにおいても、発光素子層51は、コンタクトホール形成領域においては、埋め込み層62の平坦な面の上に形成されることとなり、この領域での発光素子層の不具合発生を防止することができる。

【0104】

なお、第2平坦化絶縁層61及び上記埋め込み層62の材質は上面が平坦となればどのようなものでも良いが、発光素子層51と反応したり含水性でなく安定で絶縁性の材料が良い。例えばポリイミドや、HMOSO、TOMCAT、TEOSなどを用いることができる。

【0105】

【発明の効果】

以上説明したように、本発明においては、有機EL素子などの被駆動素子に電力を供給するトランジスタの特性のばらつきを緩和することが可能で、被駆動素子への供給電力のばらつきを平均化し、被駆動素子における発光輝度ばらつき等を防止することができる。

【0106】

また、本発明では、被駆動素子とこの素子に電力供給するトランジスタとを最小限のコンタクト数で接続することで、限られた面積内に効率よく必要なトランジスタや素子などを配置できる。従って、被駆動素子として例えばEL素子などが採用される場合に1画素単位などにおける発光面積率を向上することができる。

【0107】

さらに、本発明では、被駆動素子を形成する面の平坦性を向上することができ、被駆動素子の信頼性を向上することが可能となる。

【図面の簡単な説明】

【図 1】 アクティブマトリクス型有機 E L 表示装置の 1 画素の回路構成を示す図である。

【図 2】 本発明の実施形態 1 のアクティブマトリクス型有機 E L 表示装置の 1 画素あたりの回路構成例を示す図である。

【図 3】 T F T の I - V 特性を示す図である。

【図 4】 本発明及び従来 of 回路構成によって実現される効果を示す図である

【図 5】 本発明の実施形態 1 のアクティブマトリクス型有機 E L 表示装置の 1 画素あたりの別の回路構成を示す図である。

10

【図 6】 本発明の実施形態 1 のアクティブマトリクス型有機 E L 表示装置の 1 画素あたりの別の回路構成を示す図である。

【図 7】 本発明の実施形態 1 のアクティブマトリクス型有機 E L 表示装置の 1 画素あたりのさらに別の回路構成を示す図である。

【図 8】 図 7 に示す回路構成を備えた本実施形態 1 に係るアクティブマトリクス型有機 E L パネルの平面構成図である。

【図 9】 図 8 の A - A、B - B、C - C 線に沿った断面構成を示す図である。

【図 10】 実施形態 2 に係るアクティブマトリクス型有機 E L パネルの 1 画素当たりの平面図及び断面図である。

20

【図 11】 実施形態 2 に係るアクティブマトリクス型有機 E L パネルの 1 画素当たりの他の平面構成例である。

【図 12】 実施形態 3 に係るアクティブマトリクス型有機 E L パネルの 1 画素当たりの平面図である。

【図 13】 実施形態 3 に係るアクティブマトリクス型有機 E L パネルの 1 画素当たりの他の平面構成例である。

【図 14】 実施形態 2 に係るアクティブマトリクス型有機 E L パネルの 1 画素当たりの他の平面構成例である。

【図 15】 第 2 T F T の能動層 16 と有機 E L 素子 50 の陽極 52 とのコンタクト部における断面及び平面構造を示す図である。

30

【図 16】 実施形態 3 に係る第 2 T F T の能動層 16 と有機 E L 素子 50 の陽極 52 とのコンタクト部における断面及び平面構造例を示す図である。

【図 17】 実施形態 3 に係る第 2 T F T の能動層 16 と有機 E L 素子 50 の陽極 52 とのコンタクト部における他の断面構造例を示す図である。

【図 18】 実施形態 3 に係る第 2 T F T の能動層 16 と有機 E L 素子 50 の陽極 52 とのコンタクト部における他の断面構造例を示す図である。

【図 19】 実施形態 3 に係る第 2 T F T の能動層 16 と有機 E L 素子 50 の陽極 52 とのコンタクト部における他の断面構造例を示す図である。

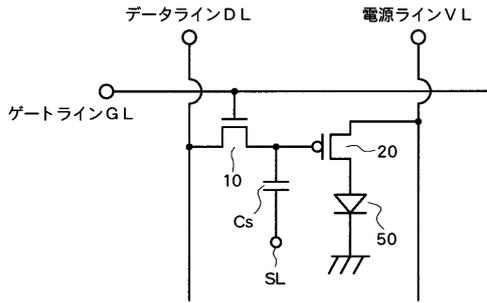
【図 20】 実施形態 3 に係る第 2 T F T の能動層 16 と有機 E L 素子 50 の陽極 52 とのコンタクト部における他の断面構造例を示す図である。

40

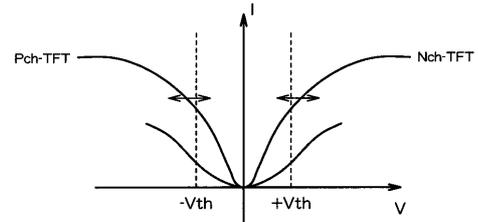
【符号の説明】

1 基板（透明基板）、2, 25, 35 ゲート電極、4 ゲート絶縁膜、6, 16 能動層（p - s i 膜）、10 第 1 T F T（スイッチング用 T F T）、14 層間絶縁膜、18 平坦化絶縁層、20, 22, 24 第 2 T F T（素子駆動用 T F T）、30, 32, 34 補償用 T F T、40, 42 コネクタ（配線層）、41 金属接続層、50 有機 E L 素子、51 発光素子層、52 陽極、53 第 1 ホール輸送層、54 第 2 ホール輸送層、55 有機発光層、56 電子輸送層、57 陰極、G L ゲートライン、V L 電源ライン、D L データライン。

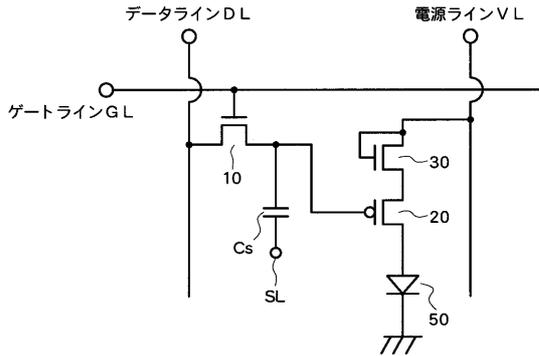
【図1】



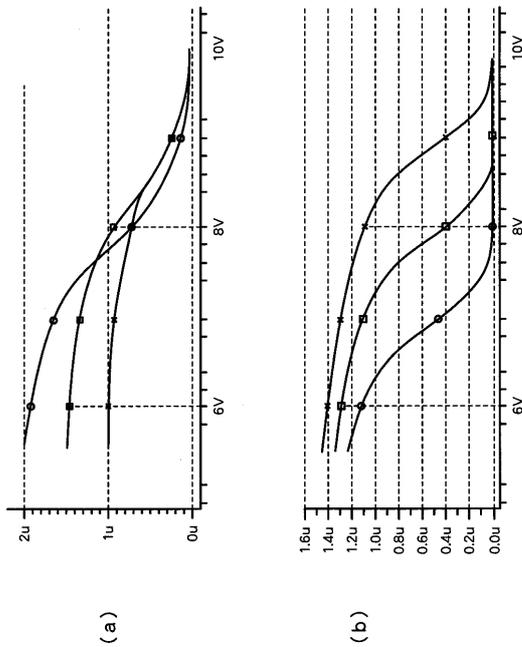
【図3】



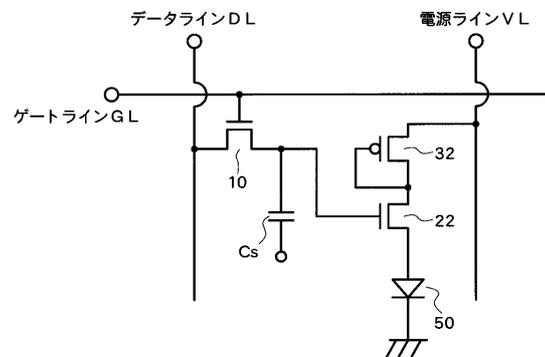
【図2】



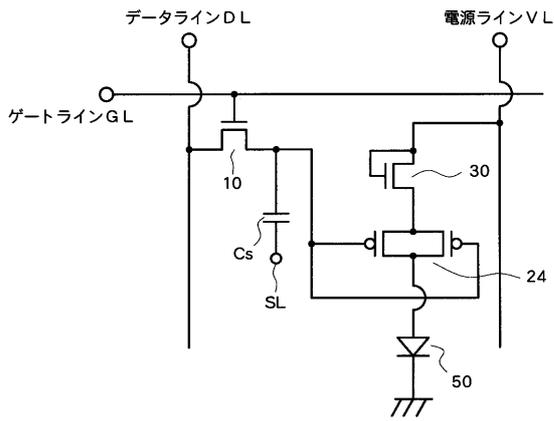
【図4】



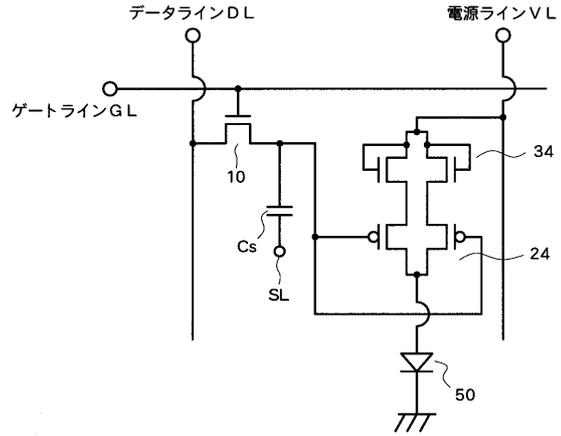
【図5】



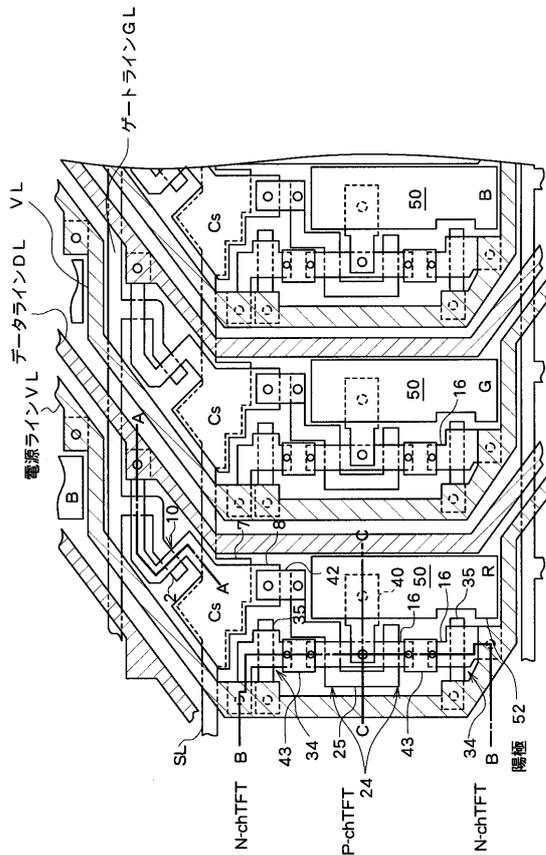
【図6】



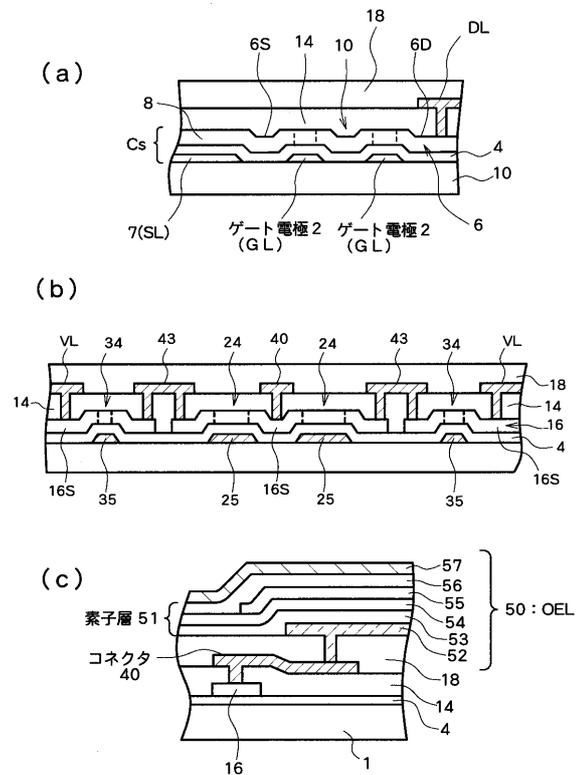
【図7】



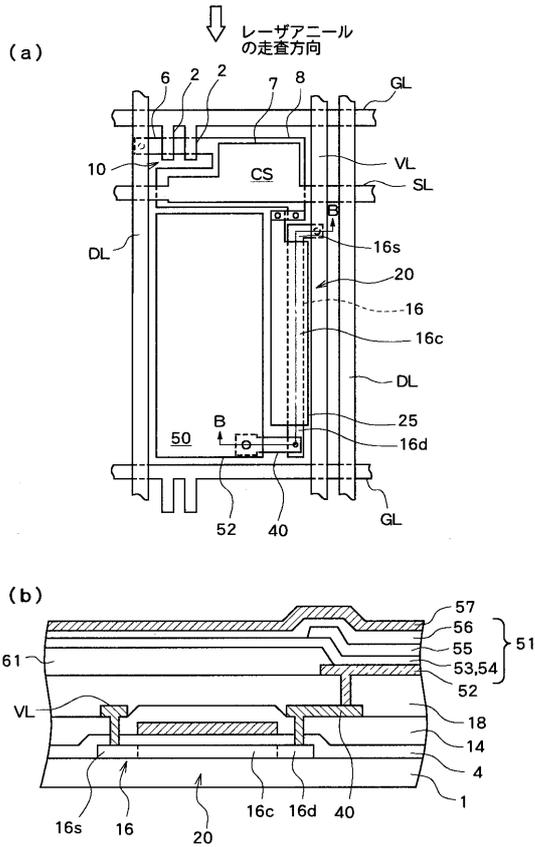
【図8】



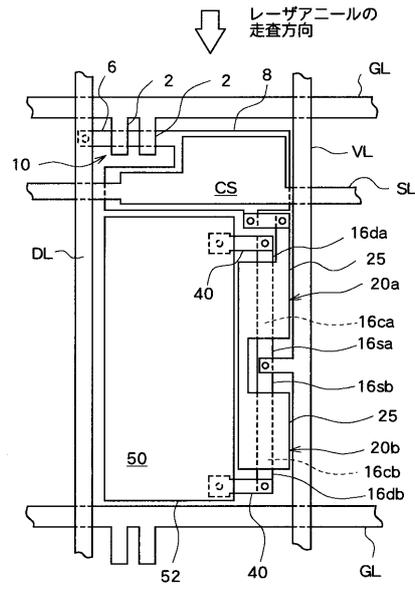
【図9】



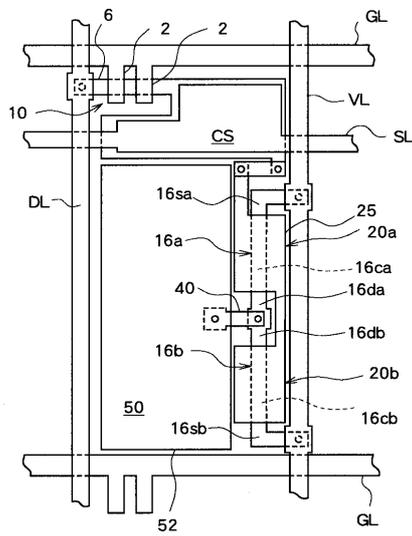
【図10】



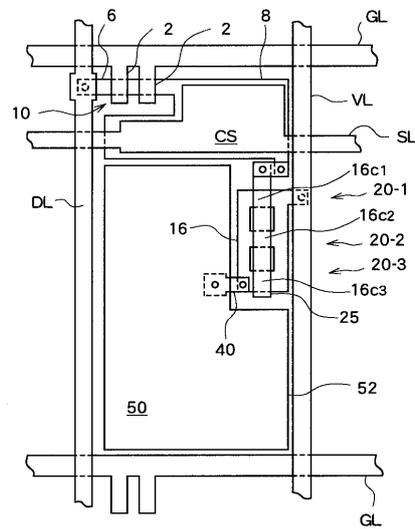
【図11】



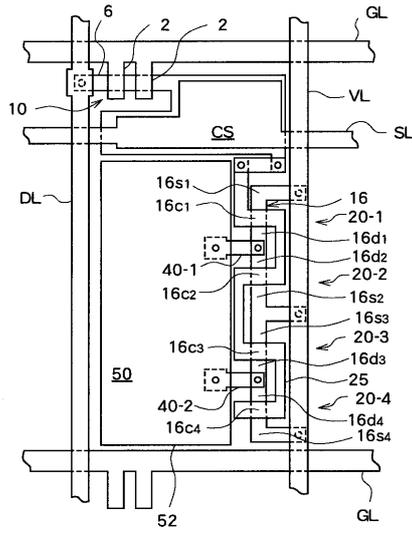
【図12】



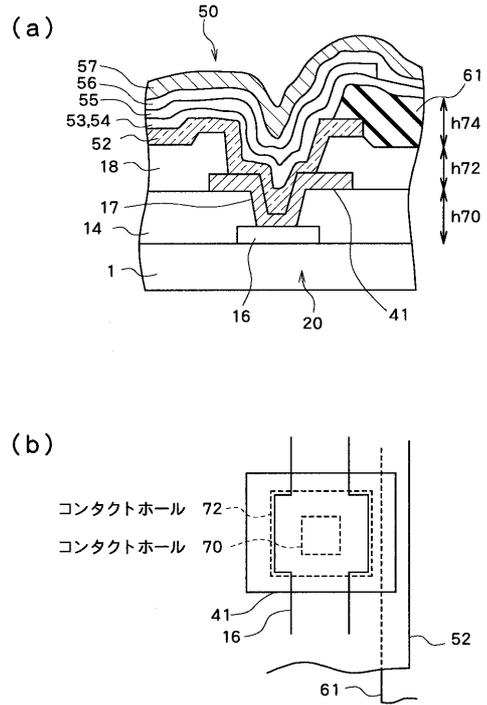
【図13】



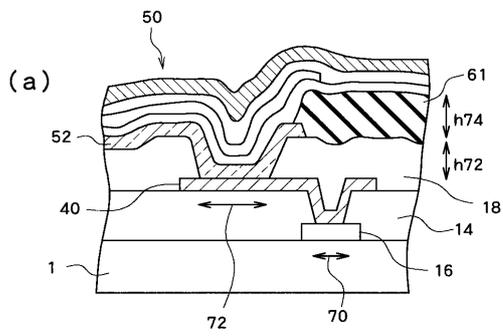
【図14】



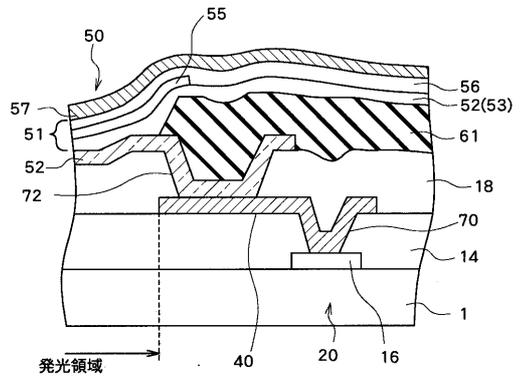
【図15】



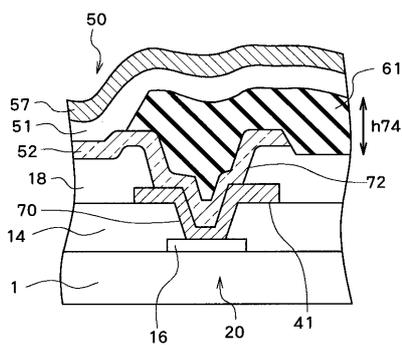
【図16】



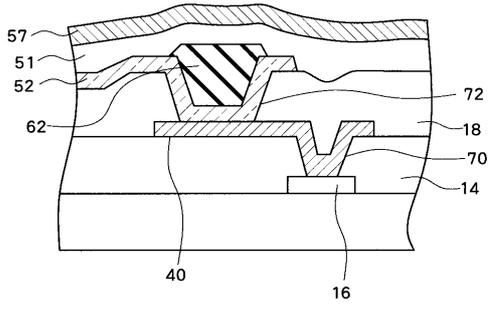
【図17】



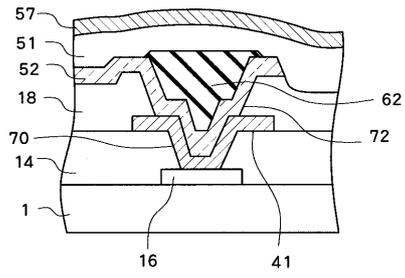
【図18】



【図 19】



【図 20】



フロントページの続き

(51)Int.Cl.		F I
<i>H 0 1 L 29/786 (2006.01)</i>		H 0 1 L 21/20
<i>H 0 1 L 21/336 (2006.01)</i>		H 0 1 L 29/78 6 1 4
<i>H 0 1 L 27/08 (2006.01)</i>		H 0 1 L 29/78 6 1 2 D
<i>H 0 1 L 51/50 (2006.01)</i>		H 0 1 L 27/08 3 3 1 E
		H 0 1 L 29/78 6 2 7 G
		H 0 5 B 33/14 A

審査官 福村 拓

- (56)参考文献 特開2000-056847(JP,A)
 国際公開第98/048403(WO,A1)
 国際公開第99/065011(WO,A1)
 特開平06-045354(JP,A)
 特開平04-070820(JP,A)
 特開2002-072926(JP,A)
 特開2000-221903(JP,A)
 特開平11-272233(JP,A)
 特開昭51-117531(JP,A)
 特開昭63-216131(JP,A)
 特開平09-016123(JP,A)
 特開平11-282419(JP,A)
 Sang-Hoon Jung, Woo-Jin Nam, Min-koo Han, A New Voltage Modulated AMOLED Pixel Design
 Compensating Threshold Voltage Variation of Poly-Si TFTs, Society for Information Display
 2002 International Symposium Digest of Technical Papers, 米国, 2002年 5月2
 1日, Volume XXXIII, Number I, P-104, Pages 622 - 625

(58)調査した分野(Int.Cl., DB名)

G09G 3/30
 G09F 9/30
 G09G 3/20

专利名称(译)	表示装置		
公开(公告)号	JP4925528B2	公开(公告)日	2012-04-25
申请号	JP2001279802	申请日	2001-09-14
[标]申请(专利权)人(译)	三洋电机株式会社		
申请(专利权)人(译)	三洋电机株式会社		
当前申请(专利权)人(译)	三洋电机株式会社		
[标]发明人	安齋勝矢 古宮直明		
发明人	安齋 勝矢 古宮 直明		
IPC分类号	G09G3/30 G09G3/20 G09F9/30 H01L27/32 H01L21/20 H01L29/786 H01L21/336 H01L27/08 H01L51/50 G09G3/32 H05B33/00		
CPC分类号	G09G3/3233 G02F1/13624 G09G2300/0417 G09G2300/0426 G09G2300/0465 G09G2300/0809 G09G2300/0842 G09G2300/0885 G09G2320/0204 G09G2320/0233 G09G2320/043 G09G2330/021 H01L27/3244 H01L27/3248 H01L27/3262		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.611.H G09F9/30.365.Z G09F9/30.338 H01L21/20 H01L29/78.614 H01L29/78.612.D H01L27/08.331.E H01L29/78.627.G H05B33/14.A G09F9/30.365 G09G3/3233 G09G3/3291 H01L27/088.331.E H01L27/32		
F-TERM分类号	3K007/AB00 3K007/AB02 3K007/BA06 3K007/CB01 3K007/DA00 3K007/DB03 3K007/EB00 3K007/FA01 3K107/AA01 3K107/BB01 3K107/CC02 3K107/CC33 3K107/DD39 3K107/EE03 3K107/FF15 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD03 5C080/DD28 5C080/EE28 5C080/FF11 5C080/JJ03 5C080/JJ05 5C080/JJ06 5C094/AA03 5C094/AA25 5C094/AA53 5C094/AA55 5C094/BA03 5C094/BA29 5C094/CA19 5C094/EA04 5C094/EA07 5C380/AA01 5C380/AB06 5C380/AB12 5C380/AB24 5C380/AB34 5C380/AB41 5C380/AB45 5C380/BA27 5C380/BA36 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB05 5C380/BD07 5C380/BD09 5C380/CA12 5C380/CC03 5C380/CC26 5C380/CC27 5C380/CC28 5C380/CC33 5C380/CC62 5C380/CC77 5C380/CD013 5C380/CD014 5C380/CD015 5C380/CF46 5C380/DA02 5C380/DA06 5C380/HA13 5F048/AC04 5F048/BA16 5F048/BB09 5F048/BE08 5F048/BF02 5F048/BF12 5F048/BF16 5F048/BG07 5F052/AA02 5F052/BA01 5F052/BA07 5F052/DA02 5F052/JA01 5F110/AA30 5F110/BB01 5F110/CC02 5F110/CC08 5F110/EE28 5F110/GG02 5F110/GG13 5F110/GG26 5F110/HJ01 5F110/HL03 5F110/HL04 5F110/HL07 5F110/HM18 5F110/NN73 5F110/NN78 5F110/PP03 5F110/PP05 5F110/PP06 5F152/AA08 5F152/BB02 5F152/BB03 5F152/CC09 5F152/CE05 5F152/FF01 5F152/FG03 5F152/FG08 5F152/FG23 5F152/FH04 5F152/FH05		
代理人(译)	吉田健治 金山俊彦 石田 纯		
审查员(译)	福村 拓		
优先权	2000300982 2000-09-29 JP		
其他公开文献	JP2002175029A		
外部链接	Espacenet		

摘要(译)

要解决的问题：减少要提供给多个有机EL元件的电流的变化。解决方案：用于控制从电源线VL供应的电流值的元件驱动TFT 20设置在有机EL元件50和电源线VL之间，并且TFT 20的沟道长度方向与其并联布置。像素的长度方向，或者用于向控制TFT 20的开关TFT提供数据信号的数据线的延伸方向，或者用于使TFT 20的有源层16多晶化的激光退火的扫描方向。可以在电源线VL和TFT20之间提供具有反向特性的反向TFT20的补偿TFT30。

【图 2】

