

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4831889号
(P4831889)

(45) 発行日 平成23年12月7日 (2011. 12. 7)

(24) 登録日 平成23年9月30日 (2011. 9. 30)

(51) Int. Cl.

F I

G 0 9 G 3 / 3 0 (2006. 01)

G 0 9 F 9 / 3 0 (2006. 01)

H 0 1 L 2 7 / 3 2 (2006. 01)

G 0 9 G 3 / 2 0 (2006. 01)

H 0 5 B 3 3 / 0 8 (2006. 01)

G 0 9 G 3 / 3 0 K

G 0 9 F 9 / 3 0 3 3 8

G 0 9 F 9 / 3 0 3 6 5 Z

G 0 9 G 3 / 2 0 6 2 4 B

G 0 9 G 3 / 2 0 6 4 1 E

請求項の数 9 (全 55 頁) 最終頁に続く

(21) 出願番号 特願2001-184369 (P2001-184369)
 (22) 出願日 平成13年6月19日 (2001. 6. 19)
 (65) 公開番号 特開2002-82651 (P2002-82651A)
 (43) 公開日 平成14年3月22日 (2002. 3. 22)
 審査請求日 平成20年3月28日 (2008. 3. 28)
 (31) 優先権主張番号 特願2000-188518 (P2000-188518)
 (32) 優先日 平成12年6月22日 (2000. 6. 22)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷 3 9 8 番地
 (72) 発明者 犬飼 和隆
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 審査官 奈良田 新一

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項 1】

複数のソース信号線と、複数のゲート信号線と、複数の電源供給線と、複数の画素とを有する表示装置であって、

前記複数の画素は、第 1 スイッチング用 T F T、第 2 スイッチング用 T F T、消去用 T F T、E L 駆動用 T F T 及び E L 素子をそれぞれ有し、

前記消去用 T F T のゲート電極は、前記複数のゲート信号線のうちの k 番目 (k は自然数) のゲート信号線に接続され、

前記第 1 スイッチング用 T F T のゲート電極は、前記複数のゲート信号線のうちの (k + 1) 番目のゲート信号線に接続され、

前記第 2 スイッチング用 T F T のゲート電極は、前記複数のゲート信号線のうちの (k + 2) 番目のゲート信号線に接続され、

前記第 2 スイッチング用 T F T のソース領域とドレイン領域の一方は、前記複数のソース信号線のいずれか 1 つに接続され、

前記第 2 スイッチング用 T F T のソース領域とドレイン領域の他方は、前記第 1 スイッチング用 T F T のソース領域とドレイン領域の一方に接続され、

前記第 1 スイッチング用 T F T のソース領域とドレイン領域の他方は、前記 E L 駆動用 T F T のゲート電極に接続され、

前記消去用 T F T のソース領域とドレイン領域の一方は、前記複数の電源供給線のいずれか 1 つに接続され、

10

20

前記消去用 T F T のソース領域とドレイン領域の他方は、前記 E L 駆動用 T F T のゲート電極に接続され、

前記 E L 駆動用 T F T のソース領域は、前記複数の電源供給線のいずれか 1 つに接続され、

前記 E L 駆動用 T F T のドレイン領域は、前記 E L 素子に接続され、

1 フレーム期間は、複数の書き込み期間 T a と、複数の消去期間 T e とを有し、

前記複数の書き込み期間 T a において、前記複数のゲート信号線に入力される第 1 の選択信号によって、前記複数のゲート信号線が順に選択され、

前記複数の消去期間 T e において、前記複数のゲート信号線に順に入力される第 2 の選択信号によって、前記複数のゲート信号線が順に選択され、

前記複数のゲート信号線のうち隣り合うゲート信号線が前記第 1 の選択信号によって選択される期間は重なっており、

前記複数のゲート信号線のうち隣り合うゲート信号線が前記第 2 の選択信号によって選択される期間は重なっておらず、

前記複数のゲート信号線のうちの任意のゲート信号線において、前記第 1 の選択信号によって選択される期間が、前記第 2 の選択信号によって選択されている期間の 2 倍であることを特徴とする表示装置。

【請求項 2】

複数のソース信号線と、複数のゲート信号線と、複数の電源供給線と、複数の画素とを有する表示装置であって、

前記複数の画素は、第 1 スイッチング用 T F T、第 2 スイッチング用 T F T、消去用 T F T、E L 駆動用 T F T 及び E L 素子をそれぞれ有し、

前記消去用 T F T のゲート電極は、前記複数のゲート信号線のうちの k 番目 (k は自然数) のゲート信号線に接続され、

前記第 1 スイッチング用 T F T のゲート電極は、前記複数のゲート信号線のうちの (k + 1) 番目のゲート信号線に接続され、

前記第 2 スイッチング用 T F T のゲート電極は、前記複数のゲート信号線のうちの (k + 2) 番目のゲート信号線に接続され、

前記第 2 スイッチング用 T F T のソース領域とドレイン領域の一方は、前記複数のソース信号線のいずれか 1 つに接続され、

前記第 2 スイッチング用 T F T のソース領域とドレイン領域の他方は、前記第 1 スイッチング用 T F T のソース領域とドレイン領域の一方に接続され、

前記第 1 スイッチング用 T F T のソース領域とドレイン領域の他方は、前記 E L 駆動用 T F T のゲート電極に接続され、

前記消去用 T F T のソース領域とドレイン領域の一方は、前記複数の電源供給線のいずれか 1 つに接続され、

前記消去用 T F T のソース領域とドレイン領域の他方は、前記 E L 駆動用 T F T のゲート電極に接続され、

前記 E L 駆動用 T F T のソース領域は、前記複数の電源供給線のいずれか 1 つに接続され、

前記 E L 駆動用 T F T のドレイン領域は、前記 E L 素子に接続され、

1 フレーム期間は、複数の書き込み期間 T a と、複数の消去期間 T e とを有し、

前記複数の書き込み期間 T a において、前記複数のゲート信号線に入力される第 1 の選択信号によって、前記複数のゲート信号線が順に選択され、

前記複数の消去期間 T e において、前記複数のゲート信号線に順に入力される第 2 の選択信号によって、前記複数のゲート信号線が順に選択され、

前記複数のゲート信号線のうち隣り合うゲート信号線が前記第 1 の選択信号によって選択される期間は重なっており、

前記複数のゲート信号線のうち隣り合うゲート信号線が前記第 2 の選択信号によって選択される期間は重なっておらず、

前記複数のゲート信号線が前記第1の選択信号によって選択される期間において、前記複数のソース信号線にデジタルビデオ信号が入力され、

前記複数のゲート信号線のうちの任意のゲート信号線において、前記第1の選択信号によって選択される期間が前記第2の選択信号によって選択されている期間の2倍であることを特徴とする表示装置。

【請求項3】

複数のソース信号線と、複数のゲート信号線と、複数の電源供給線と、複数の画素とを有する表示装置であって、

前記複数の画素は、第1スイッチング用TFT、第2スイッチング用TFT、消去用TFT、EL駆動用TFT及びEL素子をそれぞれ有し、

前記消去用TFTのゲート電極は、前記複数のゲート信号線のうちのk番目(kは自然数)のゲート信号線に接続され、

前記第1スイッチング用TFTのゲート電極は、前記複数のゲート信号線のうちの(k+1)番目のゲート信号線に接続され、

前記第2スイッチング用TFTのゲート電極は、前記複数のゲート信号線のうちの(k+2)番目のゲート信号線に接続され、

前記第2スイッチング用TFTのソース領域とドレイン領域の一方は、前記複数のソース信号線のいずれか1つに接続され、

前記第2スイッチング用TFTのソース領域とドレイン領域の他方は、前記第1スイッチング用TFTのソース領域とドレイン領域の一方に接続され、

前記第1スイッチング用TFTのソース領域とドレイン領域の他方は、前記EL駆動用TFTのゲート電極に接続され、

前記消去用TFTのソース領域とドレイン領域の一方は、前記複数の電源供給線のいずれか1つに接続され、

前記消去用TFTのソース領域とドレイン領域の他方は、前記EL駆動用TFTのゲート電極に接続され、

前記EL駆動用TFTのソース領域は、前記複数の電源供給線のいずれか1つに接続され、

前記EL駆動用TFTのドレイン領域は、前記EL素子に接続され、

1フレーム期間は、n個の書き込み期間 T_{a1} 、 T_{a2} 、...、 T_{an} と、(m-1)個の消去期間 T_{e1} 、 T_{e2} 、...、 $T_{e(m-1)}$ (mは2からnまでの任意の数)とを有し、

前記書き込み期間 T_{a1} 、 T_{a2} 、...、 T_{an} において、デジタルビデオ信号が前記EL駆動用TFTのゲート電極に入力され、

前記消去期間 T_{e1} 、 T_{e2} 、...、 $T_{e(m-1)}$ において、前記EL駆動用TFTのゲート電極に入力された前記デジタルビデオ信号が消去され、

前記書き込み期間 T_{a1} 、 T_{a2} 、...、 T_{an} のそれぞれが開始されてから、前記書き込み期間 T_{a1} 、 T_{a2} 、...、 T_{an} のそれぞれの次に出現する書き込み期間もしくは消去期間が開始されるまでの期間が表示期間 T_{r1} 、 T_{r2} 、...、 T_{rn} であり、

前記消去期間 T_{e1} 、 T_{e2} 、...、 $T_{e(m-1)}$ のそれぞれが開始されてから、前記消去期間 T_{e1} 、 T_{e2} 、...、 $T_{e(m-1)}$ のそれぞれの次に出現する書き込み期間が開始されるまでの期間が非表示期間 T_{d1} 、 T_{d2} 、...、 $T_{d(m-1)}$ であり、

前記デジタルビデオ信号によって、前記表示期間 T_{r1} 、 T_{r2} 、...、 T_{rn} において前記EL素子が発光するか発光しないかが選択され、

前記表示期間 T_{r1} 、 T_{r2} 、...、 T_{rn} の長さの比は、 $2^0 : 2^1 : \dots : 2^{(n-1)}$ で表され、

前記書き込み期間 T_{a1} 、 T_{a2} 、...、 T_{an} において、前記複数のゲート信号線に入力される第1の選択信号によって、前記複数のゲート信号線が順に選択され、

前記消去期間 T_{e1} 、 T_{e2} 、...、 $T_{e(m-1)}$ において、前記複数のゲート信号線に順に入力される第2の選択信号によって、前記複数のゲート信号線が順に選択され、

10

20

30

40

50

前記複数のゲート信号線のうち隣り合うゲート信号線が前記第 1 の選択信号によって選択される期間は重なっており、

前記複数のゲート信号線のうち隣り合うゲート信号線が前記第 2 の選択信号によって選択される期間は重なっておらず、

前記複数のゲート信号線のうちの任意のゲート信号線において、前記第 1 の選択信号によって選択される期間が前記第 2 の選択信号によって選択されている期間の 2 倍であることを特徴とする表示装置。

【請求項 4】

請求項 3 において、

前記表示期間 T_{r1} 、 T_{r2} 、...、 T_{rn} が出現する順序がランダムであることを特徴とする表示装置。 10

【請求項 5】

請求項 3 において、

前記非表示期間 T_{d1} 、 T_{d2} 、...、 $T_{d(m-1)}$ のうち一番長い非表示期間が、前記 1 フレーム期間中において一番最後に出現することを特徴とする表示装置。

【請求項 6】

請求項 3 乃至請求項 5 のいずれか 1 項において、

前記書き込み期間 T_{a1} 、 T_{a2} 、...、 T_{an} は、互いに重なっていないことを特徴とする表示装置。

【請求項 7】

請求項 3 乃至請求項 6 のいずれか 1 項において、

前記消去期間 T_{e1} 、 T_{e2} 、...、 $T_{e(m-1)}$ は、互いに重なっていないことを特徴とする表示装置。

【請求項 8】

請求項 1 乃至請求項 7 のいずれか 1 項において、

前記複数の画素のうち、前記複数のゲート信号線が設けられている方向に沿って並んでいるいずれか 2 つの画素は、前記複数の電源供給線のうちのいずれか 1 つを挟んで隣り合っており、

前記 2 つの画素がそれぞれ有する前記 EL 駆動用 TFT のソース領域は、前記複数の電源供給線のうちのいずれか 1 つに接続されていることを特徴とする表示装置。 30

【請求項 9】

請求項 1 乃至請求項 8 のいずれか 1 項において、

前記 EL 駆動用 TFT は、線形領域で駆動することを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は EL（エレクトロルミネッセンス）素子を基板上に作り込んで形成された電子ディスプレイに関する。特に半導体素子（半導体薄膜を用いた素子）を用いた EL ディスプレイに関する。また EL ディスプレイを表示部に用いた表示装置に関する。

【0002】

【従来の技術】

近年、基板上に TFT を形成する技術が大幅に進歩し、アクティブマトリクス型の電子ディスプレイへの応用開発が進められている。特に、ポリシリコン膜を用いた TFT は、従来のアモルファスシリコン膜を用いた TFT よりも電界効果移動度（モビリティともいう）が高いので、高速動作が可能である。そのため、従来基板の外に設けられた駆動回路で行っていた画素の制御を、画素と同一の基板上に形成した駆動回路で行うことが可能となっている。

【0003】

このようなアクティブマトリクス型の電子ディスプレイは、同一基板上に様々な回路や素子を作り込むことで製造コストの低減、電子ディスプレイの小型化、歩留まりの上昇、ス 50

ループットの上昇など、様々な利点を得られる。

【 0 0 0 4 】

そしてさらに、自発光型素子として E L 素子を有したアクティブマトリクス型の E L ディスプレイの研究が活発化している。E L ディスプレイは有機 E L ディスプレイ (O E L D : Organic EL Display) 又は有機ライトエミッティングダイオード (O L E D : Organic Light Emitting Diode) とも呼ばれている。

【 0 0 0 5 】

E L ディスプレイは、液晶ディスプレイと異なり自発光型である。E L 素子是一对の電極 (陽極と陰極) 間に電場を加えることでルミネッセンスが発生する有機化合物を含む層 (以下、E L 層と記す) が挟まれた構造となっているが、E L 層は通常、積層構造となっている。代表的には、イーストマン・コダック・カンパニーのTangらが提案した「正孔輸送層 / 発光層 / 電子輸送層」という積層構造が挙げられる。この構造は非常に発光効率が高く、現在、研究開発が進められている E L ディスプレイは殆どこの構造を採用している。

10

【 0 0 0 6 】

また他にも、陽極上に正孔注入層 / 正孔輸送層 / 発光層 / 電子輸送層、または正孔注入層 / 正孔輸送層 / 発光層 / 電子輸送層 / 電子注入層の順に積層する構造でも良い。発光層に対して蛍光性色素等をドーピングしても良い。

【 0 0 0 7 】

本明細書において陰極と陽極の間に設けられる全ての層を総称して E L 層と呼ぶ。よって上述した正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等は、全て E L 層に含まれる。

20

【 0 0 0 8 】

そして、上記構造でなる E L 層に一对の電極から所定の電圧をかけ、それにより発光層においてキャリアの再結合が起こって発光する。なお本明細書において E L 素子が発光することを、E L 素子が駆動すると呼ぶ。また、本明細書中では、陽極、E L 層及び陰極で形成される発光素子を E L 素子と呼ぶ。

【 0 0 0 9 】

E L 層の発光には、一重項励起状態から基底状態に戻る際の発光 (蛍光) と三重項励起状態から基底状態に戻る際の発光 (リン光) とがあるが、本発明では、上述した発光のうちのいずれか一方の発光を用いても良いし、または両方の発光を用いても良い。

30

【 0 0 1 0 】

E L ディスプレイの駆動方法として、アナログ方式の駆動方法 (アナログ駆動) が挙げられる。E L ディスプレイのアナログ駆動について、図 2 6 及び図 2 7 を用いて説明する。

【 0 0 1 1 】

図 2 6 にアナログ駆動の E L ディスプレイの画素部 1 8 0 0 の構造を示す。ゲート信号線駆動回路からのゲート信号を入力するゲート信号線 (G 1 ~ G y) は、各画素が有するスイッチング用 T F T 1 8 0 1 のゲート電極に接続されている。また各画素の有するスイッチング用 T F T 1 8 0 1 のソース領域とドレイン領域は、一方がアナログのビデオ信号を入力するソース信号線 (データ信号線ともいう) S 1 ~ S x に、もう一方が各画素が有する E L 駆動用 T F T 1 8 0 4 のゲート電極及び各画素が有するコンデンサ 1 8 0 8 にそれぞれ接続されている。

40

【 0 0 1 2 】

各画素が有する E L 駆動用 T F T 1 8 0 4 のソース領域は電源供給線 V 1 ~ V x に接続されており、ドレイン領域は E L 素子 1 8 0 6 に接続されている。電源供給線 V 1 ~ V x の電位を電源電位と呼ぶ。また電源供給線 V 1 ~ V x は、各画素が有するコンデンサ 1 8 0 8 に接続されている。

【 0 0 1 3 】

E L 素子 1 8 0 6 は陽極と、陰極と、陽極と陰極の間に設けられた E L 層とを有する。E L 素子 1 8 0 6 の陽極が E L 駆動用 T F T 1 8 0 4 のドレイン領域と接続している場合、E L 素子 1 8 0 6 の陽極が画素電極、陰極が対向電極となる。逆に E L 素子 1 8 0 6 の陰

50

極がE L駆動用T F T 1 8 0 4のドレイン領域と接続している場合、E L素子1 8 0 6の陽極が対向電極、陰極が画素電極となる。

【 0 0 1 4 】

なお本明細書において、対向電極の電位を対向電位と呼ぶ。なお対向電極に対向電位を与える電源を対向電源と呼ぶ。画素電極の電位と対向電極の電位の電位差がE L駆動電圧であり、このE L駆動電圧がE L層にかかる。

【 0 0 1 5 】

図26で示したE Lディスプレイを、アナログ方式で駆動させた場合のタイミングチャートを図27に示す。1つのゲート信号線が選択されてから、その次に別のゲート信号線が選択されるまでの期間を1ライン期間(L)と呼ぶ。また1つの画像が表示されてから次の画像が表示されるまでの期間が1フレーム期間(F)に相当する。図26のE Lディスプレイの場合、ゲート信号線はy本あるので、1フレーム期間中にy個のライン期間(L₁ ~ L_y)が設けられている。

10

【 0 0 1 6 】

なお本明細書においてゲート信号線が選択されるとは、該ゲート信号線にゲート電極が接続された薄膜トランジスタが全てオンの状態になることを意味する。

【 0 0 1 7 】

解像度が高くなるにつれて1フレーム期間中のライン期間の数も増え、駆動回路を高い周波数で駆動しなければならなくなる。

【 0 0 1 8 】

20

まず電源供給線V₁ ~ V_xは一定の電源電位に保たれている。そして対向電極の電位である対向電位も一定の電位に保たれている。対向電位は、E L素子が発光する程度に電源電位との間に電位差を有している。

【 0 0 1 9 】

第1のライン期間(L₁)において、ゲート信号線駆動回路からゲート信号線G₁に入力されるゲート信号によって、ゲート信号線G₁が選択される。

【 0 0 2 0 】

そして、ソース信号線S₁ ~ S_xに順にアナログのビデオ信号が入力される。

ゲート信号線G₁に接続された全てのスイッチング用T F T 1 8 0 1はオンの状態になっているので、ソース信号線S₁ ~ S_xに入力されたアナログのビデオ信号は、スイッチング用T F T 1 8 0 1を介してE L駆動用T F T 1 8 0 4のゲート電極に入力される。

30

【 0 0 2 1 】

E L駆動用T F T 1 8 0 4のチャネル形成領域を流れる電流の量は、E L駆動用T F T 1 8 0 4のゲート電極に入力される信号の電位の高さ(電圧)によって制御される。よって、E L素子1 8 0 6の画素電極にかかる電位は、E L駆動用T F T 1 8 0 4のゲート電極に入力されたアナログのビデオ信号の電位の高さによって決まる。そしてE L素子1 8 0 6はアナログのビデオ信号の電位に制御されて発光を行う。

【 0 0 2 2 】

上述した動作を繰り返し、にソース信号線S₁ ~ S_xへのアナログのビデオ信号の入力が終了すると、第1のライン期間(L₁)が終了する。なお、ソース信号線S₁ ~ S_xへのアナログのビデオ信号の入力が終了するまでの期間と水平帰線期間とを合わせて1つのライン期間としても良い。

40

【 0 0 2 3 】

そして次に第2のライン期間(L₂)となり、ゲート信号によってゲート信号線G₂が選択される。そして第1のライン期間(L₁)と同様にソース信号線S₁ ~ S_xに順にアナログのビデオ信号が入力される。

【 0 0 2 4 】

そして全てのゲート信号線(G₁ ~ G_y)にゲート信号が入力されると、全てのライン期間(L₁ ~ L_y)が終了する。全てのライン期間(L₁ ~ L_y)が終了すると、1フレーム期間が終了する。1フレーム期間中において全ての画素が表示を行い、1つの画像が形

50

成される。なお全てのライン期間 ($L1 \sim Ly$) と垂直帰線期間とを合わせて1フレーム期間としても良い。

【0025】

以上のように、アナログのビデオ信号によってEL素子1806の発光量が制御され、その発光量の制御によって階調表示がなされる。この方式はいわゆるアナログ駆動方法と呼ばれる駆動方式であり、ソース信号線に入力されるアナログのビデオ信号の電位の変化で階調表示が行われる。

【0026】

【発明が解決しようとする課題】

上述したアナログ駆動方法において、EL素子に供給される電流量がEL駆動用TFTのゲート電圧によって制御される様子を図28を用いて詳しく説明する。

10

【0027】

図28(A)はEL駆動用TFTのトランジスタ特性を示すグラフであり、2801は $I_{DS} - V_{GS}$ 特性(又は $I_{DS} - V_{GS}$ 曲線)と呼ばれている。ここで I_{DS} はドレイン電流であり、 V_{GS} はゲート電極とソース領域間の電圧(ゲート電圧)である。このグラフにより任意のゲート電圧に対して流れる電流量を知ることができる。

【0028】

アナログ駆動方法において階調表示を行う場合、EL素子は上記 $I_{DS} - V_{GS}$ 特性の点線2802で示した領域を用いて駆動する。2802で囲んだ領域の拡大図を図28(B)に示す。

20

【0029】

図28(B)において、斜線で示す領域は飽和領域と呼ばれている。具体的には、しきい値電圧を V_{TH} とすると、 $|V_{GS} - V_{TH}| < |V_{DS}|$ を満たすようなゲート電圧である領域を指し、この領域ではゲート電圧の変化に対して指数関数的にドレイン電流が変化する。この領域を使ってゲート電圧による電流制御を行う。

【0030】

スイッチング用TFTがオンとなって画素内に入力されたアナログのビデオ信号はEL駆動用TFTのゲート電圧となる。このとき、図28(A)に示した $I_{DS} - V_{GS}$ 特性に従ってゲート電圧に対してドレイン電流が1対1で決まる。即ち、EL駆動用TFTのゲート電極に入力されるアナログのビデオ信号の電圧に対応して、ドレイン領域の電位が定まり、所定のドレイン電流がEL素子に流れ、その電流量に対応した発光量で前記EL素子が発光する。

30

【0031】

以上のように、ビデオ信号によってEL素子の発光量が制御され、その発光量の制御によって階調表示がなされる。

【0032】

しかしながら、上記アナログ駆動はTFTの特性のバラツキに非常に弱いという欠点がある。仮に各画素のEL駆動用TFTに等しいゲート電圧がかかったとしても、EL駆動用TFTの $I_{DS} - V_{GS}$ 特性にバラツキがあれば、同じドレイン電流を出力することはできない。さらに、図28(A)からも明らかなようにゲート電圧の変化に対して指数関数的にドレイン電流が変化する飽和領域を使っているため、 $I_{DS} - V_{GS}$ 特性が僅かでもずれば、等しいゲート電圧がかかっても出力される電流量は大きく異なるといった事態が生じうる。こうなってしまうと、僅かな $I_{DS} - V_{GS}$ 特性のバラツキによって、同じ電圧の信号を入力してもEL素子の発光量が隣接画素で大きく異なってしまう。

40

【0033】

このように、アナログ駆動はEL駆動用TFTの特性バラツキに対して極めて敏感であり、その点が従来のアクティブマトリクス型のELディスプレイの階調表示における障害となっていた。

【0034】

本発明は上記問題点を鑑みてなされたものであり、鮮明な多階調カラー表示の可能なアク

50

ティブマトリクス型のＥＬディスプレイを提供することを課題とする。そして、そのようなアクティブマトリクス型ＥＬディスプレイを表示用ディスプレイとして具備する高性能な表示装置（電子機器）を提供することを課題とする。

【００３５】

【課題を解決するための手段】

本発明者は、アナログ駆動の問題は、ゲート電圧の変化に対してドレイン電流が指数関数的に変化するために $I_{DS} - V_{GS}$ 特性のばらつきの影響を受けやすい飽和領域を用いて階調表示を行っていることに起因すると考えた。

【００３６】

即ち、 $I_{DS} - V_{GS}$ 特性のばらつきがあった場合に、飽和領域はゲート電圧の変化に対してドレイン電流が指数関数的に変化するため、等しいゲート電圧がかかっても異なる電流（ドレイン電流）が出力されてしまい、その結果、所望の階調が得られないという不具合が生じるのである。

【００３７】

そこで本発明人は、ＥＬ素子の発する光の量の制御を、飽和領域を用いた電流の制御により行うのではなく、主にＥＬ素子が発光する時間の制御によって行うことを考えた。つまり本発明ではＥＬ素子の発する光の量を時間で制御し、階調表示を行う。ＥＬ素子の発光時間を制御することで階調表示を行う時分割方式の駆動方法（以下、デジタル駆動という）と呼ぶ。なお時分割方式の駆動方法によって行われる階調表示を時分割階調表示と呼ぶ。

【００３８】

上記構成によって本発明では、ＥＬ駆動用ＴＦＴの $I_{DS} - V_{GS}$ 特性に多少のばらつきがあっても、同じ電圧の信号を入力したときにＥＬ素子の発光量が隣接画素で大きく異なってしまうという事態を避けることが可能になる。

【００３９】

【発明の実施の形態】

以下に、本発明のＥＬディスプレイの構造及びその駆動方法について説明する。ここでは n ビットのデジタルビデオ信号により 2^n 階調の表示を行う場合について説明する。

【００４０】

図１に本発明のＥＬディスプレイのブロック図の一例を示す。図１のＥＬディスプレイは、基板上に形成されたＴＦＴによって画素部１０１、画素部１０１の周辺に配置されたソース信号線駆動回路１０２、ゲート信号線駆動回路１０３を有している。なお、本実施の形態において示すＥＬディスプレイはソース信号線駆動回路とゲート信号線駆動回路を１つつつ有しているが、本発明はこれに限定されず、ソース信号線駆動回路とゲート信号線駆動回路の数はそれぞれ２つ以上有していてもよい。

【００４１】

ソース信号線駆動回路１０２にはソース用のクロック信号（ $S - CLK$ ）と、ソース用のスタートパルス信号（ $S - SP$ ）が入力されている。ソース用のクロック信号（ $S - CLK$ ）とソース用のスタートパルス信号（ $S - SP$ ）とによって、ソース信号線駆動回路１０２が駆動する。

【００４２】

ゲート信号線駆動回路１０３にはゲート用のクロック信号（ $G - CLK$ ）と、ゲート用のスタートパルス信号（ $G - SP$ ）が入力されている。ゲート用のクロック信号（ $G - CLK$ ）とゲート用のスタートパルス信号（ $G - SP$ ）とによって、ゲート信号線駆動回路１０３が駆動する。

【００４３】

本発明において、ソース信号線駆動回路１０２とゲート信号線駆動回路１０３は、画素部１０１が設けられている基板上に設けても良いし、ＩＣチップ上に設けてＦＰＣまたはＴＡＢを介して画素部１０１と接続されるようにしても良い。

【００４４】

画素部 101 の拡大図を図 2 に示す。ソース信号線 $S_1 \sim S_x$ 、電源供給線 $V_1 \sim V_x$ 、ゲート信号線 G_0 、 $G_1 \sim G_y$ 、 $G(y+1)$ とが画素部 101 に設けられている。

【0045】

ソース信号線 $S_1 \sim S_x$ のいずれか 1 つと、電源供給線 $V_1 \sim V_x$ のいずれか 1 つと、ゲート信号線 $G_1 \sim G_y$ のいずれか 1 つとを有する領域が画素 104 である。画素部 101 にはマトリクス状に複数の画素 104 が配列されることになる。

【0046】

なお図 2 においてゲート信号線 G_0 と G_1 との間に画素は形成されていないが、本発明はこれに限定されない。ゲート信号線 G_0 と G_1 との間にダミーの画素を形成しても良い。

【0047】

画素 104 の回路図を図 3 に示す。105 は第 1 スイッチング用 TFT、106 は第 2 スイッチング用 TFT、107 は消去用 TFT、108 は EL 駆動用 TFT、109 はコンデンサ、110 は EL 素子である。図 3 に示す画素 (j, i) は、ソース信号線 S_j (j は $1 \sim x$ の任意の数) と、電源供給線 V_j と、ゲート信号線 G_i (i は $1 \sim y$ の任意の数) とを有している。

【0048】

第 1 スイッチング用 TFT 105 のゲート電極は、ゲート信号線 G_i に接続されている。第 2 スイッチング用 TFT 106 のゲート電極は、画素 (j, i) の隣に位置する画素 $(j, i+1)$ が有しているゲート信号線 $G(i+1)$ に接続されている。なお、本実施の形態では上記構成を有しているが、第 2 スイッチング用 TFT 106 のゲート電極がゲート信号線 G_i に接続され、第 1 スイッチング用 TFT 105 のゲート電極が画素 (j, i) の隣に位置する画素 $(j, i+1)$ が有しているゲート信号線 $G(i+1)$ に接続されていても良い。

【0049】

第 1 スイッチング用 TFT 105 のソース領域またはドレイン領域と、第 2 スイッチング用 TFT 106 のソース領域またはドレイン領域とは、直列に接続されている。そして第 2 スイッチング用 TFT 106 のソース領域とドレイン領域のうち、第 1 スイッチング用 TFT 105 のソース領域またはドレイン領域に接続されてない方が、ソース信号線 S_j に接続されている。また、第 1 スイッチング用 TFT 105 のソース領域とドレイン領域のうち、第 2 スイッチング用 TFT 106 のソース領域またはドレイン領域に接続されてない方が、EL 駆動用 TFT 108 のゲート電極に接続されている。

【0050】

消去用 TFT 107 のゲート電極はゲート信号線 $G(i-1)$ に接続されており、ゲート信号線 $G(i-1)$ は、図 3 に示す画素 (j, i) の隣に位置する画素 $(j, i-1)$ が有している。また消去用 TFT 107 のソース領域とドレイン領域は、一方は電源供給線 V_j に接続されており、もう一方は EL 駆動用 TFT 108 のゲート電極に接続されている。

【0051】

コンデンサ 109 は EL 駆動用 TFT 108 のゲート電極と電源供給線 V_j とに接続されて設けられている。コンデンサ 109 はスイッチング用 TFT 105 が非選択状態 (オフの状態) にある時、EL 駆動用 TFT 108 のゲート電圧を保持するために設けられている。なお本実施の形態ではコンデンサ 109 を設ける構成を示したが、本発明はこの構成に限定されず、コンデンサ 109 を設けない構成にしても良い。

【0052】

EL 駆動用 TFT 108 のソース領域は電源供給線 V_j に接続されており、ドレイン領域は EL 素子 110 に接続されている。

【0053】

なお、同じラインの隣り合っている画素どうしで、電源供給線を共有しても良い。つまり同じラインの隣り合わせの画素において、それぞれの画素が有する EL 駆動用 TFT のソース領域が、1 つの共通の電源供給線に接続される構成にしても良い。

10

20

30

40

50

【 0 0 5 4 】

E L 素子 1 1 0 は陽極と陰極と、陽極と陰極との間に設けられた E L 層とからなる。陽極が E L 駆動用 T F T 1 0 8 のドレイン領域と接続している場合、陽極が画素電極、陰極が対向電極となる。逆に陰極が E L 駆動用 T F T 1 0 8 のドレイン領域と接続している場合、陰極が画素電極、陽極が対向電極となる。

【 0 0 5 5 】

E L 素子 1 1 0 の対向電極は、画素部 1 0 1 を有する基板の外部に設けられた対向電源（図示せず）に接続されており、一定の電位である対向電位が常に与えられている。また電源供給線 $V_1 \sim V_x$ は画素部 1 0 1 を有する基板の外部に設けられた電源（図示せず）に接続されており、一定の電位である電源電位が常に与えられている。そして対向電位と電源電位は、電源電位が画素電極に与えられたときに E L 素子が発光する程度の電位差に常に保たれている。

10

【 0 0 5 6 】

現在の典型的な E L ディスプレイは、画素部の面積あたりの発光量が 200 cd/m^2 の場合、画素部の面積あたりの電流が数 mA/cm^2 程度必要となる。そのため画素部のサイズが大きくなると、I C 等に設けられた電源から電源供給線に与えられる電位をスイッチで制御することが難しくなる。本発明においては、電源電位と対向電位は常に一定に保たれており、I C に設けられた電源から与えられる電位の高さをスイッチで制御する必要がないので、より大きな画面サイズのパネルの実現に有用である。

20

【 0 0 5 7 】

第 1 スイッチング用 T F T 1 0 5、第 2 スイッチング用 T F T 1 0 6、消去用 T F T 1 0 7、E L 駆動用 T F T 1 0 8 は、n チャネル型 T F T でも p チャネル型 T F T でもどちらでも用いることができる。ただし、第 1 スイッチング用 T F T 1 0 5、第 2 スイッチング用 T F T 1 0 6 及び消去用 T F T 1 0 7 は同じ極性を有していることが必要である。また、E L 素子 1 1 0 の陽極が画素電極で陰極が対向電極の場合、E L 駆動用 T F T 1 0 8 は p チャネル型 T F T であることが好ましい。逆に E L 素子 1 1 0 の陽極が対向電極で陰極が画素電極の場合、E L 駆動用 T F T 1 0 8 は n チャネル型 T F T であることが好ましい。

【 0 0 5 8 】

また第 1 スイッチング用 T F T 1 0 5、第 2 スイッチング用 T F T 1 0 6、消去用 T F T 1 0 7、E L 駆動用 T F T 1 0 8 は、シングルゲート構造ではなく、ダブルゲート構造、やトリプルゲート構造などのマルチゲート構造を有していても良い。

30

【 0 0 5 9 】

次に図 1 ~ 図 3 で示した本発明の E L ディスプレイの駆動方法について、図 4 のタイミングチャートを用いて説明する。図 4 において横軸は時間を示し、縦軸は選択されているゲート信号線の位置を示している。

【 0 0 6 0 】

まず書き込み期間 T a 1 において、ゲート信号線駆動回路 1 0 3 からゲート信号線 G 0 に入力される書き込み用選択信号（第 1 の選択信号）によってゲート信号線 G 0 が選択される。そしてゲート信号線 G 0 にゲート電極が接続されている 1 ライン目の画素の消去用 T F T 1 0 7 がオンの状態になる。消去用 T F T 1 0 7 がオンの状態になると、E L 駆動用 T F T 1 0 8 のゲート電極とソース領域が電氣的に接続される。そのため E L 駆動用 T F T 1 0 8 のゲート電圧（ゲート電極とソース領域の電位差）が 0 になり、1 ライン目の画素の E L 駆動用 T F T 1 0 8 はオフの状態になる。

40

【 0 0 6 1 】

次に書き込み用選択信号によってゲート信号線 G 0 が選択された状態で、ゲート信号線 G 1 に入力される書き込み用選択信号によってゲート信号線 G 1 が選択される。そしてゲート信号線 G 1 にゲート電極が接続されている、1 ライン目の画素の第 1 スイッチング用 T F T 1 0 5 と、2 ライン目の画素の消去用 T F T 1 0 7 がオンの状態になる。

【 0 0 6 2 】

50

次に書き込み用選択信号によってゲート信号線 G 1 が選択された状態で、ゲート信号線 G 0 が選択されなくなり、同時にゲート信号線 G 2 が選択される。そして、ゲート信号線 G 2 にゲート電極が接続された、1ライン目の画素の第2スイッチング用 T F T 1 0 6 と、2ライン目の画素の第1スイッチング用 T F T 1 0 5 と、3ライン目の画素の消去用 T F T 1 0 7 とがオンの状態になる。

【 0 0 6 3 】

よって、書き込み用選択信号によってゲート信号線 G 0 とゲート信号線 G 1 とが同時に選択されることで、1ライン目の画素が有する第1スイッチング用 T F T 1 0 5 と第2スイッチング用 T F T 1 0 6 とが同時にオンの状態となる。

【 0 0 6 4 】

この第1スイッチング用 T F T 1 0 5 と第2スイッチング用 T F T 1 0 6 とが同時にオンの状態にあるとき、ソース信号線駆動回路 1 0 2 からソース信号線 S 1 ~ S x に1ビット目のデジタルビデオ信号が入力される。1ビット目のデジタルビデオ信号は、第1スイッチング用 T F T 1 0 5 及び第2スイッチング用 T F T 1 0 6 を介して1ライン目の画素の E L 駆動用 T F T 1 0 8 のゲート電極に入力される。なお本明細書において、デジタルビデオ信号が E L 駆動用 T F T 1 0 8 のゲート電極に入力されることを、画素にデジタルビデオ信号が入力されたとする。

【 0 0 6 5 】

デジタルビデオ信号は「0」または「1」の情報を有しており、「0」と「1」のデジタルビデオ信号は、一方が H i、一方が L o の電圧を有する信号である。

【 0 0 6 6 】

本実施の形態では、デジタルビデオ信号が「0」の情報を有していた場合、E L 駆動用 T F T 1 0 8 はオフの状態となる。よって E L 素子 1 1 0 の画素電極に電源電位が与えられない。その結果、「0」の情報を有するデジタルビデオ信号が入力された画素が有する E L 素子 1 1 0 は発光しない。

【 0 0 6 7 】

逆に、デジタルビデオ信号が「1」の情報を有していた場合、E L 駆動用 T F T 1 0 8 はオンの状態となる。よって E L 素子 1 1 0 の画素電極に電源電位が与えられる。その結果、「1」の情報を有するデジタルビデオ信号が入力された画素が有する E L 素子 1 1 0 は発光する。

【 0 0 6 8 】

なお本実施の形態ではデジタルビデオ信号が「0」の情報を有していた場合、E L 駆動用 T F T 1 0 8 はオフの状態となり、「1」の情報を有していた場合 E L 駆動用 T F T 1 0 8 はオンの状態となるが、本発明はこの構成に限定されない。デジタルビデオ信号が「0」の情報を有していた場合、E L 駆動用 T F T 1 0 8 がオンの状態となり、「1」の情報を有していた場合 E L 駆動用 T F T 1 0 8 オフの状態となっても良い。

【 0 0 6 9 】

このように、1ライン目の画素にデジタルビデオ信号が入力されると同時に、E L 素子 1 1 0 が発光、または非発光を行い、1ライン目の画素は表示を行う。画素が表示を行っている期間を表示期間 T r と呼ぶ。特に1ビット目のデジタルビデオ信号が画素に入力されたことで開始する表示期間を T r 1 と呼ぶ。各ラインの表示期間が開始されるタイミングはそれぞれ時間差を有している。

【 0 0 7 0 】

次に書き込み用選択信号によってゲート信号線 G 2 が選択された状態でゲート信号線 G 1 が選択されなくなり、同時にゲート信号線 G 3 が選択される。そして、ゲート信号線 G 3 にゲート電極が接続された、2ライン目の画素の第1スイッチング用 T F T 1 0 5 と、3ライン目の画素の第2スイッチング用 T F T 1 0 6 と、4ライン目の画素の消去用 T F T 1 0 7 とがオンの状態になる。

【 0 0 7 1 】

よって、2ライン目の画素が有する第1スイッチング用 T F T 1 0 5 と第2スイッチング

10

20

30

40

50

用 T F T 1 0 6 とが同時にオンの状態となる。この第 1 スイッチング用 T F T 1 0 5 と第 2 スイッチング用 T F T 1 0 6 とが同時にオンの状態にあるとき、ソース信号線駆動回路 1 0 2 からソース信号線 S 1 ~ S x に 1 ビット目のデジタルビデオ信号が入力される。1 ビット目のデジタルビデオ信号は、第 1 スイッチング用 T F T 1 0 5 及び第 2 スイッチング用 T F T 1 0 6 を介して、2 ライン目の画素の E L 駆動用 T F T 1 0 8 のゲート電極に入力される。

【 0 0 7 2 】

そして順に全てのゲート信号線が書き込み用選択信号によって選択され、全ての画素に 1 ビット目のデジタルビデオ信号が入力される。全ての画素に 1 ビット目のデジタルビデオ信号が入力されるまでの期間が、書き込み期間 T a 1 である。

10

【 0 0 7 3 】

このように書き込み期間において、書き込み用選択信号によって 2 つのゲート信号線が同時に選択されている。

【 0 0 7 4 】

一方、全ての画素に 1 ビット目のデジタルビデオ信号が入力される前、言い換えると書き込み期間 T a 1 が終了する前に、画素への 1 ビット目のデジタルビデオ信号の入力と並行して、ゲート信号線駆動回路 1 0 3 からゲート信号線 G 0 に入力される消去用選択信号 (第 2 の選択信号) によって、ゲート信号線 G 0 が選択される。

【 0 0 7 5 】

ゲート信号線 G 0 が消去用選択信号によって選択されると、ゲート信号線 G 0 にゲート電極が接続されている 1 ライン目の画素の消去用 T F T 1 0 7 がオンの状態になる。よって電源供給線 V 1 ~ V x の電源電位が消去用 T F T 1 0 7 を介して E L 駆動用 T F T 1 0 8 のゲート電極に与えられる。したがって、ゲート信号線 G 1 と G 2 が書き込み用選択信号によって選択されたときから E L 駆動用 T F T 1 0 8 のゲート電極が保持していた 1 ビット目のデジタルビデオ信号は、E L 駆動用 T F T 1 0 8 のゲート電極に電源電位が与えられることで消去される。よって電源電位は E L 素子 1 1 0 の画素電極に与えられなくなり、1 ライン目の画素が有する E L 素子 1 1 0 は全て非発光の状態になり、1 ライン目の画素が表示を行わなくなる。

20

【 0 0 7 6 】

画素が表示を行わない期間を非表示期間 T d と呼ぶ。1 ライン目の画素において、消去用選択信号によってゲート信号線 G 0 が選択されると同時に表示期間 T r 1 が終了し、非表示期間 T d 1 となる。表示期間と同様に、各ラインの非表示期間が開始されるタイミングは、それぞれ時間差を有している。

30

【 0 0 7 7 】

次に消去用選択信号によってゲート信号線 G 0 が選択されなくなり、ゲート信号線 G 1 が選択される。ゲート信号線 G 1 が選択されると、ゲート信号線 G 1 にゲート電極が接続された 2 ライン目の画素の消去用 T F T 1 0 7 がオンの状態になる。よって 2 ライン目の画素において非表示期間 T d が開始され、2 ライン目の画素が表示を行わなくなる。

【 0 0 7 8 】

そして順に、全てのゲート信号線が消去用選択信号によって選択されていく。全てのゲート信号線が消去用選択信号によって選択され、全ての画素が保持している 1 ビット目のデジタルビデオ信号が消去されるまでの期間が消去期間 T e 1 である。

40

【 0 0 7 9 】

このように消去期間において、消去用選択信号によって選択されているゲート信号線の本数は常に 1 つであり、2 つ以上のゲート信号線が消去用選択信号によって同時に選択されることはない。

【 0 0 8 0 】

一方、全ての画素が保持している 1 ビット目のデジタルビデオ信号が消去される前、言い換えると消去期間 T e 1 が終了する前に、画素が保持している 1 ビット目のデジタルビデオ信号の消去と並行して、再び書き込み用選択信号によるゲート信号線 G 0 の選択が行わ

50

れる。そして1ライン目の画素に、2ビット目のデジタルビデオ信号が入力される。その結果、1ライン目の画素は再び表示を行うので、1ライン目の画素において非表示期間 T_d1 が終了し表示期間 T_r2 が開始される。

【0081】

そして同様に、書き込み用選択信号によって順に全てのゲート信号線が選択され、2ビット目のデジタルビデオ信号が全ての画素に入力される。全ての画素に2ビット目のデジタルビデオ信号が入力し終わるまでの期間を、書き込み期間 T_a2 と呼ぶ。

【0082】

そして一方、全ての画素に2ビット目のデジタルビデオ信号が入力される前、言い換えると書き込み期間 T_a2 が終了する前に、画素への2ビット目のデジタルビデオ信号の入力と並行して、消去用選択信号によるゲート信号線 $G0$ の選択が行われる。よって1ライン目の画素が有するEL素子は全て非発光の状態になり、1ライン目の画素が表示を行わなくなる。よって1ライン目の画素において表示期間 T_r2 は終了し、非表示期間 T_d2 が開始される。

【0083】

そして順に、全てのゲート信号線が消去用選択信号によって選択され、全ての画素が保持している2ビット目のデジタルビデオ信号が消去される。全ての画素が保持している2ビット目のデジタルビデオ信号が消去されるまでの期間が消去期間 T_e2 である。

【0084】

上述した動作は m ビット目のデジタルビデオ信号が画素に入力されるまで繰り返し行われ、表示期間 T_r と非表示期間 T_d とが繰り返し出現する。表示期間 T_r1 は、書き込み期間 T_a1 が開始されてから消去期間 T_e1 が開始されるまでの期間である。また非表示期間 T_d1 は、消去期間 T_e1 が開始されてから次に出現する書き込み期間（この場合書き込み期間 T_a2 ）が開始されるまでの期間である。そして表示期間 T_r2 、 T_r3 、...、 $T_r(m-1)$ と非表示期間 T_d2 、 T_d3 、...、 $T_d(m-1)$ も、表示期間 T_r1 と非表示期間 T_d1 と同様に、それぞれ書き込み期間 T_a1 、 T_a2 、...、 T_am と消去期間 T_e1 、 T_e2 、...、 $T_e(m-1)$ とによって、その期間が定められる。

【0085】

説明を簡便にするために、図4では $m = n - 2$ の場合を例にとって示すが、本発明はこれに限定されないのは言うまでもない。本発明において m は、1から n までの値を任意に選択することが可能である。

【0086】

次に、書き込み期間 $T_{am}[n-2]$ （以下、括弧内は $m = n - 2$ の場合を示す）となり、 $m[n-2]$ ビット目のデジタルビデオ信号が1ライン目の画素に入力され、1ライン目の画素は表示期間 $T_{rm}[n-2]$ となり表示を行う。そして次の書き込み期間が開始されるまで、 $m[n-2]$ ビット目のデジタルビデオ信号は画素に保持される。

【0087】

そして次に、書き込み期間 $T_{a(m+1)}[n-1]$ となり、画素に保持されていた $m[n-2]$ ビット目のデジタルビデオ信号が消去され、代わりに $(m+1)[n-1]$ ビット目のデジタルビデオ信号が1ライン目の画素に入力される。そして1ライン目の画素は表示期間 $T_{r(m+1)}[n-1]$ となり、表示を行う。 $(m+1)[n-1]$ ビット目のデジタルビデオ信号は、次のビットのデジタルビデオ信号が入力されるまで画素に保持される。

【0088】

上述した動作を n ビット目のデジタルビデオ信号が画素に入力されるまで繰り返し行われる。表示期間 $T_{rm}[n-2]$ 、...、 T_{rn} は、書き込み期間 $T_{am}[n-2]$ 、...、 T_{an} が開始されてから、その次に出現する書き込み期間が開始されるまでの期間である。

【0089】

全ての表示期間 $T_{r1} \sim T_{rn}$ が終了すると、1つの画像を表示することができる。本発明において、1つの画像が表示される期間を1フレーム期間 (F) と呼ぶ。

【 0 0 9 0 】

そして1フレーム期間終了後は、再びゲート信号線 G 0 が書き込み用選択信号によって選択される。そして、ゲート信号線 G 1 及び G 2 が同時に選択されたとき1ビット目のデジタルビデオ信号が画素に入力され、1ライン目の画素が再び表示期間 T_{r1} となる。そして再び上述した動作を繰り返す。

【 0 0 9 1 】

図5に、図1～図3に示した構造を有するELディスプレイにおいて、ゲート信号線に入力される書き込み用選択信号と、ゲート信号線駆動回路103に入力されるゲート用クロック信号 (G - C L K) のタイミングチャートを示す。

【 0 0 9 2 】

図5 (A) は書き込み期間におけるタイミングチャートであり、 $S_a(i-1) \sim S_a(i+1)$ は、ゲート信号線 $G(i-1) \sim G(i+1)$ に入力される書き込み用選択信号をそれぞれ示している。図5 (B) は消去期間におけるタイミングチャートであり、 $S_e(i-1) \sim S_e(i+1)$ は、ゲート信号線 $G(i-1) \sim G(i+1)$ に入力される書き込み用選択信号をそれぞれ示している。

【 0 0 9 3 】

なお図5に示したタイミングチャートは、第1スイッチング用 T F T 105、第2スイッチング用 T F T 106 及び消去用 T F T 107 が全て n チャンネル型 T F T である場合について示したものである。第1スイッチング用 T F T 105、第2スイッチング用 T F T 106 及び消去用 T F T 107 が全て p チャンネル型 T F T の場合、書き込み用選択信号と消去用選択信号の電位は、図5に示したタイミングチャートにおける各信号の電位の位相を、グラウンドの電位を基準として反転させたものになる。

【 0 0 9 4 】

書き込み期間において、書き込み用選択信号によって1つのゲート信号線が選択されている期間を書き込み選択期間 (L a) と呼ぶ。図5 (A) の場合、書き込み選択期間において書き込み用選択信号の電位は H i になっている。また、消去期間において、消去用選択信号によって1つのゲート信号線が選択されている期間を消去選択期間 (L e) と呼ぶ。図5 (B) の場合、消去選択期間において消去用選択信号の電位は H i になっている。

【 0 0 9 5 】

書き込み選択期間 (L a) は、消去選択期間 (L e) の2倍である。そして隣り合うゲート信号線において、書き込み選択期間 (L a) は互いに半分ずつ重なり合っている。また隣り合うゲート信号線において、消去選択期間 (L e) は互いに重なり合っておらず、1つのゲート信号線において消去選択期間 (L e) が終了すると、次のゲート信号線において消去選択期間 (L e) が開始されている。

【 0 0 9 6 】

なお書き込み選択期間 (L a) 及び消去選択期間 (L e) の長さはゲート用スタートパルス信号 (G - S P) によって制御される。

【 0 0 9 7 】

なお図5に示したタイミングチャートでは、書き込み選択期間 (L a) がゲート用クロック信号 (G - C L K) の2周期分の長さに相当し、消去選択期間 (L e) がゲート用クロック信号 (G - C L K) の1周期分の長さに相当しているが、本発明はこの構成に限定されない。書き込み選択期間 (L a) の長さが消去選択期間 (L e) の長さの2倍であれば良い。

【 0 0 9 8 】

本発明において、ELディスプレイは1秒間に60以上のフレーム期間を設けることが好ましい。1秒間に表示される画像の数が60より少なくなると、視覚的に画像のちらつきが目立ち始めることがある。

【 0 0 9 9 】

また本発明では、全ての書き込み期間の長さの和が1フレーム期間よりも短いことが重要である。なおかつ表示期間の長さを $T_{r1} : T_{r2} : T_{r3} : \dots : T_{r(n-1)} : T_{r$

10

20

30

40

50

$n = 2^0 : 2^1 : 2^2 : \dots : 2^{(n-2)} : 2^{(n-1)}$ とすることが必要である。この表示期間の組み合わせで 2^n 階調のうち所望の階調表示を行うことができる。

【 0 1 0 0 】

1フレーム期間中にEL素子が発光した表示期間の長さの総和を求めることによって、当該フレーム期間におけるその画素の表示した階調がきまる。例えば、 $n = 8$ のとき、全部の表示期間で画素が発光した場合の輝度を100%とすると、 $Tr1$ と $Tr2$ において画素が発光した場合には1%の輝度が表現でき、 $Tr3$ と $Tr5$ と $Tr8$ を選択した場合には60%の輝度が表現できる。

【 0 1 0 1 】

m ビット目のデジタルビデオ信号が画素に書き込まれる書き込み期間 Tam は、表示期間 Trm の長さよりも短いことが肝要である。よってビット数 m の値は、 $1 \sim n$ のうち、書き込み期間 Tam が表示期間 Trm の長さよりも短くなるような値であることが必要である。

10

【 0 1 0 2 】

また表示期間 $Tr1 \sim Trn$ は、どのような順序で出現させても良い。例えば1フレーム期間中において、 $Tr1$ の次に $Tr3$ 、 $Tr5$ 、 $Tr2$ 、...という順序で表示期間を出現させることも可能である。ただし、表示期間 $Tr1 \sim Trn$ が互いに重ならない順序の方がより好ましい。また消去期間 $Te1 \sim Ten$ も、互いに重ならない順序の方がより好ましい。

【 0 1 0 3 】

20

本発明は上記構成によって、TFETによって $I_{DS} - V_{GS}$ 特性に多少のばらつきがあっても、EL駆動用TFETに等しいゲート電圧がかかったときに出力される電流量のばらつきを抑えることができる。よって $I_{DS} - V_{GS}$ 特性のパラツキによって、同じ電圧の信号を入力してもEL素子の発光量が隣接画素で大きく異なってしまうという事態を避けることが可能になる。

【 0 1 0 4 】

また本発明ではEL駆動用TFETとして、2つのEL駆動用TFETを並列に設けても良い。これによって、EL駆動用TFETの活性層を流れる電流によって発生した熱の放射を効率的に行うことができ、EL駆動用TFETの劣化を抑えることができる。また、EL駆動用TFETのしきい値や移動度などの特性のばらつきによって生じるドレイン電流のばらつきを抑えることができる。

30

【 0 1 0 5 】

また、本発明では、表示を行わない非発光期間を設けることができる。従来のアナログ駆動の場合、ELディスプレイに全白の画像を表示させると、常にEL素子が発光することになり、EL層の劣化を早める原因となってしまう。本発明は非発光期間を設けることができるので、EL層の劣化をある程度抑えることができる。

【 0 1 0 6 】

なお本発明においては、表示期間と書き込み期間とが一部重なっている。言い換えると書き込み期間においても画素を表示させることが可能である。そのため、1フレーム期間における表示期間の長さの総和の割合（デューティ比）が、書き込み期間の長さによってのみ決定されない。

40

【 0 1 0 7 】

なお本実施の形態では、EL駆動用TFETのゲート電極にかかる電圧を保持するためにコンデンサを設ける構造としているが、コンデンサを省略することも可能である。EL駆動用TFETが、ゲート絶縁膜を介してゲート電極に重なるように設けられたLDD領域を有している場合、この重なり合った領域には一般的にゲート容量と呼ばれる寄生容量が形成される。このゲート容量をEL駆動用TFETのゲート電極にかかる電圧を保持するためのコンデンサとして積極的に用いても良い。

【 0 1 0 8 】

このゲート容量の容量値は、上記ゲート電極とLDD領域とが重なり合った面積によって

50

変化するため、その重なり合った領域に含まれるＬＤＤ領域の長さによって決まる。

【０１０９】

なお、上述した本発明の構成はＥＬディスプレイへの適用だけに限らず、他の電気光学素子を用いた装置に適用することも可能である。また応答時間が数１０μｓｅｃ程度以下の、高速応答する液晶が開発された場合には、液晶ディスプレイに適用することも可能である。

【０１１０】

【実施例】

以下に、本発明の実施例を説明する。

【０１１１】

10

（実施例１）

本実施例では、本発明のＥＬディスプレイにおいて、６ビットのデジタルビデオ信号により２^６階調の表示を行う場合について図６を用いて説明する。なお本実施例のＥＬディスプレイは、図１～図３に示した構造を有する。

【０１１２】

まず書き込み期間Ｔ_{a1}において、ゲート信号線駆動回路１０３からゲート信号線Ｇ０に入力される書き込み用選択信号によってゲート信号線Ｇ０が選択される。そしてゲート信号線Ｇ０にゲート電極が接続されている１ライン目の画素の消去用ＴＦＴ１０７がオンの状態になる。消去用ＴＦＴ１０７がオンの状態になると、ＥＬ駆動用ＴＦＴ１０８のゲート電極とソース領域が電氣的に接続される。そのためＥＬ駆動用ＴＦＴ１０８のゲート電圧（ゲート電極とソース領域の電位差）が０になり、１ライン目の画素のＥＬ駆動用ＴＦＴ１０８はオフの状態になる。

20

【０１１３】

次に書き込み用選択信号によってゲート信号線Ｇ０が選択された状態で、ゲート信号線Ｇ１に入力される書き込み用選択信号によってゲート信号線Ｇ１が選択される。そしてゲート信号線Ｇ１にゲート電極が接続されている、１ライン目の画素の第１スイッチング用ＴＦＴ１０５と、２ライン目の画素の消去用ＴＦＴ１０７がオンの状態になる。

【０１１４】

次に書き込み用選択信号によってゲート信号線Ｇ１が選択された状態で、ゲート信号線Ｇ０が選択されなくなり、同時にゲート信号線Ｇ２が選択される。そして、ゲート信号線Ｇ２にゲート電極が接続された、１ライン目の画素の第２スイッチング用ＴＦＴ１０６と、２ライン目の画素の第１スイッチング用ＴＦＴ１０５と、３ライン目の画素の消去用ＴＦＴ１０７とがオンの状態になる。

30

【０１１５】

よって、書き込み用選択信号によってゲート信号線Ｇ０とゲート信号線Ｇ１とが同時に選択されることで、１ライン目の画素が有する第１スイッチング用ＴＦＴ１０５と第２スイッチング用ＴＦＴ１０６とが同時にオンの状態となる。

【０１１６】

この第１スイッチング用ＴＦＴ１０５と第２スイッチング用ＴＦＴ１０６とが同時にオンの状態にあるとき、ソース信号線駆動回路１０２からソース信号線Ｓ１～Ｓ_xに１ビット目のデジタルビデオ信号が入力される。１ビット目のデジタルビデオ信号は、第１スイッチング用ＴＦＴ１０５及び第２スイッチング用ＴＦＴ１０６を介して１ライン目の画素のＥＬ駆動用ＴＦＴ１０８のゲート電極に入力される。なお本明細書において、デジタルビデオ信号がＥＬ駆動用ＴＦＴ１０８のゲート電極に入力されることを、画素にデジタルビデオ信号が入力されるとする。

40

【０１１７】

デジタルビデオ信号は「０」または「１」の情報を有しており、「０」と「１」のデジタルビデオ信号は、一方がＨ_i、一方がＬ_oの電圧を有する信号である。

【０１１８】

本実施例では、デジタルビデオ信号が「０」の情報を有していた場合、ＥＬ駆動用ＴＦＴ

50

108はオフの状態となる。よってEL素子110の画素電極には電源電位は与えられない。その結果、「0」の情報を有するデジタルビデオ信号が入力された画素が有するEL素子110は発光しない。

【0119】

逆に、「1」の情報を有していた場合、EL駆動用TFT108はオンの状態となる。よってEL素子110の画素電極には電源電位が与えられる。その結果、「1」の情報を有するデジタルビデオ信号が入力された画素が有するEL素子110は発光する。

【0120】

なお本実施例ではデジタルビデオ信号が「0」の情報を有していた場合、EL駆動用TFT108はオフの状態となり、「1」の情報を有していた場合EL駆動用TFT108はオンの状態となるが、本発明はこの構成に限定されない。デジタルビデオ信号が「0」の情報を有していた場合、EL駆動用TFT108がオンの状態となり、「1」の情報を有していた場合EL駆動用TFT108オフの状態となっても良い。

【0121】

このように1ライン目の画素は、デジタルビデオ信号が入力されると同時に、EL素子110が発光、または非発光を行い、表示期間Tr1となる。各ラインの表示期間が開始されるタイミングはそれぞれ時間差を有している。

【0122】

次に書き込み用選択信号によってゲート信号線G2が選択された状態でゲート信号線G1が選択されなくなり、同時にゲート信号線G3が選択される。そして、ゲート信号線G3にゲート電極が接続された、2ライン目の画素の第1スイッチング用TFT105と、3ライン目の画素の第2スイッチング用TFT106と、4ライン目の画素の消去用TFT107とがオンの状態になる。

【0123】

よって、2ライン目の画素が有する第1スイッチング用TFT105と第2スイッチング用TFT106とが同時にオンの状態となる。この第1スイッチング用TFT105と第2スイッチング用TFT106とが同時にオンの状態にあるとき、ソース信号線駆動回路102からソース信号線S1～Sxに1ビット目のデジタルビデオ信号が入力される。1ビット目のデジタルビデオ信号は、第1スイッチング用TFT105及び第2スイッチング用TFT106を介して、2ライン目の画素のEL駆動用TFT108のゲート電極に

【0124】

そして順に全てのゲート信号線が書き込み用選択信号によって選択され、全ての画素に1ビット目のデジタルビデオ信号が入力される。全ての画素に1ビット目のデジタルビデオ信号が入力されるまでの期間が、書き込み期間Ta1である。

【0125】

このように書き込み期間において、書き込み用選択信号によって2つのゲート信号線が同時に選択されている。

【0126】

一方、全ての画素に1ビット目のデジタルビデオ信号が入力される前、言い換えると書き込み期間Ta1が終了する前に、画素への1ビット目のデジタルビデオ信号の入力と並行して、ゲート信号線駆動回路103からゲート信号線G0に入力される消去用選択信号によって、ゲート信号線G0が選択される。

【0127】

ゲート信号線G0が消去用選択信号によって選択されると、ゲート信号線G0にゲート電極が接続されている1ライン目の画素の消去用TFT107がオンの状態になる。よって電源供給線V1～Vxの電源電位が消去用TFT107を介してEL駆動用TFT108のゲート電極に与えられる。したがって、ゲート信号線G1とG2が書き込み用選択信号によって選択されたときからEL駆動用TFT108のゲート電極が保持していた1ビット目のデジタルビデオ信号は、EL駆動用TFT108のゲート電極に電源電位が与えら

れることで消去される。

よって電源電位はE L素子110の画素電極に与えられなくなり、1ライン目の画素が有するE L素子110は全て非発光の状態になり、1ライン目の画素が表示を行わなくなる。

【0128】

画素が表示を行わない期間を非表示期間T_dと呼ぶ。1ライン目の画素において、消去用選択信号によってゲート信号線G₀が選択されると同時に表示期間T_{r1}が終了し、非表示期間T_{d1}となる。表示期間と同様に、各ラインの非表示期間が開始されるタイミングは、それぞれ時間差を有している。

【0129】

次に消去用選択信号によってゲート信号線G₀が選択されなくなり、ゲート信号線G₁が選択される。ゲート信号線G₁が選択されると、ゲート信号線G₁にゲート電極が接続された2ライン目の画素の消去用T_{FT107}がオンの状態になる。よって2ライン目の画素において非表示期間T_dが開始され、2ライン目の画素が表示を行わなくなる。

【0130】

そして順に、全てのゲート信号線が消去用選択信号によって選択されていく。全てのゲート信号線が消去用選択信号によって選択され、全ての画素が保持している1ビット目のデジタルビデオ信号が消去されるまでの期間が消去期間T_{e1}である。

【0131】

このように消去期間において、消去用選択信号によって選択されているゲート信号線の数
は常に1つであり、2つ以上のゲート信号線が消去用選択信号によって同時に選択される
ことはない。

【0132】

一方、全ての画素が保持している1ビット目のデジタルビデオ信号が消去される前、言い換えると消去期間T_{e1}が終了する前に、画素が保持している1ビット目のデジタルビデオ信号の消去と並行して、再び書き込み用選択信号によるゲート信号線G₀の選択が行われる。そして1ライン目の画素に、2ビット目のデジタルビデオ信号が入力される。その結果、1ライン目の画素は再び表示を行うので、1ライン目の画素において非表示期間T_{d1}が終了し表示期間T_{r2}が開始される。

【0133】

そして同様に、書き込み用選択信号によって順に全てのゲート信号線が選択され、2ビット目のデジタルビデオ信号が全ての画素に入力される。全ての画素に2ビット目のデジタルビデオ信号が入力し終わるまでの期間を、書き込み期間T_{a2}と呼ぶ。

【0134】

そして一方、全ての画素に2ビット目のデジタルビデオ信号が入力される前、言い換えると書き込み期間T_{a2}が終了する前に、画素への2ビット目のデジタルビデオ信号の入力と並行して、消去用選択信号によるゲート信号線G₀の選択が行われる。よって1ライン目の画素が有するE L素子は全て非発光の状態になり、1ライン目の画素が表示を行わなくなる。よって1ライン目の画素において表示期間T_{r2}は終了し、非表示期間T_{d2}が開始される。

【0135】

そして順に、全てのゲート信号線が消去用選択信号によって選択され、全ての画素が保持している2ビット目のデジタルビデオ信号が消去される。全ての画素が保持している2ビット目のデジタルビデオ信号が消去されるまでの期間が消去期間T_{e2}である。

【0136】

上述した動作は5ビット目のデジタルビデオ信号が画素に入力されるまで繰り返し行われ、表示期間T_rと非表示期間T_dとが繰り返し出現する。表示期間T_{r1}は、書き込み期間T_{a1}が開始されてから消去期間T_{e1}が開始されるまでの期間である。また非表示期間T_{d1}は、消去期間T_{e1}が開始されてから次に出現する書き込み期間(本実施例では書き込み期間T_{a2})が開始されるまでの期間である。そして表示期間T_{r2}、T_{r3}、

10

20

30

40

50

T_{r4} と非表示期間 T_{d2} 、 T_{d3} 、 T_{d4} も、表示期間 T_{r1} と非表示期間 T_{d1} と同様に、それぞれ書き込み期間 T_{a1} 、 T_{a2} 、...、 T_{a5} と消去期間 T_{e1} 、 T_{e2} 、...、 T_{e4} とによって、その期間が定められる。

【0137】

次に、書き込み期間 T_{a5} となり、5ビット目のデジタルビデオ信号が1ライン目の画素に入力され、1ライン目の画素は表示期間 T_{r5} となり表示を行う。そして次の書き込み期間が開始されるまで、5ビット目のデジタルビデオ信号は画素に保持される。

【0138】

そして次に、書き込み期間 T_{a6} となり、画素に保持されていた5ビット目のデジタルビデオ信号が消去され、代わりに6ビット目のデジタルビデオ信号が1ライン目の画素に入力される。そして1ライン目の画素は表示期間 T_{r6} となり、表示を行う。6ビット目のデジタルビデオ信号は、次にデジタルビデオ信号が入力されるまで画素に保持される。

10

【0139】

再び次のフレーム期間の最初の書き込み期間 T_{a1} が開始されると、表示期間 T_{r6} は終了し、同時にフレーム期間が終了する。全ての表示期間($T_{r1} \sim T_{r6}$)が終了すると、1つの画像を表示することができる。そして上述した動作を繰り返す。

【0140】

表示期間 T_{r5} は、書き込み期間 T_{a5} が開始されてから、書き込み期間 T_{a6} が開始されるまでの期間である。そして表示期間 T_{r6} は、書き込み期間 T_{a6} が開始されてから、次のフレーム期間の書き込み期間 T_{a1} が開始されるまでの期間である。

20

【0141】

表示期間 T_r の長さは、 $T_{r1} : T_{r2} : \dots : T_{r5} : T_{r6} = 2^0 : 2^1 : \dots : 2^4 : 2^5$ となるように設定する。この表示期間の組み合わせで 2^6 階調のうち所望の階調表示を行うことができる。

【0142】

1フレーム期間中にEL素子が発光した表示期間の長さの総和を求めることによって、当該フレーム期間におけるその画素の表示した階調がきまる。全部の表示期間で画素が発光した場合の輝度を100%とすると、 T_{r1} と T_{r2} において画素が発光した場合には5%の輝度が表現でき、 T_{r3} と T_{r5} を選択した場合には32%の輝度が表現できる。

【0143】

30

本実施例において、5ビット目のデジタルビデオ信号が画素に書き込まれる書き込み期間 T_{a5} は、表示期間 T_{r5} の長さよりも短いことが肝要である。

【0144】

また書き込み期間の出現する順序と、消去期間の出現する順序を変えることで、表示期間($T_{r1} \sim T_{r6}$)の出現する順序を変えても良い。例えば1フレーム期間中において、 T_{r1} の次に T_{r3} 、 T_{r5} 、 T_{r2} 、...という順序で表示期間を出現させることも可能である。ただし、消去期間($T_{e1} \sim T_{e6}$)が互いに重ならない順序の方がより好ましい。また表示期間($T_{r1} \sim T_{r6}$)も互いに重ならない順序の方がより好ましい。

【0145】

本発明は上記構成によって、TFTによって $I_{DS} - V_{GS}$ 特性に多少のばらつきがあっても、等しいゲート電圧がかかったときに出力される電流量のばらつきを抑えることができる。よって $I_{DS} - V_{GS}$ 特性のパラツキによって、同じ電圧の信号を入力してもEL素子の発光量が隣接画素で大きく異なってしまうという事態を避けることが可能になる。

40

【0146】

また、本発明では、表示を行わない非発光期間を設けることができる。従来のアナログ駆動の場合、ELディスプレイに全白の画像を表示させると、常にEL素子が発光することになり、EL層の劣化を早める原因となってしまう。本発明は非発光期間を設けることができるので、EL層の劣化をある程度抑えることができる。

【0147】

(実施例2)

50

本実施例では、6ビットのデジタルビデオ信号に対応した本発明の駆動方法において、表示期間 $T_{r1} \sim T_{r6}$ の出現する順序について説明する。

【0148】

図7に本実施例の駆動方法を示すタイミングチャートを示す。詳しい駆動の仕方については実施例1を参照すれば良いので、ここでは省略する。本実施例の駆動方法では、1フレーム期間中で1番長い非表示期間(本実施例では T_{d1})を1フレーム期間の最後に設ける。上記構成によって、非表示期間 T_{d1} と、次のフレーム期間の最初の表示期間(本実施例では T_{r4})との間にフレーム期間の区切れがあるように人間の目に映る。これによって、中間階調の表示を行ったときに、隣り合うフレーム期間同士で発光する表示期間が隣接することによって起きていた表示むらを、人間の目に認識されずらくすることができる。

10

【0149】

なお本実施例では、6ビットのデジタルビデオ信号の場合について説明したが、本発明はこれに限定されない。本実施例はデジタルビデオ信号のビット数に限定されることなく実施することが可能である。

【0150】

(実施例3)

本実施例では、本発明のELディスプレイにおいて、4ビットのデジタルビデオ信号により 2^4 階調の表示を行う場合について図8を用いて説明する。なお本実施例のELディスプレイは、図1～図3に示した構造を有する。

20

【0151】

まず書き込み期間 T_{a1} において、ゲート信号線駆動回路103からゲート信号線 G_0 に入力される書き込み用選択信号によってゲート信号線 G_0 が選択される。そしてゲート信号線 G_0 にゲート電極が接続されている1ライン目の画素の消去用 $TFT107$ がオンの状態になる。消去用 $TFT107$ がオンの状態になると、EL駆動用 $TFT108$ のゲート電極とソース領域が電氣的に接続される。そのためEL駆動用 $TFT108$ のゲート電圧(ゲート電極とソース領域の電位差)が0になり、1ライン目の画素のEL駆動用 $TFT108$ はオフの状態になる。

【0152】

次に書き込み用選択信号によってゲート信号線 G_0 が選択された状態で、ゲート信号線 G_1 に入力される書き込み用選択信号によってゲート信号線 G_1 が選択される。そしてゲート信号線 G_1 にゲート電極が接続されている、1ライン目の画素の第1スイッチング用 $TFT105$ と、2ライン目の画素の消去用 $TFT107$ がオンの状態になる。

30

【0153】

次に書き込み用選択信号によってゲート信号線 G_1 が選択された状態で、ゲート信号線 G_0 が選択されなくなり、同時にゲート信号線 G_2 が選択される。そして、ゲート信号線 G_2 にゲート電極が接続された、1ライン目の画素の第2スイッチング用 $TFT106$ と、2ライン目の画素の第1スイッチング用 $TFT105$ と、3ライン目の画素の消去用 $TFT107$ とがオンの状態になる。

【0154】

よって、書き込み用選択信号によってゲート信号線 G_0 とゲート信号線 G_1 とが同時に選択されることで、1ライン目の画素が有する第1スイッチング用 $TFT105$ と第2スイッチング用 $TFT106$ とが同時にオンの状態となる。

40

【0155】

この第1スイッチング用 $TFT105$ と第2スイッチング用 $TFT106$ とが同時にオンの状態にあるとき、ソース信号線駆動回路102からソース信号線 $S_1 \sim S_x$ に1ビット目のデジタルビデオ信号が入力される。1ビット目のデジタルビデオ信号は、第1スイッチング用 $TFT105$ 及び第2スイッチング用 $TFT106$ を介して1ライン目の画素のEL駆動用 $TFT108$ のゲート電極に入力される。なお本明細書において、デジタルビデオ信号がEL駆動用 $TFT108$ のゲート電極に入力されることを、画素にデジタルビ

50

デオ信号が入力されるとする。

【 0 1 5 6 】

デジタルビデオ信号は「 0 」または「 1 」の情報を有しており、「 0 」と「 1 」のデジタルビデオ信号は、一方が H i、一方が L o の電圧を有する信号である。

【 0 1 5 7 】

本実施例では、デジタルビデオ信号が「 0 」の情報を有していた場合、E L 駆動用 T F T 1 0 8 はオフの状態となる。よって E L 素子 1 1 0 の画素電極には電源電位は与えられない。その結果、「 0 」の情報を有するデジタルビデオ信号が入力された画素が有する E L 素子 1 1 0 は発光しない。

【 0 1 5 8 】

逆に、「 1 」の情報を有していた場合、E L 駆動用 T F T 1 0 8 はオンの状態となる。よって E L 素子 1 1 0 の画素電極には電源電位が与えられる。その結果、「 1 」の情報を有するデジタルビデオ信号が入力された画素が有する E L 素子 1 1 0 は発光する。

【 0 1 5 9 】

なお本実施例ではデジタルビデオ信号が「 0 」の情報を有していた場合、E L 駆動用 T F T 1 0 8 はオフの状態となり、「 1 」の情報を有していた場合 E L 駆動用 T F T 1 0 8 はオンの状態となるが、本発明はこの構成に限定されない。デジタルビデオ信号が「 0 」の情報を有していた場合、E L 駆動用 T F T 1 0 8 がオンの状態となり、「 1 」の情報を有していた場合 E L 駆動用 T F T 1 0 8 オフの状態となっても良い。

【 0 1 6 0 】

このように 1 ライン目の画素は、デジタルビデオ信号が入力されると同時に、E L 素子 1 1 0 が発光、または非発光を行い、表示期間 T r 1 となる。各ラインの表示期間が開始されるタイミングはそれぞれ時間差を有している。

【 0 1 6 1 】

次に書き込み用選択信号によってゲート信号線 G 2 が選択された状態でゲート信号線 G 1 が選択されなくなり、同時にゲート信号線 G 3 が選択される。そして、ゲート信号線 G 3 にゲート電極が接続された、2 ライン目の画素の第 1 スイッチング用 T F T 1 0 5 と、3 ライン目の画素の第 2 スイッチング用 T F T 1 0 6 と、4 ライン目の画素の消去用 T F T 1 0 7 とがオンの状態になる。

【 0 1 6 2 】

よって、2 ライン目の画素が有する第 1 スイッチング用 T F T 1 0 5 と第 2 スイッチング用 T F T 1 0 6 とが同時にオンの状態となる。この第 1 スイッチング用 T F T 1 0 5 と第 2 スイッチング用 T F T 1 0 6 とが同時にオンの状態にあるとき、ソース信号線駆動回路 1 0 2 からソース信号線 S 1 ~ S x に 1 ビット目のデジタルビデオ信号が入力される。1 ビット目のデジタルビデオ信号は、第 1 スイッチング用 T F T 1 0 5 及び第 2 スイッチング用 T F T 1 0 6 を介して、2 ライン目の画素の E L 駆動用 T F T 1 0 8 のゲート電極に入力される。

【 0 1 6 3 】

そして順に全てのゲート信号線が書き込み用選択信号によって選択され、全ての画素に 1 ビット目のデジタルビデオ信号が入力される。全ての画素に 1 ビット目のデジタルビデオ信号が入力されるまでの期間が、書き込み期間 T a 1 である。

【 0 1 6 4 】

このように書き込み期間において、書き込み用選択信号によって 2 つのゲート信号線が同時に選択されている。

【 0 1 6 5 】

一方、全ての画素に 1 ビット目のデジタルビデオ信号が入力される前、言い換えると書き込み期間 T a 1 が終了する前に、画素への 1 ビット目のデジタルビデオ信号の入力と並行して、ゲート信号線駆動回路 1 0 3 からゲート信号線 G 0 に入力される消去用選択信号によって、ゲート信号線 G 0 が選択される。

【 0 1 6 6 】

10

20

30

40

50

ゲート信号線 G 0 が消去用選択信号によって選択されると、ゲート信号線 G 0 にゲート電極が接続されている 1 ライン目の画素の消去用 T F T 1 0 7 がオンの状態になる。よって電源供給線 V 1 ~ V x の電源電位が消去用 T F T 1 0 7 を介して E L 駆動用 T F T 1 0 8 のゲート電極に与えられる。したがって、ゲート信号線 G 1 と G 2 が書き込み用選択信号によって選択されたときから E L 駆動用 T F T 1 0 8 のゲート電極が保持していた 1 ビット目のデジタルビデオ信号は、E L 駆動用 T F T 1 0 8 のゲート電極に電源電位が与えられることで消去される。よって電源電位は E L 素子 1 1 0 の画素電極に与えられなくなり、1 ライン目の画素が有する E L 素子 1 1 0 は全て非発光の状態になり、1 ライン目の画素が表示を行わなくなる。

【 0 1 6 7 】

10

画素が表示を行わない期間を非表示期間 T d と呼ぶ。1 ライン目の画素において、消去用選択信号によってゲート信号線 G 0 が選択されると同時に表示期間 T r 1 が終了し、非表示期間 T d 1 となる。表示期間と同様に、各ラインの非表示期間が開始されるタイミングは、それぞれ時間差を有している。

【 0 1 6 8 】

次に消去用選択信号によってゲート信号線 G 0 が選択されなくなり、ゲート信号線 G 1 が選択される。ゲート信号線 G 1 が選択されると、ゲート信号線 G 1 にゲート電極が接続された 2 ライン目の画素の消去用 T F T 1 0 7 がオンの状態になる。よって 2 ライン目の画素において非表示期間 T d が開始され、2 ライン目の画素が表示を行わなくなる。

【 0 1 6 9 】

20

そして順に、全てのゲート信号線が消去用選択信号によって選択されていく。全てのゲート信号線が消去用選択信号によって選択され、全ての画素が保持している 1 ビット目のデジタルビデオ信号が消去されるまでの期間が消去期間 T e 1 である。

【 0 1 7 0 】

このように消去期間において、消去用選択信号によって選択されているゲート信号線の本数は常に 1 つであり、2 つ以上のゲート信号線が消去用選択信号によって同時に選択されることはない。

【 0 1 7 1 】

一方、全ての画素が保持している 1 ビット目のデジタルビデオ信号が消去される前、言い換えると消去期間 T e 1 が終了する前に、画素が保持している 1 ビット目のデジタルビデオ信号の消去と並行して、再び書き込み用選択信号によるゲート信号線 G 0 の選択が行われる。そして 1 ライン目の画素に、2 ビット目のデジタルビデオ信号が入力される。その結果、1 ライン目の画素は再び表示を行うので、1 ライン目の画素において非表示期間 T d 1 が終了し表示期間 T r 2 が開始される。

30

【 0 1 7 2 】

そして同様に、書き込み用選択信号によって順に全てのゲート信号線が選択され、2 ビット目のデジタルビデオ信号が全ての画素に入力される。全ての画素に 2 ビット目のデジタルビデオ信号が入力し終わるまでの期間を、書き込み期間 T a 2 と呼ぶ。

【 0 1 7 3 】

そして一方、全ての画素に 2 ビット目のデジタルビデオ信号が入力される前、言い換えると書き込み期間 T a 2 が終了する前に、画素への 2 ビット目のデジタルビデオ信号の入力と並行して、消去用選択信号によるゲート信号線 G 0 の選択が行われる。よって 1 ライン目の画素が有する E L 素子は全て非発光の状態になり、1 ライン目の画素が表示を行わなくなる。よって 1 ライン目の画素において表示期間 T r 2 は終了し、非表示期間 T d 2 が開始される。

40

【 0 1 7 4 】

そして順に、全てのゲート信号線が消去用選択信号によって選択され、全ての画素が保持している 2 ビット目のデジタルビデオ信号が消去される。全ての画素が保持している 2 ビット目のデジタルビデオ信号が消去されるまでの期間が消去期間 T e 2 である。

【 0 1 7 5 】

50

次に、書き込み期間 T_{a3} となり、3ビット目のデジタルビデオ信号が1ライン目の画素に入力され、1ライン目の画素は表示期間 T_{r3} となり表示を行う。そして次の書き込み期間が開始されるまで、3ビット目のデジタルビデオ信号は画素に保持される。

【0176】

そして次に、書き込み期間 T_{a4} となり、画素に保持されていた3ビット目のデジタルビデオ信号が消去され、代わりに4ビット目のデジタルビデオ信号が1ライン目の画素に入力される。そして1ライン目の画素は表示期間 T_{r4} となり、表示を行う。4ビット目のデジタルビデオ信号は、次にデジタルビデオ信号が入力されるまで画素に保持される。

【0177】

再び次のフレーム期間の最初の書き込み期間 T_{a1} が開始されると、表示期間 T_{r4} は終了し、同時にフレーム期間が終了する。全ての表示期間 ($T_{r1} \sim T_{r4}$) が終了すると、1つの画像を表示することができる。そして上述した動作を繰り返す。

10

【0178】

表示期間 T_{r3} は、書き込み期間 T_{a3} が開始されてから、書き込み期間 T_{a4} が開始されるまでの期間である。そして表示期間 T_{r4} は、書き込み期間 T_{a4} が開始されてから、次のフレーム期間の書き込み期間 T_{a1} が開始されるまでの期間である。

【0179】

表示期間 T_r の長さは、 $T_{r1} : T_{r2} : T_{r3} : T_{r4} = 2^0 : 2^1 : 2^2 : 2^3$ となるように設定する。この表示期間の組み合わせで 2^4 階調のうち所望の階調表示を行うことができる。

20

【0180】

1フレーム期間中にEL素子が発光した表示期間の長さの総和を求めることによって、当該フレーム期間におけるその画素の表示した階調がきまる。全部の表示期間で画素が発光した場合の輝度を100%とすると、 T_{r1} と T_{r2} において画素が発光した場合には20%の輝度が表現でき、 T_{r3} のみ選択した場合には27%の輝度が表現できる。

【0181】

本実施例において、3ビット目のデジタルビデオ信号が画素に書き込まれる書き込み期間 T_{a3} は、表示期間 T_{r3} の長さよりも短いことが肝要である。

【0182】

また表示期間 ($T_{r1} \sim T_{r4}$) は、どのような順序で出現させても良い。例えば1フレーム期間中において、 T_{r1} の次に T_{r3} 、 T_{r4} 、 T_{r2} という順序で表示期間を出現させることも可能である。ただし、消去期間 ($T_{e1} \sim T_{e4}$) が互いに重ならない順序の方がより好ましい。また表示期間 ($T_{r1} \sim T_{r4}$) も互いに重ならない順序の方がより好ましい。

30

【0183】

本発明は上記構成によって、TFETによって $I_{DS} - V_{GS}$ 特性に多少のばらつきがあっても、等しいゲート電圧がかかったときに出力される電流量のばらつきを抑えることができる。よって $I_{DS} - V_{GS}$ 特性のパラツキによって、同じ電圧の信号を入力してもEL素子の発光量が隣接画素で大きく異なってしまうという事態を避けることが可能になる。

【0184】

40

また、本発明では、表示を行わない非発光期間を設けることができる。従来のアナログ駆動の場合、ELディスプレイに全白の画像を表示させると、常にEL素子が発光することになり、EL層の劣化を早める原因となってしまう。本発明は非発光期間を設けることができるので、EL層の劣化をある程度抑えることができる。

【0185】

なお本実施例は、実施例2と組み合わせて実施することが可能である。

【0186】

(実施例4)

本実施例では、図3に示した本発明のELディスプレイの画素の上面図(図9)について説明する。図3と図9では共通の符号を用いるので互いに参照すれば良い。

50

【 0 1 8 7 】

図 9 において、ソース信号線 S_j (j は $1 \sim x$ の任意の数) と、電源供給線 V_j (j は $1 \sim x$ の任意の数) と、ゲート信号線 G_i (i は $1 \sim y$ の任意の数) とをそれぞれ 1 つづつ有する領域が画素 104 である。画素 104 は第 1 スwitching 用 T F T 105 と、第 2 スwitching 用 T F T 106 と、消去用 T F T 107 と、E L 駆動用 T F T 108 とを有している。

【 0 1 8 8 】

第 1 スwitching 用 T F T 105 と第 2 スwitching 用 T F T 106 は、共通の活性層 906 を有している。また、第 1 スwitching 用 T F T 105 はゲート信号線 G_i の一部をゲート電極として用い、第 2 スwitching 用 T F T 106 はゲート信号線 $G(i+1)$ の一部をゲート電極として用いる。

10

【 0 1 8 9 】

第 2 スwitching 用 T F T 106 が有するソース領域とドレイン領域のうち、いずれか一方はソース信号線 S_j に接続されている。そして第 1 スwitching 用 T F T 105 が有するソース領域とドレイン領域のうち、いずれか一方は接続配線 901 を間に介してゲート配線 905 に接続されている。

【 0 1 9 0 】

ゲート配線 905 は、接続配線 902 を介して消去用 T F T 107 のソース領域またはドレイン領域のいずれか一方に接続されている。消去用 T F T 107 は活性層 908 を有しており、消去用 T F T 107 のソース領域とドレイン領域のうちゲート配線 905 に接続

20

【 0 1 9 1 】

E L 駆動用 T F T 108 は活性層 907 を有している。E L 駆動用 T F T 108 はゲート配線 905 の一部をゲート電極として用いている。E L 駆動用 T F T 108 のソース領域は電源供給線 V_j に接続されており、ドレイン領域は E L 素子が有する画素電極 903 に接続されている。

【 0 1 9 2 】

なお接続配線 901 はソース信号線 S_j に入力される信号の電位によって、ソース配線と呼んだり、ドレイン配線と呼んだりする。また、接続配線 902 は電源供給線 V_j の電源電位によって、ソース配線と呼んだり、ドレイン配線と呼んだりする。

30

【 0 1 9 3 】

容量配線 904 は半導体膜で形成されている。コンデンサ 109 は、電源供給線 V_j と電氣的に接続された容量配線 904、ゲート絶縁膜と同一層の絶縁膜 (図示せず) 及びゲート配線 905 との間で形成される。また、ゲート配線 905、第 1 層間絶縁膜と同一の層 (図示せず) 及び電源供給線 V_j で形成される容量もコンデンサとして用いることが可能である。

【 0 1 9 4 】

なお図示しないが、画素電極 903 上には、有機樹脂膜をエッチングすることで開口部を設けたバンクが形成されている。そして同じく図示しないが、画素電極 903 上に E L 層と対向電極が順に積層される。画素電極 903 と E L 層とはバンクに設けられた開口部において接しており、E L 層は対向電極と画素電極とに接して挟まれている部分のみ発光する。

40

【 0 1 9 5 】

なお本発明の E L ディスプレイの画素部の上面図は、図 9 に示した構成に限定されない。

【 0 1 9 6 】

本実施例は実施例 1 ~ 3 と組み合わせて実施することが可能である。

【 0 1 9 7 】

(実施例 5)

本実施例では、図 1 で示した本発明の E L ディスプレイの駆動回路の詳しい構成について、図 10 を用いて説明する。

50

【 0 1 9 8 】

ソース信号線駆動回路 1 0 2 は基本的にシフトレジスタ 1 0 2 a、ラッチ (A) (第 1 のラッチ) 1 0 2 b、ラッチ (B) (第 2 のラッチ) 1 0 2 c を有している。

【 0 1 9 9 】

ソース信号線駆動回路 1 0 2 において、シフトレジスタ 1 0 2 a にソース用クロック信号 (S - C L K) およびソース用スタートパルス (S - S P) が入力される。シフトレジスタ 1 0 2 a は、これらのソース用クロック信号 (S - C L K) およびソース用スタートパルス (S - S P) に基づきタイミング信号を順に生成し、ラッチ (A) 1 0 2 b に入力する。

【 0 2 0 0 】

10

なお図 1 0 では図示しなかったが、シフトレジスタ 1 0 2 a から出力されたタイミング信号をバッファ等 (図示せず) によって緩衝増幅してから、後段の回路であるラッチ (A) 1 0 2 b に入力しても良い。タイミング信号が供給される配線には、多くの回路あるいは素子が接続されているために負荷容量 (寄生容量) が大きい。この負荷容量が大きいために生ずるタイミング信号の立ち上がりまたは立ち下がり の ” 鈍り ” を防ぐために、このバッファが設けられる。

【 0 2 0 1 】

ラッチ (A) 1 0 2 b は、n ビットのデジタルビデオ信号 (n bit digital video signals) を処理する複数のステージのラッチを有している。ラッチ (A) 1 0 2 b は、タイミング信号が入力されると、ソース信号線駆動回路 1 0 2 の外部から入力される n ビットのデジタルビデオ信号を順次取り込み、保持する。

20

【 0 2 0 2 】

なお、ラッチ (A) 1 0 2 b にデジタルビデオ信号を取り込む際に、ラッチ (A) 1 0 2 b が有する複数のステージのラッチに、順にデジタルビデオ信号を入力しても良い。しかし本発明はこの構成に限定されない。ラッチ (A) 1 0 2 b が有する複数のステージのラッチをいくつかのグループに分け、各グループごとに並行して同時にデジタルビデオ信号を入力する、いわゆる分割駆動を行っても良い。なおこのときのグループの数を分割数と呼ぶ。例えば 4 つのステージごとにラッチをグループに分けた場合、4 分割で分割駆動すると言う。

【 0 2 0 3 】

30

ラッチ (A) 1 0 2 b の全てのステージのラッチにデジタルビデオ信号の書き込みが一通り終了するまでの時間を、ライン期間と呼ぶ。すなわち、ラッチ (A) 1 0 2 b 中で一番左側のステージのラッチにデジタルビデオ信号の書き込みが開始される時点から、一番右側のステージのラッチにデジタルビデオ信号の書き込みが終了する時点までの時間間隔がライン期間である。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間に含むことがある。

【 0 2 0 4 】

1 ライン期間が終了すると、ラッチ (B) 1 0 2 c にラッチシグナル (Latch Signal) が供給される。この瞬間、ラッチ (A) 1 0 2 b に書き込まれ保持されているデジタルビデオ信号は、ラッチ (B) 1 0 2 c に一斉に送出され、ラッチ (B) 1 0 2 c の全ステージのラッチに書き込まれ、保持される。

40

【 0 2 0 5 】

デジタルビデオ信号をラッチ (B) 1 0 2 c に送出し終えたラッチ (A) 1 0 2 b には、シフトレジスタ 1 0 2 a からのタイミング信号に基づき、ソース信号線駆動回路 1 0 2 の外部から入力されるデジタルビデオ信号の書き込みが順次行われる。

【 0 2 0 6 】

この 2 順目の 1 ライン期間中には、ラッチ (B) 1 0 2 c に書き込まれ、保持されているデジタルビデオ信号がソース信号線に入力される。

【 0 2 0 7 】

一方、ゲート信号線駆動回路 1 0 3 は、シフトレジスタ 1 0 3 a、バッファ 1 0 3 b を有

50

している。また場合によっては、シフトレジスタ、バッファの他にレベルシフトを有していても良い。

【0208】

ゲート信号線駆動回路103において、シフトレジスタ103aからのタイミング信号がバッファ103bに供給され、対応するゲート信号線に供給される。例えばゲート信号線Gi(iは1~yの任意の数)には、(i-1)ライン目の画素の第2スイッチング用TFT106のゲート電極と、iライン目の画素の第1スイッチング用TFT105のゲート電極と、(i+1)ライン目の画素の消去用TFTのゲート電極と、が接続されている。そのため、1つのゲート信号線に接続されている全てのTFTを同時にONにしなくてはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

10

【0209】

なお本実施例は、実施例1~4と組み合わせて実施することが可能である。

【0210】

(実施例6)

本実施例では、本発明のELディスプレイの画素部が有するTFTを作製する方法について説明する。

【0211】

まず、図11(A)に示すように、コーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスから成る基板5001上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜5002を形成する。例えば、プラズマCVD法でSiH₄、NH₃、N₂Oから作製される酸化窒化シリコン膜5002aを10~200[nm](好ましくは50~100[nm])形成し、同様にSiH₄、N₂Oから作製される酸化窒化水素化シリコン膜5002bを50~200[nm](好ましくは100~150[nm])の厚さに積層形成する。

20

本実施例では下地膜5002を2層構造として示したが、前記絶縁膜の単層膜または2層以上積層させた構造として形成しても良い。

【0212】

島状半導体層5004~5006は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層5004~5006の厚さは25~80[nm](好ましくは30~60[nm])の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム(SiGe)合金などで形成すると良い。

30

【0213】

レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO₄レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数300[Hz]とし、レーザーエネルギー密度を100~400[mJ/cm²](代表的には200~300[mJ/cm²])とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数30~300[kHz]とし、レーザーエネルギー密度を300~600[mJ/cm²](代表的には350~500[mJ/cm²])とすると良い。そして幅100~1000[μm]、例えば400[μm]で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を50~90[%]として行う。

40

【0214】

次いで、島状半導体層5004~5006を覆うゲート絶縁膜5007を形成する。ゲート絶縁膜5007はプラズマCVD法またはスパッタ法を用い、厚さを40~150[nm]としてシリコンを含む絶縁膜で形成する。本実施例では、120[nm]の厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定される

50

ものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS (Tetraethyl Orthosilicate) と O_2 とを混合し、反応圧力40 [Pa]、基板温度300 ~ 400 []とし、高周波 (13 . 56 [MHz])、電力密度0 . 5 ~ 0 . 8 [W/cm²]で放電させて形成することが出来る。このようにして作製される酸化シリコン膜は、その後400 ~ 500 []の熱アニールによりゲート絶縁膜として良好な特性を得ることが出来る。

【0215】

そして、ゲート絶縁膜5007上にゲート電極を形成するための第1の導電膜5008と第2の導電膜5009とを形成する。本実施例では、第1の導電膜5008をTaで50 ~ 100 [nm]の厚さに形成し、第2の導電膜5009をWで100 ~ 300 [nm]の厚さに形成する。

10

【0216】

Ta膜はスパッタ法で、TaのターゲットをArでスパッタすることにより形成する。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することが出来る。また、 α 相のTa膜の抵抗率は20 [$\mu\Omega$ cm]程度でありゲート電極に使用することが出来るが、 β 相のTa膜の抵抗率は180 [$\mu\Omega$ cm]程度でありゲート電極とするには不向きである。 α 相のTa膜を形成するために、Taの α 相に近い結晶構造をもつ窒化タンタルを10 ~ 50 [nm]程度の厚さでTaの下地に形成しておくことにより α 相のTa膜を容易に得ることが出来る。

【0217】

20

W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タングステン (WF_6) を用いる熱CVD法で形成することも出来る。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20 [$\mu\Omega$ cm]以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることが出来るが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99 . 9999 [%]のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9 ~ 20 [$\mu\Omega$ cm]を実現することが出来る。

【0218】

なお、本実施例では、第1の導電膜5008をTa、第2の導電膜5009をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cuなどから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の他の組み合わせの一例で望ましいものとしては、第1の導電膜5008を窒化タンタル (Ta₂N₅) で形成し、第2の導電膜5009をWとする組み合わせ、第1の導電膜5008を窒化タンタル (Ta₂N₅) で形成し、第2の導電膜5009をAlとする組み合わせ、第1の導電膜5008を窒化タンタル (Ta₂N₅) で形成し、第2の導電膜5009をCuとする組み合わせが挙げられる。(図11(A))

30

【0219】

次に、レジストによるマスク5010を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用い、エッチング用ガスに CF_4 と Cl_2 を混合し、1 [Pa]の圧力でコイル型の電極に500 [W]のRF (13 . 56 [MHz]) 電力を投入してプラズマを生成して行う。基板側 (試料ステージ) にも100 [W]のRF (13 . 56 [MHz]) 電力を投入し、実質的に負の自己バイアス電圧を印加する。 CF_4 と Cl_2 を混合した場合にはW膜及びTa膜とも同程度にエッチングされる。

40

【0220】

上記エッチング条件では、レジストによるマスクの形状に適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパー形状となる。テーパー部の角度は15 ~ 45 °となる。ゲート絶縁膜上に残渣を残す

50

ことなくエッチングするためには、10～20[%]程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は2～4（代表的には3）であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20～50[nm]程度エッチングされることになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層5012～5016（第1の導電層5012a～5016aと第2の導電層5012b～5016b）を形成する。このとき、ゲート絶縁膜5007においては、第1の形状の導電層5012～5016で覆われない領域は20～50[nm]程度エッチングされ薄くなった領域が形成される。

【0221】

そして、第1のドーピング処理を行いn型を付与する不純物元素を添加する。ドーピングの方法はイオンドープ法もしくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14} [\text{atoms}/\text{cm}^2]$ とし、加速電圧を60～100[keV]として行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いる。この場合、導電層5012～5015がn型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域5019～5025が形成される。第1の不純物領域5019～5025には $1 \times 10^{20} \sim 1 \times 10^{21} [\text{atoms}/\text{cm}^3]$ の濃度範囲でn型を付与する不純物元素を添加する。（図11(B)）

【0222】

次に、図11(C)に示すように、レジストマスクは除去しないまま、第2のエッチング処理を行う。エッチングガスに CF_4 と Cl_2 と O_2 とを用い、W膜を選択的にエッチングする。この時、第2のエッチング処理により第2の形状の導電層5027～5031（第1の導電層5027a～5031aと第2の導電層5027b～5031b）を形成する。このとき、ゲート絶縁膜5007においては、第2の形状の導電層5027～5031で覆われない領域はさらに20～50[nm]程度エッチングされ薄くなった領域が形成される。

【0223】

W膜やTa膜の CF_4 と Cl_2 の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することが出来る。WとTaのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物である WF_6 が極端に高く、その他の WCl_5 、 TaF_5 、 TaCl_5 は同程度である。従って、 CF_4 と Cl_2 の混合ガスではW膜及びTa膜共にエッチングされる。しかし、この混合ガスに適量の O_2 を添加すると CF_4 と O_2 が反応してCOとFになり、FラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、TaはFが増大しても相対的にエッチング速度の増加は少ない。また、TaはWに比較して酸化されやすいので、 O_2 を添加することでTaの表面が酸化される。Taの酸化物はフッ素や塩素と反応しないためさらにTa膜のエッチング速度は低下する。従って、W膜とTa膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をTa膜よりも大きくすることが可能となる。

【0224】

そして、図12(A)に示すように第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーズ量を下げて高い加速電圧の条件としてn型を付与する不純物元素をドーピングする。例えば、加速電圧を70～120[keV]とし、 $1 \times 10^{13} [\text{atoms}/\text{cm}^2]$ のドーズ量で行い、図11(B)で島状半導体層に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層5027～5030を不純物元素に対するマスクとして用い、第1の導電層5027a～5030aの下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第3の不純物領域5033～5036が形成される。この第3の不純物領域5033～5036に添加されたリン(P)の濃度は、第1の導電層5027a～5030aのテーパ部の膜厚に従って緩やかな濃度勾配を有している。なお、第1の導電層5027a～5030aのテーパ部

10

20

30

40

50

と重なる半導体層において、第1の導電層5027a~5030aのテーパ部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。

【0225】

図12(B)に示すように第3のエッチング処理を行う。エッチングガスに CHF_3 を用い、反応性イオンエッチング法(RIE法)を用いて行う。第3のエッチング処理により、第1の導電層5027a~5031aのテーパ部を部分的にエッチングして、第1の導電層が半導体層と重なる領域が縮小される。第3のエッチング処理によって、第3の形状の導電層5038~5042(第1の導電層5038a~5042aと第2の導電層5038b~5042b)を形成する。このとき、ゲート絶縁膜5007においては、第3の形状の導電層5038~5042で覆われない領域はさらに20~50[nm]程度エッチングされ薄くなった領域が形成される。

10

【0226】

第3のエッチング処理によって、第3の不純物領域5033~5036においては、第1の導電層5038a~5041aと重なる第3の不純物領域5033a~5036aと、第1の不純物領域と第3の不純物領域との間の第2の不純物領域5033b~5036bとが形成される。

【0227】

そして、図12(C)に示すように、pチャネル型TFETを形成する島状半導体層5006に第1の導電型とは逆の導電型の第4の不純物領域5049~5054を形成する。第3の形状の導電層5041bを不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、nチャネル型TFETを形成する島状半導体層5004、5005および配線部5042はレジストマスク5200で全面を被覆しておく。不純物領域5049~5054にはそれぞれ異なる濃度でリンが添加されているが、ジボラン(B_2H_6)を用いたイオンドープ法で形成し、そのいずれの領域においても不純物濃度が $2 \times 10^{20} \sim 2 \times 10^{21} [\text{atoms}/\text{cm}^3]$ となるようにする。

20

【0228】

以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第3の形状の導電層5038~5041がゲート電極として機能する。また、5042は島状のソース信号線として機能する。

【0229】

レジストマスク5200を除去した後、導電型の制御を目的として、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することが出来る。熱アニール法では酸素濃度が1[ppm]以下、好ましくは0.1[ppm]以下の窒素雰囲気中で400~700[]、代表的には500~600[]で行うものであり、本実施例では500[]で4時間の熱処理を行う。ただし、第3の形状の導電層5038~5042に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜(シリコンを主成分とする)を形成した後で活性化を行うことが好ましい。

30

【0230】

さらに、3~100[%]の水素を含む雰囲気中で、300~450[]で1~12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

40

【0231】

次いで、図13(A)に示すように、第1の層間絶縁膜5055を酸化窒化シリコン膜から100~200[nm]の厚さで形成する。その上に有機絶縁物材料から成る第2の層間絶縁膜5056を形成した後、第1の層間絶縁膜5055、第2の層間絶縁膜5056、およびゲート絶縁膜5007に対してコンタクトホールを形成し、各配線(接続配線、信号線を含む)5059~5062、5064をパターンニング形成した後、接続配線5062

50

に接する画素電極 5 0 6 3 をパターンニング形成する。

【 0 2 3 2 】

第 2 の層間絶縁膜 5 0 5 6 としては、有機樹脂を材料とする膜を用い、その有機樹脂としてはポリイミド、ポリアミド、アクリル、B C B（ベンゾシクロブテン）等を使用することが出来る。特に、第 2 の層間絶縁膜 5 0 5 6 は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例では T F T によって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは 1 ~ 5 [μm]（さらに好ましくは 2 ~ 4 [μm]）とすれば良い。

【 0 2 3 3 】

コンタクトホール形成は、ドライエッチングまたはウエットエッチングを用い、n 型の不純物領域 5 0 1 9、5 0 2 0、5 0 2 1、5 0 2 3 に達するコンタクトホール、配線 5 0 4 2 に達するコンタクトホール、電源供給線に達するコンタクトホール（図示せず）、およびゲート電極に達するコンタクトホール（図示せず）をそれぞれ形成する。

【 0 2 3 4 】

また、配線（接続配線、信号線を含む）5 0 5 9 ~ 5 0 6 2、5 0 6 4 として、T i 膜を 1 0 0 [nm]、T i を含むアルミニウム膜を 3 0 0 [nm]、T i 膜 1 5 0 [nm] をスパッタ法で連続形成した 3 層構造の積層膜を所望の形状にパターンニングしたものをを用いる。勿論、他の導電膜を用いても良い。

【 0 2 3 5 】

また、本実施例では、画素電極 5 0 6 3 として I T O 膜を 1 1 0 [nm] の厚さに形成し、パターンニングを行った。画素電極 5 0 6 3 を接続配線 5 0 6 2 と接して重なるように配置することでコンタクトを取っている。また、酸化インジウムに 2 ~ 2 0 [%] の酸化亜鉛（Z n O）を混合した透明導電膜を用いても良い。この画素電極 5 0 6 3 が E L 素子の陽極となる。（図 1 3（A））

【 0 2 3 6 】

次に、図 1 3（B）に示すように、珪素を含む絶縁膜（本実施例では酸化珪素膜）を 5 0 0 [nm] の厚さに形成し、画素電極 5 0 6 3 に対応する位置に開口部を形成して、バンクとして機能する第 3 の層間絶縁膜 5 0 6 5 を形成する。開口部を形成する際、ウエットエッチング法を用いることで容易にテーパ形状の側壁とすることが出来る。開口部の側壁が十分になだらかでないと段差に起因する E L 層の劣化が顕著な問題となってしまうため、注意が必要である。

【 0 2 3 7 】

次に、E L 層 5 0 6 6 および陰極（M g A g 電極）5 0 6 7 を、真空蒸着法を用いて大気解放しないで連続形成する。なお、E L 層 5 0 6 6 の膜厚は 8 0 ~ 2 0 0 [nm]（典型的には 1 0 0 ~ 1 2 0 [nm]）、陰極 5 0 6 7 の厚さは 1 8 0 ~ 3 0 0 [nm]（典型的には 2 0 0 ~ 2 5 0 [nm]）とすれば良い。

【 0 2 3 8 】

この工程では、赤色に対応する画素、緑色に対応する画素および青色に対応する画素に対して順次、E L 層および陰極を形成する。但し、E L 層は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的に E L 層および陰極を形成するのが好ましい。

【 0 2 3 9 】

即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光の E L 層を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光の E L 層を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光の E L 層を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。

【 0 2 4 0 】

10

20

30

40

50

ここではRGBに対応した3種類のEL素子を形成する方式を用いたが、白色発光のEL素子とカラーフィルタを組み合わせた方式、青色または青緑発光のEL素子と蛍光体（蛍光性の色変換層：CCM）とを組み合わせた方式、陰極（対向電極）に透明電極を利用してRGBに対応したEL素子を重ねる方式などを用いても良い。

【0241】

なお、EL層5066としては公知の材料を用いることが出来る。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。例えば正孔注入層、正孔輸送層、発光層および電子注入層となる4層構造をEL層とすれば良い。

【0242】

次に、同じゲート信号線にゲート電極が接続されたスイッチング用TFETを有する画素（同じラインの画素）上に、メタルマスクを用いて陰極5067を形成する。なお本実施例では陰極5067としてMgAgを用いたが、本発明はこれに限定されない。陰極5067として他の公知の材料を用いても良い。

【0243】

最後に、窒化珪素膜となるパッシベーション膜5068を300[nm]の厚さに形成する。パッシベーション膜5068を形成しておくことで、EL層5066を水分等から保護することができ、EL素子の信頼性をさらに高めることが出来る。

【0244】

こうして図13(B)に示すような構造のELディスプレイが完成する。なお、本実施例におけるELディスプレイの作成工程においては、回路の構成および工程の関係上、ゲート電極を形成している材料であるTa、Wによってソース信号線を形成し、ソース、ドレイン電極を形成している配線材料であるAlによってゲート信号線を形成しているが、異なる材料を用いても良い。

【0245】

nチャネル型TFET5101は消去用TFETであり、5102は第1スイッチング用TFETであり、5103は第2スイッチング用TFETである。またpチャネル型TFET5104はEL駆動用TFETである。第2スイッチング用TFET5103が有するn型の不純物領域5023は、接続配線5061を介してEL駆動用TFET5104のゲート電極5041に接続されている。

【0246】

ところで、本実施例のELディスプレイは、画素部だけでなく駆動回路部にも最適な構造のTFETを配置することにより、非常に高い信頼性を示し、動作特性も向上しうる。また結晶化工程においてNi等の金属触媒を添加し、結晶性を高めることも可能である。それによって、ソース信号線駆動回路の駆動周波数を10[MHz]以上にすることが可能である。

【0247】

まず、極力動作速度を落とさないようにホットキャリア注入を低減させる構造を有するTFETを、駆動回路部を形成するCMOS回路のnチャネル型TFETとして用いる。なお、ここでいう駆動回路としては、シフトレジスタ、バッファ、レベルシフタ、線順次駆動におけるラッチ、点順次駆動におけるトランсмисシヨンゲートなどが含まれる。

【0248】

本実施例の場合、nチャネル型TFETの活性層は、ソース領域、ドレイン領域、ゲート絶縁膜を間に挟んでゲート電極と重なるオーバーラップLDD領域（ L_{OV} 領域）、ゲート絶縁膜を間に挟んでゲート電極と重ならないオフセットLDD領域（ L_{OFF} 領域）およびチャネル形成領域を含む。

【0249】

またpチャネル型TFETは、ホットキャリア注入による劣化が殆ど気にならないので、特にLDD領域を設けなくても良い。勿論、nチャネル型TFETと同様にLDD領域を設け、ホットキャリア対策を講じることも可能である。

【0250】

なお、実際には図 1 3 (B) の状態まで完成したら、さらに外気に曝されないように、気密性が高く、脱ガスの少ない保護フィルム (ラミネートフィルム、紫外線硬化樹脂フィルム等) や透光性のシーリング材でパッケージング (封入) することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたたり、内部に吸湿性材料 (例えば酸化バリウム) を配置したりすると E L 素子の信頼性が向上する。

【 0 2 5 1 】

また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ (フレキシブルプリントサーキット : F P C) を取り付けて製品として完成する。このような出荷出来る状態にまでした状態を本明細書中では E L モジュールと呼ぶ。

10

【 0 2 5 2 】

また、本実施例で示す工程に従えば、E L モジュールの作製に必要なフォトマスクの数を抑えることが出来る。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することが出来る。

【 0 2 5 3 】

なお本実施例は、実施例 1 ~ 5 と組み合わせて実施することが可能である。

【 0 2 5 4 】

(実施例 7)

本実施例では、本発明の E L ディスプレイの断面構造の概略について、図 1 3 とは別の例を図 1 4 を用いて説明する。図 1 3 では、第 1 及び第 2 のスイッチング用 T F T、消去用 T F T 及び E L 駆動用 T F T がトップゲート型の T F T である例について示したが、本実施例ではボトムゲート型の T F T を用いた例について説明する。

20

【 0 2 5 5 】

図 1 3 において、8 1 1 は基板、8 1 2 は下地となる絶縁膜 (以下、下地膜という) である。基板 8 1 1 としては透光性基板、代表的にはガラス基板、石英基板、ガラスセラミックス基板、又は結晶化ガラス基板を用いることができる。但し、作製プロセス中の最高処理温度に耐えるものでなくてはならない。

【 0 2 5 6 】

また、下地膜 8 1 2 は特に可動イオンを含む基板や導電性を有する基板を用いる場合に有効であるが、石英基板には設けなくても構わない。下地膜 8 1 2 としては、珪素 (シリコン) を含む絶縁膜を用いれば良い。なお、本明細書において「珪素を含む絶縁膜」とは、具体的には酸化珪素膜、窒化珪素膜若しくは窒化酸化珪素膜 (SiO_xN_y : x 、 y は任意の整数、で示される) など珪素に対して酸素若しくは窒素を所定の割合で含ませた絶縁膜を指す。

30

【 0 2 5 7 】

8 2 0 1 は第 1 スwitching 用 T F T、8 2 0 2 は第 2 スwitching 用 T F T、8 2 0 3 は E L 駆動用 T F T、8 2 0 4 は消去用 T F T であり、それぞれ n チャネル型 T F T、p チャネル型 T F T で形成されている。

【 0 2 5 8 】

E L 素子 8 2 0 6 の発光方向が基板 8 1 1 の下面 (T F T 及び E L 層が設けられていない面) の場合、上記構成であることが好ましい。しかし本発明はこの構成に限定されない。第 1 及び第 2 スwitching 用 T F T 8 2 0 1、8 2 0 2 と E L 駆動用 T F T 8 2 0 3 と消去用 T F T 8 2 0 4 は、n チャネル型 T F T と p チャネル型 T F T のどちらでも構わない。

40

【 0 2 5 9 】

第 1 スwitching 用 T F T 8 2 0 1 は、不純物領域 8 1 3、8 1 6 と、L D D 領域 8 1 5 a、8 1 5 b と、チャネル形成領域 8 1 7 a と、ゲート電極 8 1 9 a と、ゲート絶縁膜 8 1 8 と、第 1 層間絶縁膜 8 2 0 とを有している。不純物領域 8 1 3 は接続配線 8 2 1 を介してソース信号線 (図示せず) に接続されている。

【 0 2 6 0 】

50

第2スイッチング用TF T 8 2 0 2は、不純物領域8 1 6、8 1 4と、L D D領域8 1 5 c、8 1 5 dと、チャネル形成領域8 1 7 bと、ゲート電極8 1 9 bと、ゲート絶縁膜8 1 8と、第1層間絶縁膜8 2 0とを有している。不純物領域8 1 6は第1スイッチング用TF T 8 2 0 1と第2スイッチング用TF T 8 2 0 2とで共有していることになる。また不純物領域8 1 4は、接続配線8 2 2を介してE L駆動用TF T 8 2 0 3のゲート電極8 3 0に接続されている。

【0 2 6 1】

なお、ゲート絶縁膜8 1 8又は第1層間絶縁膜8 2 0は基板上の全TF Tに共通であっても良いし、回路又は素子に応じて異ならせても良い。

【0 2 6 2】

また、図13に示す第1及び第2スイッチング用TF T 8 2 0 1、8 2 0 2は共通の活性層有しているが本発明はこれに限定されない。第1と第2スイッチング用TF T 8 2 0 1、8 2 0 2は、互いに分離された活性層をそれぞれ有していても良い。

【0 2 6 3】

さらに、L D D領域8 1 5 a~8 1 5 dは、ゲート絶縁膜8 1 8を介してゲート電極8 1 9 a、8 1 9 bと重ならないように設ける。このような構造はオフ電流を低減する上で非常に効果的である。また、L D D領域8 1 5 a~8 1 5 dの長さ(幅)は0.5~3.5 μm 、代表的には2.0~2.5 μm とすれば良い。

【0 2 6 4】

E L駆動用TF T 8 2 0 3は、ソース領域8 2 6、ドレイン領域8 2 7及びチャネル形成領域8 0 5を含む活性層と、ゲート絶縁膜8 1 8と、ゲート電極8 3 0と、第1層間絶縁膜8 2 0と、ソース配線8 3 1並びにドレイン配線8 3 2を有して形成される。ソース領域8 2 6はソース配線8 3 1を介して電源供給線(図示せず)に接続されている。またドレイン領域8 2 7はドレイン配線8 3 2を介して画素電極8 4 9に接続されている。

【0 2 6 5】

E L駆動用TF T 8 2 0 3はE L素子8 2 0 6に供給される電流量を制御するための素子であり、比較的多くの電流が流れる。そのため、E L駆動用TF T 8 2 0 3のチャネル幅(W)は、第1及び第2スイッチング用TF T 8 2 0 1、8 2 0 2のチャネル幅よりも長くなるように設計することが好ましい。また、E L駆動用TF T 8 2 0 3に過剰な電流が流れないように、チャネル長(L)はそれぞれ長めに設計することが好ましい。望ましくはそれぞれ0.5~2 μA (好ましくは1~1.5 μA)となるようにする。

【0 2 6 6】

またさらに、E L駆動用TF T 8 2 0 3の活性層(特にチャネル形成領域)の膜厚を厚くする(好ましくは50~100 nm、さらに好ましくは60~80 nm)ことによって、大きな電流が流れることによるTF Tの劣化を抑えてもよい。逆に、スイッチング用TF T 8 2 0 1の場合はオフ電流を小さくするという観点から見れば、活性層(特にチャネル形成領域)の膜厚を薄くする(好ましくは20~50 nm、さらに好ましくは25~40 nm)ことも有効である。

【0 2 6 7】

消去用TF T 8 2 0 4は、不純物領域8 3 5、8 3 6、L D D領域8 3 7 a、8 3 7 b及びチャネル形成領域8 3 8を含む活性層と、ゲート絶縁膜8 1 8と、ゲート電極8 3 9と、第1層間絶縁膜8 2 0と、接続配線8 4 6、8 4 4を有して形成される。L D D領域8 3 7 a、8 3 7 bはゲート絶縁膜8 1 8を介してゲート電極8 3 9と重なっている。

【0 2 6 8】

不純物領域8 3 5、8 3 6は、一方が接続配線8 4 6または8 4 4を介して電源供給線(図示せず)に接続されており、もう一方が接続配線8 4 6または8 4 4を介してE L駆動用TF T 8 2 0 3のゲート電極8 3 0に接続されている。

【0 2 6 9】

なお8 6 2~8 6 5はチャネル形成領域8 1 7 a、8 1 7 b、8 0 5、8 3 8を形成するためのマスクである。

10

20

30

40

50

【0270】

なお、チャンネル形成領域とLDD領域との間にオフセット領域（チャンネル形成領域と同一組成の半導体層でなり、ゲート電圧が加えられない領域）を設けることはオフ電流を下げる上でさらに好ましい。また、本実施例ではシングルゲート構造を有する場合について示したが、マルチゲート構造を有していても良い。マルチゲート構造はオフ電流を低減する上で極めて有効であり、第1及び第2スイッチング用TFET8201、8202、消去用TFET8204のオフ電流を十分に低くすれば、それだけEL駆動用TFET8203のゲート電極に接続されたコンデンサが必要とする最低限の容量を抑えることができる。即ち、コンデンサの面積を小さくすることができるので、マルチゲート構造とすることはEL素子の有効発光面積を広げる上でも有効である。

10

【0271】

なお、第1及び第2のスイッチング用TFET8201、8202、消去用TFET8204及びEL駆動用TFET8203はpチャンネル型でもnチャンネル型でもどちらでも良い。ただし、第1及び第2のスイッチング用TFET8201、8202及び消去用TFET8204は、同じ極性を有していることが必要である。

【0272】

次に、847は第1パッシベーション膜であり、膜厚は10nm～1μm（好ましくは200～500nm）とすれば良い。材料としては、珪素を含む絶縁膜（特に窒化酸化珪素膜又は窒化珪素膜が好ましい）を用いることができる。このパッシベーション膜847は形成されたTFETをアルカリ金属や水分から保護する役割金属を有する。最終的にTFET（特にEL駆動用TFET）の上方に設けられるEL層にはナトリウム等のアルカリ金属が含まれている。即ち、第1パッシベーション膜847はこれらのアルカリ金属（可動イオン）をTFET側に侵入させない保護層としても働く。

20

【0273】

また、848は第2層間絶縁膜であり、TFETによってできる段差の平坦化を行う平坦化膜としての機能を有する。第2層間絶縁膜848としては、有機樹脂膜が好ましく、ポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）等を用いると良い。これらの有機樹脂膜は良好な平坦面を形成しやすく、比誘電率が低いという利点を有する。EL層は凹凸に非常に敏感であるため、TFETによる段差は第2層間絶縁膜848で殆ど吸収してしまうことが望ましい。また、ゲート信号線やソース信号線とEL素子の陰極との間に形成される寄生容量を低減する上で、比誘電率の低い材料を厚く設けておくことが望ましい。従って、膜厚は0.5～5μm（好ましくは1.5～2.5μm）が好ましい。

30

【0274】

また、849は透明導電膜でなる画素電極（EL素子の陽極）であり、第2層間絶縁膜848及び第1パッシベーション膜847にコンタクトホール（開孔）を開けた後、形成された開孔部においてEL駆動用TFET8203のドレイン配線832に接続されるように形成される。

【0275】

画素電極849の上には酸化珪素膜、窒化酸化珪素膜または有機樹脂膜でなる第3層間絶縁膜850が0.3～1μmの厚さに設けられる。この第3層間絶縁膜850はバンクとして機能する。画素電極849の上にエッチングにより開口部が設けられ、その開口部の縁はテーパ形状となるようにエッチングする。テーパの角度は10～60°（好ましくは30～50°）とすると良い。特に第3層間絶縁膜850を、画素電極849とEL駆動用TFET8203のドレイン配線832とが接続されている部分の上に設けることで、コンタクトホールの部分において生じる画素電極849の段差によるEL層851の発光不良を防ぐことができる。

40

【0276】

第3層間絶縁膜850の上にはEL層851が設けられる。EL層851は単層又は積層構造で用いられるが、積層構造で用いた方が発光効率は良い。一般的には画素電極上に正孔注入層／正孔輸送層／発光層／電子輸送層の順に形成されるが、正孔輸送層／発光層／

50

電子輸送層、または正孔注入層／正孔輸送層／発光層／電子輸送層／電子注入層のような構造でも良い。本発明では公知のいずれの構造を用いても良いし、E L 層に対して蛍光性色素等をドーピングしても良い。

【0277】

図14の構造はRGBに対応した三種類のEL素子を形成する方式を用いた場合の例である。なお、図14には一つの画素しか図示していないが、同一構造の画素が赤、緑又は青のそれぞれの色に対応して形成され、これによりカラー表示を行うことができる。本発明は発光方式に関わらず実施することが可能である。

【0278】

EL層851の上にはEL素子の陰極852が設けられる。陰極852としては、仕事関数の小さいマグネシウム(Mg)、リチウム(Li)若しくはカルシウム(Ca)を含む材料を用いる。好ましくはMgAg(MgとAgをMg:Ag=10:1で混合した材料)でなる電極を用いれば良い。他にもMgAgAl電極、LiAl電極、また、LiFAl電極が挙げられる。

【0279】

陰極852はEL層851を形成した後、大気解放しないで連続的に形成することが望ましい。陰極852とEL層851との界面状態はEL素子の発光効率に大きく影響するからである。なお、本明細書中では、画素電極(陽極)、EL層及び陰極で形成される発光素子をEL素子8206と呼ぶ。

【0280】

EL層851と陰極852とでなる積層体は、各画素で個別に形成する必要があるが、EL層851は水分に極めて弱いため、通常のフォトリソグラフィ技術を用いることができない。従って、メタルマスク等の物理的なマスク材を用い、真空蒸着法、スパッタ法、プラズマCVD法等の気相法で選択的に形成することが好ましい。

【0281】

なお、EL層を選択的に形成する方法として、インクジェット法、スクリーン印刷法又はスピンコート法等を用いることも可能であるが、これらは現状では陰極の連続形成ができないので、上述の方法の方が好ましいと言える。

【0282】

また、853は保護電極であり、陰極852を外部の水分等から保護すると同時に、各画素の陰極852を接続するための電極である。保護電極853としては、アルミニウム(Al)、銅(Cu)若しくは銀(Ag)を含む低抵抗な材料を用いることが好ましい。この保護電極853にはEL層851の発熱を緩和する放熱効果も期待できる。また、上記EL層851、陰極852を形成した後、大気解放しないで連続的に保護電極853まで形成することも有効である。

【0283】

また、854は第2パッシベーション膜であり、膜厚は10nm~1μm(好ましくは200~500nm)とすれば良い。第2パッシベーション膜854を設ける目的は、EL層851を水分から保護する目的が主であるが、放熱効果をもたせることも有効である。但し、上述のようにEL層851は熱に弱いので、なるべく低温(好ましくは室温から120℃までの温度範囲)で成膜するのが望ましい。従って、プラズマCVD法、スパッタ法、真空蒸着法、イオンプレーティング法又は溶液塗布法(スピンコーティング法)が望ましい成膜方法と言える。

【0284】

本発明は、図14のELディスプレイの構造に限定されるものではなく、図14の構造は本発明を実施する上での好ましい形態の一つに過ぎない。

【0285】

なお本実施例は、実施例1~5と組み合わせて実施することが可能である。

【0286】

(実施例8)

10

20

30

40

50

本実施例では、本発明を用いてＥＬディスプレイを作製した例について説明する。なお、図１５（Ａ）は本発明のＥＬディスプレイの上面図であり、図１５（Ｂ）はその断面図である。

【０２８７】

図１５（Ａ）、（Ｂ）において、４００１は基板、４００２は画素部、４００３はソース信号線駆動回路、４００４はゲート信号線駆動回路であり、それぞれの駆動回路は配線４００５を経てＦＰＣ（フレキシブルプリントサーキット）４００６に至り、外部機器へと接続される。

【０２８８】

このとき、画素部４００２、ソース信号線駆動回路４００３及びゲート信号線駆動回路４００４を囲むようにして第１シール材４１０１、カバー材４１０２、充填材４１０３及び第２シール材４１０４が設けられている。

【０２８９】

図１５（Ｂ）は図１５（Ａ）をＡ－Ａ'で切断した断面図に相当し、基板４００１の上にソース信号線駆動回路４００３に含まれる駆動ＴＦＴ（但し、ここではｎチャネル型ＴＦＴとｐチャネル型ＴＦＴを図示している。）４２０１及び画素部４００２に含まれるＥＬ駆動用ＴＦＴ（ＥＬ素子への電流を制御するＴＦＴ）４２０２が形成されている。

【０２９０】

本実施例では、駆動ＴＦＴ４２０１には公知の方法で作製されたｐチャネル型ＴＦＴまたはｎチャネル型ＴＦＴが用いられ、ＥＬ駆動用ＴＦＴ４２０２には公知の方法で作製されたｐチャネル型ＴＦＴが用いられる。また、画素部４００２にはＥＬ駆動用ＴＦＴ４２０２のゲートに接続された保持容量（図示せず）が設けられる。

【０２９１】

駆動ＴＦＴ４２０１及びＥＬ駆動用ＴＦＴ４２０２の上には樹脂材料でなる層間絶縁膜（平坦化膜）４３０１が形成され、その上にＥＬ駆動用ＴＦＴ４２０２のドレイン領域と電氣的に接続する画素電極（陽極）４３０２が形成される。画素電極４３０２としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものを用いても良い。

【０２９２】

そして、画素電極４３０２の上には絶縁膜４３０３が形成され、絶縁膜４３０３は画素電極４３０２の上に開口部が形成されている。この開口部において、画素電極４３０２の上にはＥＬ（エレクトロルミネッセンス）層４３０４が形成される。ＥＬ層４３０４は公知の有機ＥＬ材料または無機ＥＬ材料を用いることができる。また、有機ＥＬ材料には低分子系（モノマー系）材料と高分子系（ポリマー系）材料があるがどちらを用いても良い。

【０２９３】

ＥＬ層４３０４の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、ＥＬ層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

【０２９４】

ＥＬ層４３０４の上には遮光性を有する導電膜（代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜）からなる陰極４３０５が形成される。また、陰極４３０５とＥＬ層４３０４の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中で両者を連続成膜するか、ＥＬ層４３０４を窒素または希ガス雰囲気中で形成し、酸素や水分に触れさせないまま陰極４３０５を形成するといった工夫が必要である。本実施例ではマルチチャンパー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。

【０２９５】

そして陰極４３０５は４３０６で示される領域において配線４００５に電氣的に接続され

10

20

30

40

50

る。配線 4 0 0 5 は陰極 4 3 0 5 に所定の電圧を与えるための配線であり、異方導電性フィルム 4 3 0 7 を介して F P C 4 0 0 6 に電氣的に接続される。

【 0 2 9 6 】

以上のようにして、画素電極（陽極） 4 3 0 2、E L 層 4 3 0 4 及び陰極 4 3 0 5 からなる E L 素子が形成される。この E L 素子は、第 1 シール材 4 1 0 1 及び第 1 シール材 4 1 0 1 によって基板 4 0 0 1 に貼り合わされたカバー材 4 1 0 2 で囲まれ、充填材 4 1 0 3 により封入されている。

【 0 2 9 7 】

カバー材 4 1 0 2 としては、ガラス材、金属材（代表的にはステンレス材）、セラミックス材、プラスチック材（プラスチックフィルムも含む）を用いることができる。プラスチック材としては、FRP（Fiber glass - Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルを PVF フィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

【 0 2 9 8 】

但し、E L 素子からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

【 0 2 9 9 】

また、充填材 4 1 0 3 としては紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）または EVA（エチレンビニルアセテート）を用いることができる。この充填材 4 1 0 3 の内部に吸湿性物質（好ましくは酸化バリウム）もしくは酸素を吸着しうる物質を設けておくと E L 素子の劣化を抑制できる。

【 0 3 0 0 】

また、充填材 4 1 0 3 の中にスペーサを含有させてもよい。このとき、スペーサを酸化バリウムで形成すればスペーサ自体に吸湿性をもたせることが可能である。また、スペーサを設けた場合、スペーサからの圧力を緩和するバッファ層として陰極 4 3 0 5 上に樹脂膜を設けることも有効である。

【 0 3 0 1 】

また、配線 4 0 0 5 は異方導電性フィルム 4 3 0 7 を介して F P C 4 0 0 6 に電氣的に接続される。配線 4 0 0 5 は画素部 4 0 0 2、ソース信号線駆動回路 4 0 0 3 及びゲート信号線駆動回路 4 0 0 4 に送られる信号を F P C 4 0 0 6 に伝え、F P C 4 0 0 6 により外部機器と電氣的に接続される。

【 0 3 0 2 】

また、本実施例では第 1 シール材 4 1 0 1 の露呈部及び F P C 4 0 0 6 の一部を覆うように第 2 シール材 4 1 0 4 を設け、E L 素子を徹底的に外気から遮断する構造となっている。こうして図 1 5（B）の断面構造を有する E L ディスプレイとなる。

【 0 3 0 3 】

なお本実施例は、実施例 1 ～ 7 と組み合わせて実施することが可能である。

【 0 3 0 4 】

（実施例 9）

本実施例では、図 1 0 で示したソース信号線駆動回路 1 0 2 の詳しい構成について説明する。

【 0 3 0 5 】

シフトレジスタ 1 0 2 a、ラッチ（A）1 0 2 b、ラッチ（B）1 0 2 c、が図 1 6 に示すように配置されている。なお本実施例では、1 組のラッチ（A）1 0 2 b と 1 組のラッチ（B）1 0 2 c が、4 本のソース信号線 $S_t \sim S(t+3)$ に対応している。また本実施例では信号が有する電圧の振幅の幅を変えるレベルシフトを設けなかったが、設計者が適宜設けるようにしても良い。

10

20

30

40

50

【0306】

ソース用クロック信号 $S - CLK$ 、 $S - CLK$ の極性が反転した反転ソース用クロック信号 $S - CLKb$ 、ソース用スタートパルス信号 $S - SP$ 、ソース用駆動方向切り替え信号 $S - SL/R$ はそれぞれ図に示した配線からシフトレジスタ102aに入力される。また外部から入力されるデジタルビデオ信号 (Digital Video Signals) は図に示した配線からラッチ (A) 102bに入力される。ラッチ信号 S_LAT 、 S_LAT の極性が反転した信号 S_LATb はそれぞれ図に示した配線からラッチ (B) 102cに入力される。

【0307】

ラッチ (A) 102bの詳しい構成について、ソース信号線 S_t (t は1～($x-3$)の任意の数) に対応するラッチ (A) 102bの一部801を例にとって説明する。ラッチ (A) 102bの一部801は2つのクロックドインバーターと2つのインバーターを有している。

10

【0308】

ラッチ (A) 102bの一部801の上面図の一例を図17に示す。931a、931bはそれぞれ、ラッチ (A) 102bの一部801が有するインバーターの1つを形成するTF Tの活性層であり、936は該インバータの1つを形成するTF Tの共通のゲート電極である。また932a、932bはそれぞれ、ラッチ (A) 102bの一部801が有するもう1つのインバーターを形成するTF Tの活性層であり、937a、937bは活性層932a、932b上にそれぞれ設けられたゲート電極である。なおゲート電極937a、937bは電氣的に接続されている。

20

【0309】

933a、933bはそれぞれ、ラッチ (A) 102bの一部801が有するクロックドインバーターの1つを形成するTF Tの活性層である。活性層933a上にはゲート電極938a、938bが設けられており、ダブルゲート構造となっている。また活性層933b上にはゲート電極938b、939が設けられており、ダブルゲート構造となっている。

【0310】

934a、934bはそれぞれ、ラッチ (A) 102bの一部801が有するもう1つのクロックドインバーターを形成するTF Tの活性層である。活性層934a上にはゲート電極939、940が設けられており、ダブルゲート構造となっている。また活性層934b上にはゲート電極940、941が設けられており、ダブルゲート構造となっている。

30

【0311】

また、本実施例の構成は、実施例1～8と組み合わせて実施することが可能である。

【0312】

(実施例10)

本実施例では、図10で示したゲート信号線駆動回路103の詳しい構成について説明する。

【0313】

シフトレジスタ103a、バッファ103bが図18に示すように配置されている。なお本実施例では、バッファ103bが1つのゲート信号線につき3つのインバーターを有する構成になっている。インバーターの数はこれに限定されない。また本実施例では信号が有する電圧の振幅の幅を変えるレベルシフトを設けなかったが、設計者が適宜設けるようにしても良い。

40

【0314】

ゲート用クロック信号 $G - CLK$ 、 $G - CLK$ の極性が反転した反転ゲート用クロック信号 $G - CLKb$ 、ゲート用スタートパルス信号 $G - SP$ 、ゲート用駆動方向切り替え信号 $G - SL/R$ はそれぞれ図に示した配線からシフトレジスタ103aに入力される。

【0315】

50

本実施例の構成は、実施例 1 ~ 9 と組み合わせて実施することが可能である。

【 0 3 1 6 】

(実施例 1 1)

本発明の E L ディスプレイにおいて、E L 素子が有する E L 層に用いられる材料は、有機 E L 材料に限定されず、無機 E L 材料を用いても実施できる。但し、現在の無機 E L 材料は非常に駆動電圧が高いため、そのような駆動電圧に耐えうる耐圧特性を有する T F T を用いなければならない。

【 0 3 1 7 】

または、将来的にさらに駆動電圧の低い無機 E L 材料が開発されれば、本発明に適用することは可能である。

10

【 0 3 1 8 】

また、本実施例の構成は、実施例 1 ~ 1 0 と組み合わせて実施することが可能である。

【 0 3 1 9 】

(実施例 1 2)

本発明において、E L 層として用いる有機物質は低分子系有機物質であってもポリマー系（高分子系）有機物質であっても良い。低分子系有機物質は A l q₃（トリス - 8 - キノリライト - アルミニウム）、T P D（トリフェニルアミン誘導体）等を中心とした材料が知られている。ポリマー系有機物質として、 π 共役ポリマー系の物質が挙げられる。代表的には、P P V（ポリフェニレンビニレン）、P V K（ポリビニルカルバゾール）、ポリカーボネート等が挙げられる。

20

【 0 3 2 0 】

ポリマー系（高分子系）有機物質は、スピンコーティング法（溶液塗布法ともいう）、ディッピング法、ディスペンス法、印刷法またはインクジェット法など簡易な薄膜形成方法で形成でき、低分子系有機物質に比べて耐熱性が高い。

【 0 3 2 1 】

また本発明の E L ディスプレイが有する E L 素子において、その E L 素子が有する E L 層が、電子輸送層と正孔輸送層とを有している場合、電子輸送層と正孔輸送層とを無機の材料、例えば非晶質の S i または非晶質の S i_{1-x}C_x等の非晶質半導体で構成しても良い。

【 0 3 2 2 】

非晶質半導体には多量のトラップ準位が存在し、かつ非晶質半導体が他の層と接する界面において多量の界面準位を形成する。そのため、E L 素子は低い電圧で発光させることができるとともに、高輝度化を図ることもできる。

30

【 0 3 2 3 】

また有機 E L 層にドーパント（不純物）を添加し、有機 E L 層の発光の色を変化させても良い。ドーパントとして、D C M 1、ナイルレッド、ルブレン、クマリン 6、T P B、キナクリドン等が挙げられる。

【 0 3 2 4 】

なお本実施例は、実施例 1 ~ 1 1 と組み合わせて実施することが可能である。

【 0 3 2 5 】

(実施例 1 3)

本実施例では、本発明の E L ディスプレイの駆動方法を用いた場合、どのような電圧電流特性を有する領域で E L 駆動用 T F T を駆動させるのが好ましいか、図 1 9 ~ 2 0 を用いて説明する。

40

【 0 3 2 6 】

E L 素子は、印加される電圧が少しでも変化すると、それに対して E L 素子を通る電流が指数関数的に大きく変化する。別の見方をすると、E L 素子を通る電流の大きさが変化しても、E L 素子に印加される電圧値はあまり変化しない。そして、E L 素子の輝度は、E L 素子に通る電流にほぼ正比例して大きくなる。よって、E L 素子に印加される電圧の大きさ（電圧値）を制御することにより E L 素子の輝度を制御するよりも、E L 素子を通る電流の大きさ（電流量）を制御することにより E L 素子の輝度を制御する方が、

50

TFTの特性に左右されずらく、EL素子の輝度の制御が容易である。

【0327】

図19を参照する。図19(A)は、図3に示した本発明のELディスプレイの画素において、EL駆動用TFT108およびEL素子110の構成部分のみを図示したものである。

【0328】

図19(B)には、図19(A)で示したEL駆動用TFT108およびEL素子110の電圧電流特性を示す。なお図19で示すEL駆動用TFT108の電圧電流特性のグラフは、ソース領域とドレイン領域の間の電圧である V_{DS} に対する、EL駆動用TFT108のドレイン領域に流れる電流の大きさを示しており、図19にはEL駆動用TFT108のソース領域とゲート電極の間の電圧である V_{GS} の値の異なる複数のグラフを示している。

10

【0329】

図19(A)に示したように、EL素子110の画素電極と対向電極111の間にかかる電圧を V_{EL} 、電源供給線に接続される端子3601とEL素子110の対向電極111の間にかかる電圧を V_T とする。なお V_T は電源供給線の電位によってその値が固定される。またEL駆動用TFT108のソース領域・ドレイン領域間の電圧を V_{DS} 、EL駆動用TFT108のゲート電極に接続される配線3602とソース領域との間の電圧、つまりEL駆動用TFT108のゲート電極とソース領域の間の電圧を V_{GS} とする。

【0330】

EL駆動用TFT108はnチャネル型TFTでもpチャネル型TFTでもどちらでも良い。

20

【0331】

また、EL駆動用TFT108とEL素子110とは直列に接続されている。よって、両素子(EL駆動用TFT108とEL素子110)を流れる電流量は同じである。従って、図19(A)に示したEL駆動用TFT108とEL素子110とは、両素子の電圧電流特性を示すグラフの交点(動作点)において駆動する。図19(B)において、 V_{EL} は、対向電極111の電位と動作点での電位との間の電圧になる。 V_{DS} は、EL駆動用TFT108の端子3601での電位と動作点での電位との間の電圧になる。つまり、 V_T は、 V_{EL} と V_{DS} の和に等しい。

30

【0332】

ここで、 V_{GS} を変化させた場合について考える。図19(B)から分かるように、EL駆動用TFT108の $|V_{GS} - V_{TH}|$ が大きくなるにつれて、言い換えると $|V_{GS}|$ が大きくなるにつれて、EL駆動用TFT108に流れる電流量が大きくなる。なお、 V_{TH} はEL駆動用TFT108のしきい値電圧である。よって図19(B)から分かるように、 $|V_{GS}|$ が大きくなると、動作点においてEL素子110を流れる電流量も当然大きくなる。EL素子110の輝度は、EL素子110を流れる電流量に比例して高くなる。

【0333】

$|V_{GS}|$ が大きくなることによってEL素子110を流れる電流量が大きくなると、電流量に応じて V_{EL} の値も大きくなる。そして V_T の大きさは電源供給線の電位によって定まっているので、 V_{EL} が大きくなると、その分 V_{DS} が小さくなる。

40

【0334】

また図19(B)に示したように、EL駆動用TFT108の電圧電流特性は、 V_{GS} と V_{DS} の値によって2つの領域に分けられる。 $|V_{GS} - V_{TH}| < |V_{DS}|$ である領域が飽和領域、 $|V_{GS} - V_{TH}| > |V_{DS}|$ である領域が線形領域である。

【0335】

飽和領域においては以下の式1が成り立つ。なお I_{DS} はEL駆動用TFT108のチャネル形成領域を流れる電流量である。また $\beta = \mu C_0 W / L$ であり、 μ はEL駆動用TFT108の移動度、 C_0 は単位面積あたりのゲート容量、 W / L はチャネル形成領域のチャネル幅 W とチャネル長 L の比である。

50

【 0 3 3 6 】

【 式 1 】

$$I_{DS} = \beta (V_{GS} - V_{TH})^2 / 2$$

【 0 3 3 7 】

また線形領域においては以下の式 2 が成り立つ。

【 0 3 3 8 】

【 式 2 】

$$I_{DS} = \beta \{ (V_{GS} - V_{TH}) V_{DS} - V_{DS}^2 / 2 \}$$

【 0 3 3 9 】

式 1 からわかるように、飽和領域において電流量は V_{DS} によってほとんど変化せず、 V_{GS} のみによって電流量が定まる。

10

【 0 3 4 0 】

一方、式 2 からわかるように、線形領域は、 V_{DS} と V_{GS} とにより電流量が定まる。 $|V_{GS}|$ を大きくしていくと、EL 駆動用 TFT 108 は線形領域で動作するようになる。そして、 V_{EL} も徐々に大きくなっていく。よって、 V_{EL} が大きくなった分だけ、 V_{DS} が小さくなっていく。線形領域では、 V_{DS} が小さくなると電流量も小さくなる。そのため、 $|V_{GS}|$ を大きくしていっても、電流量は増加しにくくなってくる。 $|V_{GS}| = \infty$ になった時、電流量 = I_{MAX} となる。つまり、 $|V_{GS}|$ をいくら大きくしても、 I_{MAX} 以上の電流は流れない。ここで、 I_{MAX} は、 $V_{EL} = V_T$ の時に、EL 素子 110 を流れる電流量である。

【 0 3 4 1 】

20

このように $|V_{GS}|$ の大きさを制御することによって、動作点を飽和領域にしたり、線形領域にしたりすることができる。

【 0 3 4 2 】

ところで、全ての画素の EL 駆動用 TFT 108 は、理想的には全て同じ特性を有していることが望ましいが、実際には個々の EL 駆動用 TFT でしきい値 V_{TH} と移動度 μ とが異なっていることが多い。そして個々の EL 駆動用 TFT 108 のしきい値 V_{TH} と移動度 μ とが互いに異なると、式 1 及び式 2 からわかるように、 V_{GS} の値が同じでも EL 駆動用 TFT 108 のチャネル形成領域を流れる電流量が異なってしまう。

【 0 3 4 3 】

図 20 にしきい値 V_{TH} と移動度 μ とがずれた EL 駆動用 TFT 108 の電流電圧特性を示す。実線 3701 が理想の電流電圧特性のグラフであり、3702、3703 がそれぞれしきい値 V_{TH} と移動度 μ とが理想とする値と異なってしまった場合の EL 駆動用 TFT の電流電圧特性である。電流電圧特性のグラフ 3702、3703 は飽和領域においては同じ電流量 ΔI_1 だけ、理想の特性を有する電流電圧特性のグラフ 3701 からずれていて、電流電圧特性のグラフ 3702 の動作点 3705 は飽和領域にあり、電流電圧特性のグラフ 3703 の動作点 3706 は線形領域にあったとする。その場合、理想の特性を有する電流電圧特性のグラフ 3701 の動作点 3704 における電流量と、動作点 3705 及び動作点 3706 における電流量のずれをそれぞれ ΔI_2 、 ΔI_3 とすると、飽和領域における動作点 3705 よりも線形領域における動作点 3706 の方が小さい。

30

【 0 3 4 4 】

40

よって本発明で示したデジタル方式の駆動方法を用いる場合、動作点が線形領域に存在するように EL 駆動用 TFT と EL 素子を駆動させることで、EL 駆動用 TFT の特性のずれによる EL 素子の輝度むらを抑えた階調表示を行うことができる。

【 0 3 4 5 】

また従来のアナログ駆動の場合は、 $|V_{GS}|$ のみによって電流量を制御することが可能な飽和領域に動作点が存在するように EL 駆動用 TFT と EL 素子を駆動させる方が好ましい。

【 0 3 4 6 】

以上の動作分析のまとめとして、EL 駆動用 TFT のゲート電圧 $|V_{GS}|$ に対する電流量のグラフを図 21 に示す。 $|V_{GS}|$ を大きくしていき、EL 駆動用 TFT のしきい値電圧

50

の絶対値 $|V_{TH}|$ よりも大きくなると、EL駆動用TFTが導通状態となり、電流が流れ始める。本明細書ではこの時の $|V_{GS}|$ を点灯開始電圧と呼ぶことにする。そして、さらに $|V_{GS}|$ を大きくしていくと、 $|V_{GS}|$ が $|V_{GS} - V_{TH}| = |V_{DS}|$ を満たすような値（ここでは仮にAとする）となり、飽和領域3801から線形領域3802になる。さらに $|V_{GS}|$ を大きくしていくと、電流量が大きくなり、遂には、電流量が飽和してくる。その時 $|V_{GS}| = \infty$ となる。

【0347】

図21から分かる通り、 $|V_{GS}| < |V_{TH}|$ の領域では、電流がほとんど流れない。 $|V_{TH}| < |V_{GS}| < A$ の領域は飽和領域であり、 $|V_{GS}|$ によって電流量が変化する。そして、 $A < |V_{GS}|$ の領域は線形領域であり、EL素子に流れる電流量は $|V_{GS}|$ 及び $|V_{DS}|$ によって電流量が変化する。

10

【0348】

本発明のデジタル駆動では、 $|V_{GS}| < |V_{TH}|$ の領域及び $A < |V_{GS}|$ の線形領域を用いることが好ましい。

【0349】

なお本実施例は、実施例1～12と組み合わせて実施することが可能である。

【0350】

（実施例14）

本発明において、三重項励起子からの燐光を発光に利用できるEL材料を用いることで、外部発光量子効率を飛躍的に向上させることができる。これにより、EL素子の低消費電力化、長寿命化、および軽量化が可能になる。

20

【0351】

ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。

(T.Tsutsui, C.Adachi, S.Saito, Photochemical Processes in Organized Molecular Systems, ed.K.Honda, (Elsevier Sci.Pub., Tokyo,1991) p.437.)

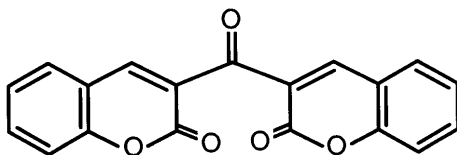
【0352】

上記の論文により報告されたEL材料（クマリン色素）の分子式を以下に示す。

【0353】

【化1】

30



【0354】

(M.A.Baldo, D.F.O'Brien, Y.You, A.Shoustikov, S.Sibley, M.E.Thompson, S.R.Forrest, Nature 395 (1998) p.151.)

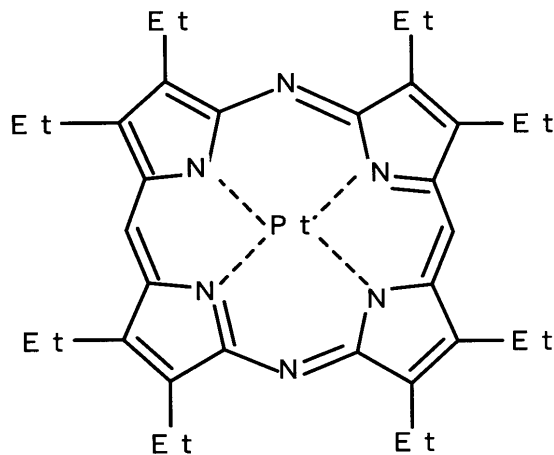
【0355】

上記の論文により報告されたEL材料（Pt錯体）の分子式を以下に示す。

40

【0356】

【化2】



10

【 0 3 5 7 】

(M.A.Baldo, S.Lamansky, P.E.Burrows, M.E.Thompson, S.R.Forrest, Appl.Phys.Lett., 75 (1999) p.4.) (T.Tsutsui, M.-J.Yang, M.Yahiro, K.Nakamura, T.Watanabe, T.tsuji, Y.Fukuda, T.Wakimoto, S.Mayaguchi, Jpn.Appl.Phys., 38 (12B) (1999) L1502.)

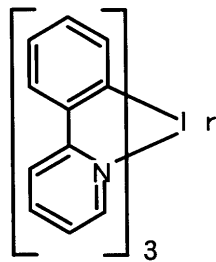
【 0 3 5 8 】

上記の論文により報告された E L 材料 (I r 錯体) の分子式を以下に示す。

20

【 0 3 5 9 】

【 化 3 】



30

【 0 3 6 0 】

以上のように三重項励起子からの燐光発光を利用できれば原理的には一重項励起子からの蛍光発光を用いる場合より 3 ~ 4 倍の高い外部発光量子効率の実現が可能となる。

【 0 3 6 1 】

なお本実施例は、実施例 1 ~ 1 3 と組み合わせて実施することが可能である。

【 0 3 6 2 】

(実施例 1 5)

本実施例では、本発明の表示パネルに F P C や T A B 等のコネクタを接続し、実際に製品として出荷することができる形態にした場合について説明する。

40

【 0 3 6 3 】

図 2 2 において、1 8 0 1 は画素部であり複数の画素が設けられている。画素部 1 8 0 1 と、画素部 1 8 0 1 が有する配線を外部へ接続するコネクタとを有するモジュールを本明細書では表示パネル 1 8 0 6 と呼ぶ。

【 0 3 6 4 】

1 8 0 2 はソース信号線駆動回路、1 8 0 3 はゲート信号線駆動回路である。ソース信号線駆動回路 1 8 0 2 とゲート信号線駆動回路 1 8 0 3 はいくつ設けられていても良い。

【 0 3 6 5 】

ソース信号線駆動回路 1 8 0 2 及びゲート信号線駆動回路 1 8 0 3 からなる駆動回路と、

50

画素部 1801 と、画素部 1801 が有する配線及び駆動回路が有する配線を外部へ接続するコネクタとを有するモジュールを、本明細書では駆動回路付表示パネル 1807 と呼ぶ。駆動回路付表示パネル 1807 は表示パネル 1806 に駆動回路を付けたものである。

【0366】

駆動回路付表示パネル 1807 は、駆動回路と画素部 1801 とが別の基板上に設けられ FPC や TAB 等のコネクタにより接続されている場合と、駆動回路と画素部 1801 とが同じ基板上に設けられている場合とがある。本明細書では、前者を駆動回路外付型駆動回路付表示パネルと呼び、後者を駆動回路一体形成型駆動回路付表示パネルと呼ぶ。

【0367】

図 23 (A) に駆動回路外付け型駆動回路付表示パネルの上面図を示す。基板 1810 上に画素部 1801 が設けられており、画素部 1801 が有する配線は FPC 1811 を介して、外付用基板 1814 上に設けられたソース信号線駆動回路 1802 とゲート信号線駆動回路 1803 とに接続されている。そして外部接続用 FPC 1811 により、ソース信号線駆動回路 1802 及びゲート信号線駆動回路 1803 と、画素部 1801 とが有する配線が外部へ接続されている。

【0368】

なお図 23 (A) では、画素部 1801 が設けられている基板 1810 が外付用基板 1814 上に設けられている例を示したが、本実施例はこの構成に限定されない。基板 1810 は外付用基板 1814 上に設けられていなくても良い。

【0369】

図 23 (B) に駆動回路一体形成型駆動回路付表示パネルの上面図を示す。基板 1810 上に画素部 1801、ソース信号線駆動回路 1802 及びゲート信号線駆動回路 1803 が設けられている。画素部 1801、ソース信号線駆動回路 1802 及びゲート信号線駆動回路 1803 が有する配線は外部接続用 FPC 1812 を介して、外部へ接続されている。

【0370】

なお図 23 において、ソース信号線駆動回路 1802 及びゲート信号線駆動回路 1803 の数はこれに限定されず、設計者が自由に設定することができる。

【0371】

図 22 において、1804 はコントローラであり、駆動回路を駆動し画素部に 1801 に画像を表示させるための機能を有している。例えば、外部から入力された画像情報を有する信号をソース信号線駆動回路 1802 に入力したり、駆動回路が駆動するための信号（例えばクロック信号 (CLK)、スタートパルス信号 (SP)）を生成したり、駆動回路や画素部 1801 に電圧または電流を供給するための電源としての機能を有している。

【0372】

駆動回路（ソース信号線駆動回路 1802 及びゲート信号線駆動回路 1803）と、画素部 1801 と、コントローラ 1804 と、画素部 1801、駆動回路、及びコントローラがそれぞれ有する配線を外部へ接続するコネクタとを有するモジュールを、本明細書ではコントローラ及び駆動回路付表示パネル 1808 と呼ぶ。コントローラ及び駆動回路付表示パネル 1808 は、表示パネル 1806 に駆動回路及びコントローラを付けたものである。

【0373】

1805 はマイコンであり、コントローラの駆動を制御している。マイコン 1805 と、駆動回路と、画素部 1801 と、コントローラ 1804 と、画素部 1801、駆動回路、及びコントローラがそれぞれ有する配線を外部へ接続するコネクタとを有するモジュールを、本明細書ではマイコン及びコントローラ及び駆動回路付表示パネル 1809 と呼ぶ。マイコン及びコントローラ及び駆動回路付表示パネル 1809 は、表示パネル 1806 に駆動回路及びコントローラを付けたものである。

【0374】

なお実際には、表示パネル 1806、駆動回路付表示パネル 1807、コントローラー及び駆動回路付表示パネル 1808 またはマイコン及びコントローラー及び駆動回路付表示パネル 1809 の形態で製品として出荷される。本明細書において、表示パネル 1806、駆動回路付表示パネル 1807、コントローラー及び駆動回路付表示パネル 1808 及びマイコン及びコントローラー及び駆動回路付表示パネル 1809 を全てモジュール（表示ディスプレイ）と呼ぶ。本発明の EL ディスプレイは表示ディスプレイの 1 つである。

【0375】

（実施例 16）

本発明の表示ディスプレイを応用した EL ディスプレイは、自発光型であるため明るい場所での視認性に優れ、しかも視野角が広い。従って、様々な電子機器の表示部として用いることが出来る。例えば、TV 放送等を大画面で鑑賞するには対角 30 インチ以上（典型的には 40 インチ以上）の EL ディスプレイの表示部において本発明の表示ディスプレイを用いると良い。

10

【0376】

なお、EL ディスプレイには、パソコン用表示装置、TV 放送受信表示装置、広告表示用表示装置等の全ての情報表示用表示装置が含まれる。また、その他にも様々な電子機器の表示部に本発明の表示ディスプレイを用いることが出来る。

【0377】

その様な本発明の電子機器としては、ビデオカメラ、デジタルカメラ、ゴーグル型表示装置（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的には Digital Versatile Disc（DVD）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。特に、斜め方向から見ることの多い携帯情報端末は視野角の広さが重要視されるため、EL ディスプレイを用いることが望ましい。それら電子機器の具体例を図 24 および図 25 に示す。

20

【0378】

図 24（A）は EL モニターであり、筐体 3301、支持台 3302、表示部 3303 等を含む。本発明の表示ディスプレイは表示部 3303 にて用いることが出来る。

【0379】

図 24（B）はビデオカメラであり、本体 3311、表示部 3312、音声入力部 3313、操作スイッチ 3314、バッテリー 3315、受像部 3316 等を含む。本発明の表示ディスプレイは表示部 3312 にて用いることが出来る。

30

【0380】

図 24（C）はヘッドマウント EL ディスプレイの一部（右片側）であり、本体 3321、信号ケーブル 3322、頭部固定バンド 3323、スクリーン部 3324、光学系 3325、表示部 3326 等を含む。本発明の表示ディスプレイは表示部 3326 にて用いることが出来る。

【0381】

図 24（D）は記録媒体を備えた画像再生装置（具体的には DVD 再生装置）であり、本体 3331、記録媒体（DVD 等） 3332、操作スイッチ 3333、表示部（a） 3334、表示部（b） 3335 等を含む。表示部（a） 3334 は主として画像情報を表示し、表示部（b） 3335 は主として文字情報を表示するが、本発明の表示ディスプレイはこれら表示部（a） 3334、表示部（b） 3335 にて用いることが出来る。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

40

【0382】

図 24（E）はゴーグル型表示装置（ヘッドマウントディスプレイ）であり、本体 3341、表示部 3342、アーム部 3343 を含む。本発明の表示ディスプレイは表示部 3342 にて用いることが出来る。

【0383】

50

図 2 4 (F) はパーソナルコンピュータであり、本体 3 3 5 1、筐体 3 3 5 2、表示部 3 3 5 3、キーボード 3 3 5 4 等を含む。本発明の表示ディスプレイは表示部 3 3 5 3 にて用いることが出来る。

【 0 3 8 4 】

なお、将来的に E L 材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影して、E L ディスプレイを用いたフロント型あるいはリア型のプロジェクターも実現可能となる。

【 0 3 8 5 】

また、上記電子機器はインターネットや C A T V (ケーブルテレビ) などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。E L 材料の応答速度は非常に高いため、E L ディスプレイは動画表示に好ましい。

10

【 0 3 8 6 】

また、E L ディスプレイは発光している部分が電力を消費するため、省消費電力化のためには発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に E L ディスプレイを用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【 0 3 8 7 】

図 2 5 (A) は携帯電話であり、本体 3 4 0 1、音声出力部 3 4 0 2、音声入力部 3 4 0 3、表示部 3 4 0 4、操作スイッチ 3 4 0 5、アンテナ 3 4 0 6 を含む。本発明の表示ディスプレイは表示部 3 4 0 4 にて用いることが出来る。なお、表示部 3 4 0 4 は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることが出来る。

20

【 0 3 8 8 】

図 2 5 (B) は音響再生装置、具体的にはカーオーディオであり、本体 3 4 1 1、表示部 3 4 1 2、操作スイッチ 3 4 1 3、3 4 1 4 を含む。本発明の表示ディスプレイは表示部 3 4 1 2 にて用いることが出来る。また、本実施例では車載用オーディオを示すが、携帯型や家庭用の音響再生装置に用いても良い。なお、表示部 3 4 1 4 は黒色の背景に白色の文字を表示することで消費電力を抑えられる。これは携帯型の音響再生装置において特に有効である。

30

【 0 3 8 9 】

図 2 5 (C) はデジタルカメラであり、本体 3 5 0 1、表示部 (A) 3 5 0 2、接眼部 3 5 0 3、操作スイッチ 3 5 0 4、表示部 (B) 3 5 0 5、バッテリー 3 5 0 6 を含む。本発明の表示パネルは、表示部 (A) 3 5 0 2、表示部 (B) 3 5 0 5 にて用いることが出来る。また、表示部 (B) 3 5 0 5 を、主に操作用パネルとして用いる場合、黒色の背景に白色の文字を表示することで消費電力を抑えることが出来る。

【 0 3 9 0 】

また、本実施例にて示した携帯型電子機器においては、消費電力を低減するための方法としては、外部の明るさを感知するセンサ部を設け、暗い場所を使用する際には、表示部の輝度を落とすなどの機能を付加するなどといった方法が挙げられる。

40

【 0 3 9 1 】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施例 1 ~ 実施例 1 5 に示したいずれの構成を適用しても良い。

【 0 3 9 2 】

【 発明の効果 】

本発明は上記構成によって、T F T によって $I_{DS} - V_{GS}$ 特性に多少のばらつきがあっても、等しいゲート電圧がかかったときに出力される電流量のばらつきを抑えることができる。よって $I_{DS} - V_{GS}$ 特性のパラツキによって、同じ電圧の信号を入力しても E L 素子の発光量が隣接画素で大きく異なってしまうという事態を避けることが可能になる。

50

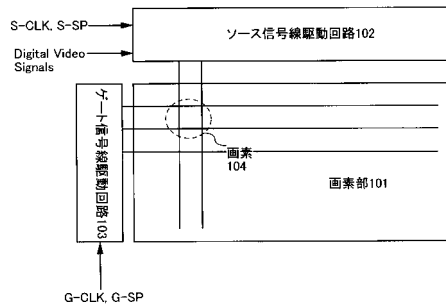
【 0 3 9 3 】

また、本発明では、表示を行わない非発光期間を設けることができる。従来のアナログ駆動の場合、E Lディスプレイに全白の画像を表示させると、常にE L素子が発光することになり、E L層の劣化を早める原因となってしまう。本発明は非発光期間を設けることができるので、E L層の劣化をある程度抑えることができる。

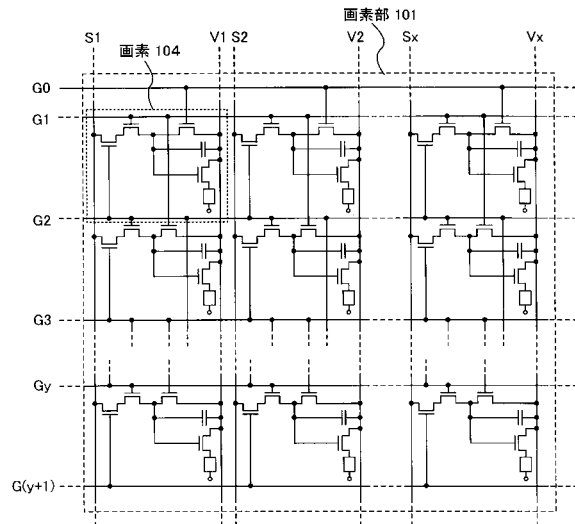
【図面の簡単な説明】

- 【図 1】 本発明のE Lディスプレイの回路構成を示すブロック図。
- 【図 2】 本発明のE Lディスプレイの画素部の回路図。
- 【図 3】 本発明のE Lディスプレイの画素の回路図。
- 【図 4】 本発明のE Lディスプレイの駆動方法を示す図。 10
- 【図 5】 本発明の駆動方法における選択信号のタイミングチャート。
- 【図 6】 本発明のE Lディスプレイの駆動方法を示す図。
- 【図 7】 本発明のE Lディスプレイの駆動方法を示す図。
- 【図 8】 本発明のE Lディスプレイの駆動方法を示す図。
- 【図 9】 本発明のE Lディスプレイの画素上面図。
- 【図 10】 本発明のE Lディスプレイの駆動回路の構成を示すブロック図。
- 【図 11】 本発明のE Lディスプレイの作製行程を示す図。
- 【図 12】 本発明のE Lディスプレイの作製行程を示す図。
- 【図 13】 本発明のE Lディスプレイの作製行程を示す図。
- 【図 14】 本発明のE Lディスプレイの断面詳細図。 20
- 【図 15】 本発明のE Lディスプレイの上面図及び断面図。
- 【図 16】 本発明のE Lディスプレイのソース信号線駆動回路の回路図。
- 【図 17】 本発明のE Lディスプレイのソース信号線駆動回路のラッチ上面図。
- 【図 18】 本発明のE Lディスプレイのゲート信号線駆動回路の回路図。
- 【図 19】 E L素子とE L駆動用T F Tの接続の構成を示す図と、E L素子とE L駆動用T F Tの電圧電流特性を示す図。
- 【図 20】 E L素子とE L駆動用T F Tの電圧電流特性を示す図。
- 【図 21】 E L駆動用T F Tのゲート電圧とドレイン電流の関係を示す図。
- 【図 22】 本発明の表示ディスプレイのブロック図。
- 【図 23】 本発明の表示ディスプレイの1つである駆動回路付表示パネルの上面図。 30
- 【図 24】 本発明のE Lディスプレイを用いた電子機器。
- 【図 25】 本発明のE Lディスプレイを用いた電子機器。
- 【図 26】 従来のE Lディスプレイの画素部の回路図。
- 【図 27】 従来のE Lディスプレイの駆動方法を示すタイミングチャート。
- 【図 28】 T F Tの $I_{DS} - V_{GS}$ 特性を示す図。

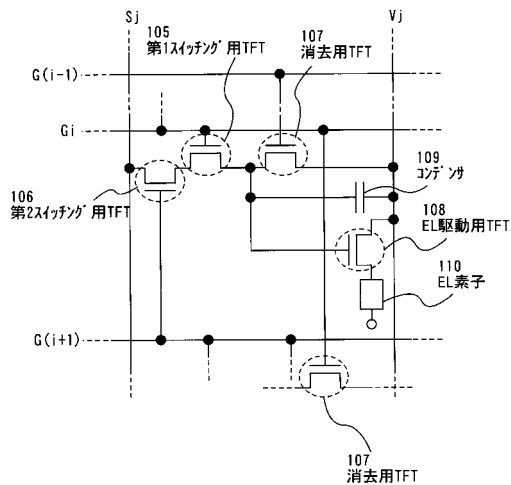
【図 1】



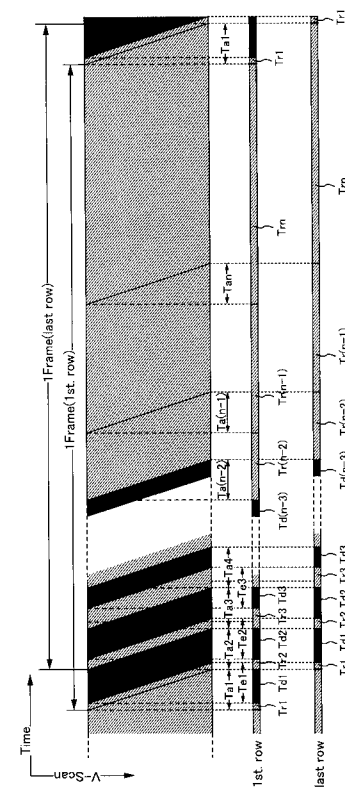
【図 2】



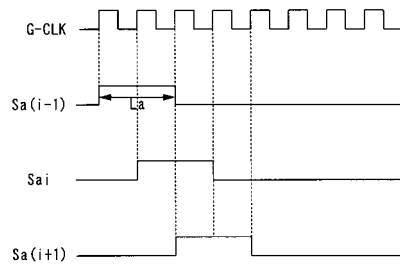
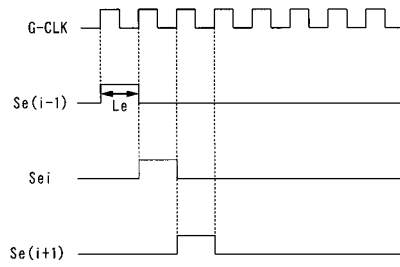
【図 3】



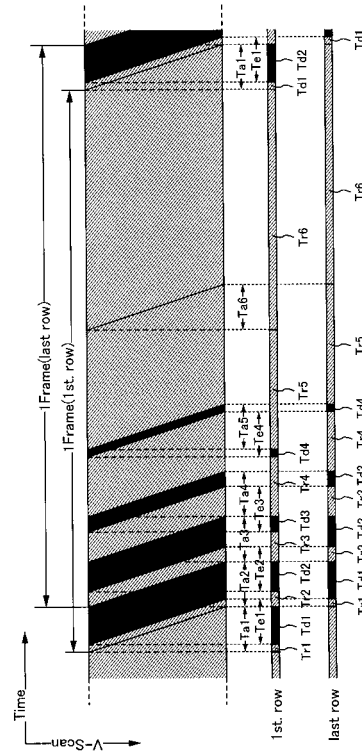
【図 4】



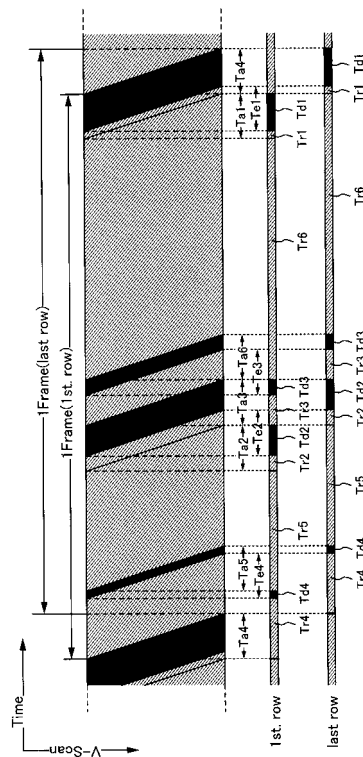
【図 5】

(A) 書き込み期間 (T_a)(B) 消去期間 (T_d)

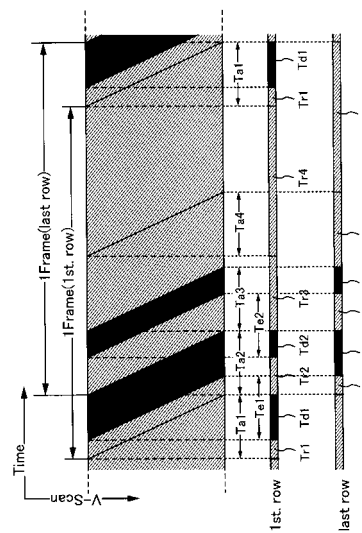
【図 6】



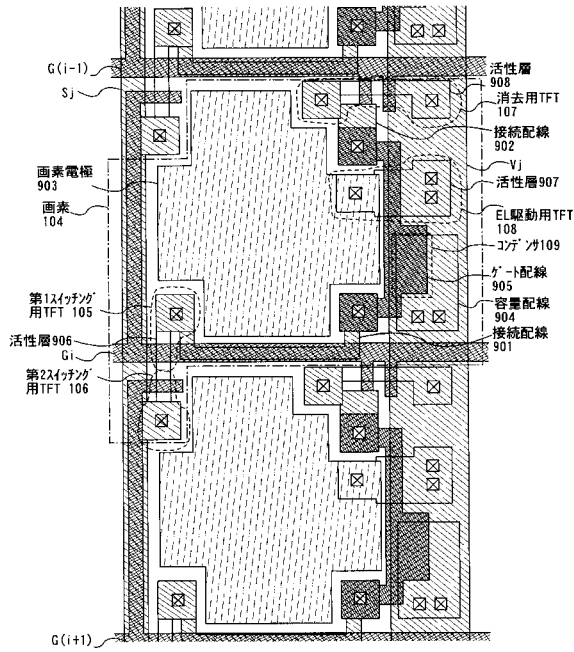
【図 7】



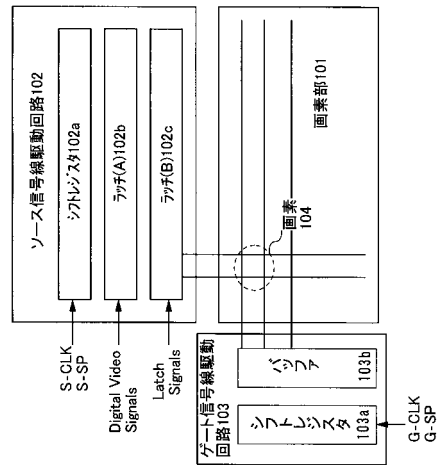
【図 8】



【図 9】

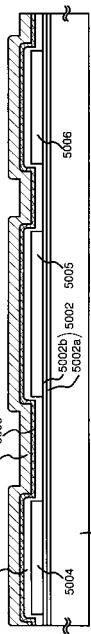


【図 10】

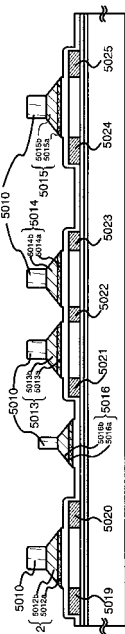


【図 11】

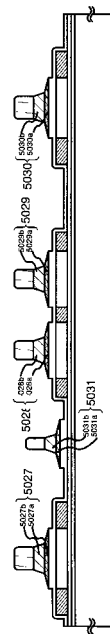
(A) 島状半導体層、ゲート絶縁膜、ゲート電極用第1・第2の導電膜の形成



(B) 第1のエッチング処理 第10のドーピング処理



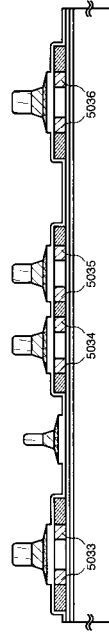
(C) 第2のエッチング処理



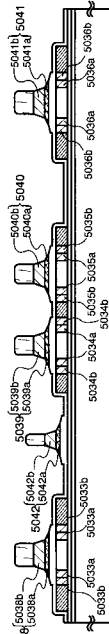
5001: 基板
5008: 第1の導電膜
5009: 第2の導電膜
5010: レジストマスク
5011: 半導体層
5012: ゲート絶縁膜
5013: 第1の導電膜
5014: 第2の導電膜
5015: 第1の導電膜
5016: 第2の導電膜
5017: 第1の導電膜
5018: 第2の導電膜
5019: 第1の導電膜
5020: 第2の導電膜
5021: 第1の導電膜
5022: 第2の導電膜
5023: 第1の導電膜
5024: 第2の導電膜
5025: 第1の導電膜
5026: 第2の導電膜
5027: 第1の導電膜
5028: 第2の導電膜
5029: 第1の導電膜
5030: 第2の導電膜
5031: 第1の導電膜
5032: 第2の導電膜
5033: 第1の導電膜
5034: 第2の導電膜
5035: 第1の導電膜
5036: 第2の導電膜
5037: 第1の導電膜
5038: 第2の導電膜
5039: 第1の導電膜
5040: 第2の導電膜
5041: 第1の導電膜
5042: 第2の導電膜
5043: 第1の導電膜
5044: 第2の導電膜
5045: 第1の導電膜
5046: 第2の導電膜
5047: 第1の導電膜
5048: 第2の導電膜
5049: 第1の導電膜
5050: 第2の導電膜
5051: 第1の導電膜
5052: 第2の導電膜
5053: 第1の導電膜
5054: 第2の導電膜

【図 12】

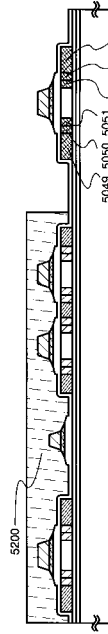
(A) 第20のドーピング処理



(B) 第30のエッチング処理

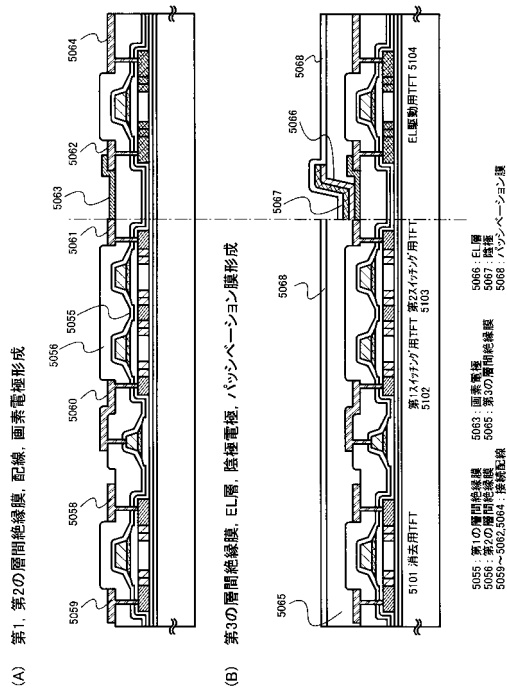


(C) 第30のドーピング処理

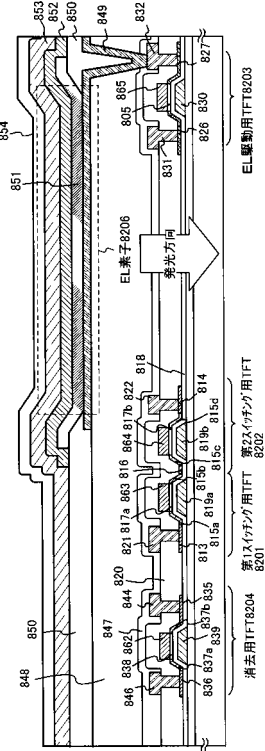


5033: 第1の導電膜
5034: 第2の導電膜
5035: 第1の導電膜
5036: 第2の導電膜
5037: 第1の導電膜
5038: 第2の導電膜
5039: 第1の導電膜
5040: 第2の導電膜
5041: 第1の導電膜
5042: 第2の導電膜
5043: 第1の導電膜
5044: 第2の導電膜
5045: 第1の導電膜
5046: 第2の導電膜
5047: 第1の導電膜
5048: 第2の導電膜
5049: 第1の導電膜
5050: 第2の導電膜
5051: 第1の導電膜
5052: 第2の導電膜
5053: 第1の導電膜
5054: 第2の導電膜

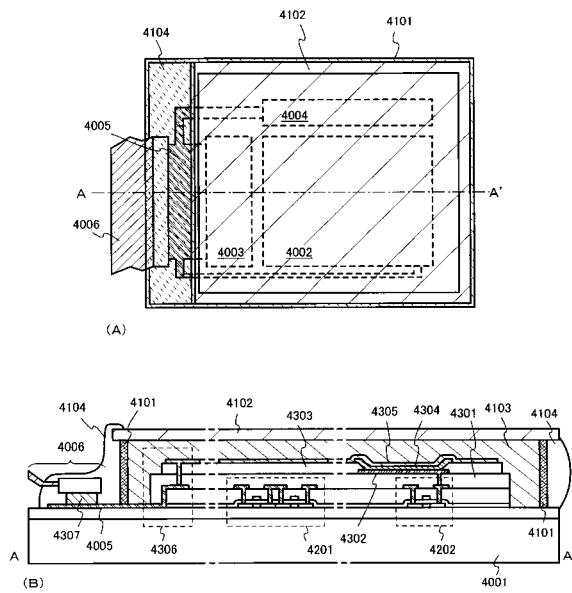
【図 13】



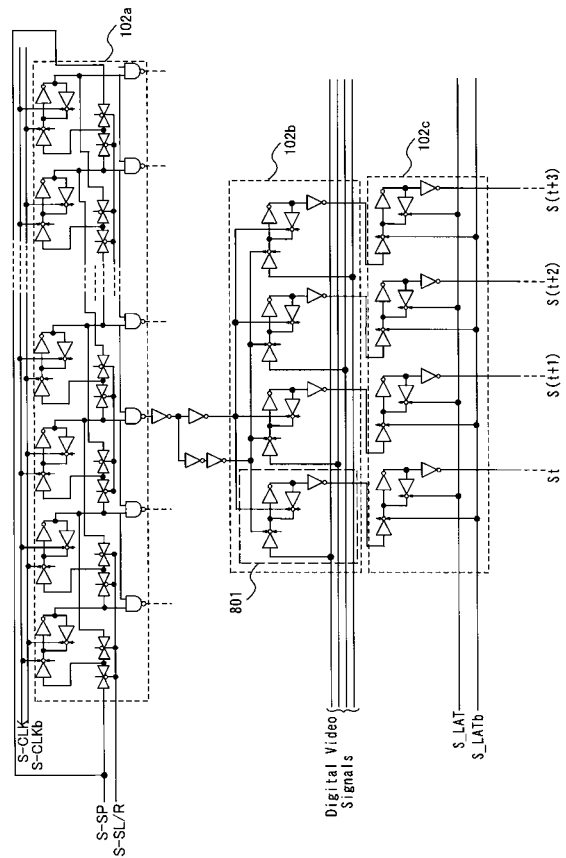
【図 14】



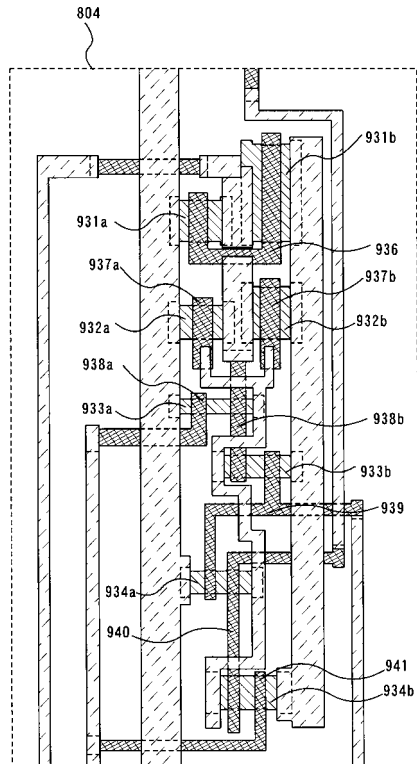
【図 15】



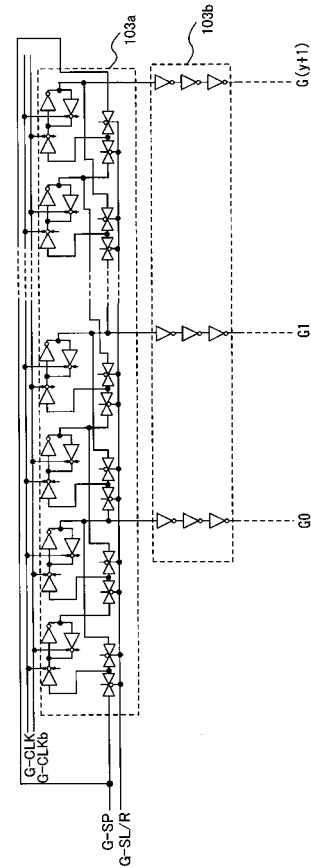
【図 16】



【図 17】

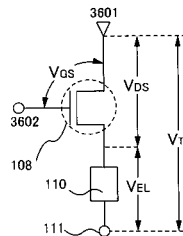


【図 18】

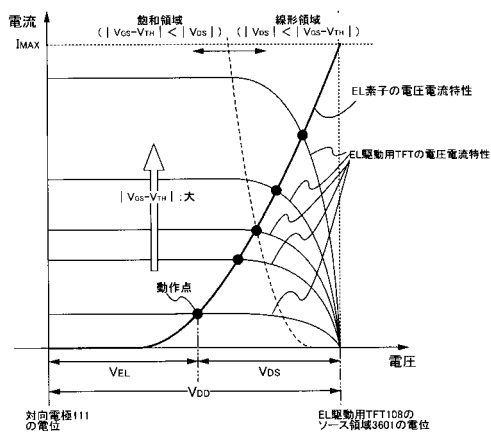


【図 19】

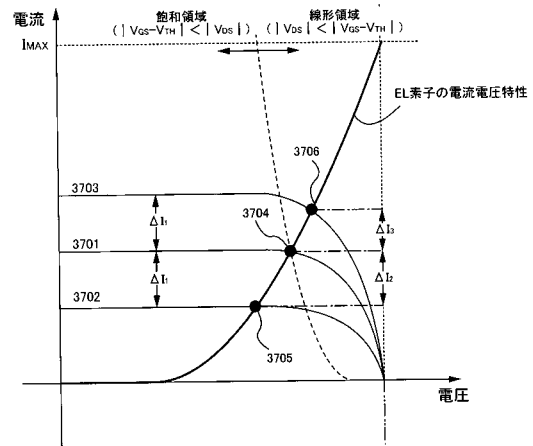
(A)



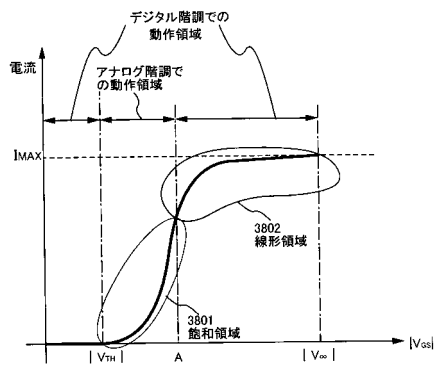
(B)



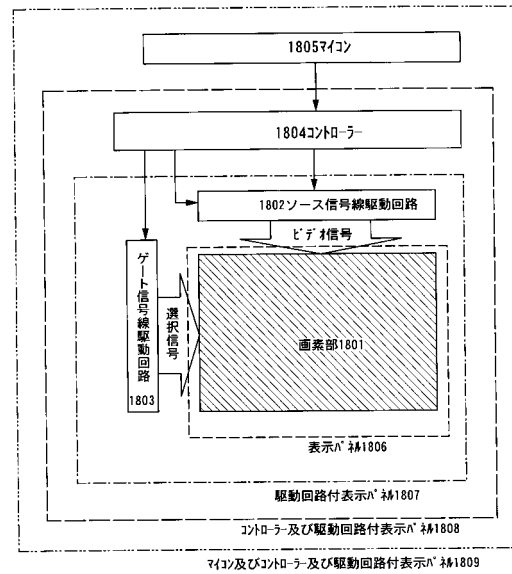
【図 20】



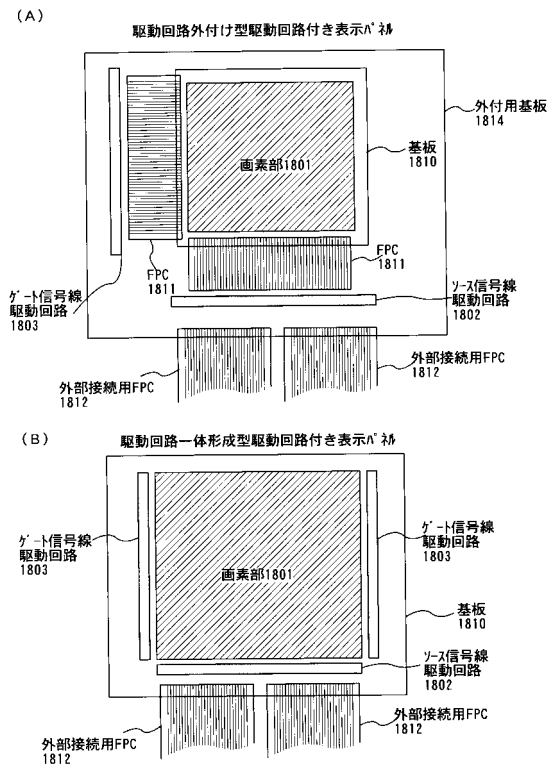
【図 2 1】



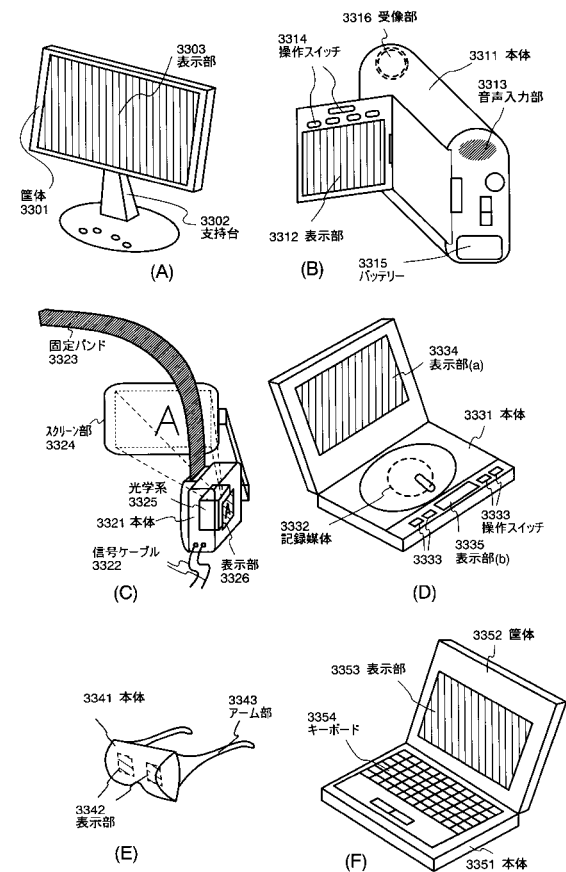
【図 2 2】



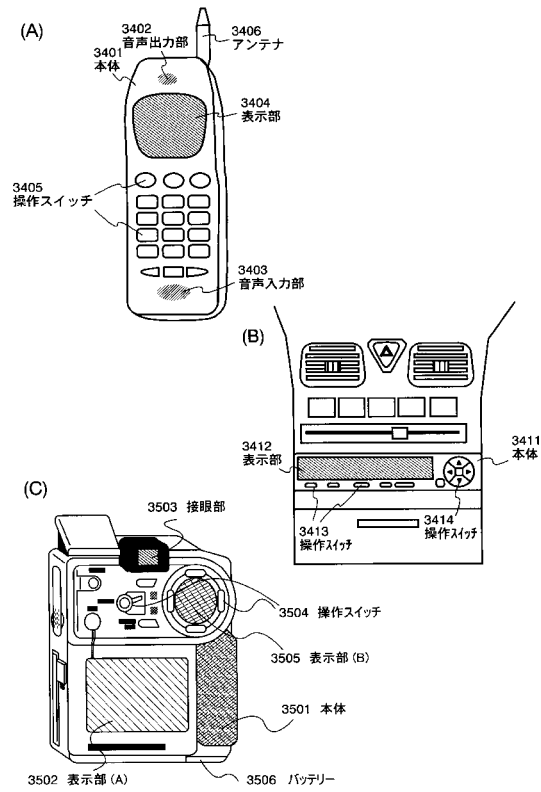
【図 2 3】



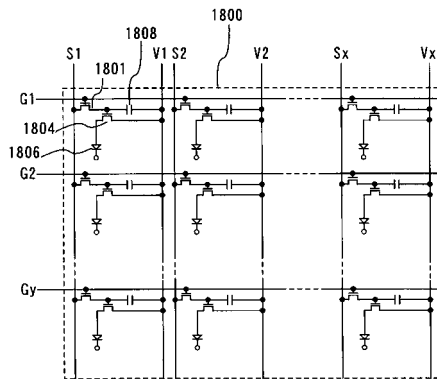
【図 2 4】



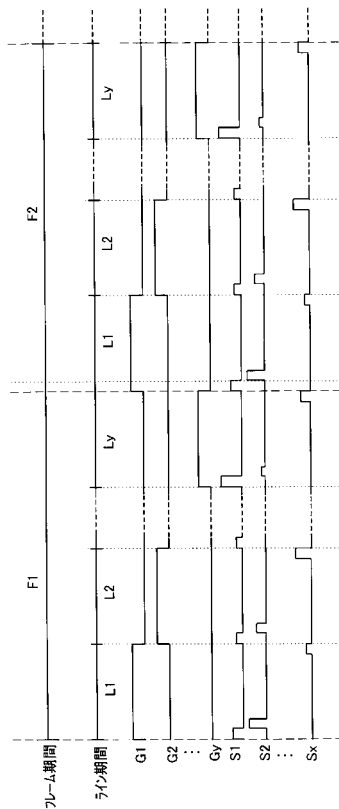
【図 25】



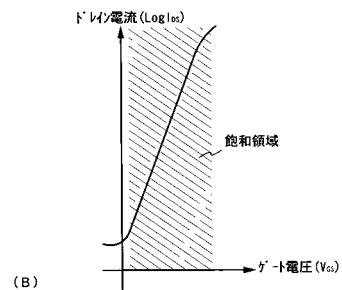
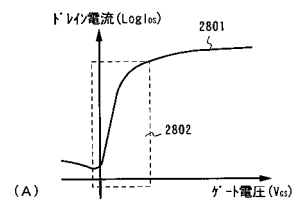
【図 26】



【図 27】



【図 28】



 フロントページの続き

(51) Int.Cl.		F I		
H 0 1 L 51/50	(2006.01)	G 0 9 G	3/20	6 8 0 V
H 0 5 B 33/22	(2006.01)	H 0 5 B	33/08	
		H 0 5 B	33/14	A
		H 0 5 B	33/22	Z

(56) 参考文献 特開平 1 0 - 3 1 9 9 0 8 (J P , A)
 特開昭 5 7 - 1 0 9 9 9 4 (J P , A)
 特開平 0 9 - 2 8 1 4 6 5 (J P , A)
 特開平 0 5 - 2 6 5 0 4 5 (J P , A)
 特開平 0 6 - 3 1 7 8 0 7 (J P , A)
 特開平 1 0 - 3 1 2 1 7 3 (J P , A)
 特開平 1 0 - 3 3 3 6 4 1 (J P , A)
 特開 2 0 0 0 - 3 4 7 6 2 1 (J P , A)
 Kazutaka Inukai、外 7 名、4.0-in. TFT-OLED Displays and a Novel Digital Driving Method
 , SID00 digest , 米国 , Society for Information Display , 2 0 0 0 年 5 月 1 6 日 , 924-927

(58) 調査した分野(Int.Cl. , D B 名)
 G09G3/00-3/38

专利名称(译)	表示装置		
公开(公告)号	JP4831889B2	公开(公告)日	2011-12-07
申请号	JP2001184369	申请日	2001-06-19
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
当前申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	犬飼和隆		
发明人	犬飼 和隆		
IPC分类号	G09G3/30 G09F9/30 H01L27/32 G09G3/20 H05B33/08 H01L51/50 H05B33/22 G09G3/32 H01L21/77 H01L21/84 H01L27/12 H05B33/14		
CPC分类号	G09G3/3266 G09G3/2022 G09G3/3275 G09G2300/0408 G09G2300/0426 G09G2300/0809 G09G2300/0814 G09G2300/0842 G09G2300/0861 G09G2310/0251 G09G2310/0262 G09G2320/043 H01L27/12 H01L27/1214 H01L27/124 H01L27/3244		
FI分类号	G09G3/30.K G09F9/30.338 G09F9/30.365.Z G09G3/20.624.B G09G3/20.641.E G09G3/20.680.V H05B33/08 H05B33/14.A H05B33/22.Z G09F9/30.365 G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291 H01L27/32		
F-TERM分类号	3K007/AB02 3K007/AB04 3K007/AB11 3K007/BA06 3K007/DA01 3K007/DB03 3K007/EB00 3K007/GA04 3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH00 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD03 5C080/EE29 5C080/FF11 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK07 5C080/KK43 5C094/AA07 5C094/AA08 5C094/AA31 5C094/AA53 5C094/BA03 5C094/BA12 5C094/BA27 5C094/CA19 5C094/CA24 5C094/DA09 5C094/DA13 5C094/DB01 5C094/DB04 5C094/EA04 5C094/EA05 5C094/EB02 5C094/FB01 5C094/FB12 5C094/FB14 5C094/FB15 5C094/GA10 5C094/GB10 5C094/HA08 5C094/HA10 5C380/AA01 5C380/AA02 5C380/AB06 5C380/AB18 5C380/AB23 5C380/AB34 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/AC13 5C380/AC16 5C380/AC20 5C380/BA01 5C380/BA38 5C380/BA39 5C380/BA43 5C380/BB02 5C380/BD02 5C380/BD10 5C380/CA04 5C380/CA05 5C380/CA08 5C380/CA12 5C380/CA14 5C380/CA17 5C380/CA26 5C380/CA57 5C380/CB01 5C380/CB14 5C380/CB18 5C380/CB37 5C380/CC02 5C380/CC27 5C380/CC29 5C380/CC30 5C380/CC33 5C380/CC34 5C380/CC38 5C380/CC54 5C380/CC62 5C380/CC64 5C380/CC72 5C380/CD012 5C380/CD014 5C380/CF07 5C380/CF09 5C380/CF22 5C380/CF23 5C380/CF24 5C380/CF32 5C380/CF62 5C380/DA02 5C380/DA06 5C380/DA09 5C380/DA19 5C380/FA06		
优先权	2000188518 2000-06-22 JP		
其他公开文献	JP2002082651A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供能够显示清晰的多级彩色显示的显示设备。多个像素被第一开关TFT，第二开关TFT，擦除TFT，分别具有EL驱动TFT和EL元件，第擦除TFT的k的栅极信号线切换的由电压被控制，第一开关TFT的开关通过第（k + 1）个栅极信号线的电压控制，所述第二开关TFT的开关是栅极信号线中的k + 2个电压通过，当第一和第二开关TFT导通控制时，数字视频信号被输入到EL的栅电极驱动TFT，EL驱动TFT的切换是由数字视频信号控制，擦除当使用TFT导通EL驱动TFT被关断，当EL驱动TFT导通而发光EL元件，显示装置特征在于，当关闭它不发光。

