

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4747528号
(P4747528)

(45) 発行日 平成23年8月17日 (2011. 8. 17)

(24) 登録日 平成23年5月27日 (2011. 5. 27)

(51) Int. Cl.

F I

G 0 9 G 3 / 3 0 (2006. 01)

G 0 9 G 3 / 3 0 J

G 0 9 G 3 / 2 0 (2006. 01)

G 0 9 G 3 / 2 0 6 1 1 H

H 0 1 L 5 1 / 5 0 (2006. 01)

G 0 9 G 3 / 2 0 6 2 4 B

G 0 9 G 3 / 2 0 6 4 1 D

G 0 9 G 3 / 2 0 6 4 2 A

請求項の数 2 (全 15 頁) 最終頁に続く

(21) 出願番号 特願2004-215058 (P2004-215058)

(22) 出願日 平成16年7月23日 (2004. 7. 23)

(65) 公開番号 特開2006-38965 (P2006-38965A)

(43) 公開日 平成18年2月9日 (2006. 2. 9)

審査請求日 平成19年6月26日 (2007. 6. 26)

(73) 特許権者 000002185

ソニー株式会社

東京都港区港南1丁目7番1号

(74) 代理人 100082131

弁理士 稲本 義雄

(72) 発明者 内野 勝秀

東京都品川区北品川6丁目7番35号 ソ

ニー株式会社内

(72) 発明者 山下 淳一

東京都品川区北品川6丁目7番35号 ソ

ニー株式会社内

審査官 奈良田 新一

最終頁に続く

(54) 【発明の名称】 画素回路及び表示装置

(57) 【特許請求の範囲】

【請求項1】

走査線と信号線とが交差する部分に配されており、少なくとも電気光学素子とドライブトランジスタとサンプリグトランジスタと保持容量と結合容量とを備え、

該ドライブトランジスタは、所定の電源電位から所定の出力ノードに向かって駆動電流を供給するように配されているとともに、そのゲートが所定の制御ノードに接続し、

該電気光学素子は、その一端が該出力ノードに接続し、他端が所定の接地電位に接続し、

該サンプリグトランジスタは、所定の入力ノードと該信号線との間に接続し、

該保持容量は、該制御ノードに接続し、

該結合容量は、該制御ノードと該入力ノードとの間に配されており、

前記サンプリグトランジスタは走査線によって選択された時動作し、該信号線から入力信号をサンプリグし且つ該入力信号に応じた信号電位を該結合容量を介して該保持容量に保持し、

前記ドライブトランジスタは、該保持容量に保持された該信号電位に応じて該出力ノードに該駆動電流を供給し、以って該電気光学素子を電流駆動する画素回路において、

閾電圧補正回路と駆動電流補正回路とが組み込まれており、

前記閾電圧補正回路は、該電気光学素子の電流駆動に先だって該ドライブトランジスタの閾電圧を検知しあらかじめその影響をキャンセルする為に該検知した電位を該保持容量に保持するとともに、

10

20

前記駆動電流補正回路は、該電気光学素子の電流駆動を開始した後、該ドライブトランジスタが供給する駆動電流のばらつきを検出し、その検出結果に従って該ばらつきを打ち消すように該保持容量に保持された信号電位を調節し、

前記閾電圧補正回路は、該出力ノードで該ドライブトランジスタと該電気光学素子とを接続するスイッチングトランジスタと、該制御ノードと該ドライブトランジスタの出力側との間に接続されたスイッチングトランジスタと、所定の固定電位と該入力ノードとの間に接続されたスイッチングトランジスタとからなり、

前記駆動電流補正回路は、所定の電源電位と該入力ノードとの間に接続された容量素子と、該入力ノードに接続した別の容量素子と、該別の容量素子と出力ノードとの間に接続したスイッチングトランジスタと、該制御ノードと該結合容量との間に接続したスイッチングトランジスタとからなる

10

ことを特徴とする画素回路。

【請求項 2】

行状の走査線と、列状の信号線と、両者が交差する部分に各々配された画素回路とからなり、

前記画素回路は、少なくとも電気光学素子とドライブトランジスタとサンプリングトランジスタと保持容量と結合容量とを備え、

該ドライブトランジスタは、所定の電源電位から所定の出力ノードに向かって駆動電流を供給するように配されているとともに、そのゲートが所定の制御ノードに接続し、該電気光学素子は、その一端が該出力ノードに接続し、他端が所定の接地電位に接続し、該サンプリングトランジスタは、所定の入力ノードと該信号線との間に接続し、

20

該保持容量は、該制御ノードに接続し、

該結合容量は、該制御ノードと該入力ノードとの間に接続しており、

前記サンプリングトランジスタは走査線によって選択された時動作し、該信号線から入力信号をサンプリングし且つ該入力信号に応じた信号電位を該結合容量を介して該保持容量に保持し、

前記ドライブトランジスタは、該保持容量に保持された該信号電位に応じて該出力ノードに該駆動電流を供給し、以って該電気光学素子を電流駆動する表示装置において、

前記画素回路は閾電圧補正回路と駆動電流補正回路とが組み込まれており、

前記閾電圧補正回路は、該電気光学素子の電流駆動に先だって該ドライブトランジスタの閾電圧を検知しあらかじめその影響をキャンセルする為に該検知した電位を該保持容量に保持するとともに、

30

前記駆動電流補正回路は、該電気光学素子の電流駆動を開始した後、該ドライブトランジスタが供給する駆動電流のばらつきを検出し、その検出結果に従って該ばらつきを打ち消すように該保持容量に保持された信号電位を調節し、

前記閾電圧補正回路は、該出力ノードで該ドライブトランジスタと該電気光学素子とを接続するスイッチングトランジスタと、該制御ノードと該ドライブトランジスタの出力側との間に接続されたスイッチングトランジスタと、所定の固定電位と該入力ノードとの間に接続されたスイッチングトランジスタとからなり、

前記駆動電流補正回路は、所定の電源電位と該入力ノードとの間に接続された容量素子と、該入力ノードに接続した別の容量素子と、該別の容量素子と出力ノードとの間に接続したスイッチングトランジスタと、該制御ノードと該結合容量との間に接続したスイッチングトランジスタとからなる

40

ことを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素毎に配した電気光学素子を電流駆動する画素回路に関する。又この画素回路がマトリクス状に配列された表示装置であって、特に各画素回路内に設けた絶縁ゲート型電界効果トランジスタによって、有機EL発光素子などの電気光学素子に通電する電

50

流量を制御する、いわゆるアクティブマトリクス型の表示装置に関する。

【背景技術】

【0002】

画像表示装置、例えば液晶ディスプレイなどでは、多数の液晶画素をマトリクス状に並べ、表示すべき画像情報に応じて画素毎に入射光の透過強度又は反射強度を制御することによって画像を表示する。これは、有機EL素子を画素に用いた有機ELディスプレイなどにおいても同様であるが、液晶画素と異なり有機EL素子は自発光素子である。その為、有機ELディスプレイは液晶ディスプレイに比べて画像の視認性が高く、バックライトが不要であり、応答速度が高いなどの利点を有する。又、各発光素子の輝度レベル（階調）はそれに流れる電流値によって制御可能であり、いわゆる電流制御型であるという点で液晶ディスプレイなどの電圧制御型とは大きく異なる。

10

【0003】

有機ELディスプレイにおいては、液晶ディスプレイと同様、その駆動方式として単純マトリクス方式とアクティブマトリクス方式とがある。前者は構造が単純であるものの、大型且つ高精細のディスプレイの実現が難しいなどの問題がある為、現在はアクティブマトリクス方式の開発が盛んに行なわれている。この方式は、各画素回路内部の発光素子に流れる電流を、画素回路内部に設けた能動素子（一般には薄膜トランジスタ、TFT）によって制御するものであり、以下の特許文献に記載がある。

【特許文献1】特開2003-255856

【特許文献2】特開2003-271095

20

【特許文献3】特開2004-133240

【発明の開示】

【発明が解決しようとする課題】

【0004】

従来の画素回路は、走査線と信号線とが交差する部分に配されており、少なくとも電気光学素子とドライブトランジスタとサンプリングトランジスタと保持容量と結合容量とを備えている。ドライブトランジスタは、所定の電源電位から所定の出力ノードに向かって駆動電流を供給する様に配されているとともに、そのゲートが所定の制御ノードに接続している。電気光学素子は、その一端が出力ノードに接続し、他端が所定の接地電位に接続している。サンプリングトランジスタは、所定の入力ノードと信号線との間に接続している。保持容量は制御ノードに接続している。結合容量は制御ノードと入力ノードとの間に配されている。

30

【0005】

係る構成において、サンプリングトランジスタは走査線によって選択された時動作し、信号線から入力信号をサンプリングし且つ入力信号に応じた信号電位を結合容量を介して保持容量に保持する。ドライブトランジスタは、保持容量に保持された信号電位に応じて出力ノードに駆動電流を供給し、以って電気光学素子を電流駆動する。この様に、ドライブトランジスタのゲートは、保持容量に保持された信号電位によってソース基準のゲート電圧を受ける。ドライブトランジスタはこのゲート電圧に応じてソース／ドレイン間に駆動電流を流し、電気光学素子に通電する。一般に電気光学素子の発光輝度は通電量に比例している。更にドライブトランジスタの駆動電流供給量はゲート電圧すなわち保持容量に書き込まれた信号電位によって制御される。この様に従来の画素回路は、ドライブトランジスタのゲートに印加される信号電圧を入力映像信号に応じて変化させることで、電気光学素子に供給する駆動電流量を制御している。

40

【0006】

ここでドライブトランジスタの動作特性は以下の式で表わされる。

$$I_{ds} = (1/2) \mu (W/L) C_{ox} (V_{gs} - V_{th})^2$$

このトランジスタ特性式において、 I_{ds} はソース／ドレイン間に流れるドレイン電流を表わしており、画素回路では電気光学素子に供給される駆動電流である。 V_{gs} はソースを基準としてゲートに印加されるゲート印加電圧を表わしている。 V_{th} はトランジ

50

タの閾電圧である。又 μ はトランジスタのチャネルを構成する半導体薄膜の移動度を表わしている。その他 W はチャネル幅を表わし、 L はチャネル長を表わし、 C_{ox} はゲート容量を表わしている。このトランジスタ特性式から明らかな様に、薄膜トランジスタは飽和領域で動作する時、ゲート電圧 V_{gs} が閾電圧 V_{th} を超えて大きくなると、オン状態となってドレイン電流 I_{ds} が流れる。原理的に見ると上記のトランジスタ特性式が示す様に、ゲート電圧 V_{gs} が一定であれば常に同じ量のドレイン電流 I_{ds} が電気光学素子に供給される。従って、画面を構成する各画素に全て同一のレベルの入力信号を供給すれば、全画素が同一輝度で発光し、画面の一様性（ユニフォーミティ）が得られるはずである。

【0007】

10

しかしながら実際には、ポリシリコンなどの半導体薄膜で構成された薄膜トランジスタ（TFET）は、個々のデバイス特性にばらつきがある。特に、閾電圧 V_{th} は一定ではなく、各画素毎にばらつきがある。前述のトランジスタ特性式から明らかな様に、各ドライフトランジスタの閾電圧 V_{th} がばらつくと、ゲート印加電圧 V_{gs} が一定であっても、ドレイン電流 I_{ds} にばらつきが生じ、画素毎に輝度がばらついてしまう為、画面のユニフォーミティを損なう。従来からドライフトランジスタの閾電圧のばらつきをキャンセルする機能を組み込んだ画素回路が開発されており、例えば前記の特許文献3に開示がある。

【0008】

20

閾電圧のばらつきをキャンセルする機能を組み込んだ画素回路は、ある程度画面のユニフォーミティを改善することが可能である。しかしながら、ポリシリコン薄膜トランジスタの特性ばらつきは、閾電圧ばかりでなく、移動度 μ も素子毎にばらつきがある。前述のトランジスタ特性式から明らかな様に、移動度 μ がばらつくと、ゲート印加電圧 V_{gs} が一定であってもドレイン電流 I_{ds} にばらつきが出てしまう。この結果発光輝度が画素毎に変化する為、画面のユニフォーミティを損なうという課題がある。

【課題を解決するための手段】

【0009】

上述した従来の技術の課題に鑑み、本発明はドライフトランジスタのドレイン電流のばらつきを補償可能な画素回路及び表示装置とこれらの駆動方法を提供することを目的とする。係る目的を達成する為以下を手段を講じた。即ち本発明は、走査線と信号線とが交差する部分に配されており、少なくとも電気光学素子とドライフトランジスタとサンプリングトランジスタと保持容量と結合容量とを備え、該ドライフトランジスタは、所定の電源電位から所定の出力ノードに向かって駆動電流を供給するように配されているとともに、そのゲートが所定の制御ノードに接続し、該電気光学素子は、その一端が該出力ノードに接続し、他端が所定の接地電位に接続し、該サンプリングトランジスタは、所定の入力ノードと該信号線との間に接続し、該保持容量は、該制御ノードに接続し、該結合容量は、該制御ノードと該入力ノードとの間に配されており、前記サンプリングトランジスタは走査線によって選択された時動作し、該信号線から入力信号をサンプリングし且つ該入力信号に応じた信号電位を該結合容量を介して該保持容量に保持し、前記ドライフトランジスタは、該保持容量に保持された該信号電位に応じて該出力ノードに該駆動電流を供給し、以って該電気光学素子を電流駆動する画素回路において、閾電圧補正回路と駆動電流補正回路とが組み込まれており、前記閾電圧補正回路は、該電気光学素子の電流駆動に先だてて該ドライフトランジスタの閾電圧を検知しあらかじめその影響をキャンセルする為に該検知した電位を該保持容量に保持するとともに、前記駆動電流補正回路は、該電気光学素子の電流駆動を開始した後、該ドライフトランジスタが供給する駆動電流のばらつきを検出し、その検出結果に従って該ばらつきを打ち消すように該保持容量に保持された信号電位を調節し、前記閾電圧補正回路は、該出力ノードで該ドライフトランジスタと該電気光学素子とを接続するスイッチングトランジスタと、該制御ノードと該ドライフトランジスタの出力側との間に接続されたスイッチングトランジスタと、所定の固定電位と該入力ノードとの間に接続されたスイッチングトランジスタとからなり、前記駆動電流補正回路

30

40

50

は、所定の電源電位と該入力ノードとの間に接続された容量素子と、該入力ノードに接続した別の容量素子と、該別の容量素子と出力ノードとの間に接続したスイッチングトランジスタと、該制御ノードと該結合容量との間に接続したスイッチングトランジスタとからなることを特徴とする。

【0011】

又本発明は、行状の走査線と、列状の信号線と、両者が交差する部分に各々配された画素回路とからなり、前記画素回路は、少なくとも電気光学素子とドライブトランジスタとサンプリングトランジスタと保持容量と結合容量とを備え、該ドライブトランジスタは、所定の電源電位から所定の出力ノードに向かって駆動電流を供給するように配されているとともに、そのゲートが所定の制御ノードに接続し、該電気光学素子は、その一端が該出力ノードに接続し、他端が所定の接地電位に接続し、該サンプリングトランジスタは、所定の入力ノードと該信号線との間に接続し、該保持容量は、該制御ノードに接続し、該結合容量は、該制御ノードと該入力ノードとの間に接続しており、前記サンプリングトランジスタは走査線によって選択された時動作し、該信号線から入力信号をサンプリングし且つ該入力信号に応じた信号電位を該結合容量を介して該保持容量に保持し、前記ドライブトランジスタは、該保持容量に保持された該信号電位に応じて該出力ノードに該駆動電流を供給し、以って該電気光学素子を電流駆動する表示装置において、前記画素回路は閾電圧補正回路と駆動電流補正回路とが組み込まれており、前記閾電圧補正回路は、該電気光学素子の電流駆動に先だって該ドライブトランジスタの閾電圧を検知しあらかじめその影響をキャンセルする為に該検知した電位を該保持容量に保持するとともに、前記駆動電流補正回路は、該電気光学素子の電流駆動を開始した後、該ドライブトランジスタが供給する駆動電流のばらつきを検出し、その検出結果に従って該ばらつきを打ち消すように該保持容量に保持された信号電位を調節し、前記閾電圧補正回路は、該出力ノードで該ドライブトランジスタと該電気光学素子とを接続するスイッチングトランジスタと、該制御ノードと該ドライブトランジスタの出力側との間に接続されたスイッチングトランジスタと、所定の固定電位と該入力ノードとの間に接続されたスイッチングトランジスタとからなり、前記駆動電流補正回路は、所定の電源電位と該入力ノードとの間に接続された容量素子と、該入力ノードに接続した別の容量素子と、該別の容量素子と出力ノードとの間に接続したスイッチングトランジスタと、該制御ノードと該結合容量との間に接続したスイッチングトランジスタとからなる。

【発明の効果】

【0015】

本発明によれば、画素回路は閾電圧補償回路と駆動電流補償回路とを組み込んでいる。閾電圧補償回路は画素毎に形成されたドライブトランジスタの閾電圧のばらつきを回路的に補正して、画面のユニフォーミティを改善できる。又駆動電流補償回路は同じく画素毎に形成されたドライブトランジスタの移動度のばらつきを回路的に補正して、画素毎の駆動電流のばらつきを取り除き、以って画面のユニフォーミティを改善している。この様にポリシリコンなどの半導体薄膜で構成されるTFTをドライブトランジスタに用いた場合、閾電圧や移動度などの特性のばらつきをデバイス技術で抑えることができなくても、画素回路に補正機能を組み込むことで、閾電圧と移動度のばらつきを吸収でき、以って有機ELディスプレイなどの表示装置のユニフォーミティを実用レベルまで改善している。

【発明を実施するための最良の形態】

【0016】

以下図面を参照して本発明の実施の形態を詳細に説明する。まず最初に本発明の背景を明らかにする為、図1を参照してアクティブマトリクス表示装置及びこれに含まれる画素回路の一般的な構成を参考例として説明する。図示する様に、アクティブマトリクス表示装置は主要部となる画素アレイ1と周辺の回路群とで構成されている。周辺の回路群は水平セレクト2、ドライブスキャナ3、ライトスキャナ4などを含んでいる。

【0017】

画素アレイ1は行状の走査線WSと列状の信号線DLと両者の交差する部分にマトリク

10

20

30

40

50

ス状に配列した画素回路5とで構成されている。信号線DLは水平セクタ2によって駆動される。走査線WSはライトスキャナ4によって走査される。尚、走査線WSと平行に別の走査線DSも配線されており、これはドライブスキャナ3によって走査される。各画素回路5は、走査線WSによって選択された時信号線DLから映像信号をサンプリングする。更に走査線DSによって選択された時、サンプリングされた映像信号に応じて電気光学素子を駆動する。この電気光学素子は各画素回路5に形成された電流駆動型の発光素子などである。

【0018】

図2は、図1に示した画素回路5の基本的な構成を示す参考図である。本画素回路5は、サンプリング用薄膜トランジスタ（サンプリングトランジスタTr1）、ドライブ用薄膜トランジスタ（ドライブトランジスタTr2）、スイッチング用薄膜トランジスタ（スイッチングトランジスタTr3）、保持容量C1、電気光学素子ELなどで構成されている。尚、本参考例では各トランジスタTr1、Tr2及びTr3はポリシリコンTFTで全てPチャンネル型となっている。但し本発明はこれに限られるものではなく、ポリシリコンTFTはPチャンネル型に代えてNチャンネル型を用いることもでき、更にはこれらを混在させて画素回路5を構成することもできる。又電気光学素子ELは、例えば有機EL素子などの発光素子である。これらの要素によって構成された画素回路5は、信号線DLと走査線WS及びDSとの交差部に配されている。信号線DLはサンプリングトランジスタTr1のドレインに接続し、走査線WSはサンプリングトランジスタTr1のゲートに接続し、他の走査線DSはスイッチングトランジスタTr3のゲートに接続している。

【0019】

ドライブトランジスタTr2、スイッチングトランジスタTr3及び電気光学素子ELは、電源電位Vccと接地電位GNDの間で直列に接続されている。すなわちドライブトランジスタTr2のソースが電源電位Vccに接続される一方、電気光学素子ELのカソードが接地電位GNDに接続されている。一般に、電気光学素子ELを構成する有機EL素子は整流性がある為ダイオードの記号で表わしている。一方、サンプリングトランジスタTr1及び保持容量C1はドライブトランジスタTr2のゲートに接続している。ドライブトランジスタTr2のゲート・ソース間電圧をVgsで表わしている。

【0020】

画素回路5の動作であるが、まず走査線WSを選択状態（ここではローレベル）とし、信号線DLに入力信号を印加すると、サンプリングトランジスタTr1が導通して入力信号が保持容量C1に書き込まれる。保持容量C1に書き込まれた信号電位がドライブトランジスタTr2のゲート電位Vgsとなる。続いて、走査線WSを非選択状態（ここではハイレベル）にすると、信号線DLとドライブトランジスタTr2とは電氣的に切り離されるが、ドライブトランジスタTr2のゲート電位Vgsは保持容量C1によって安定に保持される。続いて他の走査線DSを選択状態（ここではローレベル）にすると、スイッチングトランジスタTr3が導通し、電源電位Vccから接地電位GNDに向かって駆動電流がトランジスタTr2、Tr3及び電気光学素子ELを流れる。走査線DSが非選択状態になるとスイッチングトランジスタTr3がオフし、駆動電流は流れなくなる。スイッチングトランジスタTr3は電気光学素子ELの発光時間を制御する為に挿入されたものである。

【0021】

ドライブトランジスタTr2及び電気光学素子ELに流れる電流は、ドライブトランジスタTr2のゲート・ソース間電圧Vgsに応じた値となり、電気光学素子ELはその電流値に応じた輝度で発光し続ける。上記の様に、走査線WSを選択して信号線DLに与えられた入力信号を画素回路5の内部に伝える動作を「書込」と呼ぶ。上述の様に一度入力信号の書込を行えば、次に書き替えられるまでの間、電気光学素子ELは一定の輝度で発光を続ける。

【0022】

上述した様に画素回路5では、ドライブトランジスタTr2のゲート印加電圧Vgsを

入力信号に応じて変化させることで、電気光学素子 $E L$ に流れる電流値を制御している。この時、 P チャネル型のドライブトランジスタ $T r 2$ のソースは電源電位 $V c c$ に接続されており、このトランジスタ $T r 2$ は常に飽和領域で動作している。よって、ドライブトランジスタ $T r 2$ は先のトランジスタ特性式で示した様に、 $V g s$ に応じて一定のドレイン電流 $I d s$ を供給する定電流源となっている。

【0023】

しかしながら実際にはドライブトランジスタ $T r 2$ の閾電圧は画素毎にばらついており、これを補正する必要がある。図3は、画素回路に閾電圧補正機能を組み込んだ参考例を表わしており、例えば特許文献3に記載されている。図示する様に、本画素回路5は、3本の走査線 $W S$ 、 $D S$ 、 $A Z$ と1本の信号線 $D L$ とが交差する部分に配されており、少なくとも電気光学素子 $E L$ とドライブトランジスタ $T r 2$ とサンプリングトランジスタ $T r 1$ と保持容量 $C 1$ と結合容量 $C 2$ とを備えている。本参考例は、ドライブトランジスタ $T r 2$ のみ P チャネル型であり、残りのトランジスタは全て N チャネル型となっている。ドライブトランジスタ $T r 2$ は、所定の電源電位 $V c c$ から所定の出力ノード B に向かって駆動電流 $I d s$ を供給する様に配されているとともに、そのゲートが所定の制御ノード A に接続している。サンプリングトランジスタ $T r 1$ は、所定の入力ノード C と信号線 $D L$ との間に接続している。サンプリングトランジスタ $T r 1$ のゲートは走査線 $W S$ に接続している。保持容量 $C 1$ は電源電位 $V c c$ と制御ノード A との間に接続されている。結合容量 $C 2$ は、制御ノード A と入力ノード C との間に配されている。尚、補助容量 $C 3$ が電源電位 $V c c$ と入力ノード C との間に接続されている。又スイッチングトランジスタ $T r 3$ が出力ノード B でドライブトランジスタ $T r 2$ と電気光学素子 $E L$ とを接続している。このスイッチングトランジスタ $T r 3$ のゲートは走査線 $D S$ に接続している。

【0024】

図3に示した画素回路5の書込動作であるが、まずサンプリングトランジスタ $T r 1$ は走査線 $W S$ によって選択された時動作し、信号線 $D L$ から入力信号 $V s i g$ をサンプリングし且つ入力信号 $V s i g$ に応じた信号電位を結合容量 $C 2$ を介して保持容量 $C 1$ に保持する。ドライブトランジスタ $T r 2$ は、保持容量 $C 1$ に保持された信号電位に応じて出力ノード B に駆動電流 $I d s$ を供給し、以って電気光学素子 $E L$ を電流駆動する。尚実際には走査線 $D S$ を介してスイッチングトランジスタ $T r 3$ がオンした時ドライブトランジスタ $T r 2$ から駆動電流 $I d s$ が出力ノード B を介して電気光学素子 $E L$ に供給され、発光動作を行なう様になっている。

【0025】

係る構成を有する画素回路5は通常の手書き機能に加え、閾電圧補正回路が組み込まれている。この閾電圧補正回路は電気光学素子 $E L$ の電流駆動に先立ってドライブトランジスタ $T r 2$ の閾電圧を検知しあらかじめその影響をキャンセルする為に該検知した電位を保持容量 $C 1$ に保持するものである。本参考例では、この閾電圧補正回路は追加のスイッチングトランジスタ $T r 4$ 及び $T r 5$ で構成されている。一方のスイッチングトランジスタ $T r 4$ は所定の固定電位 $V o f s$ と入力ノード C との間に接続されている。このスイッチングトランジスタ $T r 4$ のゲートは閾電圧補正用に別途設けた走査線 $A Z$ に接続している。スイッチングトランジスタ $T r 5$ は、制御ノード A とドライブトランジスタ $T r 2$ の出力側（ドレイン側）との間に接続されている。このスイッチングトランジスタ $T r 5$ のゲートも走査線 $A Z$ に接続されている。

【0026】

図4のタイミングチャートを参照して、図3に示した参考例に係る画素回路の閾電圧補正動作及び書込動作を詳細に説明する。図示のタイミングチャートは、タイミング $T 1$ で1フィールド（1f）がスタートし、タイミング $T 7$ で1フィールドが終わる様に表わしてある。時間軸 T に沿って、走査線 $W S$ 、 $D S$ 及び $A Z$ のレベル変化を表わしてある。又同じ時間軸 T に沿って、制御ノード A 及び出力ノード B の電位変化を表わしてある。制御ノード A （ドライブトランジスタ $T r 2$ のゲート）の電位変化は実線で表わし、これと区別する為出力ノード B （電気光学素子 $E L$ のアノード）の電位変化は鎖線で表わしてある

。

【0027】

当該フィールドのスタートするタイミングT1では、走査線WS及びAZがローレベルにある一方、走査線DSがハイレベルにある。従ってスイッチングトランジスタTr3のみがオン状態にあって電気光学素子ELを発光させている一方、残りのトランジスタTr1, Tr4及びTr5はオフ状態にある。この時制御ノードAは保持容量C1に保持された信号電位に維持されている。一方出力ノードBは接地電位GNDから電気光学素子ELの電圧降下分だけ上に位置している。

【0028】

タイミングT2に進むと、走査線AZがローレベルからハイレベルに切り替わり、閾電圧補正動作が行なわれる。走査線AZがハイレベルになると、スイッチングトランジスタTr4及びTr5がオンする。スイッチングトランジスタTr4がオンすることで入力ノードCは固定電位Vofsにセットされ、閾電圧補正動作の待機状態となる。同時にスイッチングトランジスタTr5がオンすることで、保持容量C1に保持された電荷がドライブトランジスタTr2のドレイン側に放電される。この結果制御ノードAの電位は接地電位GNDに向かって低下する。

【0029】

タイミングT2の後タイミングT3に至ると、走査線DSがハイレベルからローレベルとなり、スイッチングトランジスタTr3がオフする。これにより電気光学素子ELが出力ノードBから切り離されるので、非発光状態となる。一方ドライブトランジスタTr2から供給される駆動電流Idsは引続きオン状態にあるスイッチングトランジスタTr5を介して保持容量C1及び結合容量C2に流れ込む。これにより制御ノードAの電位は電源電位Vccに向かって上昇し始める。この上昇過程で制御ノードAの電位がちょうどドライブトランジスタTr2の閾電圧Vthと一致した時、ドライブトランジスタTr2のゲートが遮断する。この結果、ドレイン電流Idsは流れなくなり、ドライブトランジスタVthに相当する電位が保持容量C1に保持される。この様にしてドライブトランジスタTr2の閾電圧Vthが保持容量C1に保持される。

【0030】

タイミングT3aに進むと、走査線AZがハイレベルからローレベルに戻り、閾電圧Vth補正期間が終了する。すなわちスイッチングトランジスタTr4がオフし、入力ノードCは固定電位Vofsから切り離される。又スイッチングトランジスタTr5もオフし、制御ノードAがドライブトランジスタTr2の出力側（ドレイン側）から切り離される。これにより、次の信号書込動作に備えた待機状態となる。

【0031】

タイミングT4になると走査線WSに選択パルスが印加され、ローレベルからハイレベルに立ち上がる。これによりサンプリングトランジスタTr1がオンする。信号線DLから供給された入力信号VsigはサンプリングトランジスタTr1によってサンプリングされ、結合容量C2を介して保持容量C1にカップリングされる。これにより、結合容量C2と保持容量C1の容量分割比に応じた信号電位Vinが保持容量C1に保持される。この信号電位Vinは先に保持容量C1に保持されたドライブトランジスタの閾電圧Vthに足し込む形で保持される。この結果制御ノードAの電位は電源電位Vcc基準で、 $V_{th} + V_{in}$ の分だけ下がる。 $V_{th} + V_{in}$ がゲート電位VgsとしてドライブトランジスタTr2のゲートに印加される。この際、ゲート電位Vgsには常にVthが足し込まれている為、個々の画素毎にドライブトランジスタTr2の閾電圧Vthがばらついていてもこれをキャンセルすることが可能になる。全ての画素において、ドライブトランジスタTr2は結局正味の信号電位Vinで駆動される為、ユニフォーミティを改善することができる。

【0032】

信号書込に割り当てられた時間（1水平期間1H）がタイミングT4から経過すると、タイミングT5で選択パルスが解除され走査線WSは再びローレベルに戻る。これにより

10

20

30

40

50

サンプリングトランジスタWSはオフし、次の発光動作に備えた待機状態となる。

【0033】

タイミングT6になると走査線DSがローレベルからハイレベルに立ち上がりスイッチングトランジスタTr3がオンする。この結果ドライブトランジスタTr2から供給された駆動電流Idsが出力ノードBを介して電気光学素子ELに流れ込み、発光動作が行なわれる。その際電気光学素子ELを貫通する駆動電流により電圧降下 ΔV_{el} が生じる。この電圧降下分 ΔV_{el} は駆動電流Idsに比例している。

【0034】

この後タイミングT7に至ると当該フィールドが完了し、次のフィールドに移行する。

【0035】

以上の様に図3及び図4に示した参考例の画素回路は、閾電圧補正回路が組み込まれており、ドライブトランジスタの閾電圧のばらつきを吸収して、画面のユニフォーミティをある程度改善できる。しかしながら、ドライブトランジスタは閾電圧のばらつきに加え、移動度もばらついており、これを吸収しない限り実用レベルでのユニフォーミティを確保することができない。図5は、本発明に係る画素回路を表わしており、前述した閾電圧補正回路に加え駆動電流補正回路が組み込まれている。

【0036】

図5は、本発明に係る画素回路を示す回路図である。理解を容易にする為、図3に示した参考例の画素回路と対応する部分には対応する参照番号を付してある。本画素回路は閾電圧補正機能に加え駆動電流補正回路を組み込んでいる。図示する様に、本画素回路5は、5本の走査線WS、DS、AZ、X、Yと1本の信号線DLとが交差する部分に配されており、少なくとも電気光学素子ELとドライブトランジスタTr2とサンプリングトランジスタTr1と保持容量C1と結合容量C2とを備えている。ドライブトランジスタTr2は、所定の電源電位Vccから所定の出力ノードBに向かって駆動電流Idsを供給する様に配されているとともに、そのゲートが所定の制御ノードAに接続している。サンプリングトランジスタTr1は、所定の入力ノードCと信号線DLとの間に接続している。サンプリングトランジスタTr1のゲートは走査線WSに接続している。保持容量C1は電源電位Vccと制御ノードAとの間に接続されている。結合容量C2は、制御ノードAと入力ノードCとの間に配されている。尚、補助容量C3が電源電位Vccと入力ノードCとの間に接続されている。又スイッチングトランジスタTr3が出力ノードBでドライブトランジスタTr2と電気光学素子ELとを接続している。このスイッチングトランジスタTr3のゲートは走査線DSに接続している。

【0037】

図5に示した画素回路5の書込動作であるが、まずサンプリングトランジスタTr1は走査線WSによって選択された時動作し、信号線DLから入力信号Vsigをサンプリングし且つ入力信号Vsigに応じた信号電位を結合容量C2を介して保持容量C1に保持する。ドライブトランジスタTr2は、保持容量C1に保持された信号電位に応じて出力ノードBに駆動電流Idsを供給し、以って電気光学素子ELを電流駆動する。尚実際には走査線DSを介してスイッチングトランジスタTr3がオンした時ドライブトランジスタTr2から駆動電流Idsが出力ノードBを介して電気光学素子ELに供給され、発光動作を行なう様になっている。

【0038】

係る構成を有する画素回路5は通常の手書き機能に加え、閾電圧補正回路が組み込まれている。この閾電圧補正回路は電気光学素子ELの電流駆動に先立ってドライブトランジスタTr2の閾電圧を検知しあらかじめその影響をキャンセルする為に該検知した電位を保持容量C1に保持するものである。本実施形態では、この閾電圧補正回路は追加のスイッチングトランジスタTr4及びTr5で構成されている。一方のスイッチングトランジスタTr4は所定の固定電位Vofsと入力ノードCとの間に接続されている。このスイッチングトランジスタTr4のゲートは閾電圧補正用に別途設けた走査線AZに接続している。スイッチングトランジスタTr5は、制御ノードAとドライブトランジスタTr2の

10

20

30

40

50

出力側（ドレイン側）との間に接続されている。このスイッチングトランジスタ T_r5 のゲートも走査線 AZ に接続されている。

【0039】

係る構成を有する画素回路5は閾電圧補正回路に加え、駆動電流補正回路が組み込まれている。この駆動電流補正回路は、電気光学素子 EL の電流駆動を開始した後、ドライブトランジスタ T_r2 が供給するドレイン電流 I_{ds} のばらつきを検出し、その結果に従ってこのばらつきを打ち消す様に保持容量 $C1$ に保持された信号電位を調節する。より具体的には、駆動電流補正回路は、駆動電流 I_{ds} のばらつきに応じて変動する電気光学素子 EL の電圧降下を検出し、この検出した電圧降下の変動を打ち消す様に保持容量 $C1$ に保持された信号電位を調節する。ドライブトランジスタ T_r2 の移動度は各画素毎にばらついている。移動度のばらつきに応じて駆動電流 I_{ds} がばらつく。これに応じて電気光学素子 EL の電圧降下量が変動する。この電圧降下量を検出しドライブトランジスタ T_r2 の制御ノード A 側にフィードバックすることで、移動度のばらつきをキャンセルする様にしている。

10

【0040】

この様なドライブトランジスタ T_r2 の移動度 μ のばらつきを吸収する機能を有する駆動電流補正回路は、追加のスイッチングトランジスタ T_r6 、 T_r7 と追加の結合容量 $C4$ とで構成されている。結合容量 $C4$ は入力ノード C に接続されている。スイッチングトランジスタ T_r7 は、この結合容量 $C4$ と出力ノード B との間に接続されている。スイッチングトランジスタ T_r7 のゲートは追加の走査線 X に接続している。又スイッチングトランジスタ T_r6 は制御ノード A と結合容量 $C2$ との間に接続されている。このスイッチングトランジスタ T_r6 のゲートは更に別の追加走査線 Y に接続している。

20

【0041】

図6のタイミングチャートを参照して、図5に示した本発明に係る画素回路の動作を詳細に説明する。理解を容易にする為、図4に示した先の参考例に係るタイミングチャートと対応する部分には対応する参照符号を用いている。図6のタイミングチャートは、タイミング $T1$ で1フィールド ($1f$) がスタートし、タイミング $T7$ で1フィールドが終わる様に表わしてある。時間軸 T に沿って、走査線 WS 、 DS 、 AZ 、 X 、 Y のレベル変化を表わしてある。又同じ時間軸に沿って、制御ノード A 、出力ノード B 、入力ノード C 及び中間ノード D の電位変化を表わしてある。制御ノード A 及び入力ノード C の電位変化は実線で表わし、これと区別する為出力ノード B 及び中間ノード D の電位変化は鎖線で表わしてある。ここで制御ノード A はドライブトランジスタ T_r2 のゲートであり、出力ノード B は電気光学素子 EL のアノードであり、入力ノード C 及び中間ノード D は結合容量 $C2$ の両端子である。

30

【0042】

タイミング $T1$ で当該フィールドがスタートした時点で、走査線 DS 及び Y がハイレベルにある一方、走査線 WS 、 AZ 及び X がローレベルにある。従ってこの時点 $T1$ では、スイッチングトランジスタ T_r3 及び T_r6 がオン状態にある一方、サンプリングトランジスタ T_r1 、スイッチングトランジスタ T_r4 、 T_r5 及び T_r7 がオフ状態にある。スイッチングトランジスタ T_r6 がオン状態である為中間ノード D と制御ノード A は連結している。又スイッチングトランジスタ T_r3 がオン状態である為、ドライブトランジスタ T_r2 から供給される駆動電流 I_{ds} は出力ノード B を介して電気光学素子 EL に送られ、発光状態となっている。

40

【0043】

次のタイミング $T2$ に進むと、走査線 AZ 及び X がローレベルからハイレベルに切り替わる。走査線 X がハイレベルとなることでスイッチングトランジスタ T_r7 がオン状態となり、結合容量 $C4$ は出力ノード B 側に連結される。又スイッチングトランジスタ T_r4 及び T_r5 がオンすることでドライブトランジスタの閾電圧補正動作が開始する。スイッチングトランジスタ T_r4 がオンすることで入力ノード C は固定電位 V_{ofs} にセットされ、閾電圧補正動作の待機状態となる。同時にスイッチングトランジスタ T_r5 がオンす

50

ることで、保持容量 C_1 に保持された電荷がドライブトランジスタ T_{r2} のドレイン側に放電される。この結果制御ノードAの電位は接地電位 GND に向かって低下する。

【0044】

タイミング T_2 の後タイミング T_3 に至ると、走査線 DS がハイレベルからローレベルとなり、スイッチングトランジスタ T_{r3} がオフする。これにより電気光学素子 EL が出力ノードBから切り離されるので、非発光状態となる。一方ドライブトランジスタ T_{r2} から供給される駆動電流 I_{ds} は引続きオン状態にあるスイッチングトランジスタ T_{r5} を介して保持容量 C_1 及び結合容量 C_2 に流れ込む。これにより制御ノードAの電位は電源電位 V_{cc} に向かって上昇し始める。この上昇過程で制御ノードAの電位がちょうどドライブトランジスタ T_{r2} の閾電圧 V_{th} と一致した時、ドライブトランジスタ T_{r2} のゲートが遮断する。この結果、ドレイン電流 I_{ds} は流れなくなり、ドライブトランジスタ T_{r2} に相当する電位が保持容量 C_1 に保持される。この様にしてドライブトランジスタ T_{r2} の閾電圧 V_{th} が保持容量 C_1 に保持される。

10

【0045】

タイミング T_3a に進むと、走査線 AZ がハイレベルからローレベルに戻り、閾電圧 V_{th} 補正期間が終了する。すなわちスイッチングトランジスタ T_{r4} がオフし、入力ノードCは固定電位 V_{ofs} から切り離される。又スイッチングトランジスタ T_{r5} もオフし、制御ノードAがドライブトランジスタ T_{r2} の出力側（ドレイン側）から切り離される。これにより、次の信号書込動作に備えた待機状態となる。

【0046】

20

タイミング T_4 になると走査線 WS に選択パルスが印加され、ローレベルからハイレベルに立ち上がる。これによりサンプリングトランジスタ T_{r1} がオンする。信号線 DL から供給された入力信号 V_{sig} はサンプリングトランジスタ T_{r1} によってサンプリングされ、結合容量 C_2 を介して保持容量 C_1 にカップリングされる。これにより、結合容量 C_2 と保持容量 C_1 の容量分割比に応じた信号電位 V_{in} が保持容量 C_1 に保持される。この信号電位 V_{in} は先に保持容量 C_1 に保持されたドライブトランジスタの閾電圧 V_{th} に足し込む形で保持される。この結果制御ノードAの電位は電源電位 V_{cc} 基準で、 $V_{th} + V_{in}$ の分だけ下がる。 $V_{th} + V_{in}$ がゲート電位 V_{gs} としてドライブトランジスタ T_{r2} のゲートに印加される。この際、ゲート電位 V_{gs} には常に V_{th} が足し込まれている為、個々の画素毎にドライブトランジスタ T_{r2} の閾電圧 V_{th} がばらついていてもこれをキャンセルすることが可能になる。全ての画素において、ドライブトランジスタ T_{r2} は結局正味の信号電位 V_{in} で駆動される為、ユニフォーミティを改善することができる。

30

【0047】

信号書込に割り当てられた時間（1水平期間1H）がタイミング T_4 から経過すると、タイミング T_5 で選択パルスが解除され走査線 WS は再びローレベルに戻る。これによりサンプリングトランジスタ WS はオフし、次の発光動作に備えた待機状態となる。

【0048】

タイミング T_6 に進むと走査線 DS が再びローレベルからハイレベルに立ち上がりスイッチングトランジスタ T_{r3} がオンする。この結果ドライブトランジスタ T_{r2} から供給された駆動電流 I_{ds} が出力ノードBを介して電気光学素子 EL に流れ込む。これにより電気光学素子 EL に電圧降下 ΔV_{el} が生じ、その分電気光学素子 EL のアノードである出力ノードBの電位が接地電位 GND に対して上昇する。出力ノードBに現われる電位降下分 ΔV_{el} はオン状態にあるスイッチングトランジスタ T_{r7} を介して結合容量 C_4 にカップリングされる。この時スイッチングトランジスタ T_{r6} はオフになるので、中間ノードDは制御ノードAから切り離される。

40

【0049】

この後タイミング T_6a になると走査線 Y が再びハイレベルに立ち上がる一方走査線 X がローレベルに立ち下がる。これによりスイッチングトランジスタ T_{r6} がオンする一方スイッチングトランジスタ T_{r7} がオフする。スイッチングトランジスタ T_{r6} がオンし

50

た結果容量 C_3 及び C_4 に蓄えられた電荷が結合容量 C_2 を介して保持容量 C_1 に分配される。この結果中間ノード D の電位が $\Delta V_{el}'$ だけ上昇するとともに、制御ノード A の電位も電荷分配分に相当する $\Delta V_{el}''$ 分だけ上昇する。この様に、駆動電流 I_{ds} が正方向にばらつくとその分だけ電気光学素子 EL に生じる電圧降下 ΔV_{el} が増大する。この増大する電圧降下分 ΔV_{el} に見合った分が保持容量 C_1 に書き込まれ、制御ノード A の電位が $\Delta V_{el}''$ だけ上昇する。換言するとドライブトランジスタ Tr_2 のゲート電圧 V_{gs} が $\Delta V_{el}''$ 分だけ小さくなり、正方向にばらついた駆動電流 I_{ds} を負方向に引き戻す作用をする。これによりドライブトランジスタ Tr_2 の移動度のばらつきをキャンセルすることができる。

【0050】

10

この後タイミング T_7 に至ると当該フィールドが完了し、次のフィールドに移行する。

【図面の簡単な説明】

【0051】

【図1】アクティブマトリクス表示装置及び画素回路の一般的な構成を示すブロック図である。

【図2】画素回路の従来例を示す回路図である。

【図3】画素回路の参考例を示す回路図である。

【図4】図3に示した画素回路の動作説明に供するタイミングチャートである。

【図5】本発明に係る画素回路の構成を示す回路図である。

【図6】図5に示した本発明に係る画素回路の動作説明に供するタイミングチャートである。

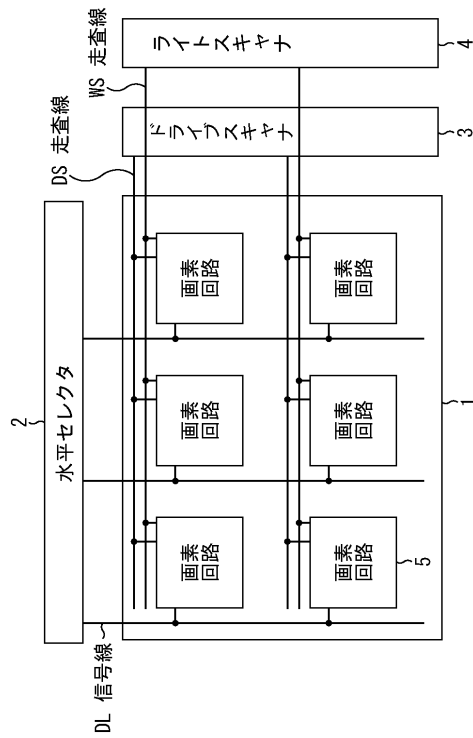
20

【符号の説明】

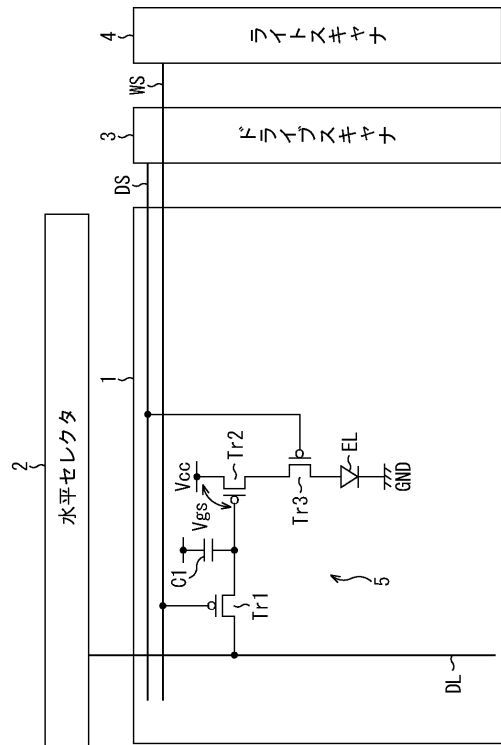
【0052】

1・・・画素アレイ、2・・・水平セレクタ、3・・・ドライブスキャナ、4・・・ライトスキャナ、5・・・画素回路、 Tr_1 ・・・サンプリングトランジスタ、 Tr_2 ・・・ドライブトランジスタ、 Tr_3 ・・・スイッチングトランジスタ、 Tr_4 ・・・スイッチングトランジスタ、 Tr_5 ・・・スイッチングトランジスタ、 Tr_6 ・・・スイッチングトランジスタ、 Tr_7 ・・・スイッチングトランジスタ、 C_1 ・・・保持容量、 C_2 ・・・結合容量、 C_3 ・・・補助容量、 C_4 ・・・結合容量、 EL ・・・電気光学素子

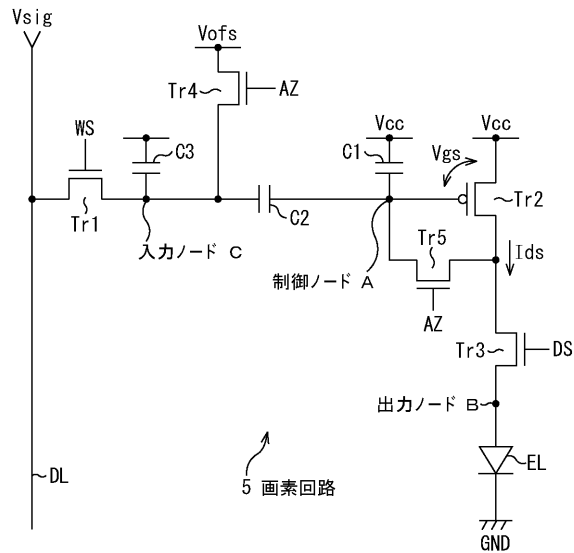
【図 1】



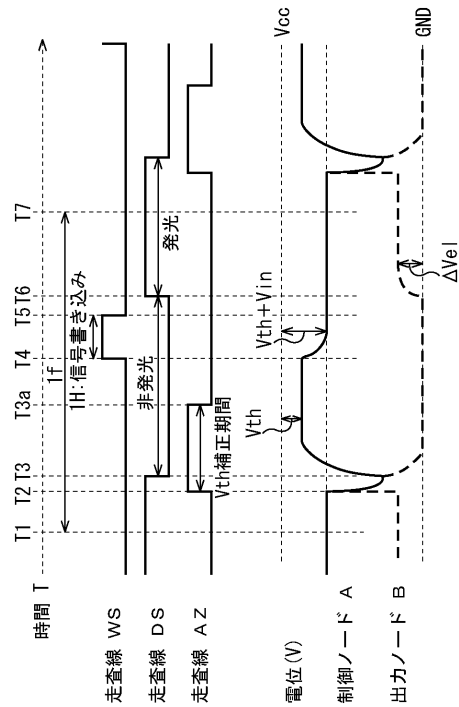
【図 2】



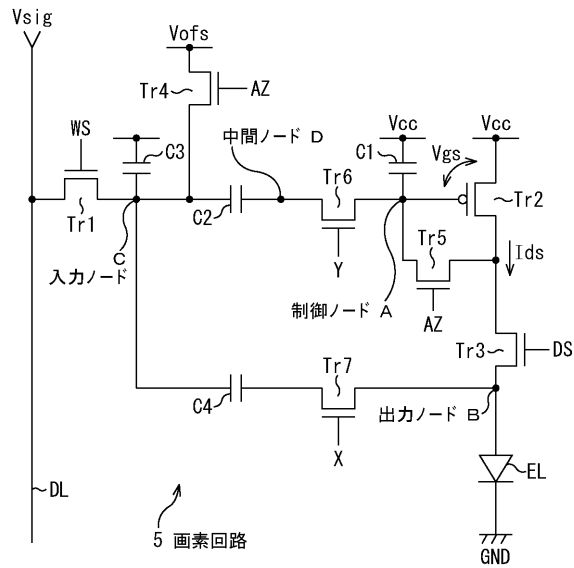
【図 3】



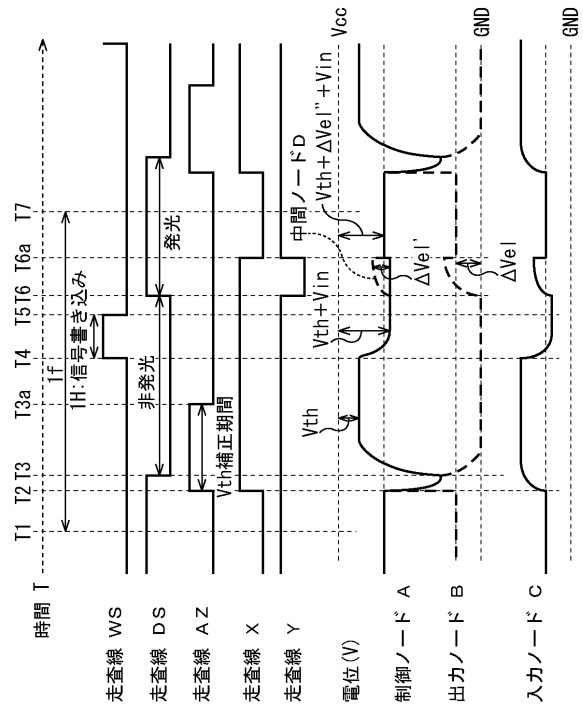
【図 4】



【図 5】



【図 6】



フロントページの続き

(51)Int.Cl. F I
H 0 5 B 33/14 A

(56)参考文献 国際公開第98/040871 (WO, A1)
特開2004-133240 (JP, A)
特開2003-255897 (JP, A)
特表2003-509728 (JP, A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 2 0, 3 / 3 0 - 3 / 3 2

专利名称(译)	像素电路和显示设备		
公开(公告)号	JP4747528B2	公开(公告)日	2011-08-17
申请号	JP2004215058	申请日	2004-07-23
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	内野勝秀 山下淳一		
发明人	内野 勝秀 山下 淳一		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.611.H G09G3/20.624.B G09G3/20.641.D G09G3/20.642.A H05B33/14.A G09G3/20.642.P G09G3/3233 G09G3/3291		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K107/AA01 3K107/BB01 3K107/CC02 3K107/CC33 3K107/EE03 3K107/HH03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/EE29 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C380/AA01 5C380/AB06 5C380/AB23 5C380/BA36 5C380/BA39 5C380/BB04 5C380/CA12 5C380/CC03 5C380/CC04 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC48 5C380/CC63 5C380/CD013 5C380/CD035 5C380/DA02 5C380/DA06		
其他公开文献	JP2006038965A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供能够补偿驱动晶体管的漏极电流的变化的像素电路。解决方案：当由扫描线WS选择时，采样晶体管Tr1被操作，并且从信号线DL采样输入信号Vsig以将其保持在保持电容C1中。驱动晶体管Tr2根据保持电容C1中保持的信号电位将驱动电流Ids提供给输出节点B，由此电流驱动电光元件EL。阈值电压校正电路在电光元件EL的电流驱动之前检测驱动晶体管Tr2的阈值电压，并保持消除其对保持电容C1的影响的电位。驱动电流校正电路检测在电光元件EL的电流驱动开始之后从驱动晶体管Tr2提供的驱动电流Ids的变化，并根据检测结果控制保持在保持电容C1中的信号电位。至于取消差异。Z

【 图 1 】

