

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-18051

(P2011-18051A)

(43) 公開日 平成23年1月27日(2011.1.27)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
H01L 51/50 (2006.01)	G09G 3/20 641E	5C380
	G09G 3/20 642A	
	G09G 3/20 670J	
審査請求 有 請求項の数 11 O L (全 24 頁) 最終頁に続く		

(21) 出願番号	特願2010-166486 (P2010-166486)	(71) 出願人	000005016
(22) 出願日	平成22年7月23日 (2010.7.23)		パイオニア株式会社
(62) 分割の表示	特願2007-528327 (P2007-528327) の分割	(74) 代理人	100079119 弁理士 藤村 元彦
原出願日	平成18年5月2日 (2006.5.2)	(72) 発明者	石塚 真一
(31) 優先権主張番号	特願2005-138592 (P2005-138592)		埼玉県鶴ヶ島市富士見6丁目1番2号 パイオニア株式会社総合研究所内
(32) 優先日	平成17年5月11日 (2005.5.11)	Fターム(参考)	3K107 AA01 BB01 CC14 CC33 CC45 EE04 HH02 HH04 HH05 5C080 AA06 BB05 DD05 DD26 DD29 JJ02 JJ03 JJ04
(33) 優先権主張国	日本国(JP)		

最終頁に続く

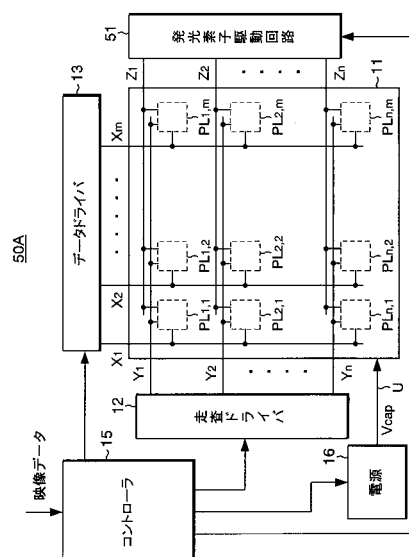
(54) 【発明の名称】 アクティブマトリクス型表示装置

(57) 【要約】 (修正有)

【課題】 アクティブマトリクス駆動方式において使用されるトランジスタ、特に有機半導体トランジスタの、閾値特性のばらつきを解決し、低消費電力で、表示品質が高く、かつ簡便な回路構成及び動作を有する表示装置を提供する。

【解決手段】 複数の画素部の各々に設けられ、発光素子を駆動する駆動トランジスタの制御電極に接続されてデータ信号を保持するキャパシタと、上記制御電極とは異なる上記駆動トランジスタの第2の電極への印加電圧を生成する印加電圧生成部と、駆動トランジスタの上記第2の電極への印加電圧を調整する駆動電圧調整部と、を有する。

【選択図】 図1 2



【特許請求の範囲】

【請求項 1】

各々が発光素子及び前記発光素子をデータ信号に基づいて駆動する駆動トランジスタを有する複数の画素部からなるアクティブマトリクス型の表示パネルと、前記表示パネルの各走査線を順次走査する走査駆動部と、前記走査駆動部による走査に応じて前記データ信号を前記画素部に供給するデータ駆動部と、を有する表示装置であって、

前記複数の画素部の各々に設けられ、前記駆動トランジスタの制御電極に接続されて前記データ信号を保持するキャパシタと、

前記制御電極とは異なる前記駆動トランジスタの第 2 の電極への印加電圧を生成する印加電圧生成部と、

前記駆動トランジスタの前記第 2 の電極への印加電圧を調整する駆動電圧調整部と、を有することを特徴とする表示装置。

【請求項 2】

前記駆動トランジスタの前記第 2 の電極は、前記表示パネルの走査線ごとに共通接続線によって接続されていることを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

前記複数の画素部の全ての駆動トランジスタの前記第 2 の電極は共通接続線によって接続されていることを特徴とする請求項 1 に記載の表示装置。

【請求項 4】

前記駆動電圧調整部は、前記駆動トランジスタの前記第 2 の電極への印加電圧を調整して前記駆動トランジスタに逆バイアス電圧を印加することを特徴とする請求項 1 ないし 3 のいずれか 1 に記載の表示装置。

【請求項 5】

前記駆動電圧調整部は、前記第 2 の電極への印加電圧の印加期間を調整して前記発光素子の発光期間を制御することを特徴とする請求項 1 ないし 4 のいずれか 1 に記載の表示装置。

【請求項 6】

前記駆動トランジスタの前記第 2 の電極は前記表示パネルの走査線ごとに共通接続線によって接続され、前記駆動電圧調整部は、前記走査駆動部による走査ごとに前記発光素子の発光期間を制御することを特徴とする請求項 1 に記載の表示装置。

【請求項 7】

前記走査駆動部はサブフィールド法に基づいて前記表示パネルの走査を行い、前記駆動電圧調整部は該サブフィールド期間の長さに応じて前記発光素子の発光期間を制御することを特徴とする請求項 5 に記載の表示装置。

【請求項 8】

前記表示パネル全体の輝度を指定する輝度指定信号を生成する輝度信号生成部をさらに有し、前記駆動電圧調整部は前記輝度指定信号に応じて前記発光素子の発光期間を制御することを特徴とする請求項 5 に記載の表示装置。

【請求項 9】

前記表示パネルの 1 の走査線に接続された画素部の駆動トランジスタの前記第 2 の電極は前記 1 の走査線とは異なる走査線に接続され、前記走査駆動部は前記駆動トランジスタを逆バイアス状態にし得る電圧を有する走査パルス信号により順次走査をなすことを特徴とする請求項 1 に記載の表示装置。

【請求項 10】

前記画素部の駆動トランジスタの前記第 2 の電極は 1 走査前の走査線に接続されていることを特徴とする請求項 9 に記載の表示装置。

【請求項 11】

前記データ駆動部は電流プログラム方式に基づいて前記データ信号を前記画素部に供給することを特徴とする請求項 1 に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、EL (Electroluminescent) 素子やLED (発光ダイオード) などの発光素子を駆動するための能動素子を含む表示装置に関し、特に、薄膜トランジスタ (TFT; thin film transistor) を能動素子として含む表示装置に関する。

【背景技術】

【0002】

TFTは、有機ELディスプレイや液晶ディスプレイといったアクティブマトリクス型ディスプレイを駆動するための能動素子として広く使用されている。図1は、有機EL (Organic Electroluminescent) 素子 (OEL) 100の駆動回路の等価回路の一例を、一つの画素PLi, jについて示している。図1を参照すると、この等価回路は、能動素子である2つのpチャンネルTFT101, 102と、キャパシタ (Cs) 104とを含む。走査線Wsは選択TFT101のゲートに接続され、データ線Wdは選択TFT101のソースに接続され、一定の電源電圧Vddを供給する電源線Wzは駆動TFT102のソースに接続されている。選択TFT101のドレインは駆動TFT102のゲートに接続されており、駆動TFT102のゲートとソース間にキャパシタ104が形成されている。OEL100のアノードは駆動TFT102のドレインに、そのカソードはアース電位 (又は共通電位) にそれぞれ接続されている。

【0003】

走査線Wsに選択パルスが印加されると、スイッチとしての選択TFT101がオンになりソースとドレイン間が導通する。このとき、データ線Wdから、選択TFT101のソースとドレイン間を介してデータ電圧が供給され、キャパシタ104に蓄積される。このキャパシタ104に蓄積されたデータ電圧が駆動TFT102のゲートとソース間に印加されるので、駆動TFT102のゲート・ソース間電圧Vgsに応じたドレイン電流Idが流れ、OEL100に供給されることとなる。

【0004】

しかしながら、アルモファスシリコン (α -Si) 或いは有機半導体等を用いたTFTは、ゲートに電圧を印加し続けるとゲート閾値電圧Vthがシフトする現象、すなわちゲートストレスと呼ばれる現象があることが知られている (例えば、非特許文献1参照)。この現象をPチャンネルTFTを例に説明する。

【0005】

図2にゲートストレスによるゲート閾値電圧Vthのシフトの様子を示す。PチャンネルTFTの場合には、ゲート・ソース間電圧を負極性 (すなわち、 $Vgs < 0$) にして印加し続けると、ゲートストレスによって時間経過と共にId-Vgs特性は、図2に示すようにマイナス方向に (曲線120Aから曲線120Bへ) 変化し、これにより、ゲート閾値電圧VthがVth1からVth2にシフトしていく。なお、図2においては、理解の容易さのため、Vgsを正の値 ($Vgs > 0$) として示している。

【0006】

このTFTの特性変化において、ゲート・ソース間電圧Vgsを0V若しくは正極性にして印加し続けることによって元のゲート閾値電圧Vthに復帰する。逆に、Vgsを正極性にして印加し続けると、時間経過と共にゲート閾値電圧Vthはプラス方向にシフトし、その後、Vgsを0V若しくは負極性にして印加し続けることによって元のゲート閾値電圧Vthに復帰する。シフト量は、ゲート閾値電圧Vgsの絶対値及び印加時間が大きいほど大きくなる。このような特性を示すTFTを有機EL素子の駆動に用いると、表示中に徐々にゲート閾値電圧Vthがシフトしていくことになる。ゲート閾値電圧シフトは、OELの発光輝度の低下やTFTの動作不能を引き起こすという問題がある。

【0007】

TFTを構成する材料として、単結晶シリコン、アモルファスシリコン、多結晶シリコンもしくは低温多結晶シリコンが広く使用されている。また、近年、これらシリコン材料

10

20

30

40

50

の代わりに、有機材料を活性層として使用する T F T（以下、有機 T F T と称する。）が注目されている。有機半導体材料としては、比較的キャリア移動度の高い低分子系または高分子系有機材料、たとえば、ペンタセン、ナフタセンまたはポリチオフェン系材料が挙げられる。この種の有機 T F T は、プラスチックなどの可撓性フィルム基板上に比較的低温のプロセスで形成することができるので、機械的に柔軟で、軽量且つ薄型のディスプレイを容易に作製することを可能にするものである。また、有機 T F T は、印刷工程やロール・ツー・ロール（R o l l - t o - r o l l）工程によって比較的 low コストで形成可能である。

【0008】

上記した閾値電圧シフトの現象は、特にアモルファスシリコン T F T や有機 T F T において顕著に現れる。有機 T F T の閾値電圧シフトについては、たとえば、非特許文献 1 に開示されている。

【0009】

T F T の閾値電圧シフトを補償するための駆動回路および駆動方法は、たとえば、特許文献 1 や特許文献 2 に開示されている。これら文献に記載される駆動回路および駆動方法はいずれも、駆動 T F T の閾値電圧シフトを容認しつつ、閾値電圧シフトに関係なく発光素子の発光輝度を一定に制御し得るものである。しかしながら、これら文献の駆動回路でも閾値電圧シフトの発生を抑えることはできないため、閾値電圧シフトによる消費電力の増大を防止できない。また、駆動 T F T の閾値電圧が許容範囲を超えてシフトすれば、そのシフトを補償することは難しく、発光輝度のバラツキや T F T の動作不能が起きる。さらに、駆動 T F T 以外の選択 T F T にも閾値電圧シフトが起こるので、選択 T F T の閾値電圧シフトが許容範囲を超えてシフトすれば、選択 T F T の動作不能が起こる。特に、有機 T F T やアモルファスシリコン（ α -S i）T F T の閾値電圧シフトは、低温ポリシリコン T F T や単結晶シリコン T F T のそれと比べると大きいため、有機 T F T やアモルファスシリコン T F T を使用するアクティブマトリクス型ディスプレイでは、発光素子の発光輝度のバラツキや T F T の動作不能が起きやすいという問題がある。

【0010】

さらに、T F T の特性ばらつきを解決するため、駆動 T F T のソース若しくはドレイン及びキャパシタと、走査線との接続に工夫を行った構成（特許文献 3 参照）や、 α -S i トランジスタの閾値電圧シフトを低減するための T F T の接続構成（特許文献 4 参照）について開示されている。

【0011】

しかしながら、これら文献に開示された駆動回路、方法においては回路構成、動作が複雑であったり、その効果も限定的であるという問題がある。

【先行技術文献】

【特許文献】

【0012】

【特許文献 1】特表 2002-514320 号公報

【特許文献 2】特開 2002-351401 号公報

【特許文献 3】特開 2004-170815 号公報

【特許文献 4】特開 2005-004174 号公報

【非特許文献】

【0013】

【非特許文献 1】S. J. Zilker, C. Detcheverry, E. Cantatore, and D. M. de Leeuw, "Bias stress in organic thin-film transistors and logic gates," Applied Physics Letters Vol 79 (8) pp. 1124-1126, August 20, 2001

【発明の概要】

【発明が解決しようとする課題】

【0014】

本発明が解決しようとする課題には、上記の欠点が一例として挙げられる。本発明は、アクティブマトリクス駆動方式において使用されるトランジスタ、特に有機半導体トランジスタの特性を改善し得る表示装置を提供することを目的とする。また、トランジスタの閾値特性のばらつきを解決し、低消費電力で、表示品質が高く、かつ簡便な回路構成及び動作を有する表示装置を提供する。

【課題を解決するための手段】

【0015】

本発明の表示装置は、各々が発光素子及び上記発光素子をデータ信号に基づいて駆動する駆動トランジスタを有する複数の画素部からなるアクティブマトリクス型の表示パネルと、表示パネルの各走査線を順次走査する走査駆動部と、走査駆動部による走査に応じてデータ信号を画素部に供給するデータ駆動部と、を有する表示装置であって、上記複数の画素部の各々に設けられ、上記駆動トランジスタの制御電極に接続されてデータ信号を保持するキャパシタと、上記制御電極とは異なる上記駆動トランジスタの第2の電極への印加電圧を生成する印加電圧生成部と、上記駆動トランジスタの上記第2の電極への印加電圧を調整する駆動電圧調整部と、を有している。

【図面の簡単な説明】

【0016】

【図1】従来の発光素子駆動回路の等価回路の一例を示す図である。

【図2】ゲートストレスによるゲート閾値電圧 V_{th} のシフトの様子を示す図である。

【図3】本発明の実施例1であるアクティブマトリクス表示パネルを用いた表示装置のブロック図である。

【図4】表示パネルの複数の画素部のうち、データ線 X_i 及び走査線 Y_j に関連する画素部 $PL_{j,i}$ について示す図である。

【図5】表示パネルの各走査線 $Y_1 \sim Y_n$ に印加される走査パルス及びキャパシタライン $W_1 \sim W_n$ に印加されるキャパシタ駆動電圧 V_c についての印加タイミングを示すタイミングチャートである。

【図6】各画素部のキャパシタ C_s への印加電圧及びキャパシタバイアス電圧、駆動TF Tのゲート・ソース間電圧及びゲート電圧を示す図である。

【図7】本発明の実施例2に係るアクティブマトリクス表示パネルを用いた表示装置を示すブロック図である。

【図8】図7に示す表示装置の各走査線 $Y_1 \sim Y_n$ に印加される走査パルス及びキャパシタライン W に印加されるキャパシタ駆動電圧 V_c についての印加タイミングを模式的に示すタイミングチャートである。

【図9】本発明の実施例3に係るアクティブマトリクス表示パネルを用いた表示装置を示すブロック図である。

【図10】実施例3の表示パネルにおける画素部 $PL_{j-1,i}$ 及び $PL_{j,i}$ の回路構成を模式的に示す図である。

【図11】図9に示す表示装置の走査線 Y_{j-1} 、 Y_j に印加される走査パルス、及び画素部 $PL_{j-1,i}$ 及び $PL_{j,i}$ のキャパシタに印加されるキャパシタ駆動電圧 V_c の印加タイミングを模式的に示すタイミングチャートである。

【図12】本発明の実施例4であるアクティブマトリクス表示パネルを用いた表示装置を示すブロック図である。

【図13】図12に示す表示パネルの複数の画素部のうち、データ線 X_i 及び走査線 Y_j に関連する画素部 $PL_{j,i}$ について示す図である。

【図14】図12に示す表示パネルの各走査線 $Y_1 \sim Y_n$ に印加される走査パルス及び発光素子駆動ライン $Z_1 \sim Z_n$ に印加される駆動電圧 V_z についての印加タイミングを模式的に示すタイミングチャートである。

【図15】第 j 走査ライン(Y_j)への印加電圧及び駆動TF T (T_2)の電圧変化を示すタイミングチャートである。

10

20

30

40

50

【図 1 6】本発明の実施例 5 であるアクティブマトリクス表示パネルを用いた表示装置を示すブロック図である。

【図 1 7】図 1 6 に示す表示パネルの各走査線 $Y_1 \sim Y_n$ に印加される走査パルス及び発光素子駆動ライン Z に印加される駆動電圧 V_z についての印加タイミングを模式的に示すタイミングチャートである。

【図 1 8】第 j 走査ライン (Y_j) への印加電圧及び駆動 T F T (T_2) の電圧変化を示すタイミングチャートである。

【図 1 9】実施例 5 の改変例を示すタイミングチャートである。

【図 2 0】実施例 5 の改変例を示すタイミングチャートである。

【図 2 1】本発明の実施例 6 であるアクティブマトリクス表示パネルを用いた表示装置を示すブロック図である。

【図 2 2】実施例 6 の表示パネルにおける画素部 $PL_{j-1, i}$ 及び $PL_{j, i}$ の回路構成を模式的に示す図である。

【図 2 3】実施例 6 において走査線 Y_j 及び接続線 (Z_j) ($j = 1 \sim n$) に印加される電圧を示すタイミングチャートである。

【図 2 4】第 j 走査線 (Y_j) 上の画素部 $PL_{j, i}$ の駆動 T F T のソースに印加される走査電圧及びデータ電圧を示すタイミングチャートである。

【図 2 5】本発明の実施例 7 である、電流プログラム方式に適応した表示装置の複数の画素部のうち、データ線 X_i 及び走査線 Y_j に接続された画素部 $PL_{j, i}$ の回路構成を模式的に示す図である。

【図 2 6】スイッチ $SW_1 \sim 3$ の動作、及びキャパシタラインライン及び駆動 T F T のソース・ゲート電圧の変化を示すタイミングチャートである。

【図 2 7】実施例 7 の改変例における画素部 $PL_{j, i}$ の回路構成を模式的に示す図である。

【図 2 8】図 2 7 に示す改変例におけるキャパシタラインライン及び駆動 T F T のソース・ゲート電圧の変化を示すタイミングチャートである。

【発明を実施するための形態】

【0017】

以下、本発明の実施例を図面を参照しつつ詳細に説明する。尚、以下に説明する図において、実質的に同等な部分には同一の参照符を付している。

【実施例 1】

【0018】

図 3 は本発明によるアクティブマトリクス表示パネルを用いた表示装置 10 A を示している。この表示装置 10 A は、表示パネル 11、走査ドライバ 12、データドライバ 13、キャパシタ駆動回路 14、コントローラ 15、及び発光素子駆動電源（以下、単に電源ともいう。）16 を備えている。

【0019】

表示パネル 11 は、 $m \times n$ 個 (m, n は 2 以上の整数) の画素からなるアクティブマトリクス型のものであり、各々が平行に配置された複数のデータ線 $X_1 \sim X_m$ ($X_i : i = 1 \sim m$) と、複数の走査線 $Y_1 \sim Y_n$ ($Y_j : j = 1 \sim n$) と、複数の画素部 $PL_{1, 1} \sim PL_{n, m}$ を有している。画素部 $PL_{1, 1} \sim PL_{n, m}$ は、データ線 $X_1 \sim X_m$ と走査線 $Y_1 \sim Y_n$ との交差部分に配置され、全て同一の構成を有する。また、画素部 $PL_{1, 1} \sim PL_{m, n}$ は電源線 Z に接続されている。電源線 Z には電源 16 から発光素子駆動電圧 (V_a) が供給される。

【0020】

さらに、走査線 $Y_1 \sim Y_n$ の各々に対応する接続線（キャパシタライン） $W_1 \sim W_n$ が設けられている。後述するように、当該キャパシタライン $W_1 \sim W_n$ にはキャパシタ駆動回路 14 からキャパシタラインごとに所定のタイミングで所定の大きさの電圧信号が供給される。

【0021】

10

20

30

40

50

図4は、表示パネル11の複数の画素部のうち、データ線 X_i ($i = 1, 2, \dots, m$) 及び走査線 Y_j ($j = 1, 2, \dots, n$) に関連する画素部 $PL_{j,i}$ について示している。より具体的には、2つの選択用及び駆動用TFT (薄膜トランジスタ) 21, 22と、データ保持用キャパシタ Cs_{24} と、有機EL (エレクトロルミネッセンス) 発光素子 (OEL) 25とが備えられている。なお、以下においては、2つのTFT 21, 22がPチャンネルTFTの場合を例に説明する。

【0022】

選択TFT (T1) 21のゲートは走査線 Y_j に接続され、そのソースはデータ線 X_i に接続されている。選択TFT 21のドレインには駆動TFT (T2) 22のゲートとが接続されている。TFT 22のソースは電源線Zに接続され、電源16から電源電圧 (正電圧 V_a) が供給される。TFT 22のドレインはEL素子25のアノードに接続されている。EL素子25のカソードはアース接続されている。

【0023】

本実施例において、キャパシタ (Cs) 24の一端 (第1の端子; 電極E1) は駆動TFTのゲート (及び選択TFT 21のドレイン) に接続され、他端 (第2の端子; 電極E2) はキャパシタライン W_j を介してキャパシタ駆動回路14に接続されている。キャパシタ (Cs) 24にはキャパシタライン $W_1 \sim W_n$ を介してキャパシタ駆動回路14からのキャパシタ駆動電圧 (V_c) が印加されるように接続されている。

【0024】

表示パネル11の走査線 $Y_1 \sim Y_n$ は走査ドライバ12に接続され、またデータ線 $X_1 \sim X_m$ はデータドライバ13に接続されている。コントローラ15は、入力される映像信号に応じて表示パネル11を階調駆動制御するために走査制御信号及びデータ制御信号を生成する。走査制御信号は走査ドライバ12に供給され、データ制御信号はデータドライバ13に供給される。

【0025】

走査ドライバ12は、コントローラ15から送出された走査制御信号に応じて表示用走査パルス在所定のタイミングで走査線 $Y_1 \sim Y_n$ に供給し、線順次走査がなされる。

【0026】

データドライバ13は、コントローラ15から送出されたデータ制御信号に応じて走査パルスが供給される走査線上に位置する画素部の各々に対する画素データ信号をデータ線 $X_1 \sim X_m$ を介して画素部 (選択画素部) に供給する。非発光の画素部に対してはEL素子を発光させることがないレベルの画素データ信号を供給する。

【0027】

コントローラ15は表示装置10A全体の制御、すなわち走査ドライバ12、データドライバ13、キャパシタ駆動回路14、及び発光素子駆動電源16の制御を行う。上記したように、キャパシタ駆動回路14はキャパシタ駆動電圧 (V_c) を印加してキャパシタ24を駆動する。すなわち、キャパシタ駆動回路14はコントローラ15の制御の下、キャパシタ24の第2の端子への印加電圧を生成する印加電圧生成部、及び当該キャパシタ24の第2の端子への印加電圧 (キャパシタ駆動電圧 V_c) を調整するキャパシタ電圧調整部として機能する。

【0028】

図5は、表示パネル11の各走査線 $Y_1 \sim Y_n$ に印加される走査パルス及びキャパシタライン $W_1 \sim W_n$ に印加されるキャパシタ駆動電圧 V_c についての印加タイミングを模式的に示すタイミングチャートである。

【0029】

入力映像信号の各フレームにおいて、第1～第 n 走査線 ($Y_1 \sim Y_n$) には走査パルスが順次印加され (アドレス期間: T_{adr})、線順次走査が行われる。より具体的には、キャパシタライン W_j ($j = 1 \sim n$) には、映像表示動作時にキャパシタ (Cs) 24に印加されるキャパシタ駆動電圧 $V_c = V_1$ (以下、第1のキャパシタ駆動電圧、又は第1の電圧という。) として電圧 V_a が印加されている。当該表示動作時に印加されるキャパ

10

20

30

40

50

シタ駆動電圧 V_1 は、データ信号電圧 (V_{data}) が駆動 TFT 22 のゲートに印加された際に駆動 TFT 22 が発光素子を発光駆動させ得る所定の電圧でよいが、本実施例においてはキャパシタ駆動電圧 V_1 を駆動 TFT 22 のソースに印加される発光素子駆動電圧 V_a と同じ電圧 (すなわち、 $V_1 = V_a > 0$) とした場合について説明する。当該線順次走査に対応して画素ごとの発光輝度を示すデータ信号がデータ線 $X_1 \sim X_m$ を介して印加され (図示しない)、表示パネル 11 の画像表示制御がなされる。

【0030】

本実施例においては、キャパシタ (C_s) 24 の一方の電極 (第1の電極) E_1 は駆動 TFT 22 のゲートに接続されている。そして、キャパシタ (C_s) 24 の他方の電極 (第2の端子) E_2 には第1のキャパシタ駆動電圧 $V_1 (= V_a)$ が印加されている。

10

【0031】

走査線 Y_j ($j = 1 \sim n$) への走査パルス SP の印加の開始時点から所定時間 (T_d) 経過後にキャパシタ駆動回路 14 からキャパシタライン W_j ($j = 1 \sim n$) を介してキャパシタ (C_s) 24 の電極 E_2 (第2の端子) に、第1の電圧 (V_1) に加えてキャパシタバイアス電圧 (V_b) が印加され、キャパシタ駆動電圧 V_c は第2の電圧 V_2 (すなわち、 $V_c = V_2$) となる。具体的には、キャパシタ駆動電圧として第1の電圧 $V_1 (= V_a)$ に加えてキャパシタバイアス電圧 V_b が印加され、キャパシタ (C_s) 24 の電極 E_2 の電圧 (第2のキャパシタ駆動電圧) V_2 は $V_c = V_2 = V_a + V_b$ となる。

【0032】

次に、各画素部のキャパシタ C_s 24 への印加電圧及びキャパシタバイアス電圧、駆動 TFT 22 のゲート・ソース間電圧及びゲート電圧について図6を参照して詳細に説明する。なお、図6においては、一般的に j 番目の走査線 Y_j ($j = 1 \sim n$) について説明する。画素部 $PL_{j,i}$ の走査線 Y_j に走査パルス SP が印加されて走査線 Y_j が選択される (走査線 Y_j が ON) と、選択 TFT 21 が導通し、データドライバ 13 からの画素データ信号パルス DP (データ電圧 V_{data}) が選択 TFT 21 を介して駆動 TFT 22 のゲートに供給される。キャパシタ (C_s) 24 の電極 E_2 にはキャパシタ駆動電圧 V_c として第1の電圧 $V_1 = V_a (> 0)$ が供給されているので、キャパシタ 24 には電圧 $V_c - V_{data} = V_a - V_{data}$ に対応する電荷が蓄積され、当該電圧が保持される。そして、駆動 TFT 22 にはゲート・ソース間電圧 $V_{gs} (= V_{data} - V_a < 0)$ に応じたドレイン電流が流れる。従って、画素データ信号 (データ電圧 V_{data}) に応じて発光素子 (OEL) 25 は駆動され、発光する。

20

30

【0033】

走査パルス SP の印加の開始から所定時間 (T_d) 経過後に、キャパシタライン W_j への印加電圧にはキャパシタバイアス電圧 $V_b (> 0)$ が加えられ、キャパシタ駆動電圧 V_c は $V_c = V_2 = V_a + V_b$ になるとともに、駆動 TFT 22 のゲート電圧 V_g は V_{data} から $V_{data} + V_b$ へ変化する。このとき駆動 TFT 22 のゲート電圧 $V_g = V_{data} + V_b$ が駆動 TFT 22 のソース電圧 $V_s = V_a$ を超える (すなわち、 $V_{data} + V_b > V_a$) ように設定することによって、駆動 TFT 22 のゲート・ソース間に正極性の逆バイアス電圧 ($V_r = V_{data} + V_b - V_a > 0$) を印加することができる。このように、駆動 TFT 22 のゲート電圧 V_g が駆動 TFT 22 のソース電圧 V_s を超えるようにキャパシタ (C_s) 24 の電極 E_2 に駆動電圧 V_c を印加することで駆動 TFT 22 を逆バイアスの状態、すなわち、駆動 TFT 22 のゲート・ソース間に正極性の逆バイアス電圧 ($V_r > 0$) を印加することができ、駆動 TFT 22 の閾値電圧 (V_{th}) シフトの低減、ゲートストレスの緩和に有効である。

40

【0034】

あるいは、駆動 TFT 22 のゲート電圧 $V_g = V_{data} + V_b$ が駆動 TFT 22 のソース電圧 $V_s = V_a$ と同じ (すなわち、 $V_{data} + V_b = V_a$) になるように設定することによって、ゲート・ソース間電圧を $0V$ ($V_r = 0$) とすることができる。このように駆動 TFT 22 のゲート電圧 V_g を駆動 TFT 22 のソース電圧 V_s と等しくすることによっても TFT の閾値電圧 (V_{th}) シフトを低減することができる。

50

【0035】

上記した逆バイアス電圧 ($V_r > 0$ 又は $V_r = 0$) の印加期間 (T_r) は、任意に設定することができる。

【0036】

本実施例においては、走査ラインごとにキャパシタ駆動電圧にキャパシタバイアス電圧 V_b を加えて印加しているので、走査ラインごとに駆動 TFT 22 に逆バイアス電圧 V_r を印加することができる。例えば、駆動 TFT 22 に逆バイアス電圧 V_r が印加されている期間は発光素子 (OEL) 25 は発光しないので、走査パルス SP の印加開始からキャパシタライン W_j へのキャパシタバイアス電圧 V_b の印加までの期間 (T_d) を各走査ラインで同一とすれば、各走査ラインごとの発光期間 (T_d) を同一にすることができる。あるいは、当該期間 (T_d) を走査ラインごとに異なる期間 (すなわち、 T_{d1} , T_{d2} , ..., T_{dn}) とすることによって走査ラインごとの発光期間を異ならせる等により、発光期間の制御を行うことも可能である。

10

【0037】

なお、発光期間の制御を行う場合に印加する電圧は必ずしも逆バイアス電圧 V_r に限らない。すなわち、単に発光素子 25 の発光が停止するような電圧を印加して発光期間を制御することができる。例えば、発光を停止させる場合には、 $V_a > V_{data} + V_b > V_a - V_{th}$ となるようにキャパシタバイアス電圧 V_b を印加してもよい。

【0038】

かかる発光期間の制御によって、表示パネル 11 全体の輝度調整を行うことが可能である。また、サブフィールド期間の設定に用い、階調制御に利用することも可能である。例えば、コントローラ 15 は、入力映像信号あるいはユーザの輝度指定信号に基づいて表示パネル 11 の輝度に対応する発光期間 (T_d) を定め、逆バイアス電圧 V_r の印加タイミングを制御すればよい。または、サブフィールド法による表示制御を行う場合には、所望のサブフィールド期間を定め、階調制御を行うよう制御すればよい。

20

【0039】

さらに、当該期間 T_d が各フレームにおけるアドレス期間より大きい場合 ($T_{adr} < T_d$) を例示 (図 5) したが、当該期間 T_d をアドレス期間よりも短い期間 ($T_{adr} > T_d$ 、又は $T_{adr} = T_d$) に設定することも可能である。さらに、逆バイアス電圧 ($V_r > 0$) の印加期間 (T_r) も、各走査ラインごとに任意に設定することが可能である。

30

【実施例 2】

【0040】

図 7 は本発明によるアクティブマトリクス表示パネルを用いた表示装置 10B を示している。

【0041】

図 7 に示すように、本実施例において、全ての画素部 $PL_{1,1} \sim PL_{n,m}$ のキャパシタ 24 (Cs) の電極 E2 はキャパシタライン W を介してキャパシタ駆動回路 14 に接続されている。すなわち、キャパシタライン W は表示パネル 11 の全ての画素部 $PL_{1,1} \sim PL_{n,m}$ のキャパシタ 24 に共通の接続線として構成されている。表示パネル 11 のキャパシタ 24 は全てキャパシタ駆動回路 14 から同一のキャパシタ駆動電圧 (V_c) が印加されるように接続されている。

40

【0042】

図 8 は、表示パネル 11 の各走査線 $Y_1 \sim Y_n$ に印加される走査パルス及びキャパシタライン W に印加されるキャパシタ駆動電圧 V_c についての印加タイミングを模式的に示すタイミングチャートである。

【0043】

入力画像信号の各フレームにおいて、第 1 ～ 第 n 走査線 ($Y_1 \sim Y_n$) には走査パルス SP が順次印加され (アドレス期間: T_{adr})、線順次走査が行われる。より具体的には、キャパシタライン W にはキャパシタ (Cs) 24 には第 1 のキャパシタ駆動電圧 $V_1 = V_a$ が印加されている。上記した実施例と同様、当該第 1 のキャパシタ駆動電圧 V_1 は

50

所定の電圧でよいが、本実施例においても、発光素子 25 の発光時に駆動 T F T 22 のソースに印加される電圧 V_a と同じ電圧（すなわち、 $V_1 = V_a > 0$ ）とした場合について説明する。

【0044】

本実施例においては、当該アドレス期間（データ書込期間） T_{adr} において、全ての画素の発光素子 25 に電源線（Z）を介して供給される電源電圧は、発光素子 25 が発光しない低電圧（ V_{a0} ）に保持されている。これは、後述するように、本実施例においては、データ書き込み後、所定期間（ T_d ）が経過した後に全ての画素のスイッチングトランジスタ 27 に同時に逆バイアス電圧を印加し、全ての画素の発光素子 25 が一斉に発光するように制御するためである。電源電圧は、アドレス期間終了後に当該低電圧（ V_{a0} ）から発光素子 25 を発光させるための高電圧（ V_a ）に切り替えられる。かかる電源電圧の切替えは、上記したようにコントローラ 15 の制御によってなされる。

【0045】

当該線順次走査に対応して画素ごとの発光輝度を示すデータ信号がデータ線 $X_1 \sim X_m$ を介して印加され（図示しない）、表示パネル 11 の画像表示制御がなされる。より詳細には、走査線 Y_j に走査パルス SP が順次印加されて走査線 Y_j が選択される（走査線 Y_j が ON）と、当該走査線 Y_j 上の画素部 $PL_{j,i}$ の選択 T F T 21 が導通し、データドライバ 13 からの画素データ信号（データ電圧 V_{data} ）が T F T 21 を介して駆動 T F T 22 のゲートに供給される。アドレス期間終了後においては、キャパシタ 24 の電極 E2 には電圧 $V_c = V_a$ が供給されているので、キャパシタ 24 には電圧 $V_a - V_{data}$ に対応する電荷が蓄積される。そして、駆動 T F T 22 にはゲート・ソース間電圧 $V_{gs} (= V_{data} - V_c = V_{data} - V_a < 0)$ に応じたドレイン電流が流れる。従って、画素データ信号（データ電圧 V_{data} ）に応じて発光素子（OEL）25 が発光駆動される。

【0046】

本実施例においては、第 1 ～ 第 n 走査線（ $Y_1 \sim Y_n$ ）の走査（アドレス期間： T_{adr} ）が終了後、所定時間（ T_d ）経過後にキャパシタ駆動回路 14 からキャパシタライン W を介してキャパシタ 24 の電極 E2 に、第 1 のキャパシタ駆動電圧 $V_1 = V_a$ に加えてキャパシタバイアス電圧 $V_b (> 0)$ が印加される。つまり、全ての画素部のキャパシタ 24 に関し、駆動 T F T 22 のゲートに接続されていない方の電極 E2 にキャパシタバイアス電圧 V_b が同時に印加される。これにより、キャパシタ（ C_s ）24 の電極 E2 に印加されるキャパシタ駆動電圧 V_c は $V_c = V_2 = V_a + V_b$ となる。

【0047】

キャパシタ駆動電圧 V_c の変化に応じて、全ての画素部 $PL_{j,i}$ の駆動 T F T 22 のゲート電圧 V_g は V_{data} から $V_{data} + V_b$ へ変化する。このとき駆動 T F T 22 のゲート電圧 $V_g = V_{data} + V_b$ が駆動 T F T 22 のソース電圧 $V_s = V_a$ を超える（すなわち、 $V_{data} + V_b > V_a$ ）ように設定することによって、駆動 T F T 22 のゲート・ソース間に正極性の逆バイアス電圧（ $V_r = V_{data} + V_b - V_a > 0$ ）を印加することができる。このように、キャパシタ 24 の電極 E2 に電圧 V_c を印加することで駆動 T F T 22 のゲート・ソース間に正極性の逆バイアス電圧（ $V_r > 0$ ）を印加することができ、閾値電圧（ V_{th} ）シフトの低減、ゲートストレスの緩和に有効である。かかる逆バイアス電圧（ $V_r > 0$ ）の印加期間（ T_r ）は、任意に設定することができる。若しくは、駆動 T F T 22 のゲート電圧 $V_g = V_{data} + V_b$ が駆動 T F T 22 のソース電圧 $V_s = V_a$ と等しく（すなわち、 $V_{data} + V_b = V_a$ ）なるように設定し、ゲート・ソース間電圧を 0 V（ $V_r = 0$ ）とすることによっても T F T の閾値電圧（ V_{th} ）シフトを低減することができる。

【実施例 3】

【0048】

図 9 は本発明によるアクティブマトリクス表示パネルを用いた表示装置 10 C を示している。本実施例は、キャパシタ駆動回路 14 及びキャパシタ駆動回路 14 に接続された接

続線（キャパシタライン） $W_1 \sim W_n$ が設けられていない点において上記した実施例と異なっている。

【0049】

また、選択トランジスタ21と駆動トランジスタ22とは互いに逆極性の導電型を有している。本実施例においては、選択トランジスタ21がNチャネルTFT、駆動トランジスタ22がPチャネルTFTである場合を例に説明する。なお、トランジスタ21、22の導電型はこれらに限定されず適宜選択することができる。

本実施例においては、キャパシタ駆動電圧（ V_c ）として走査線 Y_j に印加される走査パルス電圧を利用している。図10は本実施例の表示パネル11における画素部 $PL_{j-1, i}$ 及び $PL_{j, i}$ の回路構成を模式的に示している。図10に示すように、本実施例において、第 j 走査線 Y_j 上の画素部 $PL_{j, i}$ のキャパシタ（ C_s ）24の電極E2は接続線32によって1走査前の走査線、すなわち、第 $(j-1)$ 走査線 Y_{j-1} に接続されている（ $j=2 \sim n$ ）。他の回路構成、各要素の接続は上記した実施例と同様である。

【0050】

なお、本実施例においては、各表示フレームにおいて最初に走査される走査線である第1行目（ $j=1$ ）の画素部 $PL_{1, i}$ のキャパシタの電極E2（第2の端子）の各々は、最後に走査される走査線（ $j=n$ ）、すなわち表示パネルの最終行の走査線に接続するように構成されている。その他の回路構成、各要素の接続は上記した実施例と同様である。

【0051】

図11は、表示パネル11の走査線 Y_{j-1} 、 Y_j に印加される走査パルス、及び画素部 $PL_{j-1, i}$ 及び $PL_{j, i}$ のキャパシタ24に印加されるキャパシタ駆動電圧 V_c の印加タイミングを模式的に示すタイミングチャートである。画素部 $PL_{j, i}$ に着目して説明すると、走査パルスSPが走査線 Y_j の1ライン前の走査線 Y_{j-1} に印加されるとともに、走査線 Y_j 上の画素部 $PL_{j, i}$ のキャパシタ24の電極E2に印加される。ここで、走査信号はLowレベルとして電圧 V_{low} を有し、走査パルスSPは電圧 V_b のパルス高さを有する（すなわち、走査信号がHighレベルで電圧 $V_{High} = V_{low} + V_b$ を有する）。当該走査パルスが画素部 $PL_{j, i}$ のキャパシタ24の電極E2に印加されると、画素部 $PL_{j, i}$ の駆動TFT22のゲート電圧 V_g は、キャパシタ24に保持されていたデータ電圧 V_{data} から $V_{data} + V_b$ に変化する。

【0052】

従って、かかる場合においても、駆動TFT22のゲート電圧 $V_g = V_{data} + V_b$ が駆動TFT22のソース電圧 $V_s = V_a$ を超える（すなわち、 $V_{data} + V_b > V_a$ ）ように設定することによって、駆動TFT22のゲート・ソース間に正極性の逆バイアス電圧（ $V_r = V_{data} + V_b - V_a > 0$ ）を印加することができる。なお、駆動TFT22のゲート電圧 $V_g = V_{data} + V_b$ が駆動TFT22のソース電圧 $V_s = V_a$ と等しくし、ゲート・ソース間電圧を0V（ $V_r = 0$ ）とすることによってもTFTの閾値電圧（ V_{th} ）シフトを低減することができることは上記した実施例と同様である。

【0053】

なお、第 j 走査線 Y_j 上の画素部 $PL_{j, i}$ のキャパシタ24の電極E2を1走査ライン前の走査線 Y_{j-1} に接続した場合について説明したが、これに限らない。例えば、走査線 Y_j 画素部 $PL_{j, i}$ のキャパシタ24の電極E2を1走査ライン後の走査線 Y_{j+1} に接続してもよく、あるいは他の走査線に接続してもよい。あるいは、第1行目の画素部 $PL_{1, i}$ のキャパシタの電極E2にキャパシタ駆動電圧を印加する接続線（走査線 $j=0$ ）を表示パネル11に設けるようにしてもよい。この場合、走査ドライバ12は、（ $n+1$ ）本の走査線（すなわち、 $j=0 \sim n$ ）を駆動するように動作する。または、第1行目の画素部のキャパシタの電極E2に接続する接続線を設けない、あるいは他の走査線に接続しない構成としてもよい。

【0054】

以上、詳細に説明したように、上記した構成によれば、トランジスタの閾値特性のばらつきを解決し、低消費電力で、表示品質が高く、かつ簡便な回路構成及び動作を有する表

10

20

30

40

50

示装置を提供することができる。

【実施例 4】

【0055】

図 12 は、本発明の実施例 4 であるアクティブマトリクス表示パネルを用いた表示装置 50A を示している。この表示装置 50A は、表示パネル 11、走査ドライバ 12、データドライバ 13、発光素子駆動回路 51、コントローラ 15、及び電源 16 を備えている。画素部 $PL_{1,1} \sim PL_{m,n}$ はキャパシタライン U を介して電源 16 からキャパシタ印加電圧 (Vcap) が供給される。キャパシタ印加電圧 (Vcap) は、例えば、発光素子 OEL25 を駆動して発光させる際に駆動 TFT のソースに印加する発光素子駆動電圧 (Va) と同じ大きさの電圧であってもよい。

10

【0056】

さらに、表示パネル 11 は、走査線 Y1 ~ Yn の各々に対応して走査線ごとに設けられた接続線 (発光素子駆動ライン) Z1 ~ Zn を有している。後述するように、当該発光素子駆動ライン Z1 ~ Zn には発光素子駆動回路 51 から発光素子駆動ライン Z1 ~ Zn ごとに所定のタイミングで所定の大きさの逆バイアス電圧 (Vr) が供給される。

【0057】

図 13 は、表示パネル 11 の複数の画素部のうち、データ線 Xi (i = 1, 2, . . . , m) 及び走査線 Yj (j = 1, 2, . . . , n) に関連する画素部 $PL_{j,i}$ について示している。

【0058】

本実施例が上記した実施例と異なるのは、データ保持用キャパシタ Cs24 の第 2 の端子 (電極 E2) はキャパシタライン U を介して電源 16 に接続されており、駆動 TFT (T2) 22 のソースが発光素子駆動ライン Zj (j = 1 ~ n) を介して発光素子駆動回路 51 に接続されていることである。そして、駆動 TFT (T2) 22 のソースには発光素子駆動回路 51 から駆動電圧 Vz が印加される。発光素子駆動回路 51 は、駆動 TFT 22 のソースへの印加電圧 (駆動電圧 Vz) を生成する印加電圧生成部及び当該印加電圧 (駆動電圧 Vz) を調整する駆動電圧調整部の機能を有する。

20

【0059】

図 14 は、表示パネル 11 の各走査線 Y1 ~ Yn に印加される走査パルス (SP) 及び発光素子駆動ライン Z1 ~ Zn に印加される駆動電圧 Vz についての印加タイミングを模式的に示すタイミングチャートである。

30

【0060】

走査線 Yj (j = 1 ~ n) への走査パルス SP の印加の開始時点 (すなわち、データの書き込み) から所定時間 (Td) 経過後に駆動電圧 Vz を変化させる。すなわち、発光素子駆動回路 51 から発光素子駆動ライン Zj (j = 1 ~ n) を介して駆動 TFT (T2) 22 のソースに逆バイアス電圧 (大きさ: Vr) を印加して、駆動電圧 Vz を Vcap から $Vcap - Vr$ へ変化させる。本実施例においては、各走査線にデータを書き込んでから駆動電圧 Vz を変化させるまでの時間を同一 (Td) にしているが、異なった時間に設定しても良い。

【0061】

図 15 は、第 j 走査ライン (Yj) の各電圧波形及び駆動 TFT (T2) 22 に逆バイアスが印加される場合の電圧変化を示している。この例では、データを書き込んだ時点から発光が開始され (点灯期間)、電圧 Vz が変化されている期間 (逆バイアス期間: Tr) だけ駆動 TFT 22 に逆バイアスが印加されて非点灯になっている。

40

【0062】

より詳細には、第 j 走査ライン (Yj) の走査信号 SP が ON となり、データ信号によって Vdata という電圧がキャパシタ 24 に書き込まれると、駆動 TFT 22 のソース・ゲート間にかかる電圧は、 $Vcap - Vdata$ となる。次に、発光素子駆動ライン Zj の電圧を Vr (逆バイアス電圧) だけ低くすると、駆動 TFT 22 のソース・ゲート間にかかる電圧は、 $(Vcap - Vr) - (Vcap - Vdata) = Vdata - Vr$ と

50

なる。ここで、 $V_{data} - V_r < 0$ となるように V_r を設定すれば駆動 T F T 2 2 に逆バイアスを印加することができる。つまり、当該逆バイアス期間において、当該駆動 T F T 2 2 のソース・ゲート電圧は負 ($V_{data} - V_r < 0$) となっている。

【0063】

あるいは、ゲート・ソース間電圧を 0 V、すなわち駆動 T F T 2 2 のゲート電圧 V_g を駆動 T F T 2 2 のソース電圧 V_s と等しくすることによっても T F T の閾値電圧 (V_{th}) シフトを低減することができる。また、上記した逆バイアス電圧の印加期間 (T_r) は、任意に設定することができる。

【0064】

本実施例においては、走査ラインごとに駆動 T F T 2 2 に逆バイアス電圧を印加することができる。従って、実施例 1 の場合と同様に、走査ラインごとに発光期間 (T_d) の制御を行うことも可能である。すなわち、駆動 T F T 2 2 に逆バイアス電圧が印加されるまでの期間 (T_d) を各走査ラインで同一とすれば、各走査ラインごとの発光期間 (T_d) を同一にすることができる。あるいは、当該期間 (T_d) を走査ラインごとに異なる期間 (すなわち、 T_{d1} , T_{d2} , . . . , T_{dn}) とすることによって走査ラインごとの発光期間を異ならせる等により、発光期間の制御を行うことも可能である。

【0065】

なお、発光期間の制御を行う場合には、単に発光素子 2 5 の発光が停止するような電圧を印加して発光期間を制御することができる。

【0066】

また、実施例 1 の場合と同様に、かかる発光期間の制御によって、表示パネル 1 1 全体の輝度調整を行うことが可能である。また、サブフィールド期間の設定に用い、階調制御に利用することも可能である。例えば、コントローラ 1 5 は、入力映像信号あるいはユーザの輝度指定信号に基づいて表示パネル 1 1 の輝度に対応する発光期間 (T_d) を定め、逆バイアス電圧の印加タイミングを制御すればよい。または、サブフィールド法による表示制御を行う場合には、所望のサブフィールド期間を定め、階調制御を行うよう制御すればよい。

【0067】

さらに、発光期間 T_d をアドレス期間よりも短い期間 ($T_{adr} > T_d$ 、又は $T_{adr} = T_d$) に設定することも可能である。さらに、逆バイアス電圧 ($V_r > 0$) の印加期間 (T_r) も、各走査ラインごとに任意に設定することが可能である。

【0068】

このように、駆動 T F T 2 2 へのソース電圧 (駆動電圧 V_z) を変化させることで駆動 T F T 2 2 のゲート・ソース間 (すなわち、制御電極と第 2 の電極間) に逆バイアス電圧を印加することができ、閾値電圧 (V_{th}) シフトの低減、ゲートストレスの緩和に有効である。

【実施例 5】

【0069】

図 1 6 は、本発明の実施例 5 であるアクティブマトリクス表示パネルを用いた表示装置 5 0 B を示している。

【0070】

本実施例においては、全ての画素部 $PL_{1,1} \sim PL_{n,m}$ の駆動 T F T (T 2) 2 2 のソースが発光素子駆動ライン Z を介して発光素子駆動回路 5 1 に接続されている。すなわち、発光素子駆動ライン Z は表示パネル 1 1 の全ての画素部 $PL_{1,1} \sim PL_{n,m}$ の駆動 T F T (T 2) 2 2 のソースに共通の接続線として構成されている。表示パネル 1 1 の駆動 T F T (T 2) 2 2 のソースには全て発光素子駆動回路 5 1 から駆動電圧 V_z が印加されるように接続されている。

【0071】

図 1 7 は、表示パネル 1 1 の各走査線 $Y_1 \sim Y_n$ に印加される走査パルス (S P) 及び発光素子駆動ライン Z に印加される駆動電圧 V_z についての印加タイミングを模式的に示

10

20

30

40

50

すタイミングチャートである。

【0072】

図17に示すように、全走査線 $Y_1 \sim Y_n$ にデータを書き込んだ後に駆動電圧 V_z を変化させて一定期間(T_r)だけ駆動TF T 22に逆バイアスを印加している。すなわち、当該逆バイアス期間(T_r)において発光素子駆動ライン Z への印加電圧を V_{cap} から $V_{cap} - V_r$ へ変化させている。

【0073】

図18は、第 j 走査ライン(Y_j)の各電圧波形及び駆動TF T 22に逆バイアスが印加される場合の電圧変化を示している。この例では、データを書き込んだ時点か発光が開始され(点灯期間)、電圧 V_z が変化されている期間(逆バイアス期間: T_r)だけ駆動TF T 22に逆バイアスが印加されて非点灯になっている。つまり、当該逆バイアス期間において、当該駆動TF T 22のソース・ゲート電圧は負($V_{data} - V_r < 0$)となっている。

【0074】

このように、駆動TF T 22へのソース電圧(駆動電圧 V_z)を変化させることで駆動TF T 22のゲート・ソース間に逆バイアス電圧を印加することができる。

【0075】

図19及び図20は、本実施例の改変例を示すタイミングチャートである。

図19に示すように、全走査ラインにデータを書き込んでいる期間(アドレス期間)に亘り、駆動TF T 22に逆バイアス電圧を印加している。そして、図20に示すように、逆バイアス電圧を印加している期間においては、全ての駆動TF T 22のソース・ゲート電圧は負($V_{data} - V_r < 0$)となっている。

【実施例6】

【0076】

図21は、本発明の実施例6であるアクティブマトリクス表示パネルを用いた表示装置50Cを示している。

【0077】

本実施例においては、駆動電圧 V_z として走査線 Y_j に印加される走査パルス電圧を利用している。図22は本実施例の表示パネル11における画素部 $PL_{j-1, i}$ 及び $PL_{j, i}$ の回路構成を模式的に示している。図22に示すように、本実施例において、第 j 走査線 Y_j 上の画素部 $PL_{j, i}$ の駆動TF T 22のソースは接続線(Z_j)53によって1走査前の走査線、すなわち、第($j-1$)走査線 Y_{j-1} に接続されている($j=2 \sim n$)。他の回路構成、各要素の接続は上記した実施例と同様である。

【0078】

なお、本実施例においては、各表示フレームにおいて最初に走査される走査線である第1行目($j=1$)の画素部 $PL_{1, i}$ の駆動TF T 22のソースの各々は、最後に走査される走査線($j=n$)、すなわち表示パネルの最終行の走査線に接続するように構成されている。その他の回路構成、各要素の接続は上記した実施例と同様である。

【0079】

図23は、走査線 Y_j 及び接続線(Z_j)53($j=1 \sim n$)に印加される電圧を示すタイミングチャートである。走査線 Y_j には当該走査線の非選択時に電圧 V_{cap} が、選択時には電圧 $V_{cap} - V_r$ が印加される。そして、1走査前の走査線(Y_{j-1})への印加電圧が次の走査線 Y_j 上の画素部 $PL_{j, i}$ の駆動TF T 22のソースに印加される。

【0080】

図24は、第 j 走査線(Y_j)上の画素部 $PL_{j, i}$ の駆動TF T 22のソースに印加される走査電圧とともに、駆動TF T 22へのデータ電圧及び駆動TF T 22のソース・ゲート電圧を示している。第 $j-1$ 走査線(Y_{j-1})選択時において、第 j 走査線(Y_j)上の駆動TF T 22のソースには接続線(Z_j)53を介して当該1ライン前の走査線(Y_{j-1})への印加電圧が供給され、[ソース電圧] - [ゲート電圧]は V_{data}

— $V_r < 0$ となり、駆動 T F T 2 2 に逆バイアスが印加される。

【0081】

次走査において、第 j 走査線が選択され、データ信号（データ電圧 V_{data} ）が供給されると、第 j 走査線（ Y_j ）上の駆動 T F T 2 2 の「ソース電圧」—「ゲート電圧」は $V_{cap} - V_{data}$ に変化し、点灯状態に移行する。

【0082】

なお、第 1 行目（ $j = 1$ ）の画素部 $PL_{1,i}$ の駆動 T F T 2 2 のソースを、最終走査線（ $j = n$ ）に接続した場合について説明したが、これに限らない。例えば、第 1 走査線上の画素部 $PL_{1,i}$ の駆動 T F T 2 2 に逆バイアスを印加するタイミングを適宜設定するように走査ドライバ 1 2 を構成してもよい。

【実施例 7】

【0083】

図 2 5 は、本発明の実施例 7 である表示パネル 1 1 の複数の画素部のうち、データ線 X_i （ $i = 1, 2, \dots, m$ ）及び走査線 Y_j （ $j = 1, 2, \dots, n$ ）に接続された画素部 $PL_{j,i}$ について示している。本実施例は、上記した実施例 1 の構成を電流プログラム方式に適応するように改変した構成を有している。

【0084】

より具体的には、画素部 $PL_{j,i}$ には、駆動トランジスタ（ T_2 ）2 2、保持キャパシタ Cs_{24} 、発光素子（例えば、 OEL ）2 5、電流源 5 5、及びスイッチ $SW_1 \sim SW_3$ が設けられている。スイッチ $SW_1 \sim SW_3$ はトランジスタによって構成されている。すなわち、4 トランジスタ電流プログラム方式に適応した構成を有している。なお、本実施例において、データドライバ 1 3 は定電流源ドライバとして構成され、画素部 $PL_{j,i}$ にはデータドライバ 1 3 のデータ線 X_i に対応する電流源 5 5 からデータ電流 I_{data} が供給されるように構成されている。その他の構成は、実施例 1 に示した構成（図 3）と同様である。

【0085】

実施例 1 の場合と同様に、電源線 Z を介して駆動トランジスタ（ T_2 ）2 2 のソースには電源 1 6 から所定の電圧（発光素子駆動電圧： V_a ）が供給される。さらに、走査線 $Y_1 \sim Y_n$ の各々に対応する接続線（キャパシタライン） $W_1 \sim W_n$ が設けられている。そして、キャパシタ Cs_{24} の第 2 の端子 E_2 はキャパシタライン $W_1 \sim W_n$ を介してキャパシタ駆動回路 1 4 に接続されている（図 3 を参照）。

【0086】

図 2 6 に示すように、書き込み期間（書き込みモード）においてスイッチ SW_1 、 SW_2 が閉じられ（ON 状態）、スイッチ SW_3 が開かれる（OFF 状態）。キャパシタライン W_j には電圧 V_{cap} （ $= V_a$ ）が印加されている。そして、次に、スイッチ SW_3 が閉じられ（ON 状態）、スイッチ SW_1 、 SW_2 が開かれる（OFF 状態）ことによって OEL_{25} の発光が開始される。

【0087】

次に、所定時間（発光期間： T_e ）経過の後、キャパシタライン W_j に逆バイアス電圧 V_r が印加されると、駆動 T F T 2 2 の「ソース電圧」—「ゲート電圧」は $V_{data} - V_r < 0$ となり、駆動 T F T 2 2 に逆バイアスが印加される（逆バイアス期間（非点灯期間）： T_r ）。

【0088】

かかる実施例においては、キャパシタ 2 4 の第 2 の端子 E_2 を変化させて駆動 T F T 2 2 に逆バイアス電圧を印加するように構成されている場合を例に説明した。本実施例の改変例として、キャパシタ 2 4 の第 2 の端子 E_2 を変化させる代わりに、上記した実施例 4 と同様に、走査線 $Y_1 \sim Y_n$ の各々に対応して走査線ごとに設けられた接続線（発光素子駆動ライン） $Z_1 \sim Z_n$ を設けて、駆動 T F T（ T_2 ）2 2 のソースへの印加電圧を変化させてもよい（図 1 2 参照）。

【0089】

10

20

30

40

50

図 27 は、かかる改変例の画素部 PL_j, i について示しており、4 トランジスタ電流プログラム方式に適応する構成を有している点では上記した実施例 6（図 25）と同様である。

【0090】

例えば、実施例 4 において示した構成（図 12）と同様に、キャパシタ 24 の第 2 の端子 E_2 には一定電圧（ V_{cap} ：一定）が印加され、発光素子駆動ライン Z_j は発光素子駆動回路 51 に接続されて駆動 T F T（ T_2 ）22 のソースへの印加電圧（発光素子駆動電圧）を走査線ごとに変化させることができるように構成されている。その他の構成は、実施例 4 に示した構成（図 12）と同様である。

【0091】

図 28 に示すように、書き込み期間（書き込みモード）においてスイッチ SW_1 、 SW_2 が閉じられ（ON 状態）、スイッチ SW_1 、 SW_2 が開かれる（OFF 状態）。発光素子駆動ライン Z_j には電圧 V_{cap} が印加されている。そして、次に、スイッチ SW_3 が ON 状態とされることによって OEL_25 の点灯が開始される。

【0092】

次に、所定時間（発光期間： T_e ）経過の後、発光素子駆動ライン Z_j に逆バイアス電圧 V_r が印加され、電圧が $V_{cap} - V_r$ に変化されると、駆動 T F T 22 の「ソース電圧」－「ゲート電圧」は $V_{data} - V_r < 0$ となり、駆動 T F T 22 に逆バイアスが印加される（逆バイアス期間（非点灯期間）： T_r ）。

【0093】

上記実施例においては、電流プログラム方式に適用した場合について説明したが、電圧プログラム方式等に適用することも可能である。

【0094】

以上、詳細に説明したように、上記した構成によれば、トランジスタの閾値特性のばらつきを解決し、低消費電力で、表示品質が高く、かつ簡便な回路構成及び動作を有する表示装置を提供することができる。

【0095】

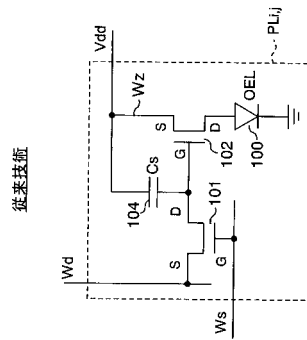
なお、上記した実施例は適宜改変し、また組み合わせで適用することが可能である。また、上記したトランジスタ等の素子の種類、当該素子や各種電圧等の極性、大きさは例示に過ぎない。例えば、トランジスタ 21、22 の導電型はこれらに限定されず適宜選択することができる。すなわち、例えば、選択及び駆動トランジスタは N チャンネル及び P チャンネル T F T のいずれであってもよく、当該トランジスタの極性に応じて、ゲート電極（制御電極）への印加電圧の極性、大きさ等を適宜選択すればよい。また、第 2 の電極であるソース電極への印加電圧を変化させる場合について説明したが、ドレイン電極への印加電圧を変化させてもよい。すなわち、用いられる素子の種類等に応じて適宜、素子の極性、電圧等の極性及び大きさを選択するように構成すればよい。

10

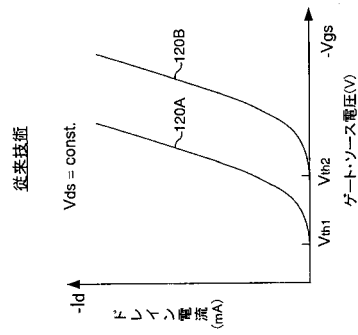
20

30

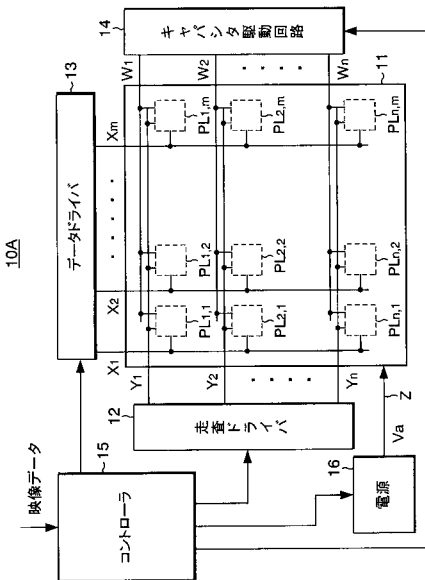
【図 1】



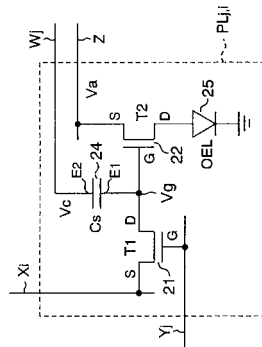
【図 2】



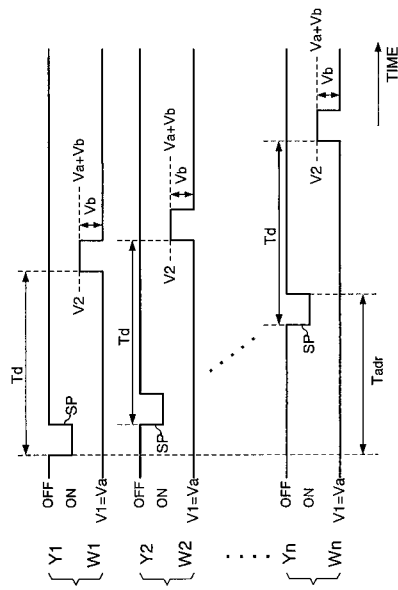
【図 3】



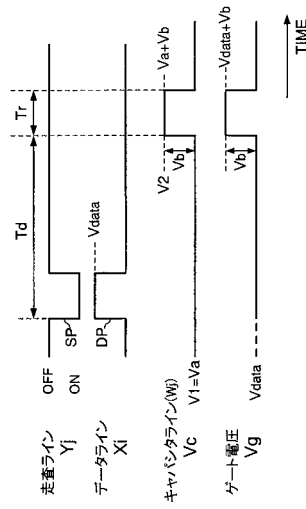
【図 4】



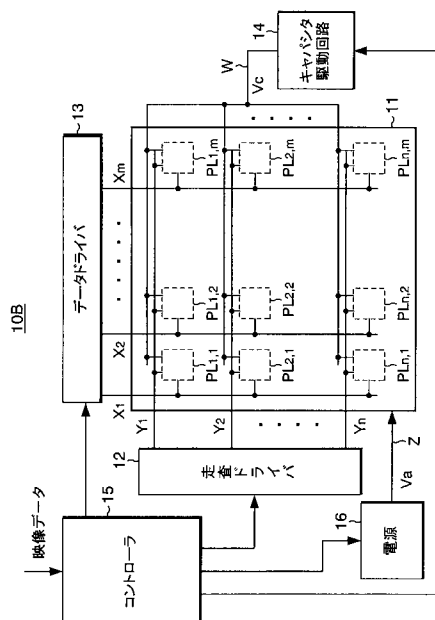
【図 5】



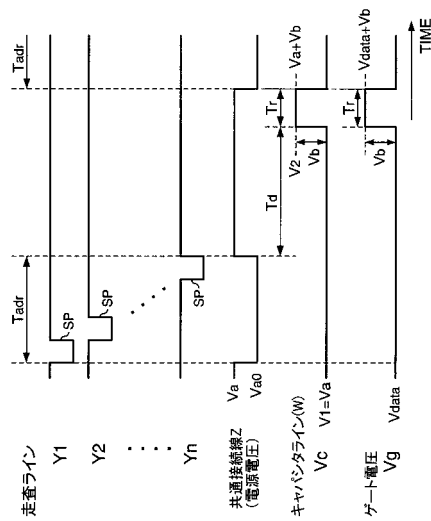
【図 6】



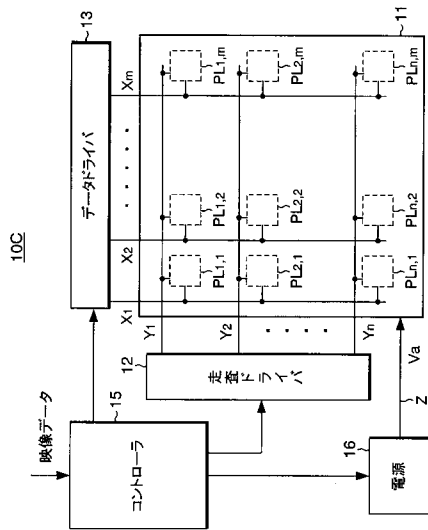
【図 7】



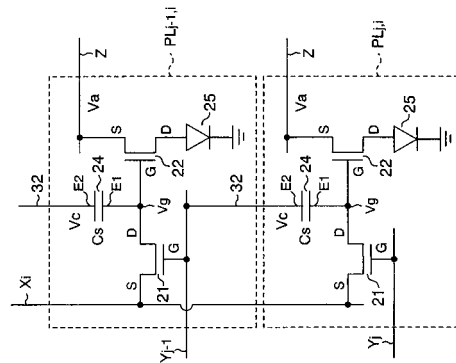
【図 8】



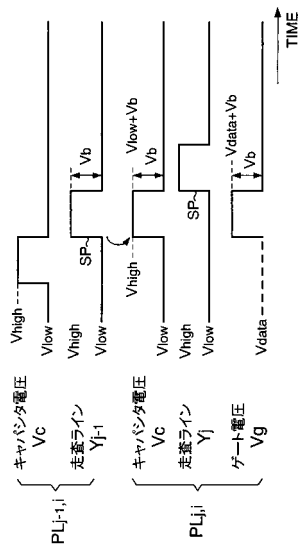
【図 9】



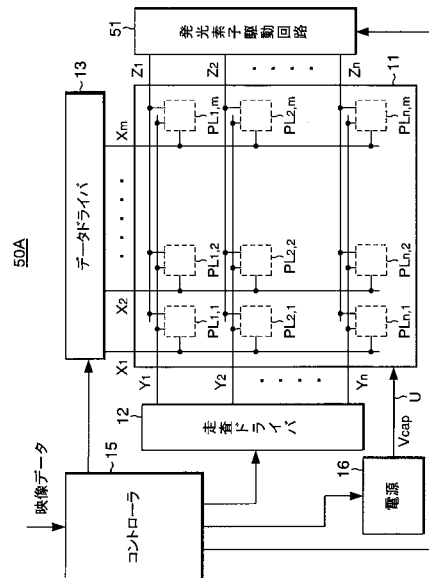
【図 10】



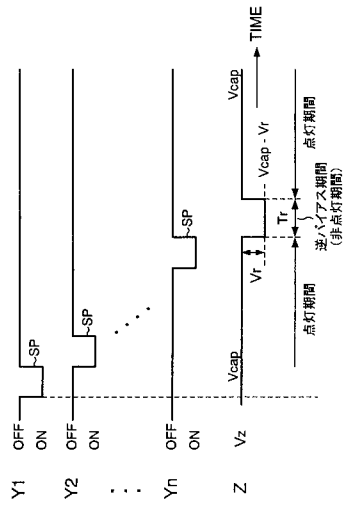
【図 11】



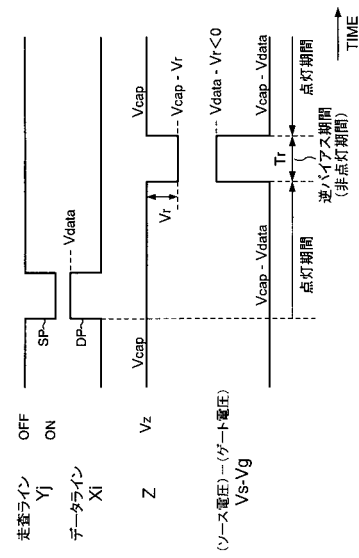
【図 12】



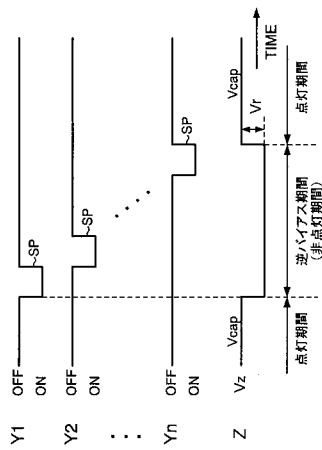
【図 17】



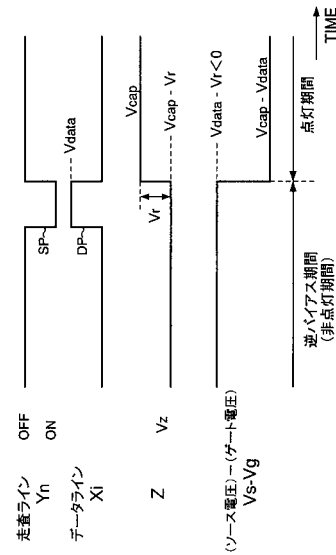
【図 18】



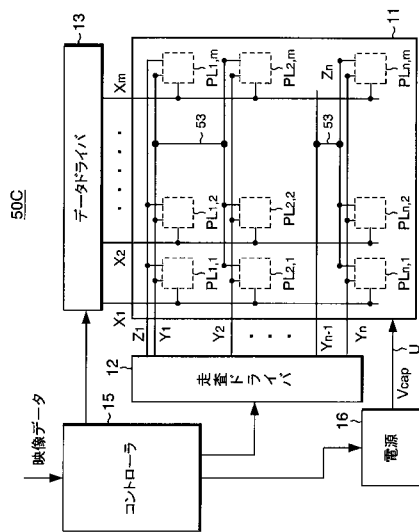
【図 19】



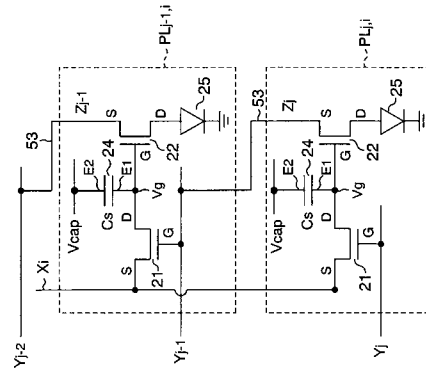
【図 20】



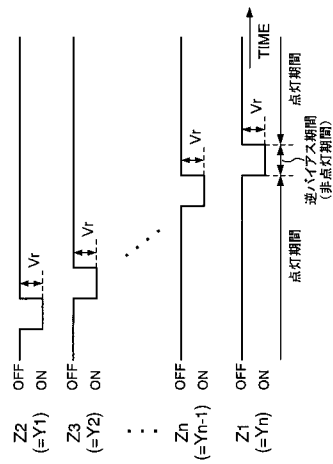
【図 2 1】



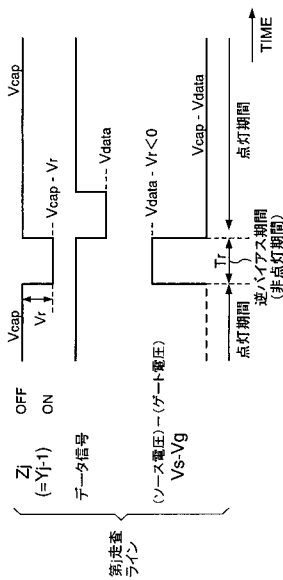
【図 2 2】



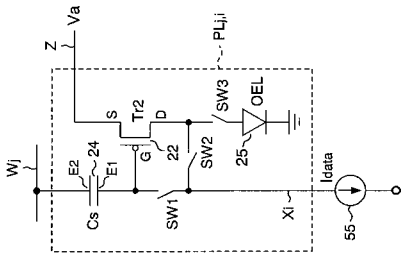
【図 2 3】



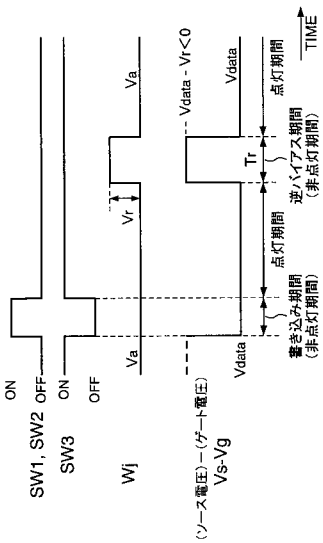
【図 2 4】



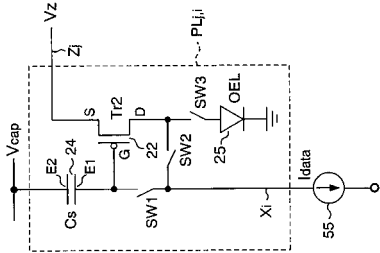
【図 25】



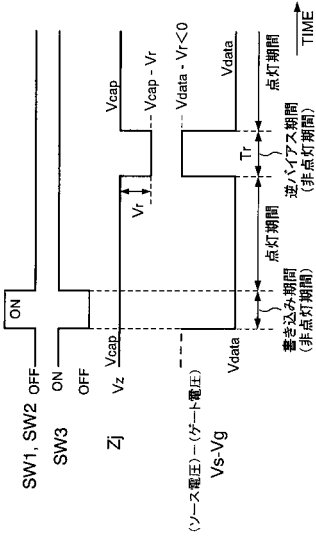
【図 26】



【図 27】



【図 28】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

H 0 5 B 33/14

A

Fターム(参考) 5C380 AA01 AB06 AB22 AB25 BA01 BA38 BA39 BB02 BD08 BD10
CA12 CA13 CB01 CB17 CB19 CB20 CC02 CC12 CC26 CC33
CC39 CC41 CC42 CC55 CC62 CC63 CD012 CD014 DA02 DA09
DA32

专利名称(译)	有源矩阵显示		
公开(公告)号	JP2011018051A	公开(公告)日	2011-01-27
申请号	JP2010166486	申请日	2010-07-23
[标]申请(专利权)人(译)	日本先锋公司		
申请(专利权)人(译)	先锋公司		
[标]发明人	石塚真一		
发明人	石塚 真一		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/2022 G09G3/3233 G09G3/325 G09G3/3258 G09G3/3291 G09G2300/0842 G09G2300/0866 G09G2300/0876 G09G2310/0254 G09G2310/0262 G09G2330/021 H01L27/3244		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.641.E G09G3/20.642.A G09G3/20.670.J H05B33/14.A G09G3/3241 G09G3/3266 G09G3/3283 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC14 3K107/CC33 3K107/CC45 3K107/EE04 3K107/HH02 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD26 5C080/DD29 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C380/AA01 5C380/AB06 5C380/AB22 5C380/AB25 5C380/BA01 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BD08 5C380/BD10 5C380/CA12 5C380/CA13 5C380/CB01 5C380/CB17 5C380/CB19 5C380/CB20 5C380/CC02 5C380/CC12 5C380/CC26 5C380/CC33 5C380/CC39 5C380/CC41 5C380/CC42 5C380/CC55 5C380/CC62 5C380/CC63 5C380/CD012 5C380/CD014 5C380/DA02 5C380/DA09 5C380/DA32		
代理人(译)	藤村元彦		
优先权	2005138592 2005-05-11 JP		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种显示装置，其解决了有源矩阵驱动系统中使用的晶体管，特别是有机半导体晶体管的阈值特性的变化，功耗低，显示质量高，电路结构和操作简单的问题。 要做。 电容器设置在多个像素部分的每一个中，并连接至用于驱动发光元件以保持数据信号的驱动晶体管的控制电极，以及与控制电极不同的第二晶体管。 产生施加到驱动晶体管的电压的施加电压产生单元和调节施加到驱动晶体管的第二电极的电压的驱动电压调节单元。 [选择图]图12

