

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-266554

(P2010-266554A)

(43) 公開日 平成22年11月25日(2010.11.25)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 611A	5C080
H01L 51/50 (2006.01)	G09G 3/20 624B	5C380
H05B 33/08 (2006.01)	G09G 3/20 641D	
	G09G 3/20 642C	
審査請求 未請求 請求項の数 6 O L (全 26 頁) 最終頁に続く		

(21) 出願番号	特願2009-116099 (P2009-116099)	(71) 出願人	000002185
(22) 出願日	平成21年5月13日 (2009. 5. 13)		ソニー株式会社
			東京都港区港南1丁目7番1号
		(74) 代理人	100082131
			弁理士 稲本 義雄
		(74) 代理人	100121131
			弁理士 西川 孝
		(72) 発明者	尾本 啓介
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		(72) 発明者	富田 昌嗣
			東京都港区港南1丁目7番1号 ソニー
			ーエムシーエス株式会社内
		Fターム(参考)	3K107 AA01 BB01 CC14 EE03 HH04
			最終頁に続く

(54) 【発明の名称】 表示装置および駆動制御方法

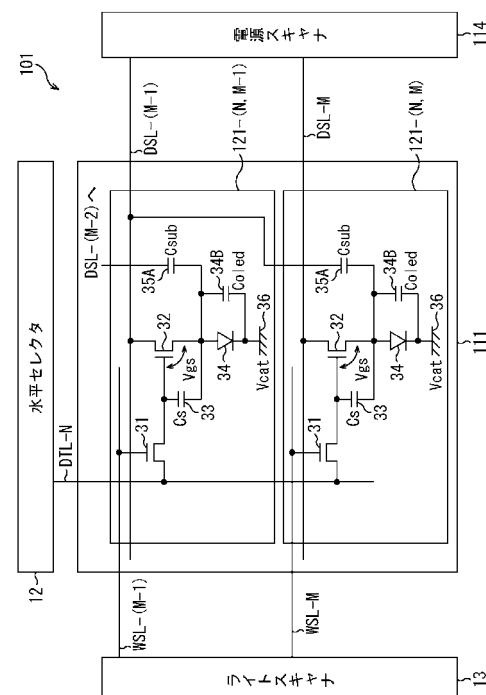
(57) 【要約】

【課題】消費電力を低減することができるようにする。

【解決手段】ELパネル101の画素アレイ部111には、 $N \times M$ 個の画素121-(1, 1)乃至121-(N, M)が行列状に配置されて構成されている。画素121-(N, M)は、サンプリング用トランジスタ31、駆動用トランジスタ32、蓄積容量33、発光素子34、発光素子容量34B、および補助容量35Aを有している。画素21では、補助容量35Aの一方の電極が、前段の画素121-(N, M-1)の電源線DSL-(M-1)と接続されている。本発明は、例えば、有機EL素子を用いた表示装置に適用できる。

【選択図】図9

図9



【特許請求の範囲】**【請求項 1】**

画素が行列状に複数配置されている画素アレイ部と、
行方向の前記画素に共通に配線され、前記画素の行数と同数の配線数を有する電源線および走査線と

を備え、

前記画素は、

ダイオード特性を有し、駆動電流に応じて発光する発光素子と、

映像信号をサンプリングするサンプリング用トランジスタと、

前記駆動電流を前記発光素子に供給する駆動用トランジスタと、

10

前記発光素子のアノードと前記駆動用トランジスタのゲートに接続され、所定の電位を保持する蓄積容量と、

前記発光素子のアノードと、列方向に隣接する隣接画素の前記電源線または前記走査線に接続され、所定の電位を保持する補助容量と

を少なくとも有する

表示装置。

【請求項 2】

各行の前記画素に前記電源線を介して、所定の電源電位を供給する電源供給部をさらに備え、

前記電源供給部は、前記画素の移動度補正中に、前記補助容量が接続されている前記隣接画素の前記電源線の電源電位を一時的に低下させる

20

請求項 1 に記載の表示装置。

【請求項 3】

前記電源供給部は、前記蓄積容量への映像信号の信号電位の書き込み終了後の移動度補正中に、前記補助容量が接続されている前記隣接画素の前記電源線の電源電位を一時的に低下させる

請求項 2 に記載の表示装置。

【請求項 4】

前記電源供給部は、前記蓄積容量への映像信号の信号電位の書き込み終了後、前記補助容量が接続されている前記隣接画素の前記電源線の電源電位を緩やかに低下させる

30

請求項 3 に記載の表示装置。

【請求項 5】

前記電源供給部は、前記蓄積容量への映像信号の信号電位の書き込み終了後の前記駆動用トランジスタのソース電位がほぼ一定となるように、前記補助容量が接続されている前記隣接画素の前記電源線の電源電位を緩やかに低下させる

請求項 4 に記載の表示装置。

【請求項 6】

画素が行列状に複数配置されている画素アレイ部と、行方向の前記画素に共通に配線され、前記画素の行数と同数の配線数を有する電源線と、各行の前記画素に前記電源線を介して、所定の電源電位を供給する電源供給部とを備え、前記画素は、ダイオード特性を有し、駆動電流に応じて発光する発光素子と、映像信号をサンプリングするサンプリング用トランジスタと、前記駆動電流を前記発光素子に供給する駆動用トランジスタと、前記発光素子のアノードと前記駆動用トランジスタのゲートに接続され、所定の電位を保持する蓄積容量と、前記発光素子のアノードと、列方向に隣接する隣接画素の前記電源線に接続され、所定の電位を保持する補助容量とを少なくとも有する表示装置の、

40

前記電源供給部が、前記画素の移動度補正中に、前記補助容量が接続されている前記隣接画素の前記電源線の電源電位を一時的に低下させる

駆動制御方法。

【発明の詳細な説明】**【技術分野】**

50

【 0 0 0 1 】

本発明は、表示装置および駆動制御方法に関し、特に、消費電力を低減することができるようにする表示装置および駆動制御方法に関する。

【 背景技術 】

【 0 0 0 2 】

発光素子として有機EL(Electro Luminescent)素子を用いた平面自発光型のパネル(ELパネル)の開発が近年盛んになっている。有機EL素子は、ダイオード特性を有し、有機薄膜に電界をかけると発光する現象を利用した素子である。有機EL素子は、印加電圧が10V以下で駆動するため低消費電力であり、自ら光を発する自発光素子であるため、照明部材を必要とせず軽量化及び薄型化が容易であるという特長を有する。また、有機EL素子の応答速度は数 μ s程度と非常に高速であるので、ELパネルでは動画表示時の残像が発生しないという利点がある。

10

【 0 0 0 3 】

ELパネルの中でも、とりわけ駆動素子として薄膜トランジスタ(TFT)を各画素に集積形成したアクティブマトリクス型のパネルの開発が盛んである。アクティブマトリクス型ELパネルは、例えば、特許文献1乃至5に記載されている。

【 0 0 0 4 】

ところで、一般的に、有機EL素子のI-V特性(電流-電圧特性)は、時間が経過すると劣化(いわゆる、経時劣化)することが知られている。有機EL素子を電流駆動する駆動トランジスタとして特にNチャネル型のTFTを用いた画素回路では、有機EL素子のI-V特性が経時劣化すると、駆動トランジスタのゲート-ソース間電圧 V_{gs} が変化する。駆動トランジスタのソース電極側は有機EL素子に接続されているので、この駆動トランジスタのゲート-ソース間電圧 V_{gs} の変化により、有機EL素子の発光輝度が変化する。

20

【 0 0 0 5 】

このことについてより具体的に説明する。駆動トランジスタのソース電極側に有機EL素子が接続されている場合、駆動トランジスタのソース電位は、駆動トランジスタと有機EL素子の動作点で決まる。

【 0 0 0 6 】

図1は、駆動トランジスタと有機EL素子の動作点を示す図である。図1の横軸は、駆動トランジスタのドレイン-ソース間電圧 V_{ds} を表し、縦軸は、駆動トランジスタのソース-ドレイン間電流 I_{ds} を表す。

30

【 0 0 0 7 】

初期状態では、図1Aに示される位置に、駆動トランジスタと有機EL素子の動作点があるとする。そして、有機EL素子のI-V特性が劣化すると、駆動トランジスタと有機EL素子の動作点が、図1Bに示されるように変化してしまうために、駆動トランジスタのゲート電極に同じ電圧を印加したとしても駆動トランジスタのソース電位が変化する。これにより、駆動トランジスタのソース-ゲート間電圧 V_{gs} が変化するために、駆動トランジスタに流れる電流値が変化する。その結果、有機EL素子に流れる電流値も変化するために、有機EL素子の発光輝度が変化することになる。

40

【 0 0 0 8 】

また、特にポリシリコンTFTを用いた画素回路では、有機EL素子のI-V特性の経時劣化に加えて、駆動トランジスタのトランジスタ特性が経時的に変化したり、製造プロセスのばらつきによってトランジスタ特性が画素ごとに異なったりする。すなわち、画素個々に駆動トランジスタのトランジスタ特性にばらつきがある。トランジスタ特性としては、駆動トランジスタの閾値電圧 V_{th} や、駆動トランジスタのチャネルを構成する半導体薄膜の移動度 μ (以下、単に、「駆動トランジスタの移動度 μ 」と称する)等が挙げられる。

【 0 0 0 9 】

駆動トランジスタのトランジスタ特性は、次の式(1)で表すことができる。

【 0 0 1 0 】

50

【数 1】

$$I_{ds} = \frac{1}{2} \cdot \mu \cdot \frac{W}{L} \cdot C_{ox} \cdot (V_{gs} - V_{th})^2 \quad \dots (1)$$

【0011】

ここで、 I_{ds} は駆動トランジスタのソース - ドレイン間電流であり、 V_{gs} は駆動トランジスタのゲート - ソース間電圧を表す。また、 L はチャネル長を表し、 W はゲート幅を表し、 C_{ox} は単位面積あたりのゲート酸化膜容量を表す。

【0012】

駆動トランジスタの閾値電圧 V_{th} や移動度 μ が画素ごとに異なると、式 (1) から明らかなように画素ごとに駆動トランジスタに流れる電流値 I_{ds} にばらつきが生じる。その結果、駆動トランジスタのゲート電極に画素間で同じ電圧を印加しても、有機EL素子の発光輝度に画素間でばらつきが生じる。これにより、画面のユニフォーミティ (均一性) が損なわれる。

10

【0013】

そこで、有機EL素子の $I - V$ 特性の経時劣化や、駆動トランジスタのトランジスタ特性の経時変化等の影響を受けることなく、有機EL素子の発光輝度を一定に維持するために、各種の補正 (補償) 機能を画素回路に持たせたものがある (例えば、特許文献6参照)。

【0014】

補正機能としては、有機EL素子の特性変動に対する補償機能、駆動トランジスタの閾値電圧 V_{th} の変動に対する補正機能、駆動トランジスタの移動度 μ の変動に対する補正機能などが挙げられる。以下、駆動トランジスタの閾値電圧 V_{th} の変動に対する補正を「閾値補正」と呼び、駆動トランジスタの移動度 μ の変動に対する補正を「移動度補正」と呼ぶこととする。

20

【0015】

このように、画素回路の各々に、各種の補正機能を持たせることで、有機EL素子の $I - V$ 特性の経時劣化や、駆動トランジスタのトランジスタ特性の経時変化の影響を受けることなく、有機EL素子の発光輝度を一定に保つことができる。その結果、表示装置の表示品質を向上できる。

【先行技術文献】

30

【特許文献】

【0016】

【特許文献1】特開2003-255856号公報

【特許文献2】特開2003-271095号公報

【特許文献3】特開2004-133240号公報

【特許文献4】特開2004-029791号公報

【特許文献5】特開2004-093682号公報

【特許文献6】特開2006-133542号公報

【発明の概要】

【発明が解決しようとする課題】

40

【0017】

しかしながら、移動度補正は、駆動トランジスタのソース電位を上昇させながら駆動トランジスタのソース - ゲート間電圧 V_{gs} をそろえる。そのため、発光時の駆動トランジスタのソース - ゲート間電圧 V_{gs} は、入力された映像信号の信号電位から、移動度補正による駆動トランジスタのソース電位の上昇分を、差し引いたものとなる。従って、移動度補正による駆動トランジスタのソース電位の上昇分を考慮すると、入力する映像信号の信号電位としては、より高いものが必要となっていた。これにより、消費電力が大きくなってしまいうという問題があった。

【0018】

本発明は、このような状況に鑑みてなされたものであり、消費電力を低減することがで

50

きるようにするものである。

【課題を解決するための手段】

【0019】

本発明の表示装置は、画素が行列状に複数配置されている画素アレイ部と、行方向の前記画素に共通に配線され、前記画素の行数と同数の配線数を有する電源線および走査線とを備え、前記画素は、ダイオード特性を有し、駆動電流に応じて発光する発光素子と、映像信号をサンプリングするサンプリング用トランジスタと、前記駆動電流を前記発光素子に供給する駆動用トランジスタと、前記発光素子のアノードと前記駆動用トランジスタのゲートに接続され、所定の電位を保持する蓄積容量と、前記発光素子のアノードと、列方向に隣接する隣接画素の前記電源線または前記走査線に接続され、所定の電位を保持する補助容量とを少なくとも有する。

10

【0020】

本発明の表示装置においては、行列状に複数配置されている画素の補助容量が、前記発光素子のアノードと、列方向に隣接する隣接画素の電源線または走査線と接続されている。

【0021】

本発明の駆動制御方法は、画素が行列状に複数配置されている画素アレイ部と、行方向の前記画素に共通に配線され、前記画素の行数と同数の配線数を有する電源線と、各行の前記画素に前記電源線を介して、所定の電源電位を供給する電源供給部とを備え、前記画素は、ダイオード特性を有し、駆動電流に応じて発光する発光素子と、映像信号をサンプリングするサンプリング用トランジスタと、前記駆動電流を前記発光素子に供給する駆動用トランジスタと、前記発光素子のアノードと前記駆動用トランジスタのゲートに接続され、所定の電位を保持する蓄積容量と、前記発光素子のアノードと、列方向に隣接する隣接画素の前記電源線に接続され、所定の電位を保持する補助容量とを少なくとも有する表示装置の、前記電源供給部が、前記画素の移動度補正中に、前記補助容量が接続されている前記隣接画素の前記電源線の電源電位を一時的に低下させる。

20

【0022】

本発明の駆動制御方法においては、移動度補正中の画素の補助容量が接続されている、列方向に隣接する隣接画素の電源線の電源電位が一時的に低下される。

30

【発明の効果】

【0023】

本発明の一側面によれば、消費電力を低減することができる。また、本発明の一側面によれば、より高い発光輝度を得ることができる。

【図面の簡単な説明】

【0024】

【図1】駆動トランジスタと有機EL素子の動作点を示す図である。

【図2】本発明の基本となる表示装置の構成例を示すブロック図である。

【図3】図2のELパネルの各画素の色の配列を示す図である。

【図4】図2の画素の等価回路の構成を示したブロック図である。

【図5】図2の画素のパターンレイアウトを示す平面図である。

40

【図6】図2の画素のパターンレイアウトを示す断面図である。

【図7】図2の画素の動作を説明するタイミングチャートである。

【図8】本発明を適用した表示装置の一実施の形態の構成例を示すブロック図である。

【図9】ELパネルの第1の実施の形態の構成例を示すブロック図である。

【図10】図9の画素の動作を説明するタイミングチャートである。

【図11】書き込み＋移動度補正期間のばらつきと発光輝度のばらつきの関係を示す図である。

【図12】書き込み＋移動度補正期間のばらつきと発光輝度のばらつきの関係を示す図である。

【図13】ELパネルの第2の実施の形態の構成例を示すブロック図である。

50

【図 1 4】図 1 3 の画素の動作を説明するタイミングチャートである。

【図 1 5】図 1 3 の画素の動作を説明するタイミングチャートである。

【図 1 6】図 1 3 の電源スキナの構成例を示している。

【図 1 7】EL パネルの第 3 の実施の形態の構成例を示すブロック図である。

【図 1 8】図 1 7 の画素の動作を説明するタイミングチャートである。

【発明を実施するための形態】

【0025】

[本発明の基本となる表示装置の形態]

最初に、本発明の理解を容易にし、且つ、背景を明らかにするため、本発明の基本となる表示装置の構成と動作について図 2 乃至図 4 ?? を参照して説明する。

10

【0026】

図 2 は、本発明の基本となる表示装置の構成例を示すブロック図である。

【0027】

図 2 の表示装置 1 は、例えば、テレビジョン受像機などであり、入力された映像信号に対応する映像を EL パネル 10 に表示する。EL パネル 10 は、自発光素子としての有機 EL (Electro Luminescent) 素子を用いたパネルである。EL パネル 10 は、ソースドライバおよびゲートドライバとからなるドライバ IC (Integrated Circuit) を含むパネルモジュールとして表示装置 1 に組み込まれている。また、表示装置 1 は、図示せぬ電源回路、画像 LSI (Large Scale Integration) などにも有している。なお、表示装置 1 の EL パネル 10 は、携帯電話機、デジタルスチルカメラ、デジタルビデオカメラ、プリンタ等の表示部としても利用することができる。

20

【0028】

EL パネル 10 は、複数の画素 21 を有する画素アレイ部 11、水平セクタ (HSEL) 12、ライトスキナ (WSCN) 13、および電源スキナ (DSCN) 14 を含むように構成されている。

【0029】

画素アレイ部 11 には、 $N \times M$ 個 (N, M は相互に独立した 1 以上の整数値) の画素 21 - (1, 1) 乃至 21 - (N, M) が行列状に配置されて構成されている。なお、図 2 では、紙面の制約上、画素 21 - (1, 1) 乃至 21 - (N, M) の一部のみが示されている。

30

【0030】

また、EL パネル 10 は、 M 本の走査線 $WSL - 1$ 乃至 M 、 M 本の電源線 $DSL - 1$ 乃至 M 、および N 本の映像信号線 $DTL - 1$ 乃至 N も有する。

【0031】

なお、以下において、走査線 $WSL - 1$ 乃至 M それぞれを特に区別する必要がない場合、単に、走査線 WSL と称する。また、映像信号線 $DTL - 1$ 乃至 N それぞれを特に区別する必要がない場合、単に、映像信号線 DTL と称する。画素 21 - (1, 1) 乃至 21 - (N, M) および電源線 $DSL - 1$ 乃至 M についても同様に、画素 21 および電源線 DSL と称する。

【0032】

40

水平セクタ 12、ライトスキナ 13、および電源スキナ 14 は、画素アレイ部 11 を駆動する駆動部として動作する。

【0033】

画素 21 - (1, 1) 乃至 21 - (N, M) のうちの第 1 行目の画素 21 - (1, 1) 乃至 21 - ($N, 1$) は、走査線 $WSL - 1$ でライトスキナ 13 と、電源線 $DSL - 1$ で電源スキナ 14 とそれぞれ接続されている。また、画素 21 - (1, 1) 乃至 21 - (N, M) のうちの第 M 行目の画素 21 - (1, M) 乃至 21 - (N, M) は、走査線 $WSL - M$ でライトスキナ 13 と、電源線 $DSL - M$ で電源スキナ 14 とそれぞれ接続されている。即ち、1 本の走査線 WSL および電源線 DSL は、行方向の画素 21 に共通に配線されている。画素 21 - (1, 1) 乃至 21 - (N, M) の行方向に並ぶその他の

50

画素 2 1 についても同様の接続となっている。

【 0 0 3 4 】

また、画素 2 1 - (1 , 1) 乃至 2 1 - (N , M) のうちの第 1 列目の画素 2 1 - (1 , 1) 乃至 2 1 - (1 , M) は、映像信号線 D T L - 1 で水平セクタ 1 2 と接続されている。画素 2 1 - (1 , 1) 乃至 2 1 - (N , M) のうちの第 N 列目の画素 2 1 - (N , 1) 乃至 2 1 - (N , M) は、映像信号線 D T L - N で水平セクタ 1 2 と接続されている。即ち、1 本の映像信号線 D T L は、列方向の画素 2 1 に共通に配線されている。画素 2 1 - (1 , 1) 乃至 2 1 - (N , M) の列方向に並ぶその他の画素 2 1 についても同様である。

【 0 0 3 5 】

ライトスキャナ 1 3 は、走査線 W S L - 1 乃至 M に水平周期 (1 F) で順次選択制御信号を供給して画素 2 1 を行単位で線順次走査する。電源スキャナ 1 4 は、線順次走査に合わせて電源線 D S L - 1 乃至 M に高電位 V c c 1 または低電位 V s s (図 7) の電源電位を供給する。水平セクタ 1 2 は、線順次走査に合わせて各水平期間内 (1 F) で映像信号に対応する信号電位 V s i g と基準電位 V o f s (図 7) とを切換えて列状の映像信号線 D T L - 1 乃至 M に供給する。

【 0 0 3 6 】

[EL パネル 1 0 の画素 2 1 の配列構成]

図 3 は、EL パネル 1 0 の各画素 2 1 が発光する色の配列を示している。

【 0 0 3 7 】

なお、図 3 では、走査線 W S L および電源線 D S L が画素 2 1 の下側から接続されている点が図 2 と異なる。走査線 W S L 、電源線 D S L 、および映像信号線 D T L が画素 2 1 とどの側面から接続されるかは、配線レイアウトに応じて適宜変更することができる。水平セクタ 1 2 、ライトスキャナ 1 3 、および電源スキャナ 1 4 の画素アレイ部 1 1 に対する配置についても同様に、適宜変更することができる。

【 0 0 3 8 】

画素アレイ部 1 1 の各画素 2 1 は、赤 (R) 、緑 (G) 、または青 (B) のいずれかの色を発光する。そして、各色は、例えば、行方向には赤、緑、青の順となり、列方向には同一の色となるように配列されている。従って、各画素 2 1 は、いわゆる副画素 (サブピクセル) に相当し、行方向 (図面左右方向) に並ぶ赤、緑、および青の 3 つの画素 2 1 で表示単位としての 1 画素が構成される。なお、EL パネル 1 0 の色の配列が図 3 に示した配列に限定されるものではない。

【 0 0 3 9 】

[EL パネル 1 0 の画素 2 1 の詳細回路構成]

図 4 は、EL パネル 1 0 に含まれる N × M 個の画素 2 1 のうちの 1 つの画素 2 1 を拡大することにより、画素 2 1 の等価回路 (画素回路) の構成を示したブロック図である。

【 0 0 4 0 】

なお、図 4 の画素 2 1 が、画素 2 1 - (n , m) (n = 1 , 2 , ⋯ , N , m = 1 , 2 , ⋯ , M) であるとする、走査線 W S L 、映像信号線 D T L 、および電源線 D S L のそれぞれは、次のようになる。即ち、図 4 の走査線 W S L 、映像信号線 D T L 、および電源線 D S L は、画素 2 1 - (n , m) に対応する走査線 W S L - n 、映像信号線 D T L - n 、および電源線 D S L - m となる。

【 0 0 4 1 】

図 4 の画素 2 1 は、サンプリング用トランジスタ 3 1 、駆動用トランジスタ 3 2 、蓄積容量 3 3 、発光素子 3 4 、および補助容量 3 5 を有する。また、図 4 では、発光素子 3 4 が有する容量成分も、発光素子容量 3 4 B として示してある。ここで、蓄積容量 3 3 、発光素子容量 3 4 B 、および補助容量 3 5 の容量値は、それぞれ、Cs, Coled、および Csub である。

【 0 0 4 2 】

サンプリング用トランジスタ 3 1 のゲートは、走査線 W S L と接続され、サンプリング

10

20

30

40

50

用トランジスタ 31 のドレインは、映像信号線 DTL と接続される。また、サンプリング用トランジスタ 31 のソースは、駆動用トランジスタ 32 のゲートと接続されている。

【0043】

駆動用トランジスタ 32 のソース及びドレインの一方は、発光素子 34 のアノードに接続され、他方が、電源線 DSL に接続される。蓄積容量 33 は、駆動用トランジスタ 32 のゲートと発光素子 34 のアノードに接続されている。また、発光素子 34 のカソードは所定の電位 Vcat に設定されている配線 36 に接続されている。この電位 Vcat は GND レベルであり、従って、配線 36 は接地配線である。

【0044】

補助容量 35 は、発光素子 34 の容量成分、即ち発光素子容量 34B を補うために設けられ、発光素子 34 と並列に接続されている。即ち、補助容量 35 の一方の電極は、発光素子 34 のアノード側に接続され、他方の電極は、発光素子 34 のカソード側と接続される。このように補助容量 35 を設け、所定の電位を保持させることにより、駆動用トランジスタ 32 の入力ゲインを向上させることができる。ここで、駆動用トランジスタ 32 の入力ゲインとは、図 7 を参照して後述する書き込み + 移動度補正期間 T_5 における駆動用トランジスタ 32 のゲート電位 V_g の上昇量に対するソース電位 V_s の上昇量の比率である。

【0045】

サンプリング用トランジスタ 31 および駆動用トランジスタ 32 は、いずれも N チャンネル型トランジスタである。よって、サンプリング用トランジスタ 31 および駆動用トランジスタ 32 は、低温ポリシリコンよりも安価に作成できるアモルファスシリコンで作成することができる。これにより、画素回路の製造コストをより安価にすることができる。勿論、サンプリング用トランジスタ 31 および駆動用トランジスタ 32 は、低温ポリシリコンや単結晶シリコンで作成しても構わない。

【0046】

発光素子 34 は、有機 EL 素子で構成される。有機 EL 素子はダイオード特性を有する電流発光素子である。よって、発光素子 34 は、供給される電流値 I_{ds} に応じた階調の発光を行う。

【0047】

以上のように構成される画素 21 において、サンプリング用トランジスタ 31 が、走査線 WSL からの選択制御信号に応じてオン（導通）し、映像信号線 DTL を介して階調に応じた信号電位 V_{sig} の映像信号をサンプリングする。蓄積容量 33 は、映像信号線 DTL を介して水平セクタ 12 から供給された電荷を蓄積して保持する。駆動用トランジスタ 32 は、高電位 V_{cc1} にある電源線 DSL から電流の供給を受け、蓄積容量 33 に保持された信号電位 V_{sig} に応じて駆動電流 I_{ds} を発光素子 34 に流す（供給する）。発光素子 34 に所定の駆動電流 I_{ds} が流れることにより、画素 21 が発光する。

【0048】

画素 21 は、閾値補正機能を有する。閾値補正機能とは、駆動用トランジスタ 32 の閾値電圧 V_{th} に相当する電圧を蓄積容量 33 に保持させる機能である。閾値補正機能を発揮させることで、EL パネル 10 の画素毎のばらつきの原因となる駆動用トランジスタ 32 の閾値電圧 V_{th} の影響をキャンセルすることができる。

【0049】

また、画素 21 は、上述した閾値補正機能に加え、移動度補正機能も有する。移動度補正機能とは、蓄積容量 33 に信号電位 V_{sig} を保持する際、駆動用トランジスタ 32 の移動度 μ に対する補正を信号電位 V_{sig} に加える機能である。

【0050】

さらに、画素 21 は、ブートストラップ機能も備えている。ブートストラップ機能とは、駆動用トランジスタ 32 のソース電位 V_s の変動にゲート電位 V_g を連動させる機能である。ブートストラップ機能の発揮により、駆動用トランジスタ 32 のゲートとソース間電圧 V_{gs} を一定に維持することが出来る。

10

20

30

40

50

【 0 0 5 1 】

[画素 2 1 のパターンレイアウト]

図 5 および図 6 を参照して、図 4 の画素 2 1 のパターンレイアウトについて説明する。

【 0 0 5 2 】

図 5 は、画素 2 1 のパターンレイアウトを示す平面図である。図 5 左側は、TFTを構成する層（TFT層）のパターンレイアウトを示し、図 5 右側は、TFT層より上側の層を主に示している。

【 0 0 5 3 】

図 6 は、図 5 に示される A A ' 線の断面図である。なお、図 6 において、TFT層の図示は簡略化されている。

10

【 0 0 5 4 】

画素 2 1 は、3 層の金属層と、多結晶シリコン膜を形成する半導体層を含む。以下では、画素 2 1 のTFT層を形成する支持基板 4 0（図 6）に最も近い側から、第 1 乃至第 3 の金属層と呼び、多結晶シリコン膜を形成する半導体層をシリコン層と呼ぶことにする。

【 0 0 5 5 】

図 5 左側に示されるように、画素 2 1 を横断する走査線 W S L と電源線 D S L は、第 2 の金属層で形成される。また、画素 2 1 を縦断する映像信号線 D T L は、走査線 W S L および電源線 D S L と交差しない部分については第 2 の金属層で形成され、走査線 W S L および電源線 D S L と交差する部分については第 1 の金属層で形成される。

【 0 0 5 6 】

20

サンプリング用トランジスタ 3 1 に注目すると、サンプリング用トランジスタ 3 1 のドレイン電極およびソース電極は第 2 の金属層で形成され、ゲート電極は第 1 の金属層で形成される。そして、サンプリング用トランジスタ 3 1 のドレイン電極およびソース電極とゲート電極との間にシリコン層が形成される。シリコン層は、サンプリング用トランジスタ 3 1 のドレイン電極およびソース電極としての第 2 の金属層と接続されている。

【 0 0 5 7 】

駆動用トランジスタ 3 2 に注目すると、駆動用トランジスタ 3 2 のドレイン電極およびソース電極は第 2 の金属層で形成され、ゲート電極は第 1 の金属層で形成される。そして、駆動用トランジスタ 3 2 のドレイン電極およびソース電極とゲート電極との間にシリコン層が形成される。シリコン層は、駆動用トランジスタ 3 2 のドレイン電極およびソース電極としての第 2 の金属層と接続されている。

30

【 0 0 5 8 】

蓄積容量 3 3 は、第 1 の金属層とシリコン層とを対向させることにより構成されている。第 1 の金属層で形成されている蓄積容量 3 3 の一方の電極は、第 2 の金属層を介して、サンプリング用トランジスタ 3 1 のソース電極と接続されている。シリコン層で形成されている蓄積容量 3 3 の他方の電極は、駆動用トランジスタ 3 2 のソース電極を形成する第 2 の金属層と接続されている。駆動用トランジスタ 3 2 のソース電極を形成する第 2 の金属層は、第 3 の金属層としてのアノード層 4 1（図 6）と接続されているので、結局、シリコン層で形成されている蓄積容量 3 3 の他方の電極は、発光素子 3 4 のアノードと接続されている。

40

【 0 0 5 9 】

補助容量 3 5 も、第 1 の金属層とシリコン層とを対向させることにより構成されている。補助容量 3 5 の一方の電極は、蓄積容量 3 3 の他方の電極と共通のシリコン層で形成されているため、アノード層 4 1 と接続されている。補助容量 3 5 の他方の電極は、第 2 の金属層と接続され、この第 2 の金属層は、電気的にはカソード電位 V c a t となっている第 3 の金属層（アノード層 4 1）と接続されている。

【 0 0 6 0 】

そして、図 5 右側および図 6 に示されるように、第 3 の金属層としてのアノード層 4 1 の上に、有機EL層 4 2 が形成され、さらにその上にカソード透明膜が形成されている。

【 0 0 6 1 】

50

画素 21 は、以上のように構成することができる。

【0062】

[ELパネル10の画素21の動作の説明]

図7は、画素21の動作を説明するタイミングチャートである。

【0063】

図7は、同一の時間軸（図面横方向）に対する走査線WSL、電源線DSL、および映像信号線DTLの電位変化と、それに対応する駆動用トランジスタ32のゲート電位 V_g 及びソース電位 V_s の変化を示している。

【0064】

図7において、時刻 t_1 までの期間は、前の水平期間（1F）の発光がなされている発光期間 T_1 である。

【0065】

発光期間 T_1 が終了した時刻 t_1 から時刻 t_3 までは、駆動用トランジスタ32のゲート電位 V_g 及びソース電位 V_s を初期化することで閾値電圧補正動作の準備を行う閾値補正準備期間 T_2 である。

【0066】

閾値補正準備期間 T_2 では、時刻 t_1 において、電源スキャナ14が、電源線DSLの電位を高電位 V_{cc1} から低電位 V_{ss} に切替える。ここで、発光素子34の閾値電圧を V_{thel} とする。このとき、低電位 V_{ss} を、 $V_{ss} < V_{thel} + V_{cat}$ とすると、駆動用トランジスタ32のソース電位 V_s が低電位 V_{ss} にほぼ等しくなるために、発光素子34は逆バイアス状態となって消光する。

【0067】

次に、時刻 t_2 において、ライトスキャナ13が、走査線WSLの電位を高電位に切替え、サンプリング用トランジスタ31をオンさせる。これにより、駆動用トランジスタ32のゲート電位 V_g が基準電位 V_{ofs} にリセットされる。駆動用トランジスタ32のソース電位 V_s は、時刻 t_1 から時刻 t_2 にかけて、映像信号線DTLの低電位 V_{ss} にリセットされる。

【0068】

このとき、駆動用トランジスタ32のゲート-ソース間電圧 V_{gs} は、 $(V_{ofs} - V_{ss})$ となる。ここで、 $(V_{ofs} - V_{ss})$ が駆動用トランジスタ32の閾値電圧 V_{th} よりも大きくないと、次の閾値補正処理を行うことができない。そのため、 $(V_{ofs} - V_{ss}) > V_{th}$ の関係を満たすように、基準電位 V_{ofs} および低電位 V_{ss} が設定されている。

【0069】

時刻 t_3 から時刻 t_4 までは、閾値補正動作を行う閾値補正期間 T_3 である。閾値補正期間 T_3 では、時刻 t_3 において、電源スキャナ14により、電源線DSLの電位が高電位 V_{cc1} に切換えられ、閾値電圧 V_{th} に相当する電圧が、駆動用トランジスタ32のゲートとソースとの間に接続された蓄積容量33に書き込まれる。即ち、電源線DSLの電位が高電位 V_{cc1} に切換えられることにより駆動用トランジスタ32のソース電位 V_s が上昇し、閾値補正期間 T_3 の時刻 t_4 までに、駆動用トランジスタ32のゲート-ソース間電圧 V_{gs} が、閾値電圧 V_{th} に等しくなる。

【0070】

なお、閾値補正期間 T_3 では、発光素子34がカットオフ状態となるようにカソード電位 V_{cat} が設定されているため、駆動用トランジスタ32のドレイン-ソース間電流 I_{ds} は蓄積容量33側に流れ、発光素子34側には流れない。

【0071】

時刻 t_4 から時刻 t_6 までの書き込み+移動度補正準備期間 T_4 では、走査線WSLの電位が高電位から低電位に一旦切換えられる。このとき、サンプリング用トランジスタ31がオフされるため、駆動用トランジスタ32のゲートがフローティング状態となる。しかし、駆動用トランジスタ32のゲート-ソース間電圧 V_{gs} が、閾値電圧 V_{th} に等し

10

20

30

40

50

いため、駆動用トランジスタ 32 はカットオフ状態にある。従って、駆動用トランジスタ 32 にドレイン - ソース間電流 I_{ds} は流れない。

【0072】

そして、時刻 t_4 から時刻 t_6 の間の時刻 t_5 において、水平セクタ 12 が、映像信号線 DTL の電位を基準電位 V_{ofs} から階調に応じた信号電位 V_{sig} に切換える。

【0073】

その後、時刻 t_6 から時刻 t_7 までの書き込み + 移動度補正期間 T_5 において、映像信号の書き込みと移動度補正動作が同時に行われる。即ち、時刻 t_6 から時刻 t_7 までの間、走査線 WSL の電位が高電位に設定され、これにより、階調に応じた信号電位 V_{sig} が閾値電圧 V_{th} に足し込まれる形で蓄積容量 33 に書き込まれる。また、移動度補正用の電圧 V が蓄積容量 33 に保持された電圧から差し引かれる。

10

【0074】

移動度補正中の駆動用トランジスタ 32 のゲート - ソース間電圧 V_{gs}' は、次式 (2) で表すことができる。

【数 2】

$$V_{gs}' = V_{sig} + V_{th} - \Delta V = V_{sig} + V_{th} - (V_{sig} - V_{ofs}) \frac{C_s}{C_s + C_{sub} + C_{oled}} \dots (2)$$

20

【0075】

そして、書き込み + 移動度補正期間 T_5 終了時点の時刻 t_7 における駆動用トランジスタ 32 のソース電位 V_s の上昇量 V が V_a であるとする。この場合、移動度補正後の駆動用トランジスタ 32 のゲート - ソース間電圧 V_{gs} を V_a とすると、 $V_a = (V_{sig} + V_{th} - V_a)$ となる。

【0076】

移動度補正中と移動度補正後の駆動用トランジスタ 32 のゲート - ソース間電圧 V_{gs} を比較すると、移動度補正は、駆動用トランジスタ 32 のソース電位 V_s を上昇させるものであるため、 $V_{gs}' > V_a$ の関係が成り立つ。

【0077】

30

なお、式 (2) によれば、移動度補正によるソース電位 V_s の上昇量 V が

【数 3】

$$\Delta V = (V_{sig} - V_{ofs}) \frac{C_s}{C_s + C_{sub} + C_{oled}}$$

で表すことができるので、画素 21 に補助容量 35 を設けたことにより、設けない場合と比べて上昇量 V を小さくすることができることがわかる。即ち、補助容量 35 は、発光素子 34 の容量成分を補い、上昇量 V を小さくすることによって、駆動用トランジスタ 32 のゲート - ソース間電圧 V_{gs} を拡大させる。駆動用トランジスタ 32 のゲート - ソース間電圧 V_{gs} を拡大させることにより、必要とされる発光輝度が同一である場合、階調に応じて与える信号電位 V_{sig} をより低減させることができる。即ち、消費電力を低減させることができる。

40

【0078】

書き込み + 移動度補正期間 T_5 終了後の時刻 t_7 において、走査線 WSL の電位が低電位に戻される。これにより、駆動用トランジスタ 32 のゲートは、映像信号線 DTL から切り離されるため、フローティング状態となる。駆動用トランジスタ 32 のゲートがフローティング状態にあるときは、駆動用トランジスタ 32 のゲート - ソース間に蓄積容量 33 が接続されていることにより、駆動用トランジスタ 32 のソース電位 V_s の変動に連動してゲート電位 V_g も変動する。このように、駆動用トランジスタ 32 のゲート電位 V_g が、ソース電位 V_s の変動に連動して変動する動作が、蓄積容量 33 によるブートストラ

50

ップ動作である。

【0079】

時刻 t_7 以降、駆動用トランジスタ32のゲートがフローティング状態になり、駆動用トランジスタ32のドレイン - ソース間電流 I_{ds} が駆動電流として発光素子34に流れ始めることにより、駆動電流 I_{ds} に応じて発光素子34のアノード電位が上昇する。また、ブートストラップ動作により、駆動用トランジスタ32のゲート電位 V_g も同様に上昇する。即ち、駆動用トランジスタ32のゲート - ソース間電圧 $V_a = (V_{sig} + V_{th} - V_a)$ を一定に維持したまま、駆動用トランジスタ32のゲート電位 V_g 及びソース電位 V_s が上昇する。そして、発光素子34のアノード電位が $(V_{thel} + V_{cat})$ を超えたとき、発光素子34が発光を開始する。

10

【0080】

書き込み + 移動度補正期間 T_5 終了後の時刻 t_7 時点で、閾値電圧 V_{th} と移動度 μ の補正が終了しているため、発光素子34の発光輝度は駆動用トランジスタ32の閾値電圧 V_{th} や移動度 μ のばらつきの影響を受けることがない。即ち、発光素子34は、駆動用トランジスタ32の閾値電圧 V_{th} や移動度 μ のばらつきの影響を受けずに、信号電位 V_{sig} に応じた各画素同一の発光輝度で発光する。

【0081】

そして、時刻 t_7 から所定時間経過後の時刻 t_8 において、映像信号線 DTL の電位が、信号電位 V_{sig} から基準電位 V_{ofs} に落とされる。

【0082】

20

以上のようにして、ELパネル10の各画素21では、駆動用トランジスタ32の閾値電圧 V_{th} や移動度 μ のばらつきの影響を受けることがなく、発光素子34を発光させることができる。従って、ELパネル10を用いた表示装置1では、高品位な画質を得ることができる。

【0083】

また、ELパネル10の各画素21では、補助容量35を設けない場合と比べてソース電位 V_s の上昇量 V_a を小さくすることができ、これにより、駆動用トランジスタ32のゲート - ソース間電圧 V_{gs} を拡大させることができる。そして、駆動用トランジスタ32のゲート - ソース間電圧 V_{gs} を拡大させることにより、階調に応じて与える信号電位 V_{sig} をより低減させることができるので、消費電力を低減させることができる。

30

【0084】

ところで、移動度補正は、駆動用トランジスタ32のソース電位 V_s を上昇させながら駆動用トランジスタ32のゲート - ソース間電圧 V_{gs} をそろえる。そのため、発光時の駆動用トランジスタ32のゲート - ソース間電圧 V_{gs} は、映像信号書き込み終了後のゲート - ソース間電圧 V_{gs} から、移動度補正によるソース電位 V_s の上昇量 V_a を差し引いた $(V_{sig} + V_{th} - V_a)$ となる。従って、移動度補正によるソース電位 V_s の上昇量 V_a を、ELパネル10よりも、さらに小さくすることができれば、消費電力をより低減させることができる。

【0085】

40

[本発明を適用した表示装置の構成]

そこで、上述した図2の表示装置1を基本として、より低い信号電位 V_{sig} の映像信号で、図2の表示装置1における場合と同一の輝度の表示を可能とした表示装置について、以下に説明する。

【0086】

即ち、図8は、本発明を適用した表示装置の一実施の形態を示すブロック図である。

【0087】

図8の表示装置100は、図2のELパネル10を改善したELパネル101を有する表示装置である。表示装置100は、図2のELパネル10に代えて、ELパネル101が設けられている以外は、図2で説明した表示装置1と同様の構成を有する。

【0088】

50

ELパネル 101 において、表示装置 1 と対応する部分については同一の符号を付してあり、その説明については適宜省略し、ELパネル 10 と異なる部分について説明する。

【0089】

ELパネル 101 は、複数の画素 121 を有する画素アレイ部 111、水平セクタ 12、ライトスキャナ 13、および電源スキャナ 114 を含むように構成されている。

【0090】

画素アレイ部 111 は、ELパネル 10 と同様に、 $N \times M$ 個の画素 121 - (1, 1) 乃至 121 - (N, M) が行列状に配置されて構成されている。なお、上述の例と同様に、画素 121 - (1, 1) 乃至 121 - (N, M) を特に区別する必要がない場合には、単に画素 121 と称する。

10

【0091】

図 8 の EL パネル 101 では、図 9 を参照して後述するが、画素 121 と電源スキャナ 114 との電源線 DSL の接続が、図 2 の EL パネル 10 と異なる。そのため、電源スキャナ 114 も、図 2 の電源スキャナ 14 とは異なる駆動を行う。

【0092】

そこで、画素 121 と電源スキャナ 114 との電源線 DSL の接続、および、電源スキャナ 114 の駆動について、図 9 を参照して説明する。

【0093】

[EL パネル 101 の第 1 の実施の形態]

図 9 は、EL パネル 101 の第 1 の実施の形態の構成例を示すブロック図である。

20

【0094】

図 9 では、EL パネル 101 に含まれる $N \times M$ 個の画素 121 のうち、列方向に並ぶ 2 つの画素 121 の等価回路であって、画素 121 - (N, M - 1) と画素 121 - (N, M) の構成を示している。なお、図示しないその他の画素 121 も、この画素 121 - (N, M - 1) と画素 121 - (N, M) と同様の構成を有している。

【0095】

画素 121 - (N, M) は、サンプリング用トランジスタ 31、駆動用トランジスタ 32、蓄積容量 33、発光素子 34、発光素子容量 34B、および補助容量 35A を有している。

【0096】

30

画素 121 - (N, M) の線順次走査の順番で前段 (1 行前) となる画素 121 - (N, M - 1) も、サンプリング用トランジスタ 31、駆動用トランジスタ 32、蓄積容量 33、発光素子 34、発光素子容量 34B、および補助容量 35A を有している。

【0097】

従って、EL パネル 101 の画素 121 の構成要素自体は、図 4 を参照して説明した EL パネル 10 の画素 21 と同様である。ただし、補助容量 35A の一方の電極の接続先が図 4 を参照して説明した EL パネル 10 の画素 21 とは異なる。

【0098】

即ち、画素 21 では、同じ画素内のカソード側と接続されていた補助容量 35A の一方の電極が、画素 121 - (N, M) では、その前段の画素 121 - (N, M - 1) の電源線 DSL - (M - 1) と接続されている。画素 121 - (N, M - 1) の補助容量 35A も同様に、発光素子 34 のアノードと接続されている側と反対の電極は、図示せぬ画素 121 - (N, M - 2) の電源線 DSL - (M - 2) と接続されている。

40

【0099】

電源スキャナ 114 は、画素 121 - (N, M) の水平期間 (1F) に、電源線 DSL - M の電源電位だけでなく、補助容量 35A の一方の電極が接続されている画素 121 - (N, M - 1) の電源線 DSL - (M - 1) の電源電位も、所定期間、変更する。また、電源スキャナ 114 は、画素 121 - (N, M - 1) の水平期間に、電源線 DSL - (M - 1) の電源電位だけでなく、画素 121 - (N, M - 2) の電源線 DSL - (M - 2) の電源電位も、所定期間、変更する。

50

【 0 1 0 0 】

[ELパネル 1 0 1 の画素 1 2 1 の動作の説明]

図 9 に示した 2 つの画素 1 2 1 - (N , M - 1) と画素 1 2 1 - (N , M) のうちの画素 1 2 1 - (N , M) を例に、画素 1 2 1 の動作について、図 1 0 を参照して説明する。

【 0 1 0 1 】

図 1 0 では、図 7 と同様の、画素 1 2 1 - (N , M) と接続された走査線 W S L - M 、電源線 D S L - M 、および映像信号線 D T L - M 、並びに、駆動用トランジスタ 3 2 のゲート電位 V g 及びソース電位 V s に加えて、電源線 D S L - (M - 1) の電位も示している。

【 0 1 0 2 】

時刻 t_{11} から時刻 t_{16} まで動作は、図 7 の時刻 t_1 から時刻 t_6 まで動作と同様であるので、その説明は省略する。

【 0 1 0 3 】

書き込み + 移動度補正期間 T_5 として、時刻 t_{16} において、ライトスキャナ 1 3 が、走査線 W S L - M の電位を高電位に切換え、サンプリング用トランジスタ 3 1 をオンさせる。これにより、映像信号の書き込みと移動度補正が同時に開始される。即ち、階調に対応する信号電位 V s i g が閾値電圧 V t h に足し込まれる形で蓄積容量 3 3 に書き込まれる。また、移動度補正用の電圧 V が蓄積容量 3 3 に保持された電圧から差し引かれる。

【 0 1 0 4 】

同時に開始された映像信号の書き込みと移動度補正のうち、映像信号の書き込みが終了したとき以降の時刻 t_{17} において、電源スキャナ 1 4 が、電源線 D S L - (M - 1) の電位を高電位 V c c 1 から V d s だけ低下させる。その後、時刻 t_{17} から T 時間経過後の時刻 t_{18} において、電源スキャナ 1 4 が、電源線 D S L - (M - 1) の電位を、再び高電位 V c c 1 に戻す。

【 0 1 0 5 】

ここで、時刻 t_{16} から時刻 t_{17} までの移動度補正による駆動用トランジスタ 3 2 のソース電位 V s の上昇量が V_1 であるとする。この場合、時刻 t_{17} における駆動用トランジスタ 3 2 のゲート - ソース間電圧 V g s は、 $V_{sig} + V_{th} - V_1$ となる。

【 0 1 0 6 】

時刻 t_{17} において、電源線 D S L - (M - 1) の電位が、高電位 V c c 1 から V d s だけ低下したことにより、駆動用トランジスタ 3 2 のソース電位 V s が V_1 だけ降下する。即ち、電源線 D S L - (M - 1) の電位が、高電位 V c c 1 から V d s だけ低下したことにより、それまでの移動度補正による駆動用トランジスタ 3 2 のソース電位 V s の上昇量 V_1 がリセットされる。

【 0 1 0 7 】

しかし、時刻 t_{17} から時刻 t_{18} までの T 時間においても、移動度補正動作は継続しているため、移動度補正動作が終了する時刻 t_{18} までの間に、駆動用トランジスタ 3 2 のソース電位 V s がさらに V_2 だけ上昇する。その結果、移動度補正動作が終了する時刻 t_{18} における駆動用トランジスタ 3 2 のゲート - ソース間電圧 V g s が V b となる。

【 0 1 0 8 】

ここで、時刻 t_{17} における駆動用トランジスタ 3 2 のソース電位 V s の降下量 V_1 から、時刻 t_{17} から時刻 t_{18} までの T 時間におけるソース電位 V s の上昇量 V_2 を差し引いた差 ($V_1 - V_2$) の電圧を V_s とする。この場合、時刻 t_{18} 以降の駆動用トランジスタ 3 2 のゲート - ソース間電圧 V b は、図 7 における場合より、電圧 V s だけ、駆動用トランジスタ 3 2 のゲート - ソース間電圧 V g s が大であるので、 $V_b = V_a + V_s$ と表すことができる。

【 0 1 0 9 】

また、電源線 D S L - (M - 1) の電位の降下量 V d s による駆動用トランジスタ 3 2 のゲート - ソース間電圧 V g s への寄与分である電圧 V_s は、次の式 (3) で表すこ

10

20

30

40

50

とができる。

【 0 1 1 0 】

【 数 4 】

$$\Delta V_s = \Delta V_{ds} \cdot \frac{C_{sub}}{C_s + C_{sub} + C_{oled}} \quad \dots (3)$$

【 0 1 1 1 】

その結果、時刻 t_{18} における駆動用トランジスタ 32 のゲート - ソース間電圧 V_{gs} ($= V_b$) は、次式 (4) で表すことができる。

【 0 1 1 2 】

【 数 5 】

$$V_{gs} = V_a + \Delta V_s = V_{sig} + V_{th} - \Delta V_a + \Delta V_{ds} \cdot \frac{C_{sub}}{C_s + C_{sub} + C_{oled}} \quad \dots (4)$$

【 0 1 1 3 】

時刻 t_{18} からの発光期間 T_6 では、ELパネル 10 と同様に、駆動用トランジスタ 32 のゲート - ソース間電圧 $V_{gs} = V_b$ を一定に維持したまま、駆動用トランジスタ 32 のゲート電位 V_g 及びソース電位 V_s が上昇し、発光する。

【 0 1 1 4 】

従って、ELパネル 101 を採用した表示装置 100 では、図 7 の ELパネル 10 における場合 (V_a) よりも、さらに電圧 V_s だけ駆動電圧 V_{gs} を拡大させることができる。これにより、必要とされる発光輝度が同一である場合、階調に応じて与える信号電位 V_{sig} をより低減させることができる。即ち、消費電力を低減させることができる。また、移動度補正時間を図 7 における場合よりも長く確保することができ、信号電位 V_{sig} を変化させない場合には、より高い発光輝度を得ることができる。

【 0 1 1 5 】

【書き込み + 移動度補正期間 T_5 のばらつきと発光輝度ばらつきの関係】

ところで、上述した ELパネル 101 は、画素 121 の移動度補正期間中に、前段の画素 121 の電源線 D S L の電位を V_{ds} だけ低下させることにより、駆動用トランジスタ 32 のゲート - ソース間電圧 V_{gs} を、 V_{ds} に対応する電圧 V_s だけ拡大した。

【 0 1 1 6 】

しかし、図 10 の駆動制御では、書き込み + 移動度補正期間 T_5 中の駆動用トランジスタ 32 のソース電位 V_s の上昇率 (傾き) 自体は、図 7 における場合と変化していない。

【 0 1 1 7 】

ここで、移動度補正のみによる駆動用トランジスタ 32 のゲート - ソース間電圧 V_{gs} の変化は、書き込み + 移動度補正期間 T_5 の最初の時刻 t_{16} からの経過時刻 t を変数とする次式 (5) で表すことができる。

【 0 1 1 8 】

【 数 6 】

$$V_{gs}(t) = V_{th} + \frac{1}{\frac{1}{V_{gs}(0) - V_{th}} + \frac{\beta \cdot t}{2C_s}} \quad \dots (5)$$

式 (5) において、 β は、式 (6) のように、駆動用トランジスタ 32 の係数部分を置き換えた値である。

【 数 7 】

$$\beta = \frac{1}{2} \cdot \mu \cdot \frac{W}{L} \cdot C_{ox} \quad \dots (6)$$

10

20

30

40

50

なお、式(5)における $V_{gs}(0)$ は、 $t=0$ としたときの駆動用トランジスタ32のゲート-ソース間電圧 V_{gs} を表す。

【0119】

従って、式(5)によれば、時刻 t が大きくなると、駆動用トランジスタ32のゲート-ソース間電圧 V_{gs} は小さくなる。換言すれば、書き込み+移動度補正期間 T_5 が長くなれば、駆動用トランジスタ32のゲート-ソース間電圧 V_{gs} は小さくなる。そして、駆動用トランジスタ32のゲート-ソース間電圧 V_{gs} が小さくなれば、発光輝度は低くなる。

【0120】

図11は、書き込み+移動度補正期間 T_5 内の経過時刻 t と、駆動用トランジスタ32のドレイン-ソース間電流 I_{ds} との関係を示している。

10

【0121】

上述したように、書き込み+移動度補正期間 T_5 では、ELパネル101は、信号電位 V_{sig} の書き込みと移動度補正を同時に行っている。そのため、図11の時刻 t_a までの駆動用トランジスタ32のゲート-ソース間電圧 V_{gs} は、信号電位 V_{sig} の書き込みによる上昇と、移動度補正による下降とが相殺され、全体としては緩やかに上昇する。これに対応して、図11の曲線131のドレイン-ソース間電流 I_{ds} も、時刻 t_a までは時刻 t に応じて上昇する。

【0122】

そして、信号電位 V_{sig} の書き込みが終了する時刻 t_a 以降、駆動用トランジスタ32のゲート-ソース間電圧 V_{gs} は、移動度補正によるソース電位 V_s の上昇のみが作用するため、徐々に小さくなる。これに対応して、図11の曲線131が示すドレイン-ソース間電流 I_{ds} も、時刻 t_a 以降は時刻 t に応じて下降する。そして、この時刻 t_a 以降の曲線131の傾きが、図7の書き込み+移動度補正期間 T_5 中の駆動用トランジスタ32のソース電位 V_s の上昇率(傾き)に対応する。

20

【0123】

ここで、書き込み+移動度補正期間 T_5 は、図7及び図10を参照してわかるように、走査線 WSL の電位を高電位とする期間と対応する。従って、サンプリング用トランジスタ31のトランジスタ特性や、その周辺回路の特性値にばらつきが発生すれば、書き込み+移動度補正期間 T_5 自体にもばらつきが生じる。

30

【0124】

例えば、ある画素21では、図11に示す時刻 t_b で書き込み+移動度補正期間 T_5 が終了し、他のある画素21では、時刻 t_c で書き込み+移動度補正期間 T_5 が終了したとする。即ち、サンプリング用トランジスタ31のトランジスタ特性などのばらつきにより、2つの画素21の書き込み+移動度補正期間 T_5 に t の時間差が生じたとする。この場合、この2つの画素21どうしは、閾値補正や移動度補正が行われていたとしても、ドレイン-ソース間電流 I_{ds} に I_{ds1} の差が発生することになる。このドレイン-ソース間電流 I_{ds} の差 I_{ds1} は、そのまま、発光輝度の差となる。

【0125】

従って、上述したELパネル101の第1の実施の形態では、ライトスキャナ13が出力する選択制御信号のパルス幅が t ばらつくことにより、発光輝度にばらつきが生じる余地がある。

40

【0126】

そこで、以下に説明するELパネル101の第2の実施の形態では、ライトスキャナ13が出力する選択制御信号のパルス幅にばらつきが生じても、発光輝度のばらつきを抑制するように構成されている。

【0127】

図12は、後述するELパネル101の第2の実施の形態における、書き込み+移動度補正期間 T_5 内の経過時刻 t と、ドレイン-ソース間電流 I_{ds} との関係を示している。

【0128】

50

ＥＬパネル１０１の第２の実施の形態では、図１２の曲線１４１で示されるように、時刻 t_a 以降の傾きが、図１１の曲線１３１よりも緩やかになるような構成が採用される。このようにすることで、ライトスキャナ１３が出力する選択制御信号のパルス幅に、上述した t のばらつきが発生したとしても、ドレイン・ソース間電流 I_{ds} の差 I_{ds2} は、 I_{ds1} よりも小さくなる。

【０１２９】

図１２の曲線１４１のように、時刻 t_a 以降の曲線の傾きを曲線１３１よりも緩やかにするためには、時刻 t_a 以降の駆動用トランジスタ３２のゲート・ソース間電圧 V_{gs} の低下を緩やかにすればよい。換言すれば、書き込み＋移動度補正期間 T_5 中の駆動用トランジスタ３２のソース電位 V_s の上昇率（傾き）を緩やか、理想的には、ゼロとすればよい。

10

【０１３０】

[ＥＬパネル１０１の第２の実施の形態]

図１３は、ＥＬパネル１０１の第２の実施の形態の構成例を示すブロック図である。

【０１３１】

図１３のＥＬパネル１０１は、図９の電源スキャナ１１４に代えて、電源スキャナ１１４Ａが設けられている点のみが、第１の実施の形態である図９のＥＬパネル１０１と相違する。

【０１３２】

[図１３のＥＬパネル１０１の画素１２１の動作の説明]

20

図１４を参照して、図１３の電源スキャナ１１４Ａによる電源線 D_{SL} の電位の制御について説明する。

【０１３３】

即ち、図１４は、ＥＬパネル１０１の第２の実施の形態における画素１２１－（ N, M ）の動作を説明するタイミングチャートである。

【０１３４】

図１４の時刻 t_{21} 乃至時刻 t_{29} は、図１０の時刻 t_{11} 乃至時刻 t_{19} にそれぞれ対応し、図１１に示される画素１２１の動作は、基本的には、図１０に示した画素１２１の動作と同様である。ただし、書き込み＋移動度補正期間 T_5 の時刻 t_{27} から、電源線 D_{SL} －（ $M-1$ ）の電位が、時間の経過とともに緩やかに低下し、時刻 t_{28} の時点で中間電位 V_{cc2} となっている点が異なる。また、この相違点により、駆動用トランジスタ３２のソース電位 V_s が、時刻 t_{27} から時刻 t_{28} までの間は、ほぼ同一となっている。

30

【０１３５】

図１５を参照して、ＥＬパネル１０１の第１の実施の形態と第２の実施の形態の相違部分についてさらに説明する。

【０１３６】

図１５は、図１４の時刻 t_{21} 乃至時刻 t_{29} について、時間軸方向に拡大した図である。なお、見やすくするため、縮尺は適宜調整してある。

【０１３７】

上述したように、時刻 t_{21} から時刻 t_{27} までの期間は、画素１２１は、図１０の時刻 t_{11} 乃至時刻 t_{17} と同様に動作する。

40

【０１３８】

そして、時刻 t_{27} において、電源スキャナ１１４Ａは、電源線 D_{SL} －（ $M-1$ ）の電位を、時刻 t_{28} の時点で中間電位 V_{cc2} となるように、高電位 V_{cc1} から緩やかに低下させる。

【０１３９】

図１０を参照して説明したように、電源線 D_{SL} －（ $M-1$ ）の電位を低下させると、駆動用トランジスタ３２のソース電位 V_s が低下する。従って、電源線 D_{SL} －（ $M-1$ ）の電位を緩やかに低下させることにより、駆動用トランジスタ３２のソース電位 V_s を

50

ほぼ一定に保つことができる。逆に言うと、時刻 t_{27} から時刻 t_{28} までの期間、駆動用トランジスタ 32 のソース電位 V_s がほぼ一定となるように、電源線 $DSL - (M - 1)$ の電源電位の立ち下がりの傾斜、および、時刻 t_{28} における中間電位 V_{cc2} が、設定される。

【0140】

時刻 t_{27} から時刻 t_{28} までの駆動用トランジスタ 32 のソース電位 V_s がほぼ一定であれば、図 12 の曲線 141 のように時刻 t_a 以降の曲線の傾きが緩やかになる。曲線の傾きが緩やかになれば、ライトスキャナ 13 による選択制御信号のパルス幅がばらつき、書き込み + 移動度補正期間 T_5 がばらついたとしても、発光輝度のばらつきを抑制することができる。

10

【0141】

図 15 において、書き込み + 移動度補正期間 T_5 における駆動用トランジスタ 32 のソース電位 V_s の上昇量が V_3 であるとする、時刻 t_{28} の駆動用トランジスタ 32 のゲート - ソース間電圧 V_{gs} は、 $(V_{sig} + V_{th} - V_3)$ となる。

【0142】

図 15 には、時刻 t_{27} 以降の EL パネル 10 における駆動用トランジスタ 32 のソース電位 V_s の変化を点線で示してある。図 13 の EL パネル 101 の駆動制御によれば、時刻 t_{27} 以降の駆動用トランジスタ 32 のソース電位 V_s の上昇が極力抑えられているため、基本 EL パネル 10 と比べて、駆動用トランジスタ 32 のゲート - ソース間電圧 V_{gs} が拡大していることがわかる。従って、EL パネル 101 の第 2 の実施の形態においても、信号電位 V_{sig} をより低減させることができ、消費電力を低減させることができる。

20

【0143】

[電源スキャナ 114A の構成例]

図 16 は、図 15 を参照して説明したような電源電位の制御を行う電源スキャナ 114A の構成例を示している。

【0144】

なお、図 16 では、電源スキャナ 114A の、画素 121 - $(N, M - 1)$ と画素 121 - (N, M) に対応する部分のみが示されている。

【0145】

電源スキャナ 114A は、所定の電源電位を、画素 121 - (N, M) の電源線 $DSL - M$ に供給する出力回路 151 - M と、画素 121 - $(N, M - 1)$ の電源線 $DSL - (M - 1)$ に供給する出力回路 151 - $(M - 1)$ を有している。

30

【0146】

出力回路 151 - M と出力回路 151 - $(M - 1)$ は、同様の構成を有しているため、出力回路 151 - $(M - 1)$ についてのみ説明する。

【0147】

出力回路 151 - $(M - 1)$ は、2つの P チャネル型トランジスタ 161 および 162 と、1つの N チャネル型トランジスタ 163 とから構成されている。

【0148】

出力回路 151 - $(M - 1)$ の P チャネル型トランジスタ 161 は、ソースが電源電位 V_{cc1} に接続されており、ゲートに入力される制御信号が低電位 (Lo) であるとき導通して、電源電位 V_{cc1} を電源線 $DSL - (M - 1)$ に供給する。

40

【0149】

出力回路 151 - $(M - 1)$ の P チャネル型トランジスタ 162 は、ソースが電源電位 V_{cc2} に接続されており、ゲートに入力される制御信号が低電位 (Lo) であるとき導通して、電源電位 V_{cc2} を電源線 $DSL - (M - 1)$ に供給する。

【0150】

出力回路 151 - $(M - 1)$ の N チャネル型トランジスタ 163 は、ソースが電源電位 V_{ss} に接続されており、ゲートに入力される制御信号が高電位 (Hi) であるとき導通し

50

て、電源電位 V_{ss} を電源線 $DSL - (M - 1)$ に供給する。

【0151】

出力回路 151 - $(M - 1)$ において、Pチャネル型トランジスタ 162 のトランジスタサイズを、Pチャネル型トランジスタ 161 より小さいサイズとすれば、Nチャネル型トランジスタ 163 が導通したときの中間電位 V_{cc2} への低下が緩やかとなる。一方、Pチャネル型トランジスタ 162 のトランジスタサイズが、Pチャネル型トランジスタ 161 のトランジスタサイズと同サイズであれば、中間電位 V_{cc2} への低下が急峻となる。従って、Pチャネル型トランジスタ 162 のトランジスタサイズを調整することにより、時刻 t_{27} から時刻 t_{28} までの期間、駆動用トランジスタ 32 のソース電位 V_s がほぼ一定となるような電源電位の立ち下がりの傾斜および中間電位 V_{cc2} の設定が可能である。

10

【0152】

[ELパネル 101 の第 3 の実施の形態]

次に、ELパネル 101 の第 3 の実施の形態について説明する。

【0153】

図 17 は、ELパネル 101 の第 3 の実施の形態の構成例を示すブロック図である。

【0154】

図 17 の EL パネル 101 は、第 1 の実施の形態である図 9 の EL パネル 101 と比較すると、補助容量 35A の一方の電極の接続先が異なり、それ以外は第 1 の実施の形態と同様の構成を有している。

20

【0155】

即ち、第 1 の実施の形態では、画素 121 - (N, M) の補助容量 35A の一方の電極が、前段の画素 121 - $(N, M - 1)$ の電源線 $DSL - (M - 1)$ と接続されていたが、第 3 の実施の形態では、前段の画素 121 - $(N, M - 1)$ の走査線 $WSL - (N, M - 1)$ と接続されている。画素 121 - $(N, M - 1)$ の補助容量 35A も同様に、発光素子 34 のアノードと接続されている側と反対の電極は、図示せぬ画素 121 - $(N, M - 2)$ の走査線 $WSL - (M - 2)$ と接続されている。画素アレイ部 111 の図示せぬその他の画素 121 の補助容量 35A も同様に、一方の電極が前段の画素 121 の走査線 WSL と接続とされている。

【0156】

30

図 18 は、ELパネル 101 の第 3 の実施の形態における画素 121 - (N, M) の動作を説明するタイミングチャートである。

【0157】

EL パネル 101 の第 3 の実施の形態における画素 121 の駆動制御は、上述した基本の EL パネル 10 の画素 21 の駆動制御と変わらない。

【0158】

即ち、画素 121 - (N, M) の発光期間 T_1 および T_6 以外の期間の時刻 t_{41} から時刻 t_{48} まで動作は、図 7 に示した基本の EL パネル 10 の時刻 t_1 から時刻 t_8 まで動作と同じである。

【0159】

40

しかし、EL パネル 101 の第 3 の実施の形態では、画素 121 - (N, M) の補助容量 35A の一方の電極が、前段の画素 121 - $(N, M - 1)$ の走査線 $WSL - (N, M - 1)$ と接続されている。そのため、時刻 t_{41} より前の画素 121 - $(N, M - 1)$ に対する走査線 $WSL - (N, M - 1)$ の電位変化に応じて、駆動用トランジスタ 32 のゲート電位 V_g 及びソース電位 V_s が変化する。

【0160】

具体的には、時刻 t_{31} において、走査線 $WSL - (N, M)$ に対する時刻 t_{41} の制御と同様に、ライトスキャナ 13 が、走査線 WSL の電位を高電位に切換え、サンプリング用トランジスタ 31 をオンさせる。また、時刻 t_{32} において、ライトスキャナ 13 が、走査線 WSL の電位を低電位に切換え、サンプリング用トランジスタ 31 をオフさせる

50

。

【0161】

さらに時刻 t_{34} において、ライトスキャナ 13 は、サンプリング用トランジスタ 31 をオンさせ、時刻 t_{35} においてオフさせる。

【0162】

走査線 WSL の電位が変化すると、その変化に応じて、走査線 WSL - (N, M - 1) と補助容量 35A を介して接続されている駆動用トランジスタ 32 のソースの電位 V_s も変動する。すると、駆動用トランジスタ 32 のソースと蓄積容量 33 を介して接続されている駆動用トランジスタ 32 のゲートの電位 V_g も連動して変化する。

【0163】

しかし、図 1 を参照して説明したように、駆動用トランジスタ 32 のソース電位 V_s は、駆動用トランジスタ 32 と発光素子 34 の動作点で決まるため、変動した駆動用トランジスタ 32 のゲート電位 V_g 及びソース電位 V_s は元の電位に戻る。従って、画素 121 - (N, M) の動作に影響はない。

【0164】

従って、EL パネル 101 の第 3 の実施の形態では、EL パネル 10 と同様に、補助容量 35 を設けない場合と比べて上昇量 V_a を小さくすることができ、これにより、駆動用トランジスタ 32 のゲート - ソース間電圧 V_{gs} を拡大させることができる。そして、駆動用トランジスタ 32 のゲート - ソース間電圧 V_{gs} を拡大させることにより、階調に応じて与える信号電位 V_{sig} をより低減させることができるので、消費電力を低減させることができる。

【0165】

また、補助容量 35 を設けることにより移動度補正動作を行う際の充電（補助容量 35 および発光素子容量 34B への蓄積）に時間がかかるようになり、駆動用トランジスタ 32 のソースの電位 V_s の上昇が遅くなる。即ち、駆動用トランジスタ 32 のソース電位 V_s の上昇率も緩やかとなるので、ライトスキャナ 13 が出力する選択制御信号のパルス幅のばらつき t による発光輝度のばらつきも小さくすることができる。

【0166】

本発明の実施の形態は、上述した実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲において種々の変更が可能である。

【0167】

上述した例では、画素 121 の補助容量 35A の一方の電極が、同列で前段の画素 121 の電源線 DSL または走査線 WSL と接続されるようになされていた。しかし、画素 121 の補助容量 35A の一方の電極を、同列で後段（線順次走査の順番で 1 行後）の画素 121 の電源線 DSL または走査線 WSL と接続されるようにしてよもよい。即ち、補助容量 35A の、発光素子 34 のアノードと接続されている側と反対の電極は、列方向に隣接する画素 121 の電源線 DSL と接続されればよい。

【0168】

また、画素 121 は、図 9 に示したように、2 個のトランジスタと 2 個のキャパシタからなる画素回路（以下、2Tr / 2C 画素回路と称する）で構成されていたが、その他の回路構成を採用することもできる。

【0169】

その他の画素 101 の回路構成として、例えば、次のような回路構成を採用できる。即ち、2Tr / 2C 画素回路に、第 1 乃至第 3 のトランジスタを加えた、5 個のトランジスタと 2 個のキャパシタの構成（以下、5Tr / 2C 画素回路とも称する）を採用することもできる。5Tr / 2C 画素回路を採用した画素 121 では、水平セレクト 12 から映像信号線 DTL を介してサンプリング用トランジスタ 31 に供給される信号電位が V_{sig} 固定となる。その結果、サンプリング用トランジスタ 31 は駆動用トランジスタ 32 への信号電位 V_{sig} の供給をスイッチングする機能としてのみ動作する。また、電源線 DSL を介して駆動用トランジスタ 32 に供給される電位が、高電位 V_{cc1} と中間電位 V_c

10

20

30

40

50

c 2 となる。そして、追加された第 1 のトランジスタは、駆動用トランジスタ 3 2 への高電位 V_{cc1} の供給をスイッチングする。第 2 のトランジスタは、駆動用トランジスタ 3 2 への低電位 V_{ss} の供給をスイッチングする。また、第 3 のトランジスタは、駆動用トランジスタ 3 2 への基準電位 V_{ofs} の供給をスイッチングする。

【0170】

また、その他の画素 1 2 1 の回路構成としては、 $2Tr/2C$ 画素回路と $5Tr/2C$ 画素回路の中間的な回路構成を採用することもできる。即ち、4 個のトランジスタと 2 個のキャパシタからなる構成 ($4Tr/2C$ 画素回路) や、3 個のトランジスタと 1 個のキャパシタからなる構成 ($3Tr/2C$ 画素回路) を採用することもできる。 $4Tr/2C$ 画素回路としては、例えば、 $5Tr/2C$ 画素回路の第 3 のトランジスタを省略し、水平セクタ 1 2 からサンプリング用トランジスタ 3 1 に供給する信号電位を V_{sig} と V_{ofs} でパルス化するなどの構成を取ることができる。

【符号の説明】

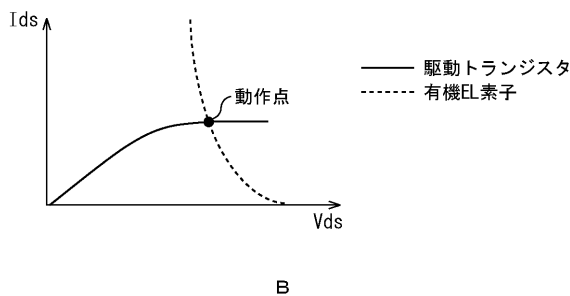
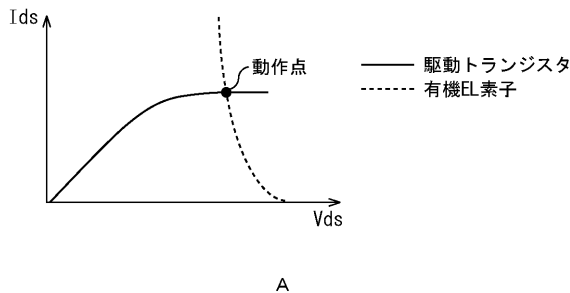
【0171】

3 1 サンプリング用トランジスタ, 3 2 駆動用トランジスタ, 3 3 蓄積容量, 3 4 発光素子, 3 5 A 補助容量, 1 0 0 表示装置, 1 0 1 ELパネル, 1 1 1 画素アレイ部, 1 1 4, 1 1 4 A 電源スキャナ, 1 2 1 - (1, 1) 乃至 1 2 1 - (N, M) 画素, DSL - 1 乃至 M 電源線, WSL - 1 乃至 M 走査線

10

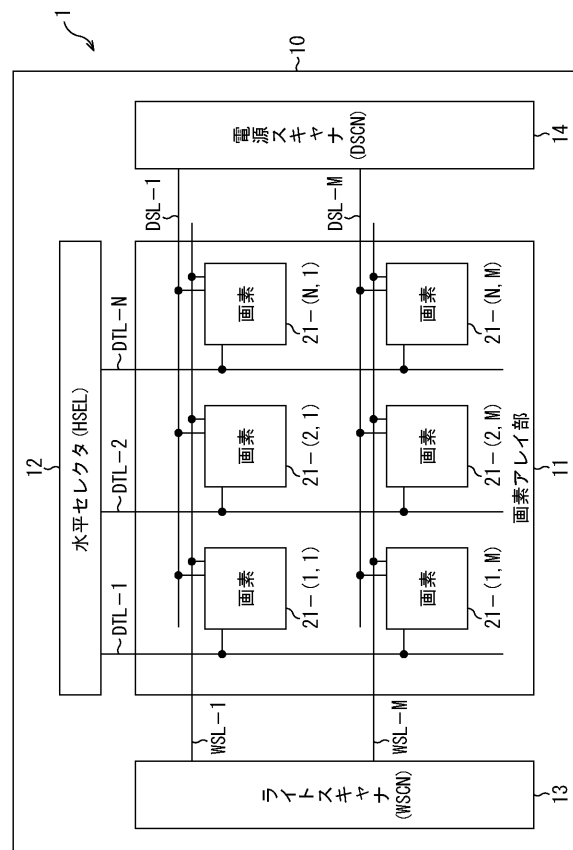
【図 1】

図1



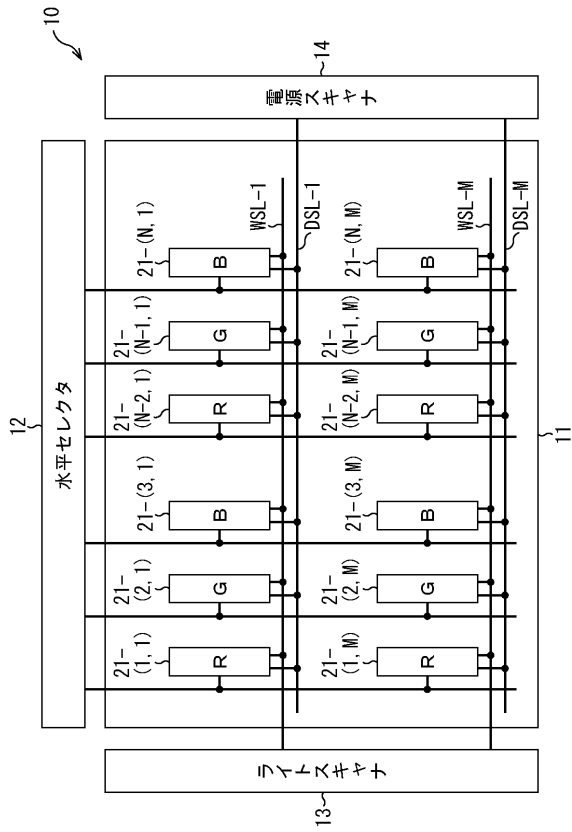
【図 2】

図2



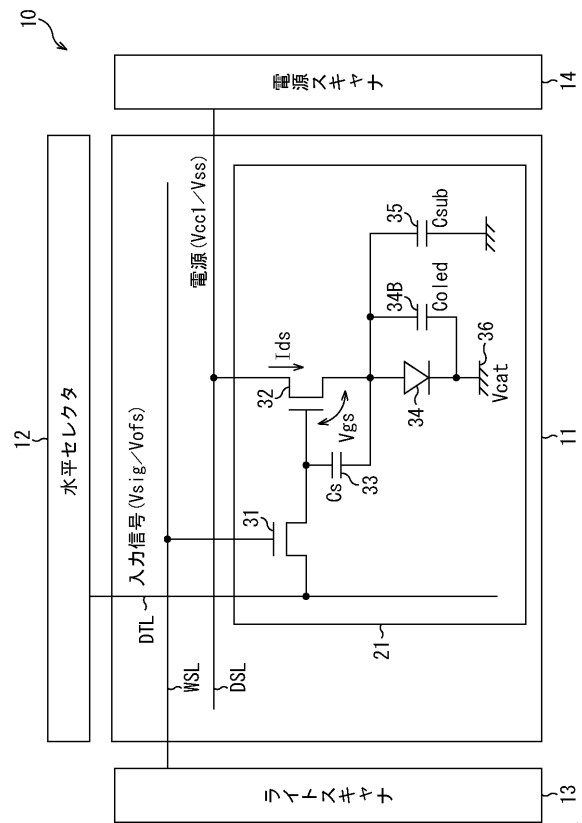
【図 3】

図3



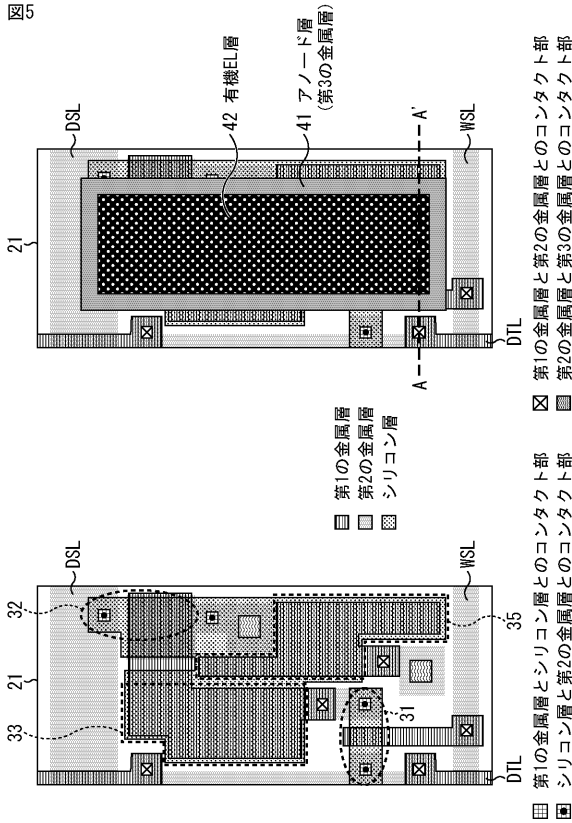
【図 4】

図4



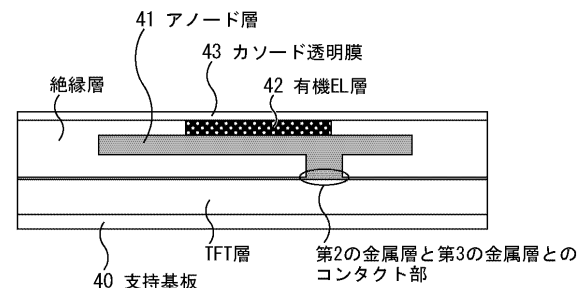
【図 5】

図5

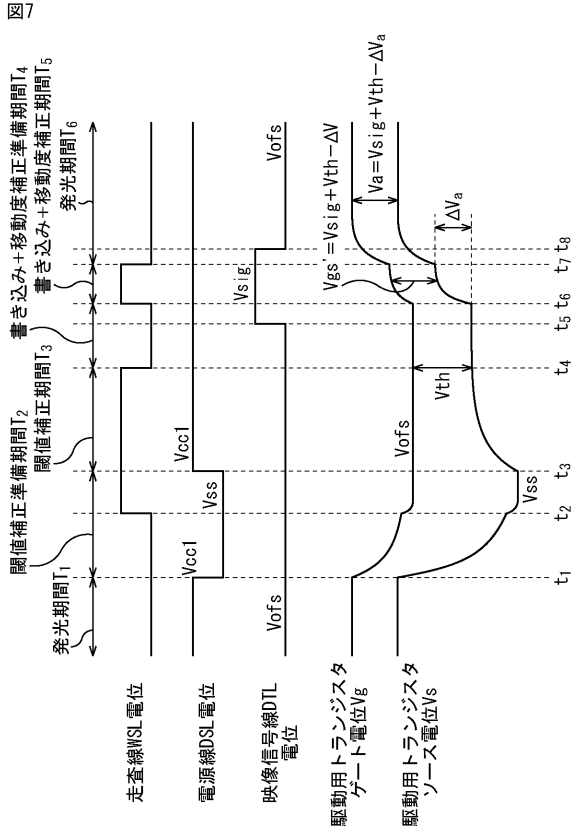


【図 6】

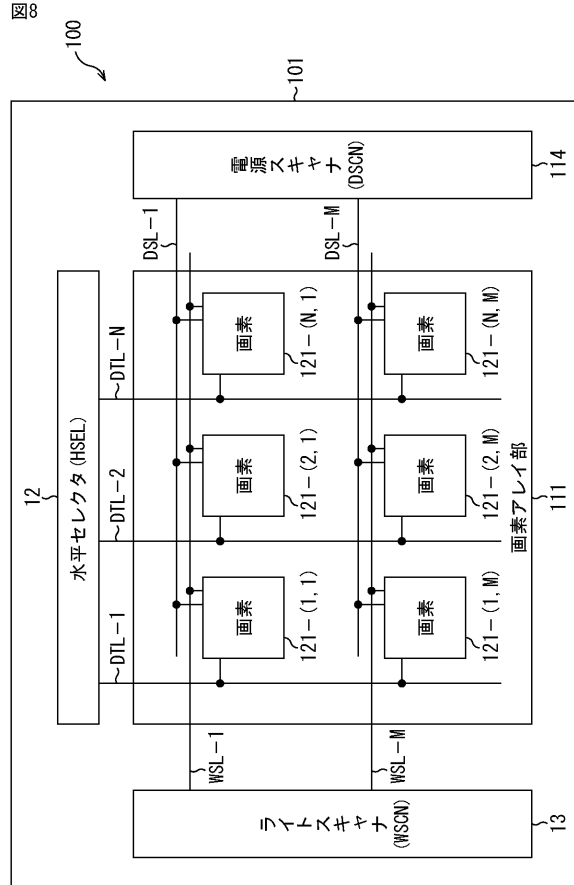
図6



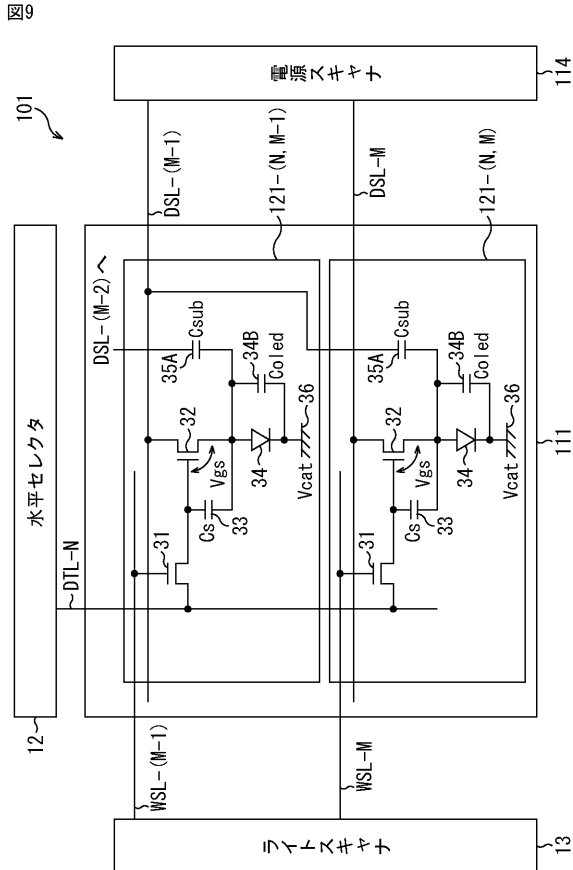
【 図 7 】



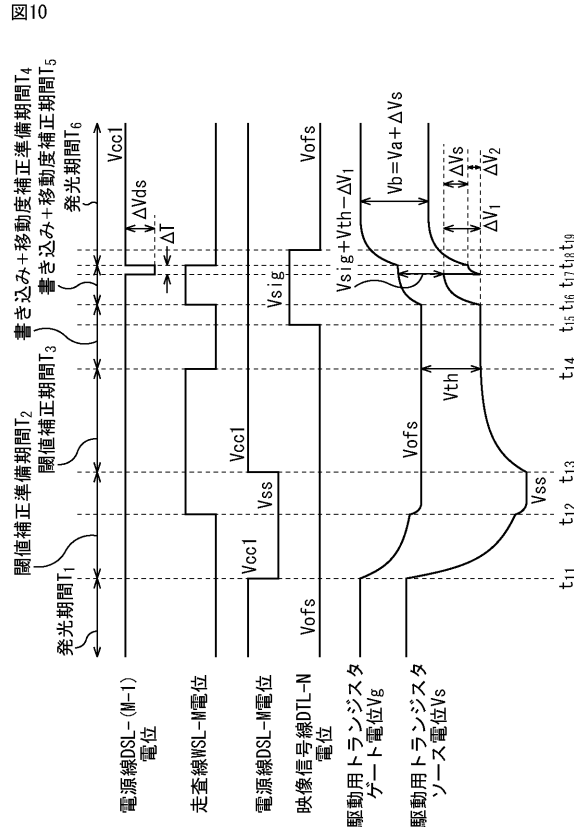
【 図 8 】



【 図 9 】

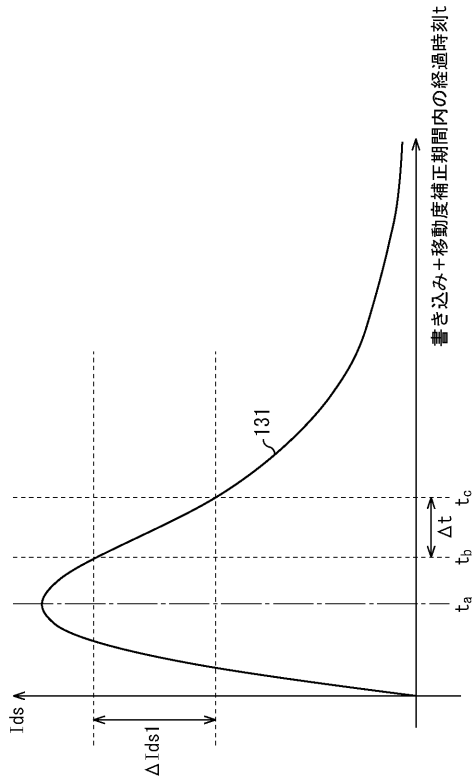


【 図 1 0 】



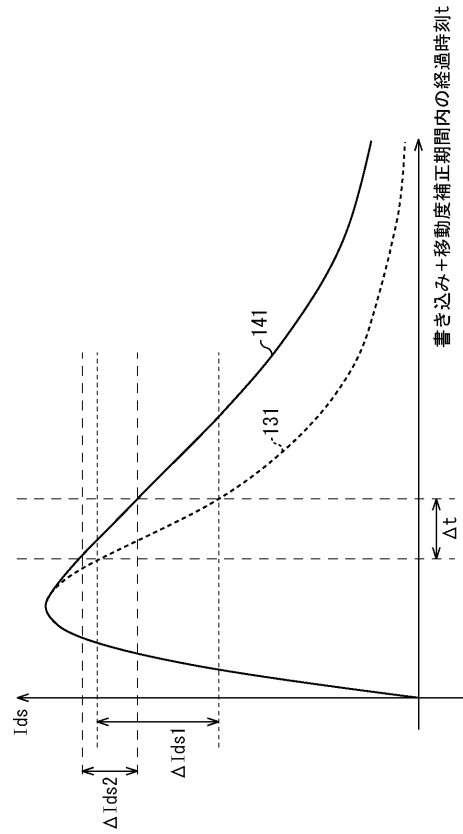
【 図 1 1 】

图11



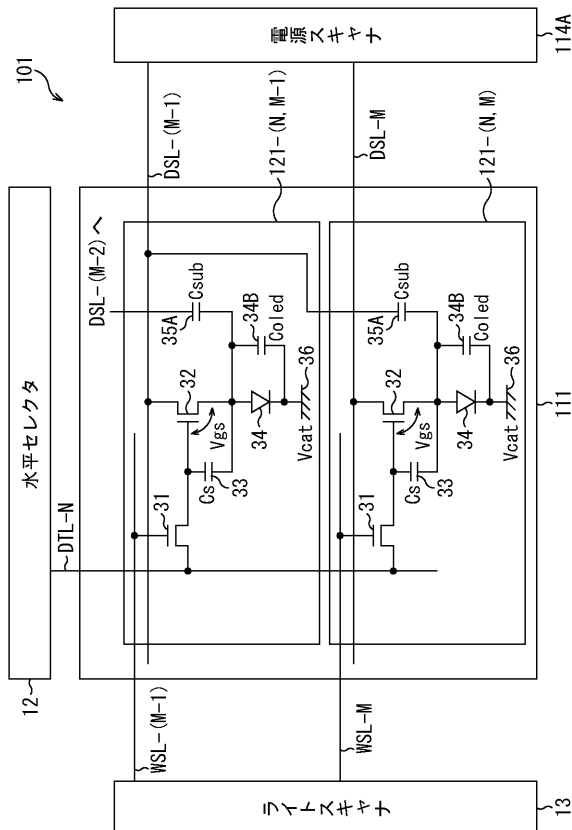
【 図 1 2 】

图12



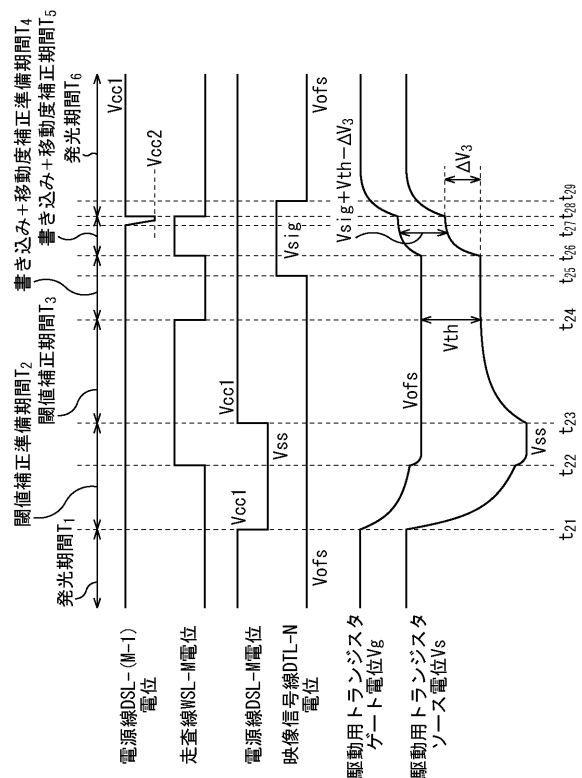
【 図 1 3 】

図13



【 図 1 4 】

图14



【図 15】

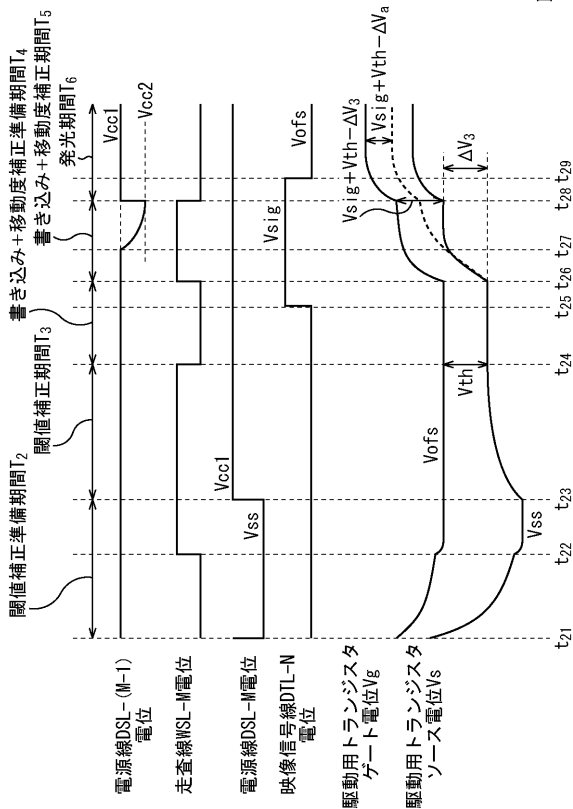


図15

【図 17】

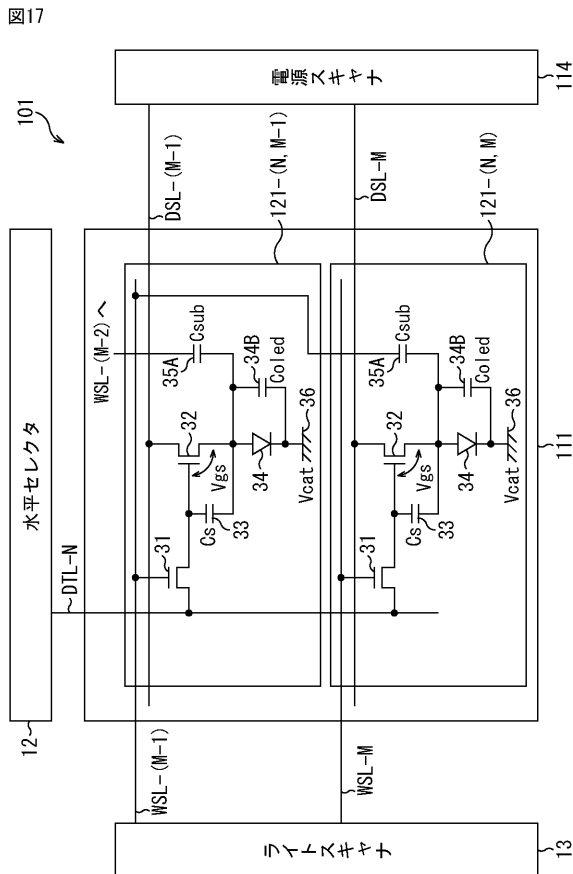


図17

【図 16】

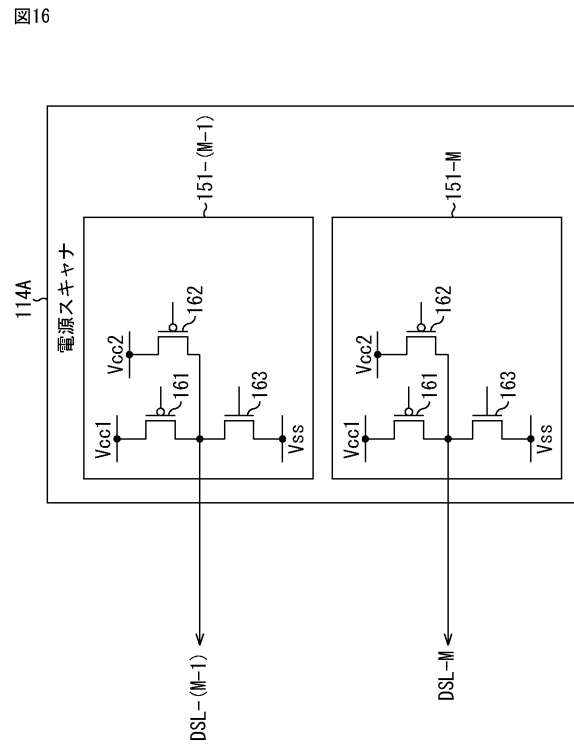


図16

【図 18】

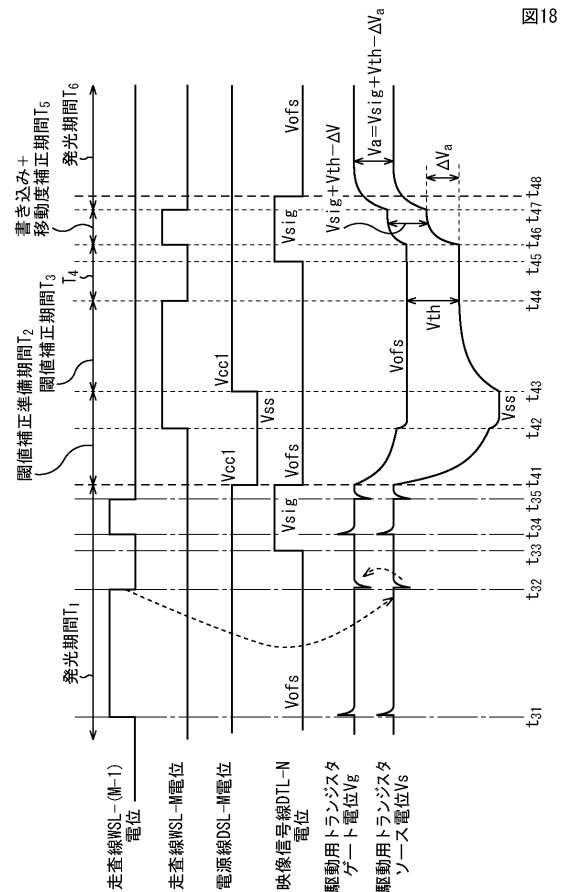


図18

 フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 4 2 A
 G 0 9 G 3/20 6 1 1 H
 H 0 5 B 33/14 A
 H 0 5 B 33/08

F ターム(参考) 5C080 AA06 BB05 CC03 DD05 DD26 EE29 EE30 JJ02 JJ03 JJ04
 JJ05 JJ06
 5C380 AA01 AB06 AB11 AB22 AB24 AB34 AC07 AC09 AC10 AC11
 BA01 BA05 BA38 BA39 BB02 BD05 CA08 CA12 CA53 CA54
 CB01 CB16 CB19 CB20 CB26 CB31 CC02 CC04 CC06 CC07
 CC27 CC30 CC33 CC41 CC43 CC54 CC55 CC61 CC62 CC77
 CD032 CE04 DA02 DA06 DA30 DA47

专利名称(译)	显示装置和驱动控制方法		
公开(公告)号	JP2010266554A	公开(公告)日	2010-11-25
申请号	JP2009116099	申请日	2009-05-13
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	尾本啓介 富田昌嗣		
发明人	尾本 啓介 富田 昌嗣		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 H05B33/08		
CPC分类号	G09G3/3208 G09G3/3233 G09G2300/0426 G09G2300/0439 G09G2300/0443 G09G2300/0819 G09G2300/0842 G09G2300/0866 G09G2300/0876 G09G2320/043 H01L27/3265		
FI分类号	G09G3/30.J G09G3/20.611.A G09G3/20.624.B G09G3/20.641.D G09G3/20.642.C G09G3/20.642.A G09G3/20.611.H H05B33/14.A H05B33/08 G09G3/20.612.G G09G3/30.K G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC14 3K107/EE03 3K107/HH04 5C080/AA06 5C080/BB05 5C080 /CC03 5C080/DD05 5C080/DD26 5C080/EE29 5C080/EE30 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C380/AA01 5C380/AB06 5C380/AB11 5C380/AB22 5C380/AB24 5C380 /AB34 5C380/AC07 5C380/AC09 5C380/AC10 5C380/AC11 5C380/BA01 5C380/BA05 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BD05 5C380/CA08 5C380/CA12 5C380/CA53 5C380/CA54 5C380 /CB01 5C380/CB16 5C380/CB19 5C380/CB20 5C380/CB26 5C380/CB31 5C380/CC02 5C380/CC04 5C380/CC06 5C380/CC07 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC41 5C380/CC43 5C380 /CC54 5C380/CC55 5C380/CC61 5C380/CC62 5C380/CC77 5C380/CD032 5C380/CE04 5C380/DA02 5C380/DA06 5C380/DA30 5C380/DA47		
代理人(译)	西川 孝		
其他公开文献	JP5218269B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：降低功耗。解决方案：在EL面板101的像素阵列部分111中，M×N；从121- (1,1) 到121- (N, M) 的N个像素以矩阵布置。像素121- (N, M) 具有采样晶体管31，驱动晶体管32，存储电容器33，发光元件34，发光元件电容器34B和辅助电容器35A。在像素21中，辅助电容器35A的一个电极连接到前一列中的像素121- (N, M-1) 的电源线DSL- (M-1)。例如，本发明可以应用于使用有机EL元件的显示装置。

