(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2010-256783
(P2010-256783A)
(43)公開日　平成22年11月11日(2010.11.11)

(51)Int.Cl.		F I			テーマコード（参考）
G09G 3/30	(2006.01)	G09G	3/30	K	3K107
G09G 3/20	(2006.01)	G09G	3/20	670J	5C080
H01L 51/50	(2006.01)	G09G	3/20	641D	5C380
		G09G	3/20	641P	
		G09G	3/20	612T	

審査請求 未請求　請求項の数 13　ＯＬ　（全 22 頁）　最終頁に続く

(21)出願番号　特願2009-109213 (P2009-109213)
(22)出願日　平成21年4月28日 (2009.4.28)

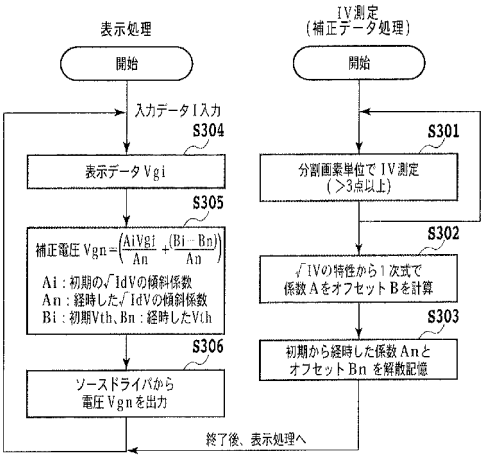
(71)出願人　000005234
富士電機ホールディングス株式会社
神奈川県川崎市川崎区田辺新田１番１号
(74)代理人　100077481
弁理士　谷　義一
(74)代理人　100088915
弁理士　阿部　和夫
(72)発明者　辻　伸彦
東京都日野市富士町１番地　富士電機アドバンストテクノロジー株式会社内
(72)発明者　柿沼　実
東京都日野市富士町１番地　富士電機アドバンストテクノロジー株式会社内

Ｆターム(参考)　3K107 AA01 BB01 CC33 EE03 HH02 HH04

最終頁に続く

(54)【発明の名称】有機ＥＬアクティブマトリックスの駆動方法、駆動回路および表示装置

(57)【要約】
【課題】アモルファスシリコンＴＦＴと有機ＥＬ素子の特性変動を常に補償可能とし、精度の良い電流－電圧測特性の測定と、信頼度の高い画素単位の係数の補間演算を両立可能とする有機ＥＬアクティブマトリックスの駆動方法、駆動回路および表示装置を提供すること。
【解決手段】マトリックス表示パネルをｍ×ｎのブロックに分割する。Ｓ２０１のＩＶ特性測定は、１つのブロックで√ＩｄＶ特性を１次式：√Ｉｄ＝ＡＶｇ＋Ｂｉで近似できるように最低３点以上を行う。時間が経つと、この３つの電圧では期待する電流が得られなくなるので、適宜Ｖｇ１ｎ～Ｖｇ３ｎに変更する必要ある。Ｓ２０２では、Ｓ２０１で測定したＩｄＶ特性から√ＩｄＶ特性に変換し、その√ＩｄＶ特性の１次式を求める。Ｓ２０３で、１次式の係数ＡｎとオフセットＢｎを補正データ記憶回路２５に保存する。
【選択図】図２



【特許請求の範囲】
【請求項１】
有機ＥＬ素子とアモルファスＳｉ－ＴＦＴを有して、マトリックスを形成した表示装置において、
前記表示装置の画面を、所定の数の画素からなるブロックを単位としてｍ×ｎ（ｍ、ｎ：正の整数）に分割するステップと、
前記分割したブロック毎の第１の電流－電圧特性を順に測定する第１の測定するステップと、
前記第１の測定するステップから所定の時間間隔を置いて、前記分割したブロック毎の第２の電流－電圧特性を順に測定する第２の測定するステップと、
前記第１の電流－電圧特性に基づいて所定の階調電流信号を与える表示データである階調電圧信号を、前記第２の電流－電圧特性に基づいて前記階調電圧信号から前記所定の階調電流信号を与えるように、前記第１および第２の電流－電圧特性から前記階調電圧信号を補正するステップと、
を有することを特徴とする有機ＥＬアクティブマトリックスの駆動方法。
【請求項２】
前記補正するステップは、前記第１および第２の電流－電圧特性から電流の平方根と電圧との関係を表す第１および第２の１次式を算出し、前記第１および第２の１次式の傾斜係数およびオフセットを用いて前記階調電圧信号を補正するステップを含むことを特徴とする請求項１に記載の有機ＥＬアクティブマトリックスの駆動方法。
【請求項３】
前記補正するステップは、
縦および横方向に隣接するブロックの中心画素間の画素に、前記隣接する中心画素間の傾斜係数およびオフセットの差分を比例配分して、前記中心画素間の画素毎に前記第１および第２の１次式の傾斜係数およびオフセットを補正するステップと、
前記補正された前記第１および第２の１次式の傾斜係数およびオフセットを用いて前記階調電圧信号を画素毎に補正するステップと
を含むことを特徴とする請求項２に記載の有機ＥＬアクティブマトリックスの駆動方法。
【請求項４】
前記ブロックは、縦および横方向のいずれか又は両方に隣接するブロックと半分重なる領域を持つことを特徴とする請求項２に記載の有機ＥＬアクティブマトリックスの駆動方法。
【請求項５】
前記ブロックには各画素に所定の重み係数が割り当てられ、
前記補正するステップは、
前記ブロックの重なった領域の前記第１および第２の１次式の傾斜係数およびオフセットを、前記ブロック毎に割り当てられてられた重み係数の割合で補間するステップと、
前記補間された第１および第２の１次式の傾斜係数およびオフセットを用いて前記階調電圧信号を画素毎に補正するステップと
を含むことを特徴とする請求項４に記載の有機ＥＬアクティブマトリックスの駆動方法。
【請求項６】
前記重み係数は、ブロックの中心画素からの距離に応じて変化していることを特徴とする請求項５に記載の有機ＥＬアクティブマトリックスの駆動方法。
【請求項７】
前記測定するステップは、ソースドライバとゲートドライバとを統合制御して前記表示装置の任意の画素群に対して同時に電圧を書き込み、前記ブロック毎の電流－電圧特性を測定するステップを含むことを特徴とする請求項１乃至６のいずれかに記載の有機ＥＬアクティブマトリックスの駆動方法。
【請求項８】
前記測定するステップは、前記表示装置を前面ｏｆｆ（黒表示）した後、ブロック毎の

電流－電圧特性を３点以上測定するステップを含み、
前記補正するステップは、前記１次式の傾斜係数とオフセットを算出して記憶装置に保存するステップを含む
ことを特徴とする請求項２乃至７のいずれかに記載の有機ＥＬアクティブマトリックスの駆動方法。
【請求項９】
前記表示装置が通常の表示処理を行わない期間である電源投入時又は遮断時に前記測定するステップを実施することを特徴とする請求項１乃至８のいずれかに記載の有機ＥＬアクティブマトリックスの駆動方法。
【請求項１０】
前記表示装置の表示周期となる１画面毎に表示を停止する期間を１行又は１水平時間以上設け、１つのブロックの電流－電圧特性の測定を前記表示停止期間に行うことを特徴とする請求項１乃至８のいずれかに記載の有機ＥＬアクティブマトリックスの駆動方法。
【請求項１１】
前記表示装置の表示周期となる１画面毎に表示を停止する所定の期間を設け、１つのブロックの電流－電圧特性の測定を複数周期にわたって前記表示停止期間に行うことを特徴とする請求項１乃至８のいずれかに記載の有機ＥＬアクティブマトリックスの駆動方法。
【請求項１２】
有機ＥＬ素子とアモルファスＳｉ－ＴＦＴを有して、マトリックスを形成した表示装置を駆動する有機ＥＬアクティブマトリックスの駆動回路であって、
前記表示装置の画面を、所定の数の画素からなるブロックを単位としてｍ×ｎ（ｍ、ｎ：正の整数）に分割し、前記分割したブロック毎の電流－電圧特性を順に測定する電流－電圧測定回路と、
前記測定された電流－電圧特性を記憶する補正データ記憶回路と、
前記補正データ記憶回路に格納された第１の電流－電圧特性に基づいて所定の階調電流信号を与える表示データである階調電圧信号を、前記第１の電流－電圧特性から所定の時間間隔を置いて測定された第２の電流－電圧特性に基づいて前記階調電圧信号から前記所定の階調電流信号を与えるように、前記第１および第２の電流－電圧特性から前記階調電圧信号を補正する補正演算器と、
前記補正された階調電圧信号に基づいて前記表示装置の列方向を制御するＤＡ変換アレイと
を備えたソースドライバ、および
前記表示装置の行方向を制御する出力回路を備えたゲートドライバ
を備え、前記ソースドライバと前記ゲートドライバとを統合制御して前記表示装置の任意の画素群に対して同時に電圧を書き込み可能であることを特徴とする有機ＥＬアクティブマトリックスの駆動回路。
【請求項１３】
有機ＥＬ素子とアモルファスＳｉ－ＴＦＴを有して、マトリックスを形成した表示パネル、
前記表示装置の画面を、所定の数の画素からなるブロックを単位としてｍ×ｎ（ｍ、ｎ：正の整数）に分割し、前記分割したブロック毎の電流－電圧特性を順に測定する電流－電圧測定回路と、
前記測定された電流－電圧特性を記憶する補正データ記憶回路と、
前記補正データ記憶回路に格納された第１の電流－電圧特性に基づいて所定の階調電流信号を与える表示データである階調電圧信号を、前記第１の電流－電圧特性から所定の時間間隔を置いて測定された第２の電流－電圧特性に基づいて前記階調電圧信号から前記所定の階調電流信号を与えるように、前記第１および第２の電流－電圧特性から前記階調電圧信号を補正する補正演算器と、
前記補正された階調電圧信号に基づいて前記表示装置の列方向を制御するＤＡ変換アレイと

を備えたソースドライバ、および
前記表示装置の行方向を制御する出力回路を備えたゲートドライバ
を備え、前記ソースドライバと前記ゲートドライバとを統合制御して前記表示装置の任意の画素群に対して同時に電圧を書き込み可能であることを特徴とする有機ＥＬアクティブマトリックスの表示装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、有機ＥＬアクティブマトリックスの駆動方法、駆動回路および表示装置に関し、より詳細には、有機または無機エレクトロルミネッセンス（ＥＬ）素子などを用いたＥＬ表示パネル（表示装置）などの自発光表示パネル（表示装置）の駆動方法、駆動回路および表示装置に関する。
【背景技術】
【０００２】
電気光学変換物質として有機エレクトロルミネッセンス（ＥＬ）材料あるいは無機ＥＬ材料を用いたアクティブマトリクス型の画像表示装置は、画素に書き込まれる電流に応じて発光輝度が変化する。ＥＬ表示パネルは各画素に発光素子を有する自発光型である。ＥＬ表示パネルは、液晶表示パネルに比べて画像の視認性が高い、発光効率が高い、バックライトが不要、応答速度が速い等の利点を有する。
【０００３】
図１８に、従来のアクティブマトリクス方式の有機ＥＬ表示パネルにおける、１画素の等価回路を示す。画素回路１０は発光素子である有機ＥＬ素子１１、第１のトランジスタ（駆動用ＴＦＴ：Ｔｈｉｎ　Ｆｉｌｍ　Ｔｒａｎｓｉｓｔｏｒ）１２、第２のトランジスタ（スイッチング用ＴＦＴ：Ｔｈｉｎ　Ｆｉｌｍ　Ｔｒａｎｓｉｓｔｏｒ）１３および蓄積容量Ｃ１４からなる。
【０００４】
この画素回路１０を駆動するソースドライバ１７は、電圧の強弱で示された映像（階調信号）出力し、液晶表示パネルを駆動するドライバ回路と構成が類似する。ソースドライバ１７から、映像（階調）信号としての電圧信号がソース信号線１５に印加される。印加された電圧信号が画素回路１０に印加されＣ１４に保持される。このコンデンサＣ１４保持された電圧に応じた電流Ｉｄが流れ、有機ＥＬ素子１１が所定の輝度で発光する。
【０００５】
尚、ゲートドライバ１８は、この映像（階調）信号を１行単位で記憶するためにあり、具体的には、各行のＴＦＴ１３を順番のｏｎしていく。
【先行技術文献】
【特許文献】
【０００６】
【特許文献１】特開２００６－２８４７１６号公報
【特許文献２】特開２００４－１０１７６７号公報
【特許文献３】特開２００７－０１１２０５号公報
【特許文献４】特開２００１－３５０４４２号公報
【特許文献５】特開２００５－０７０６１４号公報
【発明の概要】
【発明が解決しようとする課題】
【０００７】
有機ＥＬ表示パネルは、低温ポリシリコン、またはアモルファスＴＦＴを用いてパネルを構成する。しかし、有機ＥＬ素子は、これらのＴＦＴの特性にバラツキがあると、表示（輝度）ムラが発生する。
【０００８】
特にアモルファスＴＦＴの場合、通電時間に伴い閾値電圧Ｖｔｈが経時的に上昇変動す

る。また、同時に有機ＥＬ素子の電圧も上昇変動する。これらの変動のために、図１９のＴＦＴの基本特性である電流－電圧特性（ＩＶ特性：図１９では、電流Ｉｄを線形表現のために√Ｉｄとしている）は、通電時間で閾値電圧Ｖｔｈ（ＶｔｈｉからＶｔｈｎ）と傾斜係数Ａ（Ａｉ～Ａｎ）が異なる特性となる。尚、有機ＥＬ素子の電圧が変動すると、電源電圧が一定であるためにＴＦＴのドレインとソースとの間の電圧Ｖｄｓにも変動がおよぶために駆動電流Ｉｄが変わる。これらの変動により、初期の階調電圧Ｖｇｉを与えていると、段々に電流が低下し、かつ発光輝度が低下する問題を起こす。

【０００９】

この課題解決のために、変動するＶｔｈをＡＤ変換などで読み取った後、一時記憶し、表示する階調電圧Ｖｄａｔａに加算し、画素回路１０へ補正した表示電圧Ｖｄｉｓｐを与える方法が開示されている（特許文献１参照）。しかし、この方法では有機ＥＬ素子の電圧変動に伴う、駆動電流の変動を抑制することはできない。

【００１０】

また、上記したＶｔｈと有機ＥＬ素子の電圧の経時変動と類似する、画素ごとの特性バラツキを補正する方法が開示されている（特許文献２参照）。しかし、この方法では、常に変動してく特性の補償には、表示動作を一旦停止し、補正動作を実行する必要があるという問題があり、実用的ではない。

【００１１】

このような問題から、電流－電圧測測定が通常の表示処理に影響を低減するために、電流－電圧測測定を電源がオンからオフに遷移したと判断したときに行い、電源がオフからオンに遷移したと判断したときには通常の表示処理を行う方法（特許文献３参照）や、電流値の測定を映像信号に存在するブランキング期間に行うことで通常の表示処理への影響を低減する方法がある（特許文献４参照）。

【００１２】

また、第１群の電流値と第２群の電流値とから各画素の電流値を推定することで、測定する電流値を大幅に削減し、電流－電圧測定にかかる時間を短縮することで、通常の表示処理への影響を低減する方法がある（特許文献５参照）。

【００１３】

しかしながら、これらの方法を用いても、表示が開始されるまで非常に時間がかかることや、電流－電圧測測定の精度が不十分であるなどの課題があった。

【００１４】

本発明は、このような課題に鑑みてなされたもので、その目的とするところは、アモルファスシリコンＴＦＴと有機ＥＬ素子の特性変動を常に補償可能とし、精度の良い電流－電圧測特性の測定と、信頼度の高い画素単位の係数の補間演算を両立可能とする有機ＥＬアクティブマトリックスの駆動方法、駆動回路および表示装置を提供することにある。

【課題を解決するための手段】

【００１５】

上記の課題を解決するために、請求項１に記載の発明は、有機ＥＬアクティブマトリックスの駆動方法であって、有機ＥＬ素子とアモルファスＳｉ－ＴＦＴを有して、マトリックスを形成した表示装置において、前記表示装置の画面を、所定の数の画素からなるブロックを単位としてｍ×ｎ（ｍ、ｎ：正の整数）に分割するステップと、前記分割したブロック毎の第１の電流－電圧特性を順に測定する第１の測定するステップと、前記第１の測定するステップから所定の時間間隔を置いて、前記分割したブロック毎の第２の電流－電圧特性を順に測定する第２の測定するステップと、前記第１の電流－電圧特性に基づいて所定の階調電流信号を与える表示データである階調電圧信号を、前記第２の電流－電圧特性に基づいて前記階調電圧信号から前記所定の階調電流信号を与えるように、前記第１および第２の電流－電圧特性から前記階調電圧信号を補正するステップと、を有することを特徴とする。

【００１６】

請求項２に記載の発明は、請求項１に記載の有機ＥＬアクティブマトリックスの駆動方

法において、前記補正するステップは、前記第１および第２の電流－電圧特性から電流の平方根と電圧との関係を表す第１および第２の１次式を算出し、前記第１および第２の１次式の傾斜係数およびオフセットを用いて前記階調電圧信号を補正するステップを含むことを特徴とする。

【００１７】

請求項３に記載の発明は、請求項２に記載の有機ＥＬアクティブマトリックスの駆動方法において、前記補正するステップが、縦および横方向に隣接するブロックの中心画素間の画素に、前記隣接する中心画素間の傾斜係数およびオフセットの差分を比例配分して、前記中心画素間の画素毎に前記第１および第２の１次式の傾斜係数およびオフセットを補正するステップと、前記補正された前記第１および第２の１次式の傾斜係数およびオフセットを用いて前記階調電圧信号を画素毎に補正するステップとを含むことを特徴とする。

【００１８】

請求項４に記載の発明は、請求項２に記載の有機ＥＬアクティブマトリックスの駆動方法において、前記ブロックは、縦および横方向のいずれか又は両方に隣接するブロックと半分重なる領域を持つことを特徴とする。

【００１９】

請求項５に記載の発明は、請求項４に記載の有機ＥＬアクティブマトリックスの駆動方法において、前記ブロックには各画素に所定の重み係数が割り当てられ、前記補正するステップが、前記ブロックの重なった領域の前記第１および第２の１次式の傾斜係数およびオフセットを、前記ブロック毎に割り当てられてられた重み係数の割合で補間するステップと、前記補間された第１および第２の１次式の傾斜係数およびオフセットを用いて前記階調電圧信号を画素毎に補正するステップとを含むことを特徴とする。

【００２０】

請求項６に記載の発明は、請求項５に記載の有機ＥＬアクティブマトリックスの駆動方法において、前記重み係数が、ブロックの中心画素からの距離に応じて変化していることを特徴とする。

【００２１】

請求項７に記載の発明は、請求項１乃至６のいずれかに記載の有機ＥＬアクティブマトリックスの駆動方法において、前記測定するステップが、ソースドライバとゲートドライバとを統合制御して前記表示装置の任意の画素群に対して同時に電圧を書き込み、前記ブロック毎の電流－電圧特性を測定するステップを含むことを特徴とする。

【００２２】

請求項８に記載の発明は、請求項２乃至７のいずれかに記載の有機ＥＬアクティブマトリックスの駆動方法において、前記測定するステップが、前記表示装置を前面ｏｆｆ（黒表示）した後、ブロック毎の電流－電圧特性を３点以上測定するステップを含み、前記補正するステップが、前記１次式の傾斜係数とオフセットを算出して記憶装置に保存するステップを含むことを特徴とする。

【００２３】

請求項９に記載の発明は、請求項１乃至８のいずれかに記載の有機ＥＬアクティブマトリックスの駆動方法において、前記表示装置が通常の表示処理を行わない期間である電源投入時又は遮断時に前記測定するステップを実施することを特徴とする。

【００２４】

請求項１０に記載の発明は、請求項１乃至８のいずれかに記載の有機ＥＬアクティブマトリックスの駆動方法において、前記表示装置の表示周期となる１画面毎に表示を停止する期間を１行又は１水平時間以上設け、１つのブロックの電流－電圧特性の測定を前記表示停止期間に行うことを特徴とする。

【００２５】

請求項１１に記載の発明は、請求項１乃至８のいずれかに記載の有機ＥＬアクティブマトリックスの駆動方法において、前記表示装置の表示周期となる１画面毎に表示を停止する所定の期間を設け、１つのブロックの電流－電圧特性の測定を複数周期にわたって前記

表示停止期間に行うことを特徴とする。

【００２６】

請求項１２に記載の発明は、有機ＥＬ素子とアモルファスＳｉ－ＴＦＴを有して、マトリックスを形成した表示装置を駆動する有機ＥＬアクティブマトリックスの駆動回路であって、前記表示装置の画面を、所定の数の画素からなるブロックを単位としてｍ×ｎ（ｍ、ｎ：正の整数）に分割し、前記分割したブロック毎の電流－電圧特性を順に測定する電流－電圧測定回路と、前記測定された電流－電圧特性を記憶する補正データ記憶回路と、前記補正データ記憶回路に格納された第１の電流－電圧特性に基づいて所定の階調電流信号を与える表示データである階調電圧信号を、前記第１の電流－電圧特性から所定の時間間隔を置いて測定された第２の電流－電圧特性に基づいて前記階調電圧信号から前記所定の階調電流信号を与えるように、前記第１および第２の電流－電圧特性から前記階調電圧信号を補正する補正演算器と、前記補正された階調電圧信号に基づいて前記表示装置の列方向を制御するＤＡ変換アレイとを備えたソースドライバ、および前記表示装置の行方向を制御する出力回路を備えたゲートドライバを備え、前記ソースドライバと前記ゲートドライバとを統合制御して前記表示装置の任意の画素群に対して同時に電圧を書き込み可能であることを特徴とする。

【００２７】

請求項１３に記載の発明は、有機ＥＬアクティブマトリックスの表示装置であって、有機ＥＬ素子とアモルファスＳｉ－ＴＦＴを有して、マトリックスを形成した表示パネル、前記表示装置の画面を、所定の数の画素からなるブロックを単位としてｍ×ｎ（ｍ、ｎ：正の整数）に分割し、前記分割したブロック毎の電流－電圧特性を順に測定する電流－電圧測定回路と、前記測定された電流－電圧特性を記憶する補正データ記憶回路と、前記補正データ記憶回路に格納された第１の電流－電圧特性に基づいて所定の階調電流信号を与える表示データである階調電圧信号を、前記第１の電流－電圧特性から所定の時間間隔を置いて測定された第２の電流－電圧特性に基づいて前記階調電圧信号から前記所定の階調電流信号を与えるように、前記第１および第２の電流－電圧特性から前記階調電圧信号を補正する補正演算器と、前記補正された階調電圧信号に基づいて前記表示装置の列方向を制御するＤＡ変換アレイとを備えたソースドライバ、および前記表示装置の行方向を制御する出力回路を備えたゲートドライバを備え、前記ソースドライバと前記ゲートドライバとを統合制御して前記表示装置の任意の画素群に対して同時に電圧を書き込み可能であることを特徴とする。

【発明の効果】

【００２８】

本発明によれば、アモルファスシリコンＴＦＴと有機ＥＬ素子の特性変動を常に補償可能とし、精度の良いＩＶ特性の測定と、信頼度の高い画素単位の係数の補間演算を両立し、表示装置の機能および性能を損なうことなく、輝度ムラの経時変動を低減する効果がある。

【図面の簡単な説明】

【００２９】

【図１】（ａ）は本発明の実施形態１に係る有機ＥＬアクティブマトリックスの駆動回路図であり、（ｂ）はゲートドライバの出力回路の詳細な回路図である。

【図２】本発明の実施形態１に係る有機ＥＬアクティブマトリックス駆動回路の動作フローを示す図である。

【図３】各ブロックにおける√ＩｄＶ特性を示す図である。

【図４】階調電圧範囲と階調電流との関係を示す図である。

【図５】電源投入時にＩＶ測定処理を行う場合の各処理のタイミングを示す図である。

【図６】表示周期毎に設けられた表示停止期間にＩＶ測定処理を行う場合の各処理のタイミングを示す図である。

【図７】表示周期毎に設けられた表示停止期間の複数期間にわたって１ブロックのＩＶ測定処理を行う場合の各処理のタイミングを示す図である。

【図８】本発明の実施形態２に係る有機ＥＬアクティブマトリックス駆動回路図である。
【図９】本発明の実施例２に係る有機ＥＬアクティブマトリックス駆動回路の動作フローを示す図である。
【図１０】（ａ）～（ｃ）は、本発明の実施形態２に係る有機ＥＬアクティブマトリックスの駆動方法であって、縦および横方向に隣接するブロックの中心画素間の傾斜係数Ａとオフセット Ｂを補間する過程を示す図である。
【図１１】（ａ）～（ｂ）は、本発明の実施形態３に係る有機ＥＬアクティブマトリックスの駆動方法におけるブロックの分割方法を示す図である。
【図１２】（ａ）～（ｃ）は、本発明の実施形態３に係る有機ＥＬアクティブマトリックスの駆動方法における各ブロックと対応する√ＩｄＶの１次式を示す図である。
【図１３】（ａ）～（ｂ）は、本発明の実施形態３に係る有機ＥＬアクティブマトリックスの駆動方法におけるブロック内の各画素への重み付けの例を示す図である。
【図１４】本発明の実施形態３に係る有機ＥＬアクティブマトリックスの駆動方法におけるブロックの重なった領域の補間方法を示す図である。
【図１５】本発明の実施形態３に係る有機ＥＬアクティブマトリックスの駆動方法において、重なり合わないブロックを示す図である。
【図１６】本発明の実施形態３に係る有機ＥＬアクティブマトリックスの駆動方法における重なり合わないブロックにおける補間方法を示す図である。
【図１７】本発明の実施例２、３に係る有機ＥＬアクティブマトリックスの駆動回路の別の動作フローを示す図である。
【図１８】従来のアクティブマトリックス方式の有機ＥＬ表示パネルにおける１画素の等価回路を示す図である。
【図１９】ＴＦＴの電流－電圧特性の経時変化を示す図である。
【発明を実施するための形態】
【００３０】
以下、本発明の実施の形態について、詳細に説明する。
【００３１】
（実施形態１）
図１（ａ）に、本発明の実施形態１に係る有機ＥＬアクティブマトリックス駆動回路図を示す。ソースドライバ１７は、マトクックス表示パネル２０（表示装置）の中の画素回路に階調電圧を与えるＤＡ変換アレイ２９、電流計２１、ＡＤ変換器２３および基準データ源２４からなるＩＶ測定回路２２、補正データ記憶回路２５、補正演算器２６、動作切替回路２７およびＳＷ２８から構成されている。マトリックス表示パネル２０の中には、図１８に示す画素回路１０が複数配置されている。
【００３２】
図１（ｂ）に、ゲートドライバの出力回路の詳細な回路図を示す。表示パネルの行方向を制御するゲートドライバ１８は、出力回路４１、全ての行を同時にｏｎする全ライン選択回路４２および複数の行を同時にｏｎするブロック選択回路４３から構成されている。出力回路４１は、通常１行毎順にｏｎするシフトレジスタ４４の出力信号と、全ての行を同時にｏｎする全ライン選択信号と、複数の行を同時にｏｎするブロック選択信号とを論理和する行数と同数のＯＲ回路４５を有している。
【００３３】
図２に、実施形態１に係る有機ＥＬアクティブマトリックス駆動回路の動作フローを示す。ここには、２つの処理系がある。
【００３４】
一方は通常の表示処理で、外部からの表示データ３０、つまり階調信号を受け取り、補正データ記憶回路２５を介し、そのデータ値をＤＡ変換器２９で対応する階調電圧Ｖｇに変換してマトリックス表示パネル２０に与える表示処理系である。
【００３５】
もう一方は、ＩＶ測定回路２２によるＶｔｈおよび有機ＥＬ素子の電圧が変動したＩＶ

特性を測定するＩＶ測定処理系である。

【００３６】

まず、Ｓ２０１～Ｓ２０３からなるＩＶ特性の測定の処理系から説明する。

【００３７】

１度のＩＶ特性の測定では、マトリックス表示パネル２０をｍ×ｎのブロックに分割し、その内の１ブロックのみを対象とする。すなわち、対象とする１ブロックのみをｏｎにして、残りのブロックは全てｏｆｆにする。図１では、マトリックス表示パネル２０の左上の１ブロックを測定対象として例示している。この分割は、可能な限り多くするのが望ましいが、測定電流精度および処理時間を勘案して適切な数を選ぶ。

【００３８】

Ｓ２０１のＩＶ特性測定は、図３に示すように、１つのブロックで√ＩｄＶ特性を１次式：√Ｉｄ＝ＡＶｇ＋Ｂｉで近似できるように最低３点以上を行う。この例では、電圧Ｖｇ１ｉ～Ｖｇ３ｉを与え、その時の３つの電流（Ｉｄ１～Ｉｄ３）を電流計２１で測定し、かつＡＤ変換器２３でデジタル値に変換する。これにより基本のＩｄＶ特性を知ることができる。

【００３９】

尚、図３で示すように通電時間が長くなっていくと、この所定の時間間隔で補正データ記憶回路２５に保存したＡｎとＢｎを更新する。

但し、時間が経つと、初期の３つの電圧Ｖ１ｉ～Ｖ３ｉでは期待する電流が得られなくなるので、適宜Ｖ１ｎ～Ｖ３ｎに変更する必要ある。これは、ＩＶ特性の変動を監視していれば容易である。また、図３に示す電流Ｉｄ１～Ｉｄ３は、特定の決まった電流値である必要はなく、目的とする√ＩｄＶ特性を１次式：√Ｉｄ＝ＡＶｇ＋Ｂｉで近似できる任意の電流値３点であればよい。

【００４０】

Ｓ２０２では、Ｓ２０１で測定したＩｄＶ特性から√ＩｄＶ特性に変換し、その√ＩｄＶ特性の１次式を求める。そして、Ｓ２０３で、１次式の係数ＡｎとオフセットＢｎを補正データ記憶回路２５に保存する。

【００４１】

Ｓ２０１～Ｓ２０３のＩＶ特性の測定の処理は全ブロックに対して行い、通常の表示処理系に移る。

【００４２】

尚、通電時間が長くなると、１次式は、√Ｉｄ（ｔｉ）＝ＡｉＶｇ＋Ｂｉから、√Ｉｄ（ｔｎ）＝ＡｎＶｇ＋Ｂｉに変わっていくので、Ｓ２０１～Ｓ２０３の処理を繰り返して補正データ記憶回路２５に格納された１次式の係数ＡｎとオフセットＢｎを更新する。

【００４３】

表示処理系では、Ｓ２０４で階調信号Ｖｇｉを受けると、Ｓ２０５で補正演算器２６が式（１）を用いて補正階調信号Ｖｇｎに変換する。

【００４４】

【数１】

$$Vgn=\left(\frac{Ai\cdot Vgi}{An}+\frac{Bi-Bn}{An}\right) \qquad \cdots \text{式（１）}$$

【００４５】

ここで、Ａｉが初期の√ＩｄＶの係数、Ａｎが経時した√ＩｄＶの係数、Ｂｉが初期閾値電圧Ｖｔｈｉ、Ｂｎが経時した閾値電圧Ｖｔｈｎであり、しずれも補正データ記憶回路２５に記憶されている値である。

【００４６】

次にＳ２０６では、ＤＡ変換アレイ２９で補正階調信号Ｖｇｎを電圧Ｖｇｎに変換する。

【００４７】
上記Ｓ２０１～Ｓ２０６のＩＶ特性の測定と階調信号Ｖｇの補正処理は、マトリックス表示パネル２０の全ブロックに対してそれぞれ同様に行われる。各ブロックをｏｎ、ｏｆｆする制御は、ＩＶ測定回路２２が基準データ２４を使って選択したブロックのみに電流がながれるように、ＤＡ変換器２６にデータを与えることで行う。実際のＤＡ変換アレイ２６は、画素の数に応じた数がある。
【００４８】
この結果、図４に示すように閾値電圧Ｖｔｈおよび有機ＥＬ素子の電圧が変動しても、その変動に応じて階調電圧範囲がｔｉ～ｔｎと変化するため、有機ＥＬ素子の輝度を調整する階調電流０～１００％は変動しない。従って、経時的な輝度の変動をなくすことができる。
【００４９】
次にＩＶ特性の測定の時間的な処理について説明する。ＩＶ特性の測定に時間を要すと、本来の表示機能、性能が損なわれために、表示に支障のない時間を選ぶ必要がある。ＩＶ特性の測定を行うタイミングは、動作切替回路２７が判断し、ＳＷ２８を制御してＩＶ測定回路２２側を有効にする。以下、動作切替回路２７の処理について説明する。
【００５０】
図５は、電源投入時に、例えば１秒間程度、各ブロックのＩＶ特性を順に測定し、係数ＡとオフセットＢを一括して求める例である。図示はしないが、電源遮断前にも同様にＩＶ特性測定処理系を実施することが可能である。
【００５１】
図５の下の方の拡大図はさらに詳しいＩＶ測定のタイミング図である。順に処理を説明する。
【００５２】
まず、ＩＶ測定に先立ち表示画面をリセット（黒表示）する。このリセットはＤＡ変換アレイ２９の出力が０Ｖで、ゲートドイライバ１８の出力回路４１の全出力を全面選択回路４２の指示でｏｎ状態にして、画素回路に０Ｖの電圧を書き込む処理である。
【００５３】
次に３点のＩＶ特性を測定するために、Ｖｇ１～Ｖｇ３をＤＡ変換アレイ２９の測定対象とした各ブロックに対応する位置から順に出力する。その時、ゲートドイライバ１８も出力回路４１をブロック選択回路４３の指示で部分的にｏｎ状態にして、Ｖｇ１～Ｖｇ３の電圧を画素回路に書き込み可能にする。これによりＶｇ１～Ｖｇ３に対する電流を電流計２１で測定する。
【００５４】
１つブロックのＩＶ測定が終わると、次のブロックの測定に移り、最後のブロック（ｍ，ｎ）まで上記ＩＶ特性の測定処理を繰り返す。
【００５５】
図６は、上記の電源投入時および電源遮断時にＩＶ特性の測定ができない場合の例で、１フレーム（画面）に表示のｏｆｆ期間（Ｖ同期）を設け、この期間を利用してＩＶ特性の測定処理を行う。
【００５６】
図６の下の方の拡大図は、さらに詳しいＩＶ測定のタイミング図である。上記で説明したように、ＩＶ特性測定に先立って表示画面をリセットした後、順番にＶｇ１～Ｖｇ３をＤＡ変換アレイ２９の内、測定対象としたブロックに対応する位置から出力する。その時、ゲートドイライバ１８も出力回路４１をブロック選択回路４３の指示で部分的にｏｎ状態にして、Ｖｇ１～Ｖｇ３の電圧を画素回路に書き込みを可能にする。これによりＶｇ１～Ｖｇ３に対する電流を電流計２１で測定する。これで１ブロックに対するＩＶ特性の測定が完了する。
【００５７】
また、このｏｆｆ期間での処理時間が不足の場合、図７のようにＩＶ特性の３点の測定

を１点ずつに分けて測定する方法もある。この例では分割座標（１，１）からはじめ最終座標の（ｍ、ｎ）まで３点のＩＶ特性を順番に行う様子を示している。

【００５８】

図７の下の方の拡大図は、さらに詳しいＩＶ測定のタイミング図である。上記で説明したように、ＩＶ特性測定に先立って表示画面をリセットした後、３つの電圧Ｖｇ１～Ｖｇ３の内、１つの電圧ＶｇｎをＤＡ変換アレイ２９の内、測定対象としたブロックに対応する位置から出力する。その時、ゲートドイライバ１８も出力回路４１をブロック選択回路４３の指示で部分的ｏｎ状態にして、Ｖｇｎの電圧を画素回路に書き込みを可能にする。これによりＶｇｎに対する電流を電流計２１で測定する。これで１ブロックに対するＩＶ特性の測定が完了する。

【００５９】

この方法では、最終の（ｍ、ｎ）ブロックのＩＶ特性測定が終わるまでに時間を要すが、Ｖｔｈおよび有機ＥＬ素子の電圧変動は直ぐに大きく変動しないため、実用上支障のない時間である。

【００６０】

尚、この時に測定順番はＩＶ測定回路２２と動作切替回路２７が連動して制御する。

【００６１】

以上のように、本実施形態１では表示時間に支障を与えることなく、Ｖｔｈおよび有機ＥＬの電圧変動を補償することができる。

【００６２】

（実施形態２）

実施形態１は、有機ＥＬ表示パネルを複数ブロックに分割し、分割したブロック毎にそれぞれＩＶ特性の測定を行い、ブロック毎に閾値電圧Ｖｔｈと傾斜係数Ａを求め、求めた閾値電圧Ｖｔｈと傾斜係数Ａとを補間演算することにより画素単位の係数を求めるものである。

【００６３】

但し、有機ＥＬ表示パネルの１画素当たりに流れる電流は最高輝度の場合においても数μＡ程度であることから、１つのブロックの領域をある程度大きくしないと精度の良い電流の測定は行えない。しかし１つのブロックの領域を大きくするということは表示画面の分割数を減らすことになり、すなわちＩＶ特性の測定を行うブロックの数が減ることに繋がる。これは画素単位の係数を求める際に少ない情報（ブロック数）から求めることを意味しており、補間演算において求めた画素単位の係数の信頼度が低くなってしまうことに繋がる。

【００６４】

そこで、実施形態２では、画素単位のＶＩ特性における傾斜係数ＡとオフセットＢを隣接するブロック間で補間する補正を行うことで、各ブロック単独で行う補間よりも高精度の補間が可能になる。

【００６５】

図８に、本発明の実施形態２に係る有機ＥＬアクティブマトリックス駆動回路図を示す。ソースドライバ１７は、マトクックス表示パネル２０（表示装置）の中の画素回路に階調電圧を与えるＤＡ変換アレイ２９、電流計２１、ＡＤ変換器２３および基準データ源２４からなるＩＶ測定回路２２、ブロック単位で補正データを記憶する補正データ記憶回路２５、画素単位で補正データを記憶する補正データ記憶回路３１、補正演算器２６、動作切替回路２７およびＳＷ２８から構成されている。マトリックス表示パネル２０の中には、図１８に示す画素回路１０が複数配置されている。

【００６６】

一方、ゲートドライバ１８は、マトリックス表示パネル２０の行方向を制御するために、出力回路４１、全ての行を同時にｏｎする全ライン選択回路４２および複数の行を同時にｏｎするブロック選択回路４３から構成されている。出力回路４１は、実施形態１と同様に、通常１行のみを順番にｏｎするシフトレジスタ４４の出力信号と、全ての行をｏｎ

する全ライン選択信号と、複数の行を同時にｏｎするブロック選択信号とを論理和するＯＲ回路４５から構成されている。

【００６７】

以上のように、実施形態２が回路構成において実施形態１と異なるのは、ソースドライバ１７内の補正データ記憶回路２５と補正演算器２６との間に画素補正データ記憶回路３１を有する点のみである。ゲートドライバ１８は実施形態１と同じ構成である。

【００６８】

図９に、実施形態２に係る有機ＥＬアクティブマトリックス駆動回路の動作フローを示す。ここには、実施形態１と同様に、通常の表示処理系とＩＶ特性を測定するＩＶ測定処理系の２つの処理系がある。本実施形態２では、表示処理系は実施形態１と同様であるが、ＩＶ測定処理系は実施形態１とは異なる。

【００６９】

ここでは実施形態１と異なる、Ｓ９０１～Ｓ９０６からなるＩＶ測定処理系について説明する。

【００７０】

ＩＶ特性の測定は、マトリックス表示パネル２０をｍ×ｎのブロックに分割し、その内の１ブロックのみを対象としてＩＶ特性の測定を行う。すなわち、対象とする１ブロックのみをｏｎにして、残りのブロックは全てｏｆｆにする。図８では、マトリックス表示パネル２０の左上の１ブロックを測定対象として例示している。この分割は、可能な限り多くするのが望ましいが、測定電流精度および処理時間を勘案して適切な数を選ぶ。

【００７１】

Ｓ９０１のＩＶ特性測定は、１つのブロックで√ＩｄＶ特性を１次式：√Ｉｄ＝ＡＶｇ＋Ｂｉで近似できるように最低３点以上を行う。

【００７２】

時間が経つと、この３つ電圧では期待する電流がえら得ない場合あるので、適宜Ｖｇ１ｎ～Ｖｇ３ｎに変更する必要ある。電流Ｉｄ１～Ｉｄ３は、目的とする√ＩｄＶ特性を１次式：√Ｉｄ＝ＡＶｇ＋Ｂｉが近似できる任意の電流３点であればよい。

【００７３】

１つのブロックのＩＶ特性の測定が終わると、Ｓ９０３で、処理１のＩｄＶ特性から√ＩｄＶ特性に変換し、その特性の１次式を求める。そして、Ｓ９０４で、１次式の係数ＡｎとオフセットＢｎを補正データ記憶回路２５に保存する。尚、通電時間が増えると、この１次式は、√Ｉｄ（ｔｉ）＝ＡｉＶｇ＋Ｂｉから、√Ｉｄ（ｔｎ）＝ＡｎＶｇ＋Ｂｉに変わっていくので、所定の時間間隔でＳ２０１～Ｓ２０３の処理を繰り返し、補正データ記憶回路２５に保存したＡｎとＢｎを更新する。

【００７４】

１ブロックの測定が終わると、次のブロックにＩＶ特性の測定を順に移す。Ｓ９０５で、測定が行われていないブロックが存在すると判定されると、次のブロックに移ってＳ９０１からの処理を実行させる。

【００７５】

そして全てのブロックでＩＶ特性の測定が終わり、かつ係数ＡとオフセットＢの更新が終了すると、Ｓ９０６で、画素単位の係数ＡｎとオフセットＢｎを生成する。その後、それらを補正データ記憶回路３１に記憶する。

【００７６】

この画素単位での係数とオフセットの生成方法について図１０（ａ）～（ｃ）で説明する。図１０（ａ）では、１つのブロックを３×３画素とした場合を例示している。

【００７７】

まず、横方向に隣接するブロック同士の係数ＡとオフセットＢとの差を、その画素の位置に応じて比例配分する方式で、式（２）および（３）に基づいてブロックの中心画素についてのみ補間していく。

Ａ（ｍ，ｎ）＋（Ａ（ｍ－１，ｎ）－Ａ（ｍ，ｎ））＊ΔＬ／Ｌｘ　　・・・式（２）

Ｂ（ｍ，ｎ）＋（Ｂ（ｍ－１，ｎ）－Ｂ（ｍ，ｎ））＊ΔＬ／Ｌｘ　・・・式（３）

ここで、Ｌｘは隣接するブロックとの横方向の中心間距離、ΔＬは補間しようとする画素の位置である。中心間距離は、画素数で表すものとする。

【００７８】

図１０（ｂ）には、今、補間した画素を横のハッチングで示す。

【００７９】

次に縦方向も、隣接するブロック同士係数ＡとオフセットＢとの差を、その画素の位置に応じて比例配分する方式で、全ての画素について補間していく。図１０（ｃ）には、縦方向について補間した画素を縦のハッチングで示す。

【００８０】

以上の処理で、画素単位に補間された係数ＡとオフセットＢは、補正データ記憶回路３１に記憶される。

【００８１】

これで、ＩＶ特性の測定の処理を終わりの通常の表示処理に移る。

【００８２】

表示処理系のＳ９０８では、画素単位で階調電圧信号Ｖｇｉを受けたあと、補正演算器２６が実施形態１と同様に式（１）を用いて補正した階調電圧信号Ｖｇｎに画素単位で変換する。

【００８３】

次にＳ９０９では、ＤＡ変換アレイ２９で補正階調信号Ｖｇｎを電圧Ｖｇｎに変換する。

【００８４】

この結果、実施形態１と同様に、図４に示すようにＶｔｈおよび有機ＥＬ素子の電圧が変動しても、階調電圧範囲がｔｉ～ｔｎのごとく変化するために、有機ＥＬ素子の輝度を調整する階調電流０～１００％は変動しない。従って、経時的な輝度の変動をなくすことができる。

【００８５】

本実施形態２のＩＶ特性の測定の時間的な処理は、実施形態１と同様に行うことができ、実施形態２における動作切替回路２７の処理は、実施形態１と同様に行われる。

【００８６】

但し、図６に示すような、電源の投入および遮断時にＩＶ特性の測定ができないために１フレーム（画面）に表示のｏｆｆ期間（Ｖ同期）を設け、この期間をＩＶ測定に利用する場合、全ブロックのＩＶ特性の測定と補正データ（係数ＡとオフセットＢ）が一気に出来ない。そのため、ＩＶ測定処理フローは図１７のように、Ｓ１７０２において各ブロックでのＩＶ特性測定の終了と、Ｓ１７０５において全ブロックの補正データ終了とを確認しながら、係数ＡとオフセットＢを処理するＳ１７０３、Ｓ１７０４およびＳ１７０６の実行判断が必要となる。

【００８７】

この結果、表示時間に支障なく、Ｖｔｈおよび有機ＥＬの電圧変動を補償することができる。

【００８８】

（実施形態３）

実施形態３は、実施形態２と同じ有機ＥＬアクティブマトリックス駆動回路を用い、実施形態２と異なるＶＩ測定処理系を有するものである。

【００８９】

実施形態１、２は、有機ＥＬ表示パネルを複数ブロックに分割し、分割したブロック毎にそれぞれＩＶ特性の測定を行い、ブロック毎に閾値電圧Ｖｔｈと傾斜係数Ａを求め、求めた閾値電圧Ｖｔｈと傾斜係数Ａとを補間演算することにより画素単位の係数を求めるものである。

【００９０】

但し、有機ＥＬ表示パネルの１画素当たりに流れる電流は最高輝度の場合においても数μＡ程度であることから、１つのブロックの領域をある程度大きくしないと精度の良い電流の測定は行えない。しかし１つのブロックの領域を大きくするということは表示画面の分割数を減らすことになり、すなわちＩＶ特性の測定を行うブロックの数が減ることに繋がる。これは画素単位の係数を求める際に少ない情報（ブロック数）から求めることを意味しており、補間演算において求めた画素単位の係数の信頼度が低くなってしまうことに繋がる。

【００９１】

そこで、実施形態３では、ＩＶ特性の測定の際、分割したブロックの測定領域は隣接するブロックと重なり合う領域を持つこととする。これにより画素単位の係数を、該当画素を含む複数のブロックの情報から求めることができ、単純に表示画面を重なりなく分割した場合に比べ、より多くの情報から高精度に画素単位の係数を求めることができる。

【００９２】

Ｓ９０６の画素単位の傾斜係数ＡとオフセットＢの生成方法について図１１～１７で説明する。

【００９３】

図１１（ａ）には、１つのブロックを４×４画素とした場合を例示する。さらに図１１（ｂ）に示す通り、隣接するブロック同士は２画素ずつ重なり合う領域を持つこととしている。図１２（ａ）に、図１１（ｂ）の左上のブロックＩ、図１２（ｂ）にブロックＩと２画素分重なった右隣のブロックＩＩ、図１２（ｃ）にブロックＩＩと２画素分重なった右隣のブロックＩＩＩを示す。また、ＶＩ測定処理系のＳ９０３、Ｓ９０４において求めたブロック毎の傾斜係数ＡとオフセットＢは、ブロックＩの傾斜係数をＡＩ、オフセットをＢＩ、同様にブロックＩＩの傾斜係数をＡＩＩ、オフセットをＢＩＩ、ブロックＩＩＩの傾斜係数をＡＩＩＩ、オフセットをＢＩＩＩとする。

【００９４】

次に、前記のブロック毎の傾斜係数ＡとオフセットＢに対して重み付けを行うが、図１３（ａ）に示す通り、１つのブロックは４×４画素としているので、画素毎に異なる重み係数を持つ場合にはａ～ｐまでの最大１６個の異なる重み係数を持つことができる。さらに図１３（ｂ）ではブロックの中心からの距離に比例した重み係数を持つ例を示しており、ここでは４×４画素のうち中央４画素の重み係数を２、周囲１２画素の重み係数を１としている。これらのブロック毎の傾斜係数ＡとオフセットＢ、及びブロック内の重み係数を用いて補間演算を行い、画素単位での傾斜係数ＡとオフセットＢを生成する。

【００９５】

次に補間演算について説明するが、図１４に示す例では横方向についてのみの説明としているが、縦方向についても横方向と同様の補間演算を行い、画素単位での傾斜係数とオフセットの生成を行うこととする。

【００９６】

図１４において係数を求める画素を（ｉ）とすると、（ｉ）の画素はブロックＩとブロックＩＩに含まれていることから、前記の傾斜係数ＡＩとＡＩＩ、及びオフセットＢＩとＢＩＩを用いて補間演算を行うことになる。この時、図１４（ｂ）の重み係数を用いると、（ｉ）の画素はブロックＩの重み係数２の位置であり、なおかつブロックＩＩの重み係数１の位置であることが分かる。これらの関係から（ｉ）の画素の傾斜係数Ａ（ｉ）は、下記の式（４）の補間演算式により求めることができる。

Ａ（ｉ）＝（２×ＡＩ＋１×ＡＩＩ）／３　　・・・式（４）

同様に、（ｉ）の画素のオフセットＢ（ｉ）は下記の式（５）により求めることができる。

Ｂ（ｉ）＝（２×ＢＩ＋１×ＢＩＩ）／３　　・・・式（５）

上記の式（４）および式（５）において３で除算しているのは、ブロックＩとブロックＩＩの重み係数によって乗算したＡＩ、ＡＩＩ、ＢＩ、ＢＩＩの値を元の値に戻すためであり、式（４）および式（５）において用いられている重み係数の和（２＋１＝３）の値で

ある。

【００９７】

同様に（ｉｉ）の画素の係数を求める場合には、下記の式（６）および式（７）により求めることができる。

Ａ（ｉｉ）＝（１×ＡＩ＋２×ＡＩＩ）／３　　・・・式（６）

Ｂ（ｉｉ）＝（１×ＢＩ＋２×ＢＩＩ）／３　　・・・式（７）

同様に（ｉｉｉ）の画素の係数を求める場合には、下記の式（８）および式（９）により求めることができる。

Ａ（ｉｉｉ）＝（２×ＡＩＩ＋１×ＡＩＩＩ）／３　　・・・式（８）

Ｂ（ｉｉｉ）＝（２×ＢＩＩ＋１×ＢＩＩＩ）／３　　・・・式（９）

ここでは、図１３（ｂ）のブロックの中心からの距離に比例した重み係数を用いているが、それに限定するものではなく、図１３（ａ）に示す１６個の重み係数を任意に設定しても構わない。その際においても、除算する値については補間演算式の中で乗算を行っている重み係数の和の値を用いることには変わりはない。

【００９８】

なお図１５に示す通りマトリックス表示パネル２０の四隅の領域は、横方向と縦方向の両方ともに隣接するブロック同士において重なり合うブロックが存在しない領域である。これらの領域の場合には前記までの補間演算は行わず、係数を求める画素を含むブロックの係数をそのまま画素単位の係数として用いることとする。

【００９９】

図１６に示す例では横方向についてのみの説明としているが、縦方向についても同様である。図１６において係数を求める画素を（ｉ）′とすると、（ｉ）′の画素を含むブロックはブロックＩであるので、そのまま前記の傾斜係数ＡＩとオフセットＢＩを画素単位の係数として用いることとし、下記の式（１０）および式（１１）により求めることができる。

Ａ（ｉ）′＝　ＡＩ　　・・・式（１０）

Ｂ（ｉ）′＝　ＢＩ　　・・・式（１１）

同様に（ｉｉ）′の画素の係数を求める場合には、下記の式（１２）および式（１３）により求めることができる。

Ａ（ｉｉ）′＝　ＡＩ　　・・・式（１２）

Ｂ（ｉｉ）′＝　ＢＩ　　・・・式（１３）

なお、図１２（ａ）においてＩＶ測定を行う１つのブロックを４×４画素としているが、それに限定するものではなく、同様に図１２（ｂ）において隣接するブロック同士の重なり合う領域についても２画素に限定するものではない。

【０１００】

以上の処理で、画素単位に補間された傾斜係数Ａとオフセットｂは、補正データ記憶回路３１に記憶される。

【０１０１】

ここまででＩＶ特性の測定の処理を終了し、通常の表示処理に移る。

【０１０２】

表示処理のＳ９０８では、画素単位で階調電圧信号Ｖｇｉを受けたあと、補正演算器２６が実施形態１、２と同様に式（１）を用いて補正した階調電圧信号Ｖｇｎに画素単位で変換する。

【０１０３】

次にＳ９０９では、ＤＡ変換アレイ２９で補正階調信号Ｖｇｎを電圧Ｖｇｎに変換する。

【０１０４】

この結果、実施形態１、２と同様に、図４に示すようにＶｔｈおよび有機ＥＬ素子の電圧が変動した場合においても、階調電圧範囲がｔｉ～ｔｎのごとく変化するために、有機ＥＬ素子の輝度を調整する階調電流０％～１００％は変動しない。従って、経時的な輝度

の変動をなくすことができる。

【０１０５】

本実施形態３のＩＶ特性の測定の時間的な処理は、実施形態１、２と同様に行うことができ、実施形態３における動作切替回路２７の処理は、実施形態１、２と同様に行われる。

【０１０６】

但し、図６に示すような、電源の投入および遮断時にＩＶ特性の測定ができないために１フレーム（画面）に表示のｏｆｆ期間（Ｖ同期）を設け、この期間をＩＶ測定に利用する場合、全ブロックのＩＶ特性の測定と補正データ（係数ＡとオフセットＢ）が一気に出来ない。そのため、ＩＶ測定処理フローは図１７のように、Ｓ１７０２において各ブロックでのＩＶ特性測定の終了と、Ｓ１７０５において全ブロックの補正データ終了とを確認しながら、係数ＡとオフセットＢを処理するＳ１７０３、Ｓ１７０４およびＳ１７０６の実行判断が必要となる。

【０１０７】

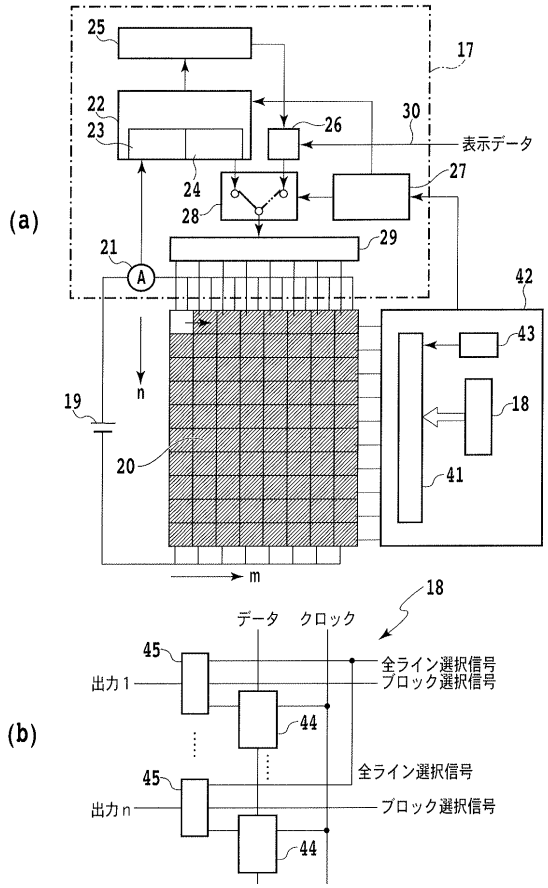
この結果、表示時間に支障なく、Ｖｔｈおよび有機ＥＬの電圧変動を補償することができる。

【符号の説明】

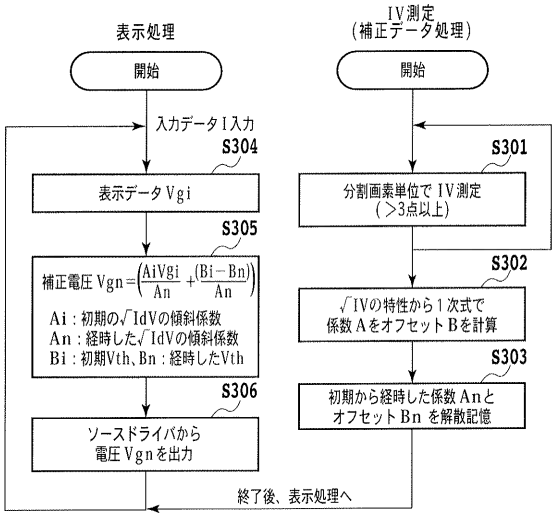
【０１０８】

１０　画素回路
１１　有機ＥＬ
１２　ＴＦＴ
１３　ＴＦＴ
１４　コンデンサ
１５　ソース信号線
１６　ゲート信号線
１７　ソースドライバ
１８　ゲートドライバ
１９　電源
２０　マトリックス表示パネル
２１　電流計
２２　ＩＶ（電流－電圧）測定回路
２３　ＡＤ変換器
２４　基準電源
２５　補正データ記憶回路
２６　補正演算器
２７　動作切替回路
２８　スイッチ
２９　ＤＡ変換アレイ
３０　表示データ
４１　出力回路
４２　全ライン選択回路
４３　ブロック選択回路
４４　シフトレジスタ
４５　ＯＲ回路

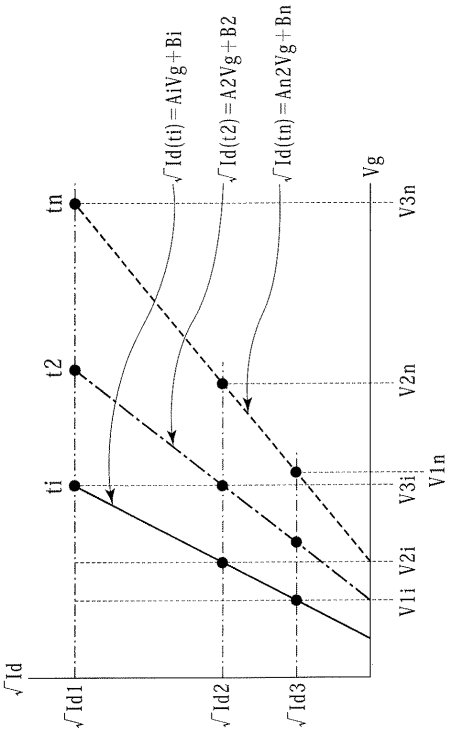
【図１】


(a)
25
17
22
23
26
30
表示データ
24
27
28
29
21
A
42
43
19
n
18
20
41
m
(b)
18
データ
クロック
45
出力1
全ライン選択信号
ブロック選択信号
44
全ライン選択信号
45
出力n
ブロック選択信号
44

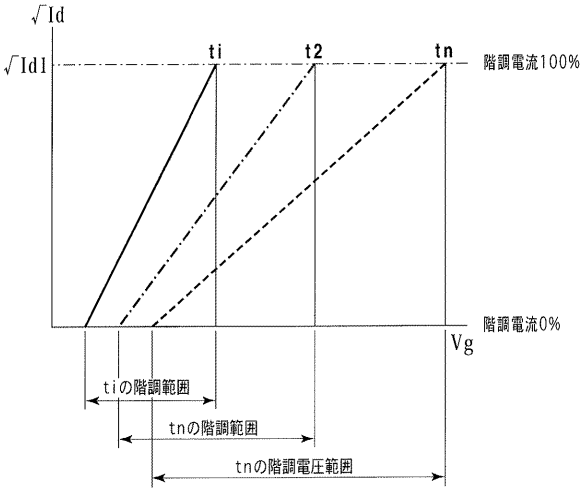
【図２】


表示処理
開始
入力データI入力
S304
表示データVgi
S305
補正電圧 $Vgn=\left(\frac{AiVgi}{An}+\frac{(Bi-Bn)}{An}\right)$
Ai：初期の√IdVの傾斜係数
An：経時した√IdVの傾斜係数
Bi：初期Vth、Bn：経時したVth
S306
ソースドライバから
電圧Vgnを出力
終了後、表示処理へ
IV測定
(補正データ処理)
開始
S301
分割画素単位でIV測定
(>3点以上)
S302
√IVの特性から1次式で
係数Aをオフセット Bを計算
S303
初期から経時した係数Anと
オフセットBn を解散記憶

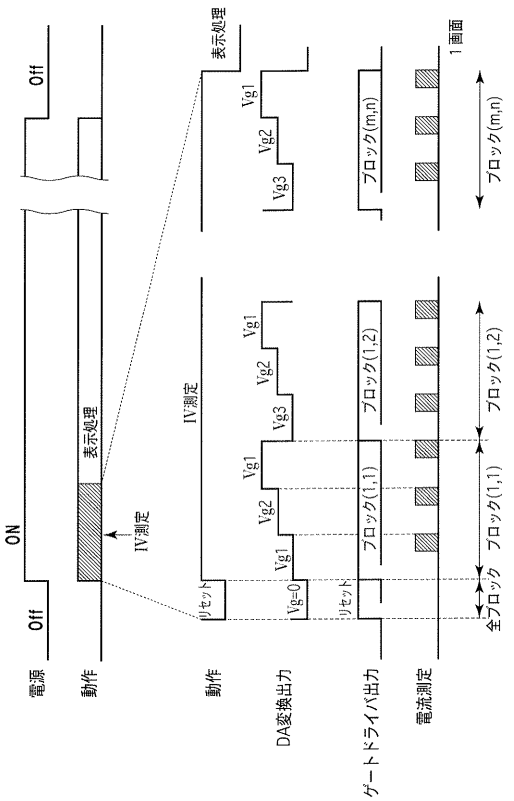
【図３】


√Id(ti)=AiVg+Bi
√Id(t2)=A2Vg+B2
√Id(tn)=An2Vg+Bn
Vg
tn
V3n
t2
V2n
ti
V3i
V1n
V1i V2i
√Id
√Id1
√Id2
√Id3

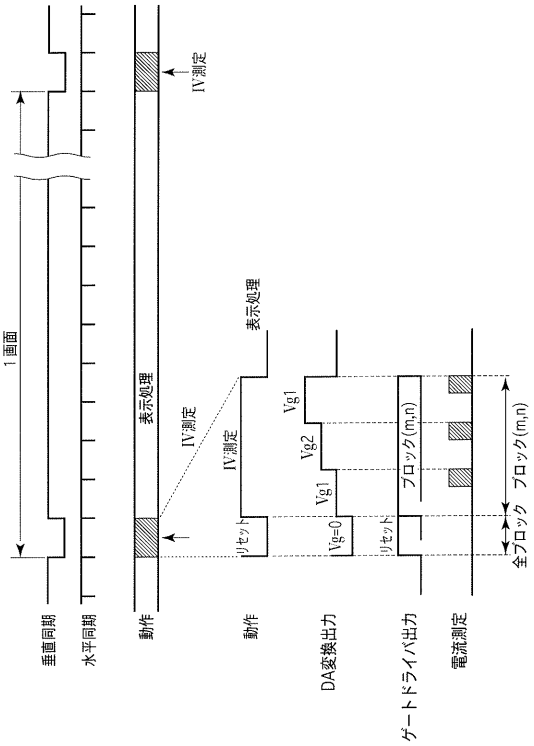
【図４】


√Id
√Id1
ti
t2
tn
階調電流100%
階調電流0%
Vg
tiの階調範囲
tnの階調範囲
tnの階調電圧範囲

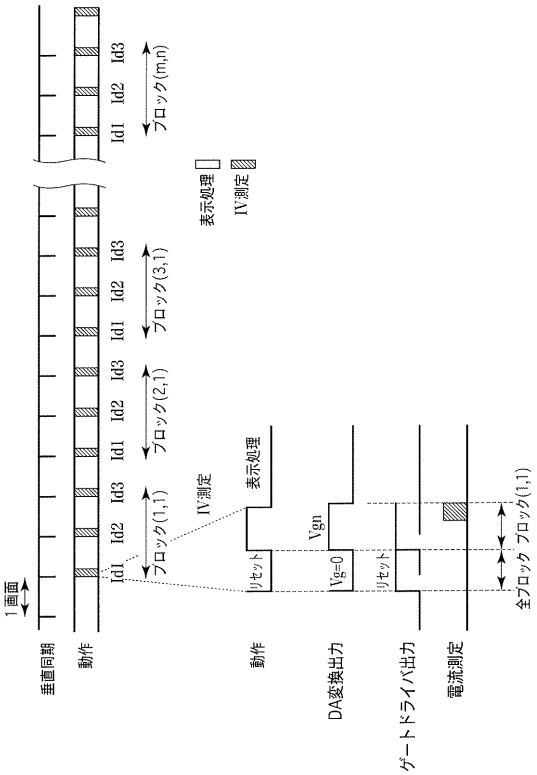
【図５】


電源
動作
動作
DA変換出力
ゲートドライバ出力
電流測定
Off
ON
Off
表示処理
IV測定
リセット
Vg=0
Vg1
Vg2
Vg3
ブロック(1,1)
ブロック(1,2)
ブロック(m,n)
全ブロック
1画面

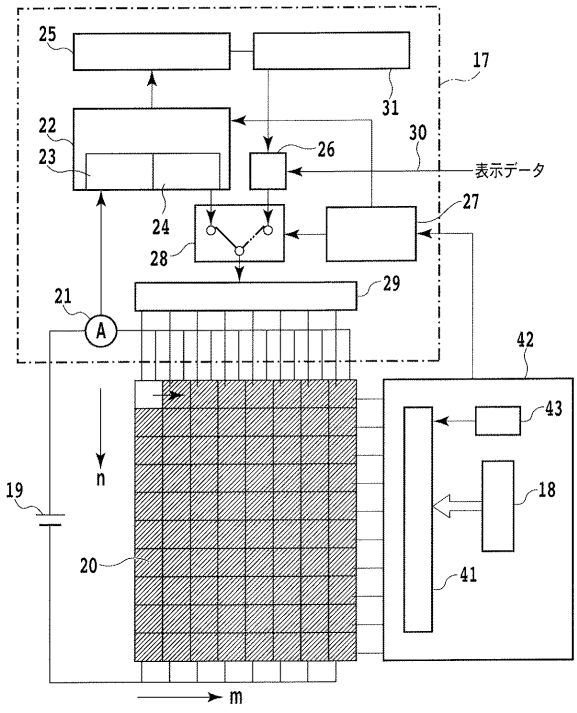
【図６】


1画面
垂直同期
水平同期
動作
動作
DA変換出力
ゲートドライバ出力
電流測定
表示処理
IV測定
リセット
Vg=0
Vg1
Vg2
ブロック(m,n)
全ブロック

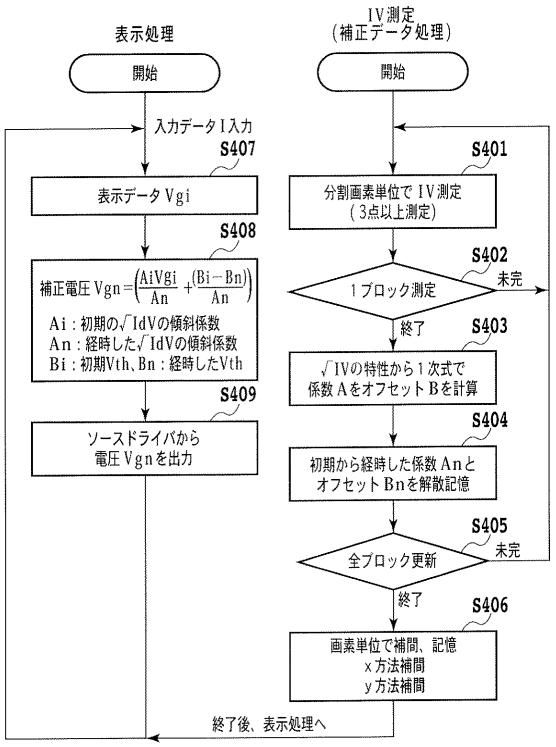
【図７】


1画面
垂直同期
動作
動作
DA変換出力
ゲートドライバ出力
電流測定
表示処理
IV測定
Id1
Id2
Id3
Vgn
Vg=0
リセット
ブロック(1,1)
ブロック(2,1)
ブロック(3,1)
ブロック(m,n)
全ブロック

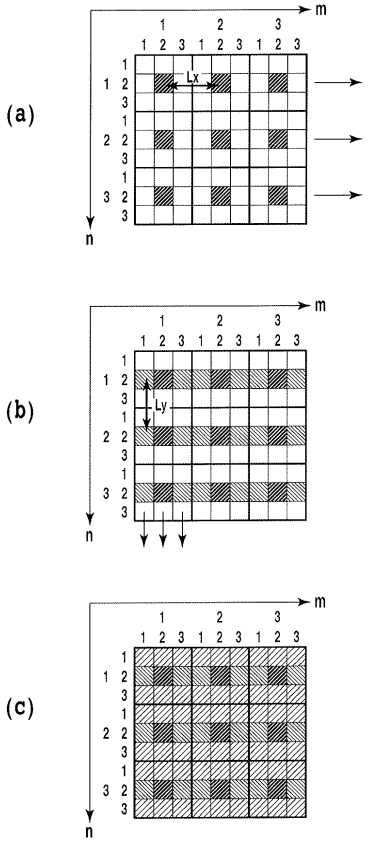
【図８】


25
17
31
22
23
26
30
表示データ
24
27
28
29
21
A
42
43
18
19
n
20
41
m

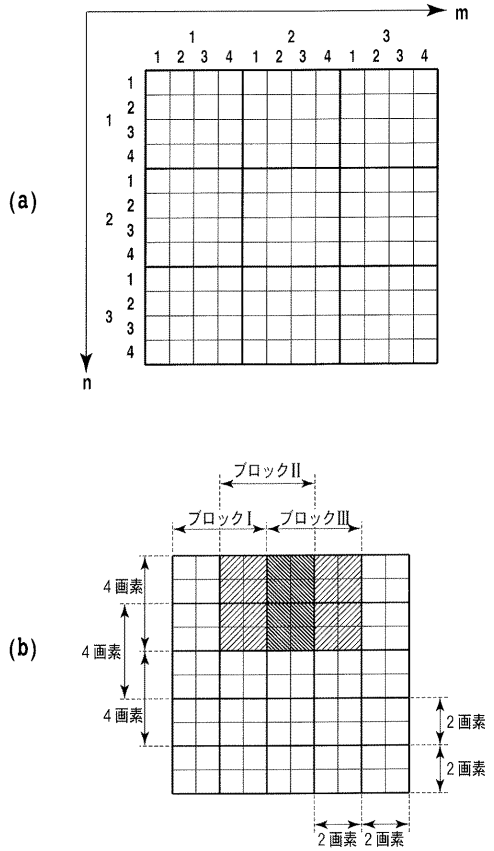
【図９】



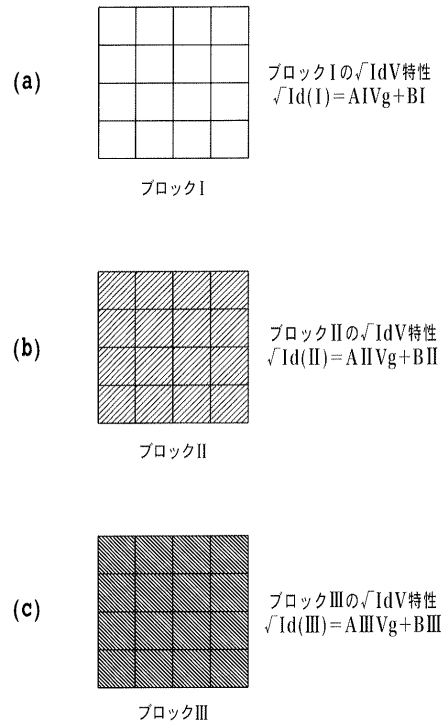
【図１０】



【図１１】



【図１２】



【図１３】

(a)

a	b	c	d
e	f	g	h
i	j	k	l
m	n	o	p

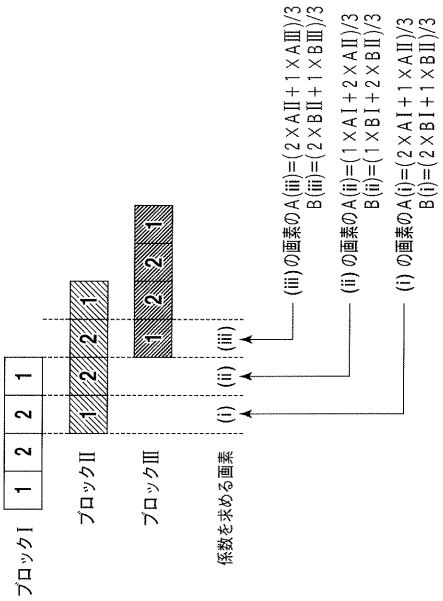
重み付けの係数ａ～ｐ

(b)

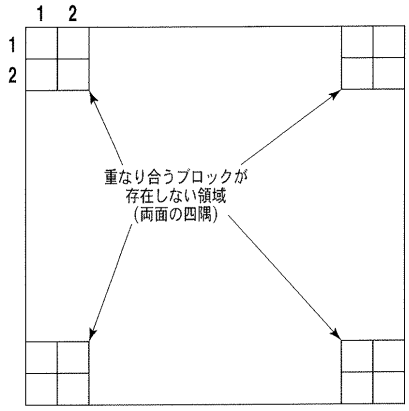
1	1	1	1
1	2	2	1
1	2	2	1
1	1	1	1

重み付けの係数を
ブロックの中心からの距離に比例

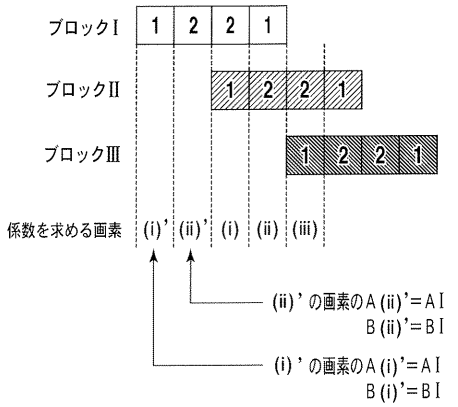
【図１４】



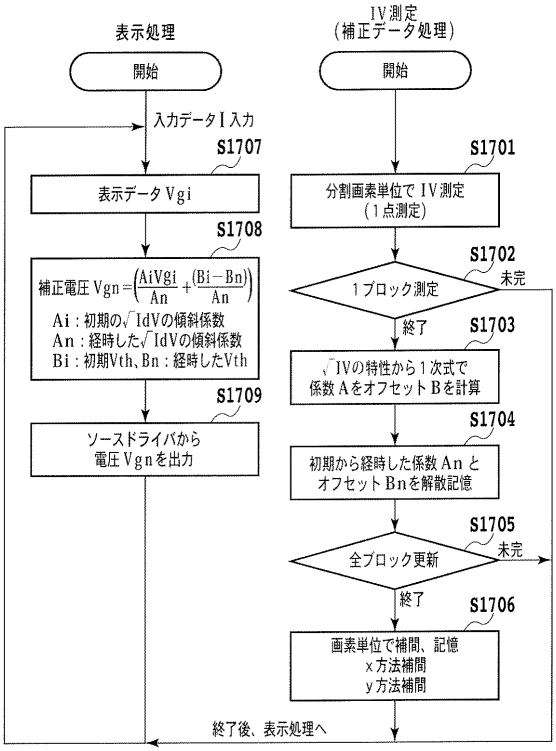
【図１５】



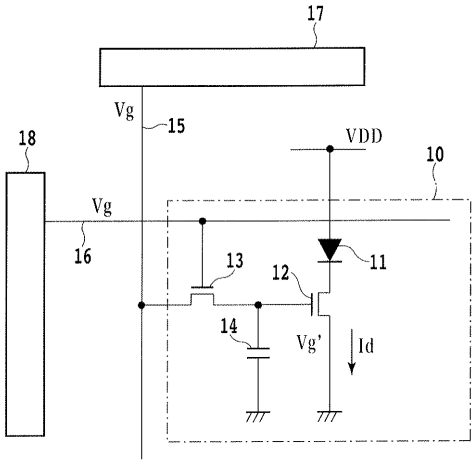
【図１６】



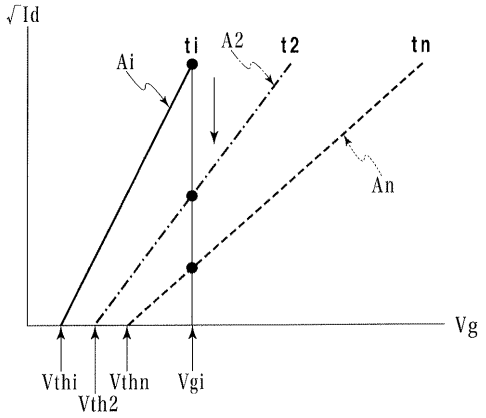
【図１７】


表示処理
開始
入力データＩ入力
S1707
表示データ Vgi
S1708
補正電圧 Vgn=(AiVgi/An+(Bi−Bn)/An)
Ai：初期の√IdVの傾斜係数
An：経時した√IdVの傾斜係数
Bi：初期Vth、Bn：経時したVth
S1709
ソースドライバから
電圧 Vgnを出力
IV測定
（補正データ処理）
開始
S1701
分割画素単位で IV測定
（1点測定）
S1702
1ブロック測定
未完
終了
S1703
√IVの特性から1次式で
係数 Aをオフセット Bを計算
S1704
初期から経時した係数 An と
オフセット Bnを解散記憶
S1705
全ブロック更新
未完
終了
S1706
画素単位で補間、記憶
x方法補間
y方法補間
終了後、表示処理へ

【図１８】


17
Vg
15
18
VDD
10
Vg
16
13
12
11
14
Vg'
Id

【図１９】

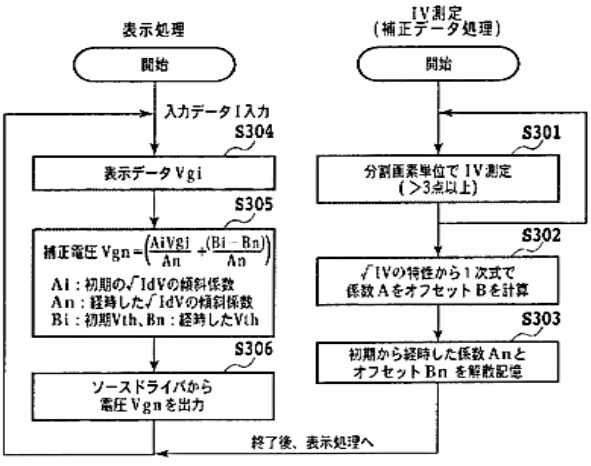

√Id
Ai
ti
A2
t2
tn
An
Vg
Vthi
Vth2
Vthn
Vgi

フロントページの続き

(51)Int.Cl.	FI		テーマコード（参考）
	G09G 3/20	631U	
	G09G 3/20	624B	
	G09G 3/20	642C	
	H05B 33/14	A	

Fターム(参考) 5C080 AA06 BB05 DD05 DD29 EE29 FF11 GG09 HH09 JJ02 JJ03
JJ04 JJ05 JJ07
5C380 AA01 AA02 AB06 AB22 BA38 BA39 BB03 BB04 BD04 CA04
CA12 CA32 CB01 CB02 CB12 CB29 CC02 CC09 CC26 CC33
CC62 CD012 CF07 CF13 CF17 CF33 CF48 CF49 CF51 DA02
DA06 DA34 DA39 DA40 DA47 DA49 DA58 EA04 EA05 FA03
FA23 FA28 HA03 HA05

专利名称(译)	有机EL有源矩阵的驱动方法，驱动电路和显示装置		
公开(公告)号	JP2010256783A	公开(公告)日	2010-11-11
申请号	JP2009109213	申请日	2009-04-28
[标]申请(专利权)人(译)	富士电机株式会社		
申请(专利权)人(译)	富士电机控股有限公司		
[标]发明人	辻伸彦 柿沼実		
发明人	辻 伸彦 柿沼 実		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.K G09G3/20.670.J G09G3/20.641.D G09G3/20.641.P G09G3/20.612.T G09G3/20.631.U G09G3/20.624.B G09G3/20.642.C H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH02 3K107/HH04 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD29 5C080/EE29 5C080/FF11 5C080/GG09 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ07 5C380/AA01 5C380/AA02 5C380/AB06 5C380/AB22 5C380/BA38 5C380/BA39 5C380/BB03 5C380/BB04 5C380/BD04 5C380/CA04 5C380/CA12 5C380/CA32 5C380/CB01 5C380/CB02 5C380/CB12 5C380/CB29 5C380/CC02 5C380/CC09 5C380/CC26 5C380/CC33 5C380/CC62 5C380/CD012 5C380/CF07 5C380/CF13 5C380/CF17 5C380/CF33 5C380/CF48 5C380/CF49 5C380/CF51 5C380/DA02 5C380/DA06 5C380/DA34 5C380/DA39 5C380/DA40 5C380/DA47 5C380/DA49 5C380/DA58 5C380/EA04 5C380/EA05 5C380/FA03 5C380/FA23 5C380/FA28 5C380/HA03 5C380/HA05		
代理人(译)	谷义 安倍晋三和夫		
其他公开文献	JP5280291B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种驱动有机EL有源矩阵的方法，该方法总是补偿非晶硅TFT和有机EL元件的特性变化，同时精确测量电流 - 电压测量特性并为每个像素插值系数高可靠性，并提供驱动电路和显示装置。解决方案：矩阵显示面板分为m次和n次。在S201中的IV特性测量被执行至少三个或更多个点，使得√IdV特性通过一次表达来近似：√ID= AVg + Bi。由于时间过去不再通过三个电压获得预期电流，因此必须将电压适当地改变为Vg1n-Vg3n。在S202中，将在S201中测量的IdV特性改变为√IdV特性，并且计算√IdV特性的主要表达式。在S203中，将主表达式的系数An和偏移量Bn存储在校正数据存储电路25中。