

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-230987

(P2009-230987A)

(43) 公開日 平成21年10月8日(2009.10.8)

(51) Int.Cl.	F I	テーマコード (参考)
H05B 33/10 (2006.01)	H05B 33/10	3K107
G09F 9/00 (2006.01)	G09F 9/00 338	5C094
G09F 9/30 (2006.01)	G09F 9/30 365Z	5G435
H01L 27/32 (2006.01)	G09F 9/30 338	
H01L 51/50 (2006.01)	H05B 33/14 A	
審査請求 未請求 請求項の数 10 O L (全 24 頁) 最終頁に続く		

(21) 出願番号 特願2008-73733 (P2008-73733)
 (22) 出願日 平成20年3月21日 (2008. 3. 21)

(71) 出願人 000001443
 カシオ計算機株式会社
 東京都渋谷区本町 1 丁目 6 番 2 号
 (74) 代理人 100090033
 弁理士 荒船 博司
 (74) 代理人 100093045
 弁理士 荒船 良男
 (72) 発明者 当山 忠久
 東京都八王子市石川町 2 9 5 1 番地 5 カ
 シオ計算機株式会社八王子技術センター内
 F ターム (参考) 3K107 AA01 BB01 CC31 DD02 EE03
 5C094 AA03 AA08 AA10 AA37 AA43
 BA03 BA27 CA19 DA13 DA20
 DB04 EA04 EA05 EA07 GB10
 5G435 AA03 AA04 AA16 AA17 BB05
 CC09 KK05

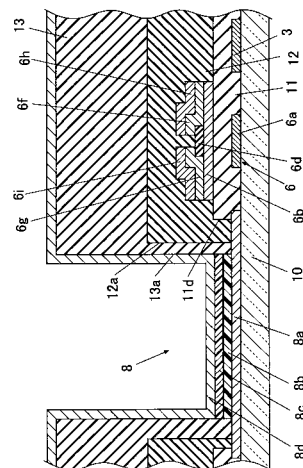
(54) 【発明の名称】 E L パネル及び E L パネルの製造方法

(57) 【要約】

【課題】表示特性に優れた E L パネル及び E L パネルの製造方法を実現する。

【解決手段】ゲート絶縁膜 11 をパターンニングして画素電極 8 a が露出する開口部 11 d を形成することに先立って、基板 10 上には画素電極 8 a が形成されているので、基板 10 上に設けられたゲート絶縁膜 11 にエッチングなどの処理を施して所定の領域を露出させる開口部 11 d を形成する際に、その画素電極 8 a が基板 10 の保護膜となり、その基板 10 の表面が腐食されることを防ぐことができるため、キャリア輸送層 8 c の発光が基板 10 を好適に透過して放出されることとなり、画像のにじみやぼけなどがない優れた表示特性を有する E L パネル 100 とすることが可能になる。

【選択図】 図 5



【特許請求の範囲】**【請求項 1】**

光透過性を有する基板上に、光透過性を有する第一電極を形成する第一電極形成工程と

、

前記基板上に、キャパシタの第一容量電極を形成する第一容量電極形成工程と、

前記第一容量電極と前記第一電極とを含む前記基板上に絶縁膜を形成した後、前記第一電極の所定領域を開口する開口部を前記絶縁膜に形成する開口部形成工程と、

前記絶縁膜の上面側であって、前記第一容量電極と対向する位置に、前記キャパシタの第二容量電極を形成する第二容量電極形成工程と、

少なくとも前記開口部によって開口される前記第一電極上に、キャリア輸送層を形成するキャリア輸送層形成工程と、

10

前記キャリア輸送層上に、第二電極を形成する第二電極形成工程と、

を備えることを特徴とする E L パネルの製造方法。

【請求項 2】

前記第一容量電極形成工程は、前記基板上に、ゲート導電膜をパターニングして前記第一容量電極とともにトランジスタのゲート電極を形成する工程を含み、

前記ゲート電極を覆う前記絶縁膜の上面側に、前記トランジスタのソース電極及びドレイン電極を形成するソース、ドレイン電極形成工程を、

さらに備えることを特徴とする請求項 1 に記載の E L パネルの製造方法。

20

【請求項 3】

前記第一容量電極形成工程は、前記基板上に、前記ゲート導電膜をパターニングして前記第一容量電極とともに走査線の第一端子層を形成する工程を含み、

前記開口部形成工程は、前記第一端子層上が開口される開口部を前記絶縁膜に形成する工程を含み、

前記ソース、ドレイン電極形成工程は、ソース、ドレイン導電膜をパターニングして前記トランジスタのソース電極及びドレイン電極とともに前記第一端子層上に前記走査線の第二端子層を形成する工程を含み、

前記第二容量電極形成工程は、導電層をパターニングして前記第二容量電極とともに前記第二端子層上に前記走査線の第三端子層を形成する工程を含む、

ことを特徴とする請求項 2 に記載の E L パネルの製造方法。

30

【請求項 4】

光透過性を有する基板上に、光透過性を有するキャパシタの第一容量電極を形成する第一容量電極形成工程と、

前記第一容量電極を含む前記基板上に第一絶縁膜を形成した後、前記第一容量電極の所定領域を開口する開口部を前記第一絶縁膜に形成する第一開口部形成工程と、

少なくとも前記開口部によって開口される前記第一容量電極上に、光透過性を有する第二絶縁膜を形成する第二絶縁膜形成工程と、

前記第二絶縁膜上であって、前記第一容量電極と対向する位置に、光透過性を有する前記キャパシタの第二容量電極を兼ねた第一電極を形成する第一電極形成工程と、

40

前記第一電極上に、キャリア輸送層を形成するキャリア輸送層形成工程と、

前記キャリア輸送層上に、第二電極を形成する第二電極形成工程と、

を備えることを特徴とする E L パネルの製造方法。

【請求項 5】

前記基板上に、トランジスタのゲート電極を形成するゲート電極形成工程と、

前記ゲート電極を覆う前記第一絶縁膜の上面側に、前記トランジスタのソース電極及びドレイン電極を形成するソース、ドレイン電極形成工程と、

を備えることを特徴とする請求項 4 に記載の E L パネルの製造方法。

【請求項 6】

前記ゲート電極形成工程は、前記基板上に、ゲート導電膜をパターニングして前記トランジスタのゲート電極とともに走査線の第一端子層を形成する工程を含み、

50

前記第一開口部形成工程は、前記第一端子層上が開口される開口部を前記第一絶縁膜に形成する工程を含み、

前記ソース、ドレイン電極形成工程は、ソース、ドレイン導電膜をパターニングして前記トランジスタのソース電極及びドレイン電極とともに前記第一端子層上に前記走査線の第二端子層を形成する工程を含み、

前記第一電極形成工程は、前記第二端子層上が開口される開口部を前記第二絶縁膜に形成する工程と、導電層をパターニングして前記第一電極とともに前記第二端子層上に前記走査線の第三端子層を形成する工程を含む、

ことを特徴とする請求項 5 に記載の E L パネルの製造方法。

【請求項 7】

光透過性を有する基板上に設けられた光透過性を有する第一電極と、
前記基板上に設けられたゲート導電膜をパターニングしてなるトランジスタのゲート電極及びキャパシタの第一容量電極と、

前記第一容量電極上に設けられた絶縁膜と、

前記絶縁膜上であって前記第一容量電極と対向する位置に設けられ、前記絶縁膜の開口部を介して前記第一電極と接続された前記キャパシタの第二容量電極と、

前記第一電極上に設けられたキャリア輸送層と、

前記キャリア輸送層上に設けられた第二電極と、

を備えることを特徴とする E L パネル。

【請求項 8】

前記ゲート導電膜をパターニングしてなる走査線の第一端子層と、
ソース、ドレイン導電膜をパターニングしてなる前記トランジスタのソース電極及びドレイン電極並びに前記第一端子層上の第二端子層と、

第二容量電極となる導電膜をパターニングしてなる前記第二端子層上の第三端子層と、

を備えることを特徴とする請求項 7 記載の E L パネル。

【請求項 9】

光透過性を有する基板上に設けられた、光透過性を有するキャパシタの第一容量電極と、

前記第一容量電極上に設けられた、光透過性を有する絶縁膜と、

前記絶縁膜上であって前記第一容量電極と対向する位置に設けられた、光透過性を有し
前記キャパシタの第二容量電極を兼ねる第一電極と、

前記第一電極上に設けられたキャリア輸送層と、

前記キャリア輸送層上に設けられた第二電極と、

を備えることを特徴とする E L パネル。

【請求項 10】

ゲート導電膜をパターニングしてなるトランジスタのゲート電極及び走査線の第一端子層と、

ソース、ドレイン導電膜をパターニングしてなる前記トランジスタのソース電極及びドレイン電極並びに前記第一端子層上の第二端子層と、

第一電極となる導電膜をパターニングしてなる前記第二端子層上の第三端子層と、

を備えることを特徴とする請求項 9 記載の E L パネル。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、E L パネル及び E L パネルの製造方法に関する。

【背景技術】

【0002】

近年、携帯電話機などの電子機器の表示デバイスとして、自発光素子である有機 E L (Electro Luminescence) 素子をマトリクス状に配列した E L パネルを適用したものが知られている。

10

20

30

40

50

有機ＥＬ素子は、周知のように、概略、透明基板等の一面側に、アノード電極（陽極）と、有機ＥＬ層（発光層）と、カソード電極（陰極）とが順次積層された構造を有し、その有機ＥＬ層の発光しきい値を越えるように、アノード電極に正電圧、カソード電極に負電圧を印加することにより、有機ＥＬ層内に注入された正孔と電子が再結合する際に生じるエネルギーに基づいて、光（励起光）を放出し発光するものである。

【０００３】

そして、透明基板の一面側に有機ＥＬ素子が形成されたＥＬパネルにおいて、有機ＥＬ層を介して対向する一对の電極（アノード電極、カソード電極）の一方を光透過性を有する電極材料により形成し、他方を光反射性を有する電極材料により形成することによって、透明基板の他面側に光を放出するボトムエミッション型の発光構造が知られている（例えば、特許文献１参照。）。

10

【特許文献１】特開２００４－４６１５４号公報

【発明の開示】

【発明が解決しようとする課題】

【０００４】

しかしながら、上記特許文献１の場合、透明基板上であって、光透過性を有する透明電極が形成される領域には、透明電極が形成される前に層間絶縁膜等の透明膜が成膜されているため、有機ＥＬ素子の光は、透明膜を介して出射されることになる。このような透明膜の厚さが均一でないと、色度がばらついてしまい、出射光の色が不均一になってしまうといった問題があった。また有機ＥＬ素子の光路にある層間絶縁膜をエッチングして除去すると、層間絶縁膜のエッチング工程において、透明基板の表面もエッチングされてしまい、透明基板の厚さが不均一になってしまうことがある。

20

このように厚さが不均一な透明基板上に有機ＥＬ素子が形成されたＥＬパネルでは、有機ＥＬ層が発光した光が透明基板を介して放出される際に、透明基板の不均一な厚さに起因して光の散乱や干渉などが生じ、光の輝度や色彩のばらつきを招いてしまい、それがパネルにおける画像のにじみやぼけなどとして現れて、表示特性が悪化してしまうことがある。

【０００５】

そこで、本発明は、上述した問題点を鑑み、表示特性に優れたＥＬパネル及びＥＬパネルの製造方法を提供することを目的とする。

30

【課題を解決するための手段】

【０００６】

以上の課題を解決するため、請求項１に記載の発明は、ＥＬパネルの製造方法であって、

光透過性を有する基板上に、光透過性を有する第一電極を形成する第一電極形成工程と、

前記基板上に、キャパシタの第一容量電極を形成する第一容量電極形成工程と、

前記第一容量電極と前記第一電極とを含む前記基板上に絶縁膜を形成した後、前記第一電極の所定領域を開口する開口部を前記絶縁膜に形成する開口部形成工程と、

前記絶縁膜の上面側であって、前記第一容量電極と対向する位置に、前記キャパシタの第二容量電極を形成する第二容量電極形成工程と、

40

少なくとも前記開口部によって開口される前記第一電極上に、キャリア輸送層を形成するキャリア輸送層形成工程と、

前記キャリア輸送層上に、第二電極を形成する第二電極形成工程と、
を備えることを特徴とする。

【０００７】

請求項２に記載の発明は、

前記第一容量電極形成工程は、前記基板上に、ゲート導電膜をパターンニングして前記第一容量電極とともにトランジスタのゲート電極を形成する工程を含み、

前記ゲート電極を覆う前記絶縁膜の上面側に、前記トランジスタのソース電極及びドレ

50

イン電極を形成するソース、ドレイン電極形成工程を、
さらに備えることを特徴とする。

【0008】

請求項3に記載の発明は、

前記第一容量電極形成工程は、前記基板上に、前記ゲート導電膜をパターニングして前記第一容量電極とともに走査線の第一端子層を形成する工程を含み、

前記開口部形成工程は、前記第一端子層上が開口される開口部を前記絶縁膜に形成する工程を含み、

前記ソース、ドレイン電極形成工程は、ソース、ドレイン導電膜をパターニングして前記トランジスタのソース電極及びドレイン電極とともに前記第一端子層上に前記走査線の第二端子層を形成する工程を含み、

前記第二容量電極形成工程は、導電層をパターニングして前記第二容量電極とともに前記第二端子層上に前記走査線の第三端子層を形成する工程を含む、

ことを特徴とする。

【0009】

請求項4に記載の発明は、

光透過性を有する基板上に、光透過性を有するキャパシタの第一容量電極を形成する第一容量電極形成工程と、

前記第一容量電極を含む前記基板上に第一絶縁膜を形成した後、前記第一容量電極の所定領域を開口する開口部を前記第一絶縁膜に形成する第一開口部形成工程と、

少なくとも前記開口部によって開口される前記第一容量電極上に、光透過性を有する第二絶縁膜を形成する第二絶縁膜形成工程と、

前記第二絶縁膜上であって、前記第一容量電極と対向する位置に、光透過性を有する前記キャパシタの第二容量電極を兼ねた第一電極を形成する第一電極形成工程と、

前記第一電極上に、キャリア輸送層を形成するキャリア輸送層形成工程と、

前記キャリア輸送層上に、第二電極を形成する第二電極形成工程と、

を備えることを特徴とする。

【0010】

請求項5に記載の発明は、

前記基板上に、トランジスタのゲート電極を形成するゲート電極形成工程と、

前記ゲート電極を覆う前記第一絶縁膜の上面側に、前記トランジスタのソース電極及びドレイン電極を形成するソース、ドレイン電極形成工程と、

備えることを特徴とする。

【0011】

請求項6に記載の発明は、

前記ゲート電極形成工程は、前記基板上に、ゲート導電膜をパターニングして前記トランジスタのゲート電極とともに走査線の第一端子層を形成する工程を含み、

前記第一開口部形成工程は、前記第一端子層上が開口される開口部を前記第一絶縁膜に形成する工程を含み、

前記ソース、ドレイン電極形成工程は、ソース、ドレイン導電膜をパターニングして前記トランジスタのソース電極及びドレイン電極とともに前記第一端子層上に前記走査線の第二端子層を形成する工程を含み、

前記第一電極形成工程は、前記第二端子層上が開口される開口部を前記第二絶縁膜に形成する工程と、導電層をパターニングして前記第一電極とともに前記第二端子層上に前記走査線の第三端子層を形成する工程を含む、

ことを特徴とする。

【0012】

請求項7に記載の発明は、ELパネルであって、

光透過性を有する基板上に設けられた光透過性を有する第一電極と、

前記基板上に設けられたゲート導電膜をパターニングしてなるトランジスタのゲート電

10

20

30

40

50

極及びキャパシタの第一容量電極と、

前記第一容量電極上に設けられた絶縁膜と、

前記絶縁膜上であって前記第一容量電極と対向する位置に設けられ、前記絶縁膜の開口部を介して前記第一電極と接続された前記キャパシタの第二容量電極と、

前記第一電極上に設けられたキャリア輸送層と、

前記キャリア輸送層上に設けられた第二電極と、

を備えることを特徴とする。

【0013】

請求項8に記載の発明は、

前記ゲート導電膜をパターンニングしてなる走査線の第一端子層と、

ソース、ドレイン導電膜をパターンニングしてなる前記トランジスタのソース電極及びドレイン電極並びに前記第一端子層上の第二端子層と、

第二容量電極となる導電膜をパターンニングしてなる前記第二端子層上の第三端子層と、

を備えることを特徴とする。

【0014】

請求項9に記載の発明は、ELパネルであって、

光透過性を有する基板上に設けられた、光透過性を有するキャパシタの第一容量電極と

、前記第一容量電極上に設けられた、光透過性を有する絶縁膜と、

前記絶縁膜上であって前記第一容量電極と対向する位置に設けられた、光透過性を有し前記キャパシタの第二容量電極を兼ねる第一電極と、

前記第一電極上に設けられたキャリア輸送層と、

前記キャリア輸送層上に設けられた第二電極と、

を備えることを特徴とする。

【0015】

請求項10に記載の発明は、

ゲート導電膜をパターンニングしてなるトランジスタのゲート電極及び走査線の第一端子層と、

ソース、ドレイン導電膜をパターンニングしてなる前記トランジスタのソース電極及びドレイン電極並びに前記第一端子層上の第二端子層と、

第一電極となる導電膜をパターンニングしてなる前記第二端子層上の第三端子層と、

を備えることを特徴とする。

【発明の効果】

【0016】

本発明によれば、絶縁膜をパターンニングするなどして電極が露出する開口部を形成することに先立って、基板上には電極が形成されている。つまり、基板上に設けられた絶縁膜にエッチングなどの処理を施して所定の領域を露出させる開口部を形成する際に、基板上に設けられた電極が基板の保護膜となり、その基板の表面が浸食されることを防ぐので、基板表面の平滑性が損なわれることはない。

従って、キャリア輸送層の発光は、その光の輝度や色彩のばらつきが抑えられて基板を好適に透過して放出されることとなるので、画像のにじみやぼけなどが無い優れた発光特性や表示特性を有するELパネルを実現することができる。

【発明を実施するための最良の形態】

【0017】

以下に、本発明を実施するための好ましい形態について図面を用いて説明する。但し、以下に述べる実施形態には、本発明を実施するために技術的に好ましい種々の限定が付されているが、発明の範囲を以下の実施形態及び図示例に限定するものではない。

【0018】

(実施形態1)

図1は、ELパネル100における複数の画素Pの配置構成を示す平面図であり、図2

10

20

30

40

50

は、E L パネル 1 0 0 の概略構成を示す平面図である。

【 0 0 1 9 】

図 1、図 2 に示すように、E L パネル 1 0 0 には、R (赤) , G (緑) , B (青) をそれぞれ発光する複数の画素 P が所定のパターンでマトリクス状に配置されている。

この E L パネル 1 0 0 には、複数の走査線 2 が行方向に沿って互いに略平行となるよう配列され、複数の信号線 3 が平面視して走査線 2 と略直交し列方向に沿って互いに略平行となるよう配列されている。また、隣り合う走査線 2 の間において、電圧供給線 4 が走査線 2 に沿って設けられている。これら各走査線 2 と、隣接する二本の信号線 3 と、各電圧供給線 4 と、によって囲われる範囲が、画素 P に相当する。

また、E L パネル 1 0 0 には、走査線 2、信号線 3、電圧供給線 4 の上方を覆うように、格子状の隔壁であるバンク 1 3 が設けられている。このバンク 1 3 によって囲われてなる略長形状の複数の開口部 1 3 a が画素 P ごとに形成されており、この開口部 1 3 a 内に所定のキャリア輸送層 (後述する正孔注入層 8 b、発光層 8 c) が設けられて、画素 P の発光領域となる。キャリア輸送層とは、厚さ方向に電圧が印加されることによって正孔又は電子を輸送する層であり、発光層及び非発光層を含む。

なお、走査線 2 と一端部には、それぞれ端子パッド T (図 1 0 (b) 参照) が設けられている。複数の電圧供給線 4 はバンク 1 3 の外側において、1 本乃至複数本の共通配線によって互いに接続されて、共通配線は 1 つ乃至複数の端子パッド T と接続されている。

【 0 0 2 0 】

図 3 は、アクティブマトリクス駆動方式で動作する E L パネル 1 0 0 の 1 画素に相当する回路を示した回路図である。

【 0 0 2 1 】

図 3 に示すように、E L パネル 1 0 0 には、走査線 2 と、走査線 2 と交差する信号線 3 と、走査線 2 に沿う電圧供給線 4 とが設けられており、この E L パネル 1 0 0 の 1 画素 P につき、薄膜トランジスタであるスイッチトランジスタ 5 と、薄膜トランジスタである駆動トランジスタ 6 と、キャパシタ 7 と、E L 素子 8 とが設けられている。

【 0 0 2 2 】

各画素 P においては、スイッチトランジスタ 5 のゲートが走査線 2 に接続され、スイッチトランジスタ 5 のドレインとソースのうちの一方が信号線 3 に接続され、スイッチトランジスタ 5 のドレインとソースのうちの他方がキャパシタ 7 の一方の電極及び駆動トランジスタ 6 のゲートに接続されている。駆動トランジスタ 6 のソースとドレインのうちの一方が電圧供給線 4 に接続され、駆動トランジスタ 6 のソースとドレインのうちの他方がキャパシタ 7 の他方の電極及び E L 素子 8 のアノードに接続されている。なお、全ての画素 P の E L 素子 8 のカソードには一定電圧 V_{com} が印加されている (例えば、接地されている) 。

【 0 0 2 3 】

また、この E L パネル 1 0 0 の周囲において各走査線 2 が走査側ドライバに接続され、各電圧供給線 4 が一定電圧源又は適宜電圧信号を出力するドライバに接続され、信号線 3 がデータ側ドライバに接続され、これらドライバによって E L パネル 1 0 0 がアクティブマトリクス駆動方式で駆動される。電圧供給線 4 には、一定電圧源又はドライバによって所定の電力が供給される。

【 0 0 2 4 】

次に、E L パネル 1 0 0 と、その画素 P の回路構造について、図 4 ~ 図 6、図 1 8 を用いて説明する。ここで、図 4 は、E L パネル 1 0 0 の 1 画素 P に相当する平面図であり、図 5 は、図 4 の V - V 線に沿った面の矢視断面図、図 6 は、図 4 の VI - VI 線に沿った面の矢視断面図である。また、図 1 8 は、図 4 の XVIII - XVIII に沿った面の矢視断面図である。なお、図 4 においては、電極及び配線を主に示す。

【 0 0 2 5 】

図 4 に示すように、スイッチトランジスタ 5 及び駆動トランジスタ 6 は、信号線 3 に沿うように配列され、スイッチトランジスタ 5 の近傍にキャパシタ 7 が配置され、駆動トラン

10

20

30

40

50

ンジスタ 6 の近傍に E L 素子 8 が配置されている。また、走査線 2 と電圧供給線 4 の間に、スイッチトランジスタ 5、駆動トランジスタ 6、キャパシタ 7 及び E L 素子 8 が配置されている。

【0026】

図 4 ~ 図 6 に示すように、光透過性を有し絶縁性の基板 10 上にゲート絶縁膜 11 が成膜されており、そのゲート絶縁膜 11 の上に層間絶縁膜 12 が成膜されている。

信号線 3 はゲート絶縁膜 11 と基板 10 との間に形成され、走査線 2 及び電圧供給線 4 はゲート絶縁膜 11 と層間絶縁膜 12 との間に形成されている。また、ゲート絶縁膜 11 は、スイッチトランジスタ 5 及び駆動トランジスタ 6 の形成領域等に形成されている。

【0027】

駆動トランジスタ 6 及びスイッチトランジスタ 5 は、図 4 ~ 図 6 に示すように、逆スタガ構造の薄膜トランジスタである。

【0028】

駆動トランジスタ 6 は、ゲート電極 6 a、半導体膜 6 b、チャネル保護膜 6 d、不純物半導体膜 6 f、6 g、ドレイン電極 6 h、ソース電極 6 i 等を有するものである。

【0029】

ゲート電極 6 a は、基板 10 とゲート絶縁膜 11 の間に形成されている。このゲート電極 6 a は、例えば、Mo 膜、Cr 膜、Al 膜、Cr / Al 積層膜、AlTi 合金膜又は AlNdTi 合金膜、MoNb 合金膜からなる。また、ゲート電極 6 a の上に絶縁性のゲート絶縁膜 11 が成膜されており、そのゲート絶縁膜 11 によってゲート電極 6 a が被覆されている。

ゲート絶縁膜 11 は、例えば、シリコン窒化物又はシリコン酸化物からなる。このゲート絶縁膜 11 上であってゲート電極 6 a に対応する位置にチャネルが形成される真性の半導体膜 6 b が形成されており、半導体膜 6 b がゲート絶縁膜 11 を挟んでゲート電極 6 a と相対している。

半導体膜 6 b は、例えば、アモルファスシリコン又は多結晶シリコンからなる。また、半導体膜 6 b の中央部上には、絶縁性のチャネル保護膜 6 d が形成されている。このチャネル保護膜 6 d は、例えば、シリコン窒化物又はシリコン酸化物からなる。

また、半導体膜 6 b の一端部の上には、不純物半導体膜 6 f が一部チャネル保護膜 6 d に重なるようにして形成されており、半導体膜 6 b の他端部の上には、不純物半導体膜 6 g が一部チャネル保護膜 6 d に重なるようにして形成されている。そして、不純物半導体膜 6 f、6 g は半導体膜 6 b の両端側に互いに離間して形成されている。なお、不純物半導体膜 6 f、6 g は、駆動トランジスタ 6 が n 型トランジスタであれば n 型半導体であり、駆動トランジスタ 6 が p 型トランジスタであれば p 型半導体となる。

不純物半導体膜 6 f の上には、ドレイン電極 6 h が形成されている。不純物半導体膜 6 g の上には、ソース電極 6 i が形成されている。ドレイン電極 6 h、ソース電極 6 i は、例えば、Mo 膜、Cr 膜、Al 膜、Cr / Al 積層膜、AlTi 合金膜又は AlNdTi 合金膜、MoNb 合金膜からなる。

チャネル保護膜 6 d、ドレイン電極 6 h 及びソース電極 6 i の上には、絶縁性の層間絶縁膜 12 が成膜され、チャネル保護膜 6 d、ドレイン電極 6 h 及びソース電極 6 i が層間絶縁膜 12 によって被覆されている。

【0030】

駆動トランジスタ 6 と同様にスイッチトランジスタ 5 は、図 18 に示すように、ゲート電極 5 a、半導体膜 5 b、チャネル保護膜 5 d、不純物半導体膜 5 f、5 g、ドレイン電極 5 h、ソース電極 5 i 等を有するものである。

【0031】

キャパシタ 7 は、図 4、図 6 に示すように、基板 10 とゲート絶縁膜 11 との間に第一容量電極 7 a が形成され、層間絶縁膜 12 の上に第二容量電極 7 b が形成されており、その第一容量電極 7 a と第二容量電極 7 b が、ゲート絶縁膜 11 と層間絶縁膜 12 とを挟んで相対している。

10

20

30

40

50

なお、キャパシタ 7 の第一容量電極 7 a は、基板 10 に一面に成膜された導電膜をフォトリソグラフィ法及びエッチング法等によって形状加工することで、信号線 3、スイッチトランジスタ 5 のゲート電極 5 a 及び駆動トランジスタ 6 のゲート電極 6 a とともに形成されたものである。

また、キャパシタ 7 の第二容量電極 7 b は、層間絶縁膜 12 上に電極面部が形成され、層間絶縁膜 12 とゲート絶縁膜 11 を厚さ方向に貫通したコンタクトホール 7 b を介して E L 素子 8 の画素電極 8 a に接続されている。

【0032】

また、ゲート絶縁膜 11 には、ゲート電極 5 a と走査線 2 とが重なる領域にコンタクトホール 11 a が形成され、ドレイン電極 5 h と信号線 3 とが重なる領域にコンタクトホール 11 b が形成され、ゲート電極 6 a とソース電極 5 i とが重なる領域にコンタクトホール 11 c が形成されており、コンタクトホール 11 a ~ 11 c 内にコンタクトプラグ 20 a ~ 20 c がそれぞれ埋め込まれている。このためコンタクトプラグ 20 a によってスイッチトランジスタ 5 のゲート電極 5 a と走査線 2 が電氣的に導通し、コンタクトプラグ 20 b によってスイッチトランジスタ 5 のドレイン電極 5 h と信号線 3 が電氣的に導通し、コンタクトプラグ 20 c によってスイッチトランジスタ 5 のソース電極 5 i とキャパシタ 7 の電極 7 a が電氣的に導通するとともにスイッチトランジスタ 5 のソース電極 5 i と駆動トランジスタ 6 のゲート電極 6 a が電氣的に導通する。なお、コンタクトプラグ 20 a ~ 20 c を設けることなく、走査線 2 が直接ゲート電極 5 a と接触し、ドレイン電極 5 h が信号線 3 と接触し、ソース電極 5 i がゲート電極 6 a と接触してもよい。

また、層間絶縁膜 12 にはソース電極 6 i と第二容量電極 7 b と重なる部分において、コンタクトホール 12 h が形成されており、そのコンタクトホール 12 h 内にコンタクトプラグ 20 d が埋め込まれている。コンタクトプラグ 20 d によって駆動トランジスタ 6 のソース電極 6 i と第二容量電極 7 b が電氣的に導通する。ここで、コンタクトプラグ 20 d を設けることなく、ソース電極 6 i が直接第二容量電極 7 b に接触してもよい。

なお、駆動トランジスタ 6 のゲート電極 6 a がキャパシタ 7 の第一容量電極 7 a に一体に連なっており、駆動トランジスタ 6 のドレイン電極 6 h が電圧供給線 4 に一体に連なっている。

【0033】

E L 素子 8 は、図 4 ~ 図 6 に示すように、アノードとなる第一電極としての画素電極 8 a と、画素電極 8 a の上に形成された化合物膜である正孔注入層 8 b と、正孔注入層 8 b の上に形成された化合物膜である発光層 8 c と、発光層 8 c の上に形成された第二電極としての対向電極 8 d とを備えている。

【0034】

画素電極 8 a は、透明基板等である光透過性を有する基板 10 上に設けられており、画素 P ごとに独立して形成されている。この画素電極 8 a は透明電極であって、例えば、錫ドーパ酸化インジウム (ITO)、亜鉛ドーパ酸化インジウム、酸化インジウム (In_2O_3)、酸化スズ (SnO_2)、酸化亜鉛 (ZnO) 又はカドミウム - 錫酸化物 (CTO) からなる。なお、画素電極 8 a は、第二容量電極 7 b を介し駆動トランジスタ 6 のソース電極 6 i と接続している。

【0035】

正孔注入層 8 b は、例えば、導電性高分子である PEDOT (poly(ethylenedioxy)thiophene; ポリエチレンジオキシチオフエン) 及びドーパントである PSS (polystyrene sulfonate; ポリスチレンスルホン酸) からなる機能層であって、画素電極 8 a と対向電極 8 d との間に印加された電圧に応じて画素電極 8 a から発光層 8 c に向けて一方のキャリアである正孔を注入する。

発光層 8 c は、画素 P 毎に R (赤), G (緑), B (青) のいずれかを発光する材料を含み、例えば、ポリフルオレン系発光材料やポリフェニレンビニレン系の有機発光材料からなり、画素電極 8 a と対向電極 8 d との間に印加された電圧に応じて対向電極 8 d から供給される他方のキャリアである電子を厚さ方向に輸送するとともにこの電子と、正孔注

10

20

30

40

50

入層 8 b から注入される正孔との再結合に伴い発光する層である。このため、R (赤) を発光する画素 P、G (緑) を発光する画素 P、B (青) を発光する画素 P は互いに発光層 8 c の発光材料が異なる。画素 P の R (赤)、G (緑)、B (青) のパターンは、デルタ配列であってもよく、また縦方向に同色画素が配列されるストライプパターンであってもよい。

この正孔注入層 8 b と発光層 8 c とがキャリア輸送層となる。

【0036】

対向電極 8 d は、画素電極 8 a よりも仕事関数の低い材料で形成されており、例えば、インジウム、マグネシウム、カルシウム、リチウム、バリウム、希土類金属の少なくとも一種を含む単体又は合金で形成されている。

この対向電極 8 d は全ての画素 P に共通した電極であり、発光層 8 c などの化合物膜とともに後述するバンク 1 3 を被覆している。

【0037】

そして、図 4 ~ 図 6 に示すように、スイッチトランジスタ 5 や駆動トランジスタ 6 などを覆うゲート絶縁膜 1 1 と層間絶縁膜 1 2 には、各画素電極 8 a に対応する位置においてそれぞれ開口部 1 1 d、開口部 1 2 a が形成されており、その開口部である開口部 1 1 d や開口部 1 2 a において画素電極 8 a が露出している。そのため、ゲート絶縁膜 1 1 や層間絶縁膜 1 2 は平面視して格子状に形成されている。更に、層間絶縁膜 1 2 の上にバンク 1 3 が形成されており、バンク 1 3 も層間絶縁膜 1 2 と同様に平面視して格子状に形成され、各画素電極 8 a に対応する位置において開口部 1 3 a が形成されている。

このように、ゲート絶縁膜 1 1、層間絶縁膜 1 2 及びバンク 1 3 によって画素電極 8 a の上の所定領域が画素 P ごとに仕切られている。

そして、開口部 1 3 a 内において、キャリア輸送層としての正孔注入層 8 b 及び発光層 8 c が、画素電極 8 a 上に積層されている。

【0038】

具体的には、バンク 1 3 は、正孔注入層 8 b や発光層 8 c を湿式法により形成するに際して、正孔注入層 8 b や発光層 8 c を含む有機材料が溶媒に溶解または分散された液状体が隣接する画素 P にしみ出ないようにする隔壁として機能する。

例えば、図 5、図 6 に示すように、層間絶縁膜 1 2 の上に設けられたバンク 1 3 には、バンク 1 3 における画素電極 8 a に対応する位置に開口部 1 3 a が形成されている。

そして、開口部 1 3 a 内に、正孔注入層 8 b となる有機材料が含有される液状体を塗布し、その液状体を乾燥させ成膜させた化合物膜が、キャリア輸送層における正孔注入層 8 b となる。さらに、開口部 1 3 a 内の正孔注入層 8 b 上に、発光層 8 c となる有機材料が含有される液状体を塗布し、その液状体を乾燥させ成膜させた化合物膜が、キャリア輸送層における発光層 8 c となる。

なお、この発光層 8 c とバンク 1 3 を被覆するように対向電極 8 d が設けられている。

【0039】

そして、この EL パネル 1 0 0 においては、画素電極 8 a と基板 1 0 が透明であり、発光層 8 c から発した光が画素電極 8 a 及び基板 1 0 を透過して出射する。そのため、基板 1 0 の裏面 (下面) が表示面となる。

【0040】

この EL パネル 1 0 0 は、次のように駆動されて発光する。

全ての電圧供給線 4 に所定レベルの電圧が印加された状態で、走査ドライバによって走査線 2 に順次オンレベルの電圧が印加されることで、これら走査線 2 に接続された各スイッチトランジスタ 5 が順次選択される。

各走査線 2 が選択されている時に、データドライバによって階調に応じたレベルの電圧が全ての信号線 3 に印加されると、その選択されている走査線 2 に対応するスイッチトランジスタ 5 がオンになっていることから、その階調に応じたレベルの電圧がスイッチトランジスタ 5 を介して駆動トランジスタ 6 のゲート電極 6 a に印加される。

この駆動トランジスタ 6 のゲート電極 6 a に印加された電圧レベルに応じて、駆動トラ

10

20

30

40

50

ンジスタ 6 におけるソース・ドレイン電流のレベルが定まり、その電圧レベルに応じたレベルのソース・ドレイン電流が電圧供給線 4 から駆動トランジスタ 6 に流れ、E L 素子 8 がその電流レベルに応じた明るさで発光する。

その後、その走査線 2 の選択が解除されると、スイッチトランジスタ 5 がオフとなるので、駆動トランジスタ 6 のゲート電極 6 a の電荷が閉じ込められる。なお、その閉じ込められた電荷はキャパシタ 7 に蓄えられることとなり、この間、駆動トランジスタ 6 のゲート電極 6 a 及びソース電極 6 i 間の電圧を保持する。

そして、E L 素子 8 がゲート電極 6 a 及びソース電極 6 i 間の電圧にしたがって発光を継続するようになっている。

【 0 0 4 1 】

次に、E L パネル 1 0 0 の製造方法について、図 5、図 6、図 7 ~ 図 1 0 に示す断面図を用いて説明する。

なお、図 7 から図 1 0 は、本実施形態に係る E L パネル 1 0 0 の製造過程の一例を示す工程断面図である。この工程断面図は、図 4 に示した V - V 線に沿った断面部分と、走査線 2 と電圧供給線 4 の端子パッド T の断面部分を示す説明図であり、これらの図を参照して製造方法の概略を説明する。

また、ここでは、図 4 の V - V 線に沿った断面部分によって駆動トランジスタ 6 の製造過程を例示し、同様の製造過程を経るスイッチトランジスタ 5 に関する図示は省略する。

【 0 0 4 2 】

まず、透明のガラス板である基板 1 0 上に、スパッタリング法、蒸着法等によって、例えば、I T O などの透明電極材料からなる透明導電膜を成膜し、フォトリソグラフィ法・エッチング法等によってその透明導電膜をパターニングする。これにより図 7 (a) などに示すように、基板 1 0 上に E L 素子 8 の画素電極 8 a を形成する。このとき、画素電極 8 a の下方の基板 1 0 の表面は、画素電極 8 a のために透明導電膜のエッチャントに接触しないので浸食されず平滑である。

【 0 0 4 3 】

次いで、気相成長法（スパッタリング法、蒸着法等）によって基板 1 0 の表面及び画素電極 8 a の表面に、例えば、M o N b などのゲート導電膜を成膜し、フォトリソグラフィ法・エッチング法等によってそのゲート導電膜をパターニングする。これにより図 7 (b) などに示すように、基板 1 0 上にスイッチトランジスタ 5 のゲート電極 5 a、駆動トランジスタ 6 のゲート電極 6 a、キャパシタ 7 の第一容量電極 7 a（図 6 参照）、信号線 3、端子パッド T の下層電極 T 1（第一端子層）を形成する。このとき、画素電極 8 a 形成領域の下面の基板 1 0 は、画素電極 8 a がマスクとなっているのでゲート導電膜のエッチャントに接触されず、浸食されることはない。

【 0 0 4 4 】

次いで、ゲート電極 5 a、6 a、第一容量電極 7 a、信号線 3、画素電極 8 a 等を含む基板 1 0 の全域を被覆するように C V D 法等によって、例えば、図 7 (c) などに示すように、シリコン窒化物などからなりゲート絶縁膜 1 1 となる絶縁体層、アモルファスシリコン等からなり半導体膜 6 b、5 b となる半導体層、シリコン窒化物などからなりチャネル保護膜 6 d、5 d となる絶縁体層を順次積層する。

【 0 0 4 5 】

次いで、最上層の絶縁体層をフォトリソグラフィ法・エッチング法等によってパターニングし、図 8 (a) などに示すように、チャネル保護膜 6 d、5 d を形成する。

【 0 0 4 6 】

次いで、チャネル保護膜 6 d、5 d を含む半導体層上である基板 1 0 の全域を被覆するように C V D 法等によって、n 型不純物を含むシリコン層を形成した後、例えば、その不純物シリコン層と半導体層と絶縁体層を連続的にドライエッチングすることで、図 8 (b) などに示すように、画素電極 8 a が露出する開口部 1 1 d や、下層電極 T 1 が露出するコンタクトホール等を有するゲート絶縁膜 1 1 を形成する。

なお、画素電極 8 a の下面に位置する基板 1 0 の領域は、その画素電極 8 a に覆われて

10

20

30

40

50

いるので、ドライエッチングのエッチングガスまたはプラズマ中のイオン種やラジカルに曝されることなく、平滑な状態が維持されるようになっている。

【0047】

次いで、不純物シリコン層を含む基板10の全域を被覆するように、気相成長法等によって、例えば、MoNbなどのソース、ドレイン導電膜を成膜し、そのソース、ドレイン導電膜上にパターニングされたフォトレジストマスクを用いてエッチングして、図8(c)などに示すように、駆動トランジスタ6のドレイン電極6h、ソース電極6i、スイッチトランジスタ5のドレイン電極5h、ソース電極5i、端子パッドTの上層電極T2(第二端子層)を形成する。

更に、駆動トランジスタ6のドレイン電極6h、ソース電極6i、スイッチトランジスタ5のドレイン電極5h、ソース電極5i、端子パッドTの上層電極T2をマスクとして用い、不純物シリコン層と半導体層をエッチングすることで、それぞれ駆動トランジスタ6の不純物半導体膜6f、6g、スイッチトランジスタ5の不純物半導体膜5f、5gと、駆動トランジスタ6の半導体膜6b、スイッチトランジスタ5の半導体膜5bを形成する(図8(c)等参照)。

なお、ソース、ドレイン導電膜をフォトレジストマスクを用いてパターニングすることによって駆動トランジスタ6のドレイン電極6h、ソース電極6iなどとともに、走査線2や電圧供給線4が形成される(図6参照)。

【0048】

次いで、駆動トランジスタ6やスイッチトランジスタ5などを含む基板10の全域を被覆するようにCVD法等によって、シリコン窒化物などからなる絶縁体層を形成し、その絶縁体層をフォトリソグラフィ法・エッチング法等によってパターニングして、図9(a)などに示すように、画素電極8aが露出する開口部12aや、上層電極T2が露出する開口部12bを有する層間絶縁膜12を形成する。

なお、フォトレジストマスクを用いてパターニングすることによって開口部12a及び開口部12bとともにキャパシタ7の第二容量電極7bを画素電極8aに接続するためのコンタクトホール7hが層間絶縁膜12とゲート絶縁膜11に形成される(図4、図6参照)。

【0049】

次いで、層間絶縁膜12上にMoNbなどの導電膜を成膜し、フォトリソグラフィ法・エッチング法等によってその導電膜をパターニングする。これにより図9(b)などに示すように、キャパシタ7の第二容量電極7b(図6参照)と、端子パッドTの端子部T3(第三端子層)を形成する。

【0050】

次いで、層間絶縁膜12を含む基板10の全域を被覆するように、例えば、ポリイミド系やアクリル系の感光性樹脂材料層を成膜し、露光、現像して樹脂材料層をパターニングする。これにより図9(c)などに示すように、画素電極8aが露出する開口部13aを有するバンク13を形成する。バンク13は、端子パッドT形成領域には残らないようにする。

そして、このバンク13が形成された基板10を純水で洗浄した後、O₂プラズマ処理またはUVオゾン処理を施すことで、画素電極8aの表面を親水化し、後述するノズルプリント方式により塗布する液状体が画素電極8aに馴染みやすくする。なお、バンク13の表面はフルオロカーボンガスを用いたプラズマ処理等によって撥水化処理を施すことが好ましい。

【0051】

次いで、バンク13の開口部13a内に、正孔注入層8bとなる有機材料(例えば、PEDOT/PSS)が含有される液状体をノズルプリント方式で塗布し、その液状体を乾燥させ成膜させることで、図10(a)などに示すように、キャリア輸送層における正孔注入層8bを形成する。

更に、開口部13a内の正孔注入層8b上に、発光層8cとなる有機材料(例えば、ポ

10

20

30

40

50

リフルオレン系発光材料)が含有される液状体をノズルプリント方式で塗布し、その液状体を乾燥させ成膜させることで、図10(b)などに示すように、キャリア輸送層における発光層8cを形成する。画素PのR(赤)、G(緑)、B(青)のパターンは、デルタ配列であってもよく、また縦方向に同色画素が配列されるストライプパターンであってもよい。ストライプパターンの場合、バンク13の開口部13aは各画素Pごとに形成されずに、縦方向に配列された同色画素を1つにまとめて開口する開口部としてもよい。

【0052】

そして、キャリア輸送層である発光層8c上を覆い、基板10の全域を被覆するように真空蒸着法等によって、例えば、アルミニウムなどの導電膜を形成することで、図5、図6に示すように、光反射性を有する対向電極8dを形成する。

10

こうしてELパネル100が製造される。

【0053】

このように、ELパネル100の製造方法において、駆動トランジスタ6やスイッチトランジスタ5のゲート絶縁膜11をパターンニングして形成する工程であり、画素電極8aが露出する開口部11dを形成する工程に先立って、基板10上には画素電極8aが形成されている。

つまり、ゲート絶縁膜11となる絶縁体層をエッチングし、画素電極8aの所定領域を露出させる開口部11dを形成する際に、その画素電極8aが基板10に対するエッチング保護膜となり、基板10の表面がエッチングガスまたはプラズマ中のイオン種やラジカルに曝されるなどエッチングの作用を受けることがないので、基板10表面が侵食されるなどダメージを受けて、基板10の厚さが不均一になってしまうなど平滑性が損なわれることがない。

20

【0054】

従って、EL素子8(発光層8c)が発光した光が基板10を介して放出される際に、その基板10の不均一な厚さに起因する光の散乱や干渉などを低減することができ、光の輝度や色彩のばらつきを抑えることが可能になるので、画像のにじみやぼけなどが無い優れた表示特性を有するELパネル100を実現することができる。

【0055】

更に、光透過性を有する基板10と、透明電極である画素電極8aとの間には、ゲート絶縁膜11が介在しないので、例えば、基板10と画素電極8aとの間に光透過性を有するゲート絶縁膜が配されている場合と比較して、EL素子8(発光層8c)が発光した光が、ゲート絶縁膜の膜厚に起因する光の散乱や干渉を起こさないのであり、加えて、EL素子8(発光層8c)が発光した光が、画素電極8aからゲート絶縁膜へ、ゲート絶縁膜から基板10へと透過することがないので、画素電極8aとゲート絶縁膜の屈折率が互いに異なることに起因する光の散乱や干渉の原因となる画素電極8aとゲート絶縁膜との界面が存在せず、並びにゲート絶縁膜と基板10の屈折率が互いに異なることに起因する光の散乱や干渉の原因となるゲート絶縁膜と基板10との界面が存在しないので、より優れた発光特性を有するELパネル100とすることができる。

30

【0056】

(実施形態2)

40

次に、本発明に係るELパネルの実施形態2について説明する。なお、実施形態1と同一部分には同一符号を付し、異なる部分を中心に説明する。

ここで、図11は、ELパネル200の1画素に相当する平面図であり、図12は、図11のXII-XII線に沿った面の矢視断面図、図13は、図11のXIII-XIII線に沿った面の矢視断面図である。なお、図11においては、電極及び配線を主に示す。

【0057】

図11に示すように、ELパネル200におけるスイッチトランジスタ5及び駆動トランジスタ6は、信号線3に沿うように配列されている。また、走査線2と電圧供給線4の間に、キャパシタ70とEL素子80が重なるように配置されている。

【0058】

50

図 1 1 ~ 図 1 3 に示すように、光透過性を有し絶縁性の基板 1 0 上にゲート絶縁膜 1 1 が成膜されており、そのゲート絶縁膜 1 1 の上に層間絶縁膜 1 2 が成膜されている。信号線 3 はゲート絶縁膜 1 1 と基板 1 0 との間に形成され、走査線 2 及び電圧供給線 4 はゲート絶縁膜 1 1 と層間絶縁膜 1 2 との間に形成されている。なお、スイッチトランジスタ 5 及び駆動トランジスタ 6 は、ゲート絶縁膜 1 1 に対して形成されている。

また、基板 1 0 上における画素電極が形成されるゲート絶縁膜 1 1 のない領域にキャパシタ 7 0 が設けられており、そのキャパシタ 7 0 上に E L 素子 8 0 が設けられている。

【 0 0 5 9 】

キャパシタ 7 0 は、図 1 1 ~ 図 1 3 に示すように、基板 1 0 と層間絶縁膜 1 2 との間に第一容量電極 7 1 が形成され、層間絶縁膜 1 2 の上に第二容量電極として機能する第一電極である画素電極 8 7 が形成されており、その第一容量電極 7 1 と、第二容量電極としての画素電極 8 7 が窒化シリコン等の透明な層間絶縁膜 1 2 を挟んで相対している。

10

【 0 0 6 0 】

第一容量電極 7 1 は、ガラス基板等である光透過性を有する基板 1 0 上に設けられており、画素 P ごとに独立して形成されている。この第一容量電極 7 1 は透明電極であって、例えば、錫ドーブ酸化インジウム (I T O)、亜鉛ドーブ酸化インジウム、酸化インジウム ($I n_2 O_3$)、酸化スズ ($S n O_2$)、酸化亜鉛 ($Z n O$) 又はカドミウム - 錫酸化物 (C T O) からなる。

なお、第一容量電極 7 1 と同様に、第二容量電極 (画素電極 8 7) も透明電極であり、さらに層間絶縁膜 1 2 は光透過性を有する絶縁膜であるので、このキャパシタ 7 0 自体が光透過性を有するようになっている。

20

【 0 0 6 1 】

E L 素子 8 0 は、図 1 1 ~ 図 1 3 に示すように、アノードとなる第一電極としての画素電極 8 7 と、画素電極 8 7 の上に形成された化合物膜である正孔注入層 8 b と、正孔注入層 8 b の上に形成された化合物膜である発光層 8 c と、発光層 8 c の上に形成されたカソードとなる第二電極としての対向電極 8 d とを備えている。

【 0 0 6 2 】

画素電極 8 7 は、光透過性を有する層間絶縁膜 1 2 上に設けられており、画素 P ごとに独立して形成されている。この画素電極 8 7 は透明電極であって、例えば、錫ドーブ酸化インジウム (I T O)、亜鉛ドーブ酸化インジウム、酸化インジウム ($I n_2 O_3$)、酸化スズ ($S n O_2$)、酸化亜鉛 ($Z n O$) 又はカドミウム - 錫酸化物 (C T O) からなる。

30

なお、画素電極 8 7 は、層間絶縁膜 1 2 を通じたコンタクトプラグ 2 0 d によって駆動トランジスタ 6 のソース電極 6 i と接続している。

【 0 0 6 3 】

ここで、E L 素子 8 0 の第一電極である画素電極 8 7 と、キャパシタ 7 0 の第二容量電極としての第一電極 8 7 とは、同一の電極である。つまり、この画素電極 8 7 は、キャパシタ 7 0 の第二容量電極と、E L 素子 8 0 の第一電極としての機能を兼ね備えている。

【 0 0 6 4 】

そして、図 1 1 ~ 図 1 3 に示すように、ゲート絶縁膜 1 1 には、各第一容量電極 7 1 に対応する位置において開口部である開口部 1 1 d が形成されており、その開口部 1 1 d において第一容量電極 7 1 が露出している。そのため、ゲート絶縁膜 1 1 は平面視して格子状に形成されている。

40

また、ゲート絶縁膜 1 1 や第一容量電極 7 1 を覆う層間絶縁膜 1 2 の上面における第一容量電極 7 1 に対応する領域には、画素電極 8 7 が設けられている。そして、その層間絶縁膜 1 2 の上には、各第一容量電極 7 1 に対応する位置に開口部である開口部 1 3 a を有するバンク 1 3 が形成されている。つまり、このバンク 1 3 はゲート絶縁膜 1 1 と同様に平面視して格子状に形成され、各第一容量電極 7 1 に対応する位置にそれぞれ開口部 1 3 a が形成されている。

このように、ゲート絶縁膜 1 1 やバンク 1 3 によって第一容量電極 7 1 の上の所定領域が画素 P ごとに仕切られている。つまり、複数の各第一容量電極 7 1 がゲート絶縁膜 1 1

50

やバンク 13 により画素 P ごとに隔離されている。EL パネル 200 が R (赤), G (緑), B (青) をそれぞれ発光する複数の画素 P を有していれば、画素 P の R (赤), G (緑), B (青) のパターンは、デルタ配列であってもよく、また縦方向に同色画素が配列されるストライプパターンであってもよい。ストライプパターンの場合、バンク 13 の開口部 13a は各画素 P ごとに形成されずに、縦方向に配列された同色画素を 1 つにまとめて開口する開口部としてもよい。

そして、開口部 13a 内において、キャリア輸送層としての正孔注入層 8b 及び発光層 8c が、画素電極 87 上に積層されている。

なお、この発光層 8c とバンク 13 を被覆するように対向電極 8d が設けられている。

【0065】

10

そして、この EL パネル 200 においては、画素電極 87 とキャパシタ 70 と基板 10 が透明であり、発光層 8c から発した光が画素電極 87 とキャパシタ 70 と基板 10 とを透過して出射する。そのため、基板 10 の裏面 (下面) が表示面となる。

【0066】

次に、EL パネル 200 の製造方法について、図 12、図 13、図 14 ~ 図 17 に示す断面図を用いて説明する。

なお、図 14 から図 17 は、本実施形態に係る EL パネル 200 の製造過程の一例を示す工程断面図である。この工程断面図は、図 11 に示した XII - XII 線に沿った断面部分と、走査線 2 と電圧供給線 4 の端子パッド T の断面部分を示す説明図であり、これらの図を参照して製造方法の概略を説明する。

20

また、ここでは、図 11 の XII - XII 線に沿った断面部分によって駆動トランジスタ 6 の製造過程を例示し、同様の製造過程を経るスイッチトランジスタ 5 に関する図示は省略する。

【0067】

まず、透明のガラス板である基板 10 上に、スパッタリング法、蒸着法等によって、例えば、ITO などの透明電極材料からなる透明導電膜を成膜し、フォトリソグラフィ法・エッチング法等によってその透明導電膜をパターンニングする。これにより図 14 (a) などに示すように、基板 10 上にキャパシタ 70 の第一容量電極 71 を形成する。このとき、第一容量電極 71 の下方の基板 10 の表面は、第一容量電極 71 のために透明導電膜のエッチャントに接触しないので浸食されず平滑である。

30

次いで、気相成長法 (スパッタリング法、蒸着法等) によって基板 10 の表面及び第一容量電極 71 の表面に、例えば、MoNb などのゲート導電膜を成膜し、フォトリソグラフィ法・エッチング法等によってそのゲート導電膜をパターンニングする。これにより図 14 (a) などに示すように、基板 10 上にスイッチトランジスタ 5 のゲート電極 5a、駆動トランジスタ 6 のゲート電極 6a、信号線 3、端子パッド T の下層電極 T1 (第一端子層) を形成する。

なお、駆動トランジスタ 6 のゲート電極 6a の一部は、図 11、図 13 に示すように、第一容量電極 71 の一部と重なり、第一容量電極 71 とゲート電極 6a が接続している。

【0068】

次いで、ゲート電極 5a、6a、第一容量電極 71、信号線 3 等を含む基板 10 の全域を被覆するように CVD 法等によって、例えば、図 14 (b) などに示すように、シリコン窒化物などからなりゲート絶縁膜 11 となる絶縁体層、アモルファスシリコン等からなり半導体膜 6b、5b となる半導体層、シリコン窒化物などからなりチャネル保護膜 6d、5d となる絶縁体層を順次積層する。

40

【0069】

次いで、最上層の絶縁体層をフォトリソグラフィ法・エッチング法等によってパターンニングし、図 14 (c) などに示すように、チャネル保護膜 6d、5d を形成する。

【0070】

次いで、チャネル保護膜 6d、5d を含む半導体層上である基板 10 の全域を被覆するように CVD 法等によって、不純物をドーブしたシリコン層を形成した後、例えば、その

50

不純物シリコン層と半導体層と絶縁体層を連続的にドライエッチングすることで、図15(a)などに示すように、第一容量電極71が露出する開口部11dや、下層電極T1が露出するコンタクトホール等を有するゲート絶縁膜11を形成する。

なお、第一容量電極71の下面に位置する基板10の領域は、その第一容量電極71に覆われているので、ドライエッチングのエッチングガスまたはプラズマ中のイオン種やラジカルに曝されることなく、平滑な状態が維持されるようになっている。

【0071】

次いで、不純物シリコン層を含む基板10の全域を被覆するように、気相成長法等によって、例えば、MoNbなどのソース、ドレイン導電膜を成膜し、そのソース、ドレイン導電膜上にパターニングされたマスクを用いてエッチングして、図15(b)などに示すように、駆動トランジスタ6のドレイン電極6h、ソース電極6i、スイッチトランジスタ5のドレイン電極5h、ソース電極5i、端子パッドTの上層電極T2(第二端子層)を形成する。

10

更に、駆動トランジスタ6のドレイン電極6h、ソース電極6i、スイッチトランジスタ5のドレイン電極5h、ソース電極5i、端子パッドTの上層電極T2をマスクとして用い、不純物シリコン層と半導体層をエッチングすることで、それぞれ駆動トランジスタ6の不純物半導体膜6f、6g、スイッチトランジスタ5の不純物半導体膜5f、5gと、駆動トランジスタ6の半導体膜6b、スイッチトランジスタ5の半導体膜5bを形成する(図15(b)等参照)。

なお、ソース、ドレイン導電膜をフォトリソグロマスクを用いてパターニングすることによって駆動トランジスタ6のドレイン電極6h、ソース電極6iなどとともに、走査線2や電圧供給線4が形成される(図11参照)。

20

【0072】

次いで、駆動トランジスタ6やスイッチトランジスタ5などを含む基板10の全域を被覆するようにCVD法等によって、シリコン窒化物などからなる絶縁体層を形成し、その絶縁体層をフォトリソグラフィ法・エッチング法等によってパターニングして、図15(c)などに示すように、上層電極T2が露出する開口部12bを有する層間絶縁膜12を形成する。

また、この層間絶縁膜12には、フォトリソグロマスクを用いてパターニングすることによって開口部12bとともに画素電極87を駆動トランジスタ6のソース電極6iに接続するためのコンタクトホール12hが形成される。なお、第一容量電極71の上方における層間絶縁膜12には、ゲート絶縁膜11を含むスイッチトランジスタ5及び駆動トランジスタ6の膜厚による段差部12cが形成されている。

30

【0073】

次いで、層間絶縁膜12上にITOなどの透明導電膜を成膜し、フォトリソグラフィ法・エッチング法等によってその透明導電膜をパターニングする。これにより図16(a)などに示すように、キャパシタ70の第二容量電極を兼ねる画素電極87と、端子パッドTの端子部T3(第三端子層)を形成する。

なお、画素電極87は、コンタクトプラグ20dを介してソース電極6iと導通するようになっている。

40

【0074】

次いで、画素電極87や層間絶縁膜12を含む基板10の全域を被覆するように、例えば、ポリイミド系やアクリル系の感光性樹脂材料層を成膜し、露光、現像して樹脂材料層をパターニングする。これにより図16(b)などに示すように、画素電極87が露出する開口部13aを有するバンク13を形成する。バンク13は、端子パッドT形成領域には残らないようにする。

そして、このバンク13が形成された基板10を純水で洗浄した後、O₂プラズマ処理またはUVオゾン処理を施すことで、画素電極87の表面を親水化し、ノズルプリント方式により塗布する液状体が画素電極87に馴染みやすくする。なお、バンク13の表面はフルオロカーボンガスを用いたプラズマ処理等によって撥水化処理を施すことが好ましい

50

。

【0075】

次いで、バンク13の開口部13a内に、正孔注入層8bとなる有機材料（例えば、PEDOT/ PSS）が含有される液状体をノズルプリント方式で塗布し、その液状体を乾燥させ成膜させることで、図17（a）などに示すように、キャリア輸送層における正孔注入層8bを形成する。

更に、開口部13a内の正孔注入層8b上に、発光層8cとなる有機材料（例えば、ポリフルオレン系発光材料）が含有される液状体をノズルプリント方式で塗布し、その液状体を乾燥させ成膜させることで、図17（b）などに示すように、キャリア輸送層における発光層8cを形成する。画素PのR（赤）、G（緑）、B（青）のパターンは、デルタ配列であってもよく、また縦方向に同色画素が配列されるストライプパターンであってもよい。ストライプパターンの場合、バンク13の開口部13aは各画素Pごとに形成されずに、縦方向に配列された同色画素を1つにまとめて開口する開口部としてもよい。

【0076】

そして、キャリア輸送層である発光層8c上を覆い、基板10の全域を被覆するように真空蒸着法等によって、例えば、アルミニウムなどの導電膜を形成することで、図12、図13に示すように、光反射性を有する対向電極8dを形成する。

こうしてELパネル200が製造される。

【0077】

このように、ELパネル200の製造方法において、駆動トランジスタ6やスイッチトランジスタ5のゲート絶縁膜11をパターンニングして形成する工程であり、第一容量電極71が露出する開口部11dを形成する工程に先立って、基板10上には第一容量電極71が形成されている。

つまり、ゲート絶縁膜11となる絶縁体層をエッチングし、第一容量電極71の所定領域を露出させる開口部11dを形成する際に、その第一容量電極71が基板10に対するエッチング保護膜となり、基板10の表面がエッチングガスまたはプラズマ中のイオン種やラジカルに曝されるなどエッチングの作用を受けることがないので、基板10表面が侵食されるなどダメージを受けて、基板10の厚さが不均一になってしまうなど平滑性が損なわれることがない。

従って、EL素子8（発光層8c）が発光した光が基板10を介して放出される際に、その基板10の不均一な厚さに起因する光の散乱や干渉などを低減することができ、光の輝度や色彩のばらつきを抑えることが可能になるので、画像のにじみやぼけなどが無い優れた発光・表示特性を有するELパネル200を実現することができる。

【0078】

更に、ELパネル200は、走査線2と信号線3と電圧供給線4とによって囲われる画素領域のほぼ全域であって、バンク13によって仕切られている範囲（開口部13a内）に、画素電極87と正孔注入層8bと発光層8cと対向電極8dとが積層されてなるEL素子80を備えるとともに、そのEL素子80と基板10との間に光透過性を有するキャパシタ70を備えているので、1画素あたりの開口率が大きいELパネルとなっており、発光効率のよい表示特性を有し、結果として素子寿命を延ばす効果を有する。

特に、このELパネル200において、キャパシタ70を構成する第一容量電極71と層間絶縁膜12と画素電極87とをそれぞれ光透過性を有する材料で形成するとともに、EL素子80の画素電極87がキャパシタ70の第二容量電極を兼ねることによって、効率的にEL素子80とキャパシタ70を重ねて配置することが可能となり、1画素あたりの開口率が大きいELパネル200とすることができる。

【0079】

なお、以上の実施の形態においては、機能層である正孔注入層8bと、発光層8cとの2層よりなるキャリア輸送層を例に説明したが、本発明はこれに限定されるものではなく、例えば、発光層1層のみからなるキャリア輸送層や、機能層として正孔注入層の他に電子注入層などを有する3層以上のキャリア輸送層を備える有機EL素子であってもよい。

【 0 0 8 0 】

また、その他、具体的な細部構造等についても適宜に変更可能であることは勿論である。

【 図面の簡単な説明 】

【 0 0 8 1 】

【 図 1 】 E L パネルの画素の配置構成を示す平面図である。

【 図 2 】 E L パネルの概略構成を示す平面図である。

【 図 3 】 E L パネルの 1 画素に相当する回路を示した回路図である。

【 図 4 】 E L パネルの 1 画素を示した平面図である。

【 図 5 】 図 4 の V - V 線に沿った面の矢視断面図である。

10

【 図 6 】 図 4 の VI - VI 線に沿った面の矢視断面図である。

【 図 7 】 E L パネルの製造過程における第一工程 (a)、第二工程 (b)、第三工程 (c) を示す断面図である。

【 図 8 】 E L パネルの製造過程における第四工程 (a)、第五工程 (b)、第六工程 (c) を示す断面図である。

【 図 9 】 E L パネルの製造過程における第七工程 (a)、第八工程 (b)、第九工程 (c) を示す断面図である。

【 図 1 0 】 E L パネルの製造過程における第十工程 (a)、第十一工程 (b) を示す断面図である。

【 図 1 1 】 実施形態 2 における E L パネルの 1 画素を示した平面図である。

20

【 図 1 2 】 図 1 1 の XII - XII 線に沿った面の矢視断面図である。

【 図 1 3 】 図 1 1 の XIII - XIII 線に沿った面の矢視断面図である。

【 図 1 4 】 E L パネルの製造過程における第一工程 (a)、第二工程 (b)、第三工程 (c) を示す断面図である。

【 図 1 5 】 E L パネルの製造過程における第四工程 (a)、第五工程 (b)、第六工程 (c) を示す断面図である。

【 図 1 6 】 E L パネルの製造過程における第七工程 (a)、第八工程 (b) を示す断面図である。

【 図 1 7 】 E L パネルの製造過程における第九工程 (a)、第十工程 (b) を示す断面図である。

30

【 図 1 8 】 図 4 の XVIII - XVIII 線に沿った面の矢視断面図である。

【 符号の説明 】

【 0 0 8 2 】

7 キャパシタ

7 a 第一容量電極

7 b 第二容量電極

8 E L 素子

8 a 画素電極 (第一電極)

8 b 正孔注入層 (キャリア輸送層)

8 c 発光層 (キャリア輸送層)

40

8 d 対向電極 (第二電極)

1 0 基板

1 1 ゲート絶縁膜 (絶縁膜、第一絶縁膜)

1 1 d 開口部

1 2 層間絶縁膜 (絶縁膜、第二絶縁膜)

1 2 a 開口部

1 3 バンク

1 3 a 開口部

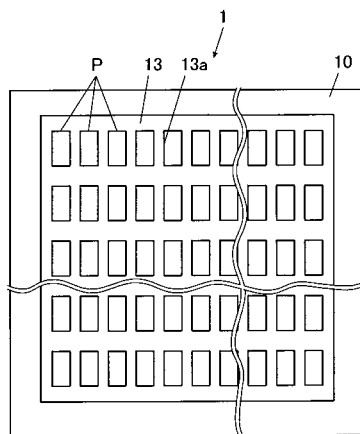
1 0 0 E L パネル

7 0 キャパシタ

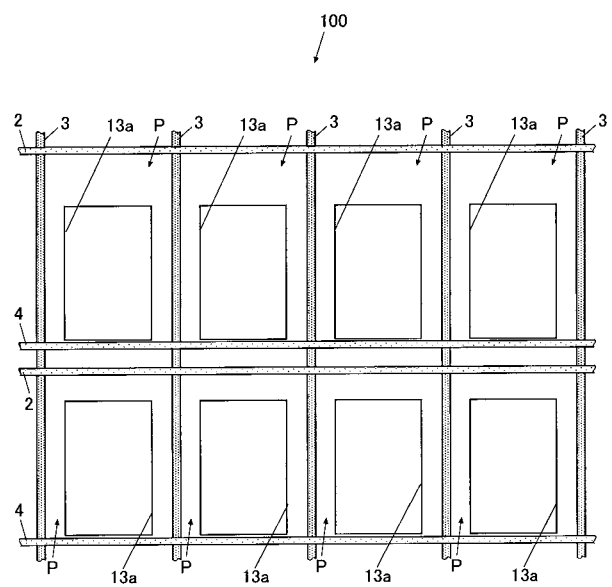
50

- 7 1 第一容量電極
 8 0 E L 素子
 8 7 画素電極（第一電極、第二容量電極）
 2 0 0 E L パネル
 T 端子パッド
 P 画素

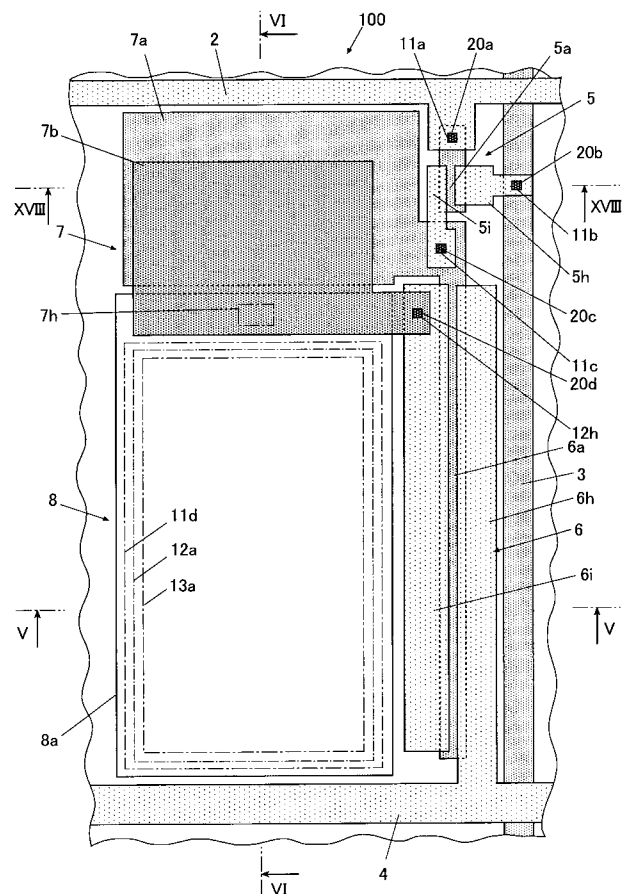
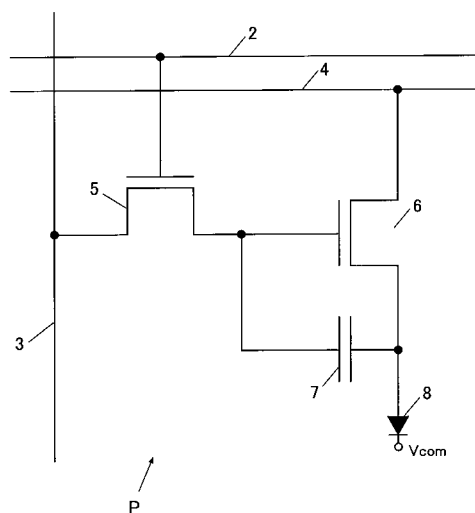
【図 1】



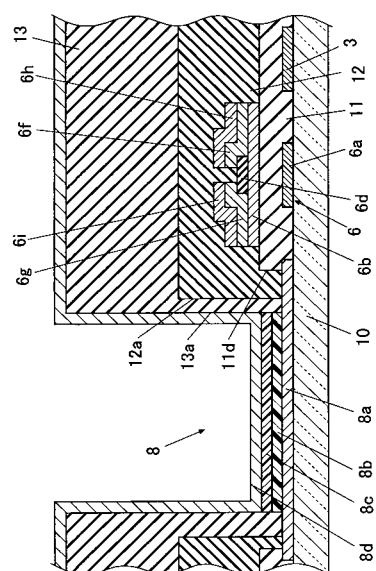
【図 2】



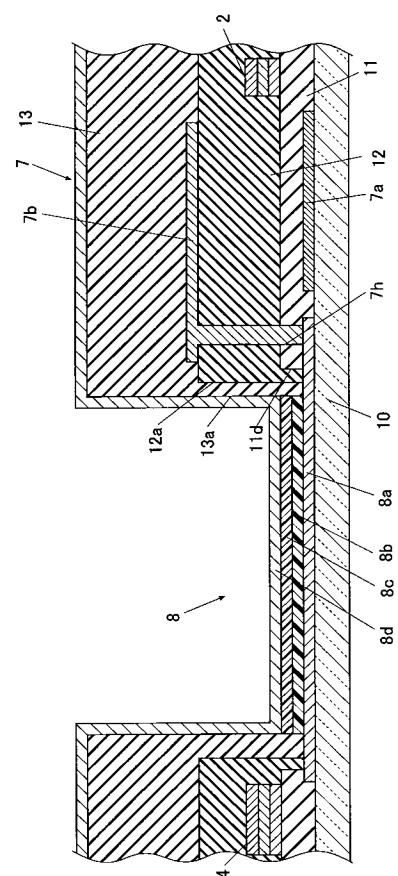
【圖 4】



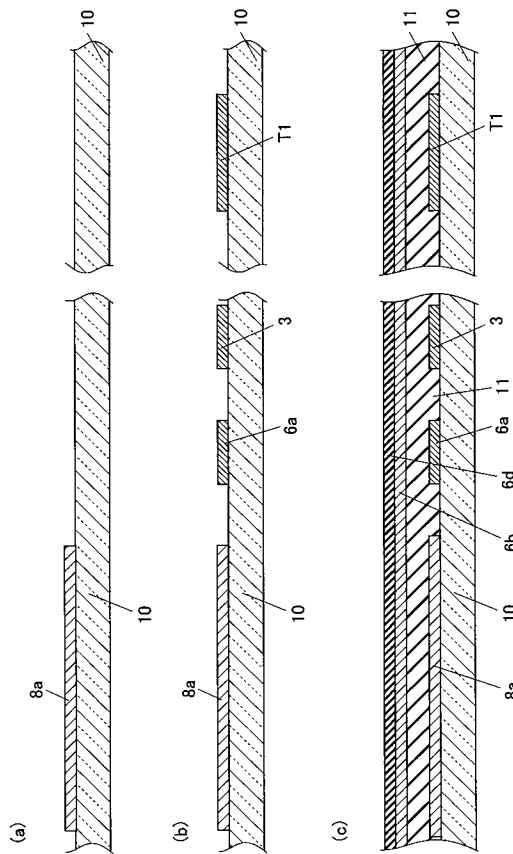
【 図 5 】



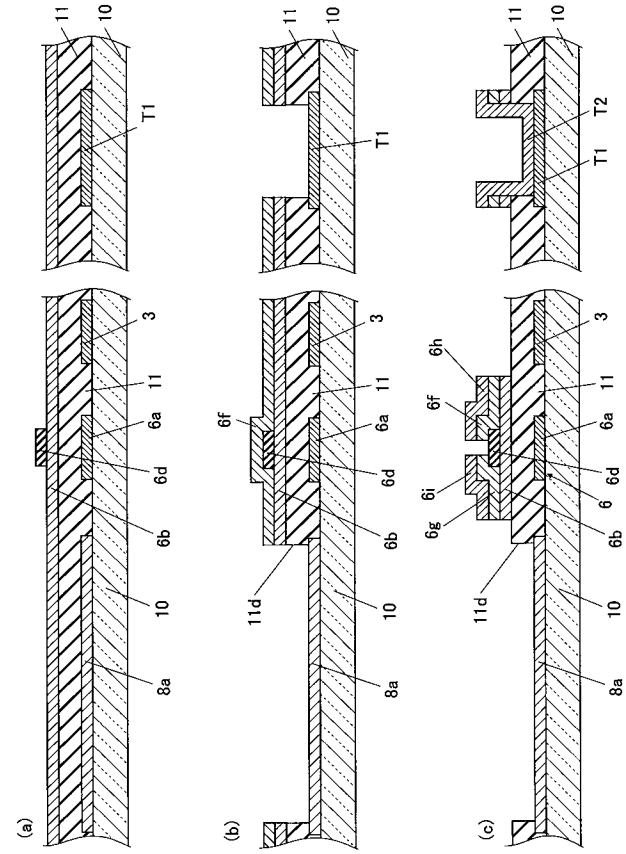
【 图 6 】



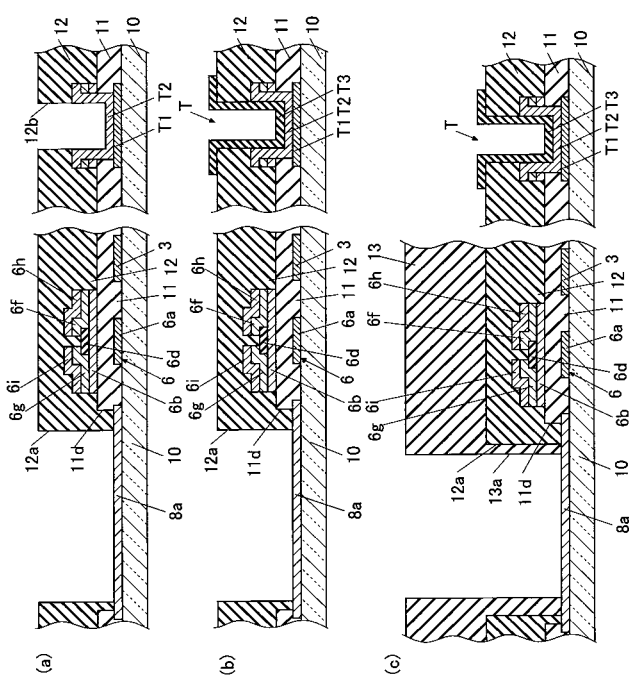
【図 7】



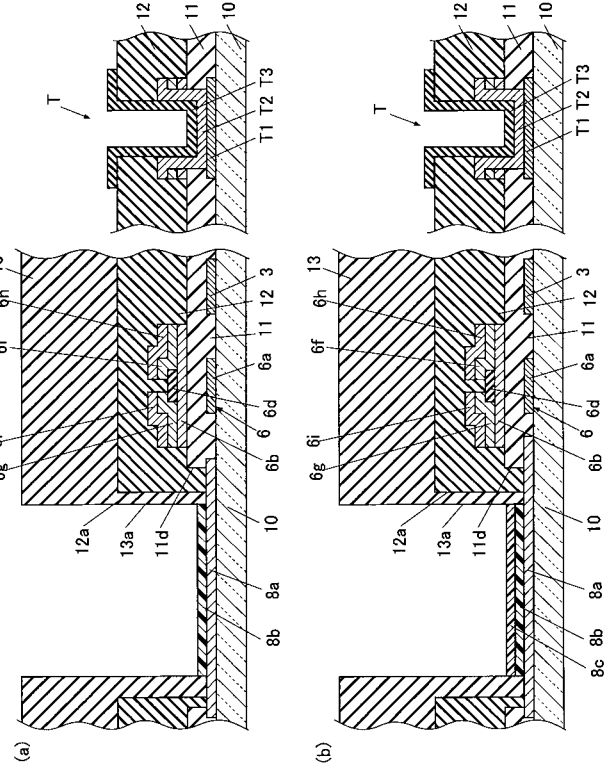
【図 8】



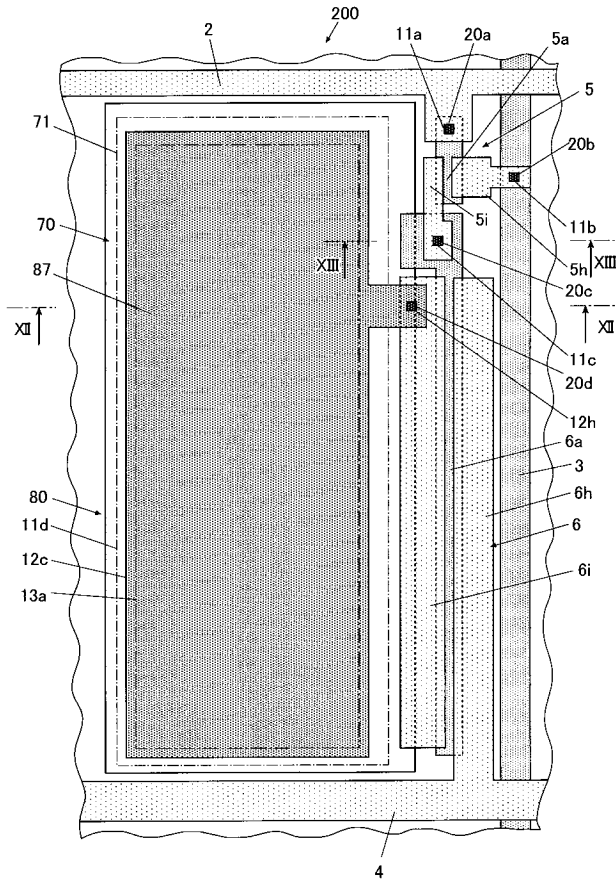
【図 9】



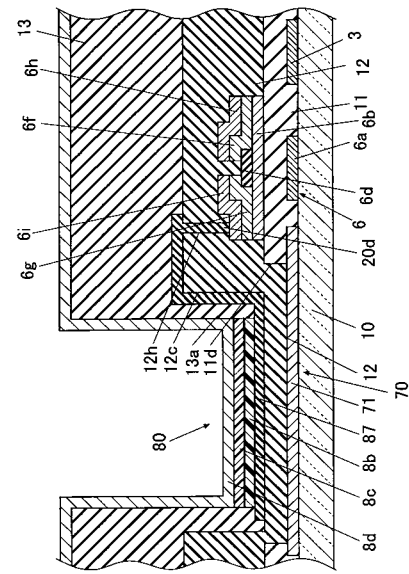
【図 10】



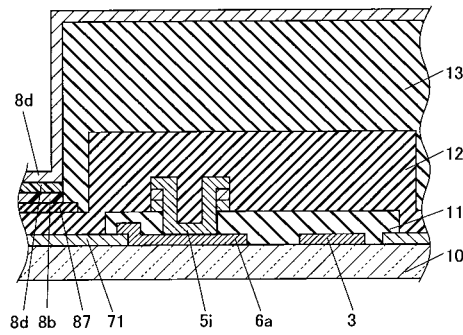
【図 1 1】



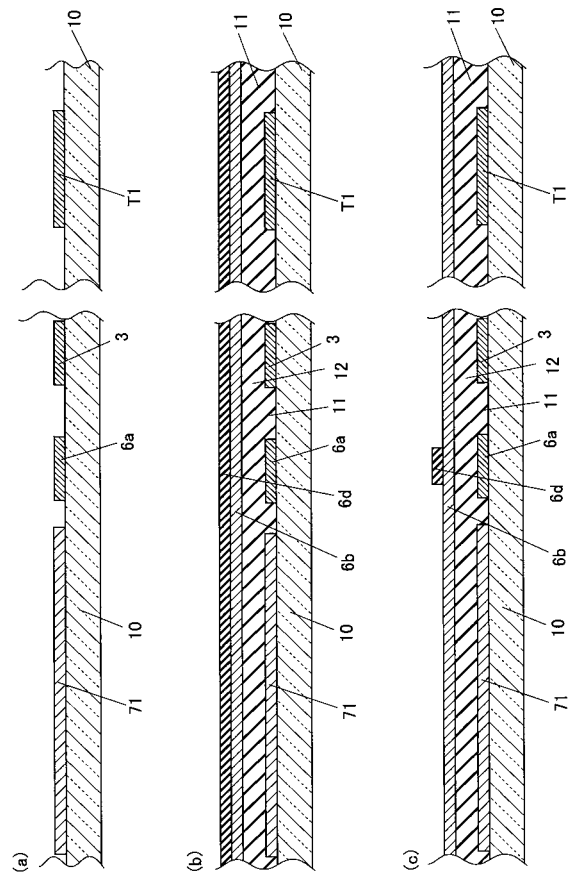
【図 1 2】



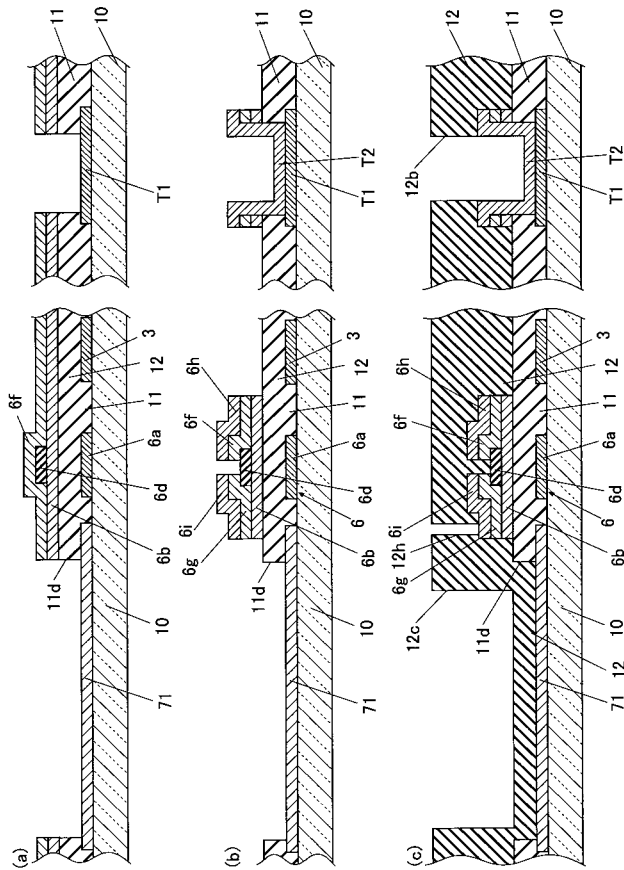
【図 1 3】



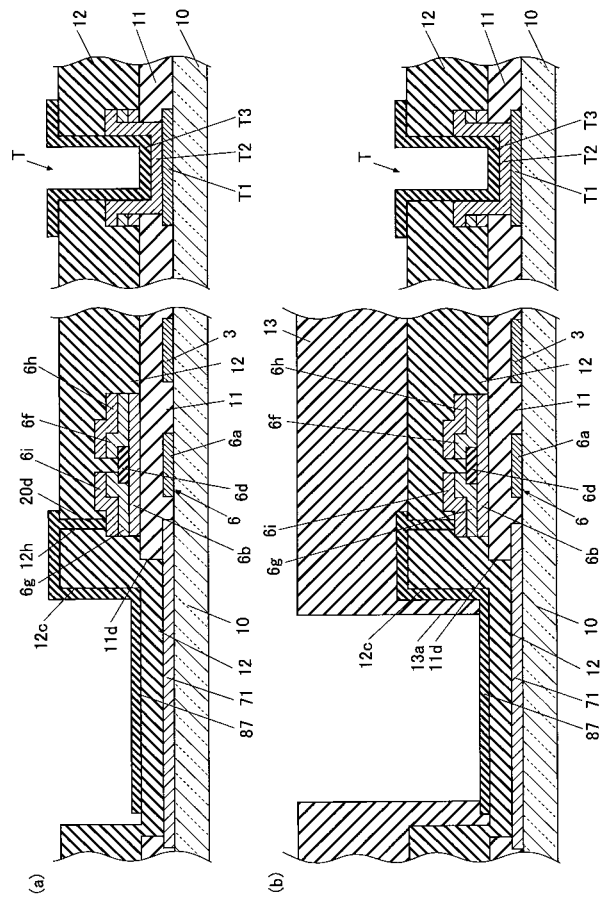
【図 1 4】



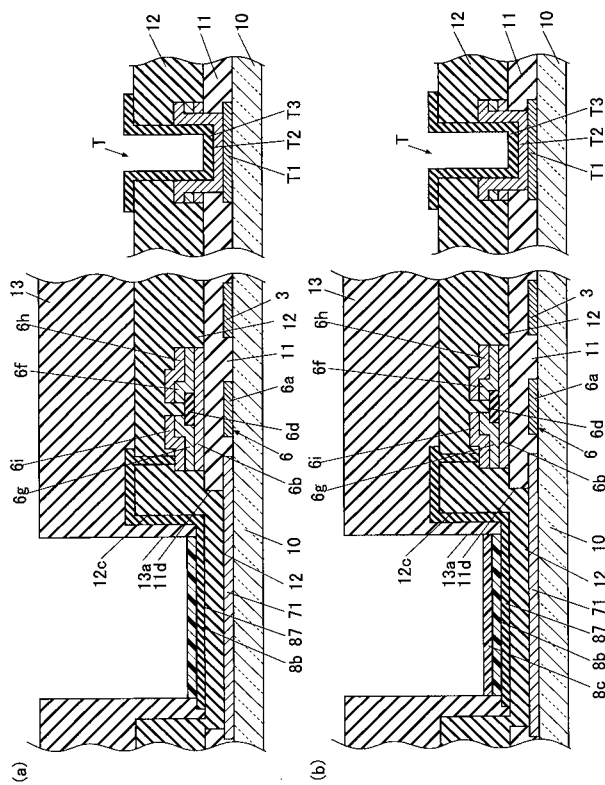
【 図 1 5 】



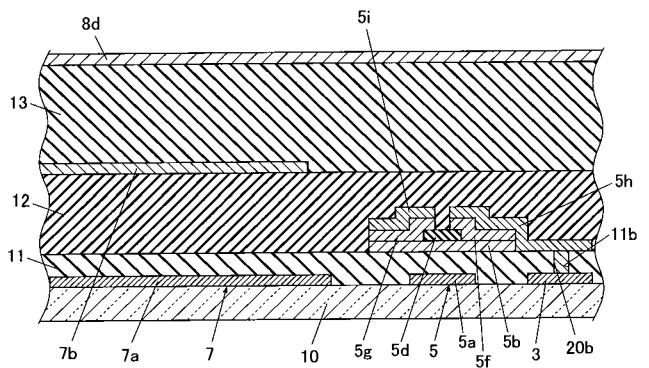
【 図 1 6 】



【 図 1 7 】



【 ㄨ 1 8 】



フロントページの続き

(51) Int. Cl.

H 0 5 B 33/08

(2006.01)

F I

H 0 5 B 33/08

テーマコード (参考)

专利名称(译)	EL面板和制造EL面板的方法		
公开(公告)号	JP2009230987A	公开(公告)日	2009-10-08
申请号	JP2008073733	申请日	2008-03-21
[标]申请(专利权)人(译)	卡西欧计算机株式会社		
申请(专利权)人(译)	卡西欧计算机有限公司		
[标]发明人	当山忠久		
发明人	当山 忠久		
IPC分类号	H05B33/10 G09F9/00 G09F9/30 H01L27/32 H01L51/50 H05B33/08		
CPC分类号	Y02B20/32		
FI分类号	H05B33/10 G09F9/00.338 G09F9/30.365.Z G09F9/30.338 H05B33/14.A H05B33/08 G09F9/30.365 H01L27/32		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC31 3K107/DD02 3K107/EE03 5C094/AA03 5C094/AA08 5C094/AA10 5C094/AA37 5C094/AA43 5C094/BA03 5C094/BA27 5C094/CA19 5C094/DA13 5C094/DA20 5C094/DB04 5C094/EA04 5C094/EA05 5C094/EA07 5C094/GB10 5G435/AA03 5G435/AA04 5G435/AA16 5G435/AA17 5G435/BB05 5G435/CC09 5G435/KK05		
外部链接	Espacenet		

摘要(译)

要解决的问题：实现显示特性优异的EL面板及其制造方法。在基板（10）上形成图案之前，在基板（10）上形成像素电极（8a），以形成暴露像素电极（8a）的开口（11d）。当对栅绝缘膜11进行诸如蚀刻的处理以形成暴露预定区域的开口11d时，像素电极8a用作基板10的保护膜，并且基板10的表面被腐蚀。因此，载流子传输层8c的发光适当地透射通过基板10而被发射，并且可以提供具有优异的显示特性而没有图像模糊或模糊的EL面板100。成为 [选择图]图5

