

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-9280

(P2008-9280A)

(43) 公開日 平成20年1月17日(2008.1.17)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
H01L 51/50 (2006.01)	G09G 3/20 641D	
	G09G 3/20 622C	
	G09G 3/20 642D	
審査請求 未請求 請求項の数 6 O L (全 23 頁) 最終頁に続く		

(21) 出願番号 特願2006-181671 (P2006-181671)

(22) 出願日 平成18年6月30日(2006.6.30)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(74) 代理人 100065385

弁理士 山下 穰平

(74) 代理人 100122921

弁理士 志村 博

(74) 代理人 100130029

弁理士 永井 道雄

(72) 発明者 識名 紀之

東京都大田区下丸子3丁目30番2号 キ

ヤノン株式会社内

Fターム(参考) 3K107 AA01 BB01 CC02 CC14 CC31

EE03 HH02 HH05

最終頁に続く

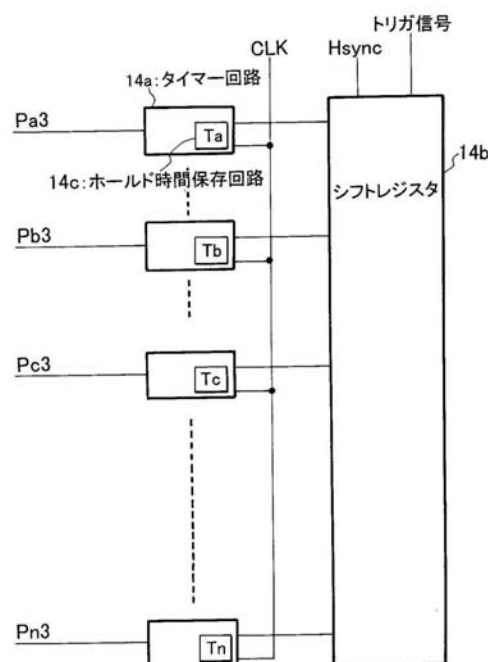
(54) 【発明の名称】 アクティブマトリクス型の表示装置

(57) 【要約】

【課題】 システム負荷を抑え、データドライバのダイナミックレンジを損なわないとともに、消費電力を増加させずに明るい画面表示をすることができるアクティブマトリクス型の表示装置を提供することを目的とする。

【解決手段】 情報を示す電気信号を保持するキャパシタC1と、キャパシタC1に保持された情報に応じた駆動電流を出力する駆動トランジスタM1と、駆動トランジスタM1から出力された電流に応じた輝度で発光する発光素子ELと、発光素子ELが発光又は非発光を選択制御するスイッチ素子M4とを備え、キャパシタC1の一端が駆動トランジスタM1の制御端子に接続される画素回路を複数備えるアクティブマトリクス型の表示装置において、スイッチ素子M4を、発光素子ELの発光期間が中心領域から周辺領域に向かって減少させるようにする制御手段を備えることを特徴とする。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

情報を示す電気信号を保持するキャパシタと、当該キャパシタに保持された情報に応じた駆動電流を出力する駆動トランジスタと、当該駆動トランジスタから出力された電流に応じた輝度で発光する発光素子と、当該発光素子が発光又は非発光を選択制御するスイッチ素子とを備え、

前記キャパシタの一端が前記駆動トランジスタの制御端子に接続される画素回路を複数備えるアクティブマトリクス型の表示装置において、

前記スイッチ素子を、前記発光素子の発光期間が中心領域から周辺領域に向かって減少させるようにする制御手段を備えることを特徴とするアクティブマトリクス型の表示装置 10

【請求項 2】

前記画素回路の各々の前記スイッチ素子は、同一の発光期間制御用信号線に接続されていて、

中心領域の前記走査線に接続される前記発光素子の発光期間を長くして、周辺領域の前記走査線に接続される前記発光素子の発光期間を短くすることを特徴とする請求項 1 記載のアクティブマトリクス型の表示装置。

【請求項 3】

前記スイッチ素子は、前記駆動トランジスタと前記発光素子との間に接続され、かつ前記走査線と平行に配置された発光期間制御用信号線に接続されていて、 20

中心領域の前記走査線に接続される前記スイッチ素子の導通期間を長くして、周辺領域の前記走査線に接続される前記スイッチ素子の導通期間を短くすることを特徴とする請求項 1 又は 2 項記載のアクティブマトリクス型の表示装置。

【請求項 4】

前記スイッチ素子が二つあり、

当該スイッチ素子の一方は、前記走査線と平行に配置された発光期間制御用信号線に接続されており、

他方の前記スイッチ素子は、前記情報線と平行に配置された発光期間制御用信号線に接続されていることを特徴とする請求項 1 記載のアクティブマトリクス型の表示装置。

【請求項 5】

前記二つのスイッチ素子は、前記駆動トランジスタと前記発光素子との間に接続され、

中心領域にある前記走査線と平行に配置された発光期間制御用信号線に接続される前記スイッチ素子の導通期間を長くして、周辺領域にある前記走査線と平行に配置された発光期間制御用信号線に接続される前記スイッチ素子の導通期間を短くして、

中心領域にある前記情報線と平行に配置された発光期間制御用信号線に接続される前記スイッチ素子の導通期間を長くして、周辺領域にある前記情報線と平行に配置された発光期間制御用信号線に接続される前記スイッチ素子の導通期間を短くすることを特徴とする請求項 4 記載のアクティブマトリクス型の表示装置。

【請求項 6】

発光させるための駆動電流を発光素子に供給する駆動トランジスタを有する画素回路の複数が 2 次元マトリクス状に配されたアクティブマトリクス型の表示装置において、 40

前記駆動トランジスタにより前記駆動電流を前記発光素子に供給する期間を、表示部の中心領域では長く周辺領域では短くなるように、前記中心領域と前記周辺領域とで異ならしめる回路を備えることを特徴とするアクティブマトリクス型の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電流を流すことによって発光するアクティブマトリクス型の表示装置に関し、特に、EL 素子などを用いたアクティブマトリクス型の表示装置に関する。

【背景技術】

【 0 0 0 2 】

近年、E L (electroluminescence) 素子を用いて構成されたフラットな表示装置においては、マトリクス状に配置した画素を走査線及びデータ線を介して駆動することが一般的である。

【 0 0 0 3 】

具体的には、行ごとに走査線に、列ごとにデータ線に共通に接続し、行走査回路により各走査線を選択すると同時に、列走査回路により各データ線に所定の表示信号を印加して、選択された該当行の画素に所定の表示を行わせている。

【 0 0 0 4 】

例えば、特許文献 1 には、アクティブマトリクス駆動による E L 表示装置が開示されている。 10

【 0 0 0 5 】

E L 素子を用いて構成された表示装置では、E L 素子に流れる電流を制御して、各画素の発光強度の調整ができる。

【 0 0 0 6 】

アクティブマトリクス型の表示装置として、図 1 2 にその概略構成を示す。1 0 1 は電流設定回路であり、1 0 2 は走査線駆動回路、1 0 3 が画素回路である。

【 0 0 0 7 】

また、図 1 3 に E L 素子を含んだ画素回路構成例を示す。P 1 及び P 2 が走査信号であり、情報信号として電流データ I d a t a が入力される。 20

【 0 0 0 8 】

E L 素子の陽極は T F T (M 4) のドレイン端子に接続されており、陰極は接地電位 C G N D に接続されている。

【 0 0 0 9 】

M 1、M 2、M 4 が P 型 T F T であり、M 3 が N 型 T F T である。以下に大まかな動作について説明する。

【 0 0 1 0 】

I d a t a が入力される時、走査信号 P 1 は H I レベルの信号が、P 2 には L O W レベルの信号が入力され、トランジスタ M 2、M 3 が O N、M 4 は O F F である。

【 0 0 1 1 】

このとき M 4 は導通状態でないため、E L 素子には電流が流れない。 30

【 0 0 1 2 】

I d a t a により M 1 の電流駆動能力に応じた電圧が、M 1 のゲート端子と電源電位 V 1 の間に配置された容量 C 1 に生じる。

【 0 0 1 3 】

E L 素子に電流を供給する時は、P 1 は L O W レベルの信号、P 2 は H I レベルの信号を入力する。

【 0 0 1 4 】

このときトランジスタ M 4 が O N、M 2、M 3 が O F F となる。

【 0 0 1 5 】

M 4 が導通状態であるため、C 1 に生じた電圧により、M 1 の電流駆動能力に応じた電流が E L 素子に供給され、その供給された電流に応じた輝度で E L 素子が発光する。 40

【特許文献 1】米国特許第 6 3 7 3 4 5 4 号明細書

【特許文献 2】特開平 0 6 - 2 8 2 2 4 1 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 6 】

このようなアクティブマトリクス型の E L 表示装置において、消費電力を増加させることなく、明るい画面表示をしたいという課題がある。

【 0 0 1 7 】

その課題を解決する手段として、画面周辺部の輝度を抑えて、中央部の輝度を上げて表示させる方法がある。この場合、表示品位におよぼす影響は軽微ですむ。

【0018】

これを実現するものとして、例えばプラズマディスプレイでは、特許文献2に記載されたものが知られている。

【0019】

ただしこの場合、アクティブマトリクス型の表示装置には適用できない。

【0020】

また、ルックアップテーブルを用いて画像データに加工を施す方法も考えられる。

【0021】

しかし、この場合は画像データの加工にシステム負荷が発生し、さらには、データドライバのダイナミックレンジを大きくとる必要がある。

【0022】

そこで、本発明は、システム負荷を抑え、データドライバのダイナミックレンジを損なわないとともに、消費電力を増加させずに明るい画面表示をすることができるアクティブマトリクス型の表示装置を提供することを目的とする。

【課題を解決するための手段】

【0023】

本発明は、上記課題を解決するための手段として、情報を示す電気信号を保持するキャパシタと、当該キャパシタに保持された情報に応じた駆動電流を出力する駆動トランジスタと、当該駆動トランジスタから出力された電流に応じた輝度で発光する発光素子と、当該発光素子が発光又は非発光を選択制御するスイッチ素子とを備え、前記キャパシタの一端が前記駆動トランジスタの制御端子に接続される画素回路を複数備えるアクティブマトリクス型の表示装置において、前記スイッチ素子を、前記発光素子の発光期間が中心領域から周辺領域に向かって減少させるようにする制御手段を備えることを特徴とする。

【0024】

また、本発明は、前記二つのスイッチ素子は、前記駆動トランジスタと前記発光素子との間に接続され、中心領域にある前記走査線と平行に配置された発光期間制御用信号線に接続される前記スイッチ素子の導通期間を長くして、周辺領域にある前記走査線と平行に配置された発光期間制御用信号線に接続される前記スイッチ素子の導通期間を短くして、中心領域にある前記情報線と平行に配置された発光期間制御用信号線に接続される前記スイッチ素子の導通期間を長くして、周辺領域にある前記情報線と平行に配置された発光期間制御用信号線に接続される前記スイッチ素子の導通期間を短くすることを特徴とする。

【0025】

本発明は、発光させるための駆動電流を発光素子に供給する駆動トランジスタを有する画素回路の複数が2次元マトリクス状に配されたアクティブマトリクス型の表示装置において、前記駆動トランジスタにより前記駆動電流を前記発光素子に供給する期間を、表示部の中心領域では長く周辺領域では短くなるように、前記中心領域と前記周辺領域とで異ならしめる回路を備えることを特徴とする。

【発明の効果】

【0026】

本発明によれば、システム負荷を抑え、かつ、データドライバのダイナミックレンジを損なうことなく、画面中央部から画面周辺部にかけて輝度を減少させることができる。この効果により、見た目の明るさを維持したままで、消費電力を低減することができる。

【発明を実施するための最良の形態】

【0027】

以下、添付図面を参照して本発明を実施するための最良の実施の形態を説明する。

【0028】

〔実施形態1〕

図1は、本発明の実施形態1としての表示装置の構成を示すブロック図である。

10

20

30

40

50

【 0 0 2 9 】

本実施形態の表示装置は、列電流制御回路 1 1 と、走査線駆動回路 1 2 と、画素回路 1 3 と、発光期間制御用信号線駆動回路 1 4 とを備えている。

【 0 0 3 0 】

列電流制御回路 1 1 は、情報線に制御電流 I_{data} を出力するものである。

【 0 0 3 1 】

発光期間制御用信号線駆動回路 1 4 は、発光期間制御用信号線を通じて発光期間を制御するものであり、制御手段（制御回路）としての役割を果たす。

【 0 0 3 2 】

図 2 は、発光期間制御用信号線駆動回路 1 4 の構成を示す拡大ブロック図である。

10

【 0 0 3 3 】

図 2 に示すように、発光期間制御用信号線には、タイマー回路 1 4 a が備えられている。タイマー回路 1 4 a には、ホールド時間を保持するホールド時間保持回路 1 4 c が設けられている。

【 0 0 3 4 】

発光期間制御用信号線駆動回路 1 4 から出力される信号は、タイマー回路 1 4 a に入力され、ホールド時間保持回路 1 4 c が保持する時間によって出力タイミング及び出力時間が決まる。

【 0 0 3 5 】

ホールド時間保持回路 1 4 c が保持する出力タイミング及び出力時間は、入力されるクロック信号に基づいて決められている。

20

【 0 0 3 6 】

図 3 は、本実施形態の発光素子を含んだ画素回路の構成例としての回路図である。

【 0 0 3 7 】

P 1 及び P 2 が走査信号線であり、P 3 が発光期間制御用信号線である。

【 0 0 3 8 】

発光素子としての E L 素子の陽極は T F T (M 4) のドレイン端子に接続されており、陰極は接地電位 C G N D に接続されている。M 1、M 2、M 4 が P 型 T F T であり、M 3 が N 型 T F T である。M 1 は E L 素子に発光用の駆動電流を供給するための駆動トランジスタであり、M 4 がスイッチ素子である。

30

【 0 0 3 9 】

以下に画素回路の大まかな動作について説明する。

【 0 0 4 0 】

I_{data} が入力される時、走査信号 P 1 は H I レベルの信号が、P 2 には L O W レベルの信号が、P 3 には H I レベル信号が入力され、トランジスタ M 2、M 3 が O N、M 4 は O F F である。

【 0 0 4 1 】

このとき M 4 は導通状態でないため、E L 素子には電流が流れない。 I_{data} により M 1 の電流駆動能力に応じた電圧が、M 1 のゲート端子と電源電位 V 1 の間に配置された容量（キャパシタ）C 1 に生じ、ここに保持される。

40

【 0 0 4 2 】

E L 素子に電流を供給する時は、P 1 は L O W レベルの信号、P 2 は H I レベルの信号、P 3 は L O W レベルの信号とする。

【 0 0 4 3 】

このときトランジスタ M 4 が O N、M 2、M 3 が O F F となる。M 4 が導通状態であるため、容量 C 1 に生じた電圧により、M 1 の電流駆動能力に応じた電流が E L 素子に供給され、その供給された電流に応じた輝度で E L 素子が発光する。

【 0 0 4 4 】

また E L 素子に流れる電流を遮断する時は、P 1 は L O W レベルの信号、P 2 は H I レベルの信号、P 3 は H I レベルの信号とする。

50

【 0 0 4 5 】

このとき、トランジスタ M 4、M 2、M 3 が O F F となる。

【 0 0 4 6 】

M 4 が非導通状態であるため、E L 素子への電流供給を遮断でき、非発光状態にすることができる。

【 0 0 4 7 】

このように、P 3 の H I / L O W を切り替えることで、任意に発光期間を制御することができる。

【 0 0 4 8 】

なお、本実施形態においては画素回路として、図 3 の構成を一例に挙げたが、これに限るものではない。 10

【 0 0 4 9 】

電流プログラミング型を例にあげたが、電圧プログラミング型の回路を用いてもかまわない。電圧プログラミング型の画素回路の例としては、特開 2 0 0 4 - 1 1 7 6 4 8 号公報に開示される図 2 の例があげられる。

【 0 0 5 0 】

次に、表示装置全体の動作について説明する。

【 0 0 5 1 】

図 4 に、各信号線のタイミングチャートを示す。

【 0 0 5 2 】

本パネルでは、1 水平（走査）期間の間に、一つの走査線に接続する画素群に対して一括して情報電流を書き込む。 20

【 0 0 5 3 】

同様にして、順次次行の走査線に接続する画素群に対して一括して情報電流を書き込んでいき、1 垂直（走査）期間の間に全画素に書き込みが終了する。

【 0 0 5 4 】

ここで、パネル上端の行の画素回路に接続する走査信号線 P 1・P 2 を、各々 P a 1・P a 2 とし、発光期間制御用信号線を P a 3 とする。

【 0 0 5 5 】

また、パネル上端と中央の中間の行に位置する画素回路に接続する走査信号線 P 1・P 2 を、各々 P b 1・P b 2 とし、発光期間制御用信号線を P b 3 とする。 30

【 0 0 5 6 】

また、パネル中央の行の画素回路に接続する走査信号線 P 1・P 2 を、各々 P c 1・P c 2 とし、発光期間制御用信号線を P c 3 とする。

【 0 0 5 7 】

パネル上端の行の書き込みは P a 1 が H I、P a 2 が L O W、P a 3 が H I の時に行われ、情報線から入力される I d a t a に従って画素回路に情報が記憶される。

【 0 0 5 8 】

その後、P a 1 が L O W、P a 2 が H I、P a 3 が L O W になり、記憶された情報に従って E L 素子に電流が流れて、E L 素子が発光状態となる。 40

【 0 0 5 9 】

その後、T a 時間経過した後に、P a 3 が H I になり、E L 素子への電流供給が遮断されて E L 素子は非発光となる。

【 0 0 6 0 】

したがって、この行の発光期間は T a となる。

【 0 0 6 1 】

同様にして、1 水平期間単位で順次 1 行ごとに書き込みを行っていき、パネル上端と中央の中間の行に対しても、情報書き込み状態、発光状態、非発光状態を制御する。

【 0 0 6 2 】

この行の発光期間は T b となる。同様にして、パネル中央の行に対しても、情報書き込 50

み状態、発光状態、非発光状態を制御する。

【0063】

この行の発光期間は T_c となる。

【0064】

ここで図4に示すように、各行の発光期間 $T_a \cdot T_b \cdot T_c$ は、 $T_a \quad T_b \quad T_c$ となるように制御する。

【0065】

この制御により、表示部の中央から周辺部にかけて徐々に見かけの輝度が落ちる効果が得られる。

【0066】

また、パネルの表示部の中央の行から下端の行にかけては、パネル上半面と対称な制御を行い、中央から下端にかけて徐々に見かけの輝度が落ちるように制御する。

【0067】

図11は、その輝度のプロファイルを示すグラフである。Xは垂直走査方向（行の位置）を示す。図11に示すように、表示部の中央から周辺部にかけて徐々に見かけの輝度が落ちている。

【0068】

以上のようにしてパネルの表示部全体の表示を行い、パネル中央から上端及び下端にかけて徐々に見かけの輝度が落ちる効果を得る。

【0069】

例えば、表示装置で全面白（全画素が最大輝度の情報で発光する場合）の画像データを出力した場合、図13のように表示部に表示される。もちろん、本発明は、全画素が最大輝度の情報で発光する場合に限られず、同じ輝度レベルの情報が全画素回路に入力された場合に、表示部の中央領域が明るく、周辺領域が暗くなる分布を生じればよい。

【0070】

図12は、輝度プロファイルの別の例を示すグラフである。

【0071】

図11の例では、表示部の中心を頂点としているのに対し、図12の例では、中心付近でなだらかな領域がある。表示装置での表示の例としては、図13と類似したものになる。

【0072】

このように、発光期間制御用信号線駆動回路14により、発光期間を一行乃至数行毎に垂直走査方向において変更する。これにより、駆動トランジスタにより駆動電流を発光素子に供給する期間を、表示部の中心領域では長く周辺領域では短くなるように、中心領域と周辺領域とで1次元状に異ならしめる。

【0073】

〔実施形態2〕

図5は、本発明の実施形態2としての表示装置の構成を示すブロック図である。

【0074】

本実施形態の表示装置は、列電流制御回路41と、走査線駆動回路42と、画素回路43と、垂直発光期間制御用信号線駆動回路44と、水平発光期間制御用信号線駆動回路45とを備えている。

【0075】

列電流制御回路41は、情報線に制御電流 I_{data} を出力するものである。

【0076】

垂直発光期間制御用信号線駆動回路44は、垂直発光期間制御用信号線を通じて発光期間を制御するものであり、水平発光期間制御用信号線駆動回路45は、水平発光期間制御用信号線を通じて発光期間を制御するものである。垂直発光期間制御用信号線駆動回路44及び水平発光期間制御用信号線駆動回路45は制御手段としての役割を果たす。

【0077】

10

20

30

40

50

垂直発光期間制御用信号線駆動回路 4 4 及び水平発光期間制御用信号線駆動回路 4 5 の構成は、実施形態 1 の図 2 と同様である。

【 0 0 7 8 】

図 6 は、本実施形態の発光素子を含んだ画素回路の構成例としての回路図である。

【 0 0 7 9 】

P 1 及び P 2 が走査信号線であり、P 3 が垂直発光期間制御用信号線、P 4 が水平発光期間制御用信号線である。

【 0 0 8 0 】

情報信号として電流データ I d a t a が入力され、I d a t a が入力される線を情報線である。

10

【 0 0 8 1 】

発光素子としての E L 素子の陽極は T F T (M 5) のドレイン端子に接続されており、陰極は接地電位 C G N D に接続されている。

【 0 0 8 2 】

M 1、M 2、M 4、M 5 が P 型 T F T であり、M 3 が N 型 T F T である。M 1 が駆動トランジスタであり、M 4 及び M 5 がスイッチ素子である。

【 0 0 8 3 】

以下に画素回路の大まかな動作について説明する。

【 0 0 8 4 】

I d a t a が入力される時、走査信号 P 1 は H I レベルの信号が、P 2 には L O W レベルの信号が、P 3、P 4 には H I レベル信号が入力され、トランジスタ M 2、M 3 が O N、M 4、M 5 は O F F である。

20

【 0 0 8 5 】

このとき M 4・M 5 は導通状態でないため、E L 素子には電流が流れない。

【 0 0 8 6 】

I d a t a により M 1 の電流駆動能力に応じた電圧が、M 1 のゲート端子と電源電位 V 1 の間に配置された容量 C 1 に生じる。

【 0 0 8 7 】

E L 素子に電流を供給する時は、P 1 は L O W レベルの信号、P 2 は H I レベルの信号、P 3、P 4 は L O W レベルの信号を入力する。

30

【 0 0 8 8 】

このときトランジスタ M 4、M 5 が O N、M 2、M 3 が O F F となる。M 4、M 5 が導通状態であるため、C 1 に生じた電圧により、M 1 の電流駆動能力に応じた電流が E L 素子に供給され、その供給された電流に応じた輝度で E L 素子が発光する。

【 0 0 8 9 】

また E L 素子に流れる電流を遮断する時は、P 1 は L O W レベルの信号、P 2 は H I レベルの信号、P 3 又は P 4 に H I レベルの信号を入力する。

【 0 0 9 0 】

このときトランジスタ M 2、M 3 が O F F となる。そして、M 4 又は M 5 が非導通状態であるため、E L 素子への電流供給を遮断でき、非発光状態にすることができる。

40

【 0 0 9 1 】

このように、P 3 及び P 4 の H I / L O W を切り替えることで、任意に発光期間を制御することができる。

【 0 0 9 2 】

なお、本実施形態においては画素回路として、図 6 の構成を一例に挙げたが、これに限るものではない。

【 0 0 9 3 】

電流プログラミング型を例にあげたが、電圧プログラミング型の回路を用いてもかまわない。電圧プログラミング型の画素回路の例としては、実施形態 1 と同様に、特開 2 0 0 4 - 1 1 7 6 4 8 号公報に開示される図 2 の例があげられる。

50

【 0 0 9 4 】

次に表示装置全体の動作について説明する。本実施形態では、 m 列 n 行の画素をもつパネルとして以下説明を行う。

【 0 0 9 5 】

図 7 に、各信号線のタイミングチャートを示す。

【 0 0 9 6 】

1 水平期間の間に、一つの走査線に接続する画素群に対して一括して情報電流を書き込む。

【 0 0 9 7 】

同様に、順次次行の走査線に接続する画素群に対して一括して情報電流を書き込んでいき、1 垂直期間の間に全画素に書き込みが終了する。 10

【 0 0 9 8 】

ここで、パネル上端の 1 行目の画素回路に接続する走査信号線 $P_1 \cdot P_2$ を、各々 $P_{11} \cdot P_{12}$ とし、垂直発光期間制御用信号線を P_{13} とする。

【 0 0 9 9 】

また、同様に、パネル 2 行目の走査信号線 $P_1 \cdot P_2$ 及び垂直発光期間制御用信号線を各々 $P_{21} \cdot P_{22} \cdot P_{23}$ とする。

【 0 1 0 0 】

また、順次同様に、パネル k 行目の走査信号線 $P_1 \cdot P_2$ 及び垂直発光期間制御用信号線を各々 $P_{k1} \cdot P_{k2} \cdot P_{k3}$ とする。 20

【 0 1 0 1 】

また、パネル 1 行目の水平発光期間制御用信号線を P_{14} とする。

【 0 1 0 2 】

また、パネルの中央に位置する行を p 行目 ($p = m/2$)、パネルの中央に位置する列を q 列目 ($q = n/2$) とする。

【 0 1 0 3 】

また、図 7 中において、1 行目 1 列目、1 行目 q 列目、 p 行目 1 列目、 p 行目 q 行目の画素の発光状態を、各々 G_{11} 、 G_{1q} 、 G_{p1} 、 G_{pq} に示す。

【 0 1 0 4 】

実施形態 1 では、垂直発光期間制御用信号線を制御して行単位で見た目の輝度分布を制御したが、本実施形態においては、それに加え水平発光期間制御用信号線も制御して列単位でも見た目の輝度分布を制御する。 30

【 0 1 0 5 】

垂直発光期間制御用信号線は、実施形態 1 同様に中央の行で最も見た目の輝度が高くなるように、 $T_1 \cdots T_p \cdots T_m$ となる制御を行う。

【 0 1 0 6 】

また、水平発光期間制御用信号線は、中央の列で最も輝度が高くなるように制御する。

【 0 1 0 7 】

ここで、1 列目での P_{14} の $H I / L O W$ 比を $K_1 = L O W / H I$ とおくと、 K_1 は、 $K_1 \cdots K_q \cdots K_n$ となるように制御する。 40

【 0 1 0 8 】

また、水平発光期間制御用信号線は P_{14} の駆動周期は 1 水平期間と同期か、又はそれより短い周期で制御することが好ましい。

【 0 1 0 9 】

画面の縦方向及び横方向の輝度プロファイルとしては、図 11 のものと同様である。

【 0 1 1 0 】

以上のようにしてパネルの表示部全体の表示を行い、パネルの表示部の中央から上端及び下端にかけて徐々に見かけの輝度が落ちる効果を得る。

【 0 1 1 1 】

また、パネルの表示部の中央から左端及び右端にかけて徐々に見かけの輝度が落ちる効 50

果を得る。

【0112】

例えば、表示装置で全面白（全画素が最大輝度の情報で発光する場合）の画像データを出力した場合、図14のように表示部に表示される。もちろん、本発明は、全画素が最大輝度の情報で発光する場合に限られず、同じ輝度レベルの情報が全画素回路に入力された場合に、表示部の中央領域が明るく、周辺領域が暗くなる分布を生じればよい。

【0113】

このように、発光期間制御用信号線駆動回路44、45により、発光期間を一行乃至数行毎に垂直走査方向において変更するとともに、発光期間を一行乃至数列毎に水平走査方向において変更する。これにより、駆動トランジスタにより駆動電流を発光素子に供給する期間を、表示部の中心領域では長く周辺領域では短くなるように、中心領域と周辺領域とで2次元状に異ならしめる。

10

【0114】

〔実施形態3〕

実施形態1及び実施形態2では、発光強度で階調を刻む画素回路をもつ表示装置に対して、発光期間を面内で分布を持たせて制御することで、画面中央の見かけの輝度を向上させていた。

【0115】

本実施形態では、発光期間制御で階調を刻む画素回路をもつ表示装置に対して、発光強度を面内で分布を持たせて制御することで、画面中央の見かけの輝度を向上させる。

20

【0116】

図8は、本発明の実施形態3としての表示装置の構成を示すブロック図である。

【0117】

本実施形態の表示装置は、列電圧制御回路71と、走査線駆動回路72と、画素回路73とを備えている。

【0118】

列電圧制御回路71は、情報線に制御電圧Vdataを出力するものである。

【0119】

図9は、本実施形態の発光素子を含んだ画素回路の構成例としての回路図である。

【0120】

P1及びP2が走査信号線である。

30

【0121】

情報信号として、電圧Vdataが入力される。

【0122】

発光素子としてのEL素子の陽極はインバータ回路81の出力段に接続されており、陰極は接地電位CGNDに接続されている。インバータ回路81の詳細構成は不図示であるが、インバータ回路81は、周知のように電源VCCからEL素子に電流を流す駆動トランジスタを有している。そして、その駆動トランジスタのゲートは容量S2に接続されている。

【0123】

電圧Vdataは入力TF T(M1)を介して記憶容量S2に接続されており、記憶容量S2の他方の一端はリセットTF T(M2)の一端とインバータ回路81の入力段に接続されている。

40

【0124】

以下に、画素回路73の大まかな動作について説明する。

【0125】

画素回路73では、1水平期間の前半に全画素に対して書き込みを行い、1水平期間の後半に全画素で表示を行う。

【0126】

まず、「書き込み動作」について説明する。

50

【 0 1 2 7 】

走査線 P 2 が立ち上がり、リセット T F T (M 2) が導通状態になると、インバータ回路 8 1 の入出力電圧は V r s t にリセットされ、この電圧は記憶容量 S 2 の一端に印加される。

【 0 1 2 8 】

またこの際、走査線 P 1 が立ち上がり、入力 T F T (M 1) が導通状態になると、信号線に入力されている V d a t a が記憶容量 S 2 の他端に印加される。

【 0 1 2 9 】

この後、走査線 P 2 が立ち下がりリセット T F T (M 2) は非導通状態となる。

【 0 1 3 0 】

以上の動作によって、選択された行の画素の各記憶容量 S 2 には、信号線から上記表示信号電圧が入力されたときにインバータ回路 8 1 の入力に V r s t を入力するように、必要な信号電荷が書き込まれたことになる。

【 0 1 3 1 】

なお、インバータ回路 8 1 の立ち上がり特性が十分に急峻ならば、V r s t とインバータ回路 8 1 のオン電圧 V o n とは極めて近い値になり、近似的に同電圧と見なすことができる。

【 0 1 3 2 】

すなわちこの画素は、信号線から上記の信号電圧 V d a t a が入力されると、インバータ回路 8 1 の出力がほぼ V o n となって E L 素子に電流が流れることになる。

【 0 1 3 3 】

次に、「表示動作」について説明する。

【 0 1 3 4 】

全画素の走査線 P 1 が立ち上がり、全画素の入力 T F T (M 1) が導通状態になる。

【 0 1 3 5 】

この期間には、各信号線に三角波状の駆動電圧が印加される。

【 0 1 3 6 】

この際、入力 T F T (M 1) がオンしているため、この画素駆動電圧は全ての画素の各記憶容量 S 2 に入力される。

【 0 1 3 7 】

ここで、三角波状の画素駆動電圧が、書き込み期間において既に記憶していた信号電圧に一致した画素では、インバータ回路 8 1 の入力電圧は V r s t (= V o n) となり、その画素の E L 素子が点灯する。

【 0 1 3 8 】

これによって本実施形態においては、予め書き込まれた表示信号電圧に基づき、各画素の点灯時間を変調することで、多階調の画素点灯表示が可能である。

【 0 1 3 9 】

ここで本実施形態では、情報線に入力する三角波状の駆動電圧を、情報線単位で変調させる。

【 0 1 4 0 】

その例を図 1 0 に示す。

【 0 1 4 1 】

画面中央の情報線に対しては三角波 1 を入力し、画面周辺付近の情報線に対しては三角波 2 (三角波 1 よりも高い電圧値) を入力する。

【 0 1 4 2 】

この効果により、同じ情報信号 V d a t a が入力されている場合、三角波 2 に従う画素は、三角波 1 に従う画素よりも発光開始のタイミングが遅れ、かつ発光終了のタイミングが早まる。

【 0 1 4 3 】

したがって、画面周辺付近の情報線に接続する画素においては、画面中央の情報線に接

10

20

30

40

50

続する画素に比べて発光期間が短くなる。

【 0 1 4 4 】

以上のようにしてパネル全体の表示を行い、パネル中央から左端及び右端にかけて徐々に見かけの輝度が落ちる効果を得る。

【 0 1 4 5 】

この実施形態では、列電圧制御回路 7 1 が発光期間制御用信号線駆動回路を兼ねている。これにより、発光期間を一行乃至数列毎に水平走査方向において変更する。こうして、駆動トランジスタにより駆動電流を発光素子に供給する期間を、表示部の中心領域では長く周辺領域では短くなるように、中心領域と周辺領域とで 1 次元状に異ならしめる。

【 0 1 4 6 】

もちろん、本発明は、全画素が最大輝度の情報で発光する場合に限られず、同じ輝度レベルの情報が全画素回路に入力された場合に、表示部の中央領域が明るく、周辺領域が暗くなる分布を生じればよい。

【 0 1 4 7 】

なお、上記の実施形態においては、E L 素子を用いた E L 表示装置を例にあげて説明したが、本発明はこれに限定されるものでなく、電流信号によって発光する装置であれば好ましく適用される。例えば、それは無機材料からなる発光ダイオードである。

【産業上の利用可能性】

【 0 1 4 8 】

本発明は、電流信号によって発光するアクティブマトリクス型の表示装置に利用可能である。

【図面の簡単な説明】

【 0 1 4 9 】

【図 1】本発明の実施形態 1 としての表示装置の構成を示すブロック図である。

【図 2】発光期間制御用信号線駆動回路 1 4 の構成を示す拡大ブロック図である。

【図 3】本発明の実施形態 1 において、E L 素子を含んだ画素回路の構成例としての回路図である。

【図 4】本発明の実施形態 1 における各画素回路の動作を示すタイミングチャートである。

【図 5】本発明の実施形態 2 としての表示装置の構成を示すブロック図である。

【図 6】本発明の実施形態 2 において、E L 素子を含んだ画素回路の構成例としての回路図である。

【図 7】本発明の実施形態 2 における各画素回路の動作を示すタイミングチャートである。

【図 8】本発明の実施形態 3 としての表示装置の構成を示すブロック図である。

【図 9】本発明の実施形態 3 において、E L 素子を含んだ画素回路の構成例としての回路図である。

【図 1 0】本発明の実施形態 3 における、信号電圧と発光状態の関係を示す図である。

【図 1 1】輝度プロファイルを示すグラフである。

【図 1 2】輝度プロファイルを示すグラフである。

【図 1 3】本発明の実施形態 1 における、アクティブマトリクス型表示装置の画像表示例を示す平面図である。

【図 1 4】本発明の実施形態 2 における、アクティブマトリクス型表示装置の画像表示例を示す平面図である。

【図 1 5】従来のアクティブマトリクス型表示装置の構成を示すブロック図である。

【図 1 6】従来の E L 素子を含んだ画素回路の構成例としての回路図である。

【符号の説明】

【 0 1 5 0 】

1 1 列電流駆動回路

1 2 走査線駆動回路

10

20

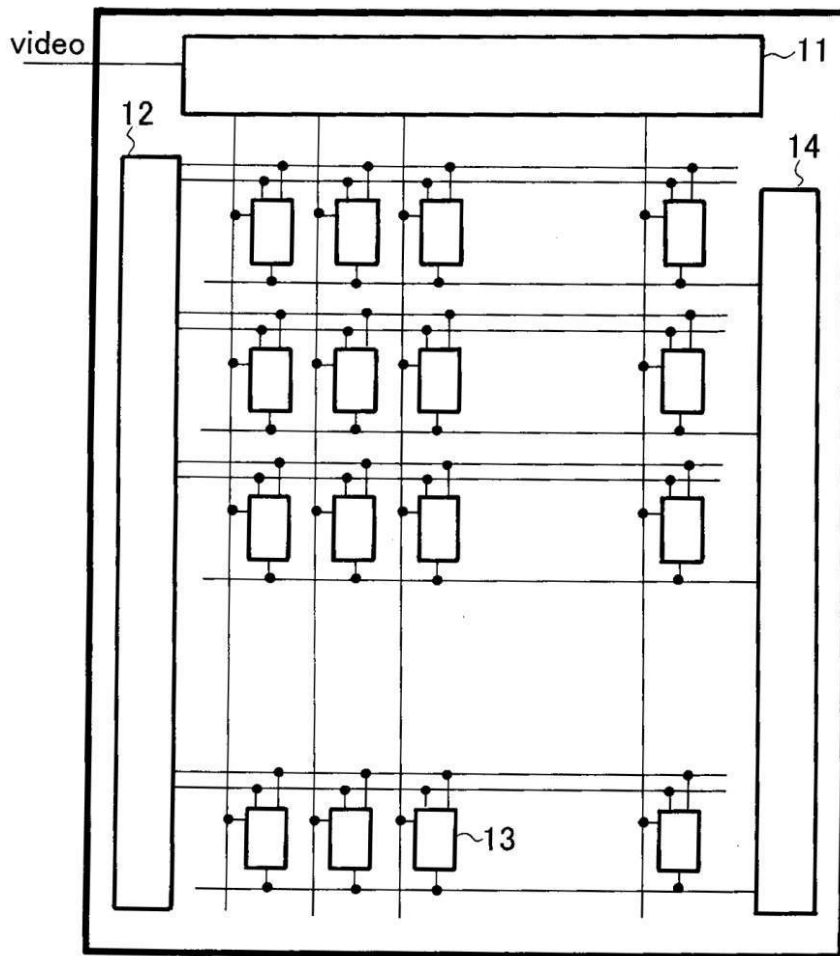
30

40

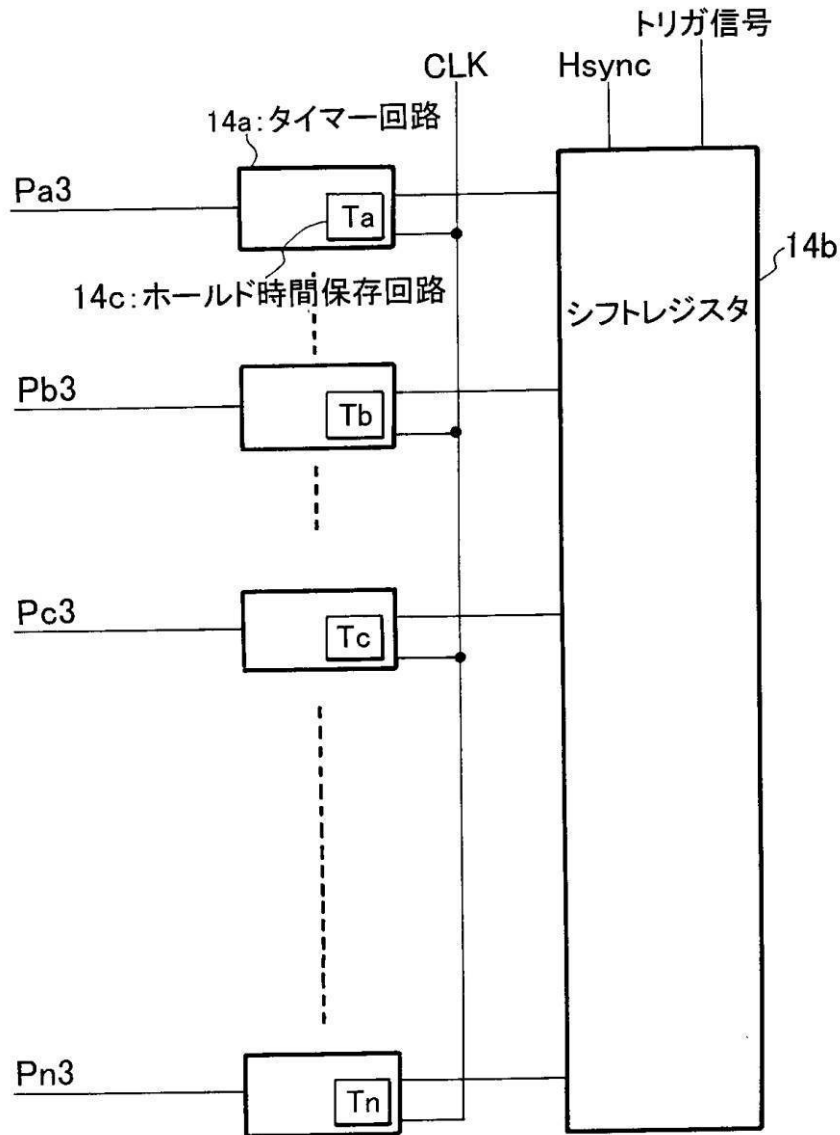
50

- 1 3 画素回路
- 1 4 水平発光期間制御回路
- 4 1 列電流駆動回路
- 4 2 走査線駆動回路
- 4 3 画素回路
- 4 4 水平発光期間制御回路
- 4 5 垂直発光期間制御回路
- 8 1 インバータ回路
- 8 2 記憶回路
- 1 0 1 列電流駆動回路
- 1 0 2 走査線駆動回路
- 1 0 3 画素回路

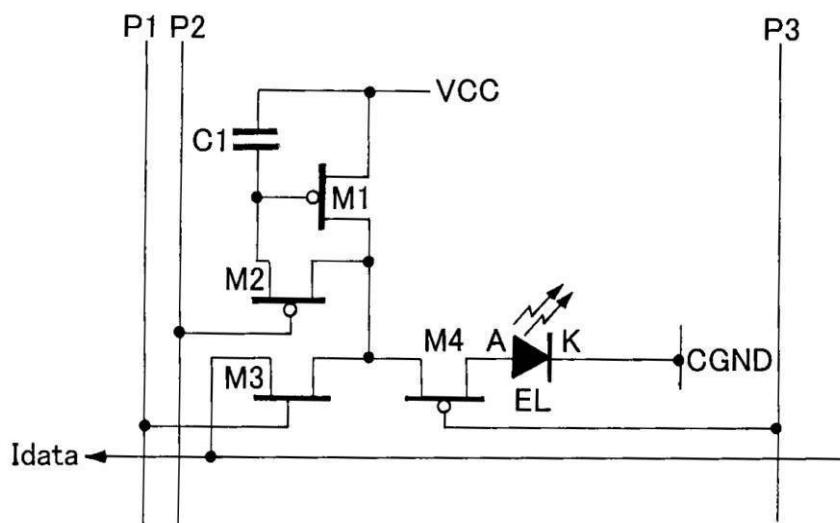
【 図 1 】



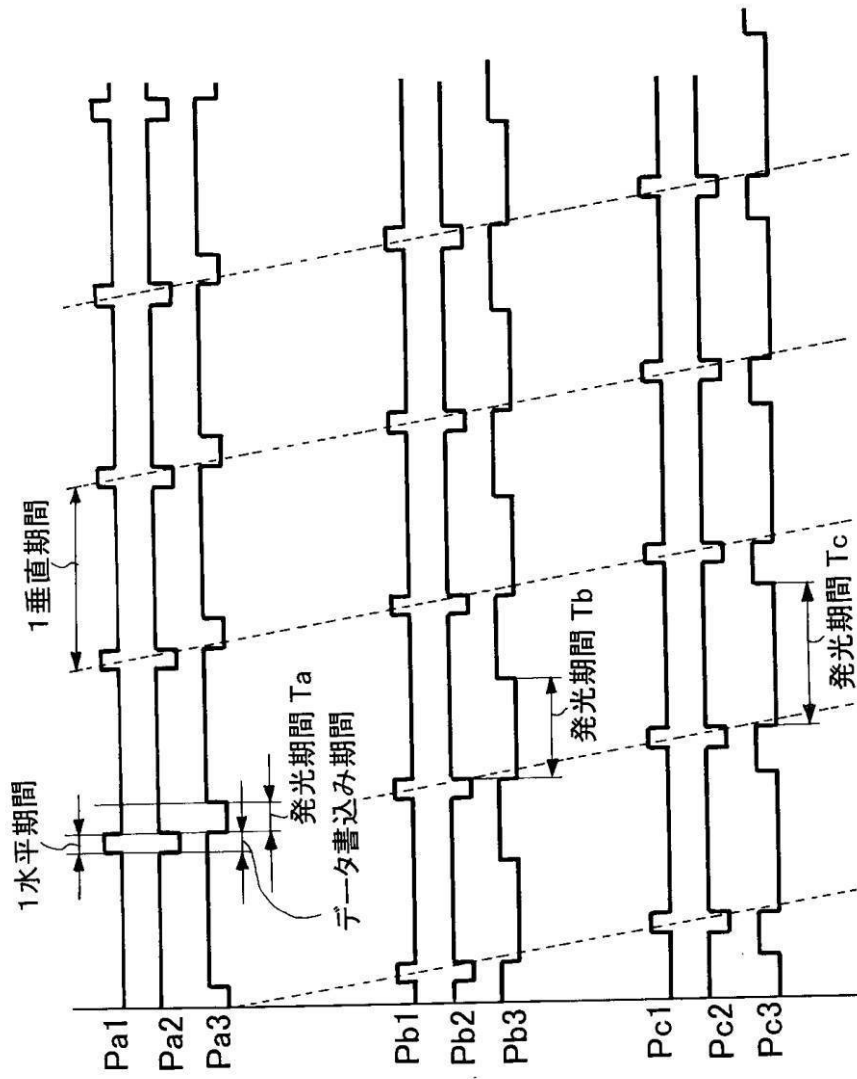
【 図 2 】



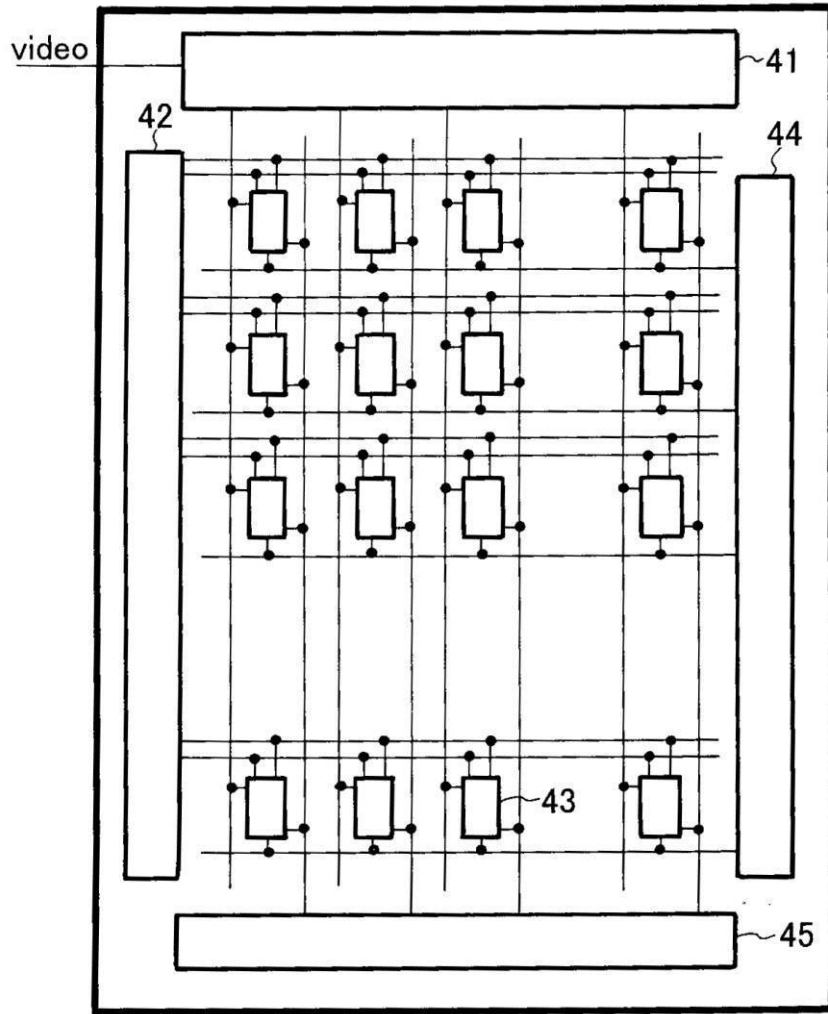
【 図 3 】



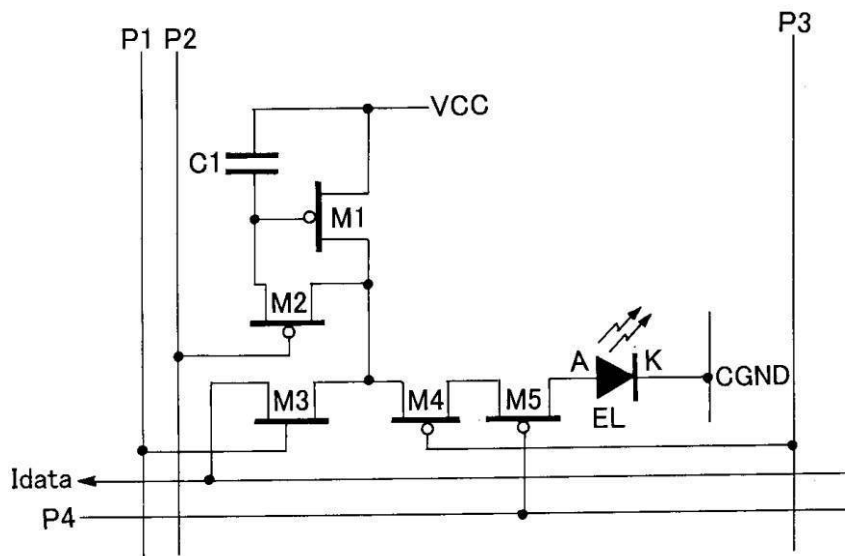
【 図 4 】



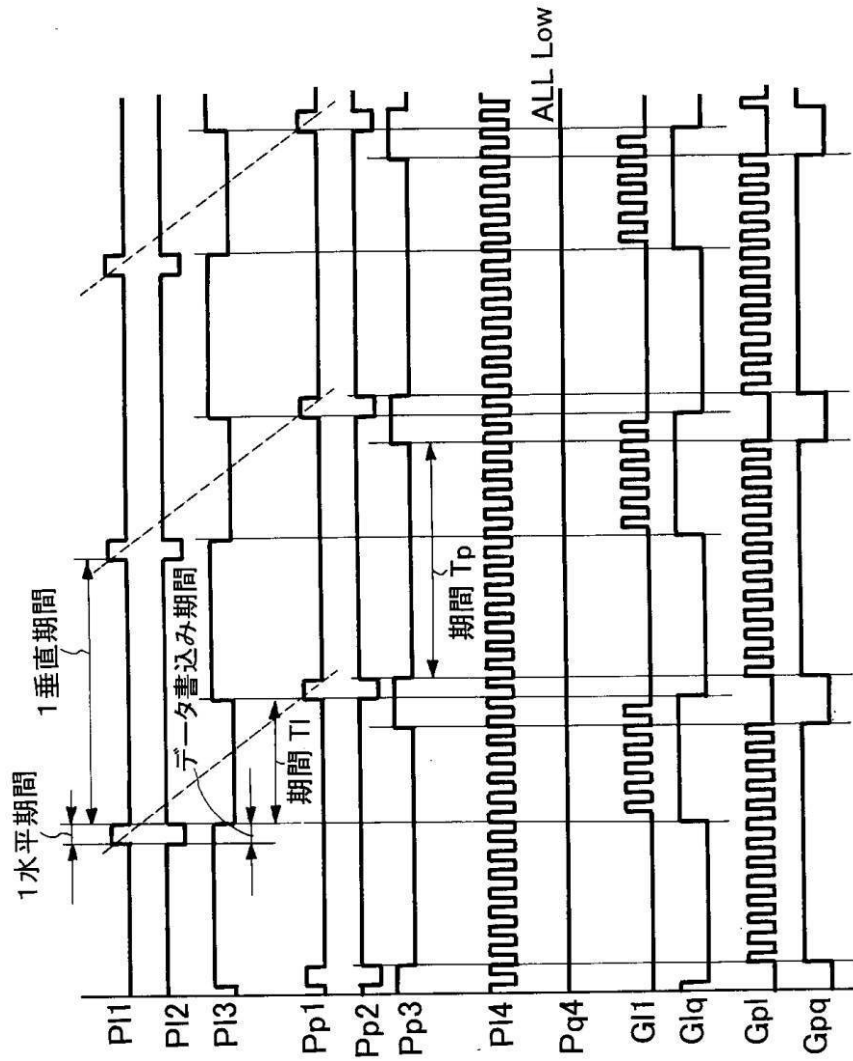
【 図 5 】



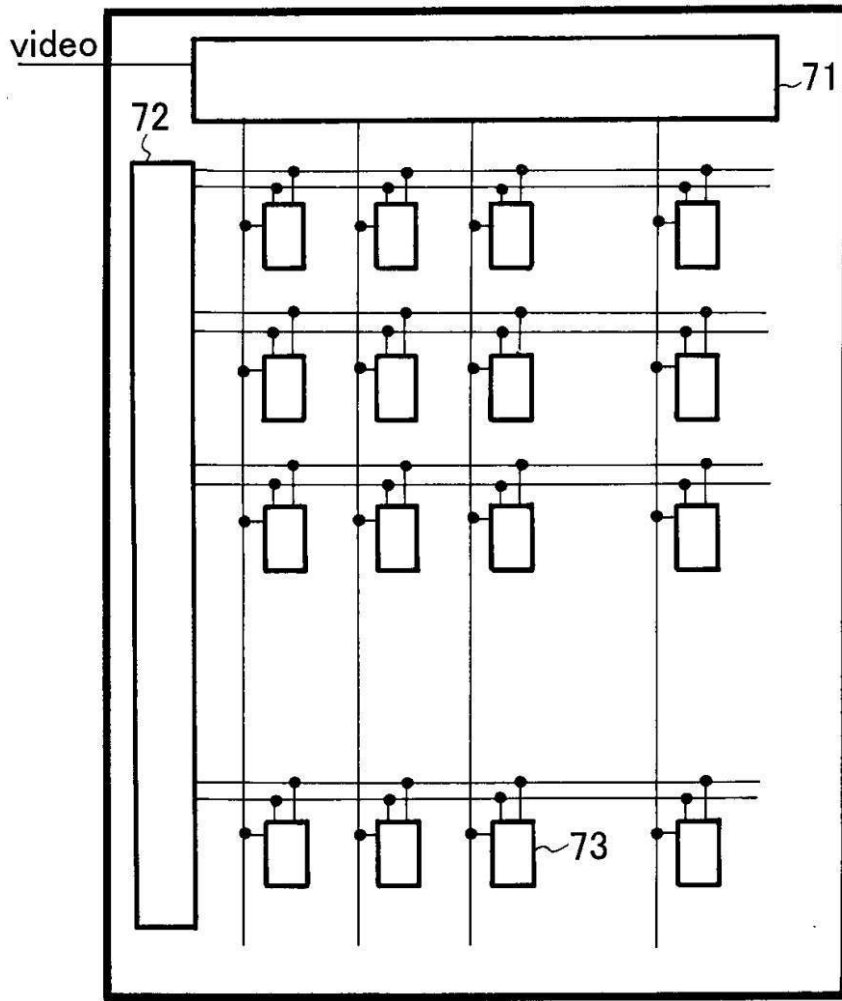
【 図 6 】



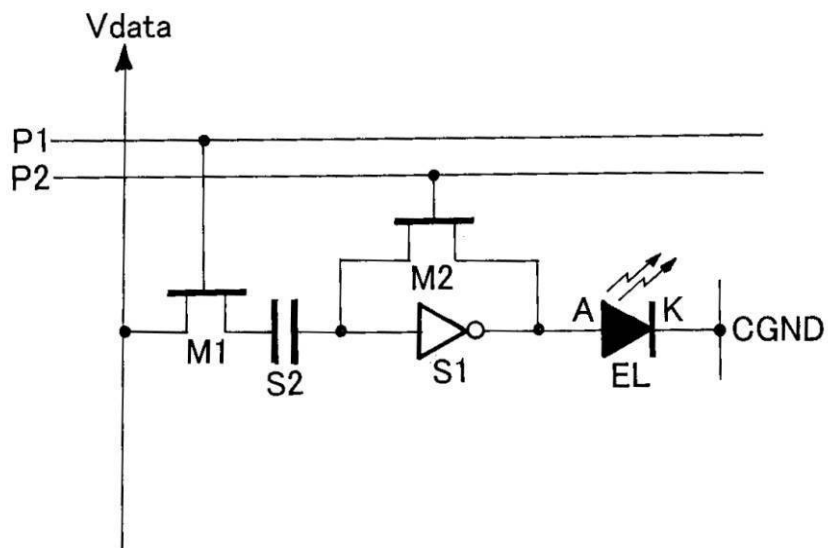
【図 7】



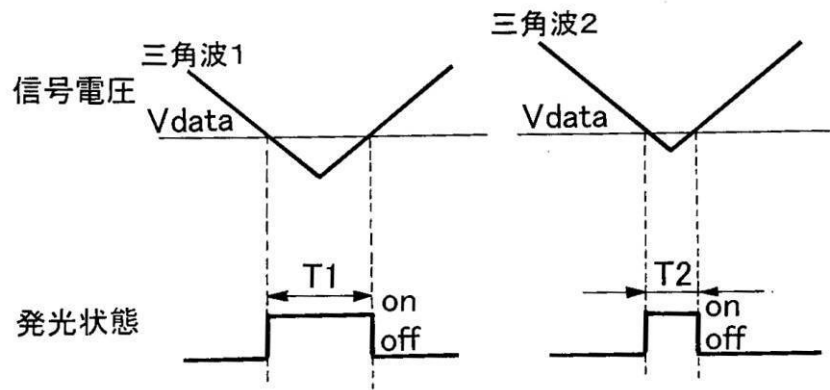
【図 8】



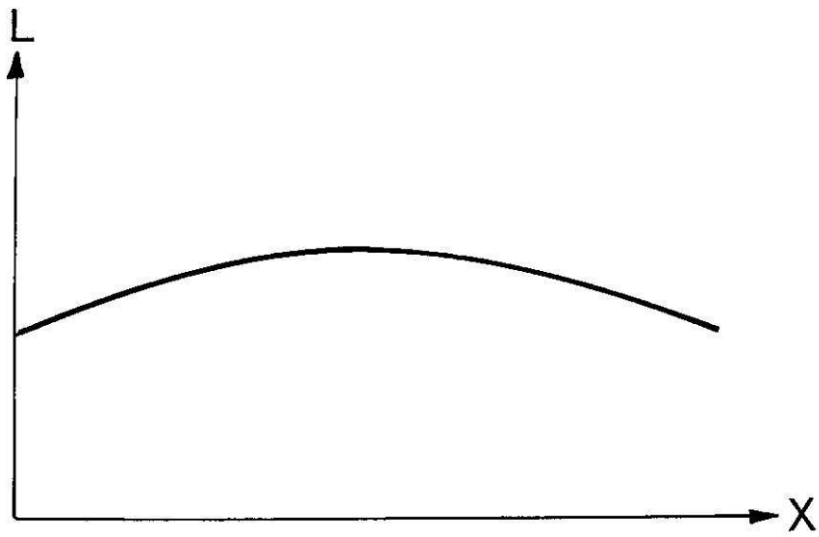
【図 9】



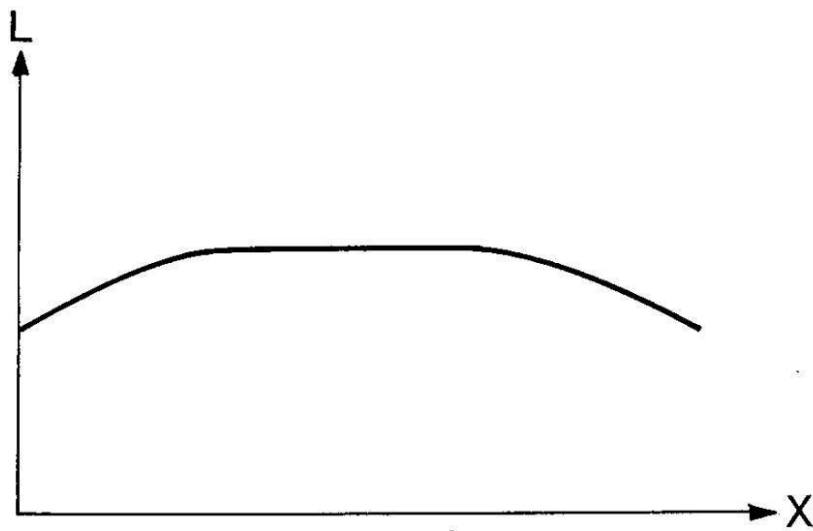
【図 1 0】



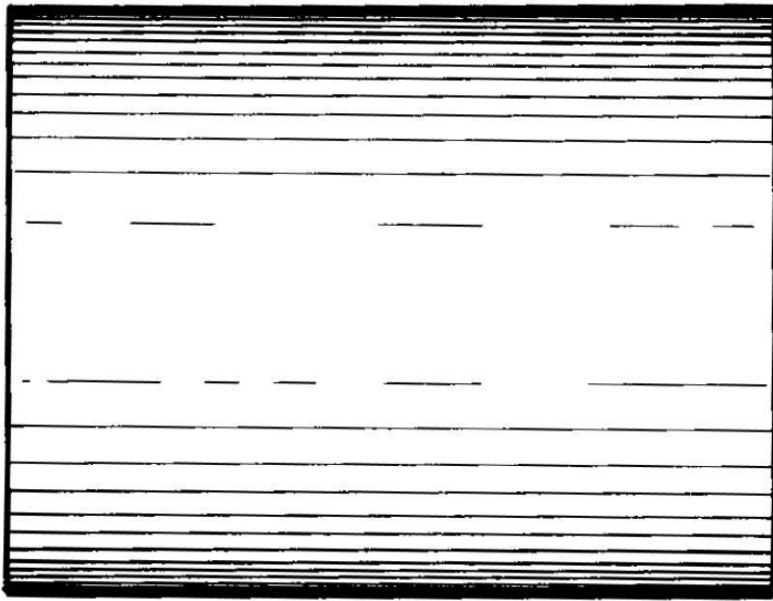
【図 1 1】



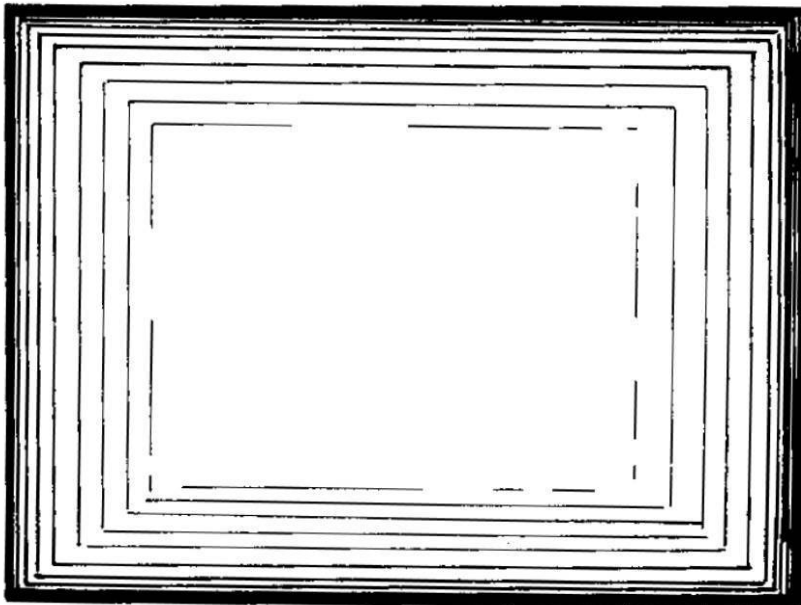
【図 1 2】



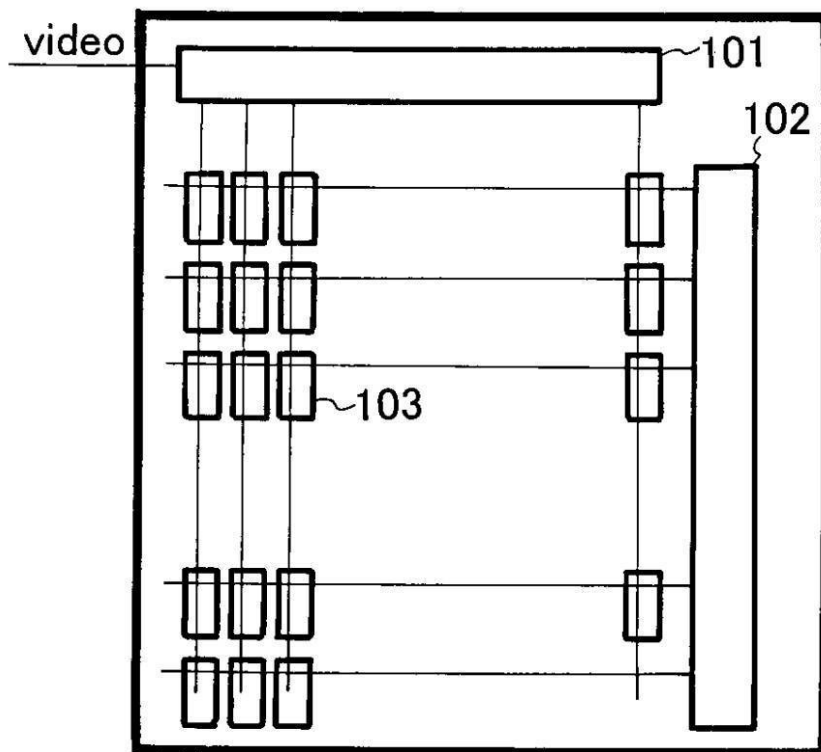
【 図 1 3 】



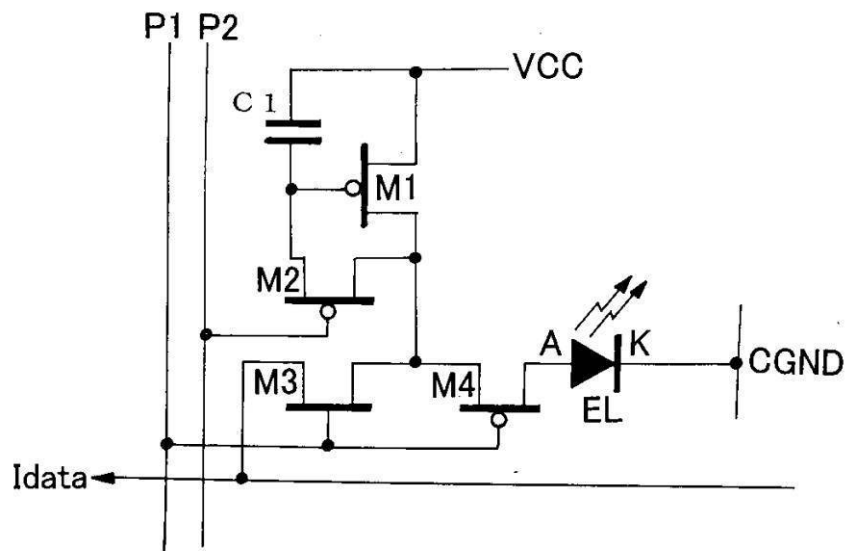
【 図 1 4 】



【 図 1 5 】



【 図 1 6 】



フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 1 1 A
	G 0 9 G 3/30	K
	H 0 5 B 33/14	A

F ターム(参考) 5C080 AA06 BB05 DD01 DD26 EE28 EE29 FF11 JJ01 JJ02 JJ03
JJ04 JJ05

专利名称(译)	有源矩阵显示设备		
公开(公告)号	JP2008009280A	公开(公告)日	2008-01-17
申请号	JP2006181671	申请日	2006-06-30
[标]申请(专利权)人(译)	佳能株式会社		
申请(专利权)人(译)	佳能公司		
[标]发明人	識名紀之		
发明人	識名 紀之		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/2014 G09G3/325 G09G3/3258 G09G3/3266 G09G2300/0819 G09G2300/0842 G09G2320/0223 G09G2330/021		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.641.D G09G3/20.622.C G09G3/20.642.D G09G3/20.611.A G09G3/30.K H05B33/14.A G09G3/325 G09G3/3266 G09G3/3275 G09G3/3283 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC02 3K107/CC14 3K107/CC31 3K107/EE03 3K107/HH02 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD01 5C080/DD26 5C080/EE28 5C080/EE29 5C080/FF11 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/AB45 5C380/BA01 5C380/BA11 5C380/BB22 5C380/CA08 5C380/CA12 5C380/CA13 5C380/CA39 5C380/CA54 5C380/CB01 5C380/CB11 5C380/CB16 5C380/CB18 5C380/CB26 5C380/CB34 5C380/CB37 5C380/CC03 5C380/CC13 5C380/CC26 5C380/CC33 5C380/CC39 5C380/CC63 5C380/CC64 5C380/CC65 5C380/CD012 5C380/CD014 5C380/CD015 5C380/CE19 5C380/CF06 5C380/CF07 5C380/CF23 5C380/CF57 5C380/DA02 5C380/DA06 5C380/DA07 5C380/DA19 5C380/DA30 5C380/DA32 5C380/DA33 5C380/DA47		
代理人(译)	永井道雄		
其他公开文献	JP5196744B2 JP2008009280A5		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种有源矩阵型显示装置，其能够抑制系统负载，损害数据驱动器的动态范围并显示明亮的屏幕而不会增加功耗。保持表示信号的电信号的电容器C1，根据电容器C1保持的信息输出驱动电流的驱动晶体管M1，以及根据从驱动晶体管M1输出的电流而发出具有亮度的发光。有源矩阵显示器包括多个像素电路，每个像素电路包括用于控制发光元件EL的发光或不发光的发光元件EL，以及用于选择性地控制发光或不发光的开关元件M4 该装置的特征在于包括控制装置，该控制装置用于使开关元件M4从中心区域朝向外围区域减小发光元件EL的发光周期。

[选择图]图2

