

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-215296

(P2006-215296A)

(43) 公開日 平成18年8月17日(2006.8.17)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K007
G09G 3/20 (2006.01)	G09G 3/20 623C	5C080
H01L 51/50 (2006.01)	G09G 3/20 624B	
	H05B 33/14 A	

審査請求 未請求 請求項の数 6 O L (全 13 頁)

(21) 出願番号	特願2005-28400 (P2005-28400)	(71) 出願人	000002185
(22) 出願日	平成17年2月4日 (2005.2.4)		ソニー株式会社
			東京都品川区北品川6丁目7番35号
		(74) 代理人	100086841
			弁理士 脇 篤夫
		(74) 代理人	100114122
			弁理士 鈴木 伸夫
		(72) 発明者	中村 和夫
			東京都品川区北品川6丁目7番35号 ソ
			ニー株式会社内
		(72) 発明者	内野 勝秀
			東京都品川区北品川6丁目7番35号 ソ
			ニー株式会社内
		Fターム(参考)	3K007 AB11 AB17 BA06 DB03 GA00
			最終頁に続く

(54) 【発明の名称】 表示装置、画素駆動方法

(57) 【要約】

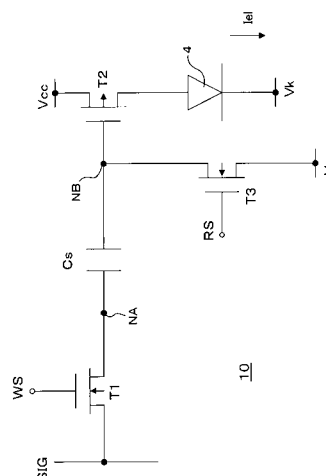
【課題】有機EL素子を用いた画素回路において少ない素子数で定電流駆動を実現するとともに、高精細かつ低コストの装置構成を実現する。

【解決手段】

有機EL表示装置のMOSプロセスで形成された画素回路において、駆動トランジスタT2のゲートに直列に容量Csを接続して、駆動トランジスタT2のゲート容量とのカップリングにより実効ゲート電位を低減させるようにしている。これにより、信号線SIGに与えられる信号電圧の範囲を、駆動トランジスタT2のゲート電圧制御範囲より広くとることができるようにし、信号線駆動回路側で容易に正確な階調制御ができるようにする。

。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

信号線と走査線が交差する部分に形成される画素回路がマトリクス状に配置されて成る表示装置であって、

上記各画素回路は、有機エレクトロルミネッセンス素子が、MOSプロセスで形成された第1、第2、第3のトランジスタと容量とを有する回路によって発光駆動される構成とされ、

上記第1のトランジスタのゲートに上記走査線が接続され、

上記第1のトランジスタのソース/ドレインの一方に上記信号線が、他方に上記容量の一端が接続され、

上記第2のトランジスタのゲートに上記容量の他端が接続され、

上記第2のトランジスタのソース/ドレインの一方に駆動電源が、他方に有機エレクトロルミネッセンス素子のアノードが接続され、

上記第3のトランジスタのゲートにリセット制御線が接続され、

上記第3のトランジスタのソース/ドレインの一方に上記第1のトランジスタのゲートが、他方にリセット電源が接続されていることを特徴とする表示装置。

【請求項 2】

上記第2のトランジスタのゲート電位は、そのゲート容量と上記容量との容量カップリングにより決まる構成であることを特徴とする請求項1に記載の表示装置。

【請求項 3】

上記第2のトランジスタは、飽和領域で動作するように設定されていることを特徴とする請求項1に記載の表示装置。

【請求項 4】

上記リセット電源は、上記第2のトランジスタがカットオフする電位に設定されていることを特徴とする請求項1に記載の表示装置。

【請求項 5】

上記走査線からの走査パルスにより、上記第1のトランジスタが導通される期間における前半に、上記信号線による電位を最高電位とすると共に、上記リセット制御線からのリセットパルスにより上記第3のトランジスタを導通させることで、上記容量の一端を上記最高電位に、上記容量の他端を上記リセット電位に設定し、

上記第1のトランジスタが導通される期間における後半に、上記信号線から信号電位を与えることを特徴とする請求項1に記載の表示装置。

【請求項 6】

信号線と走査線が交差する部分に形成される画素回路がマトリクス状に配置されて成る表示装置であって、上記各画素回路は、有機エレクトロルミネッセンス素子が、MOSプロセスで形成された第1、第2、第3のトランジスタと容量とを有する回路によって発光駆動される構成とされ、

上記第1のトランジスタのゲートに上記走査線が接続され、

上記第1のトランジスタのソース/ドレインの一方に上記信号線が、他方に上記容量の一端が接続され、

上記第2のトランジスタのゲートに上記容量の他端が接続され、

上記第2のトランジスタのソース/ドレインの一方に駆動電源が、他方に有機エレクトロルミネッセンス素子のアノードが接続され、

上記第3のトランジスタのゲートにリセット制御線が接続され、

上記第3のトランジスタのソース/ドレインの一方に上記第1のトランジスタのゲートが、他方にリセット電源が接続されていることを表示装置の画素駆動方法として、

上記走査線からの走査パルスにより、上記第1のトランジスタが導通される期間における前半に、上記信号線による電位を最高電位とすると共に、上記リセット制御線からのリセットパルスにより上記第3のトランジスタを導通させることで、上記容量の一端を上記最高電位に、上記容量の他端を上記リセット電位に設定する第1のステップと、

10

20

30

40

50

上記第1のトランジスタが導通される期間における後半に、上記信号線から信号電位を与え、上記信号電位に対して、上記容量と上記第2のトランジスタのゲート容量との容量カップリングで決まるゲート電圧に応じて上記第2のトランジスタが動作し、上記有機エレクトロルミネッセンス素子への電流印加による発光が開始される第2のステップと、
を実行することを特徴とする画素駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、信号線と走査線が交差する部分に形成される画素回路がマトリクス状に配置されて成る表示装置であって、特に発光素子として有機エレクトロルミネッセンス素子（有機EL素子）を用いた表示装置と、その画素駆動方法に関する。 10

【背景技術】

【0002】

【特許文献1】特開2003-271095

【特許文献2】特開2003-255856

【0003】

近年、フラットパネルディスプレイ（FPD）として有機EL表示装置に関心が高まっている。現在、FPDでは液晶表示装置（LCD）が主流を占めているが、液晶表示装置は自発光デバイスではないので、バックライトや偏光板などの他部材を必要とする。このため、表示装置の厚みが増したり、輝度が不足するなどの事情が避けられない。 20

これに対して有機EL表示装置は自発光デバイスであり、バックライトなど他部材が原理的に不要で、薄型化や高輝度の実現性などの点でLCDと比較して有利である。特に、各画素にスイッチング素子を形成したアクティブマトリクス型有機EL表示装置では、各画素にホールド点灯させることで消費電流を低く抑えることができ、大画面化および高精細化が比較的容易に行えることから、各社で開発が進められており、次世代FPDの主流になると期待されている。

【0004】

また、近年ではデジタルスチルカメラ、デジタルカムコーダーなどに代表される個人用撮影機器が発達しており、それらのファインダー表示素子として、結晶珪素基板上に画素回路および駆動回路が形成されたLiquid Crystal on Silicon所謂LCOSあるいは高温または低温多結晶シリコンLCDが用いられている。 30

LCDを用いたファインダー素子では、透過型ではバックライトが、反射型ではフロントライトが必要であり、必然的にモジュール厚が増してしまい、機器の薄型化に不利となる。また、個人用撮影機器の小型化とともにファインダー自体も小型され、それに伴い画素自体も縮小される傾向にあり、透過型LCDでは開口部が十分にとれず、性能限界に近づきつつある。反射型ではLCOSが主流になりつつあるが、やはり照明系は必要であり、機器の薄型化に寄与しない。

一方、有機ELをビューファインダー表示素子として用いた場合には、自発光であるのでLCDのような照明系を必要せず、機器の薄型化に寄与できる。また、有機ELの素子構造として上面発光の素子を用いることで、開口率も性能上十分な値を確保できる。 40

【0005】

また、近年ではビューファインダーも高精細化の道をたどりつつあり、QVGA（Quarter Video Graphics Array：320×240画素）からVGA（Video Graphics Array：640×480画素）、さらにはSVGA（Super Video Graphics Array：800×600画素）やXGA（Extended Graphics Array：1024×768画素）の要求が機器メーカーから出ている。

これらの高精細化の要求に対応するには、LCOSのようにMOSプロセスを用いるのは当然のこととして、さらに画素駆動回路の素子数を減少させるか、あるいは画素駆動回路内の素子サイズの縮小が必要となる。

なお、上記特許文献1、2には有機EL素子を用いた画素回路に関する技術が記載され 50

ている。

【発明の開示】

【発明が解決しようとする課題】

【0006】

一般的に有機ELを駆動する画素回路では、トランジスタの閾値変動やトランスコンダクタンス変動を補償する機構が必要で、様々な技術が提案されている。これらの回路の大部分は、トランジスタ数が5個程度と多い。しかしながら、MOSプロセスによりトランジスタを形成した場合には、隣接画素間のトランジスタ閾値差は5mVと大変小さく、特に閾値電圧 V_{th} を補正する回路を必要としない場合が多い。だが、MOSトランジスタの移動度が約 $300 \sim 600 \text{ cm}^2/\text{V} \cdot \text{s}$ と大きく、高精細な微小画素を駆動する場合

10

には、電流供給能力が大きすぎる。
通常、ビデオカメラのビューファインダーで用いられるようなディスプレイの画素ピッチは $10 \mu\text{m}$ よりも小さく、かつ直視型の場合には輝度は 100 nit 程度しか必要としないため、有機EL駆動電流は 5 nA 程度と小さい。

【0007】

図6は、一般的な有機EL画素駆動回路を示し、図7にその動作を示す。この回路は、3個のP型トランジスタ T_{11} 、 T_{12} 、 T_{13} と1個の容量 C_s で構成される。

信号線SIGからは映像信号電圧が与えられるが、図7(a)のように走査線WSによってトランジスタ T_{11} が導通されるタイミングで、図7(b)の信号線SIGからのアナログ映像信号電圧 V_s がサンプリングされる。このサンプリングされた映像信号電圧 V_s によってトランジスタ T_{12} のゲート電圧が決まることになり、トランジスタ T_{12} がアノード電源 V_{cc} からの電流を有機EL素子4に流す動作を行う。このトランジスタ T_{12} は、発光時の定電流動作を保証するため飽和領域で動作する。

20

なお、トランジスタ T_{13} は、輝度あるいはホワイトバランス調整用に設けられており、デューティ制御線DSからのパルスにより1フレーム間でON・OFF動作を行う。このため図7(c)(d)のように、デューティ制御線DSが低電位とされ、トランジスタ T_{13} が導通される時点で、有機EL素子4に、トランジスタ T_{12} からの定電流 I_{el} が流れることになる。

【0008】

この図6の画素回路で、有機EL素子4に流れる電流 I_{el} は、

30

$$I_{el} = K (V_{gs} - V_{th})^2 \quad \dots (式1)$$

で決定される。但し、 V_{gs} ：トランジスタ T_{12} のゲート・ソース間電圧、 V_{th} ：トランジスタ T_{12} の閾値電圧 K ：トランジスタ T_{12} の定数である。

【0009】

ここで、電流 I_{el} が約 5 nA と非常に小さいため、上式から、電流を制限するには、ゲート・ソース間電圧 V_{gs} を小さくする（映像信号振幅を小さくする）か、定数 K を小さくする必要がある。

例えば、画素ピッチが $10 \mu\text{m}$ ピッチ程度で、トランジスタサイズ $W/L = 1 \mu\text{m} / 1 \mu\text{m}$ 程度であれば、信号線SIGから与える映像信号振幅 ΔV_s としては $0.5 \text{ V} \sim 0.7 \text{ V}$ 程度で十分である。

40

【0010】

しかしながら、映像信号振幅 0.7 V で多階調表現、例えば256階調を行おうとすると1階調あたり 1.97 mV と大変小さく正確な制御を行うことが困難となる。即ち信号線SIGに映像信号を与える信号線駆動回路において、正確に階調を表現する映像信号を信号線SIGに印加することが困難である。或いは、このような小さい信号振幅のなかで十分な階調表現を行う信号線駆動回路を実現するには、非常に分解能の高い高性能な回路が必要となり、大幅なコストアップが生ずる。

一方で、例えば映像信号振幅を 2 V 程度に広げて、信号線駆動回路側で比較的容易に十分な階調表現ができるようにすると、今度は画素回路側でトランジスタのチャネル長を大きくする必要がある。例えばチャネル長が $1 \mu\text{m}$ から $64 \mu\text{m}$ 程度に拡大することとなっ

50

てしまい、現実的ではない。

【課題を解決するための手段】

【0011】

本発明は上記のような問題点を鑑みなされたもので、有機EL素子を用いた画素回路として、少ない素子数で定電流駆動を実現し、高精細かつ低コストである有機EL表示装置を提供することを目的とする。

【0012】

本発明の表示装置は、信号線と走査線が交差する部分に形成される画素回路がマトリクス状に配置されて成る表示装置であって、上記各画素回路は、有機エレクトロルミネッセンス素子が、MOSプロセスで形成された第1、第2、第3のトランジスタと容量とを有する回路によって発光駆動される構成とされる。そしてこの画素回路は、上記第1のトランジスタ（サンプリングトランジスタ）のゲートに上記走査線が接続され、上記第1のトランジスタのソース/ドレインの一方に上記信号線が、他方に上記容量の一端が接続され、上記第2のトランジスタ（駆動トランジスタ）のゲートに上記容量の他端が接続され、上記第2のトランジスタのソース/ドレインの一方に駆動電源が、他方に有機エレクトロルミネッセンス素子のアノードが接続され、上記第3のトランジスタ（リセットトランジスタ）のゲートにリセット制御線が接続され、上記第3のトランジスタのソース/ドレインの一方に上記第1のトランジスタのゲートが、他方にリセット電源が接続されている。

また上記第2のトランジスタのゲート電位は、そのゲート容量と上記容量との容量カップリングにより決まる構成とする。

また上記第2のトランジスタは、飽和領域で動作するように設定されている。

上記リセット電源は、上記第2のトランジスタがカットオフする電位に設定される。

また、上記走査線からの走査パルスにより、上記第1のトランジスタが導通される期間における前半に、上記信号線による電位を最高電位とすると共に、上記リセット制御線からのリセットパルスにより上記第3のトランジスタを導通させることで、上記容量の一端を上記最高電位に、上記容量の他端を上記リセット電位に設定し、上記第1のトランジスタが導通される期間における後半に、上記信号線から信号電位を与える。

【0013】

本発明の画素駆動方法は、上記構成の画素回路において、上記走査線からの走査パルスにより、上記第1のトランジスタが導通される期間における前半に、上記信号線による電位を最高電位とすると共に、上記リセット制御線からのリセットパルスにより上記第3のトランジスタを導通させることで、上記容量の一端を上記最高電位に、上記容量の他端を上記リセット電位に設定する第1のステップと、上記第1のトランジスタが導通される期間における後半に、上記信号線から信号電位を与え、上記信号電位に対して、上記容量と上記第2のトランジスタのゲート容量との容量カップリングで決まるゲート電圧に応じて上記第2のトランジスタが動作し、上記有機エレクトロルミネッセンス素子への電流印加による発光が開始される第2のステップとを実行する。

【0014】

このような本発明では、MOSプロセスを用いて形成される画素回路において、信号線から与えられる信号電圧（映像信号電圧）が、第2のトランジスタ（駆動トランジスタ）のゲートと直列接続している容量と第2のトランジスタのゲート容量との容量カップリングで決まるゲート電圧として反映されて駆動トランジスタが動作する。つまり容量カップリングにより、第2のトランジスタの実効ゲート電圧を低減させる。

【発明の効果】

【0015】

本発明によれば、有機EL表示装置の画素回路、特にMOSプロセスで形成された画素回路において、第2のトランジスタ（駆動トランジスタ）のゲートに直列に容量を接続して、第2のトランジスタのゲート容量とのカップリングにより実効ゲート電位を低減させるようにしている。これにより、信号線に与えられる信号電圧の範囲は、第2のトランジスタのゲート電圧制御範囲より広くとることができる。例えばゲート電圧振幅を0.7V

10

20

30

40

50

程度とする場合において、信号線に与える映像信号の信号電圧振幅を、その2倍から3倍の1.4V～2.1V程度とすることができる。映像信号の振幅を広くとれるということは、信号線駆動回路側で容易に正確な階調制御ができることを意味する。即ち本発明によれば、画素ピッチが小さくトランジスタのチャンネル長も小さい微細画素による、小型で高精細の表示装置を信号線駆動回路に負担をかけずに実現できる。このため、低コストかつ高精細である有機EL表示装置を提供できるという効果がある。

【発明を実施するための最良の形態】

【0016】

以下、本発明の実施の形態としての有機EL表示装置を説明する。

図1に実施の形態の表示装置の構成を示す。本例の表示装置では、画素アレイ1として 10
カラー画素ユニットGSがm行×n列のマトリクス状に配列されている。

1つのカラー画素ユニットは、R(赤)画素回路10R、B(青)画素回路10B、G(緑)画素回路10Gから構成される。そしてこのようなカラー画素ユニットGS11～GSnmがマトリクス状に配列される。図では画素アレイ1における4隅のカラー画素ユニットGS11、GS1n、GSm1、GSnmのみを示し、他は省略している。

【0017】

このような画素アレイ1に対して、映像信号線駆動回路2、走査線駆動回路3が設けられる。

映像信号線駆動回路2には、水平クロックHCK、水平スタート信号HST、及び映像信号(Video)が入力される。映像信号線駆動回路2はこれらの信号に基づいて、画 20
素アレイ1の各列に対して配設された映像信号線SIGに対して、各水平期間毎に映像信号を与える。

映像信号線SIGとしては、列方向に並ぶR画素回路10Rに対する映像信号線SIG-R、列方向に並ぶB画素回路10Bに対する映像信号線SIG-B、列方向に並ぶG画素回路10Gに対する映像信号線SIG-Gが設けられる。カラー画素ユニットGSはn列であるため、画素アレイ1に対して、映像信号線SIG-R(1)～SIG-R(n)、SIG-B(1)～SIG-B(n)、SIG-G(1)～SIG-G(n)が設けられることになり、映像信号線駆動回路2は、これらの映像信号線SIGに対してそれぞれ 1 水平期間毎に、列方向の各画素に応じたR映像信号、B映像信号、G映像信号を印加する。 30

【0018】

走査線駆動回路3には、垂直走査クロックVCK、垂直スタート信号VSTが与えられる。走査線駆動回路3はこれらの信号に基づいて、画素アレイ1の各行に対して配設された走査線WSに対して走査パルスを与え、また各行に対して配設されたリセット制御線RSを駆動する。

画素アレイ1はm行の画素が構成されることから、走査線WSとしては走査線WS(1)～WS(m)が設けられ、またリセット制御線RS(1)～RS(m)が設けられる。走査線駆動回路3は、1フレーム期間内において、1水平期間毎に走査線WS(1)～WS(m)を順次選択する走査パルスを印加し、またリセット制御線RS(1)～RS(m)のそれぞれにリセットパルスを印加する。 40

各画素回路10(10R、10B、10G)には、それぞれ対応する行の走査線WSからの走査パルスと、リセット制御線RSからのリセットパルスが与えられる。

【0019】

画素アレイ1の各画素回路10(10R、10B、10G)に対しては、電源電圧Vcとカソード電圧Vkとリセット電圧Vresが与えられる。

【0020】

図1の表示装置構成における画素回路10(10R、10B、10G)の構成を図2に示す。

この画素回路10は有機EL素子4を駆動する回路がN型の第1のトランジスタT1(サンプリングトランジスタ)と、P型の第2のトランジスタT2(駆動トランジスタ)と 50

、N型の第3のトランジスタT3（リセットトランジスタ）と、容量Csで形成されている。

サンプリングトランジスタT1のゲートには走査線が接続される。また、ドレインには映像信号線SIGが接続され、ソースには容量Csの一端が接続される。

容量Csの他端には、駆動トランジスタT2のゲートとリセットトランジスタT3のドレインが接続される。

駆動トランジスタT2のソースには駆動用アノード電源Vccのラインが接続され、ドレインは有機EL素子4のアノードに接続される。

駆動トランジスタT2は定電流動作のため飽和領域で動作するように設定される。

リセットトランジスタT3のゲートにはリセット制御線RSが接続される。リセットトランジスタT3のソースはリセット電源Vresのラインに接続される。 10

有機EL素子4のカソードはカソード電源Vkのラインに接続される。

なお、容量Csの一端側をノードNA、容量Csの他端側をノードNBとする。

【0021】

この画素回路10の電位設定としては、まずリセット電位Vresは駆動トランジスタT2がカットオフする電位に設定される。例えば、リセット電位Vresを駆動電源Vccの電位と等しくても良い。

【0022】

この画素回路10の動作を図3で説明する。

図3では、例えば時点tm1～tm3が1水平期間（1H）であり、その時間軸において、図3（a）（b）は或る画素回路10に対してリセット制御線RSから与えられるリセットパルスと、走査線WSから与えられる走査パルスを示している。また図3（d）（e）（f）は、その画素回路10におけるノードNA、NBの電位状態と、有機EL素子4に流れる電流Ielを示している。さらに、図3（c）は映像信号線駆動回路2から、その画素回路10を含む或る列の信号線SIGに与えられる映像信号電圧を示している。 20

【0023】

まず画素回路10に対しては、時点tm1に走査線駆動回路3によって走査線WSの走査パルスを高電位にすることで、サンプリングトランジスタT1をオン状態にする。これと同時に、走査線駆動回路3はリセット制御線RSを高電位にしてリセットトランジスタT3もオン状態にする。リセット制御線RSは時点tm2まで高電位とされる。 30

ここでリセットトランジスタT3がオン状態とされる時点tm1～tm2の間は、映像信号線駆動回路2は、信号線SIGの電位を最高電位Vsmaxに設定する。

このときサンプリングトランジスタT1は導通しているため、ノードNAの電位は最高電位Vsmaxに設定され、またリセットトランジスタT3が導通しているため、ノードNBの電位はリセット電位Vresに設定されることになる。

上述のようにリセット電位Vresは、駆動トランジスタT2がカットオフする電位に設定されているため、この時点tm1～tm2の期間、駆動トランジスタT2はカットオフされ、有機EL素子4に電流は流れない。

【0024】

次に時点tm2で、走査線駆動回路3は、走査線WSは高電位を維持させたまま、リセット制御線RSを低電位とする。つまりサンプリングトランジスタT1を導通させたまま、リセットトランジスタT3をオフ状態にする。 40

この時点tm2からtm3までの期間で、映像信号線駆動回路2は、信号線SIGの電位を実際に発光させたい映像信号レベルVsに設定する。このためノードNAの電位は映像信号電圧Vsとなる。

このノードNAの電位に応じて、容量Csの他端のノードNBの電位も変動する。そして駆動トランジスタT2は、ノードNBの電位、つまりゲート電圧に応じて電流を有機EL素子4に流す動作を開始し、有機EL素子4の発光が開始される。駆動トランジスタT2は飽和領域で動作し、有機EL素子4に定電流印加を行う。

【0025】

以上のように、この画素回路 10 では、サンプリングトランジスタ T1 が導通される期間 ($t_{m1} \sim t_{m3}$) における前半 ($t_{m1} \sim t_{m2}$) に、信号線 SIG による電位を最高電位 V_{smax} とすると共に、リセット制御線 RS からのリセットパルスによりリセットトランジスタ T3 を導通させることで、容量 C_s の一端 (ノード NA) を最高電位 V_{smax} に、容量 C_s の他端 (ノード NB) をリセット電位 V_{res} に設定する。

そしてサンプリングトランジスタ T1 が導通される期間における後半 ($t_{m2} \sim t_{m3}$) に、信号線 SIG から映像信号電位 V_s を与え、信号電位 V_s に対して、容量 C_s と駆動トランジスタ T2 のゲート容量との容量カップリングで決まるゲート電圧に応じて駆動トランジスタ T2 が動作し、有機 EL 素子 4 への電流供給による発光が開始されるようにしている。

10

【0026】

ここで、実際に駆動トランジスタ T2 に印加されるゲート電位 V_g は、容量 C_s と、駆動トランジスタ T2 のゲート容量 C_g の容量カップリングにより、次式で表すことができる。

$$V_g = V_{res} - \{C_s / (C_s + C_g)\} \cdot (V_{smax} - V_s) \quad \cdots (式 2)$$

この式 2 から分かるように、駆動トランジスタ T2 のゲート電位 V_g の振幅 ΔV_g は、映像信号の変化 ΔV_s より小さくできる。

従って、容量 C_s をゲート容量 C_g より小さくすれば、必要なゲート振幅 V_g が得られる。例えば、 $\Delta V_s = 3V$ 、 $\Delta V_g = 0.5V$ なら、式 2 より容量 C_s をゲート容量 C_g の $1/5$ に設計すればよい。

20

【0027】

つまり本例では、サンプリングトランジスタ T1 のソースと駆動トランジスタ T2 のゲートの間に容量 C_s が直列接続されており、容量 C_s とゲート容量 C_g との容量カップリングにより、駆動トランジスタの実効ゲート電圧を低減させるものである。図 3 においてノード NA の電圧範囲、つまり映像信号の変化 ΔV_s は最高電位 V_{smax} ~ 最低電位 V_{smin} の範囲であるが、ノード NB、つまりゲート電圧の振幅 ΔV_g は、リセット電位 V_{res} ~ 電位 V_{bmin} の範囲となる。

従って、例えば飽和領域で動作する駆動トランジスタ T2 は、振幅 ΔV_g としての動作範囲が $0.5V \sim 0.7V$ 程度と小さいが、映像信号の振幅を $0.5V \sim 0.7V$ 程度とする必要はない。例えば映像信号振幅は $1.4V$ 、 $2.1V$ 、或いは $3V$ 程度としてもよい。

30

つまり容量 C_s の設定値により映像信号振幅をゲート電圧振幅の 2 倍或いは 3 倍以上に大きくすることができるため、映像信号線駆動回路 2 は、例えば 256 階調などの映像信号の階調表現を通常の回路で容易に実現でき、高精度な信号処理回路を必要としない。

即ち本発明によれば、画素ピッチが小さくトランジスタのチャンネル長も小さい微細画素による、小型で高精細の表示装置を、信号線駆動回路に負担をかけずに実現できる。このため、低コストかつ高精細である有機 EL 表示装置を提供できる。

さらには、容量 C_s を小さい値に設定できるので、画素面積に占める容量面積を小さくでき、その点でも高精細画素に適している。

また、容量 C_s の面積を小さくし、画素サイズを小型化できれば、表示パネル全体もより小さくできることはいうまでもなく、例えば 1 枚のウエハーから取れるパネル数も多く、製造歩留まりの向上や低コスト化が実現できる。

40

もちろん、例えばビデオカメラ装置のビューファインダなどにも用いられる有機 EL 表示パネルとしての小型化、高精細化に好適である。

【0028】

ところで本例の図 2 の画素回路 10 は、MOS プロセスにより形成される。この画素回路 10 を実現するレイアウト図を図 4 に示し、また有機 EL 画素回路の断面構造例を図 5 に模式的に示す。

まず図 5 で MOS プロセスで形成される画素回路 10 の構造を述べる。なお、この図 5 はあくまで一般的なモデルとしての層構造の参考図であり、図 2 の回路を実現する図 4 の

50

レイアウトに対応するものではない。

【0029】

既に公知であるように、MOSプロセスでは結晶珪素基板（シリコンウエハ）上に不純物添加、拡散を行い、ポリシリコン膜、酸化膜、層間絶縁膜等を成膜していくことでトランジスタを形成し、また素子間の配線のためのアルミまたは銅などによる金属配線膜を生成して所要の回路を構成する。

有機EL画素回路の場合、例えば図5に示すようにトランジスタ T_a 、 T_b 、 T_c 及び容量 C_s が形成されるとともに、3層に金属配線膜（第1金属配線膜 MT_1 、第2金属配線膜 MT_2 、第3金属配線膜 MT_3 ）が形成される。各層の間はコンタクトとして層間プラグ CT が形成されて電氣的に接続される。

10

そして最上層としてアノード電極41、EL薄膜42、カソード電極43が蒸着形成される。

図2の画素回路10の場合、駆動トランジスタ T_2 のドレインが有機EL素子4のアノードに接続されるが、このためには例えば図5の例におけるトランジスタ T_c の部分において示すように、トランジスタのドレイン領域から層間プラグ CT や金属配線膜 MT_1 、 MT_2 、 MT_3 を介してアノード電極41に接続されることになる。

【0030】

この図5は、あくまで模式的に層構造を示したものであるが、図2の画素回路10に対応したレイアウト例は図4のようになる。

図4においては実線で各素子の構造領域を示し、破線で第1金属配線膜 MT_1 を、一点鎖線で第2金属配線膜 MT_2 を、点線で第3金属配線膜 MT_3 を示している。また層間プラグ（コンタクト） CT としての上下層のコンタクト部分を「○」で示している。

20

【0031】

まず実線で示すように、サンプリングトランジスタ T_1 、駆動トランジスタ T_2 、リセットトランジスタ T_3 、容量 C_s が形成される。

また破線で示す第1金属配線膜 MT_1 により、映像信号線 SIG と必要な素子間配線が形成される。また一点鎖線で示す第2金属配線膜 MT_2 により走査線 WS 、リセット制御線 RS が形成される。点線で示す第3金属配線膜 MT_3 によっては電源電圧 V_{cc} ラインとリセット電位 V_{res} ラインが形成される。

【0032】

30

第1金属配線膜 MT_1 による映像信号線 SIG はコンタクト CT_{12} によりサンプリングトランジスタ T_1 のドレイン領域（ D ）に接続される。

サンプリングトランジスタ T_1 のゲート領域（ G ）はコンタクト CT_{11} により、第2金属配線膜 MT_2 の走査線 WS に接続される。

サンプリングトランジスタ T_1 のソース領域（ S ）は、コンタクト CT_{10} により第1金属配線膜 MT_1 の配線と接続され、コンタクト CT_6 により容量 C_s の一方の電極に接続される。

この容量 C_s の他方の電極は、コンタクト CT_7 、第1金属配線膜 MT_1 、コンタクト CT_3 を介して駆動トランジスタ T_2 のゲート領域（ G ）に接続される。

さらにこの容量 C_s の他方の電極と駆動トランジスタ T_2 のゲート領域は、第1金属配線膜 MT_1 、コンタクト CT_5 を介してリセットトランジスタ T_3 のドレイン領域（ D ）に接続される。

40

リセットトランジスタ T_3 のソース領域（ S ）はコンタクト CT_9 により第3金属配線膜 MT_3 によるリセット電位 V_{res} ラインに接続される。

リセットトランジスタ T_3 のゲート領域（ G ）はコンタクト CT_8 により第2金属配線膜 MT_2 によるリセット制御線 RS に接続される。

駆動トランジスタ T_2 のドレイン領域（ D ）は、コンタクト CT_4 により、上部層のアノード電極41に接続されることになる。

駆動トランジスタ T_2 のソース領域（ S ）は、コンタクト CT_2 、第1金属配線膜 MT_1 、コンタクト CT_1 を介して第3金属配線膜 MT_3 による電源電圧 V_{cc} ラインに接続

50

される。

例えばこのようなレイアウトで図 2 の画素回路 10 を形成できる。

【図面の簡単な説明】

【0033】

【図 1】本発明の実施の形態の表示装置の構成のブロック図である。

【図 2】実施の形態の画素回路の回路図である。

【図 3】実施の形態の画素回路の動作の説明図である。

【図 4】実施の形態の画素回路のレイアウトの説明図である。

【図 5】有機 EL 画素回路の構造の説明図である。

【図 6】従来の画素回路の回路図である。

【図 7】従来の画素回路の動作の説明図である。

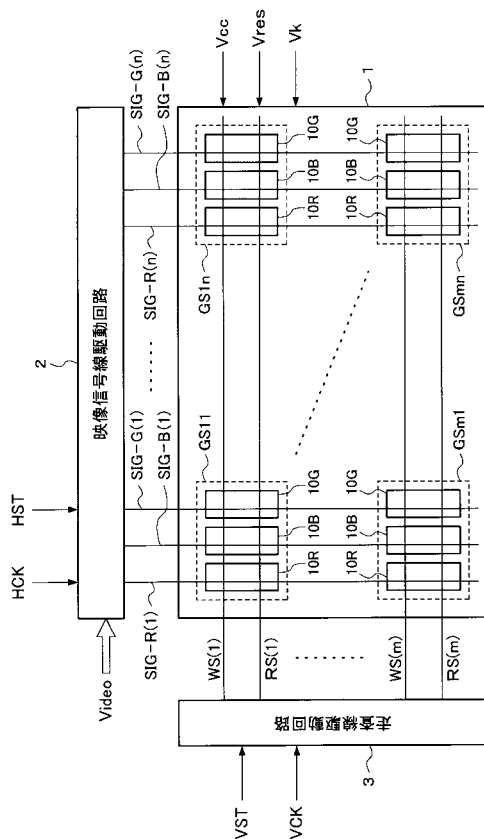
【符号の説明】

【0034】

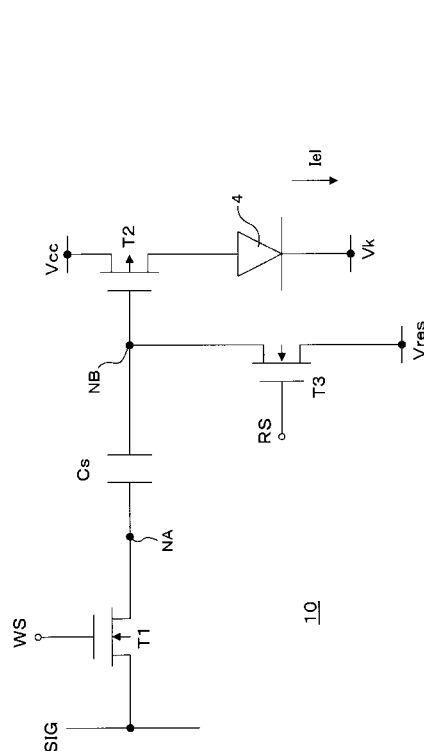
1 画素アレイ、2 映像信号線駆動回路、3 走査線駆動回路、4 有機 EL 素子、10 画素回路、10R R画素回路、10B B画素回路、10G G画素回路、Cs 容量、T1 サプリングトランジスタ、T2 駆動トランジスタ、T3 リセットトランジスタ、SIG 映像信号線、WS 走査線、RS リセット制御線

10

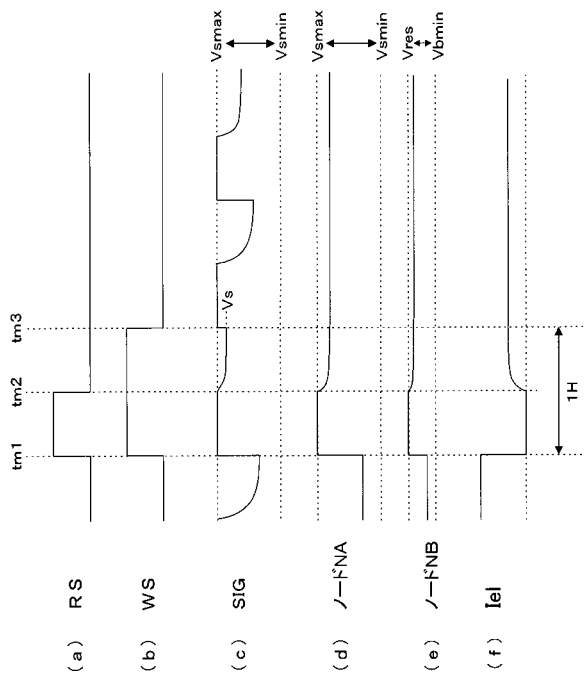
【図 1】



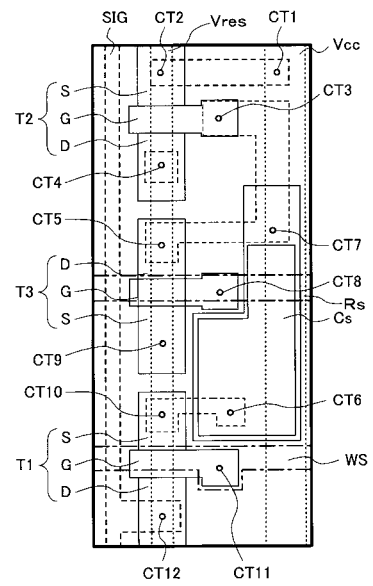
【図 2】



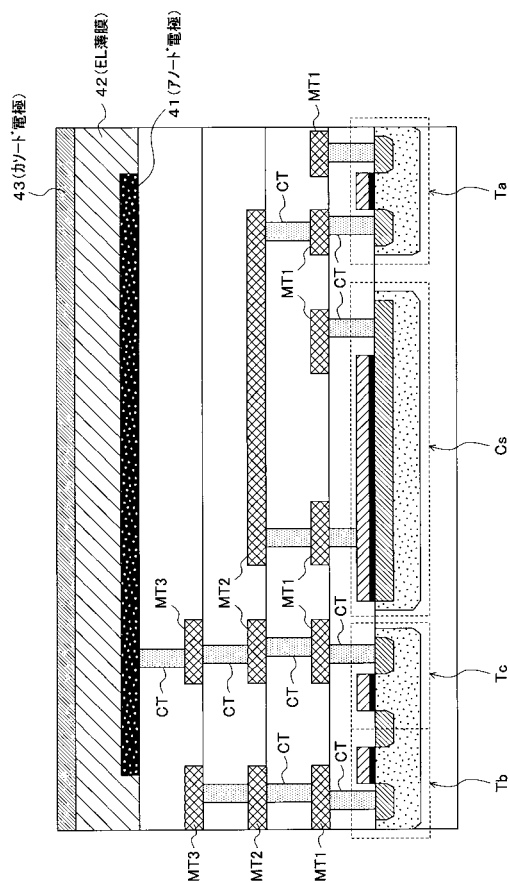
【図 3】



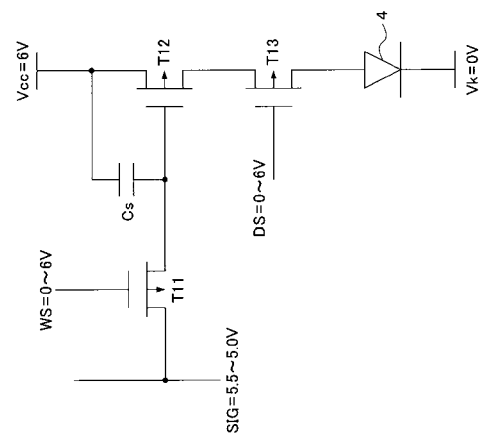
【図 4】



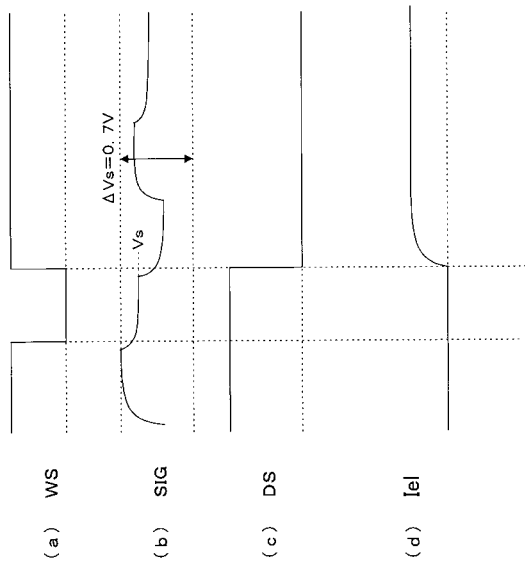
【図 5】



【図 6】



【 図 7 】



フロントページの続き

F ターム(参考) 5C080 AA06 BB05 DD07 DD24 FF11 HH09 JJ02 JJ03 JJ04 JJ06
KK43

专利名称(译)	表示装置、画素驱动方法		
公开(公告)号	JP2006215296A	公开(公告)日	2006-08-17
申请号	JP2005028400	申请日	2005-02-04
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	中村和夫 内野勝秀		
发明人	中村 和夫 内野 勝秀		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.623.C G09G3/20.624.B H05B33/14.A G09G3/3233 G09G3/3275 G09G3/3291		
F-TERM分类号	3K007/AB11 3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 5C080/AA06 5C080/BB05 5C080/DD07 5C080/DD24 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK43 3K107/AA01 3K107/BB01 3K107/CC35 3K107/CC45 3K107/EE03 3K107/HH02 3K107/HH04 3K107/HH05 5C380/AA01 5C380/AB06 5C380/AB23 5C380/AB34 5C380/AC09 5C380/AC10 5C380/BA05 5C380/BA11 5C380/BA13 5C380/BA28 5C380/BA29 5C380/BA38 5C380/BA39 5C380/BB30 5C380/CA12 5C380/CA54 5C380/CC01 5C380/CC26 5C380/CC30 5C380/CC33 5C380/CC38 5C380/CC39 5C380/CC63 5C380/CC72 5C380/CD013 5C380/CE19 5C380/CE21 5C380/CF43 5C380/DA02 5C380/DA06 5C380/DA47 5C380/HA02 5C380/HA05 5C380/HA08 5C380/HA13		
代理人(译)	铃木信夫		
外部链接	Espacenet		

摘要(译)

解决的问题：使用有机EL元件在像素电路中用少量的元件实现恒定电流驱动，并实现高清晰度和低成本的器件配置。[解决方案] 在通过有机EL显示装置的MOS工艺形成的像素电路中，电容Cs串联连接至驱动晶体管T2的栅极，并且有效栅极电势通过与驱动晶体管T2的栅极电容耦合而降低。有。结果，可以使施加到信号线SIG的信号电压的范围宽于驱动晶体管T2的栅极电压控制范围，并且信号线驱动电路侧可以容易地执行精确的灰度控制。。[选择图]图2

