

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-100727

(P2006-100727A)

(43) 公開日 平成18年4月13日(2006.4.13)

(51) Int. Cl.	F I	テーマコード (参考)
H01L 51/50 (2006.01)	H05B 33/14 A	3K007
G09F 9/30 (2006.01)	G09F 9/30 338	5C080
H01L 27/32 (2006.01)	G09F 9/30 365Z	5C094
G09G 3/20 (2006.01)	G09G 3/20 624B	
G09G 3/30 (2006.01)	G09G 3/20 680H	
審査請求 有 請求項の数 13 O L (全 36 頁) 最終頁に続く		

(21) 出願番号 特願2004-287688 (P2004-287688)

(22) 出願日 平成16年9月30日 (2004. 9. 30)

(71) 出願人 000001443

カシオ計算機株式会社

東京都渋谷区本町1丁目6番2号

(74) 代理人 100090033

弁理士 荒船 博司

(74) 代理人 100093045

弁理士 荒船 良男

(72) 発明者 当山 忠久

東京都八王子市石川町2951番地5 カ

シオ計算機株式会社八王子技術センター内

(72) 発明者 白崎 友之

東京都八王子市石川町2951番地5 カ

シオ計算機株式会社八王子技術センター内

最終頁に続く

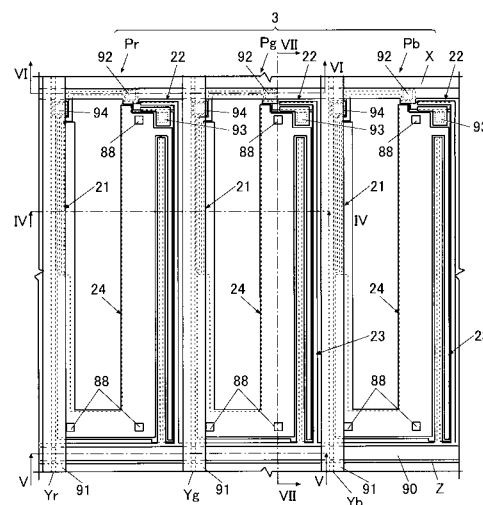
(54) 【発明の名称】 ディスプレイパネル

(57) 【要約】

【課題】電圧降下を抑えつつ、開口率の低下を抑えること。

【解決手段】ディスプレイパネルは、1ドットのサブピクセルPにつきトランジスタ21～23及びキャパシタ24が設けられたトランジスタアレイ基板50を具備する。トランジスタアレイ基板50には、水平方向の走査線X及び供給線Z並びに垂直方向の信号線Yが敷設されている。トランジスタアレイ基板50の表面には、信号線Yに対して平行に設けられたバンク71が凸設されている。バンク71間にサブピクセル電極20aが配列され、サブピクセル電極20aに有機EL層20bが積層されている。有機EL層20b及びバンク71が対向電極20cによって被覆されている。対向電極20c上に共通配線91が積層されているが、平面視して共通配線91がバンク71に重なっている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

トランジスタがサブピクセルごとに設けられてなるトランジスタアレイ基板と、
前記トランジスタアレイ基板の一方の面側に凸設された複数の突条と、
前記各突条の間において前記各突条に沿って前記トランジスタアレイ基板の一方の面側に配列され、サブピクセルごとに設けられた複数のサブピクセル電極と、
前記各サブピクセル電極上に成膜された発光層と、
前記発光層を被覆した対向電極と、
平面視して前記各突条に重なり且つ前記対向電極と電氣的に接続された共通配線と、を備えることを特徴とするディスプレイパネル。

10

【請求項 2】

前記対向電極と前記各突条との間に介在した絶縁膜を更に備え、
前記突条が導電性を有することを特徴とする請求項 1 に記載のディスプレイパネル。

【請求項 3】

前記絶縁膜が撥水性・撥油性を有することを特徴とする請求項 2 に記載のディスプレイパネル。

【請求項 4】

前記突条が絶縁膜からなることを特徴とする請求項 1 に記載のディスプレイパネル。

【請求項 5】

互いに平行に配列された複数の信号線が前記トランジスタアレイ基板に敷設され、
平面視して前記複数の突条が前記複数の信号線にそれぞれ重なっていることを特徴とする請求項 4 に記載のディスプレイパネル。

20

【請求項 6】

前記共通配線は、前記発光層の発光する光に対し不透明であることを特徴とする請求項 1 から 5 の何れか一項に記載のディスプレイパネル。

【請求項 7】

絶縁基板と、
前記絶縁基板上にサブピクセルごとに設けられた複数の駆動トランジスタと、
ソースとドレインの一方を前記駆動トランジスタのソースとドレインの一方に導通させ、
前記絶縁基板上にサブピクセルごとに設けられた複数のスイッチトランジスタと、
ソースとドレインの一方を前記駆動トランジスタのソースとドレインの他方に導通させ、
ソースとドレインの他方を前記駆動トランジスタのゲートに導通させ、前記絶縁基板上にサブピクセルごとに設けられた複数の保持トランジスタと、

30

前記複数の駆動トランジスタ、前記複数のスイッチトランジスタ及び前記複数の保持トランジスタを被覆し、互いに平行となる複数の第 1 溝及び複数の第 2 溝が形成された保護絶縁膜と、

前記各第 1 溝に埋設され、前記駆動トランジスタのソースとドレインの他方に導通し、前記駆動トランジスタ、前記スイッチトランジスタ及び前記保持トランジスタのゲート・ソース・ドレインの導電層とは別の導電層によって形成された複数の給電配線と、

前記各第 2 溝に埋設され、前記スイッチトランジスタのゲート及び前記保持トランジスタのゲートに導通し、前記駆動トランジスタ、前記スイッチトランジスタ及び前記保持トランジスタのゲート・ソース・ドレインの導電層とは別の導電層によって形成された複数の選択配線と、

40

撥水性・撥油性を有するとともに、前記複数の給電配線及び前記複数の選択配線をそれぞれ被覆した疎水絶縁膜と、

前記各選択配線及び前記各選択配線の間において前記各選択配線及び前記各選択配線に沿って前記保護絶縁膜上に配列され、サブピクセルごとに設けられ、前記駆動トランジスタのソースとドレインの一方に導通した複数のサブピクセル電極と、

湿式塗布法によって前記各サブピクセル電極上に成膜された発光層と、

前記発光層を被覆するとともに、前記疎水絶縁膜を介して前記複数の給電配線及び前記

50

複数の選択配線を被覆した対向電極と、

平面視して前記各給電配線及び前記各選択配線に重なるよう前記対向電極上に形成された共通配線と、を備えることを特徴とするディスプレイパネル。

【請求項 8】

トランジスタがサブピクセルごとに設けられてなるトランジスタアレイ基板と、

前記トランジスタに接続された複数の配線と、

前記複数の配線上に形成された絶縁膜と、

前記複数の配線の間に設けられた複数のサブピクセル電極と、

前記各サブピクセル電極上に成膜された発光層と、

前記発光層を被覆した対向電極と、

10

平面視して前記複数の配線に重なるように前記絶縁膜上に設けられ、前記対向電極と接続された共通配線と、を備えることを特徴とするディスプレイパネル。

【請求項 9】

前記トランジスタとして、ソース、ドレインの一方がサブピクセル電極に接続された駆動トランジスタと、前記駆動トランジスタのソースドレイン間に書込電流を流すスイッチトランジスタと、発光期間に前記駆動トランジスタのソースゲート間の電圧を保持する保持トランジスタとがサブピクセルごとに設けられていることを特徴とする請求項 8 に記載のディスプレイパネル。

【請求項 10】

前記複数の配線は、前記駆動トランジスタのソース、ドレインの他方と接続された給電配線であることを特徴とする請求項 9 に記載のディスプレイパネル。

20

【請求項 11】

前記複数の配線は、前記スイッチトランジスタを選択する選択配線であることを特徴とする請求項 9 に記載のディスプレイパネル。

【請求項 12】

前記複数の配線は、前記サブピクセル電極の下方に位置する平坦化膜に設けられた溝に埋設されていることを特徴とする請求項 8 から 11 の何れか一項に記載のディスプレイパネル。

【請求項 13】

前記共通配線はメッシュ状であることを特徴とする請求項 8 から 12 の何れか一項に記載のディスプレイパネル。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、発光素子をサブピクセルに用いたディスプレイパネルに関する。

【背景技術】

【0002】

特許文献 1 に記載されているように、発光素子である有機エレクトロルミネッセンス素子は基板上にアノード、エレクトロルミネッセンス層（以下、EL 層という。）、カソードの順に積層した積層構造となっており、アノードとカソードとの間に電圧が印加されると EL 層に正孔及び電子が注入され、EL 層で電界発光する。EL 層の発光が有機エレクトロルミネッセンス素子の設けられている基板を光透過して表示するように設計したエレクトロルミネッセンス素子をボトムエミッション型といい、一方、有機エレクトロルミネッセンス素子が設けられている基板と反対側から外部に出射するように設計したエレクトロルミネッセンス素子をトップエミッション型という。

40

【0003】

アクティブマトリクス駆動方式のディスプレイパネルでは一画素につき一又は複数の薄膜トランジスタが設けられており、薄膜トランジスタによって有機エレクトロルミネッセンス素子を発光させる。例えば、特許文献 1 に記載されたディスプレイパネルにおいては、2 つの薄膜トランジスタが画素ごとに設けられている。アクティブマトリクス駆動方式

50

のディスプレイパネルを製造するに際しては、薄膜トランジスタを画素ごとにパターンニングしたトランジスタアレイ基板を作製した後にそのトランジスタアレイ基板の表面に有機エレクトロルミネッセンス素子を画素ごとにパターンニングする。薄膜トランジスタの後に有機エレクトロルミネッセンス素子をパターンニングするのは、薄膜トランジスタをパターンニングする際の温度が有機エレクトロルミネッセンス素子の耐熱温度を超えてしまうためである。

【0004】

画素ごとに薄膜トランジスタがパターンニングされているから、複数の有機エレクトロルミネッセンス素子をマトリクス状にパターンニングするに際して薄膜トランジスタに接続する下層側のサブピクセル電極を画素ごとに独立するようパターンニングする。一方、対向電極は全ての有機エレクトロルミネッセンス素子に共通した共通電極としてべた一面に成膜する。

10

【特許文献1】特開平8-330600号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

ところで、対向電極を成膜している時に熱的要因・化学的要因でEL層が損傷することがあるため、EL層の損傷を抑えるために対向電極の成膜時間をできる限り短くすることが考えられるが、対向電極の成膜時間を短くすると対向電極が薄くなる。また、有機エレクトロルミネッセンス素子をトップエミッション型にした場合、EL層で発光した光が対向電極の透過中にできる限り減衰しないように、対向電極をできる限り薄く形成することが望まれている。

20

【0006】

しかしながら、対向電極の薄膜化に伴い対向電極のシート抵抗が高くなってしまい、対向電極の高抵抗化によって対向電極の電圧が面内で様にならず電圧の高低差が面内で顕著に表れてしまう。すなわち、対向電極が共通電極としてべた一面に形成されているから、仮に全てのサブピクセル電極に同じ大きさの電位が印加された場合でも有機エレクトロルミネッセンス素子ごとに発光強度が異なってしまい、面内の発光強度が一様にならない。

【0007】

そこで、本発明は、上記のような問題点を解決しようとしてなされたものであり、対向電極の電圧を面内で一様にできるようにすることを目的とする。

30

【課題を解決するための手段】

【0008】

以上の課題を解決するために、本発明のディスプレイパネルは、トランジスタがサブピクセルごとに設けられてなるトランジスタアレイ基板と、前記トランジスタアレイ基板の一方の面側に凸設された複数の突条と、前記各突条の間において前記各突条に沿って前記トランジスタアレイ基板の一方の面側に配列され、サブピクセルごとに設けられた複数のサブピクセル電極と、前記各サブピクセル電極上に成膜された発光層と、前記発光層を被覆した対向電極と、平面視して前記各突条に重なり且つ前記対向電極と電氣的に接続された共通配線と、を備える。

40

【0009】

好ましくは、前記対向電極と前記各突条との間に介在した絶縁膜を更に備え、前記突条が導電性を有する。

【0010】

好ましくは、前記絶縁膜が撥水性・撥油性を有する。

【0011】

好ましくは、前記突条が絶縁膜からなる。

50

好ましくは、前記共通配線が、前記発光層の発光する光に対し不透明である。

【0012】

好ましくは、互いに平行に配列された複数の信号線が前記トランジスタアレイ基板に敷設され、平面視して前記複数の突条が前記複数の信号線にそれぞれ重なっている。

【0013】

本発明によれば、対向電極上に共通配線が形成されているので、対向電極自体が高抵抗であっても、対向電極の電圧を面内で一様にすることができる。また、対向電極をより薄膜化することが可能なので、発光層を発した光が対向電極の透過中に減衰し難くなる。

【0014】

また、対向電極上に形成された共通配線はトランジスタのゲート・ソース・ドレインとは別にパターンニングしたものとすれば、共通配線を厚くすることができる。そのため、共通配線を低抵抗することができる。従って、対向電極の電圧を面内で一様にするすることができる。

【0015】

また、サブピクセル電極が各突条間において各突条に沿って配列されているから、湿式塗布法により発光層をパターンニングすると、突条を挟んで隣り合うサブピクセル電極同士で発光層用の液が混ざらないようにすることができる。

【0016】

更に、平面視して突条に共通配線が重なっている上、サブピクセル電極が各突条間において各共通配線に沿って配列されているから、共通配線による画素開口率の減少を抑えることができる。

【0017】

また、本発明のディスプレイパネルは、絶縁基板と、前記絶縁基板上にサブピクセルごとに設けられた複数の駆動トランジスタと、ソースとドレインの一方を前記駆動トランジスタのソースとドレインの一方に導通させ、前記絶縁基板上にサブピクセルごとに設けられた複数のスイッチトランジスタと、ソースとドレインの一方を前記駆動トランジスタのソースとドレインの他方に導通させ、ソースとドレインの他方を前記駆動トランジスタのゲートに導通させ、前記絶縁基板上にサブピクセルごとに設けられた複数の保持トランジスタと、前記複数の駆動トランジスタ、前記複数のスイッチトランジスタ及び前記複数の保持トランジスタを被覆し、互いに平行となる複数の第1溝及び複数の第2溝が形成された保護絶縁膜と、前記各第1溝に埋設され、前記駆動トランジスタのソースとドレインの他方に導通し、前記駆動トランジスタ、前記スイッチトランジスタ及び前記保持トランジスタのゲート・ソース・ドレインの導電層とは別の導電層によって形成された複数の給電配線と、前記各第2溝に埋設され、前記スイッチトランジスタのゲート及び前記保持トランジスタのゲートに導通し、前記駆動トランジスタ、前記スイッチトランジスタ及び前記保持トランジスタのゲート・ソース・ドレインの導電層とは別の導電層によって形成された複数の選択配線と、撥水性・撥油性を有するとともに、前記複数の給電配線及び前記複数の選択配線をそれぞれ被覆した疎水絶縁膜と、前記各選択配線及び前記各選択配線の間において前記各選択配線及び前記各選択配線に沿って前記保護絶縁膜上に配列され、サブピクセルごとに設けられ、前記駆動トランジスタのソースとドレインの一方に導通した複数のサブピクセル電極と、湿式塗布法によって前記各サブピクセル電極上に成膜された発光層と、前記発光層を被覆するとともに、前記疎水絶縁膜を介して前記複数の給電配線及び前記複数の選択配線を被覆した対向電極と、平面視して前記各給電配線及び前記各選択配線に重なるよう前記対向電極上に形成された共通配線と、を備える。

【0018】

本発明によれば、対向電極上に共通配線が形成されているので、対向電極自体が薄膜化してより高抵抗になった場合でも、対向電極の電圧を面内で一様にするすることができる。また、対向電極をより薄膜化することが可能なので、発光層を発した光が対向電極の透過中に減衰し難くなる。

【0019】

10

20

30

40

50

また、給電配線及び選択配線がトランジスタのドレイン・ソース・ゲートとは別に形成されているから、給電配線及び選択配線の幅を広くせずとも給電配線及び選択配線を厚くすることができ、給電配線及び選択配線を低抵抗化することができる。そのため、給電配線、選択配線を通じてトランジスタに信号を出力した場合でも、電圧降下を抑えることができるとともに信号遅延も抑えることができる。また、給電配線及び選択配線の幅が広くならないので、画素開口率の減少を最小限に抑えることができる。

【0020】

また、サブピクセル電極が各選択配線、各給電配線間において各選択配線、各給電配線に沿って配列され、それらに疎水絶縁膜が被覆されているから、湿式塗布法により発光層をパターンニングする際に、疎水絶縁膜を挟んで隣り合うサブピクセル電極同士で発光層用の液が混ざらないようにすることができる。

10

【0021】

また、平面視して選択配線、給電配線に共通配線が重なっているから、画素開口率の減少を最小限に抑えることができる。

【0022】

本発明のディスプレイパネルは、トランジスタがサブピクセルごとに設けられてなるトランジスタアレイ基板と、前記トランジスタに接続された複数の配線と、前記複数の配線上に形成された絶縁膜と、前記複数の配線の間に設けられた複数のサブピクセル電極と、前記各サブピクセル電極上に成膜された発光層と、前記発光層を被覆した対向電極と、平面視して前記複数の配線に重なるように前記絶縁膜上に設けられ、前記対向電極と接続された共通配線と、を備える。

20

【0023】

本発明によれば、対向電極上に共通配線が形成されているので、対向電極自体が高抵抗であっても、対向電極の電圧を面内で一様にすることができる。また、対向電極をより薄膜化することが可能なので、発光層を発した光が対向電極の透過中に減衰し難くなる。

【発明の効果】

【0024】

本発明によれば、対向電極上に形成された共通配線によって、対向電極の電圧を面内で一様にすることができる。そのため、対向電極をより薄膜化することができ、発光層を発した光が対向電極の透過中に減衰し難くなる。

30

【発明を実施するための最良の形態】

【0025】

以下に、本発明を実施するための最良の形態について図面を用いて説明する。但し、以下に述べる実施形態には、本発明を実施するために技術的に好ましい種々の限定が付されているが、発明の範囲を以下の実施形態及び図示例に限定するものではない。また、以下の説明において、エレクトロルミネッセンス (Electro Luminescence) という用語をELと略称する。

【0026】

〔第1の実施の形態〕

〔ディスプレイパネルの平面レイアウト〕

図1には、アクティブマトリクス駆動方式で動作するディスプレイパネル1の画素3の概略平面図が示されている。このディスプレイパネル1においては、1ピクセルの画素3が、赤色に発光する1ドットの赤サブピクセルPrと、緑色に発光する1ドットの緑サブピクセルPgと、青色に発光する1ドットの青サブピクセルPbと、からなる。このような画素3が絶縁基板2上にマトリクス状に配列されている。具体的に垂直方向（列方向）の配列に着目すると、複数の赤サブピクセルPrが垂直方向に沿って一列に配列され、複数の緑サブピクセルPgが垂直方向に沿って一列に配列され、複数の青サブピクセルPbが垂直方向に沿って一列に配列されている。水平方向（行方向）の配列に着目すると、赤サブピクセルPr、緑サブピクセルPg、青サブピクセルPbの順に繰り返し配列され、水平方向に連続して並んだ赤サブピクセルPr、緑サブピクセルPg、青サブピクセルP

40

50

bの組み合わせが画素3となる。なお、以下の説明において、サブピクセルPはこれら赤サブピクセルP_r、緑サブピクセルP_g、青サブピクセルP_bの中の任意のサブピクセルを表し、サブピクセルPについての説明は赤サブピクセルP_r、緑サブピクセルP_g、青サブピクセルP_bの何れについても適用される。

【0027】

垂直方向の青サブピクセルP_bの列と赤サブピクセルP_rの列との間には、信号線Y_rが敷設され、垂直方向の赤サブピクセルP_rの列と緑サブピクセルP_gの列との間には、信号線Y_gが敷設され、垂直方向の緑サブピクセルP_gの列と青サブピクセルP_bの列との間には、信号線Y_bが敷設されている。従って、水平方向の配列順に着目すると、信号線Y_r、信号線Y_g、信号線Y_bの順に繰り返し配列されている。これら信号線Y_r、
10 信号線Y_g、信号線Y_bは、垂直方向に延在し、互いに平行に設けられている。

【0028】

ここで、信号線Y_rは垂直方向に沿って一列に配列された全ての赤サブピクセルP_rのそれぞれに対して順次所定の電流値の信号を流すものであり、信号線Y_gは垂直方向に沿って一列に配列された全ての緑サブピクセルP_gのそれぞれに対して順次所定の電流値の信号を流すものであり、信号線Y_bは垂直方向に沿って一列に配列された全ての青サブピクセルP_bのそれぞれに対して順次所定の電流値の信号を流すものである。なお、以下の説明において、赤サブピクセルP_rの場合では信号線Yが図1の信号線Y_rを表し、緑サブピクセルP_gの場合では信号線Yが図1の信号線Y_gを表し、青サブピクセルP_bの場合では信号線Yが図1の信号線Y_bを表し、信号線Yについての説明は信号線Y_r、信号
20 線Y_g、信号線Y_bの何れについても適用される。

【0029】

平面視して、信号線Yに共通配線91が重なっているが、信号線Yと共通配線91は電氣的に絶縁されている。

【0030】

また、複数本の走査線Xが水平方向に沿って延在し、これら走査線Xに対して互い違いとなるよう複数本の供給線Z、複数本の給電配線90が平行に設けられている。平面視して、供給線Zに給電配線90が重なっており、供給線Zと給電配線90は互いに導通している。走査線Xと供給線Zとの間において、複数の画素3が水平方向に沿った一行に配列されている。垂直方向の配列順に着目すると、走査線X、画素3の列、供給線Zの順に繰
30 り返し配列されている。

【0031】

ここで、走査線Xは水平方向に沿った一行に配列された全サブピクセルP_r、P_g、P_bに信号を供給するものであり、供給線Zも水平方向に沿った一行に配列された全サブピクセルP_r、P_g、P_bに信号を供給するものである。

【0032】

サブピクセルP_r、P_g、P_bの色は、後述する有機EL素子20（図2等に図示）の発光色によって定まる。

【0033】

〔サブピクセルの回路構成〕

次に、サブピクセルP_r、P_g、P_bの回路構成について図2の等価回路図、図8の略平面図を用いて説明する。何れのサブピクセルP_r、P_g、P_bも同様に構成されており、1ドットのサブピクセルPにつき、有機EL素子20、Nチャネル型のアモルファスシリコン薄膜トランジスタ（以下単にトランジスタと記述する。）21、22、23及びキャパシタ24が設けられている。以下では、トランジスタ21をスイッチトランジスタ21と称し、トランジスタ22を保持トランジスタ22と称し、トランジスタ23を駆動トランジスタ23と称する。

【0034】

ここで信号線Yはn本あり、信号線Y₁～Y_nの延在した方向を垂直方向（列方向）といい、走査線X₁～X_mの延在した方向を水平方向（行方向）という。また、m、nはそれぞれ
50

10

20

30

40

50

れ 2 以上の自然数であり、且つ n は 3 の倍数であり、走査線 X に下付けした数字は図 8 において上からの配列順を表し、供給線 Z に下付けした数字は図 8 において上からの配列順を表し、信号線 Y に下付けした数字は図 8 において左からの配列順を表し、サブピクセル P に下付けした数字の前側が上からの配列順を表し、後ろ側が左からの配列順を表す。すなわち、 $1 \sim m$ のうちの任意の自然数を i とし、 1 から n のうちの任意の自然数を j とした場合に、走査線 X_i は上から i 行目であり、供給線 Z_i は左から i 行目であり、信号線 Y_j は左から j 列目であり、サブピクセル $P_{i,j}$ は上から i 行目、左から j 列目であり、サブピクセル $P_{i,j}$ は走査線 X_i 、供給線 Z_i 及び信号線 Y_j に接続されている。

【0035】

スイッチトランジスタ 21 においては、ソース 21s が信号線 Y に導通し、ドレイン 21d が有機 EL 素子 20 のサブピクセル電極 20a、駆動トランジスタ 23 のソース 23s 及びキャパシタ 24 の上層電極 24B に導通し、ゲート 21g が保持トランジスタ 22 のゲート 22g 及び走査線 X に導通している。 10

【0036】

保持トランジスタ 22 においては、ソース 22s が駆動トランジスタ 23 のゲート 23g 及びキャパシタ 24 の下層電極 24A に導通し、ドレイン 22d が駆動トランジスタ 23 のドレイン 23d 及び供給線 Z に導通し、ゲート 22g がスイッチトランジスタ 21 のゲート 21g 及び走査線 X に導通している。保持トランジスタ 22 のドレイン 22d は、走査線 X に接続されていてもよい。

【0037】

駆動トランジスタ 23 においては、ソース 23s が有機 EL 素子 20 のサブピクセル電極 20a、スイッチトランジスタ 21 のドレイン 21d 及びキャパシタ 24 の上層電極 24B に導通し、ドレイン 23d が保持トランジスタ 22 のドレイン 22d 及び供給線 Z に導通し、ゲート 23g が保持トランジスタ 22 のソース 22s 及びキャパシタ 24 の下層電極 24A に導通している。 20

【0038】

有機 EL 素子 20 のカソードとなる対向電極 20c は共通配線 91 に導通している。

【0039】

垂直方向に沿って一列に配列された何れの赤サブピクセル P_r のスイッチトランジスタ 21 のソース 21s も共通の信号線 Y_r に導通し、垂直方向に沿って一列に配列された何れの緑サブピクセル P_g のスイッチトランジスタ 21 のソース 21s も共通の信号線 Y_g に導通し、垂直方向に沿って一列に配列された何れの青サブピクセル P_b のスイッチトランジスタ 21 のソース 21s も共通の信号線 Y_b に導通している。 30

【0040】

一方、水平方向に沿った一行に配列された何れのサブピクセル P_r 、 P_g 、 P_b のスイッチトランジスタ 21 のゲート 21g も共通の走査線 X に導通し、水平方向に沿った一行に配列された何れのサブピクセル P_r 、 P_g 、 P_b の保持トランジスタ 22 のゲート 22g も共通の走査線 X に導通し、水平方向に沿った一行に配列された画素 3 の何れのサブピクセル P_r 、 P_g 、 P_b の保持トランジスタ 22 のドレイン 22d も共通の供給線 Z に導通し、水平方向に沿った一行に配列された画素 3 の何れのサブピクセル P_r 、 P_g 、 P_b の駆動トランジスタ 23 のドレイン 23d も共通の供給線 Z に導通している。 40

【0041】

〔サブピクセルの平面レイアウト〕

図 3 は、サブピクセル P の電極を主に示した平面図である。

【0042】

図 3 に示すように、何れのサブピクセル P_r 、 P_g 、 P_b においても、平面視して、スイッチトランジスタ 21 が信号線 Y に沿うように配置され、保持トランジスタ 22 が走査線 X の近くのサブピクセル P の角部に配置され、駆動トランジスタ 23 が隣りの信号線 Y に沿うように配置され、キャパシタ 24 が駆動トランジスタ 23 に沿うように配置されている。

【0043】

なお、ディスプレイパネル1全体を平面視して、全てのサブピクセルPr, Pg, Pbのスイッチトランジスタ21だけに着目すると、複数のスイッチトランジスタ21がマトリクス状に配列され、全てのサブピクセルPr, Pg, Pbの保持トランジスタ22だけに着目すると、複数の保持トランジスタ22がマトリクス状に配列され、全てのサブピクセルPr, Pg, Pbの駆動トランジスタ23だけに着目すると、複数の駆動トランジスタ23がマトリクス状に配列されている。

【0044】

図1及び図3では、トランジスタ21~23を見やすくするために、有機EL素子20のサブピクセル電極20aの図示を省略するが、サブピクセル電極20aは、水平方向に隣り合う信号線Yと、垂直方向に隣り合う供給線Z及び走査線Xとによって囲まれた矩形領域内に配置されている。そして、サブピクセル電極20aは、その矩形領域に沿うように矩形状に設けられている。そのため、ディスプレイパネル1全体を平面視して、全てのサブピクセルPr, Pg, Pbのサブピクセル電極20aだけに着目すると、複数のサブピクセル電極20aがマトリクス状に配列されている。

【0045】

〔ディスプレイパネル1の層構造〕

ディスプレイパネル1の層構造について図4~図7を用いて説明する。ここで、図4は、図1に示された切断線IV-IVに沿って絶縁基板2の厚さ方向に切断した矢視断面図であり、図5は、図1に示された切断線V-Vに沿って絶縁基板2の厚さ方向に切断した矢視断面図であり、図6は、図1に示された切断線VI-VIに沿って絶縁基板2の厚さ方向に切断した矢視断面図であり、図7は、図1に示された切断線VII-VIIに沿って絶縁基板2の厚さ方向に切断した矢視断面図である。

【0046】

ディスプレイパネル1は、光透過性を有する絶縁基板2に対して種々の層を積層したものである。絶縁基板2は可撓性のシート状に設けられているか、又は剛性の板状に設けられている。

【0047】

まず、トランジスタ21~23の層構造について説明する。図4に示すように、スイッチトランジスタ21は、絶縁基板2上に形成されたゲート21gと、ゲート21g上に形成されたゲート絶縁膜31と、ゲート絶縁膜31を挟んでゲート21gに対向した半導体膜21cと、半導体膜21cの中央部上に形成されたチャネル保護膜21pと、半導体膜21cの両端部上において互いに離間するよう形成され、チャネル保護膜21pに一部重なった不純物半導体膜21a, 21bと、不純物半導体膜21a上に形成されたドレイン21dと、不純物半導体膜21b上に形成されたソース21sと、から構成されている。なお、ドレイン21d及びソース21sは一層構造であっても良いし、二層以上の積層構造であっても良い。

【0048】

駆動トランジスタ23は、絶縁基板2上に形成されたゲート23gと、ゲート23g上に形成されたゲート絶縁膜31と、ゲート絶縁膜31を挟んでゲート23gに対向した半導体膜23cと、半導体膜23cの中央部上に形成されたチャネル保護膜23pと、半導体膜23cの両端部上において互いに離間するよう形成され、チャネル保護膜23pに一部重なった不純物半導体膜23a, 23bと、不純物半導体膜23a上に形成されたドレイン23dと、不純物半導体膜23b上に形成されたソース23sと、から構成されている。図3に示すように平面視した場合、駆動トランジスタ23がコ字状に設けられていることで、駆動トランジスタ23のチャネル幅が広がっている。ドレイン23d及びソース23sは一層構造であっても良いし、二層以上の積層構造であっても良い。

【0049】

図7に示すように、保持トランジスタ22は、絶縁基板2上に形成されたゲート22gと、ゲート22g上に形成されたゲート絶縁膜31と、ゲート絶縁膜31を挟んでゲート

22gに対向した半導体膜22cと、半導体膜22cの中央部上に形成されたチャネル保護膜22pと、半導体膜22cの両端部上において互いに離間するよう形成され、チャネル保護膜22pに一部重なった不純物半導体膜22a、22bと、不純物半導体膜22a上に形成されたドレイン22dと、不純物半導体膜22b上に形成されたソース22sと、から構成されている。

【0050】

また、何れのサブピクセルPr、Pg、Pbでも、スイッチトランジスタ21、保持トランジスタ22及び駆動トランジスタ23が同様の層構造になっている。

【0051】

次に、キャパシタ24の層構造について説明する。図4に示すように、キャパシタ24は、絶縁基板2上に形成された下層電極24Aと、下層電極24A上に形成されたゲート絶縁膜31と、ゲート絶縁膜31を挟んで下層電極24Aに対向した上層電極24Bと、から構成されている。何れのサブピクセルPr、Pg、Pbでもキャパシタ24は同様の層構造になっている。

【0052】

次に、トランジスタ21～23及びキャパシタ24の各層と信号線Y、走査線X及び供給線Zとの関係について図3～図7を用いて説明する。

【0053】

全てのサブピクセルPr、Pg、Pbのスイッチトランジスタ21のゲート21g、保持トランジスタ22のゲート22g、駆動トランジスタ23のゲート23g及びキャパシタ24の下層電極24A並びに全ての信号線Yr、Yg、Ybは、絶縁基板2上にべた一面に成膜された導電性膜をフォトリソグラフィ法・エッチング法によってパターンニングすることで形成されたものである。以下では、スイッチトランジスタ21のゲート21g、保持トランジスタ22のゲート22g、駆動トランジスタ23のゲート23g及びキャパシタ24の下層電極24A並びに信号線Yr、Yg、Ybの元となる導電性膜をゲートレイヤーという。

【0054】

ゲート絶縁膜31は、全てのサブピクセルPr、Pg、Pbのスイッチトランジスタ21、保持トランジスタ22、駆動トランジスタ23及びキャパシタ24に共通した絶縁膜であり、面内にべた一面に成膜されている。従って、ゲート絶縁膜31は、スイッチトランジスタ21のゲート21g、保持トランジスタ22のゲート22g、駆動トランジスタ23のゲート23g及びキャパシタ24の下層電極24A並びに信号線Yr、Yg、Ybを被覆している。

【0055】

全てのサブピクセルPr、Pg、Pbのスイッチトランジスタ21のドレイン21d・ソース21s、保持トランジスタ22のドレイン22d・ソース22s、駆動トランジスタ23のドレイン23d・ソース23s及びキャパシタ24の上層電極24B並びに全ての走査線X及び供給線Zは、ゲート絶縁膜31上にべた一面に成膜された導電性膜をフォトリソグラフィ法・エッチング法によってパターンニングすることで形成されたものである。以下では、スイッチトランジスタ21のドレイン21d・ソース21s、保持トランジスタ22のドレイン22d・ソース22s、駆動トランジスタ23のドレイン23d・ソース23s及びキャパシタ24の上層電極24B並びに走査線X及び供給線Zの元となる導電性膜をドレインレイヤーという。

【0056】

1ドットのサブピクセルPにつき1つのコンタクトホール92がゲート絶縁膜31の走査線Xに重なる箇所に形成され、何れのサブピクセルPr、Pg、Pbにおいても、スイッチトランジスタ21のゲート21g及び保持トランジスタ22のゲート22gがコンタクトホール92を介して走査線Xに導通している。1ドットのサブピクセルPにつき1つのコンタクトホール94がゲート絶縁膜31の信号線Yに重なる箇所に形成され、何れのサブピクセルPr、Pg、Pbにおいても、スイッチトランジスタ21のソース21sが

10

20

30

40

50

コンタクトホール 94 を介して信号線 Y に導通している。1 ドットのサブピクセル P につき 1 つのコンタクトホール 93 がゲート絶縁膜 31 の下層電極 24A に重なる箇所に形成され、何れのサブピクセル Pr, Pg, Pb においても保持トランジスタ 22 のソース 22s が駆動トランジスタ 23 のゲート 23g 及びキャパシタ 24 の下層電極 24A に導通している。

【0057】

全てのサブピクセル Pr, Pg, Pb のスイッチトランジスタ 21、保持トランジスタ 22 及び駆動トランジスタ 23 並びに全ての走査線 X 及び供給線 Z は、べた一面に成膜された保護絶縁膜 32 によって被覆されている。なお、詳細については後述するが、保護絶縁膜 32 は、供給線 Z に重なる箇所で矩形状に分断されている。

10

【0058】

保護絶縁膜 32 には平坦化膜 33 が積層されており、スイッチトランジスタ 21、保持トランジスタ 22 及び駆動トランジスタ 23 並びに走査線 X 及び供給線 Z による凹凸が平坦化膜 33 によって解消されている。つまり、平坦化膜 33 の表面が平坦となっている。平坦化膜 33 は、ポリイミド等の感光性絶縁樹脂を硬化させたものが好ましい。なお、詳細については後述するが、平坦化膜 33 は、供給線 Z に重なる箇所で矩形状に分断されている。

【0059】

このディスプレイパネル 1 をボトムエミッション型として用いる場合、すなわち、絶縁基板 2 を表示面として用いる場合には、ゲート絶縁膜 31、保護絶縁膜 32 及び平坦化膜 33 には透明な材料を用いる。絶縁基板 2 から平坦化膜 33 までの積層構造をトランジスタアレイ基板 50 という。

20

【0060】

保護絶縁膜 32 及び平坦化膜 33 の各供給線 Z に重なる箇所には、水平方向に沿って長尺な溝 34 が凹設されている。溝 34 によって保護絶縁膜 32 及び平坦化膜 33 が矩形状に分断され供給線 Z が露出している。溝 34 には給電配線 90 が埋設されており、溝 34 内において給電配線 90 が供給線 Z に積層されている。

【0061】

給電配線 90 は、供給線 Z を下地電極として電解メッキ法により形成されたものである。信号線 Yr、信号線 Yg、信号線 Yb、走査線 X 及び供給線 Z よりも十分に厚い。更には、給電配線 90 の厚さは、保護絶縁膜 32 と平坦化膜 33 の厚さの総計にほぼ等しく、平坦化膜 33 の表面と給電配線 90 の表面がほぼ面一となっている。給電配線 90 は、銅、アルミ、金若しくはニッケルのうちの少なくともいずれかを含むことが好ましい。

30

【0062】

平坦化膜 33 の表面、即ちトランジスタアレイ基板 50 の表面上には、複数のサブピクセル電極 20a がマトリクス状に配列されている。サブピクセル電極 20a は、有機 EL 素子 20 のアノードとして機能する電極である。即ち、サブピクセル電極 20a の仕事関数が比較的高く、後述する有機 EL 層 20b へ正孔を効率よく注入するものが好ましい。また、サブピクセル電極 20a は、ボトムエミッションの場合、可視光に対して透過性を有している。サブピクセル電極 20a としては、例えば、錫ドーパ酸化インジウム (ITO)、亜鉛ドーパ酸化インジウム、酸化インジウム (In_2O_3)、酸化スズ (SnO_2)、酸化亜鉛 (ZnO) 又はカドミウム-錫酸化物 (CTO) を主成分としたものがある。

40

【0063】

なお、このディスプレイパネル 1 をトップエミッション型として用いる場合、すなわち、絶縁基板 2 の反対側を表示面として用いる場合には、サブピクセル電極 20a と平坦化膜 33 との間に、導電性且つ可視光反射性の高い反射膜を成膜するか、サブピクセル電極 20a 自体を反射性電極とすれば良い。

【0064】

1 ドットのサブピクセル P につき 3 つのコンタクトホール 88 が平坦化膜 33 及び保護絶縁膜 32 のサブピクセル電極 20a に重なる箇所に形成され、そのコンタクトホール 8

50

8に導電性パッド87が埋設されている。何れのサブピクセルPr, Pg, Pbにおいても、サブピクセル電極20aが、コンタクトホール88を介してキャパシタ24の上層電極24B、スイッチトランジスタ21のドレイン21d及び駆動トランジスタ23のソース23sに導通している。導電性パッド87は、給電配線90とともに形成され、特に上層電極24Bを下地電極として電解メッキ法により形成されることが好ましい。

【0065】

これらサブピクセル電極20aは、平坦化膜33上にべた一面に成膜された導電性膜をフォトリソグラフィ法・エッチング法によってパターンニングしたものである。給電配線90の表面には導電性ライン51がパターンニングされているが、導電性ライン51は、サブピクセル電極20aの元となる導電性膜をエッチングすることによってサブピクセル電極20aとともにパターンニングされたものである。

10

【0066】

これらサブピクセル電極20aの間には、平面視して、各サブピクセル電極20aを圍繞するようにメッシュ状の絶縁膜52がパターンニングされている。また、導電性ライン51は、絶縁膜52によって被覆されている。

【0067】

水平方向及び垂直方向に格子状に形成された絶縁膜52のうち垂直方向に延在している部分の上には、サブピクセル電極20aの膜厚よりも十分に厚いバンク71が凸設されている。つまりバンク71は、垂直方向に沿って延在した突条状に設けられ、平面視して信号線Yr, Yg, Ybに重なっている。垂直方向の赤サブピクセルPrの列と緑サブピクセルPgの列との間に、垂直方向の緑サブピクセルPgの列と青サブピクセルPbの列との間に、及び垂直方向の青サブピクセルPbの列と赤サブピクセルPrの列との間に、バンク71が配置されている。バンク71は、ポリイミド等の感光性樹脂からなる。

20

【0068】

サブピクセル電極20a上には、有機EL素子20の有機EL層20bが成膜されている。有機EL層20bは広義の発光層であり、有機EL層20bには、有機化合物である発光材料（蛍光体）が含有されている。有機EL層20bは、サブピクセル電極20aから順に正孔輸送層、狭義の発光層の順に積層した二層構造である。正孔輸送層は、導電性高分子であるPEDOT（ポリチオフェン）及びドーパントであるPSS（ポリスチレンスルホン酸）からなり、狭義の発光層は、ポリフルオレン系発光材料からなる。

30

【0069】

赤サブピクセルPrの場合には、有機EL層20bが赤色に発光し、緑サブピクセルPgの場合には、有機EL層20bが緑色に発光し、青サブピクセルPbの場合には、有機EL層20bが青色に発光する。

【0070】

赤サブピクセルPrが垂直方向に一行に配列されているので、信号線Yrと信号線Ygとの間において垂直方向に一行に配列された複数のサブピクセル電極20aが、垂直方向に沿って帯状に長尺な共通の赤色発光の有機EL層20bによって被覆されている。同様に、信号線Ygと信号線Ybとの間において垂直方向に一行に配列された複数のサブピクセル電極20aが、垂直方向に沿って帯状に長尺な共通の緑色発光の有機EL層20bによって被覆され、信号線Ybと信号線Yrとの間において垂直方向に一行に配列された複数のサブピクセル電極20aが、垂直方向に沿って帯状に長尺な共通の青色発光の有機EL層20bによって被覆されている。なお、有機EL層20bがサブピクセル電極20aごとに独立して設けられ、平面視した場合、複数の有機EL層20bがマトリクス状に配列されていても良い。

40

【0071】

有機EL層20bは、バンク71の形成後に湿式塗布法（例えば、インクジェット法）によって成膜される。この場合、サブピクセル電極20aに有機化合物含有液を塗布するが、水平方向に隣り合うサブピクセル電極20a間においてバンク71がトランジスタアレイ基板50の表面に対して凸設されているから、サブピクセル電極20aに塗布された

50

有機化合物含有液が隣のサブピクセル電極 20 a に漏れることがない。

【0072】

なお、有機 EL 層 20 b は、二層構造の他に、サブピクセル電極 20 a から順に正孔輸送層、狭義の発光層、電子輸送層となる三層構造であっても良いし、狭義の発光層からなる一層構造であっても良いし、これらの層構造において適切な層間に電子或いは正孔の注入層が介在した積層構造であっても良いし、その他の積層構造であっても良い。

【0073】

有機 EL 層 20 b 上には、有機 EL 素子 20 のカソードとして機能する対向電極 20 c が成膜されている。対向電極 20 c は、全てのサブピクセル Pr, Pg, Pb に共通して形成された共通電極であり、べた一面に成膜されている。対向電極 20 c がべた一面に成膜されることで、バンク 71 も対向電極 20 c によって被覆されている。 10

【0074】

対向電極 20 c は、サブピクセル電極 20 a よりも仕事関数の低い材料で形成されており、例えば、マグネシウム、カルシウム、リチウム、バリウム、インジウム、希土類金属の少なくとも一種を含む単体又は合金で形成されていることが好ましい。また、対向電極 20 c は、上記各種材料の層が積層された積層構造となっても良いし、以上の各種材料の層に加えてシート抵抗を低くするために酸化されにくい金属層が堆積した積層構造となっても良く、具体的には、有機 EL 層 20 b と接する界面側に設けられた低仕事関数の高純度のバリウム層と、バリウム層を被覆するように設けられたアルミニウム層との積層構造や、下層にリチウム層、上層にアルミニウム層が設けられた積層構造が挙げられる。またトップエミッション構造の場合、対向電極 20 c を上述のような低仕事関数の薄膜とその上に ITO 等の透明導電膜を積層した透明電極としてもよい。 20

【0075】

対向電極 20 c 上には、有機 EL 素子 20 の上部電極のシート抵抗を下げるために共通配線 91 が凸設されている。平面視して共通配線 91 が列方向に沿って複数のバンク 71 に重なっているので、バンク 71 の上には対向電極 20 c を挟んで共通配線 91 が形成されている。共通配線 91 に対向電極 20 c が接しているから、図 2 の回路図に示すように、対向電極 20 c が共通配線 91 に対して導通している。共通配線 91 群は、メッキ法により形成されたものであるので、対向電極 20 c やトランジスタ 21 ~ 23 の各電極よりも十分に厚い。また共通配線 91 群は、画素領域の外の非画素領域において水平方向に延在する引き回し配線 95 によって導通され、引き回し配線 95 は、絶縁基板 2 の周縁部に複数の端子部 Tc に導通している。共通配線 91 群及び対向電極 20 c には、外部回路から端子部 Tc に印加された電圧 Vcom によって等電位となる。共通配線 91 群は、銅、アルミ、金若しくはニッケルのうちの少なくともいずれかを含むことが好ましく、いずれも有機 EL 層 20 b の発光する光に対して不透明なくらい厚い。 30

【0076】

対向電極 20 c 上には、封止絶縁膜 56 が成膜されている。封止絶縁膜 56 は対向電極 20 c 全体を被覆するとともに、共通配線 91 も被覆している無機膜又は有機膜である。そのため、共通配線 91 及び対向電極 20 c の劣化が封止絶縁膜 56 によって防止されている。 40

【0077】

なお、このディスプレイパネル 1 をトップエミッション型として用いる場合には、対向電極 20 c 及び封止絶縁膜 56 を薄膜にしたり、対向電極 20 c 及び封止絶縁膜 56 を透明な材料にしたりすることによって、対向電極 20 c 及び封止絶縁膜 56 の可視光透過性を高める。

【0078】

従来、トップエミッション型構造の EL ディ스플레이パネルは、対向電極 20 c に対応する対向電極を少なくとも一部を金属酸化物のように抵抗値が高い透明電極を用いることになるが、このような材料は十分に厚くしなければシート抵抗が十分に低くならないので、厚くすることによって必然的に有機 EL 素子の透過率が下がってしまい、大画面になる 50

ほど面内で均一の電位になりにくく表示特性が低くなってしまうていた。

【0079】

しかしながら、本実施形態では、垂直方向に十分な厚さのために低抵抗な複数の共通配線 91, 91, …、を設けているので、対向電極 20c と合わせて有機 EL 素子 20, 20, … のカソード電極全体のシート抵抗値を下げ、十分且つ面内で均一に大電流を流すことが可能となる。さらにこのような構造では、共通配線 91, 91, … がサブピクセル電極 20a、20a 間に配置するので画素面積（開口率）を損なうことなく有機 EL 素子 20 の一方の電極のシート抵抗を下げているので、サブピクセル電極 20a と平面視して重なる対向電極 20c を薄膜にして透過率を向上したりすることが可能である。なおトップエミッション構造では、サブピクセル電極 20a を反射性の材料としてもよい。

10

【0080】

そして、トランジスタ 21～23 を形成する際のゲートレイヤー及びドレインレイヤー以外の厚膜の導電層を用いて形成された給電配線 90 をそれぞれ供給線 Z に電氣的に接続するように設けているので、トランジスタ 21～23 を形成する際のゲートレイヤー及びドレインレイヤーのみで形成された供給線 Z での電圧降下による複数の有機 EL 素子 20 に後述する書込電流や駆動電流が所定の電流値に達するまでの遅延を防止し、良好に駆動することが可能となる。

【0081】

さらに、給電配線 90 は溝 34 に埋設されているため、給電配線 90 の厚さによって水平方向に立体障害とならず、列方向の複数の有機 EL 素子 20 にわたって有機 EL 層 20b となる有機化合物含有液が連続して広がるように且つバンク 71 によって垂直方向に仕切られながら成膜することができる。

20

【0082】

〔ディスプレイパネル 1 の駆動方法〕

第一のディスプレイパネル 1 の構造では、図 8 に示すように、走査線 $X_1 \sim X_m$ がそれぞれ接続された選択ドライバ 111 が絶縁基板 2 の第一の周縁部に配置され、互いに電氣的に絶縁された給電配線 90, 90, …（供給線 $Z_1 \sim Z_m$ ）が接続された給電ドライバ 112 が絶縁基板 2 の第一の周縁部と対向する周縁部である第二周縁部に配置されている。この第一のディスプレイパネル 1 をアクティブマトリクス方式で駆動するには、次のようになる。すなわち、図 9 に示すように、走査線 $X_1 \sim X_m$ に接続された選択ドライバ 111 によって、走査線 X_1 から走査線 X_m への順（走査線 X_m の次は走査線 X_1 ）にハイレベルのシフトパルスを順次出力することにより走査線 $X_1 \sim X_m$ を順次選択する。また、選択期間に各給電配線 90 を介して供給線 $Z_1 \sim Z_m$ にそれぞれ接続された駆動トランジスタ 23 に書込電流を流すための書込給電電圧 VL を印加し、発光期間に駆動トランジスタ 23 を介して有機 EL 素子 20 に駆動電流を流すための駆動給電電圧 VH を印加する給電ドライバ 112 が各給電配線 90 に接続されている。この給電ドライバ 112 によって、選択ドライバ 111 と同期するよう、供給線 Z_1 から供給線 Z_m への順（供給線 Z_m の次は供給線 Z_1 ）にローレベル（有機 EL 素子 20 の対向電極の電圧より低レベル）の書込給電電圧 VL を順次出力することにより供給線 $Z_1 \sim Z_m$ を順次選択する。また、選択ドライバ 111 が各走査線 $X_1 \sim X_m$ を選択している時に、データドライバが書込電流である書込電流（電流信号）を所定の行の駆動トランジスタ 23 のソースドレイン間を介して全信号線 $Y_1 \sim Y_n$ に流す。なお、対向電極 20c 及び共通配線 91 群は引き回し配線 95 及び配線端子 Tc によって外部と接続され、一定のコモン電位 Vcom（例えば、接地 = 0 ボルト）に保たれている。

30

40

【0083】

各選択期間において、データドライバ側の電位は、給電配線 90, 90, … 及び供給線 $Z_1 \sim Z_m$ に出力された書込給電電圧 VL 以下で且つこの書込給電電圧 VL はコモン電位 Vcom 以下に設定されている。したがってこの時、有機 EL 素子 20 から信号線 $Y_1 \sim Y_n$ に流れることはないので図 2 に示すように、データドライバによって階調に応じた電流値の書込電流（書込電流）が矢印 A の通り、信号線 $Y_1 \sim Y_n$ に流れ、サブピクセル $P_{i,j}$ におい

50

ては給電配線 90 及び供給線 Z_i から駆動トランジスタ 23 のソースドレイン間、スイッチトランジスタ 21 のソースドレイン間を介して信号線 Y_j に向かった書込電流（書込電流）が流れる。このように駆動トランジスタ 23 のソースドレイン間を流れる電流の電流値は、データドライバによって一義的に制御され、データドライバは、外部から入力された階調に応じて書込電流（書込電流）の電流値を設定する。書込電流（書込電流）が流れている間、 i 行目の $P_{i,1} \sim P_{i,n}$ の各駆動トランジスタ 23 のゲート 23 g - ソース 23 s 間の電圧は、それぞれ信号線 $Y_1 \sim Y_n$ に流れる書込電流（書込電流）の電流値、つまり駆動トランジスタ 23 の $V_{g-I_{ds}}$ 特性の経時変化にかかわらず駆動トランジスタ 23 のドレイン 23 d - ソース 23 s 間を流れる書込電流（書込電流）の電流値に見合うように強制的に設定され、この電圧のレベルに従った大きさの電荷がキャパシタ 24 にチャージされて、書込電流（書込電流）の電流値が駆動トランジスタ 23 のゲート 23 g - ソース 23 s 間の電圧のレベルに変換される。その後の発光期間では、走査線 X_i がローレベルになり、スイッチトランジスタ 21 及び保持トランジスタ 22 がオフ状態となるが、オフ状態の保持トランジスタ 22 によってキャパシタ 24 の電極 24 A 側の電荷が閉じ込められてフローティング状態になり、駆動トランジスタ 23 のソース 23 s の電圧が選択期間から発光期間に移行する際に変調しても、駆動トランジスタ 23 のゲート 23 g - ソース 23 s 間の電位差がそのまま維持される。この発光期間では、供給線 Z_i 及びそれに接続された給電配線 90 の電位が駆動給電電圧 V_H となり、有機 EL 素子 20 の対向電極 20 c の電位 V_{com} より高くなることによって、供給線 Z_i 及びそれに接続された給電配線 90 から駆動トランジスタ 23 を介して有機 EL 素子 20 に駆動電流が矢印 B の方向に流れ、有機 EL 素子 20 が発光する。駆動電流の電流値は駆動トランジスタ 23 のゲート 23 g - ソース 23 s 間の電圧に依存するため、発光期間における駆動電流の電流値は、選択期間における書込電流（引抜電流）の電流値に等しくなる。

【0084】

そして、第二のディスプレイパネル 1 の構造は、図 10 に示すように、走査線 $X_1 \sim X_m$ がそれぞれ接続された選択ドライバ 111 が絶縁基板 2 の第一の周縁部に配置され、給電配線 90, 90, ... が互いに電氣的に接続されるよう給電配線 90, 90, ... と一体的に形成された引き回し配線 99 が絶縁基板 2 の第一の周縁部と対向する周縁部である第二周縁部に配置されている。引き回し配線 99 は、第一周縁部及び第二周縁部と直交する第三の周縁部及び第四の周縁部のそれぞれに位置する端子部 90 d 及び端子部 90 e の両方からクロック信号が入力されている。

【0085】

第二のディスプレイパネル 1 のアクティブマトリクス駆動方法は次のようになる。すなわち、図 11 に示すように、外部の発振回路が端子部 90 d 及び端子部 90 e から引き回し配線 99 を介して給電配線 90, 90, ... 及び供給線 $Z_1 \sim Z_m$ に対してクロック信号を出力する。また、選択ドライバ 111 によって走査線 X_1 から走査線 X_m への順（走査線 X_m の次は走査線 X_1 ）にハイレベルのシフトパルスを順次出力することにより走査線 $X_1 \sim X_m$ を順次選択するが、選択ドライバ 111 が走査線 $X_1 \sim X_m$ の何れか 1 つがハイレベルつまりオンレベルのシフトパルスを出力している時には発振回路のクロック信号がローレベルになる。また、選択ドライバ 111 が各走査線 $X_1 \sim X_m$ を選択している時に、データドライバが書込電流である引抜電流（電流信号）を駆動トランジスタ 23 のソースドレイン間を介して全信号線 $Y_1 \sim Y_n$ に流す。なお、対向電極 20 c 及び給電配線 90 の一定のコモン電位 V_{com} （例えば、接地 = 0 ボルト）に保たれている。

【0086】

走査線 X_i の選択期間においては、 i 行目の走査線 X_i にシフトパルスが出力されているから、スイッチトランジスタ 21 及び保持トランジスタ 22 がオン状態となる。各選択期間において、データドライバ側の電位は、給電配線 90, 90, ... 及び供給線 $Z_1 \sim Z_m$ に出力されたクロック信号のローレベル以下で且つこのクロック信号のローレベルはコモン電位 V_{com} 以下に設定されている。したがってこの時、有機 EL 素子 20 から信号線 $Y_1 \sim Y_n$ に流れることはないので図 2 に示すように、データドライバによって階調に応じた電

流値の書込電流（引抜電流）が矢印Aの通り、信号線 $Y_1 \sim Y_n$ に流れ、サブピクセル $P_{i,j}$ においては給電配線90及び供給線 Z_i から駆動トランジスタ23のソースドレイン間、スイッチトランジスタ21のソースドレイン間を介して信号線 Y_j に向かった書込電流（引抜電流）が流れる。このように駆動トランジスタ23のソースドレイン間を流れる電流の電流値は、データドライバによって一義的に制御され、データドライバは、外部から入力された階調に応じて書込電流（引抜電流）の電流値を設定する。書込電流（引抜電流）が流れている間、 i 行目の $P_{i,1} \sim P_{i,n}$ の各駆動トランジスタ23のゲート23gーソース23s間の電圧は、それぞれ信号線 $Y_1 \sim Y_n$ に流れる書込電流（引抜電流）の電流値、つまり駆動トランジスタ23の $V_{g-I_{ds}}$ 特性の経時変化にかかわらず駆動トランジスタ23のドレイン23dーソース23s間を流れる書込電流（引抜電流）の電流値に見合うように強制的に設定され、この電圧のレベルに従った大きさの電荷がキャパシタ24にチャージされて、書込電流（引抜電流）の電流値が駆動トランジスタ23のゲート23gーソース23s間の電圧のレベルに変換される。その後の発光期間では、走査線 X_i がローレベルになり、スイッチトランジスタ21及び保持トランジスタ22がオフ状態となるが、オフ状態の保持トランジスタ22によってキャパシタ24の電極24A側の電荷が閉じ込められてフローティング状態になり、駆動トランジスタ23のソース23sの電圧が選択期間から発光期間に移行する際に変調しても、駆動トランジスタ23のゲート23gーソース23s間の電位差がそのまま維持される。この発光期間のうち、いずれの行の選択期間でもない間、つまり、クロック信号が給電配線90及び供給線 Z_i の電位が有機EL素子20の対向電極20c及び給電配線90の電位 V_{com} より高いハイレベルの間、より高電位の給電配線90及び供給線 Z_i から駆動トランジスタ23のソースドレイン間を介して有機EL素子20に駆動電流が矢印Bの方向に流れ、有機EL素子20が発光する。駆動電流の電流値は駆動トランジスタ23のゲート23gーソース23s間の電圧に依存するため、発光期間における駆動電流の電流値は、選択期間における書込電流（引抜電流）の電流値に等しくなる。また発光期間において、いずれかの行の選択期間の間、つまりクロック信号がローレベルである時は、給電配線90及び供給線 Z_i の電位が対向電極20c及び給電配線90の電位 V_{com} 以下であるので、有機EL素子20に駆動電流は流れず発光しない。

【0087】

何れの駆動方法においても、スイッチトランジスタ21は、駆動トランジスタ23のソース23sと信号線Yとの間の電流のオン（選択期間）・オフ（発光期間）を行うものとして機能する。また、保持トランジスタ22は、選択期間に駆動トランジスタ23のソース23sードレイン23d間に電流が流れることができる状態にし、発光期間に駆動トランジスタ23のゲート23gーソース23s間に印加した電圧を保持するものとして機能する。そして、駆動トランジスタ23は、発光期間中に供給線Z及び給電配線90がハイレベルになった時に、階調に応じた大きさの電流を有機EL素子20に流して有機EL素子20を駆動するものとして機能する。

【0088】

以上のように、給電配線90, 90, ...をそれぞれ流れる電流の大きさは一列の供給線 Z_i に接続された n 個の有機EL素子20に流れる駆動電流の大きさの和になるので、 V_{GA} 以上の画素数で動画駆動するための選択期間に設定した場合、給電配線90, 90, ...のそれぞれの寄生容量が増大してしまい、トランジスタ21～23のような薄膜トランジスタのゲート電極又はソース、ドレイン電極を構成する薄膜からなる配線では n 個の有機EL素子20に書込電流（つまり駆動電流）を流すには抵抗が高すぎるが、本実施形態では、サブピクセル $P_{1,1} \sim P_{m,n}$ の薄膜トランジスタのゲート電極やソース、ドレイン電極とは異なる導電層によって給電配線90, 90, ...をそれぞれ構成しているので各給電配線90, 90, ...による電圧降下は小さくなり、短い選択期間であっても遅延なく十分に書込電流（引抜電流）を流すことができる。そして、給電配線90, 90, ...を厚くすることで給電配線90, 90, ...を低抵抗化したので、給電配線90, 90, ...の幅を狭くすることができる。そのため、ボトムエミッションの場合、画素開口率の減少を最小限

に抑えることができる。

【0089】

同様に、発光期間に共通配線 91 に流れる駆動電流の大きさは、選択期間に給電配線 90 に流れる書込電流（引抜電流）の大きさと同じであるが、共通配線 91 は、サブピクセル $P_{1,1} \sim P_{m,n}$ の薄膜トランジスタのゲート電極やソース、ドレイン電極を構成する導電層とは異なる導電層を用いているので十分な厚さにすることができるため、共通配線 91 を低抵抗化することができ、さらに対向電極 20c 自体が薄膜化してより高抵抗になっても対向電極 20c の電圧を面内で一様にするすることができる。従って、仮に全てのサブピクセル電極 20a に同じ電位を印加した場合でも、どの有機 EL 層 20b の発光強度もほぼ等しくなり、面内の発光強度を一様することができる。また、EL ディスプレイパネル 1 をトップエミッション型として用いた場合、対向電極 20c をより薄膜化ことが可能なので、有機 EL 層 20b を発した光が対向電極 20c を透過中に減衰し難くなる。更に、平面視して水平方向に隣り合うサブピクセル電極 20a の間に共通配線 91 が設けられているため、画素開口率の減少を最小限に抑えることができる。

【0090】

さらに、サブピクセル電極 20a、20a 間の非画素領域に配置された信号線 $Y_1 \sim Y_n$ の上方に共通配線 91 群を配置したので、サブピクセル電極 20a の面積を小さくせずに済む。

【0091】

上述した二通りの駆動方法のうち第二のディスプレイパネル 1 の駆動方法でディスプレイパネル 1 においては、給電配線 90、90、…は、絶縁基板 2 の第二の周縁部の引き回し配線 99、端子部 90d 及び端子部 90e を介して外部の発振回路からのクロック信号により等電位となるため、すみやかに有機 EL 素子 20、20…から給電配線 90、90、…全体に電流を供給することができる。

【0092】

第一及び第二の EL ディスプレイパネル 1 の共通配線 91、91、…は、絶縁基板 2 の第三周縁部及び第四周縁部に設けられた引き回し配線 95、95 によって互いに接続され、共通電圧 V_{com} が印加されている。共通配線 91、91、…及び引き回し配線 95、95 は、走査線 $X_1 \sim X_m$ 、信号線 $Y_1 \sim Y_n$ 、供給線 $Z_1 \sim Z_m$ と電氣的に絶縁されている。

【0093】

〔給電配線及び共通配線の幅、断面積及び抵抗率〕

以下、第一及び第二のディスプレイパネル 1 の給電配線及び共通配線の幅、断面積及び抵抗率を定義する。ここで、ディスプレイパネル 1 の画素数を $WXGA (768 \times 1366)$ としたときに、給電配線 90 及び共通配線 91 の望ましい幅、断面積を定義する。図 12 は、各サブピクセルの駆動トランジスタ 23 及び有機 EL 素子 20 の電流－電圧特性を示すグラフである。

【0094】

図 12 において、縦軸は 1 つの駆動トランジスタ 23 のソース 23s－ドレイン 23d 間を流れる書込電流の電流値又は 1 つの有機 EL 素子 20 のアノード－カソード間を流れる駆動電流の電流値であり、横軸は 1 つの駆動トランジスタ 23 のソース 23s－ドレイン 23d 間の電圧（同時に 1 つの駆動トランジスタ 23 のゲート 23g－ドレイン 23d 間の電圧）である。図中、実線 $I_{ds\ max}$ は、最高輝度階調（最も明るい表示）のときの書込電流及び駆動電流であり、一点鎖線 $I_{ds\ mid}$ は、最高輝度階調と最低輝度階調との間の中間輝度階調のときの書込電流及び駆動電流であり、二点鎖線 V_{po} は駆動トランジスタ 23 の不飽和領域（線形領域）と飽和領域との閾値つまりピンチオフ電圧であり、三点鎖線 V_{ds} は駆動トランジスタ 23 のソース 23s－ドレイン 23d 間を流れる書込電流であり、破線 I_{el} は有機 EL 素子 20 のアノード－カソード間を流れる駆動電流である。

【0095】

ここで電圧 V_{P1} は、最高輝度階調時の駆動トランジスタ 23 のピンチオフ電圧であり、電圧 V_{P2} は、駆動トランジスタ 23 が最高輝度階調の書込電流が流れるときのソースード

レイン間電圧であり、電圧 V_{ELmax} (電圧 V_{P4} - 電圧 V_{P3}) は有機 EL 素子 20 が最高輝度階調の書込電流と電流値が等しい最高輝度階調の駆動電流で発光するときのアノード-カソード間の電圧である。電圧 $V_{P2'}$ は、駆動トランジスタ 23 が中間輝度階調の書込電流が流れるときのソースドレイン間電圧であり、電圧 (電圧 $V_{P4'}$ - 電圧 $V_{P3'}$) は有機 EL 素子 20 が中間輝度階調の書込電流と電流値が等しい中間輝度階調の駆動電流で発光するときのアノード-カソード間電圧である。

【0096】

駆動トランジスタ 23 及び有機 EL 素子 20 はいずれも飽和領域で駆動させるために、(給電配線 90 の発光期間時の電圧 V_H) から (共通配線 91 の発光期間時の電圧 V_{com}) を減じた値 V_X は下記の式 (2) を満たす。

10

【0097】

$$V_X = V_{po} + V_{th} + V_m + V_{EL} \quad \dots \dots (2)$$

【0098】

V_{th} (最高輝度時の場合 $V_{P2} - V_{P1}$ に等しい) は駆動トランジスタ 23 の閾値電圧であり、 V_{EL} (最高輝度時の場合 V_{ELmax} に等しい) は有機 EL 素子 20 のアノード-カソード間電圧であり、 V_m は、階調に応じて変位する許容電圧である。

【0099】

図から明らかなように、電圧 V_X のうち、輝度階調が高くなる程、トランジスタ 23 のソースドレイン間に要する電圧 ($V_{po} + V_{th}$) が高くなるとともに有機 EL 素子 20 のアノード-カソード間に要する電圧 V_{EL} が高くなる。したがって、許容電圧 V_m は、輝度階調が高くなるほど低くなり、最小許容電圧 V_{min} は $V_{P3} - V_{P2}$ となる。

20

【0100】

有機 EL 素子 20 は低分子 EL 材料及び高分子 EL 材料にかかわらず一般的に経時劣化し、高抵抗化する。10000 時間後のアノード-カソード間電圧は初期時の 1.4 倍程度になることが確認されている。つまり、電圧 V_{EL} は、同じ輝度階調時でも時間が経つ程高くなる。このため、駆動初期時の許容電圧 V_m が高い程長期間にわたって動作が安定するので、電圧 V_{EL} が 8 V 以上、より望ましくは 13 V 以上となるように電圧 V_X を設定している。

【0101】

この許容電圧 V_m には、有機 EL 素子 20 の高抵抗化ばかりでなく、さらに、給電配線 90 による電圧降下の分も含まれる。

30

【0102】

給電配線 90 の配線抵抗のために電圧降下が大きいとディスプレイパネル 1 の消費電力が著しく増大してしまうため、給電配線 90 の電圧降下は 1 V 以下に設定することが特に好ましい。

【0103】

行方向の一つの画素の長さである画素幅 W_p と、行方向の画素数 (1366) と、画素領域以外における第一の引き回し配線から一方の配線端子までの延長部分と、画素領域以外における第一の引き回し配線から他方の配線端子までの延長部分と、を考慮した結果、ディスプレイパネル 1 のパネルサイズが 32 インチ、40 インチの場合、第一の引き回し配線の全長はそれぞれ 706.7 mm、895.2 mm となる。ここで、給電配線 90 の線幅 W_L 及び共通配線 91 の線幅 W_L が広くなると、構造上有機 EL 層 20b の面積が小さくなり、さらに他の配線との重なり寄生容量を発生してさらなる電圧降下をもたらすため、給電配線 90 の幅 W_L 及び共通配線 91 の線幅 W_L はそれぞれ画素幅 W_p の 5 分の 1 以下に抑えることが望ましい。このようなことを考慮すると、ディスプレイパネル 1 のパネルサイズが 32 インチ、40 インチの場合、幅 W_L はそれぞれ 34 μm 以内、44 μm 以内となる。また給電配線 90 及び共通配線 91 の最大膜厚 H_{max} はアスペクト比を考慮すると、トランジスタ 21 ~ 23 の最小加工寸法 4 μm の 1.5 倍、つまり 6 μm となる。したがって給電配線 90 及び共通配線 91 の最大断面積 S_{max} は 32 インチ、40 インチで、それぞれ 204 μm^2 、264 μm^2 となる。

40

50

【0104】

このような32インチのディスプレイパネル1について、最大電流が流れるように全点灯したときの給電配線90及び共通配線91のそれぞれの最大電圧降下を1V以下にするためには図13に示すように、給電配線90及び共通配線91のそれぞれの配線抵抗率 ρ /断面積 S は $4.7\Omega/\text{cm}$ 以下に設定される必要がある。図14に32インチのディスプレイパネル1の給電配線90及び共通配線91のそれぞれの断面積と電流密度の相関関係を表す。なお、上述した給電配線90及び共通配線91の最大断面積 S_{max} 時に許容される抵抗率は、32インチで $9.6\mu\Omega\text{cm}$ 、40インチで $6.4\mu\Omega\text{cm}$ となる。

【0105】

そして、40インチのディスプレイパネル1について、最大電流が流れるように全点灯したときの給電配線90及び共通配線91のそれぞれの最大電圧降下を1V以下にするためには図15に示すように、給電配線90及び共通配線91のそれぞれの配線抵抗率 ρ /断面積 S は $2.4\Omega/\text{cm}$ 以下に設定される必要がある。図16に40インチのディスプレイパネル1の給電配線90及び共通配線91のそれぞれの断面積と電流密度の相関関係を表す。

【0106】

給電配線90及び共通配線91の故障により動作しなくなる故障寿命MTFは、下記の式(3)を満たす。

【0107】

$$\text{MTF} = A \exp(E_a / K_b T) / \rho J^2 \quad \dots\dots (3) \quad 20$$

【0108】

E_a は活性化エネルギー、 $K_b T = 8.617 \times 10^{-5} \text{eV}$ 、 ρ は給電配線90及び共通配線91の抵抗率、 J は電流密度である。

【0109】

給電配線90及び共通配線91の故障寿命MTFは抵抗率の増大やエレクトロマイグレーションに律速する。給電配線90及び共通配線91をAl系(Al単体或いはAlTiやAlNd等の合金)に設定し、MTFが10000時間、85℃の動作温度で試算すると、電流密度 J は $2.1 \times 10^4 \text{A}/\text{cm}^2$ 以下にする必要がある。同様に給電配線90及び共通配線91をCuに設定すると、 $2.8 \times 10^6 \text{A}/\text{cm}^2$ 以下にする必要がある。なおAl合金内のAl以外の材料はAlよりも低い抵抗率であることを前提としている。

これらのことを考慮して、32インチのディスプレイパネル1では、全点灯状態で10000時間に給電配線90及び共通配線91が故障しないようなAl系の給電配線90及び共通配線91のそれぞれの断面積 S は、図14から、 $57\mu\text{m}^2$ 以上必要になり、同様にCuの給電配線90及び共通配線91のそれぞれの断面積 S は、図14から、 $0.43\mu\text{m}^2$ 以上必要になる。

【0110】

そして40インチのディスプレイパネル1では、全点灯状態で10000時間に給電配線90及び共通配線91が故障しないようなAl系の給電配線90及び共通配線91のそれぞれの断面積 S は、図16から、 $92\mu\text{m}^2$ 以上必要になり、同様にCuの給電配線90及び共通配線91のそれぞれの断面積 S は、図16から、 $0.69\mu\text{m}^2$ 以上必要になる。

【0111】

Al系の給電配線90及び共通配線91では、Al系の抵抗率が $4.00\mu\Omega\text{cm}$ とすると、32インチのディスプレイパネル1では上述のように配線抵抗率 ρ /断面積 S が $4.7\Omega/\text{cm}$ 以下なので、最小断面積 S_{min} は $85.1\mu\text{m}^2$ となる。このとき上述のように給電配線90及び共通配線91の配線幅 WL は $34\mu\text{m}$ 以内なので給電配線90及び共通配線91の最小膜厚 H_{min} は $2.50\mu\text{m}$ となる。

【0112】

またAl系の給電配線90及び共通配線91の40インチのディスプレイパネル1では上述のように配線抵抗率 ρ /断面積 S が $2.4\Omega/\text{cm}$ 以下なので、最小断面積 S_{min} は

10

20

30

40

50

167 μm^2 となる。このとき上述のように給電配線90及び共通配線91の配線幅WLは44 μm 以内なので給電配線90及び共通配線91の最小膜厚Hminは3.80 μm となる。

【0113】

Cuの給電配線90及び共通配線91では、Cuの抵抗率が2.10 $\mu\Omega\text{cm}$ とすると、32インチのディスプレイパネル1では上述のように配線抵抗率 ρ /断面積Sが4.7 Ω/cm 以下なので、最小断面積Sminは44.7 μm^2 となる。このとき上述のように給電配線90及び共通配線91の配線幅WLは34 μm 以内なので給電配線90及び共通配線91の最小膜厚Hminは1.31 μm となる。

【0114】

またCuの給電配線90及び共通配線91の40インチのディスプレイパネル1では上述のように配線抵抗率 ρ /断面積Sが2.4 Ω/cm 以下なので、最小断面積Sminは87.5 μm^2 となる。このとき上述のように給電配線90及び共通配線91の配線幅WLは44 μm 以内なので給電配線90及び共通配線91の最小膜厚Hminは1.99 μm となる。

【0115】

以上のことから、ディスプレイパネル1を正常且つ消費電力を低く動作させるには、給電配線90及び共通配線91での電圧降下を1V以下にした方が好ましく、このような条件にするには、給電配線90及び共通配線91がAl系の32インチのパネルでは、膜厚Hが2.50 μm ～6 μm 、幅WLが14.1 μm ～34.0 μm 、抵抗率が4.0 $\mu\Omega\text{cm}$ ～9.6 $\mu\Omega\text{cm}$ となり、給電配線90及び共通配線91がAl系の40インチのパネルでは、給電配線90及び共通配線91がAl系の場合、膜厚Hが3.80 μm ～6 μm 、幅WLが27.8 μm ～44.0 μm 、抵抗率が4.0 $\mu\Omega\text{cm}$ ～9.6 $\mu\Omega\text{cm}$ となる。

【0116】

総じてAl系の給電配線90及び共通配線91の場合、膜厚Hが2.50 μm ～6 μm 、幅WLが14.1 μm ～44 μm 、抵抗率が4.0 $\mu\Omega\text{cm}$ ～9.6 $\mu\Omega\text{cm}$ となる。

同様に、給電配線90及び共通配線91がCuの32インチのパネルでは、膜厚Hが1.31 μm ～6 μm 、幅WLが7.45 μm ～34 μm 、抵抗率が2.1 $\mu\Omega\text{cm}$ ～9.6 $\mu\Omega\text{cm}$ となり、給電配線90及び共通配線91がCuの40インチのパネルでは、給電配線90及び共通配線91がCu系の場合、膜厚Hが1.99 μm ～6 μm 、幅WLが14.6 μm ～44.0 μm 、抵抗率が2.1 $\mu\Omega\text{cm}$ ～9.6 $\mu\Omega\text{cm}$ となる。

【0117】

総じてCuの給電配線90及び共通配線91の場合、膜厚Hが1.31 μm ～6 μm 、幅WLが7.45 μm ～44 μm 、抵抗率が2.1 $\mu\Omega\text{cm}$ ～9.6 $\mu\Omega\text{cm}$ となる。

したがって、給電配線90及び共通配線91としてAl系材料又はCuを適用した場合、ディスプレイパネル1の給電配線90及び共通配線91は、膜厚Hが1.31 μm ～6 μm 、幅WLが7.45 μm ～44 μm 、抵抗率が2.1 $\mu\Omega\text{cm}$ ～9.6 $\mu\Omega\text{cm}$ となる。

【0118】

以上のように、水平方向に隣り合うサブピクセル電極20aの間において凸設された共通配線91がトランジスタ21～23の電極とは別層で形成されているから、共通配線91を厚膜にすることができ、共通配線91を低抵抗化することができる。そして、低抵抗な共通配線91が対向電極20cに導通しているから、対向電極20c自体が薄膜化してより高抵抗になっても対向電極20cの電圧を面内で一様にするすることができる。従って、仮に全てのサブピクセル電極20aに同じ電位を印加した場合でも、どの有機EL層20bの発光強度もほぼ等しくなり、面内の発光強度を一様することができる。

【0119】

また、ディスプレイパネル1をトップエミッション型として用いた場合、対向電極20cをより薄膜化することが可能なので、有機EL層20bを発した光が対向電極20cを

10

20

30

40

50

透過中に減衰し難くなる。更に、平面視して水平方向に隣り合うサブピクセル電極 20 a の間に共通配線 91 が設けられているため、画素開口率の減少を最小限に抑えることができる。

【0120】

また、水平方向の画素 3 の行の間において平坦化膜 33 及び保護絶縁膜 32 に埋設された給電配線 90 がトランジスタ 21～23 の電極とは別層で形成されているから、給電配線 90 を厚膜にすることができ、給電配線 90 を低抵抗化することができる。低抵抗な給電配線 90 が薄膜の供給線 Z に積層されているから、供給線 Z の電圧降下を抑えることができ、更には供給線 Z 及び給電配線 90 の信号遅延を抑えることができる。例えば、仮に給電配線 90 がない場合にディスプレイパネル 1 を大画面化したときには、供給線 Z の電圧降下によって面内の発光強度のムラが発生したり、発光しない有機 EL 素子 20 が存在したりするおそれがある。しかしながら、本実施形態では、低抵抗な給電配線 90 が供給線 Z に導通しているから、面内の発光強度のムラを抑えることができ、更に発光しない有機 EL 素子 20 をなくすことができる。

10

【0121】

更に、給電配線 90 を厚くすることで給電配線 90 を低抵抗化したので、給電配線 90 の幅を狭くすることができる。そのため、画素開口率の減少を最小限に抑えることができる。

【0122】

そして共通配線 91 群がサブピクセル電極 20 a、20 a 間の非画素領域に配置された信号線 $Y_1 \sim Y_n$ の上方に配置されているので、サブピクセル電極 20 a の面積が共通配線 91 群の配置によって縮小することがない。

20

また、信号線 Y と共通配線 91 との間には、厚膜のバンク 71 が介在しているから、信号線 Y と共通配線 91 との間に生じる寄生容量を非常に小さくすることができる。また、平面視して共通配線 91 とバンク 71 が重なっているから、画素開口率の減少を最小限に抑えることができる。

【0123】

〔第 2 の実施の形態〕

図 17～図 25 を用いて、第 2 実施形態におけるディスプレイパネル 101 について説明する。なお、図 17～図 25 に示すように、第 2 実施形態におけるディスプレイパネル 101 については、第 1 実施形態におけるディスプレイパネル 1 のいずれかの部分と同一の部分に対しては同一の符号を付し、同一の部分についての説明を省略する。

30

【0124】

図 17 は、第 2 実施形態におけるディスプレイパネル 101 の画素 3 の概略平面図であり、図 18 は、サブピクセル P の電極を主に示した平面図である。図 17、図 18 に示すように、画素 3、サブピクセル P r、P g、P b、信号線 Y r、Y g、Y b、走査線 X 及び供給線 Z の平面レイアウトは、第 1 実施形態における平面レイアウトと同じである。

【0125】

図 19 は、図 17 に示された切断線 XIX-XIX に沿って絶縁基板 2 の厚さ方向に切断した矢視断面図であり、図 20 は、図 17 に示された切断線 XX-XX に沿って絶縁基板 2 の厚さ方向に切断した矢視断面図であり、図 21 は、図 17 に示された切断線 XXI-XXI に沿って絶縁基板 2 の厚さ方向に切断した矢視断面図であり、図 22 は、図 17 に示された切断線 XXII-XXII に沿って絶縁基板 2 の厚さ方向に切断した矢視断面図である。図 19～図 22 に示すように、トランジスタアレイ基板 50 並びにその表面にパターンニングされた絶縁膜 52 及びサブピクセル電極 20 a は、第 1 実施形態と同じに設けられている。

40

【0126】

第 1 実施形態では、給電配線 90 が平坦化膜 33 及び保護絶縁膜 32 に埋設されていた。それに対して、第 2 実施形態では、メッキ法によって成長した給電配線 90 A が絶縁膜 52 上において図 23 に示すように、垂直方向に沿って延在するように凸設されている。そして、給電配線 90 A は、垂直方向の赤サブピクセル P r の列と緑サブピクセル P g

50

の列との間に、垂直方向の緑サブピクセル P g の列と青サブピクセル P b の列との間に、及び垂直方向の青サブピクセル P b の列と赤サブピクセル P r の列との間に配置されている。

【0127】

給電配線 90 A が絶縁膜 52 上に設けられているから、第 2 実施形態では、第 1 実施形態におけるバンク 71 が設けられていない。つまり、給電配線 90 A は、バンク 71 の代わりに設けられている。第 1 実施形態では、バンク 71 が絶縁性の感光性樹脂からなるが、第 2 実施形態の給電配線 90 A は、銅、アルミ、金若しくはニッケルのうちの少なくともいずれかを含むことが好ましい。そのため、給電配線 90 A が対向電極 20 c に対して絶縁しなければならない。そこで、給電配線 90 A の表面には、撥水性・撥油性を有した疎水絶縁膜 53 A が成膜され、給電配線 90 A と対向電極 20 c との間に疎水絶縁膜 53 A が介在している。 10

【0128】

疎水絶縁膜 53 A はフッ素樹脂電着塗料からなり、電着塗装によって成膜されたものである。なお、有機 EL 素子 20 の有機 EL 層 20 b は、給電配線 90 A 及び疎水絶縁膜 53 A の形成後に湿式塗布法（例えば、インクジェット法）によって成膜される。電着塗料としては、エレコートナイスロン、エレコートナイスロン CTR、エレコート AMF（株式会社シミズ製）などが挙げられる。この場合、サブピクセル電極 20 a に有機化合物含有液を塗布するが、水平方向に隣り合うサブピクセル電極 20 a 間において疎水絶縁膜 53 A が給電配線 90 A の表面に成膜されているから、サブピクセル電極 20 a に塗布された有機化合物含有液が隣のサブピクセル電極 20 a に漏れることがない。従って、有機 EL 層 20 b を湿式塗布法によって色ごとに塗り分けることができる。更に、疎水絶縁膜 53 A の撥水性・撥油性によって、サブピクセル電極 20 a に塗布された有機化合物含有液が給電配線 90 A 周縁で厚くならないので、有機 EL 層 20 b を均一な膜厚で成膜することができる。 20

【0129】

図 17、図 18、図 20、図 23 に示すように、平面視して給電配線 90 A、90 A…と供給線 Z₁～Z_nとが交わる箇所において、平坦化膜 33 及び保護絶縁膜 32 にコンタクトホール 81 が形成され、そのコンタクトホール 81 に導電性パッド 82 が埋設され、その導電性パッド 82 の表面に導電性膜 51 A がパターンニングされているが、導電性膜 51 A は、サブピクセル電極 20 a の元となる導電性膜をエッチングすることによってサブピクセル電極 20 a とともにパターンニングされたものである。更に、平面視して給電配線 90 A と供給線 Z とが交わる箇所において、コンタクトホール 83 が絶縁膜 52 に形成され、給電配線 90 A の一部がコンタクトホール 83 に埋設されている。このように、コンタクトホール 81 及びコンタクトホール 83 を介して給電配線 90 A が供給線 Z に導通している。そして、供給線 Z₁～Z_nは、給電配線 90 A と同じ導電層をパターンニングしてなる引き回し配線 99 に接続され、端子部 90 d、90 e に導通している。 30

【0130】

どの給電配線 90 A も全ての供給線 Z に導通している。そのため、図 9 を用いて説明した第一のディスプレイパネル 1 の駆動方法では、第 2 実施形態のディスプレイパネル 101 を駆動することができないが、図 11 を用いて説明した第二のディスプレイパネル 1 の駆動方法では、第 2 実施形態のディスプレイパネル 101 を駆動することができる。 40

【0131】

第 1 実施形態では、対向電極 20 c 上には、複数の共通配線 91 が配列されていた。それに対して、第 2 実施形態では、共通配線 91 A が図 24 に示すように、メッシュ状にパターンニングされている。具体的には、共通配線 91 A が、平面視して垂直方向及び水平方向に互いに隣接するサブピクセル電極 20 a、20 a の間を埋めるように、走査線 X₁～X_nの上方、信号線 Y₁～Y_nの上方及び供給線 Z₁～Z_nの上方に格子状にパターンニングされている。そのため、図 25 に示すように、共通配線 91 A の一部が給電配線 90 A に重なっているが、給電配線 90 A の表面に疎水絶縁膜 53 A が成膜されているから、共通配 50

線 9 1 A が給電配線 9 0 A に対して絶縁されている。共通配線 9 1 A は、銅、アルミ、金若しくはニッケルのうちの少なくともいずれかを含むことが好ましく、いずれも有機 EL 層 2 0 b の発光する光に対して不透明なくらい厚い。

【0132】

以上のように説明してきたことを除いて、第 2 実施形態におけるディスプレイパネル 1 0 1 は、第 1 実施形態のディスプレイパネル 1 と同様に構成されている。勿論、第 1 実施形態の給電配線 9 0 及び共通配線 9 1 の幅、断面積及び抵抗率と同様に、給電配線 9 0 A 及び共通配線 9 1 A が A 1 系の 3 2 インチのパネルでは、膜厚 H が $2.50\ \mu\text{m} \sim 6\ \mu\text{m}$ 、幅 WL が $14.1\ \mu\text{m} \sim 34.0\ \mu\text{m}$ 、抵抗率が $4.0\ \mu\Omega\text{cm} \sim 9.6\ \mu\Omega\text{cm}$ となり、給電配線 9 0 A 及び共通配線 9 1 A が A 1 系の 4 0 インチのパネルでは、給電配線 9 0 A 及び共通配線 9 1 A が A 1 系の場合、膜厚 H が $3.80\ \mu\text{m} \sim 6\ \mu\text{m}$ 、幅 WL が $27.8\ \mu\text{m} \sim 44.0\ \mu\text{m}$ 、抵抗率が $4.0\ \mu\Omega\text{cm} \sim 9.6\ \mu\Omega\text{cm}$ となる。総じて A 1 系の給電配線 9 0 A 及び共通配線 9 1 A の場合、膜厚 H が $2.50\ \mu\text{m} \sim 6\ \mu\text{m}$ 、幅 WL が $14.1\ \mu\text{m} \sim 44\ \mu\text{m}$ 、抵抗率が $4.0\ \mu\Omega\text{cm} \sim 9.6\ \mu\Omega\text{cm}$ となる。同様に、給電配線 9 0 A 及び共通配線 9 1 A が Cu の 3 2 インチのパネルでは、膜厚 H が $1.31\ \mu\text{m} \sim 6\ \mu\text{m}$ 、幅 WL が $7.45\ \mu\text{m} \sim 34\ \mu\text{m}$ 、抵抗率が $2.1\ \mu\Omega\text{cm} \sim 9.6\ \mu\Omega\text{cm}$ となり、給電配線 9 0 A 及び共通配線 9 1 A が Cu の 4 0 インチのパネルでは、給電配線 9 0 A 及び共通配線 9 1 A が Cu 系の場合、膜厚 H が $1.99\ \mu\text{m} \sim 6\ \mu\text{m}$ 、幅 WL が $14.6\ \mu\text{m} \sim 44.0\ \mu\text{m}$ 、抵抗率が $2.1\ \mu\Omega\text{cm} \sim 9.6\ \mu\Omega\text{cm}$ となる。総じて Cu の給電配線 9 0 A 及び共通配線 9 1 A の場合、膜厚 H が $1.31\ \mu\text{m} \sim 6\ \mu\text{m}$ 、幅 WL が $7.45\ \mu\text{m} \sim 44\ \mu\text{m}$ 、抵抗率が $2.1\ \mu\Omega\text{cm} \sim 9.6\ \mu\Omega\text{cm}$ となる。したがって、給電配線 9 0 A 及び共通配線 9 1 A として A 1 系材料又は Cu を適用した場合、ディスプレイパネル 1 0 1 の給電配線 9 0 A 及び共通配線 9 1 A は、膜厚 H が $1.31\ \mu\text{m} \sim 6\ \mu\text{m}$ 、幅 WL が $7.45\ \mu\text{m} \sim 44\ \mu\text{m}$ 、抵抗率が $2.1\ \mu\Omega\text{cm} \sim 9.6\ \mu\Omega\text{cm}$ となる。

【0133】

本実施形態においても、共通配線 9 1 A がメッキ法により厚く成膜されているから、対向電極 2 0 c 自体が薄膜化してより高抵抗になっても対向電極 2 0 c の電圧を面内で一様にすることができる。また、給電配線 9 0 A がメッキ法により厚く成膜されているから、供給線 Z の電圧降下を抑えることができ、面内の発光強度のムラを抑えることができる。

【0134】

また、平面視して共通配線 9 1 A の一部が給電配線 9 0 A に重なっているから、画素開口率の減少を最小限に抑えることができる。

【0135】

そして、共通配線 9 1 A 群がサブピクセル電極 2 0 a、2 0 a 間の非画素領域に配置された走査線 $X_1 \sim X_m$ の上方、信号線 $Y_1 \sim Y_n$ の上方及び供給線 $Z_1 \sim Z_m$ の上方に格子状に配置されているので、サブピクセル電極 2 0 a の面積が共通配線 9 1 A 群の配置によって縮小することがない。

【0136】

[第 3 の実施の形態]

図 2 6 ～図 2 8 を用いて、第 3 実施形態におけるディスプレイパネル 2 0 1 について説明する。なお、図 2 6 ～図 2 8 に示すように、第 3 実施形態におけるディスプレイパネル 2 0 1 については、第 3 実施形態におけるディスプレイパネル 2 0 1 のいずれかの部分に対応する部分に対しては同一の符号を付し、対応する部分についての説明を省略する。

【0137】

図 2 6 は、第 3 実施形態におけるディスプレイパネル 2 0 1 の画素 3 の概略平面図である。図 2 6 に示すように、第 1 実施形態におけるディスプレイパネル 1 と同様に、第 3 実施形態のディスプレイパネル 2 0 1 においても、画素 3 がマトリクス状に配列されている。但し、第 1 実施形態では、水平方向に沿って並んだサブピクセル P r, P g, P b によって画素 3 が構成されているが、第 3 実施形態では、垂直方向に沿って並んだサブピクセル

10

20

30

40

50

ル P_r, P_g, P_bによって画素 3 が構成されている。

【0138】

従って、水平方向の配列順に着目すると、複数の赤サブピクセル P_r が水平方向に沿って一行に配列され、複数の緑サブピクセル P_g が水平方向に沿って一行に配列され、複数の青サブピクセル P_b が水平方向に沿って一行に配列されている。一方、垂直方向の配列順に着目すると、赤サブピクセル P_r、緑サブピクセル P_g、青サブピクセル P_b の順に繰り返し配列されている。

【0139】

第 1 実施形態においては、赤サブピクセル P_r、緑サブピクセル P_g、青サブピクセル P_b が色ごとに垂直方向に沿って一列に配列されているため、垂直方向に延在した信号線 Y_r、信号線 Y_g、信号線 Y_b が赤サブピクセル P_r の列、緑サブピクセル P_g の列、青サブピクセル P_b の列にそれぞれ設けられていた。それに対して、第 3 実施形態においては、赤サブピクセル P_r、緑サブピクセル P_g、青サブピクセル P_b がこれらの順に繰り返すよう垂直方向に沿って一列に配列されているため、垂直方向の赤サブピクセル P_r, P_g, P_b の列 1 列につき、3 本の信号線 Y_r, Y_g, Y_b が設けられている。ここで、信号線 Y_r は垂直方向の画素 3 の列のうち全ての赤サブピクセル P_r に対して信号を供給するものであり、信号線 Y_g は垂直方向の画素 3 の列のうち全ての緑サブピクセル P_g に対して信号を供給するものであり、信号線 Y_b は垂直方向の画素 3 の列のうち全ての青サブピクセル P_b に対して信号を供給するものである。なお、画素 3 の単位で考慮すると、第 1 実施形態の場合でも、第 2 実施形態の場合でも、垂直方向の画素 3 の列 1 列につき 3 本の信号線 Y_r, Y_g, Y_b が設けられている。

【0140】

また、第 1 実施形態においては、水平方向の画素 3 の行 1 行につき 1 本の走査線 X と 1 本の供給線 Z が設けられていた。それに対して、第 2 実施形態においては、水平方向の画素 3 の行 1 行につき 1 本の走査線 X_E と 2 本の供給線 Z_C, Z_D が設けられている。具体的には、水平方向の赤サブピクセル P_r の列と青サブピクセル P_b の列との間に供給線 Z_C が配置され、水平方向の緑サブピクセル P_g の行と赤サブピクセル P_r の行との間に供給線 Z_D が配置され、水平方向の青サブピクセル P_b の行と緑サブピクセル P_g の行との間に走査線 X が配置されている。

【0141】

水平方向の画素 3 の行における 2 本の供給線 Z_C, Z_D が 1 組となっており、2 本の供給線 Z_C, Z_D がディスプレイパネル 201 の周辺部において互いに導通している。

【0142】

第 3 実施形態においては、1 ピクセルの画素 3 につき 1 つのコンタクトホール 92C が設けられている。コンタクトホール 92C は 1 ピクセルの画素 3 に含まれるサブピクセル P_r, P_g, P_b に共通したものであり、何れのサブピクセル P_r, P_g, P_b においてもトランジスタ 21, 22 のゲート 21g, 22g がコンタクトホール 92C を介して走査線 X_E に導通している。なお、コンタクトホール 92C は、第 1 実施形態の場合のコンタクトホール 92 と同様に、ゲート絶縁膜 31 の走査線 X_E に重なる場所に形成されている。

【0143】

また、赤サブピクセル P_r においては、駆動トランジスタ 23 のドレイン 23d が供給線 Z_C と一体に設けられ、緑サブピクセル P_g においては、駆動トランジスタ 23 のドレイン 23d が供給線 Z_D と一体に設けられている。青サブピクセル P_b の駆動トランジスタ 23 のドレイン 23d は、接続線 96C を介して供給線 Z_D に導通している。ここで、接続線 96C は、ゲートレイヤーをパターンニングすることで形成されたものであり、ゲート絶縁膜 31 によって被覆されており、平面視して画素 3 を垂直方向に縦断するよう設けられている。ゲート絶縁膜 31 の供給線 Z_D と接続線 96C が重なる箇所には、コンタクトホール 97C が形成され、そのコンタクトホール 97C を介して接続線 96C が供給線 Z_D に導通している。また、青サブピクセル P_b においては、コンタクトホール 98C が

ゲート絶縁膜 31 の接続線 96C と駆動トランジスタ 23 のドレイン 23d とが重なる箇所に形成され、そのコンタクトホール 98C を介して接続線 96C と駆動トランジスタ 23 のドレイン 23d が導通している。

【0144】

トランジスタ 21～23 の層構造は第 1 実施形態の場合と同じであるが、トランジスタ 21～23 の平面レイアウトが第 1 実施形態と異なる。即ち、赤サブピクセル Pr においては、駆動トランジスタ 23 が供給線 ZC に沿うように配置され、スイッチトランジスタ 21 が供給線 ZD に沿うように配置され、保持トランジスタ 22 が供給線 ZC の近くの赤サブピクセル Pr の角部に配置されている。緑サブピクセル Pg においては、駆動トランジスタ 23 が供給線 ZD に沿うように配置され、スイッチトランジスタ 21 が走査線 XE に沿うように配置され、保持トランジスタ 22 が供給線 ZD の近くの緑サブピクセル Pg の角部に配置されている。青サブピクセル Pb においては、駆動トランジスタ 23 が走査線 XE に沿うように配置され、スイッチトランジスタ 21 が隣りの画素 3 の供給線 ZC に沿うように配置され、保持トランジスタ 22 が走査線 XE の近くの青サブピクセル Pb の角部に配置されている。何れのサブピクセル Pr, Pg, Pb でも、キャパシタ 24 が隣の信号線 Yb に沿って配置されている。

10

【0145】

図 27 は、図 26 に示された切断線 XXVII-XXVII に沿って絶縁基板 2 の厚さ方向に切断した矢視断面図であり、図 28 は、図 26 に示された切断線 XXVIII-XXVIII に沿って絶縁基板 2 の厚さ方向に切断した矢視断面図である。図 27、図 28 に示すように、保護絶縁膜 32 及び平坦化膜 33 の供給線 ZC、ZD 及び走査線 XE それぞれに重なる箇所には、水平方向に沿って長尺な溝 34C、34D、34E が凹設されている。溝 34C、34D、34E には給電配線 90C、給電配線 90D、選択配線 89E がそれぞれ埋設されており、溝 34C、34D、34E 内において給電配線 90C、90D、選択配線 89E が供給線 ZC、ZD、走査線 XE にそれぞれ積層されている。以上により、給電配線 90C、給電配線 90D、選択配線 89E が供給線 ZC、供給線 ZD、走査線 XE にそれぞれ導通している。給電配線 90C、給電配線 90D、選択配線 89E は、メッキ法により成膜されたものであり、供給線 ZC、供給線 ZD、走査線 XE よりも厚い。給電配線 90C、給電配線 90D、選択配線 89E の厚さは、保護絶縁膜 32 と平坦化膜 33 の厚さの総計よりも薄い。なお、溝 34C、34D が第 1 溝であり、溝 34E が第 2 溝である。

20

30

【0146】

給電配線 90C、給電配線 90D、選択配線 89E の表面には、撥水性・撥油性を有した疎水絶縁膜 53C、53D、53E がそれぞれ成膜され、疎水絶縁膜 53C、53D、53E が平坦化膜 33 の表面よりも隆起している。これにより、疎水絶縁膜 53C、53D、53E が平坦化膜 33 の表面において露出している。疎水絶縁膜 53C、53D、53E はフッ素樹脂電着塗料からなり、電着塗装によって成膜されたものである。疎水絶縁膜 53C、53D、53E の撥水性・撥油性を利用して、有機 EL 素子 20 の有機 EL 層 20b が湿式塗布法（例えば、インクジェット法）によって色ごとに塗り分けられる。なお、供給線 ZC と供給線 ZD との間において水平方向に一行に配列された複数のサブピクセル電極 20a が、水平方向に沿って帯状に長尺な共通の赤色発光の有機 EL 層 20b によって被覆され、供給線 ZD と走査線 XE との間において水平方向に沿った一行に配列された複数のサブピクセル電極 20a が、水平方向に沿って帯状に長尺な共通の緑色発光の有機 EL 層 20b によって被覆され、走査線 XE と供給線 ZC の間において水平方向に沿った一行に配列された複数のサブピクセル電極 20a が、水平方向に沿って帯状に長尺な共通の青色発光の有機 EL 層 20b によって被覆されている。

40

【0147】

共通配線 91C が対向電極 20c 上においてそれぞれの疎水絶縁膜 53C、53D、53E に沿うように成膜されており、平面視して共通配線 91C が疎水絶縁膜 53C、53D、53E に重なっている。そののため、共通配線 91C が対向電極 20c に導通している。共通配線 91C もメッキ法により成膜されたものであり、供給線 ZC、供給線 ZD、

50

走査線 X E よりも厚い。共通配線 9 1 群は、銅、アルミ、金若しくはニッケルのうちの少なくともいずれかを含むことが好ましく、いずれも有機 E L 層 2 0 b の発光する光に対して不透明なくらい厚い。

【0148】

なお、第 3 実施形態のディスプレイパネル 2 0 1 の駆動方法は、第 1 実施形態のディスプレイパネル 1 の駆動方法と同じである。勿論、給電配線 9 0 C 及び給電配線 9 0 D が A 1 系の 3 2 インチのパネルでは、膜厚 H が $2.50\ \mu\text{m} \sim 6\ \mu\text{m}$ 、幅 WL が $14.1\ \mu\text{m} \sim 34.0\ \mu\text{m}$ 、抵抗率が $4.0\ \mu\Omega\text{cm} \sim 9.6\ \mu\Omega\text{cm}$ となり、給電配線 9 0 C 及び給電配線 9 0 D が A 1 系の 4 0 インチのパネルでは、給電配線 9 0 C 及び給電配線 9 0 D が A 1 系の場合、膜厚 H が $3.80\ \mu\text{m} \sim 6\ \mu\text{m}$ 、幅 WL が $27.8\ \mu\text{m} \sim 44.0\ \mu\text{m}$ 、抵抗率が $4.0\ \mu\Omega\text{cm} \sim 9.6\ \mu\Omega\text{cm}$ となる。総じて A 1 系の給電配線 9 0 C 及び給電配線 9 0 D の場合、膜厚 H が $2.50\ \mu\text{m} \sim 6\ \mu\text{m}$ 、幅 WL が $14.1\ \mu\text{m} \sim 44\ \mu\text{m}$ 、抵抗率が $4.0\ \mu\Omega\text{cm} \sim 9.6\ \mu\Omega\text{cm}$ となる。同様に、給電配線 9 0 C 及び給電配線 9 0 D が C u の 3 2 インチのパネルでは、膜厚 H が $1.31\ \mu\text{m} \sim 6\ \mu\text{m}$ 、幅 WL が $7.45\ \mu\text{m} \sim 34\ \mu\text{m}$ 、抵抗率が $2.1\ \mu\Omega\text{cm} \sim 9.6\ \mu\Omega\text{cm}$ となり、給電配線 9 0 C 及び給電配線 9 0 D が C u の 4 0 インチのパネルでは、給電配線 9 0 C 及び給電配線 9 0 D が C u 系の場合、膜厚 H が $1.99\ \mu\text{m} \sim 6\ \mu\text{m}$ 、幅 WL が $14.6\ \mu\text{m} \sim 44.0\ \mu\text{m}$ 、抵抗率が $2.1\ \mu\Omega\text{cm} \sim 9.6\ \mu\Omega\text{cm}$ となる。総じて C u の給電配線 9 0 C 及び給電配線 9 0 D の場合、膜厚 H が $1.31\ \mu\text{m} \sim 6\ \mu\text{m}$ 、幅 WL が $7.45\ \mu\text{m} \sim 44\ \mu\text{m}$ 、抵抗率が $2.1\ \mu\Omega\text{cm} \sim 9.6\ \mu\Omega\text{cm}$ となる。したがって、給電配線 9 0 C 及び給電配線 9 0 D として A 1 系材料又は C u を適用した場合、ディスプレイパネル 2 0 1 の給電配線 9 0 C 及び給電配線 9 0 D は、膜厚 H が $1.31\ \mu\text{m} \sim 6\ \mu\text{m}$ 、幅 WL が $7.45\ \mu\text{m} \sim 44\ \mu\text{m}$ 、抵抗率が $2.1\ \mu\Omega\text{cm} \sim 9.6\ \mu\Omega\text{cm}$ となる。

【0149】

本実施形態においても、共通配線 9 1 C がメッキ法により厚く成膜されているから、対向電極 2 0 c 自体が薄膜化してより高抵抗になっても対向電極 2 0 c の電圧を面内で一様にするができる。また、給電配線 9 0 C, 9 0 D がメッキ法により厚く成膜されているから、供給線 Z C, Z D の電圧降下を抑えることができ、面内の発光強度のムラを抑えることができる。

【0150】

更に、走査線 X E に積層された選択配線 8 9 E がメッキ法により厚く成膜されているから、更には走査線 X E 及び選択配線 8 9 E の信号遅延を抑えることができる。即ち、水平方向のサブピクセル P の行に着目した場合、シフトパルスがどのサブピクセル P でも遅延せずに同時にハイレベルになる。

【0151】

また、疎水絶縁膜 5 3 C, 5 3 D, 5 3 E が電気絶縁性を有するため、給電配線 9 0 C, 9 0 D、選択配線 8 9 A と対向電極 2 0 c のショートを回避することができる。

【0152】

そして、共通配線 9 1 C, 9 1 C, … が選択配線 8 9 E、給電配線 9 0 C, 9 0 D の上方に形成されているので、サブピクセル電極 2 0 a の面積が共通配線 9 1 C 群の配置によって縮小することがない。

【0153】

[変形例 1]

なお、本発明は、上記各実施の形態に限定されることなく、本発明の趣旨を逸脱しない範囲において、種々の改良並びに設計の変更を行っても良い。

【0154】

上記各実施形態では、トランジスタ 2 1 ~ 2 3 が N チャネル型の電界効果トランジスタとして説明を行った。トランジスタ 2 1 ~ 2 3 が P チャネル型の電界効果トランジスタであっても良い。その場合、図 2 の回路構成では、トランジスタ 2 1 ~ 2 3 のソース 2 1 s, 2 2 s, 2 3 s とトランジスタ 2 1 ~ 2 3 のドレイン 2 1 d, 2 2 d, 2 3 d の関係が

逆になる。例えば、駆動トランジスタ 23 が P チャンネル型の電界効果トランジスタの場合には、駆動トランジスタ 23 のドレイン 23 d が有機 EL 素子 20 のサブピクセル電極 20 a に導通し、ソース 23 s が供給線 Z に導通する。

【0155】

[変形例 2]

また、上記各実施形態では、1 ドットのサブピクセル P につき 3 つのトランジスタ 21 ~ 23 が設けられているが、1 ドットのサブピクセル P につき 1 又は複数のトランジスタが設けられ、これらトランジスタを用いてアクティブ駆動することができるディスプレイパネルであれば、本発明を適用することができる。

【0156】

[変形例 3]

また、上記各実施形態では、信号線 Y がゲートレイヤーからパターニングされたものであるが、信号線 Y がドレインレイヤーからパターニングされたものでも良い。この場合、走査線 X 及び供給線 Z がゲートレイヤーからパターニングされたものとなり、信号線 Y が走査線 X 及び供給線 Z よりも上層になる。

【0157】

[変形例 4]

また、上記各実施形態では、対向電極 20 c を有機 EL 素子 20 のカソードとし、サブピクセル電極 20 a を有機 EL 素子 20 のアノードとしたが、対向電極 20 c を有機 EL 素子 20 のアノードとし、サブピクセル電極 20 a を有機 EL 素子 20 のカソードとしてもよい。

【図面の簡単な説明】

【0158】

【図 1】第 1 実施形態におけるディスプレイパネルの画素 3 を示した平面図である。

【図 2】サブピクセル P の等価回路図である。

【図 3】サブピクセル P の電極を示した平面図である。

【図 4】図 1 に示された切断線 IV-IV に沿って絶縁基板 2 の厚さ方向に切断した矢視断面図である。

【図 5】図 1 に示された切断線 V-V に沿って絶縁基板 2 の厚さ方向に切断した矢視断面図である。

【図 6】図 1 に示された切断線 VI-VI に沿って絶縁基板 2 の厚さ方向に切断した矢視断面図である。

【図 7】図 1 に示された切断線 VII-VII に沿って絶縁基板 2 の厚さ方向に切断した矢視断面図である。

【図 8】ディスプレイパネルの配線構造を示した略平面図である。

【図 9】図 8 のディスプレイパネルの駆動方法を説明するためのタイミングチャートである。

【図 10】ディスプレイパネルの配線構造を示した略平面図である。

【図 11】図 10 のディスプレイパネルの駆動方法を説明するためのタイミングチャートである。

【図 12】各サブピクセルの駆動トランジスタ 23 及び有機 EL 素子 20 の電流-電圧特性を示すグラフである。

【図 13】3.2 インチのディスプレイパネル 1 の給電配線 90 及び共通配線 91 のそれぞれの最大電圧降下と配線抵抗率 ρ / 断面積 S の相関を示すグラフである。

【図 14】3.2 インチのディスプレイパネル 1 の給電配線 90 及び共通配線 91 のそれぞれの断面積と電流密度の相関を示すグラフである。

【図 15】4.0 インチのディスプレイパネル 1 の給電配線 90 及び共通配線 91 のそれぞれの最大電圧降下と配線抵抗率 ρ / 断面積 S の相関を示すグラフである。

【図 16】4.0 インチのディスプレイパネル 1 の給電配線 90 及び共通配線 91 のそれぞれの断面積と電流密度の相関を示すグラフである。

10

20

30

40

50

【図 1 7】第 2 実施形態におけるディスプレイパネルの画素 3 を示した平面図である。

【図 1 8】サブピクセル P の電極を示した平面図である。

【図 1 9】図 1 7 に示された切断線 XIX-XIX に沿って絶縁基板 2 の厚さ方向に切断した矢視断面図である。

【図 2 0】図 1 7 に示された切断線 XX-XX に沿って絶縁基板 2 の厚さ方向に切断した矢視断面図である。

【図 2 1】図 1 7 に示された切断線 XXI-XVI に沿って絶縁基板 2 の厚さ方向に切断した矢視断面図である。

【図 2 2】図 1 7 に示された切断線 XXII-XXII に沿って絶縁基板 2 の厚さ方向に切断した矢視断面図である。

【図 2 3】第 2 実施形態におけるディスプレイパネルの配線の配列位置を示した略平面図である。

【図 2 4】第 2 実施形態におけるディスプレイパネルのメッシュ共通配線の配列位置を示した略平面図である。

【図 2 5】第 2 実施形態におけるディスプレイパネルを示した略平面図である。

【図 2 6】第 3 実施形態におけるディスプレイパネルの画素 3 を示した平面図である。

【図 2 7】図 2 6 に示された切断線 XXVII-XXVII に沿って絶縁基板 2 の厚さ方向に切断した矢視断面図である。

【図 2 8】図 2 6 に示された切断線 XXVIII-XXVIII に沿って絶縁基板 2 の厚さ方向に切断した矢視断面図である。

【符号の説明】

【0 1 5 9】

1 ディスプレイパネル

2 絶縁基板

2 0 a サブピクセル電極

2 0 b 有機 EL 層

2 0 c 対向電極

2 1 スイッチトランジスタ

2 2 保持トランジスタ

2 3 駆動トランジスタ

2 1 d、2 2 d、2 3 d ドレイン

2 1 s、2 2 s、2 3 s ソース

2 1 g、2 2 g、2 3 g ゲート

3 1 ゲート絶縁膜

3 4 C、3 4 D、3 4 E 溝

5 0 トランジスタアレイ基板

5 3 A、5 3 C、5 3 D、5 3 E 疎水絶縁膜

7 1 バンク

8 9 E 選択配線

9 0 A、9 0 C、9 0 D 給電配線

9 1、9 1 A、9 1 C 共通配線

P r、P g、P b サブピクセル

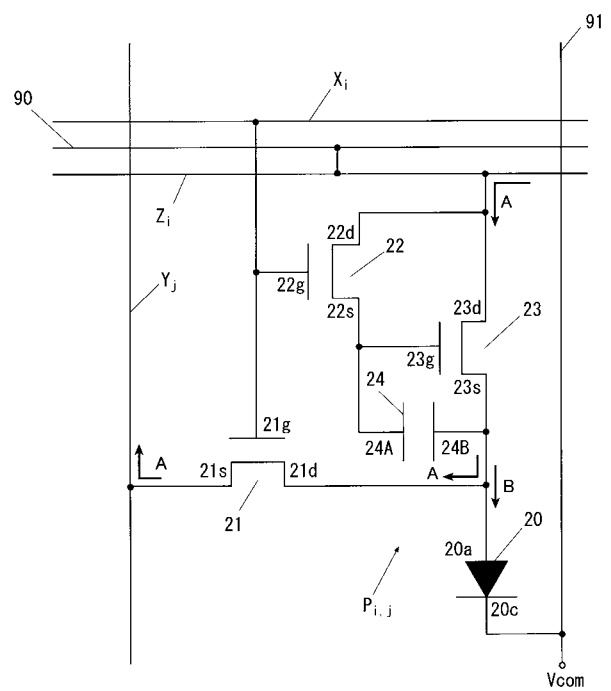
10

20

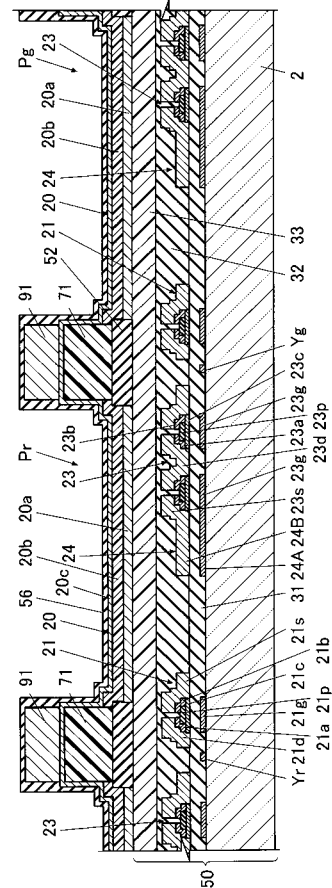
30

40

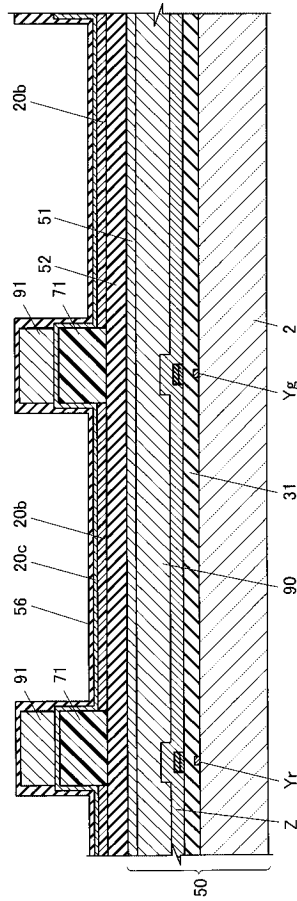
【図 2】



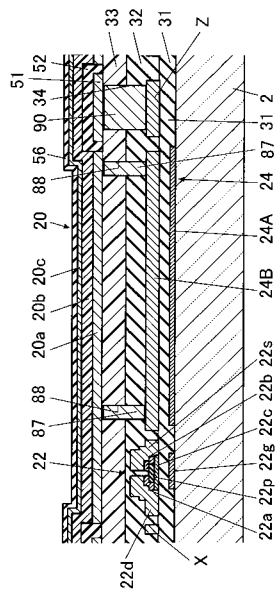
【図 4】



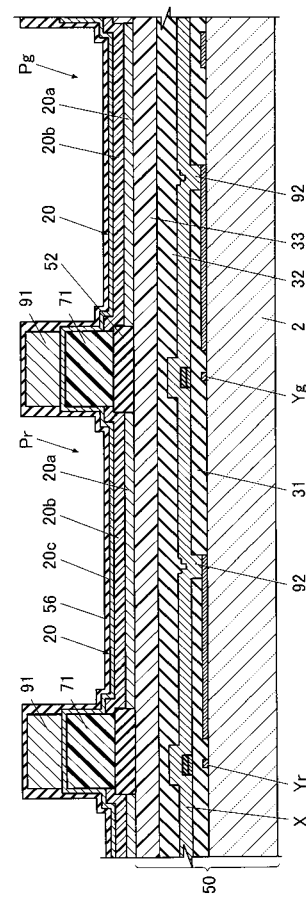
【図 5】



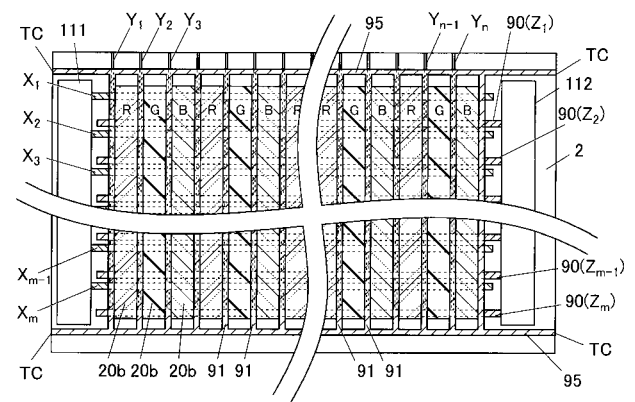
【図 7】



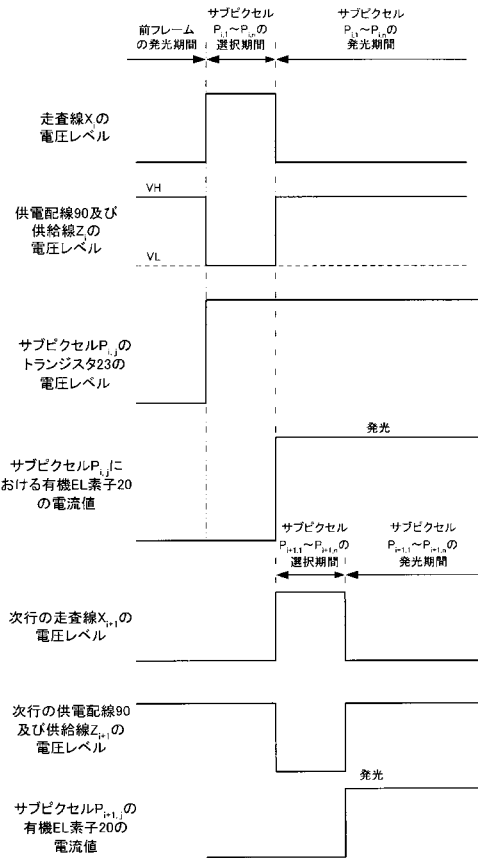
【図 6】



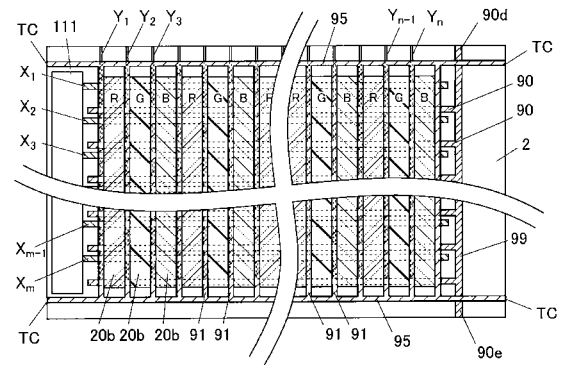
【図 8】



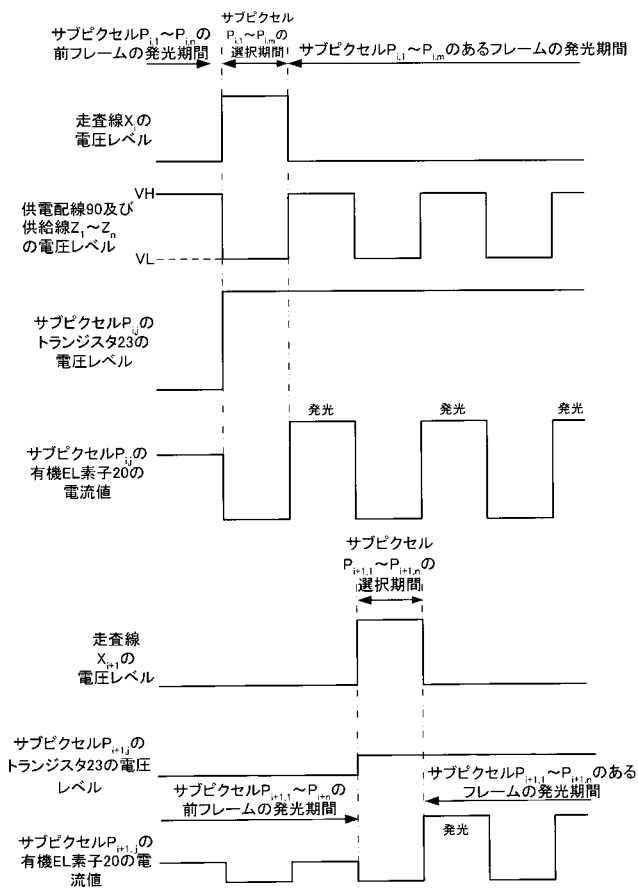
【図 9】



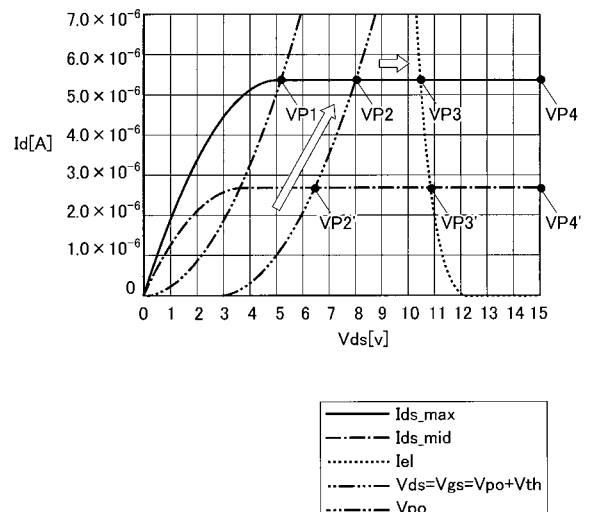
【図 10】



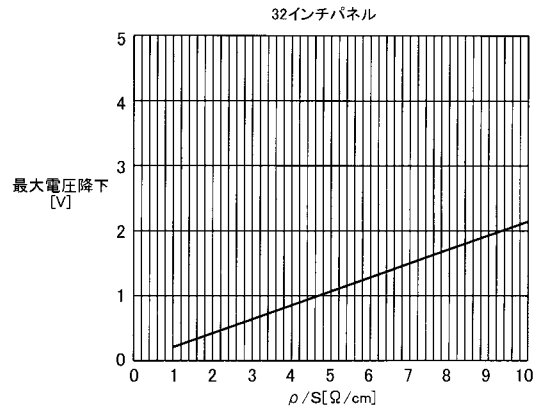
【図 11】



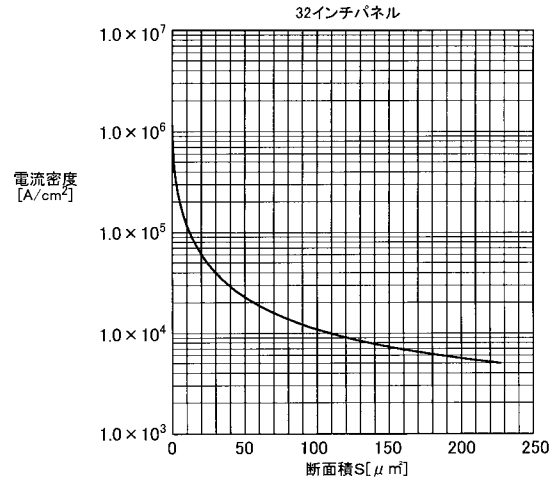
【図 12】



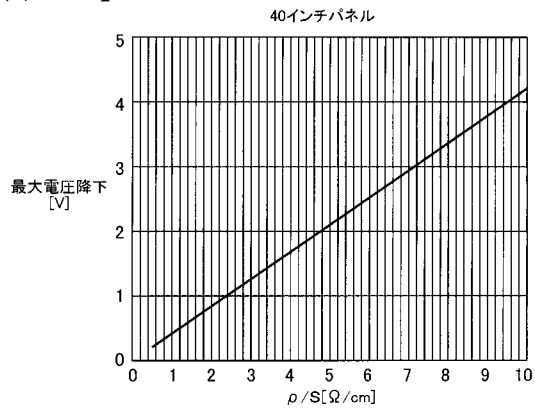
【図 1 3】



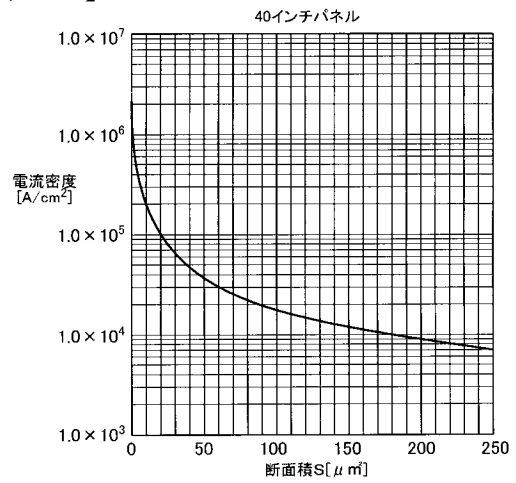
【図 1 4】



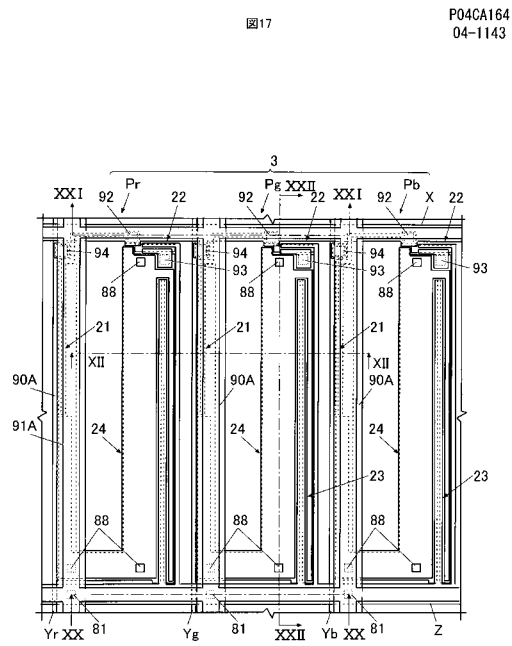
【図 1 5】



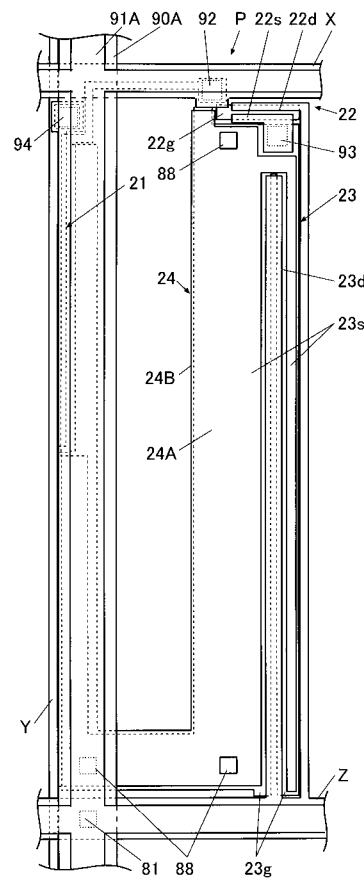
【図 1 6】



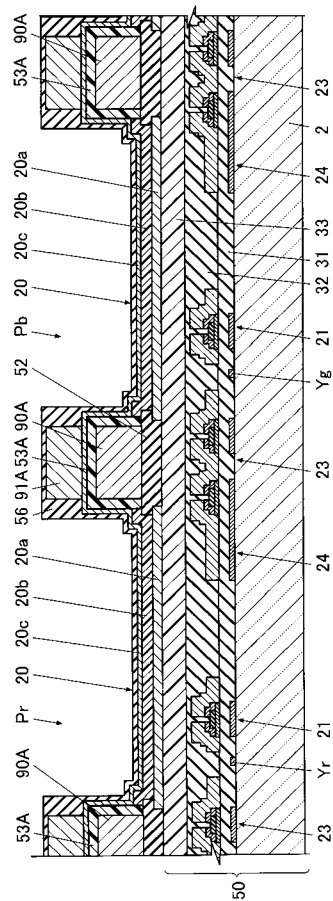
【図 17】



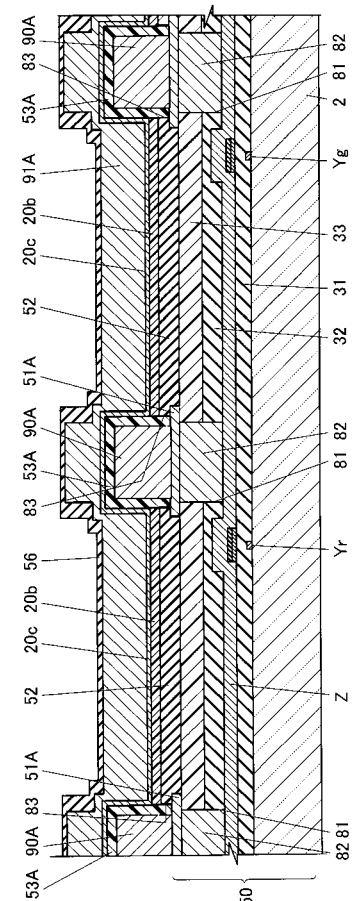
【図 18】



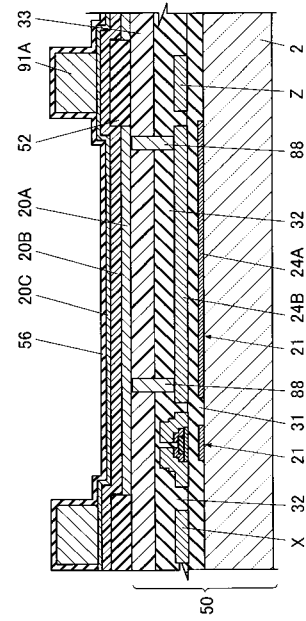
【図 19】



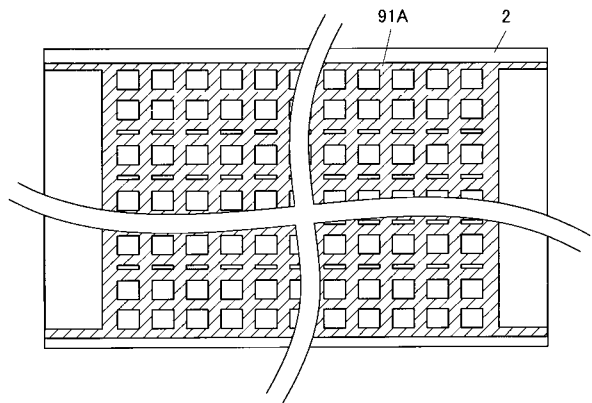
【図 20】



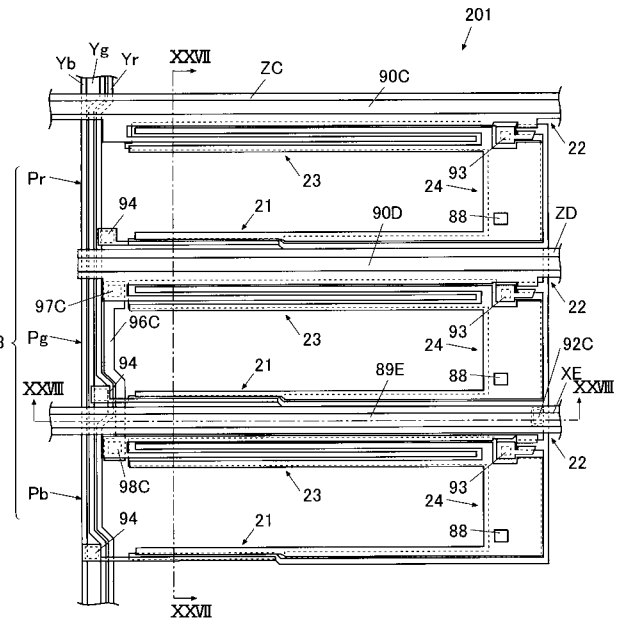
【 図 2 2 】



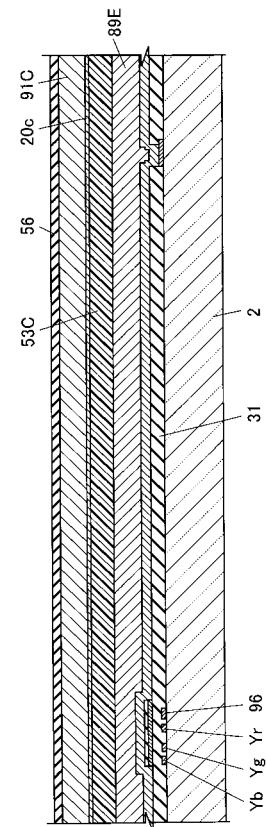
【 図 2 4 】



【图 2 6】



【图 28】



フロントページの続き

(51)Int.Cl. F I テーマコード (参考)
G 0 9 G 3/30 H

(72)発明者 小倉 潤

東京都八王子市石川町 2 9 5 1 番地 5 カシオ計算機株式会社八王子技術センター内

F ターム(参考) 3K007 AB05 AB17 BA06 DB03 GA04

5C080 AA06 BB05 CC03 DD05 FF11 HH09 JJ03 JJ04 JJ05 JJ06

5C094 AA04 AA53 AA55 BA03 BA29 CA19 DA15 EA07

专利名称(译)	显示面板		
公开(公告)号	JP2006100727A	公开(公告)日	2006-04-13
申请号	JP2004287688	申请日	2004-09-30
[标]申请(专利权)人(译)	卡西欧计算机株式会社		
申请(专利权)人(译)	卡西欧计算机有限公司		
[标]发明人	当山忠久 白寄友之 小倉潤		
发明人	当山 忠久 白寄 友之 小倉 潤		
IPC分类号	H01L51/50 G09F9/30 H01L27/32 G09G3/20 G09G3/30		
FI分类号	H05B33/14.A G09F9/30.338 G09F9/30.365.Z G09G3/20.624.B G09G3/20.680.H G09G3/30.H G09F9/30.365 G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3283 H01L27/32		
F-TERM分类号	3K007/AB05 3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA04 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD05 5C080/FF11 5C080/HH09 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C094/AA04 5C094/AA53 5C094/AA55 5C094/BA03 5C094/BA29 5C094/CA19 5C094/DA15 5C094/EA07 3K107/AA01 3K107/BB01 3K107/CC33 3K107/CC36 3K107/DD37 3K107/DD39 3K107/DD89 3K107/DD90 3K107/EE03 3K107/EE27 3K107/GG24 5C380/AA01 5C380/AB06 5C380/AB11 5C380/AB12 5C380/AB19 5C380/AB34 5C380/AB46 5C380/AC04 5C380/BA19 5C380/BB05 5C380/BB22 5C380/CA08 5C380/CA13 5C380/CB01 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC52 5C380/CC62 5C380/CC77 5C380/CD013 5C380/CF58 5C380/DA02 5C380/DA06		
外部链接	Espacenet		

摘要(译)

解决的问题：在抑制电压下降的同时，抑制开口率的降低。显示面板包括晶体管阵列基板（50），其中为一个点子像素（P）提供了晶体管（21至23）和电容器（24）。在晶体管阵列基板50上，布置水平扫描线X和供应线Z以及垂直信号线Y。在晶体管阵列基板50的表面上，以突出的方式设置有与信号线Y平行设置的堤岸71。子像素电极20a布置在堤部71之间，并且有机EL层20b层叠在子像素电极20a上。有机EL层20b和堤部71被对置电极20c覆盖。共用配线91层叠在对置电极20c上，但共用配线91在俯视观察时与堤部71重叠。[选型图]图1

