

(19)日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11)特許出願公表番号

特表2003 - 536114

(P2003 - 536114A)

(43)公表日 平成15年12月2日(2003.12.2)

(51)Int.Cl. ⁷	識別記号	F I	テ-マコード [*] (参考)
G 0 9 F 9/30	338	G 0 9 F 9/30	338 3 K 0 0 7
	365		365 Z 5 C 0 8 0
G 0 9 G 3/20	624	G 0 9 G 3/20	624 B 5 C 0 9 4
	641		641 A 5 F 1 1 0
			641 D

審査請求 未請求 予備審査請求 (全 30数) 最終頁に続く

(21)出願番号 特願2002 - 503942(P2002 - 503942)

(86)(22)出願日 平成13年6月7日(2001.6.7)

(85)翻訳文提出日 平成14年2月20日(2002.2.20)

(86)国際出願番号 PCT/EP01/06443

(87)国際公開番号 W001/099190

(87)国際公開日 平成13年12月27日(2001.12.27)

(31)優先権主張番号 0014962.5

(32)優先日 平成12年6月20日(2000.6.20)

(33)優先権主張国 イギリス(GB)

(71)出願人 コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ

KONINKLIJKE PHILIP

S ELECTRONICS N.V.

オランダ国 5621 ベーアー アインドー

フェン フルーネヴァウツウェッハ 1

(72)発明者 ヤング ニジェル ディー

オランダ国 5656 アー アー アインド

ーフェン プロフホルストラーン 6

(72)発明者 シャノン ジョン エム

オランダ国 5656 アー アー アインド

ーフェン プロフホルストラーン 6

(74)代理人 弁理士 沢田 雅男

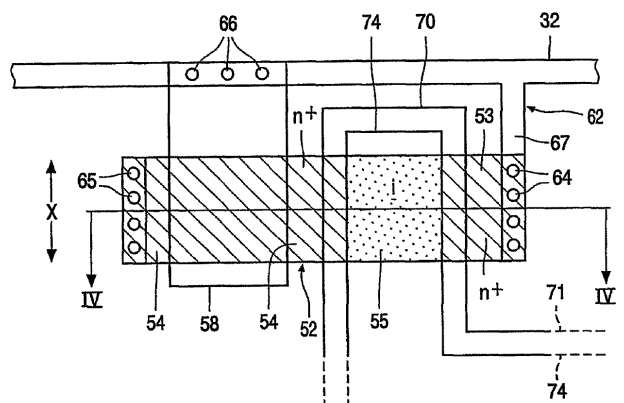
最終頁に続く

(54)【発明の名称】 光検出素子とそれに関連した蓄積容量とを有するマトリクス・アレイ表示装置

(57)【要約】

【課題】 ピクセルの蓄積キャパシタの容量値と光検知装置の動作の光応答特性を、より確実に保証することが出来るマトリクス・アレイ表示装置を提供すること。

【解決手段】 マトリクス・アレイ表示装置は、各々が、表示素子(20)(例えば、エレクトロルミネセンス表示素子)と、それに関連した制御回路とを有するピクセルのアレイを基板上に有する。この制御回路は、蓄積キャパシタ(36)と、キャパシタに蓄積された電荷を調節し、かつ、例えば、表示素子の動作を調節するように表示素子から発せられる光に応答する、それに接続された光検出素子(40)とを含んでいる。光検出素子は、各々が、横方向に離間された不純物を添加されたコンタクト領域(53, 54)を有する半導体材料(52)のストリップを有する薄膜半導体装置を有し、そして関連した蓄積キャパシタ(36)は、介入する誘電材料と、1つのコンタクト領域上を実質的に横切って延在するストリップの導電層(58)とによって形成される。コンポーネント層の寸法のばらつきが、製造公差に起因して発生しても、蓄積キャパシタと光検知素子特性の間の既定の関係は、保証される。光検知装置は、そのゲートが、コンタクト領域の間にある半導体ストリップ領域を覆って延在するゲート制御装置を有することが好ましい



【特許請求の範囲】**【請求項1】**

アドレス指定可能なピクセルのアレイを基板上に有するマトリクス表示装置であって、各ピクセルが、表示素子と前記表示素子の前記動作を制御する表示素子制御回路を有し、前記表示素子制御回路が、電荷蓄積キャパシタと前記光検知装置上に入射する光に従って前記蓄積キャパシタ上に蓄積された電荷を調節する、前記蓄積キャパシタに結合された関連した、薄膜光検知半導体装置とを含み、前記光検知装置が、前記基板上に、横方向に離間された不純物が添加されたコンタクト領域と介在領域とを有する半導体材料のストリップを有し、かつ前記蓄積キャパシタが、前記半導体ストリップの一方のコンタクト領域上を実質的に横切って延在する導電層と、前記導電層とそのコンタクト領域との間に設けられている誘電材料の層とを有するマトリクス表示装置。

【請求項2】

前記光検知装置が、前記半導体ストリップの前記介在する領域上に延在し、かつ誘電材料によってそこから分離されるゲートを有するゲート制御の光検知装置を有することを特徴とする、請求項1に記載のマトリクス表示装置。

【請求項3】

前記光検知装置の前記ゲート誘電体と前記蓄積キャパシタの前記誘電材料が、共通の層の部分を有することを特徴とする、請求項2に記載のマトリクス表示装置。

【請求項4】

前記ゲート制御の光検知装置が、同型の不純物が添加されたコンタクト領域と前記コンタクト領域間に延在する真性半導体領域とを有するTFT構造を有することを特徴とする、請求項2または請求項3に記載のマトリクス表示装置。

【請求項5】

前記ゲート制御の光検知装置が、逆に不純物が添加されたコンタクト領域と前記コンタクト領域間に延在する真性半導体領域を有する横方向のゲート制御のpin装置を有することを特徴とする、請求項2または請求項3に記載のマトリクス表示装置。

【請求項 6】

前記蓄積キャパシタの前記導電層が、前記光検知装置の前記ゲートと反対側の前記光検知装置の前記半導体ストリップの前記側に設けられ、かつその側で光からその部分をシールドするように前記半導体ストリップの少なくとも一部を覆うことを特徴とする、請求項2～5の何れかに記載のマトリクス表示装置。

【請求項 7】

前記光検知装置の前記ゲートが、前記介在領域に流れる電流が、発生する光電流に起因するように、バイアスされるように配置されることを特徴とする、請求項2～6の何れかに記載のマトリクス表示装置。

【請求項 8】

半導体材料の前記ストリップと前記一方のコンタクト領域上に横たわるその部分の前記導電層が、各々、実質的に平行な側面を有し、かつ一般に互いに直角に延在することを特徴とする、前記請求項の何れかに記載のマトリクス表示装置。

【請求項 9】

前記表示素子が、電流駆動発光素子を有し、かつ前記光検知装置が、前記表示素子によって発せられる光に応答するように配置されること特徴とする、前記請求項の何れかに記載のマトリクス表示装置。

【請求項 10】

前記表示素子制御回路が、前記ピクセルに印加されかつそのキャパシタが前記駆動TFTの前記ゲートに結合される前記蓄積キャパシタに電荷として蓄積される駆動信号に基づいて、駆動期間中に前記表示素子を通る電流を制御するための駆動TFTを含み、かつ前記光検知装置が、前記蓄積キャパシタ上の前記電荷とこれによる前記駆動TFTの前記動作を調節するように動作することが出来ることを特徴とする、請求項9に記載のマトリクス表示装置。

【請求項 11】

前記表示素子が、エレクトロルミネセンス表示素子を有すること特徴とする、請求項9または10に記載のマトリクス表示装置。

【発明の詳細な説明】**【0001】****【発明が属する技術分野】**

本発明は、光検出素子を有するマトリクスアレイ表示装置に関する。より詳しくは、本発明は、表示素子と光検出素子とを含むアドレス指定可能なピクセルを備えるマトリクスアレイ表示装置に関する。本発明は、とりわけ、しかしこれに限定されず、特に、ポリマ・エレクトロルミネセンス素子(PLED)を含む、有機エレクトロルミネセンス表示素子(OLED)のエレクトロルミネセンス表示素子を用いたマトリクス表示装置に関する。

【0002】**【従来の技術】**

そのピクセルがエレクトロルミネセンス(EL)表示素子と光検出素子とを有するマトリクス表示装置の具体例は、英国特許出願第0005811.5号に記載されている。この記載された装置は、基板上に搭載されたピクセルのアレイを備えたアクティブ・マトリクス表示装置を有し、その各ピクセルは、一方が透明である2個の電極に挟まれた発光EL材料を有する電流駆動のエレクトロルミネセンス表示素子と、先行するアドレス期間中にピクセルに印加された駆動(データ)信号に基づき、駆動期間中に、表示素子を流れる電流(従って、その光出力)の制御動作を行うスイッチング装置とを含む。

【0003】

他のアクティブ・マトリクスEL表示装置と同様に、光出力を生成するために連続的な通電を必要とするこの表示素子は、それぞれの行アドレス期間中のピクセルのアドレス指定に続き、この駆動期間の間のその出力を決定するアドレス期間にピクセルに蓄積されるデータ信号のレベルで、1フレーム時間の範囲である長さの期間中に通電可能である。駆動装置は、表示素子を流れる電流を制御する役割を果たし、かつ印加されたデータ信号が、この駆動TFTのゲートに結合された容量に電荷として蓄積され、TFTの動作が、この蓄積された電荷に依存する、薄膜トランジスタ(TFT)により形成されている。

【0004】

英国特許出願第0005811.5号の装置のピクセルは、ピクセルの動作中に逆にバイアスされるように配置され、かつ駆動期間にピクセルの表示素子によって発せられる光に表示素子の光出力レベルに依存する割合で容量から電荷をリークするように応答する蓄積容量に結合される(PiN)フォトダイオードまたは光応答TFTを有する光検知装置を更に含む。このように、この光検知装置により、容量（それは、アドレス指定すると、チャージされると仮定する）を徐々に放出することによって、表示素子を通る電流の流れ（したがってその光出力）が減少するように、駆動期間中に表示素子の通電を制御する駆動TFTの動作を徐々に調整する光電フィードバックが、提供される。それゆえ、表示素子に電流を流す利用可能な全駆動期間に対する比率は、素子の光出力によるこのフィードバック機構に依存しかつそれによって調整される。このように、とりわけ表示素子のエレクトロルミネセンスの材料の経年変化または劣化の如何なる効果（特に、動作時間の期間にわたって発生する可能性がある所定の駆動電流レベルのための光出力レベルの減少）に対しても反対に働くように、かつピクセルに供給している電流（キャリアング）ラインに発生する電圧降下の効果を補償するようにも、駆動（フレーム）期間の表示素子からの総和された光出力を、制御することが出来る。

【0005】

このような技法は、時間にわたって一定かつ均一なピクセルの光出力によって高品質表示を達成する場合、有用である。しかしながら、このようなピクセル回路の実施には、問題がある。大きい蓄積容量の使用を避けるべきである場合、光検知装置によって発生する光電流は、フレーム周期にわたってTFTゲート電位を適切に制御するために、非常に小さくする必要がある。容量と光検知装置のアクティブ領域間の関係は、慎重に決定される必要がある。また、薄膜技術を理想的に使用する光検知素子の各ピクセル回路は、過度に製造を複雑にするべきでない。

【0006】

【課題を解決するための手段】

本発明によれば、アドレス指定可能なピクセルのアレイを基板上に有するマトリクス表示装置であって、各ピクセルが表示素子と前記表示素子の前記動作を制御するため表示素子制御回路を有し、前記表示素子制御回路が、電荷蓄積キャパ

シタと前記光検知装置上に入射する光に従って前記蓄積キャパシタ上に蓄積された電荷を調節するための前記蓄積キャパシタに結合された関連した薄膜光検知半導体装置とを含み、前記光検知装置が、前記基板上に横方向に離間された不純物を添加されたコンタクト領域と介在する領域とを有する半導体材料のストリップを有し、および前記蓄積キャパシタが前記半導体ストリップのその一方のコンタクト領域上を実質的に横切って延在する導電層と前記導電層とそのコンタクト領域の間に設けられている誘電材料の層とを有するマトリクス表示素子が提供される。

【0007】

このように、蓄積キャパシタの一方の側またはプレートは、光検知装置のコンタクト領域によって、2つのコンポーネントを相互接続するために提供される別個の導体トラックが必要なくかつコンパクトな構造となるように、構成される。より重要なことは、光検知装置のコンタクト領域が、キャパシタの一方の側を形成するので、蓄積キャパシタと光検知装置間の所望の関係を、特に、ピクセルの蓄積キャパシタの容量値と光検知装置の動作の光応答特性を、より確実に保証することが出来る点である。薄膜装置技術で製造公差に起因する問題、特に、薄膜層を形状定義するために通常用いられるフォトリソグラフィック・パターニング工程に使用されるマスキングとエッチングステップから生じる問題（例えば、マスク載置における小さい位置の誤差）は、形状定義された層における寸法のばらつきの原因となる可能性がある。キャパシタと光検知装置が同じ重要な層（すなわち、半導体ストリップ）を共有するので、このような工程を使用する結果として生ずるこのストリップを形成する形状定義された層の線幅寸法のばらつきは、キャパシタと光検知装置に共通して存在するであろう。このように、光検知装置のアクティブ領域と蓄積キャパシタの容量は、共に拡大・縮小する。したがって、その誘電層の厚さをより正確に制御することが出来るので、コンタクト領域と導電層の間のオーバーラップ領域に主に依存する蓄積容量の容量と、半導体ストリップの幅に対応する一方のコンタクト領域での接合部のサイズに典型的に依存する光検知装置のアクティブ領域に関し、このようなばらつきの効果は、互いに相殺する傾向を有する。従って、容量と光検知装置の動作特性との間に、所望の

かつ既定の関係を、達成することが可能となる。

【0008】

光検知装置およびキャパシタのコンポーネントの形成方法は、マトリクス表示装置、特に、TFTを使用しているアクティブ・マトリクス表示装置、を製造するために使用される標準的な薄膜技術と完全に互換性があり、かつ、シンプルな方法で達成することが出来る。光検知装置の基本構造は、一般にTFTの構造に類似しているので、これらは、共通の薄膜層を使用しているアレイのTFTとして、同時に、容易に製造することが出来る。光検知装置は、ゲート制御の装置を有することが好ましく、かつ同型の不純物が添加されたコンタクト領域と、ゲート誘電層とゲートが上に設けられたその間にある真性半導体領域を有するTFT構造を有することが出来る。これに代えて、この装置は、コンタクト領域が逆に不純物を添加されることを除いて類似した構造を有する横方向のゲート制御のp-i-nダイオード装置を有していても良い。

【0009】

本発明は、特に、表示素子が発光し、かつ光検知装置がピクセルの表示素子によって発せられた光に応答し、かつ表示素子の動作を制御する制御回路に使用される（例えば、英国特許出願第 0005811.5号に記載されている装置のような）種類の表示装置に有益である。このように、本発明の実施例の場合、表示素子は、発光素子（例えば、OLEDまたはPLED素子のようなエレクトロルミネセンス表示素子）を有し、かつ制御回路は、蓄積キャパシタがそのゲートに結合され、かつキャパシタに蓄積される電荷を調節するために表示素子から発せられる光に応答する光検知装置と共に、ピクセルに印加されかつ蓄積キャパシタに電荷として蓄積される駆動信号に基づいて、駆動期間中に表示素子を通る電流を制御する駆動TFTを含む。ピクセルの動作において、光検知装置は、光電流を発生させる、入射光に応答するリーク装置として機能するように逆バイアスされるように構成されている。この目的のために、ゲート制御の光検知装置の場合、ゲートは、その「オフ」状態に装置を保つために適切にバイアスされる。駆動期間にわたって駆動TFTのゲート電位を適切に制御するために、蓄積キャパシタの大きさを小さく保つことが望ましい場合、光検知装置に発生する光電流は、極めて小さいことが

必要である。このことは、上記の構成によって、容易に達成することが出来、かつ同時に、所定の入力光レベルに応じて発生する光電流のレベルを決定するキャパシタの容量値と光検知装置のアクティブ領域との間の必要な関係は、保持される。

【0010】

本発明は、特に、上述された種類のピクセル回路を実施する場合に有益であるが、ピクセルが蓄積キャパシタとそれに関連する光検知装置とを含むが、異なる方法で動作するように構成されていて、かつ必ずしも駆動制御回路の電気光学フィードバック構成の一部として構成されていない他の表示装置においても、有利に使用出来るであろうことは、理解されるであろう。例えば、光検知装置は、入力光に応答することが出来、かつ表示素子は、発光するのではなく、例えば、液晶表示素子のように、光を変調することが出来る。

【0011】

【発明を実施するための手段】

次に、本発明のマトリクス表示装置、特にアクティブ・マトリクスEL表示装置の実施例を、具体例として、添付の図面を用いて、説明する。

【0012】

図は、単に線図的である。全ての図に関し、同じ参照番号が、同じまたは類似の部分を示すために使われる。

【0013】

図1に示されるように、アクティブ・マトリクス・エレクトロルミネセンス表示装置は、ブロック10で示される規則正しい間隔を有するピクセルの行と列のマトリクス・アレイを備えるパネルを有する。各ピクセルは、エレクトロルミネセンス表示素子と表示素子を流れる電流を制御するそれに関連した駆動装置とを有し、かつ、行（選択）と列（データ）のアドレス導体、つまりライン12と14の各クロッシング・セットの間の中央の交差部分に位置する。本明細書では、簡単化のために、少数のピクセルしか示されていない。ピクセル10は、それぞれの導体セットの端に接続された行走査ドライバ回路16と列データドライバ回路18とを有する周辺駆動回路によって、アドレス導体のセットにより、アドレス指定される

。

【0014】

回路18によって列導体に平行に供給されるそれぞれのデータ信号に従って、その行のピクセルにそれぞれのデータ信号をロードし、アドレス期間に続くフレーム期間でのそれらの個々の表示出力が決定されるように、ピクセルの各行は、回路16によって関連した行導体12に印加された選択信号を用いて、フレーム期間中に順番にアドレス指定される。各行がアドレス指定されると、データ信号が、適切に同期して回路18によって供給される。

【0015】

図2は、いくつかの典型的なピクセルの回路を示す。各ピクセル10は、有機エレクトロルミネセンスの発光材料の一つ以上のアクティブ層を挟む一対の電極を有する発光有機エレクトロルミネセンス表示素子20（本明細書ではダイオード素子(LED)として表されている）を含む。この特定の実施例の場合、材料は、ポリマLED材料を有するが、他の有機エレクトロルミネセンス材料、例えば、低分子量材料を使用することも出来る。アレイの表示素子は、それに関連したアクティブ・マトリクス回路と共に、絶縁基板の表面上に搭載される。基板は、エレクトロルミネセンス層が発生する光が、基板の反対側の観視者に見えるようにこれらの電極と基板を通して透過する、透明な材料（例えば、ガラス）であり、かつ基板に最も近い個々の表示素子20の電極は、ITOのような透明導電材料から成る。表示素子のカソードは、例えば、カルシウム、マグネシウム銀合金またはバリウム/アルミニウム二重層等の仕事関数の小さい金属を有する。使用可能な適切な有機共役重合体材料の具体例は、WO 96/36959に記載されている。他の低分子量有機材料の具体例は、欧州特許第0717446号に記載されている。そこには、典型的な公知の形のアクティブ・マトリクス・エレクトロルミネセンスの装置の構造と動作も記載されていて、かつこの開示は、これらの観点で、本明細書に参照文献として含まれているものとする。

【0016】

各ピクセル10は、低温ポリシリコンTFT 22（本明細書ではp型導電率である）で形成された駆動装置を含む。この装置は、ピクセルに印加されたデータ信号電

圧に基づいて、表示素子20を流れる電流（従って動作）を制御する役割を果たす。それぞれの列ピクセルの間で共有されるピクセル用のデータ信号電圧は、列導体14を介して供給される。列導体14は、電流制御駆動TFT 22のゲートに、これもまたp型であるアドレスTFT 26を通して結合される。一行内のピクセルのアドレスTFT 26の各ゲートは、全て、一本の共通の行導体12に接続されている。

【0017】

ピクセル10の各行は、また、全てのピクセルに共通の連続した電極として通常提供される既定電位に保持された共通の電圧供給ライン30と、それぞれの共通電流ライン32とを共有する。表示素子20と駆動TFT 22は、電圧供給ライン30と、表示素子20を流れる電流用の電流源として作用する共通の電流ライン32との間に、直列に接続される。ライン30は、例えば、グランド電位とし、かつライン32は、供給ライン30に対して、正の電位、例えば、約12Vとすることが出来る。表示素子20を流れる電流は、駆動TFT 22によって調節され、かつデータ信号によって決定される蓄積された制御値に依存するTFT 22のゲート電圧の関数である。

【0018】

ピクセルの個々の行は、ピクセルのアドレスTFT 26をオンにしかつそれぞれの行アドレス期間を定義する、その関連した行導体12に選択パルスを印加するドライバ回路16によって、選択されかつアドレス指定される。データ信号は、ドライバ回路18に供給されるビデオ情報から得られ、かつドライバ回路18によって列導体14に印加される電圧レベルの形で、アドレスTFT 26によって駆動TFT 22のゲートノード24に伝えられる。行アドレス期間の終了時にアドレス・トランジスタ26は、オフになり、そして次の駆動期間の間、表示素子の動作を保持するために、ゲートノード24の電圧は、TFT 22のゲートと共通の電流ライン32との間に接続されたピクセル蓄積キャパシタ36によって保持される。

【0019】

TFT 22のゲートと共通の電流ライン32との間の電圧は、表示素子20を流れる電流を決定する。表示素子を流れる電流は、（pチャネル型TFT 22のソースが、共通の電流ライン32に接続されていて、かつTFT 22のドレインが、表示素子20に接続されている）駆動TFT 22のゲート - ソース電圧の関数である。この電流は、順

番にピクセルの光出力レベル（グレー - スケール）を制御する。TFT 22は、電流源としてバイアスされ、かつ飽和領域で動作するので、TFTを流れる電流は、ドレイン - ソース電圧の影響を受けず、かつゲート - ソース電圧に依存する。従って、ドレイン電圧のわずかな変化は、表示素子20を流れる電流に影響を及ぼさない。ゆえに、電圧供給ライン30上の電圧は、ピクセルの正しい動作に重要でない。

【0020】

ピクセルの各行は、この様に、それらのそれぞれの駆動信号を各行のピクセルに逐次ロードし、そしてそれらが次にアドレス指定されるまで、ほぼフレーム期間と一致する次の駆動期間の間、所望の表示出力を提供するピクセルをセットするように、それぞれの行アドレス・パネルにおいて順番にアドレス指定される。

【0021】

各ピクセルにおいて、光電機構は、所定の駆動電流に対して生成された光出力レベルに関するその動作の効率が減少する表示素子劣化の効果を補償するために用いられる。このような劣化環境で、より長時間かつより苛酷に駆動された表示素子は、輝度の低下を呈し、表示が、不均一となるであろう。光電機構は、駆動期間中素子からの統合されたトータル光出力を制御することによって、ある程度まで、これらの効果を打ち消す。ピクセル回路は、この点で、英国特許出願第0005811.5号に記載されている回路に類似している。この参照特許には、このような動作がより完全に記述されていて、かつこの点についてのこの開示は、本明細書に参照として含まれるているものとする。簡潔に説明すると、電子光学フィードバックは、駆動期間の間に表示素子のその瞬間の発光に依存する割合でキャパシタを放電することによって、この駆動期間の蓄積キャパシタの電荷を調整するために用いられる。従って、所定のデータ信号値に対し、アドレス期間に続く駆動期間の間、光を発生させるために表示素子に電流を流す時間の長さが、表示素子に特有の存在する駆動電流 / 発光レベル特性と印加されたデータ信号のレベルとに応じて調節される。この結果、劣化の効果は、特に表示の不均一さに関して、減少し、かつ、この時、個々のピクセルからの光出力を、必要ならば、劣化していない表示素子によって得られるであろう出力と実質的に同じくすることが出

来る。

【0022】

図2に示されるように、この装置の電子光学放電手段は、ゲート制御の光検知薄膜装置40を有する。この装置は、本明細書では、その電流が通過するソースとドレインの電極が、蓄積キャパシタ36を挟んで、駆動トランジスタ22のゲートノード24と電流ライン32に、接続され、そのゲートが、駆動TFT 22と表示素子20の間のノード41に接続されている、もう一つのTFTにより形成されている。この特定の実施例の場合、駆動TFT 22（およびアドレスTFT 26）は、p型低温ポリシリコンMOS TFTを有するので、装置40は、反対の導電型、すなわちn型ポリシリコンMOS TFTとなる。

【0023】

以下により詳細に記載されるように、ピクセルは、ゲート制御の光検知装置40が、ピクセルの動作中、表示素子20が発する光にさらされる様に、構成されかつ配置される。アドレス指定する段階の終わりに、印加されたデータ信号のレベルに従って、電圧が、駆動TFT 22のゲートノード24に設定される。この電圧レベルに充電されたキャパシタ36は、次の駆動段階において、少なくとも初めは、TFT 22のゲート電圧を保持する。ライン32に結合されている光検知装置40のドレイン接合は、逆バイアスされかつ光を検知し、そして、駆動期間中に表示素子が発する光により、表示素子の瞬時の光出力レベルにほぼ線形に比例する小さい光電流が、装置40に生じる。この光電流の効果により、蓄積キャパシタ36はゆっくり放電する。光電流の量、したがって放電の割合は、表示素子の光出力レベルに依存する。TFT 40のゲートは、ノード41の電圧に対応するその電圧と共に、正にバイアスされ、ノード24に対して、常に、ゼロまたは負にバイアスされ、かつライン32に対しては常に負にバイアスされる。これにより、TFT 40は、確実に、オフ（非導通）状態に保たれる。したがって、トランジスタ40は、逆バイアスされたフォトダイオードの様に、単なるリーク装置として機能し、これによって、キャパシタ36の電荷はリークして行く。駆動TFT 22のゲート電圧は、駆動期間中にキャパシタ36に結果として生じる放電により、徐々に減少する。これにより、TFT 22が、その閾値（ターンオフ）レベルに近づくまで、表示素子20を流れる電流が、

順番に連続して減少し、それに対応して表示素子の光出力も徐々に減少する。表示素子20を流れる電流が減少すると、ノード41での（正の）電圧レベルが徐々に増加する。ただし、これは、単にTFT 40を確実に連続的にオフ状態に保つだけである。最終的には、ゲートノード24の電圧がTFTの閾値電圧以下に低下すると、光出力は終了する。ピクセルの動作中に現れる典型的な電圧の具体例として、例えば、TFT 22が、-5Vの閾値を有し、電圧供給ライン30が約0V、共通の電流ライン32が12Vであると仮定すると、トランジスタ22のゲートノードでの電圧が、4Vから12Vへ変化するとき、ノード41の電圧は、4Vから0Vに変化することが出来る。

【0024】

観視者が輝度として知覚する、駆動期間の範囲内で表示素子によって発光されるトータルの統合された光の量を調節することによって、表示素子劣化の効果は、打ち消すことが出来る。統合された光出力（輝度）は、表示素子に電流が流れる駆動期間中での時間の長さおよびその最初の光レベルに依存する。表示素子に駆動期間中に電流を流す持続時間を制御する放電手段のアクションのため、同じデータ信号値が供給されるそのアレイ内の異なるピクセルは、劣化に起因するそれらの個々の表示素子の特性のばらつきには関係なく、同様に知覚される輝度レベルを生成する傾向を有するであろう。換言すると、たとえ駆動期間の開始時にそれらのそれぞれの光出力レベルが、劣化効果に起因して異なるとしても、同じデータ信号値でアドレス指定された個々の表示素子からの光出力の総和は、類似している。このようにして、表示出力の改良された均一性を得ることが出来る。

【0025】

通常行われるように、印加されたデータ信号のレベルは、ピクセルから異なるグレー・スケール・レベルを適切に提供するように調整される。データ信号（したがってゲートノード24の電荷）が増大すると、より多くのフォトンが、TFT 22がオフになる前に、駆動期間の間に表示素子から必要となる。この結果、より高いグレー・スケール・レベルが達成され、その逆も同様である。

【0026】

このような動作は、また、例えば、TFTを形成するために用いられる薄膜製造

工程の性質に起因する、これらの閾値電圧、寸法、および易動度のばらつきから生じる、アレイ内の異なるピクセルのTFT 22の動作特性のばらつきを自動的に補償するのにも効果的である。このようにして、アレイ内の表示素子からの光出力の均一性を更に改良することが出来る。

【0027】

次に図3と4には、光検知TFT 40含み、かつこの領域でのピクセル構造の様子を例示している典型的ピクセルの部分の線図的平面図と断面図が示されている。図4は、図3のラインIV-IVに沿った断面図にほぼ一致する。TFT 40に加えて、図示の部分は、表示素子20の一部と蓄積キャパシタ36を含むが、アドレス指定と駆動TFT 26と22は含まない。これらの後者コンポーネントは、図示のコンポーネントと共に同じ工程を用いてかつ共通の堆積層から作られることは、理解されるであろう。

【0028】

透明絶縁基板50上に、細長いストリップ形でかつ低温ポリシリコン材料の層を有する半導体アイランド52が、設けられる。これは、CVDで堆積させたアモルファスシリコン層をレーザにより再結晶させ、かつマスク工程とフォトリソグラフィ工程を用いてこの層を適切にパターンニングすることにより得られる。半導体ストリップの形状は、一般に、実質的に平行な主要側面を有する（したがってその長さに沿って実質的に一定の幅を有する）矩形である。このアイランドの対向する端の部分には、不純物が添加(n^+)される。これらの端の部分は、TFT 40のゲート制御のチャネル領域を形成している真性半導体材料55の同一平面領域によって分離される、それぞれ横方向に間隔をあけたドレインとソースのコンタクト電極領域53と54を構成する。これに対応した、同様の形状のポリシリコンのアイランドが、基板上の他の意図されたピクセル場所に同時に形成され、かつアドレス指定と駆動のTFT 26と22用の半導体アイランドが、共に形成される（これら後者のTFTのソースおよびドレイン電極を構成する領域には、代わりに、反対の不純物が添加(p^+ 型)されているが）。例えば、二酸化珪素または窒化珪素の絶縁層56が、基板上に連続的に堆積され、これらのアイランドを覆い、かつゲート誘電層として機能する。

【0029】

例えば、アルミニウムまたはアルミニウム合金の金属の層が、この層56上に堆積され、かつ各光検知TFT位置でTFT 26と22のゲート（図示せず）と（ドレイン）領域53の上に横たわっている領域58とを構成する領域を残すようにパターンニングされる。同時に、必要な相互接続線が、この金属層から形成される。図3と4から明らかなように、領域58は、半導体アイランド52を実質的に横切って延在する矩形のフィンガまたはストリップとして、既定されている。従って、これらのクロスオーバの領域で、アイランド52とフィンガ58は、どちらも、平行な側面を有し、かつ幅が実質的に一定である。金属フィンガ58とn+領域54との上に横たわる部分と介在する誘電層56の部分とが、一緒になって、容量値をフィンガ58とアイランド52の間のクロスオーバ部の面積と層56の厚さと誘電率とによって決定されるピクセルの蓄積容量36を構成する。

【0030】

もう一つの誘電層60（例えば、酸化ケイ素窒化物）は、なかんずく、金属層の形状定義領域58を範囲として含むこの構造の上に形成される。次に、更なる金属被覆層が、堆積され、電流ライン32と他の必要な相互接続を形成する領域62を残すようにパターンニングされる。この層を堆積させる前に、コンタクト開口部64と65が、ソース領域53とドレイン領域54の上の誘電層56と60の両方を通してエッチングすることによって形成され、かつコンタクト開口部66が、領域58の端部分の上の層60を通して形成される。この結果、この金属の堆積とパターンニングに続いて、相互接続が、一体化された延長アーム67を介して電流ライン32とドレイン電極53の間、（図示されていない更なるコンタクト開口部を通して）電流ラインを形成する金属被覆62の一部を介してソース領域54とゲートノード24の間、および電流ライン32と金属フィンガ58の間に、設けられる。

【0031】

次に、ITOのような透明導電材料が、堆積され、かつ表示素子の所望の形状を形状定義するために適切に形づくられた表示素子のための下部（アノード）電極を構成する領域を残すようにパターンニングされる。この電極の一部は、（そのわずかな部分しか図示されていない）主表示素子領域71から離れて、かつゲート

制御領域55とドレイン接合の真上で半導体アイランド52を横切って延在する一体化された脚70を形成する。

【0032】

更なる、相対的に厚くかつ連続する、例えば、窒化珪素の誘電層73またはさらにより厚い(1~2 μ m)絶縁ポリマ層が、その構造を完全に覆って堆積され、そして開口部74が、この層内に、脚70と主表示素子領域との両方のパターンニングされたITO領域上に形成される。

【0033】

次に、ポリマ発光材料が、例えば、スピンコーティングによって、その下にあるITOと直接コンタクトするように、誘電層73の上とそこに形成された開口部74内に延在する連続層80として、堆積される。この層80上に、カルシウム、マグネシウム銀合金またはバリウム/アルミニウムの連続層82が、堆積され、表示素子カソード電極と供給ライン30を構成する共通の電極層が形成される。

【0034】

各表示素子20は、層80と82の上に横たわっている領域と共に、ITOのそれぞれの領域71から成り、そして、層80と82の真上に横たわっている部分と一体化されたITO脚70が、下部と上部電極の間に適切な電位差が印加されると主表示素子領域と共に発光する表示素子の一体化された延長を形成することは理解されるであろう。

【0035】

ゲート制御領域55の真上に横たわるITO脚70の部分は、ゲート誘電体を提供しているその下にある結合された層56と60と共に、光検知TFT 40のゲートとして働く。

【0036】

ピクセルの動作中、電極71と82間に電流が流れると層80によって発せられる光は、ITOの下部電極と基板50とを透過して、表示出力を生じる。表示素子の脚は、同様に光を生じ、かつこの光は、光検知TFT 40のゲート制御の領域55上に入射するように、ITO延長70と下にある透明な誘電層56と60中を通過する。ドレイン接合上に入射する光は、特に、光電流を生成する役割をする。したがって、表示

素子脚が領域55の上に延在し、発光ポリマ材料80がTFT 40のゲートの真上にありかつTFT構造に直接光を発する結果、表示素子と光検知TFT 40の間の良好な光結合が、単純かつ信頼できる方法で、保証されかつ達成される。

【0037】

さらに、TFT 40のゲートが、表示素子アノードの一部によって構成されるので、ゲートには、常にソースとドレインに対して必要な（負の）バイアスが与えられ、TFT 40がオフ（すなわち、その高抵抗、非電導性状態）に保たれ、かつ発生した光電流に起因するリーク電流のみが、そのソースとドレイン電極の間を流れることが、保証される。

【0038】

典型的な入力光レベルに応じて発生した光電流のレベルと蓄積キャパシタ36に蓄積された電荷の量に関する、光検知TFT 40と蓄積容量36との間の関係は、電気光学フィードバック制御が最も効果的に実施されるように、密接に制御される必要がある。TFT 40のアクティブ領域は、この点で、横方向の($n^+ - i$)ドレイン接合の端を有し、かつそれは、光電流に寄与するドレイン接合でのこの比較的狭い領域のみである。アクティブ領域は、基本的にはフォトダイオードと等価であり、そして望ましくは、駆動TFT 22のゲート電位を駆動（フレーム）期間にわたって必要とされる方法で制御するために、発生する光電流の典型的レベルを十分に小さくすることを保証し、かつより大きい蓄積キャパシタを用いる必要を避けるために、極めて小さくすべきである。蓄積キャパシタ36が、その構造で、キャパシタ誘電体として層56のみを用いるので、所定の容量値を提供するためにキャパシタ構造が必要とする領域は、層56と60の両方が用いられる場合の領域より、ずっと小さい。

【0039】

薄膜技術を用いる場合、コンポーネントを非常に正確な寸法の値で形成することは、コンポーネントを形状定義するために用いられる（例えば、フォトリソグラフィック・パターンニング工程で用いられるマスキングとエッチング工程）工程の性質上、困難である可能性がある。上記の構造において蓄積キャパシタ36と光検知TFT 40が、両方とも、同じ重要な層、すなわち半導体アイランド52を共有し

、かつ空間的に近接していることは、理解されるであろう。したがって、製造公差に起因するこの部分の如何なる線幅のばらつきも、いずれも両方のコンポーネントに共通するであろう。この重要な幾何学的形状、すなわち図3のXによって示されるストリップ形状のアイランド52の幅は、TFT 40と蓄積キャパシタの両方に対して一定であるので、この共通の部分のこの物理的な寸法の設計値からの如何なるずれも、同様の対応する仕方で、TFTのアクティブ領域と蓄積キャパシタの容量値に影響を及ぼす。より正確には、TFTのアクティブ領域と容量値は一緒に拡大・縮小する。蓄積キャパシタのサイズ、したがって容量、の増加に貢献するアイランド52の幅の如何なるばらつきも、TFTのアクティブ領域のサイズも増加させ、および逆もまた同様であり、その結果、これら2つのコンポーネントの電気特性間のバランスは、保持される。したがって、これら2コンポーネントの所望のかつ既定の相互関連性は保証される。

【0040】

ゲート制御横方向p-i-nダイオードを、TFT 40の代わりに用いることは、便利である。このような装置の構造は、その半導体アイランド52の領域53が、領域54と逆（すなわちp⁺型）に不純物が添加されるであろうことを除いて、一般に、図3に示される構造に類似しているであろう。逆バイアスの場合、p⁺領域53は、n⁺領域54よりさらに正である。この場合、装置全体にわたる入射光は、光電流を発生させることが出来る。したがって、フォトアクティブな接合部は、前のTFTの構造の場合より装置にわたってより大きい距離に延在する。

【0041】

上記したピクセル実施例の場合、光検知TFT 40は、アドレスTFT 26と駆動TFT 22の両方に対し導電型が反対であり、TFT 40のゲートをバイアスする方法によって、このTFT 40が、オフの状態に保たれ、かつ駆動期間の間、キャパシタ26の電荷をリークする逆バイアスされたフォトダイオードの形態でのみ機能することが、保証される。

【0042】

しかしながら、このピクセル回路の代替形の場合、TFT 40は、駆動TFT 22と同じ型とすることが出来、かつ単にリーク装置のみならずスイッチング装置として

も動作することが可能である。この代替回路の動作の場合、少なくとも駆動期間の初めにおいて、表示素子の下部電極／ノード41の電位に対応するゲート電位は、TFTを、確実にシンプルな逆バイアスされたリーク装置として機能させる。この放電が続くに従って、結果として起こる表示素子を流れる電流の減少により、ノード41での（負の）電圧レベルが徐々に増加する（図2参照）。電流レベルがある下限に達すると、ライン32に対するノード41の電圧が、TFT 40の閾値電圧に達して、それを瞬時にオンにし（導通させ）、かつキャパシタ26を急速に放電させ、その結果、駆動TFT 22はオフになりかつ表示素子の通電は終了する。この方式でのTFT 40のスイッチング動作は、表示素子の光出力をより正確な調節方法で決定することが出来る効果を有する。このようなスイッチングが無い場合、相対的に小さい光入力レベルに応じる光検知TFT 22の反応は、表示素子の通電段階の終わり近くに生じるであろうが、十分に形状定義されにくくかつ予測しにくくなるという事実によって、表示素子のスイッチをオフにすることは、十分に制御することは出来ないであろう。

【0043】

如何なる光電流も、表示素子から発せられる光のみに起因するように、光検知TFT 40を、それに入射する周辺光の効果からシールドすることが望ましい。このために、金属電極層82は、パネルの一方の側で装置を周辺光からシールドする機能を有する。透明基板50を通る他方の側からの光のシールドは、半導体アイランド52と基板表面の間に光シールド層を堆積させることによって達成することが出来るであろう。

【0044】

しかしながら、本発明の装置のもう一つの実施例の場合、蓄積キャパシタ構造の一部が光シールドとしても機能するように、ピクセルの構造を変更することが好ましい。図5は、図4と比較して、変更されたピクセル構造の一部の断面を線図的に示す。この構造の場合、金属層は、基板50の表面に堆積され、かつ、各ピクセルで、その全体の寸法が、TFT 40（またはこれに代えて横方向p-i-nダイオード）に使用されるその後に形成される半導体アイランド52の寸法より僅かに大きい光シールド90が形成されるようにパターン形成される。（たとえば、窒化珪素

の)絶縁層92が、平面を形成して、基板表面とこれらの金属層90を完全におおう連続層として堆積され、次に、その上に前述したようにピクセル構造が一般的に製造される。しかしながら、本例の場合、前に用いられた金属フィンガ58は省略され、かつ、半導体アイランド52の領域53とコンタクトするために使用される金属層62の部分が、これらの層に形成するコンタクトホールを介してアイランド52から離れて誘電層60と92を通り光シールド層90の一端とコンタクトするようにも配置されている。誘電層56は、このバージョンの場合必ずしも必要でない。

【0045】

この構造の場合、蓄積キャパシタ36は、誘電体を構成しその間に挟まれている絶縁層92の部分と、アイランド52のコンタクト領域54の上に存在する光シールド層90の一部とによって形成される。このピクセルの等価回路は、図6に示されている。本例の場合、光検知TFT 40は、実効的に、光シールド90が下部ゲートを構成している二重ゲートを有する。この第二ゲートは、チャネル55に対して正であり、かつTFTの閾値レベルに達しなくかつTFTがオンにならないことが確実に保証されるように、絶縁層92は、十分に厚いことが必要である。

【0046】

上記の構成のようにアイランド52に完全に重ねる代わりに、層90を、それが、キャパシタを形成するためにドレイン接合の領域とソース領域54とに完全に延在することによって、光シールドのためのTFT 40のフォト・アクティブな領域53を適切に覆い、しかし、チャネル領域上の任意の有意な程度まで延在しないように構成することも出来る。このために、層90は、二つのコンタクト領域上に横たわっている層90の領域が相互接続されるようにアイランドに平行にチャネル領域の両側に延在する一体化されたアームによって仕切られたチャネル領域55の上に存在する中央のアパーチャを有することが出来る。この構成により、層がチャネル領域55の直接上に延在しないので、第二ゲートとして作用するそのリスクを、避けることが出来る。

【0047】

この他の実施例の場合にも、TFT 40と蓄積キャパシタ36は、両方とも同じ重要な層(すなわちアイランド52)を共有するので、製造工程公差に起因する如何な

る空間的ばらつきも、両方のコンポーネントに共通し、かつそれらは、共に拡大・縮小する。

【0048】

本発明は、また、上記の実施例と同様に（例えば、W099/65012に記載されている方法で）電圧データ信号ではなく、電流データ信号を用いて駆動されるピクセルに用いることも出来る。

【0049】

要約すると、マトリクス・アレイ表示装置は、各々が、表示素子（例えば、エレクトロルミネセンス表示素子）と、それに関連した制御回路とを有するピクセルのアレイを基板上に有する。この制御回路は、蓄積キャパシタと、キャパシタに蓄積された電荷を調節し、かつ、例えば、表示素子の動作を調節するように表示素子から発せられる光に応答する、それに接続された光検出素子とを含んでいる。光検出素子は、各々が、横方向に離間された不純物を添加されたコンタクト領域を有する半導体材料のストリップを有する薄膜半導体装置を有し、そして関連した蓄積キャパシタは、介入する誘電材料と、1つのコンタクト領域上を実質的に横切って延在するストリップの導電層とによって形成される。コンポーネント層の寸法のばらつきが、製造公差に起因して発生しても、蓄積キャパシタと光検出素子特性の間の既定の関係は、保証される。光検知装置は、そのゲートが、コンタクト領域の間にある半導体ストリップ領域を覆って延在するゲート制御装置を有することが好ましい。ゲート誘電体と蓄積キャパシタ誘電体は、層の一部を共有することが出来る。これに代えて、導電層を、ゲートの反対側のストリップの側に設け、周辺光に対するシールドとして用いることも出来る。

【0050】

本発明の開示を読むことにより、他の変更態様が、当業者にとって明らかであろう。このような変更態様は、アクティブ・マトリクス・エレクトロルミネセンス表示装置とそのための実装部品の分野においてすでに公知であり、かつ本明細書においてすでに記載した特徴の代わりにまたはそれに加えて用いることが出来る、他の特徴を含むことも出来る。

【図面の簡単な説明】

【図1】本発明のアクティブ・マトリクスEL表示装置の実施例の簡略化された線図を示す。

【図2】図1の装置の典型的な数個のピクセルの等価回路を示す。

【図3】ピクセルの部分の線図的平面図を示す。

【図4】ピクセル部分の線図的断面図を示す。

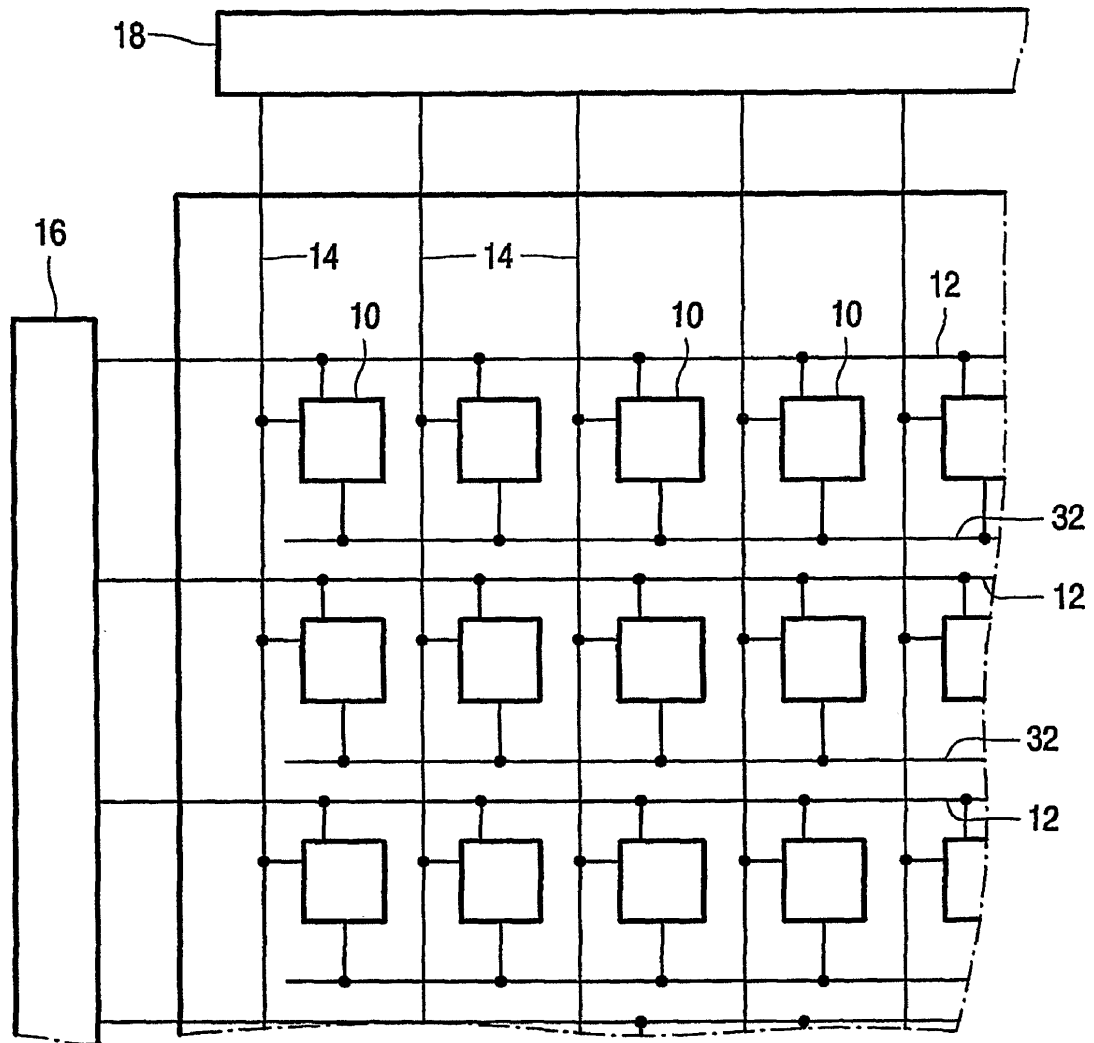
【図5】更なる実施例の代替形ピクセルの部分の線図的断面図を示す。

【図6】更なる実施例の典型的ピクセルの等価回路を示す。

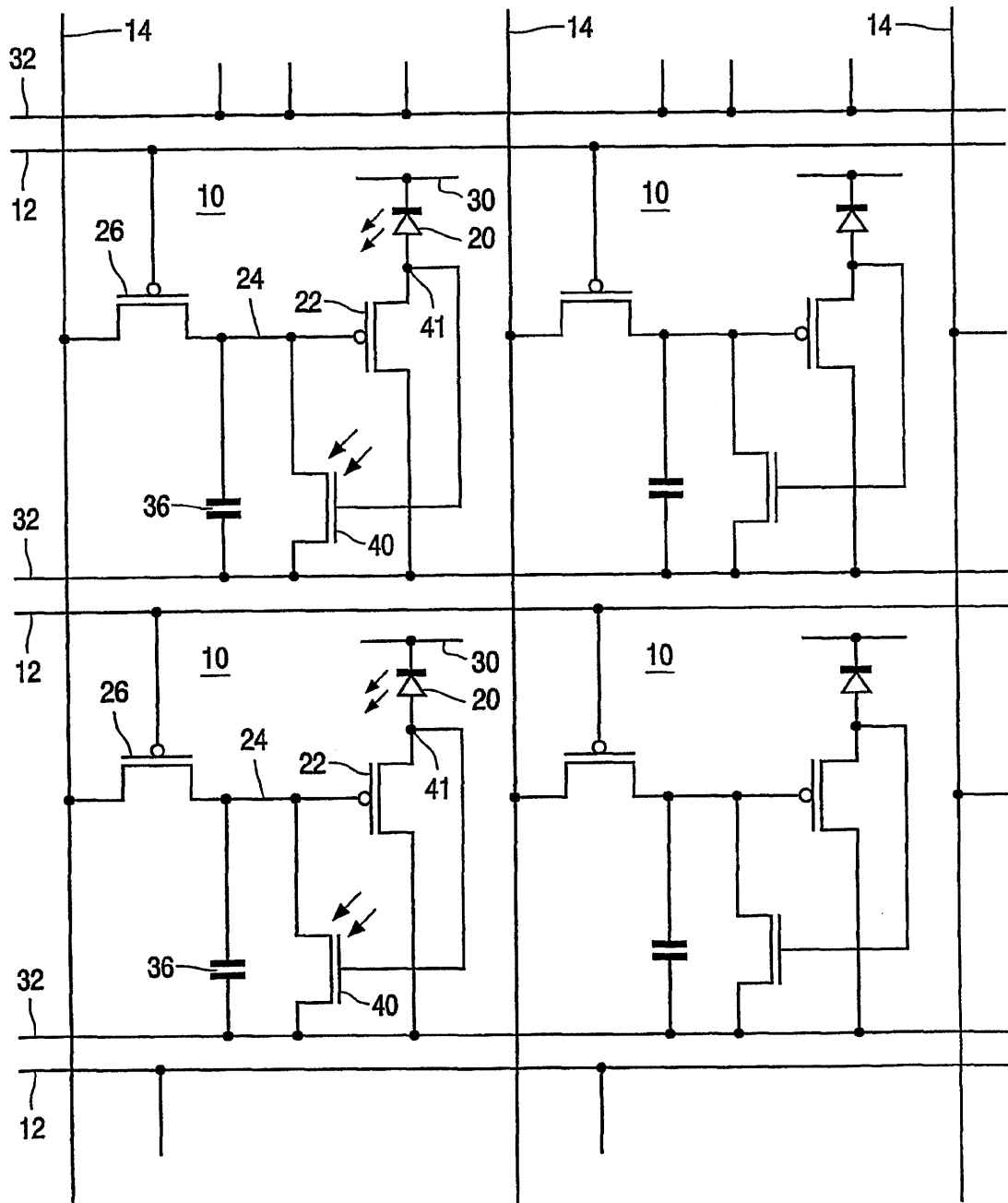
【符号の説明】

- 10 ピクセル
- 20 表示素子
- 22 電流駆動TFT
- 32 共通の電流ライン
- 36 蓄積キャパシタ
- 40 光検知装置
- 50 透明な絶縁基板
- 52 半導体アイランド
- 58 金属フィンガ
- 60 誘電層
- 82 金属電極層
- 90 光シールド層

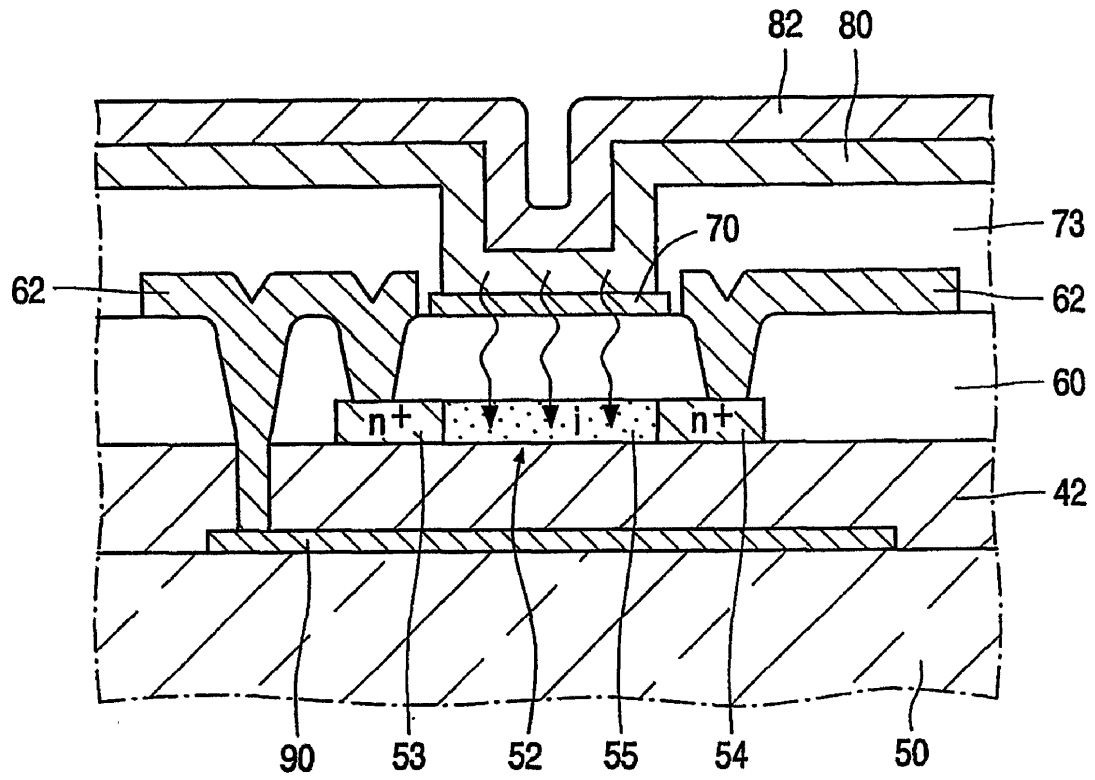
【圖 1】



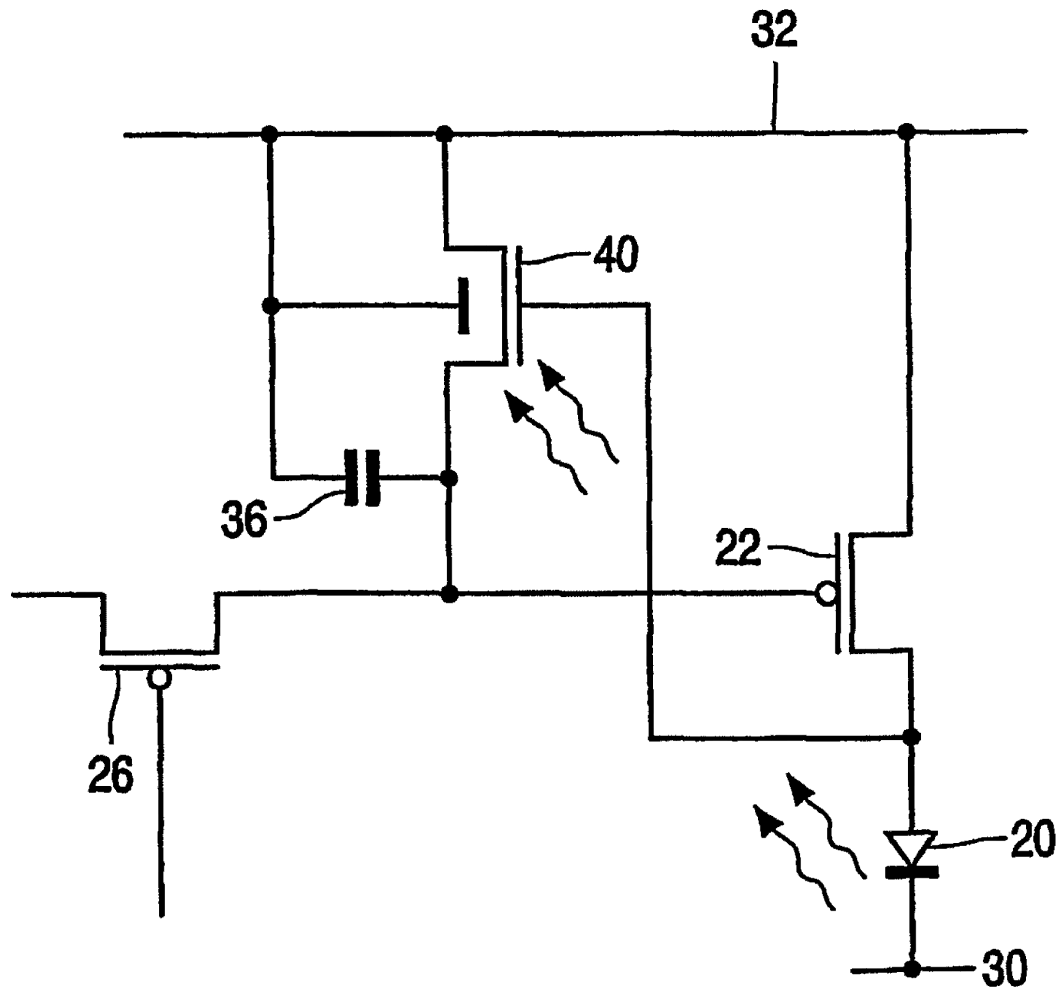
【図 2】



【図 5】



【図6】



【国際調査報告】

INTERNATIONAL SEARCH REPORT

International Application No. PCT/EP 01/06443		
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H01L27/00 G09G3/32 H01L31/14 H01L31/16		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 H01L G09G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the International search (name of data base and, where practical, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 0 491 436 A (PHILIPS ELECTRONICS UK) 24 June 1992 (1992-06-24) the whole document	1, 4, 5, 7, 9-11
A	EP 0 923 067 A (SEIKO EPSON CORP) 16 June 1999 (1999-06-16) examples 9, 10	1, 7, 9-11
P, A	WO 01 20591 A (PHILIPS ELECTRONICS NV) 22 March 2001 (2001-03-22) cited in the application the whole document	1, 4, 5, 7, 9-11
☐ Further documents are listed in the continuation of box C. ☒ Patent family members are listed in annex.		
* Special categories of cited documents: *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *G* document member of the same patent family		
Date of the actual completion of the international search 4 December 2001		Date of mailing of the international search report 11/12/2001
Name and mailing address of the ISA European Patent Office, P.O. 5818 Patentlaan 2 NL-2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl Fax: (+31-70) 340-3016		Authorized officer van der Linden, J.E.

INTERNATIONAL SEARCH REPORT

Information on patent family members

 International Application No.
 PCT/EP 01/06443

Patent document cited in search report		Publication date		Patent family member(s)	Publication date
EP 0491436	A	24-06-1992	DE	69113418 D1	02-11-1995
			DE	69113418 T2	15-05-1996
			EP	0491436 A2	24-06-1992
			JP	3188498 B2	16-07-2001
			JP	4343387 A	30-11-1992
			US	5485177 A	16-01-1996
EP 0923067	A	16-06-1999	EP	0923067 A1	16-06-1999
			WO	9840871 A1	17-09-1998
			TW	397965 B	11-07-2000
WO 0120591	A	22-03-2001	WO	0120591 A1	22-03-2001
			EP	1129446 A1	05-09-2001

フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	テ-マコ-ト [*] (参考)
G 0 9 G 3/20	6 4 2	G 0 9 G 3/20	6 4 1 K
	6 7 0		6 4 2 P
3/30		3/30	6 7 0 K
			J
			K
H 0 1 L 29/786		H 0 5 B 33/14	A
H 0 5 B 33/14		H 0 1 L 29/78	6 1 4
			6 2 2

(72)発明者 シャノン ジョン エム
オランダ国 5656 アー アー アインド
ーフェン プロフホルストラーン 6
F ターム(参考) 3K007 AB17 DB03 GA00 GA04
5C080 AA06 BB05 DD04 DD05 DD25
DD28 DD29 EE29 FF11 HH09
JJ02 JJ03 JJ06
5C094 AA03 BA03 BA27 CA19 EA04
EA07 FB19
5F110 AA30 BB01 BB09 CC02 DD14
EE03 EE06 EE07 EE14 EE30
FF02 FF03 FF04 FF27 GG02
GG13 GG44 HL03 HL06 NN04
NN24 NN27 NN44 NN46 NN73
PP03

【要約の続き】

る。光検知装置は、そのゲートが、コンタクト領域の間にある半導体ストリップ領域を覆って延在するゲート制御装置を有することが好ましい。ゲート誘電体と蓄積キャパシタ誘電体は、層(56)の一部を共有することが出来る。これに代えて、導電層を、ゲートの反対側のストリップの側に設け、周辺光に対するシールドとして用いることも出来る。

专利名称(译)	矩阵阵列显示装置，具有光检测元件和相关的存储容量		
公开(公告)号	JP2003536114A	公开(公告)日	2003-12-02
申请号	JP2002503942	申请日	2001-06-07
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦电子股份有限公司的Vie		
[标]发明人	ヤングニジェルディー シャノンジョンエム		
发明人	ヤング ニジェル ディー シャノン ジョン エム		
IPC分类号	H01L51/50 G09F9/30 G09G3/20 G09G3/30 G09G3/32 H01L27/12 H01L27/32 H01L29/49 H01L29/786 H05B33/14		
CPC分类号	G09G3/3233 G09G2300/0809 G09G2300/0819 G09G2300/0842 G09G2320/043 G09G2320/045 G09G2360/148 H01L27/1255 H01L27/3265 H01L27/3269 H01L29/4908 H01L29/78633		
FI分类号	G09F9/30.338 G09F9/30.365.Z G09G3/20.624.B G09G3/20.641.A G09G3/20.641.D G09G3/20.641.K G09G3/20.642.P G09G3/20.670.K G09G3/30.J G09G3/30.K H05B33/14.A H01L29/78.614 H01L29/78.622		
F-TERM分类号	3K007/AB17 3K007/DB03 3K007/GA00 3K007/GA04 5C080/AA06 5C080/BB05 5C080/DD04 5C080/DD05 5C080/DD25 5C080/DD28 5C080/DD29 5C080/EE29 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ06 5C094/AA03 5C094/BA03 5C094/BA27 5C094/CA19 5C094/EA04 5C094/EA07 5C094/FB19 5F110/AA30 5F110/BB01 5F110/BB09 5F110/CC02 5F110/DD14 5F110/EE03 5F110/EE06 5F110/EE07 5F110/EE14 5F110/EE30 5F110/FF02 5F110/FF03 5F110/FF04 5F110/FF27 5F110/GG02 5F110/GG13 5F110/GG44 5F110/HL03 5F110/HL06 5F110/NN04 5F110/NN24 5F110/NN27 5F110/NN44 5F110/NN46 5F110/NN73 5F110/PP03		
优先权	2000014962 2000-06-20 GB		
其他公开文献	JP2003536114A5		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种矩阵阵列显示装置，其能够更确定地确保像素的存储电容器的电容值和光检测装置的操作的光响应特性。矩阵阵列显示装置在基板上具有像素阵列，每个像素具有显示元件（20）（例如，电致发光显示元件）和相关联的控制电路。该控制电路调节存储电容器（36）和与之连接的电荷，该电荷响应于从显示元件发出的光来调节存储在电容器中的电荷，并且例如调节显示元件的操作。和检测元件（40）。光电探测器元件包括一个薄膜半导体器件和一个相关的存储电容器，该薄膜半导体器件具有半导体材料条（52），每个条具有横向间隔的掺杂接触区（53、54）。导电层（36）由插入的介电材料和基本上在一个接触区域上延伸的一条导电层（58）形成。即使由于制造公差而发生部件层尺寸变化，也可以保证在存储电容器和光敏元件特性之间的预定关系。该光敏器件优选具有栅极控制器件，该栅极控制器件的栅极在接触区域之间的半导体带区域上延伸。栅极电介质和存储电容器电介质可以共享层（56）的一部分。可替代地，可以在条的与栅极相对的一侧上设置导电层，并且该导电层用作对环境光的屏蔽。

