

【特許請求の範囲】

【請求項1】 表示画面を構成する複数の発光素子と、前記複数の発光素子をそれぞれ駆動する複数の駆動回路とを備え、各駆動回路は前記発光素子に定電流を流す駆動スイッチ素子、および周期的に更新されるデジタル映像信号を保持し、前記デジタル映像信号の更新周期に対する駆動スイッチ素子の導通期間の長さをこのデジタル映像信号に対応して制御するメモリ部を含むことを特徴とする表示装置。

【請求項2】 前記定電流は前記複数の発光素子の発光輝度がほぼ均一となる範囲で選定された値であることを特徴とする請求項1に記載の表示装置。

【請求項3】 前記メモリ部は1ビットデータを保持する複数のレジスタと、デジタル映像信号のビットデータをサンプリングして複数の複数のレジスタに格納し、レジスタ毎に異なる長さに設定される期間ずつこれらレジスタの内容を駆動スイッチ素子に出力するスイッチ回路とを含むことを特徴とする請求項1に記載の表示装置。

【請求項4】 各レジスタは静電容量およびスタティックメモリの一方であることを特徴とする請求項1に記載の表示装置。

【請求項5】 各駆動回路はさらに前記更新周期の一部期間でデジタル映像信号の信号源を前記メモリ部に接続する画素スイッチと前記更新周期の残り期間で前記メモリ部を前記駆動スイッチ素子に接続する出力スイッチを含むことを特徴とする請求項1に記載の表示装置。

【請求項6】 前記画素スイッチおよび出力スイッチはそれぞれ独立な信号で制御される薄膜トランジスタにより構成されることを特徴とする請求項5に記載の表示装置。

【請求項7】 前記画素スイッチおよび出力スイッチは共通な信号により制御される互いに異なった導電チャネルの薄膜トランジスタにより構成されることを特徴とする請求項5に記載の表示装置。

【請求項8】 各駆動回路はさらに前記駆動スイッチ素子に対する前記メモリ部の出力を反転するインバータを含むことを特徴とする請求項1に記載の表示装置。

【請求項9】 各駆動回路はさらに前記画素スイッチおよび前記出力スイッチをそれぞれ構成する薄膜トランジスタの制御信号線を電源配線の一部とし、前記駆動スイッチ素子に対する前記メモリ部の出力を反転するインバータを含むことを特徴とする請求項5に記載の表示装置。

【請求項10】 各発光素子は有機EL素子であることを特徴とする請求項1に記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は複数の発光素子が表示画面を構成するように配列される表示装置に関し、例えば有機EL(Electro Luminescence)素子が各発光素子

として用いられる表示装置に関する。

【0002】

【従来の技術】近年では、有機EL表示装置が軽量、薄型、高輝度という特徴を持つことからノート型パーソナルコンピュータや携帯用情報機器等のモニタディスプレイとして注目されている。典型的な有機EL表示装置では、複数の有機EL素子がそれぞれ表示画素としてマトリクス状に配列され、画像を表示する表示画面を構成する。この表示装置では、さらに複数のゲート線がこれら有機EL素子の行に沿って配置され、複数のデータ線がこれら有機EL素子の列に沿って配置され、複数の画素スイッチがこれらゲート線およびデータ線の交差位置近傍に配置される。各有機EL素子はゲート電圧が静電容量により保持される駆動トランジスタと一対の電源端子間で直列に接続される。各画素スイッチは対応ゲート線から供給される走査信号に反応して導通し、対応データ線から供給される映像信号の電圧をゲート電圧として駆動トランジスタに印加する。このゲート電圧は画素スイッチが非導通になった後も静電容量により保持され、映像信号の更新に伴って再び画素スイッチが導通するまで駆動トランジスタに印加される。駆動トランジスタはこのゲート電圧に依存して増減する電流を継続的に有機EL素子に流し、これにより映像信号の電圧で指定された階調の輝度で有機EL素子を発光させる。

【0003】有機EL素子は蛍光性有機化合物を含む薄膜である発光層をカソード電極およびアノード電極間に挟持した構造を有し、発光層に電子および正孔を注入しこれらを再結合させることにより励起子を生成させ、この励起子の失活時に生じる光放出により発光する。アノード電極はITO等で構成される透明電極であり、カソード電極はアルミニウム等の金属で構成される反射電極である。この構成により、有機EL素子は10V以下の印加電圧で100~100000cm²/m²程度の輝度を得ることができる。有機EL表示装置はこのような自発光型の有機EL素子を用いるため、平面表示装置として一般的な液晶表示装置よりも優れた次のような長所を持つ。第1に、バックライトを必要としないのでより薄型化できる。第2に、高速に反応するので動画再生に適している。第3に、低温で輝度低下しないので寒冷地でも使用できる。

【0004】

【発明が解決しようとする課題】ところで、上述のように各駆動トランジスタが有機EL素子に流れる電流をゲート電圧に依存して増減する場合、表示ムラが複数の有機EL素子間の発光特性、すなわち電流対輝度の関係のバラツキによって発生する。この問題を解消するために有機EL表示装置の外部で映像信号を補正することも考えられるが、これは回路構造を複雑化する結果になるため現実的でない。

【0005】本発明の目的は、発光素子間の特性のバラ

ツキによる表示ムラを低減できる表示装置を提供することにある。

【0006】

【課題を解決するための手段】本発明によれば、表示画面を構成する複数の発光素子と、これら発光素子をそれぞれ駆動する複数の駆動回路とを備え、各駆動回路は発光素子に定電流を流す駆動スイッチ素子、および周期的に更新されるデジタル映像信号を保持し、デジタル映像信号の更新周期に対する駆動スイッチ素子の導通期間の長さをこのデジタル映像信号に対応して制御するメモリ部を含む表示装置が提供される。

【0007】この表示装置では、全発光素子の表示階調が駆動電流を変化させる代わりに定電流による駆動時間を変化させることにより制御される。この場合、これら発光素子の発光輝度がほぼ均一となる定電流を選定することにより、これら発光素子間の特性のバラツキによる表示ムラを低減することができる。

【0008】

【発明の実施の形態】以下、本発明の一実施形態に係る有機EL表示装置について添付図面を参照して説明する。

【0009】図1はこの有機EL表示装置の構成を示す。有機EL表示装置は有機ELパネル10および有機ELパネル10を駆動する外部コントローラCTにより構成される。

【0010】この有機ELパネル10は、例えばガラス板上において画像を表示するためにマトリクス状に配置される複数の表示画素PX、これら表示画素PXの行に沿って配置される複数のサンプルゲート線11、これらサンプルゲート線11とそれぞれ対をなす複数のドライブゲート線11A、これら表示画素PXの列に沿って配置される複数のデータ線12、これらゲート線11、11Aとデータ線12との交差位置近傍に配置される複数の画素スイッチ13、ゲート線11、11Aを駆動する垂直ドライバ14、および複数のデータ線12を駆動する水平ドライバ15を備える。外部コントローラCTは外部信号源から供給される例えば4ビットのデジタル映像信号および同期信号を受け取り、垂直走査タイミングを制御する垂直走査制御信号、および水平走査タイミングを制御する水平走査制御信号を同期信号に基づいて発生し、これら垂直走査制御信号および水平走査制御信号をそれぞれ垂直ドライバ14および水平ドライバ15に供給すると共に水平および垂直走査タイミングに同期してデジタル映像信号を水平ドライバ15に供給する。

【0011】垂直ドライバ14はコントローラCTからの垂直走査制御信号によって制御され、各フレーム期間において順次複数のサンプルゲート線11にサンプル用走査信号を供給し、駆動用走査信号を複数のドライブゲート線11Aに順次供給する。サンプル用走査信号は例えば1水平走査期間(1H)だけ各サンプルゲート線

1に供給され、駆動用走査信号はこの水平走査期間に続く残りの水平走査期間だけこのサンプルゲート線11と対をなす対応ドライブゲート線11Aに供給する。水平ドライバ15はコントローラCTからの水平走査制御信号によって制御され、各水平走査期間において一行分の表示画素PXのデジタル映像信号をラッチし、これらをそれぞれ複数のデータ線12にシリアルに供給する。

【0012】各表示画素PXは有機EL素子16、一対の電源端子DVDD、DVSS間でこの有機EL素子16に直列に接続される駆動トランジスタ17、対応ドライブゲート線11Aからの駆動用走査信号により導通する出力スイッチ18、および画素スイッチ13を介して対応データ線12に接続されると共に出力スイッチ18を介して駆動トランジスタ17のゲートに接続され例えば4ビットのメモリ回路20を有する。駆動トランジスタ17はPチャネル薄膜トランジスタであり、電源端子DVDDは電源端子DVSSよりも高電位に設定され、有機EL素子16は駆動トランジスタ17の導通によりこれら電源端子DVDD、DVSS間で順バイアスされる。

【0013】各画素スイッチ13は対応サンプルゲート線11から供給されるサンプル用走査信号により導通し、対応データ線12からの4ビットデジタル映像信号をメモリ回路20に供給する。メモリ回路20はこの4ビットデジタル映像信号をサンプリングし、パルス幅が映像信号のビット順位に依存した所定電圧のパルス信号としてこの映像信号を出力する。出力スイッチ18は対応ドライブゲート線11Aから供給される駆動用走査信号により導通し、メモリ回路20から出力されるパルス信号の電圧を駆動トランジスタ14のゲートに供給する。駆動トランジスタ17はこのパルス信号のパルス幅に応じた期間だけ定電流を有機EL素子16に流してこれを発光させる。

【0014】メモリ回路20はデジタル映像信号の第1ビットデータから第4ビットデータをそれぞれ保持する4個のレジスタM1~M4、およびこれらレジスタM1~M4を画素スイッチ13および出力スイッチ18を結ぶノードに順次接続するスイッチS1~S4を有する。尚、表示パネル10は表示画素PXの行毎に4本ずつ配置されゲート線11、11Aと平行なメモリ制御線G1~G4をさらに備え、垂直ドライバ14はサンプル用走査信号が供給されるサンプル期間にサンプル許可パルスをメモリ制御線G1~G4に順次供給し、駆動用走査信号が供給されるドライブ期間に出力許可パルスをメモリ制御線G1~G4に順次供給する。サンプル許可パルスのパルス幅は一定であり、出力許可パルスのパルス幅はT期間、2T期間、4T期間、8T期間のように2ⁿ倍(ここで、n=0,1,2,3)で順次増大する。サンプル期間では、スイッチS1~S4がそれぞれサンプル許可パルスの制御により画素スイッチ13を介して供給

されるデジタル映像信号の第1ビットデータから第4ビットデータを順次サンプリングし、レジスタM1~M4がデジタル映像信号の第1ビットデータから第4ビットデータをそれぞれ保持する。これに続くドライブ期間では、スイッチS1~S4がそれぞれ出力許可パルスの制御によりレジスタM1~M4の内容をパルス信号として出力スイッチ18を介して駆動トランジスタ17に順次出力する。レジスタM1~M4の内容はそれぞれ1ビットデータ"1"または"0"であり、駆動トランジスタ17の導通期間をこれらデータの組み合わせに対応して16通りの長さ

【0015】図2は上述の表示画素PXの具体的な構成を示す。この構成例では、画素スイッチ13、出力スイッチ18、およびスイッチS1~S4がNチャンネル薄膜トランジスタ13A、18A、およびST1~ST4で構成され、レジスタM1~M4が各々1ビットデータを保持する静電容量MC1~MC4で構成される。

【0016】図3はこの有機EL表示装置の動作を示す。サンプルゲート線11がサンプル用走査信号により高レベルに立ち上がると、画素スイッチ13がデータ線12上で図3に示すように変化するデジタル映像信号をメモリ回路20に供給する。この間、デジタル映像信号の第1から第4ビットデータ"1","0","1","0"がメモリ制御線G1~G4にそれぞれ供給されるサンプル許可パルスP1~P4に同期してレジスタM1~M4に保持される。

【0017】サンプルゲート線11が1水平走査期間分のサンプル期間後に低レベルに立ち下がると、ドライブゲート線11Aが駆動用走査信号により高レベルに立ち上がり、出力スイッチ18が1フレーム期間の残り水平走査期間分のドライブ期間においてメモリ回路20の出力を駆動トランジスタ17に供給する。このドライブ期間では、レジスタM1~M4内のビットデータ"1","0","1","0"がパルス信号としてメモリ制御線G1~G4にそれぞれ供給される出力許可パルスP1からP4によりT期間、2T期間、4T期間、8T期間ずつ駆動トランジスタ17に供給される。駆動トランジスタ17はゲート電圧が低レベルに設定されたときに導通するPチャンネル型であるため、レジスタM2およびM4内のビットデータ"0"により低レベルとなるパルス信号のパルス幅に対応して2T期間+8T期間だけ導通し、有機EL素子16を合計10T期間だけ発光させる。これは、第1階調を最低輝度とし第16階調を最大輝度とした場合に有機EL素子16の発光輝度を第10階調に設定することになる。

【0018】上述の実施形態の有機EL表示装置では、メモリ部20がデジタル映像信号を時間変調されたアナログ形式に変換する時間変調型デジタルアナログ変換器として機能し、映像信号の更新周期であるフレーム期間に対する駆動トランジスタ17の導通時間の長さを制御

*する。すなわち、有機EL素子16の表示階調が定電流による駆動時間を変化させることにより制御される。この場合、これら有機EL素子16の発光輝度がほぼ均一となる定電流を選定することにより、これら有機EL素子16間の特性のバラツキによる表示ムラを低減することができる。

【0019】図4は図2に示す表示画素PXの変形例を示す。この変形例では、出力スイッチ18がPチャンネル薄膜トランジスタ18Bで構成され、サンプルゲート線11がこの薄膜トランジスタ18Bのゲートに接続される。これにより、薄膜トランジスタ18Bはサンプルゲート線11が高レベルとなったときに非導通となり、サンプルゲート線11が低レベルになったときに導通する。この構成によれば、ドライブゲート線11Aを省略しても、上述の実施形態と同様に有機EL素子16の発光輝度を制御することができる。

【0020】図5は図4に示す表示画素PXの変形例を示す。この変形例では、インバータ19がメモリ回路20およびPチャンネル薄膜トランジスタ18B間に接続され、メモリ回路20の出力を反転する。この構成によれば、メモリ回路20の出力が高レベルであるときに有機EL素子16を発光させることができる。

【0021】図6は図5に示す表示画素PXの変形例を示す。この変形例では、インバータ19がNチャンネル薄膜トランジスタ19AおよびPチャンネル薄膜トランジスタ19Bにより構成される。薄膜トランジスタ19A、19Bのゲートはメモリ回路20に接続される。Nチャンネル薄膜トランジスタ19Aのソースはサンプルゲート線11に接続され、Pチャンネル薄膜トランジスタ18Bのドレインは電源端子DVDDに接続される、Nチャンネル薄膜トランジスタ19AのドレインおよびPチャンネル薄膜トランジスタ18BのソースはPチャンネルトランジスタ18Bに接続される。この構成によれば、インバータ19用の電源配線を簡略化することができる。

【0022】図7は図4に示す表示画素PXの第2変形例を示す。この変形例では、レジスタM1~M4が各々2個のインバータRV1、RV2を持つスタティックメモリMS1~MS4およびPチャンネル薄膜トランジスタSD1~SD4で構成される。サンプルゲート線11は薄膜トランジスタSD1~SDのゲートに接続される。これにより、薄膜トランジスタSD1~SDは薄膜トランジスタ18Bと一緒に導通し、ドライブ期間においてサンプリングデータをメモリMS1~MS4に保持させる。この構成によれば、サンプリングデータを静電容量の場合よりも安定に保持することができる。

【0023】

【発明の効果】以上のように本発明によれば、発光素子間の特性のバラツキによる表示ムラを低減できる表示装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係る有機EL表示装置の構成を示す回路図である。

【図2】図1に示す表示画素の具体的な構成を示す回路図である。

【図3】図1に示す有機EL装置の動作を示すタイムチャートである。

【図4】図2に示す表示画素の変形例を示す回路図である。

【図5】図4に示す表示画素PXの変形例を示す回路図である。

*【図6】図5に示す表示画素PXの変形例を示す回路図である。

【図7】図4に示す表示画素PXの第2変形例を示す回路図である。

【符号の説明】

13...画素スイッチ

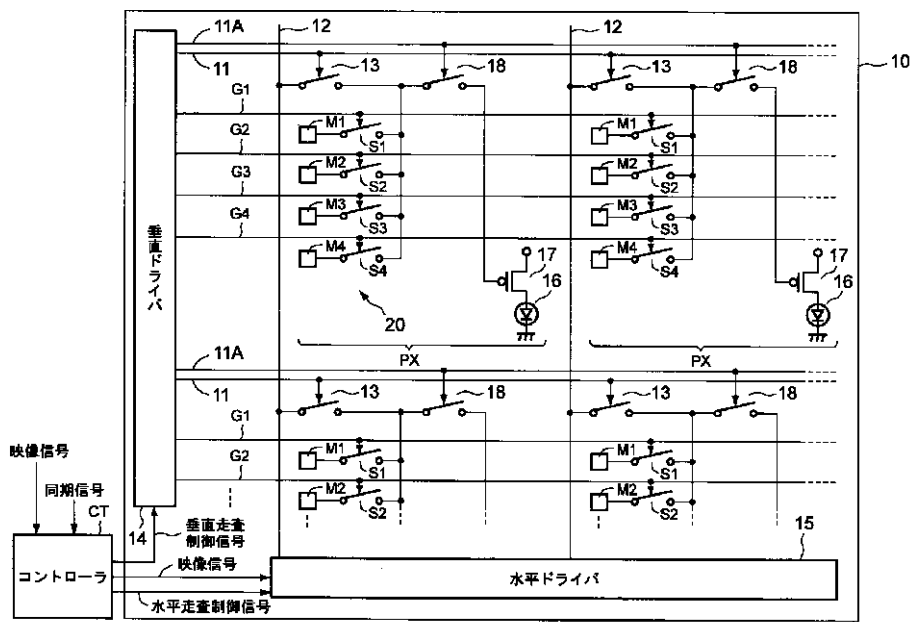
16...有機EL素子

17...駆動トランジスタ

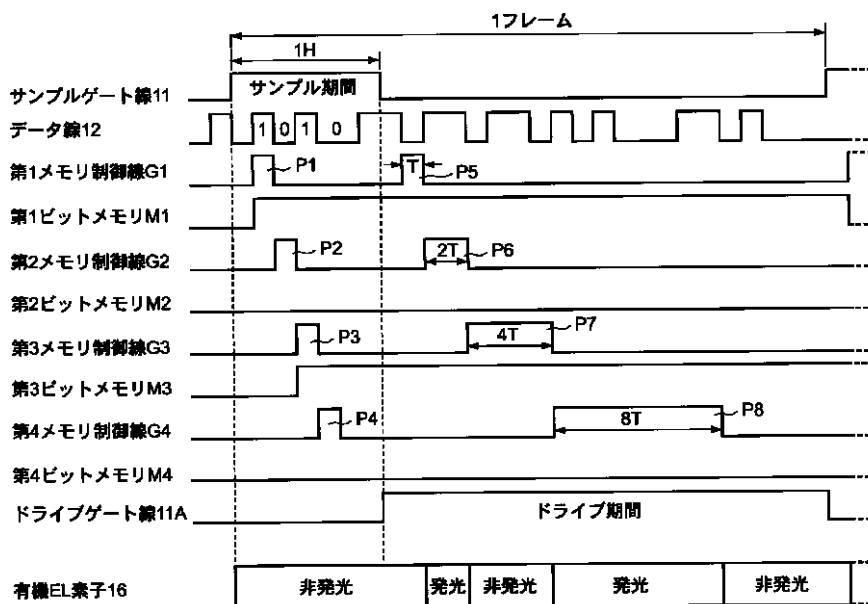
18...出力スイッチ

*10 20...メモリ部

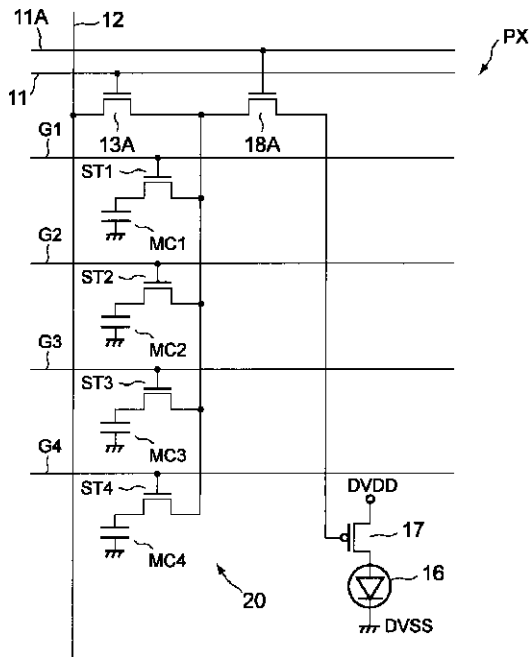
【図1】



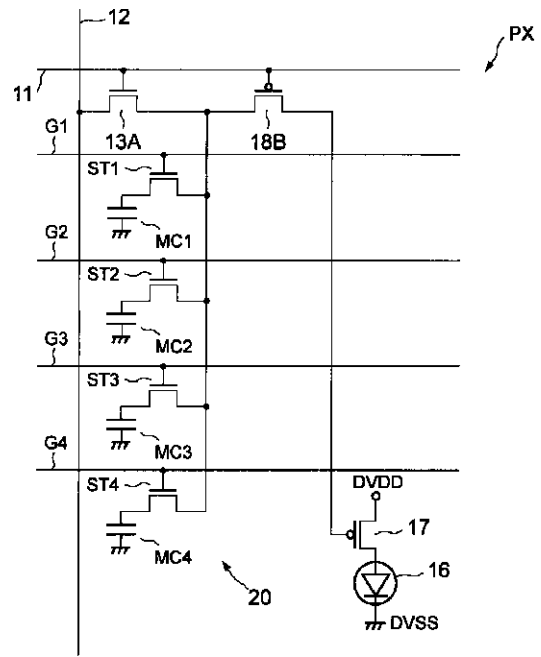
【図3】



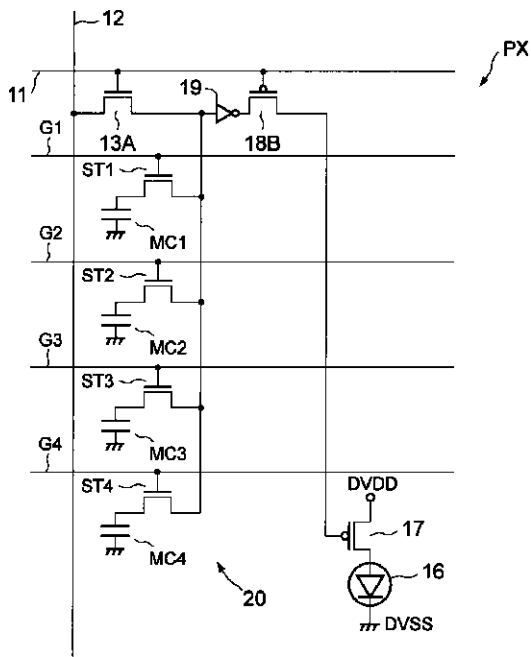
【図 2】



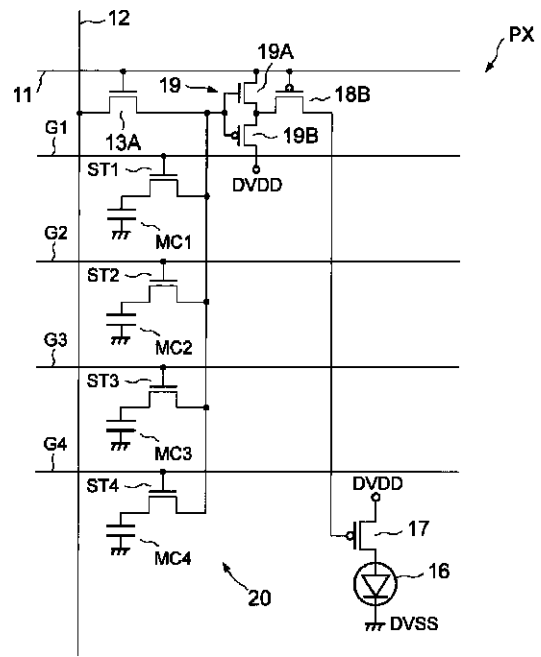
【図 4】



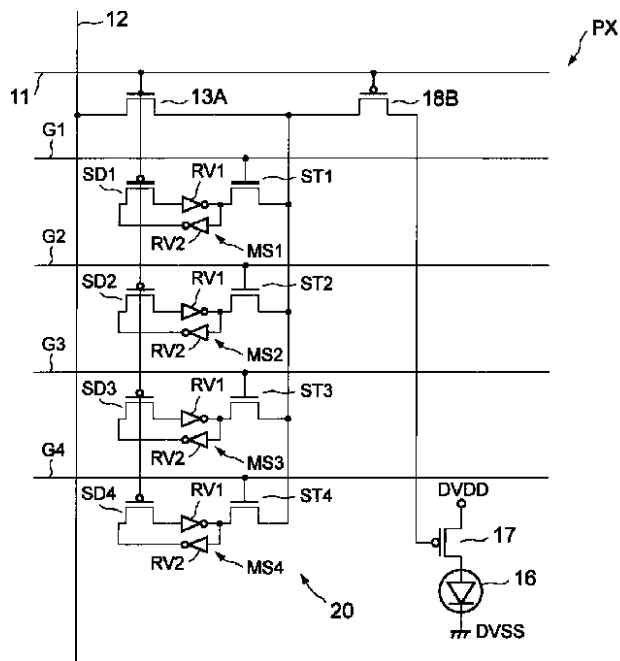
【図 5】



【図 6】



【図7】



フロントページの続き

(51)Int.Cl.⁷
H 0 5 B 33/14

識別記号

F I
H 0 5 B 33/14

テーム(参考)
A

F ターム(参考) 3K007 AB02 AB17 BA06 DA01 DB03
 EB00 GA04
 5C080 AA06 BB05 DD05 GG12 HH10
 JJ02 JJ03 JJ04
 5C094 AA03 AA07 BA03 BA27 CA19
 CA25 DA09 DB01 DB02 DB04
 EA04 EA07 GA10

专利名称(译)	表示装置		
公开(公告)号	JP2002341826A	公开(公告)日	2002-11-29
申请号	JP2001141737	申请日	2001-05-11
[标]申请(专利权)人(译)	株式会社东芝		
申请(专利权)人(译)	东芝公司		
[标]发明人	青木良朗		
发明人	青木 良朗		
IPC分类号	H05B33/08 G09F9/30 G09G3/20 G09G3/30 H01L27/32 H01L51/50 H05B33/14		
FI分类号	G09G3/30.K G09F9/30.338 G09F9/30.365.Z G09G3/20.642.B H05B33/08 H05B33/14.A G09F9/30.365 G09G3/20.624.B G09G3/20.641.A G09G3/20.641.D G09G3/3233 G09G3/3266 G09G3/3275 H01L27/32		
F-TERM分类号	3K007/AB02 3K007/AB17 3K007/BA06 3K007/DA01 3K007/DB03 3K007/EB00 3K007/GA04 5C080/AA06 5C080/BB05 5C080/DD05 5C080/GG12 5C080/HH10 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C094/AA03 5C094/AA07 5C094/BA03 5C094/BA27 5C094/CA19 5C094/CA25 5C094/DA09 5C094/DB01 5C094/DB02 5C094/DB04 5C094/EA04 5C094/EA07 5C094/GA10 3K107/AA01 3K107/BB01 3K107/CC33 3K107/DD39 3K107/EE04 3K107/HH02 3K107/HH04 3K107/HH05 5C380/AA01 5C380/AB06 5C380/AB46 5C380/AC08 5C380/AC12 5C380/BA12 5C380/BA13 5C380/BA36 5C380/BB02 5C380/CA04 5C380/CA14 5C380/CA26 5C380/CB01 5C380/CC22 5C380/CC23 5C380/CC24 5C380/CC26 5C380/CC33 5C380/CC52 5C380/CC53 5C380/CC61 5C380/CC66 5C380/CD047 5C380/CD049 5C380/CD079 5C380/CE17 5C380/CE20 5C380/CF09 5C380/CF23 5C380/DA02 5C380/DA07 5C380/DA09 5C380/DA16		
外部链接	Espacenet		

摘要(译)

要解决的问题：减少由发光元件之间的特性波动引起的显示不规则性。
 解决方案：显示装置具有多个有机EL元件16和驱动元件16的多个驱动电路。具体地说，每个驱动电路包括向各个元件16和存储部分提供恒定电流的驱动晶体管17。如图20所示，其保持周期性更新的数字视频信号，并根据数字视频信号控制晶体管17的导通周期相对于数字视频信号的更新周期的长度。

