

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5449733号  
(P5449733)

(45) 発行日 平成26年3月19日(2014.3.19)

(24) 登録日 平成26年1月10日(2014.1.10)

(51) Int.Cl.

F I

G09G 3/30 (2006.01)

G09G 3/30 J

G09G 3/20 (2006.01)

G09G 3/20 624B

H05B 33/08 (2006.01)

G09G 3/20 642A

H01L 51/50 (2006.01)

H05B 33/08

H05B 33/14

A

請求項の数 5 (全 21 頁) 最終頁に続く

(21) 出願番号 特願2008-254191 (P2008-254191)  
 (22) 出願日 平成20年9月30日(2008.9.30)  
 (65) 公開番号 特開2010-85675 (P2010-85675A)  
 (43) 公開日 平成22年4月15日(2010.4.15)  
 審査請求日 平成23年9月26日(2011.9.26)

(73) 特許権者 511254491  
 エルジー ディスプレイ カンパニー リ  
 ミテッド  
 大韓民国 140-716, ソウル, ヨン  
 サング, 3ガ, ハンガングロ, 65-22  
 8, エルジー ユープラス ビルディング  
 (74) 代理人 100094112  
 弁理士 岡部 譲  
 (74) 代理人 100064447  
 弁理士 岡部 正夫  
 (74) 代理人 100096943  
 弁理士 臼井 伸一  
 (74) 代理人 100101498  
 弁理士 越智 隆夫

最終頁に続く

(54) 【発明の名称】 画像表示装置及び画像表示装置の駆動方法

(57) 【特許請求の範囲】

【請求項1】

複数の画素回路を有した画像表示装置であって、  
 前記複数の画素回路のそれぞれは、  
 アノード電極と、前記複数の画素回路にて共通に接続されるカソード電極とを有した発  
 光素子と、

第1端子と、第2端子と、前記アノード電極と接続される第3端子とを有し、前記第1  
 端子と前記第3端子との電位差に応じて当該第2端子と前記第3端子との間に流れる電流  
 量を制御するドライバ素子と、

第1電極と、前記第1端子に接続される第2電極とを有し、前記ドライバ素子の閾値電  
 圧に対応する電圧を保持する第1容量素子と、

前記第2端子と接続され、且つ前記複数の画素回路のライン毎に共通に接続される電源  
 線と、

一端が前記第1電極と接続され、他端が前記アノード電極に接続されるとともに、前記  
 発光素子の発光輝度に対応する画像信号電圧を保持する第2容量素子と、

前記第1容量素子が前記閾値電圧を検出する間、前記第1電極を前記電源線に導通させ  
 るリセット用トランジスタと、

を備え、

前記発光素子の発光期間中に、前記第1端子と前記第3端子との間の電圧差が、前記第  
 1容量素子が保持する前記電圧と前記第2容量素子が保持する前記画像信号電圧とを合わ

10

20

せた大きさとなり、前記電源線から前記ドライバ素子を介して前記発光素子に電流が流れ、

前記第2容量素子は、前記発光素子の発光期間中に前記第1容量素子の前記第1電極と、前記ドライバ素子の前記第3端子との間に接続されることを特徴とする画像表示装置。

【請求項2】

請求項1に記載の画像表示装置において、

前記第2容量素子に画像信号電圧を供給する画像信号線をさらに備え、

前記画像信号線は、スイッチング素子を介して電氣的に前記第1容量素子の前記第1電極及び前記第2容量素子の前記一端と接続され、

前記画像信号線が前記第2容量素子に画像信号電圧を供給している際に、前記第1容量素子が前記ドライバ素子と前記画像信号線との間に接続された状態となることを特徴とする画像表示装置。

10

【請求項3】

マトリックス状に配列される複数の画素回路を有し、各画素回路に、

アノード電極と、前記複数の画素回路にて共通に接続されるカソード電極とを有した発光素子と、

第1端子と、第2端子と、前記アノード電極と接続される第3端子とを有し、前記第1端子と前記第3端子との電位差に応じて当該第2端子と前記第3端子との間に流れる電流量を制御するドライバ素子と、

第1電極と、前記第1端子に接続される第2電極とを有する第1容量素子と、

20

一端が前記第1電極と接続され、他端が前記アノード電極と接続される第2容量素子と、

前記第1容量素子が前記閾値電圧を検出する間、前記第1電極を前記電源線に導通させるリセット用トランジスタと、

を備える画像表示装置の駆動方法であって、

前記複数の画素回路のライン毎に、

前記ドライバ素子の閾値電圧を検出して前記閾値電圧に対応する電圧を前記第1容量素子に保持させる閾値電圧検出工程と、

前記発光素子の発光輝度に対応する画像信号電圧を前記第2容量素子に保持させる書き込み工程と、

30

前記第1容量素子と前記第2容量素子とを電氣的に直列接続して、前記第1容量素子に保持された前記閾値電圧に対応する電圧と前記第2容量素子に保持された前記画像信号電圧との電圧を加算し、当該加算電圧を前記ドライバ素子の前記第1端子と前記第3端子との間に印加することにより、前記発光素子を発光させる発光工程と、を含むことを特徴とする画像表示装置の駆動方法。

【請求項4】

請求項3に記載の画像表示装置の駆動方法において、

前記第2端子に接続され、且つ前記複数の画素回路のライン毎に共通接続される電源線を更に備え、

前記発光工程では、前記電源線を介して前記複数の画素回路のライン毎に電圧を印加し、該電圧が印加されるライン毎に前記発光素子を発光させることを特徴とする画像表示装置の駆動方法。

40

【請求項5】

請求項3に記載の画像表示装置の駆動方法において、

前記発光素子は、前記アノード電極側から前記カソード電極側に電流が流れることで発光し、前記カソード電極側から前記アノード電極側には電流が流れず、電荷が蓄積され、

前記閾値電圧検出工程の後で且つ前記書き込み工程の前に、前記発光素子に蓄積された電荷を放電させる発光素子初期化工程をさらに含むことを特徴とする画像表示装置の駆動方法。

【発明の詳細な説明】

50

## 【技術分野】

## 【0001】

本発明は、有機ELディスプレイ等の画像表示装置及び画像表示装置の駆動方法に関する。

## 【背景技術】

## 【0002】

発光層に注入された正孔と電子とが再結合することにより発光する有機EL (Electro Luminescence) 素子を用いた画像表示装置が提案されている。かかる画像表示装置として、例えば、アモルファスシリコンや多結晶シリコン等で形成される薄膜トランジスタ (Thin Film Transistor; 以下「TFT」という) を含む画素回路と、有機発光ダイオード (Organic Light Emitting Diode) 等で形成される有機EL素子とで1つの画素を構成したものが知られている (例えば、特許文献1参照)。なお、この特許文献1に記載の画像表示装置は、有機EL素子を駆動する駆動トランジスタと、駆動トランジスタの閾値電圧を保持する第1容量素子と、画像信号電圧を保持する第2容量素子と、を備えている。

10

## 【0003】

また、特許文献1に記載の画像表示装置は、有機EL素子のアノード電極と駆動トランジスタのソースとが接続され、有機EL素子のカソード電極が複数の画素で共通となるコモンカソード型の構造となっている。また、かかる画像表示装置は、マトリックス状に配列された画素がライン毎に順次発光する順次発光構造となっている。

20

## 【0004】

【特許文献1】特開2005-99715号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0005】

ところで、特許文献1に記載の画像表示装置では、データ書き込み電圧を第2容量素子に蓄積する際に、第1容量素子と第2容量素子とが電氣的に直列接続されるため、第1と第2の容量素子に電圧を書き込むための書き込み効率は小さなものとなる。具体的には、第1と第2の容量素子の容量を夫々 $C_{s1}$ 、 $C_{s2}$ とすると、書き込み効率は $C_{s1} / (C_{s1} + C_{s2})$ となり非効率的である。

30

## 【0006】

本発明は、上記に鑑みてなされたものであって、書き込み効率を向上させることが可能な、コモンカソード型であって順次発光型の画像表示装置及び駆動方法を提供することを目的とする。

## 【課題を解決するための手段】

## 【0007】

本発明の一実施形態に係る画像表示装置は、複数の画素回路を有した画像表示装置であって、前記複数の画素回路のそれぞれは、アノード電極と、前記複数の画素回路にて共通に接続されるカソード電極とを有した発光素子と、第1端子と、第2端子と、前記アノード電極と接続される第3端子とを有し、前記第1端子と前記第3端子との電位差に応じて当該第2端子と前記第3端子との間に流れる電流量を制御するドライバ素子と、第1電極と、前記第1端子に接続される第2電極とを有し、前記ドライバ素子の閾値電圧に対応する電圧を保持する第1容量素子と、前記第2端子と接続され、且つ前記複数の画素回路のライン毎に共通に接続される電源線と、一端が前記第1電極と接続され、他端が前記アノード電極に接続されるとともに、前記発光素子の発光輝度に対応する画像信号電圧を保持する第2容量素子と、を備え、前記発光素子の発光期間中に、前記第1端子と前記第3端子との間の電圧差が、前記第1容量素子が保持する前記電圧と前記第2容量素子が保持する前記画像信号電圧とを合わせた大きさとなり、前記電源線から前記ドライバ素子を介して前記発光素子に電流が流れることを特徴とする。

40

また、本発明の一実施形態に係る画像表示装置では、前記第2容量素子が、前記発光素

50

子の発光期間中に前記第1容量素子の前記第1電極と、前記ドライバ素子の前記第3端子との間に接続されることを特徴とする。

また、本発明の一実施形態に係る画像表示装置では、前記第2容量素子に画像信号電圧を供給する画像信号線をさらに備え、前記画像信号線は、スイッチング素子を介して電氣的に前記第1容量素子の前記第1電極及び前記第2容量素子の前記一端と接続され、前記画像信号線が前記第2容量素子に画像信号電圧を供給している際に、前記第1容量素子が前記ドライバ素子と前記画像信号線との間に接続された状態となることを特徴とする。

また、本発明の一実施形態に係る画像表示装置では、前記電源線と前記第1容量素子の前記第1電極との間に接続される電圧印加素子をさらに備え、前記電圧印加素子は、前記ドライバ素子の前記閾値電圧を検出している際に、前記第1容量素子が前記ドライバ素子と前記電源線との間に接続された状態となることを特徴とする。

10

#### 【0008】

また、本発明の一実施形態に係る画像表示装置の駆動方法は、マトリックス状に配列される複数の画素回路を有し、各画素回路に、アノード電極と、前記複数の画素回路にて共通に接続されるカソード電極とを有した発光素子と、第1端子と、第2端子と、前記アノード電極と接続される第3端子とを有し、前記第1端子と前記第3端子との電位差に応じて当該第2端子と前記第3端子との間に流れる電流量を制御するドライバ素子と、第1電極と、前記第1端子に接続される第2電極とを有する第1容量素子と、一端が前記第1電極と接続され、他端が前記アノード電極と接続される第2容量素子と、を備える画像表示装置の駆動方法であって、前記複数の画素回路のライン毎に、前記ドライバ素子の閾値電圧を検出して前記閾値電圧に対応する電圧を前記第1容量素子に保持させる閾値電圧検出工程と、前記発光素子の発光輝度に対応する画像信号電圧を前記第2容量素子に保持させる書き込み工程と、前記第1容量素子と前記第2容量素子とを電氣的に直列接続して、前記第1容量素子に保持された前記閾値電圧に対応する電圧と前記第2容量素子に保持された前記画像信号電圧との電圧を加算し、当該加算電圧を前記ドライバ素子の前記第1端子と前記第3端子との間に印加することにより、前記発光素子を発光させる発光工程と、を含むことを特徴とする。

20

また、本発明の一実施形態に係る画像表示装置の駆動方法では、前記第2端子に接続され、且つ前記複数の画素回路のライン毎に共通接続される電源線を更に備え、前記発光工程では、前記電源線を介して前記複数の画素回路のライン毎に電圧を印加し、該電圧が印加されるライン毎に前記発光素子を発光させることを特徴とする。

30

また、本発明の一実施形態に係る画像表示装置の駆動方法では、前記発光素子は、前記アノード電極側から前記カソード電極側に電流が流れることで発光し、前記カソード電極側から前記アノード電極側には電流が流れず、電荷が蓄積され、前記閾値電圧検出工程の後で且つ前記書き込み工程の前に、前記発光素子に蓄積された電荷を放電させる発光素子初期化工程をさらに含むことを特徴とする。

#### 【発明の効果】

#### 【0009】

本発明によれば、書き込み効率を向上させることが可能な、コモンカソード型であって順次発光型の画像表示装置及び駆動方法を提供することができる。

40

#### 【発明を実施するための最良の形態】

#### 【0010】

以下、本発明の好適な実施の形態に係る画像表示装置を図面に基づいて詳細に説明する。なお、以下の各実施形態によって本発明が限定されるものではない。

#### 【0011】

まず、以下の各実施形態で用いる用語等について説明する。「電氣的に接続される」という文言は、一方の部材と他方の部材とが配線等を介して常に導電可能に接続されている態様、及び一方の部材と他方の部材とが、導電性を有する配線等だけでなく、その他の部材によって間接的に接続されている態様の双方を含む意味で用いる。つまり、「電氣的に接続される」という文言は、他の部材の状態（例えば、トランジスタのソースとドレイン

50

との間で電流が流れ得る導電状態)に応じて、一方の部材と他方の部材とが配線及びその他の部材によって導電可能に接続される態様を含む意味で用いる。

【0012】

また、「ゲート・ソース間電圧」とは、トランジスタのソースに対してゲートに印加される電圧のことを言い、適宜「 $V_{gs}$ 」と表記する。

【0013】

また、「閾値電圧」とは、トランジスタがオフ状態(所謂ドレイン電流が流れない状態)からオン状態(ドレイン電流が流れる状態)に移り変わるときの、境界となるゲート・ソース間電圧のことを意味する。

【0014】

10

[第1の実施形態]

図1は、第1の実施形態に係る画像表示装置100の構成を模式的に示した図である。同図に示したように、画像表示装置100は、後述する画素回路10がマトリクス状(二次元平面的)に配列された表示パネル20と、制御回路31と、電源制御回路32と、制御線駆動回路33と、画像信号線駆動回路34とを備えている。なお、図2では、 $m$ 列 $n$ 行分の画素回路10がマトリクス状に配列された例を示している。

【0015】

表示パネル20には、画面水平方向(図中行方向)に $V_{DD}$ 線21、 $T_{th}$ 制御線23、 $T_{rst}$ 制御線24、走査線25が配設されている。また、画面垂直方向(図中列方向)には、画像信号線26が配設されている。ここで、 $V_{DD}$ 線21は、電源制御回路32と電氣的に接続されており、 $T_{th}$ 制御線23、 $T_{rst}$ 制御線24及び走査線25は、制御線駆動回路33と電氣的に接続されている。また、画像信号線26は、画像信号線駆動回路34と電氣的に接続されている。なお、図示していないが表示パネル20のグランドとなるGND線22が、画素回路10の夫々に接続されているものとする。

20

【0016】

制御回路31は、例えば演算回路、論理回路などを内部に含む駆動用ICやカウンタなどの制御機器を用いて構成することができ、入力された画像データや、当該画像データを表示パネル20に表示させるための電源( $V_{gL}$ 、 $V_{gH}$ 、 $V_{DD}$ 、 $-V_p$ 、 $V_{data}$ 等)を、電源制御回路32、制御線駆動回路33及び画像信号線駆動回路34から供給するタイミングを制御する。

30

【0017】

電源制御回路32は、例えばスイッチング素子などを内部に含む駆動用ICなどを用いて構成することができる。電源制御回路32は、制御回路31から入力されるクロック信号に基づき、自己の内部で生成した電力(電位)を $V_{DD}$ 線21に印加するタイミングを制御する。

【0018】

制御線駆動回路33は、例えばスイッチング素子などを内部に含む駆動用ICなどを用いて構成することができる。制御線駆動回路33は、制御回路31から入力されるクロック信号に基づき、自己の内部で生成した各種制御信号を $T_{th}$ 制御線23、 $T_{rst}$ 制御線24、走査線25に印加するタイミングを制御する。

40

【0019】

画像信号線駆動回路34は、例えば演算回路などを内部に含む駆動用ICなどを用いて構成することができる。画像信号線駆動回路34は、制御回路31から入力される画像信号に基づき、当該画像信号に対応する電圧(以下、画像信号電圧と言う)を生成するとともに、制御回路31から入力されるクロック信号に基づき、生成した画像信号電圧を画像信号線26に供給するタイミングを制御する。

【0020】

なお、図1の構成において、 $V_{DD}$ 線21、 $T_{th}$ 制御線23、 $T_{rst}$ 制御線24、走査線25及び画像信号線26、ならびに制御回路31、電源制御回路32、制御線駆動回路33及び画像信号線駆動回路34に関するレイアウトは、その一例を示すものであり、これ

50

らのレイアウトに限られるものではない。例えば、図1では、制御回路31、電源制御回路32、制御線駆動回路33及び画像信号線駆動回路34を表示パネル20の外部に配置しているが、これらの回路の何れか又は全てを表示パネル20の内部に配置する形態としてもよい。

#### 【0021】

＜画素回路の構成＞

図2は、図1に示した画素回路10（1画素）の構成の一例を示した図である。同図に示したように、画素回路10は、発光素子である有機EL素子OLEDと、有機EL素子OLEDを駆動するためのドライバ素子である駆動トランジスタ $T_d$ と、駆動トランジスタ $T_d$ の閾値電圧を検出する際に用いられる閾値電圧検出素子である閾値電圧検出用トランジスタ $T_{th}$ と、第1容量素子 $C_{s1}$ への電圧印加を制御する電圧印加素子としてのリセット用トランジスタ $T_{rst}$ と、スイッチング素子としてのスイッチングトランジスタ $T_s$ と、第1容量素子として閾値電圧を保持する第1容量素子 $C_{s1}$ と、第2容量素子として画像信号電圧を保持する第2容量素子 $C_{s2}$ とを備える。なお、有機EL素子OLEDは、逆電圧印加時にコンデンサとして機能するため、図2ではこれを有機EL素子容量 $C_{oled}$ として等価的に表している。

10

#### 【0022】

駆動トランジスタ $T_d$ は、第1端子t11、第2端子t12及び第3端子t13を有している。第1端子t11は、第1容量素子 $C_{s1}$ の電極1bと電氣的に接続されている。また、第2端子t12は、 $V_{DD}$ 線21と電氣的に接続されており第3端子t13は、有機EL素子OLEDのアノード電極と電氣的に接続されている。ここで、第1端子t11はゲート電極（ゲート）に対応し、第2端子t12及び第3端子t13のうち何れか一方がドレイン電極（ドレイン）に、他方がソース電極（ソース）に対応する。なお、第2端子t12と第3端子t13との相対的な電位関係は、後述する各制御期間に応じて変動する。また、「ドレイン」及び「ソース」は、トランジスタの導電型及び相対的な電位関係によって定義される。

20

#### 【0023】

本実施形態で使用するn型のトランジスタにおいては、チャネル領域を挟んで配置された2つの端子（すなわち、第2端子t12と第3端子t13）のうち、高電位側の端子が「ドレイン」となり、低電位側の端子が「ソース」となる。また、p型のトランジスタにおいては、チャネル領域を挟んで配置された2つの端子のうち、低電位側の端子が「ドレイン」となり、高電位側の端子が「ソース」となる。

30

#### 【0024】

駆動トランジスタ $T_d$ では、第1端子t11に印加される電位、より詳細にはソースに対してゲートに印加される電圧値（ゲート・ソース間電圧）が調整されることで、ドレインとソースとの間に流れる電流量が調整される。そして、この第1端子t11に印加される電位により、ドレインとソースとの間において電流が流れ得る状態（オン状態）と、電流が流れ得ない状態（オフ状態）とが選択的に設定される。

#### 【0025】

有機EL素子OLEDは、アノード電極とカソード電極との間に有機EL素子OLEDの導通電圧以上の電位差が生じることにより、アノード電極とカソード電極との間の発光体層に電流が流れ、該発光体層が発光する。具体的に、アノード電極としては、アルミニウム、銀、銅又は金等の金属或いはこれらの合金等を用いることができる。また、カソード電極としては、インジウム錫酸化膜（ITO）等の光透過性を有する導電材料、マグネシウム、銀、アルミニウム、カルシウム等の材料等を用いることができる。なお、発光体層は、該発光体層に注入された正孔と電子とが再結合することによって光を生じる。

40

#### 【0026】

また、本実施形態においては、コモンカソード型の画像表示装置である。つまり、画素回路上に、アノード電極、発光体層さらにカソード電極を順に形成した構造であって、且つカソード電極は全ての画素にて共通の電極である。カソード電極が共通電極であるコモ

50

ンカソード型の画像表示装置であっては、コモンアノード型の画像表示装置に比べて、上部電極であるカソード電極を画素ごとに分断するための分断技術を使用せずに済むために、製造工程を単純化することができる。

#### 【0027】

発光体層としては、例えば、(ポリ)フルオレン誘導体(PF)、(ポリ)パラフェニレンビニレン誘導体(PPV)、ポリフェニレン誘導体(PP)、ポリパラフィニレン誘導体(PPP)、ポリビニルカルバゾール(PVK)、ポリチオフェン誘導体、ポリメチルフェニルシラン(PMPS)等のポリシラン系等を用いることができる。また、発光体層としては、これらの材料に、ペリレン系色素、クマリン系色素又はローダミン系色素等の高分子材料、ルブレン、ペリレン、テトラフェニルブタジエン、キナクリドン又はナイ

10

#### 【0028】

有機EL素子OLEDのアノード電極は、駆動トランジスタ $T_d$ の第3端子 $t_{13}$ と電氣的に接続され、カソード電極はGND線22と電氣的に接続されている。なお、本実施形態で用いる画素回路10では、有機EL素子OLEDのカソード電極が、画像表示装置を構成する全ての画素で共通となるコモンカソード型となっている。

#### 【0029】

閾値電圧検出用トランジスタ $T_{th}$ は、第1端子 $t_{21}$ 、第2端子 $t_{22}$ 及び第3端子 $t_{23}$ を有している。第1端子 $t_{21}$ は、 $T_{th}$ 制御線23と電氣的に接続されている。第2端子 $t_{22}$ は、駆動トランジスタ $T_d$ の第1端子 $t_{11}$ と第1容量素子 $C_{s1}$ の電極1bとを電氣的に接続する配線に対して導電可能に接続されている。また、第3端子 $t_{23}$ は、駆動トランジスタ $T_d$ の第3端子 $t_{13}$ と有機EL素子OLEDのアノード電極とを電氣的に接続する配線に対して導電可能に接続されている。ここで、第1端子 $t_{21}$ がゲート電極に対応し、第2端子 $t_{22}$ 及び第3端子 $t_{23}$ の何れか一方がソース電極に、他方がドレイン電極に夫々対応する。なお、第2端子 $t_{22}$ と第3端子 $t_{23}$ との相対的な電位関係は、駆動トランジスタ $T_d$ と同様、後述する各制御期間に応じて変動する。

20

#### 【0030】

閾値電圧検出用トランジスタ $T_{th}$ では、第1端子 $t_{21}$ に印加される電位、より詳細にはソースに対してゲートに印加される電圧値(ゲート・ソース間電圧)が調整されることで、ドレインとソースとの間に流れる電流量が調整される。そして、この第1端子 $t_{21}$ に印加される電位により、ドレインとソースとの間において電流が流れ得る状態(オン状態)と、電流が流れ得ない状態(オフ状態)とが選択的に設定される。

30

#### 【0031】

また、閾値電圧検出用トランジスタ $T_{th}$ は、自身がオン状態となったときに、駆動トランジスタ $T_d$ のゲートとドレインとを電氣的に接続することができる。そして、駆動トランジスタ $T_d$ のゲート・ソース間電圧が駆動トランジスタ $T_d$ の閾値電圧 $V_{th}$ となるまで、駆動トランジスタ $T_d$ のゲートからドレインに向かって電流が流れる。その結果、駆動トランジスタ $T_d$ の閾値電圧 $V_{th}$ が検出される。

#### 【0032】

つまり、閾値電圧検出用トランジスタ $T_{th}$ は、有機EL素子OLEDの発光前において画素毎に駆動トランジスタ $T_d$ のゲート・ソース間電圧を閾値電圧 $V_{th}$ に基づいて設定することで、駆動トランジスタ $T_d$ における閾値電圧 $V_{th}$ のばらつきを補償する $V_{th}$ 補償機能を実現するために設けられている。なお、駆動トランジスタ $T_d$ のゲート・ソース間電圧が閾値電圧 $V_{th}$ となったとき、駆動トランジスタ $T_d$ には電流が流れなくなるので、このときのゲート・ソース間電圧、即ち $V_{th}$ が第1容量素子 $C_{s1}$ に印加される。

40

#### 【0033】

リセット用トランジスタ $T_{rst}$ は、第1端子 $t_{31}$ 、第2端子 $t_{32}$ 及び第3端子 $t_{33}$ を有している。第1端子 $t_{31}$ は、 $T_{rst}$ 制御線24と電氣的に接続されており、第2端子 $t_{32}$ は、 $V_{DD}$ 線21と電氣的に接続されている。また、第3端子 $t_{33}$ は、スイッチングトランジスタ $T_s$ の第3端子 $t_{43}$ と、第1容量素子 $C_{s1}$ の電極1aとを電氣的に

50

接続する配線に対して導電可能に接続されている。なお、第1端子t 3 1はゲート電極に対応し、第2端子t 3 2はドレイン電極に対応し、第3端子t 3 3はソース電極に対応する。

#### 【0034】

リセット用トランジスタ $T_{rst}$ では、第1端子t 3 1に印加される電位、より詳細には第1端子t 3 1と第3端子t 3 3との間に印加される電圧値（ゲート・ソース間電圧）が調整されることで、ドレインとソースとの間に流れる電流量が調整される。そして、この第1端子t 3 1に印加される電位により、ドレインとソースとの間において電流が流れ得る状態（オン状態）と、電流が流れ得ない状態（オフ状態）とが選択的に設定される。

#### 【0035】

また、リセット用トランジスタ $T_{rst}$ は、自身がオン状態のときに、第1容量素子 $C_{s1}$ の電極1 aに所定の電位を印加することで、ひいては第1容量素子 $C_{s1}$ に閾値電圧が印加される。

#### 【0036】

スイッチングトランジスタ $T_s$ は、第1端子t 4 1、第2端子t 4 2及び第3端子t 4 3を有している。第1端子t 4 1は、走査線2 5と電氣的に接続されており、第2端子t 4 2は、画像信号線2 6と電氣的に接続されている。また、第3端子t 4 3は、リセット用トランジスタ $T_{rst}$ の第3端子t 3 3と、第1容量素子 $C_{s1}$ の電極1 aとを電氣的に接続する配線に対して導電可能に接続されている。なお、第1端子t 4 1はゲート電極に対応し、第2端子t 4 2はドレイン電極に対応し、第3端子t 4 3はソース電極に対応する。

#### 【0037】

スイッチングトランジスタ $T_s$ では、第1端子t 4 1に印加される電位、より詳細には第1端子t 4 1と第3端子t 4 3との間に印加される電圧値（ゲート・ソース間電圧）が調整されることで、ドレインとソースとの間に流れる電流量が調整される。そして、この第1端子t 4 1に印加される電位により、ドレインとソースとの間において電流が流れ得る状態（オン状態）と、電流が流れ得ない状態（オフ状態）とが選択的に設定される。

#### 【0038】

また、スイッチングトランジスタ $T_s$ は、自身がオン状態となるとともに画像信号線2 6に画像信号電圧が供給されたときに、第2容量素子 $C_{s2}$ に画像信号電圧が印加される。

#### 【0039】

第1容量素子 $C_{s1}$ は、後述する $V_{th}$ 検出期間時に駆動トランジスタ $T_d$ の閾値電圧 $V_{th}$ に対応する電荷量を保持する機能を有する。なお、第1容量素子 $C_{s1}$ の一方の電極1 aは、スイッチングトランジスタ $T_s$ の第3端子t 4 3と電氣的に接続されている。また、他方の電極1 bは、駆動トランジスタ $T_d$ の第1端子t 1 1（ゲート）と電氣的に接続されている。

#### 【0040】

第2容量素子 $C_{s2}$ は、後述する書き込み期間時に画像信号電圧に応じた電荷量を保持する機能を有する。なお、第2容量素子 $C_{s2}$ の一方の電極2 aは、スイッチングトランジスタ $T_s$ の第3端子t 4 3と、第1容量素子 $C_{s1}$ の電極1 aとを電氣的に接続する配線に対して導電可能に接続されている。また、他方の電極2 bは、駆動トランジスタ $T_d$ の第3端子t 1 3と有機EL素子OLEDのアノード電極とを電氣的に接続する配線に対して導電可能に接続されている。

#### 【0041】

上述した駆動トランジスタ $T_d$ 、閾値電圧検出用トランジスタ $T_{th}$ 、リセット用トランジスタ $T_{rst}$ 及びスイッチングトランジスタ $T_s$ は、例えばTFTによって構成される。なお、以下で参照する各図面においては、TFTのチャンネルについて、そのタイプ（n型又はp型）を明示していないが、n型又はp型の何れかであり、本実施形態では、n型のTFTを用いるものとする。

#### 【0042】



### ＜画素回路の動作＞

つぎに、図3～図9を参照して、画素回路10の動作について説明する。なお、以下に説明する画素回路10の動作は、図1に示した駆動制御部（制御回路31、電源制御回路32、制御線駆動回路33及び画像信号線駆動回路34）の制御により実現されるものである。また、図3～図9において、電流が流れない部分は点線で示している。

#### 【0043】

図3は、画素回路10の駆動方法を説明するためのタイミングチャートであって、有機EL素子OLEDを順次発光方式で発光させる際の信号波形（駆動波形）を示している。ここで、順次発光方式とは、各画素回路に対するフレーム毎の画像信号電圧の書き込み制御及び各画素回路の発光制御を、同一の制御線又は電源線に共通に接続された画素回路のグループ毎（例えば一行毎、一列毎等）に順次行う方式である。なお、本実施形態では、図1に示した表示パネル20の一行毎に書き込み制御、発光制御が行われるものとする。

#### 【0044】

また、図3において“ $n$ 行目”及び“ $n+1$ 行目”は、図1に示した表示パネル20での行番号を示している。これら行毎のシーケンスでは、発光停止期間、リセット期間、 $V_{th}$ 検出期間、OLED初期化期間、書き込み期間及び発光期間の6つの制御期間を1サイクルとする行毎のサイクルが時間的にずれているが、1サイクルの期間内における各画素回路群の動作は各行で同一である。したがって、以下の説明では、第 $n$ 行の画素回路群に着目し、その動作を説明する。なお、全画素回路に共通のGND線22は常にゼロ電位（0V）であるため説明を適宜省略する。

#### 【0045】

### ＜発光停止期間＞

図4は、発光停止期間時における画素回路10の動作状態を示した図である。発光停止期間では、図3に示したように、 $V_{DD}$ 線21がゼロ電位（0V）、 $T_{th}$ 制御線23が低電位（ $V_{gL}$ ）、 $T_{rst}$ 制御線24が低電位（ $V_{gL}$ ）、走査線25が低電位（ $V_{gL}$ ）、画像信号線26がゼロ電位（0V）とされる。この制御により、図4に示したように、閾値電圧検出用トランジスタ $T_{th}$ がオフ、リセット用トランジスタ $T_{rst}$ がオフ、スイッチングトランジスタ $T_s$ がオフとされる。

#### 【0046】

$V_{DD}$ 線21がゼロ電位となると、有機EL素子OLEDのアノード電位は有機EL素子OLEDの導通電圧近傍の正の値をとる。このとき、第1容量素子 $C_{s1}$ には、前フレームについての $V_{th}$ 検出期間により、駆動トランジスタ $T_d$ の閾値電圧 $V_{th}$ 分の電荷が蓄積されている。また、第2容量素子 $C_{s2}$ には、前フレームについての書き込み期間により画像信号電圧 $V_{data}$ の電荷が蓄積されている。そのため、駆動トランジスタ $T_d$ の第1端子 $t11$ に印加される電位（ゲート電圧）は $V_{th} + V_{data}$ となる。ここで、0階調時の画像信号電圧が0Vとすると、ゲート・ソース間電圧は閾値電圧 $V_{th}$ 以上となるため、駆動トランジスタ $T_d$ はオンとなる。

#### 【0047】

また、駆動トランジスタ $T_d$ の第2端子 $t12$ は、有機EL素子OLEDのアノードに接続された第3端子 $t13$ よりも低電位となるので、第2端子 $t12$ がソースとなり、第3端子 $t13$ がドレインとなる。このとき、駆動トランジスタ $T_d$ のゲート・ソース間電圧は、少なくとも閾値電圧 $V_{th}$ 以上となるため、有機EL素子容量 $C_{oled}$ から $V_{DD}$ 線21に向かって電流が流れ、有機EL素子OLEDのアノード電位は略0Vとなる。これにより、有機EL素子OLEDの発光が停止する。

#### 【0048】

### ＜リセット期間＞

図5は、リセット期間時における画素回路10の動作状態を示した図である。リセット期間では、図3に示したように、 $T_{th}$ 制御線23及び $T_{rst}$ 制御線24が高電位（ $V_{gH}$ ）とされ、 $V_{DD}$ 線21のゼロ電位（ $V_{gH}$ ）、走査線25の低電位（ $V_{gL}$ ）、画像信号線26のゼロ電位（0V）が維持される。この制御により、図5に示したように、閾値電圧検出

10

20

30

40

50

用トランジスタ  $T_{th}$  がオン、リセット用トランジスタ  $T_{rst}$  がオンとされる。

#### 【0049】

閾値電圧検出用トランジスタ  $T_{th}$  及びリセット用トランジスタ  $T_{rst}$  のオンにより、前フレームの発光制御で第1容量素子  $C_{s1}$  に蓄積されていた閾値電圧  $V_{th}$  分の電荷と、第2容量素子  $C_{s2}$  に蓄積されていた画像信号電圧  $V_{data}$  分の電荷と、有機EL素子容量  $C_{oled}$  に蓄積されていた電荷とが合わさる。このとき、第1容量素子  $C_{s1}$  の容量及び第2容量素子  $C_{s2}$  の容量に比べ、有機EL素子容量  $C_{oled}$  の容量が非常に大きいとすると、電荷を合わせた後の電位は、電荷を合わせる前の有機EL素子OLEDのアノード電位である略0Vになる。

#### 【0050】

なお、本実施形態では、 $V_{DD}$ 線21及びGND線22におけるゼロ電位を0Vとしているが、第1容量素子  $C_{s1}$  に蓄えられる電圧をオフセットする電圧(=電源線の基準電位)であればよく、これに限定されるものではない。また、画像信号線26の電位をゼロ電位としているが、これは画像信号が0階調のときの輝度を規定するための電位、即ち、画像信号線26の基準電位であればよく、これに限定されるものではない。

#### 【0051】

<  $V_{th}$  検出期間 >

図6は、 $V_{th}$  検出期間時における画素回路10の動作状態を示した図である。 $V_{th}$  検出期間では、図3に示したように、 $V_{DD}$ 線21が低電位( $-V_p$ )とされ、 $T_{th}$  制御線23の高電位( $V_{gH}$ )、 $T_{rst}$  制御線24の高電位( $V_{gH}$ )、走査線25の低電位( $V_{gL}$ )、画像信号線26のゼロ電位(0V)が維持される。

#### 【0052】

$V_{DD}$ 線21が $-V_p$ となると、駆動トランジスタ  $T_d$  のゲート電位が“ $-V_p + V_{th}$ ”に達するまで、有機EL素子容量  $C_{oled}$ 、第1容量素子  $C_{s1}$  及び第2容量素子  $C_{s2}$  に蓄積された電荷が放電され、駆動トランジスタ  $T_d \rightarrow V_{DD}$ 線21という経路で電流が流れる。そして、駆動トランジスタ  $T_d$  のゲート電位が“ $-V_p + V_{th}$ ”に達すると、駆動トランジスタ  $T_d$  はオフ状態となり、第1容量素子  $C_{s1}$  には、閾値電圧  $V_{th}$  に応じた電荷が蓄積された状態となる。このように、 $V_{th}$  検出期間では、駆動トランジスタ  $T_d$  の閾値電圧  $V_{th}$  に応じた電荷が第1容量素子  $C_{s1}$  に蓄積されることで、画素毎に異なる閾値電圧  $V_{th}$  のばらつきが補償される。

#### 【0053】

また、この  $V_{th}$  検出期間において、第1容量素子  $C_{s1}$  の電極1aは、リセット用トランジスタ  $T_{rst}$  を介して  $V_{DD}$ 線21に接続されるので、第1容量素子  $C_{s1}$  が駆動トランジスタ  $T_d$  の第1端子と  $V_{DD}$ 線21との間に接続された状態となる。このとき、駆動トランジスタ  $T_d$  の第1端子t11から見た第1容量素子  $C_{s1}$  は、駆動トランジスタ  $T_d$  の第1端子t11と画像信号線26との間に存在する寄生容量に対して十分大きい。つまり、画像信号線26の寄生容量による電位変動が小さい構成とすることができる。この結果、他のラインの画像信号電圧の書き込みを行っている画像信号線の電位変動が画素回路に与える影響を抑制することが出来、第1容量素子  $C_{s1}$  による閾値電圧  $V_{th}$  の検出動作が安定するため、 $V_{th}$  補償精度をより向上させることができる。

#### 【0054】

また、駆動トランジスタの閾値電圧  $V_{th}$  の検出時に、 $V_{DD}$ 線21と駆動トランジスタ  $T_d$  の第1端子t11との間に第1容量素子  $C_{s1}$  が接続された構成となるので、駆動トランジスタ  $T_d$  の寄生容量の影響を低減することができる。つまり、駆動トランジスタ  $T_d$  の寄生容量による電位変動が小さくすることができ、前フレームの画像信号電圧の影響を抑制することができる。

#### 【0055】

ところで、駆動トランジスタ  $T_d$  がオフ状態となると、有機EL素子OLEDのアノード電位は、 $-V_p + V_{th}$  となるが、この電位が有機EL素子OLEDの閾値を超えないよう  $V_p$  を調整することで、 $V_{th}$  が大きくなった場合でも  $V_{th}$  検出動作を行うことができる

。なお、 $V_{th}$ 検出を行うためには、 $V_{th}$ 検出開始時における駆動トランジスタ $T_d$ のゲート・ソース間電圧が閾値電圧 $V_{th}$ よりも大きいことが必要である。つまり、 $V_{th}$ 検出開始時の駆動トランジスタ $T_d$ の第1端子 $t_{11}$ の電位と、 $V_{DD}$ 線21に印加される電位との差が閾値電圧 $V_{th}$ よりも大きくなければならない。リセット期間終了時の有機EL素子OLEDのアノード電位は、上述したように略0Vとなっている。この状態から $V_{DD}$ 線21を $-V_p$ にすると、有機EL素子OLEDのアノード電極側に対し、 $V_{DD}$ 線の方が低電位となるので、OLEDのアノード電極と接続されている駆動トランジスタ $T_d$ の端子がドレイン、 $V_{DD}$ 線と接続されている駆動トランジスタ $T_d$ の端子がソースとなる。この時、駆動トランジスタ $T_d$ のゲート・ソース間電圧 $V_{gs}$ は、 $V_{gs} = 0 - (-V_p) = V_p$ となる。これが閾値電圧 $V_{th}$ よりも大きい値でなければならないので、 $V_p > V_{th}$ であることが必要である。

10

#### 【0056】

##### <OLED初期化期間>

図7は、OLED初期化期間時における画素回路10の動作状態を示した図である。OLED初期化期間では、図3に示したように、 $T_{th}$ 制御線23が低電位( $V_{gL}$ )とされた後、所定のタイミングで $V_{DD}$ 線21がゼロ電位(0V)とされる。なお、 $T_{rst}$ 制御線24の高電位( $V_{gH}$ )、走査線25の低電位( $V_{gL}$ )、画像信号線26のゼロ電位(0V)は維持される。この制御により、図7に示したように、閾値電圧検出用トランジスタ $T_{th}$ がオフとされる。

#### 【0057】

20

$T_{th}$ 制御線23が低電位となり、 $V_{DD}$ 線21がゼロ電位(0V)となると、駆動トランジスタ $T_d$ の第1端子 $t_{11}$ には、第1容量素子 $C_{s1}$ により閾値電圧 $V_{th}$ が印加され、駆動トランジスタ $T_d$ はオンとなる。このとき、駆動トランジスタ $T_d$ の第2端子 $t_{12}$ の電位は、第3端子 $t_{13}$ の電位より高電位となる。そのため、このOLED初期化期間においては、第2端子 $t_{12}$ がドレイン、第3端子 $t_{13}$ がソースとなる。これにより、 $V_{DD}$ 線21から有機EL素子容量 $C_{oled}$ 及び第2容量素子 $C_{s2}$ に電流が流れるため、有機EL素子容量 $C_{oled}$ の両端電位は0Vとなり、第2容量素子 $C_{s2}$ の両端電位も0Vとなる。つまり、有機EL素子OLEDのアノード電位は0Vとなる。

#### 【0058】

##### <書き込み期間>

30

図8は、書き込み期間時における画素回路10の動作状態を示した図である。書き込み期間では、図3に示したように、 $T_{rst}$ 制御線24が低電位( $V_{gL}$ )とされた後、表示対象となるフレームの画像信号に応じた画像信号電圧 $V_{data}$ が画像信号線26に所定の期間供給される。また、画像信号電圧 $V_{data}$ の供給タイミングと同期して、走査線25の電位が高電位( $V_{gH}$ )とされる。なお、 $V_{DD}$ 線21のゼロ電位(0V)、 $T_{th}$ 制御線23の低電位( $V_{gL}$ )は維持される。この制御により、図8に示したように、リセット用トランジスタ $T_{rst}$ がオフとされ、画像信号電圧 $V_{data}$ が供給される間、スイッチングトランジスタ $T_s$ がオンとされる。

#### 【0059】

$T_{rst}$ 制御線24が $V_{gL}$ 、走査線25が $V_{gH}$ となると、駆動トランジスタ $T_d$ の第3端子 $t_{13}$ の電位は、第2端子 $t_{12}$ の電位よりも高電位となる。そのため、この書き込み期間においては、第2端子 $t_{12}$ がソース、第3端子 $t_{13}$ がドレインとなる。これにより、画像信号線26から供給される $V_{data}$ に応じた電流は、スイッチングトランジスタ $T_s$ →第2容量素子 $C_{s2}$ →駆動トランジスタ $T_d$ → $V_{DD}$ 線21という経路で流れる。この結果、第2容量素子 $C_{s2}$ には画像信号線26の画像信号電圧 $V_{data}$ と、有機EL素子OLEDのアノード電位0Vとの差である $V_{data}$ 分の電荷が蓄積される。

40

#### 【0060】

また、このときの駆動トランジスタ $T_d$ の第1端子 $t_{11}$ (ゲート)と、第2端子 $t_{12}$ (ソース)との電位差、つまりゲート・ソース間電圧は、第1容量素子 $C_{s1}$ に蓄積されている電位差と、第2容量素子 $C_{s2}$ に蓄積されている電位差との和になる。第1容量素子

50

$C_{s1}$ に蓄えられている電位差は $V_{th}$ であるので、駆動トランジスタ $T_d$ のゲート・ソース間電圧 $V_{gs}$ は、 $V_{gs} = V_{th} + V_{data}$ となる。

【0061】

本実施形態の構成では、前段のOLED初期化期間において、有機EL素子OLEDのアノード電位を0Vに保つことができるため、第2容量素子 $C_{s2}$ に書込まれる画像信号電圧にかかわらず有機EL素子OLEDのアノード電位は変動せず、比較的高い電圧を第2容量素子 $C_{s2}$ に書き込んだ場合であっても、階調特性が非線形となることを抑制することができる。

【0062】

<発光期間>

10

図9は、発光期間時における画素回路10の動作状態を示した図である。発光期間では、図3に示したように、 $V_{DD}$ 線21の電位が高電位( $V_{DD}$ )とされ、 $T_{th}$ 制御線23の低電位( $V_{gL}$ )、 $T_{rst}$ 制御線24の低電位( $V_{gL}$ )、走査線25の低電位( $V_{gL}$ )、画像信号線26のゼロ電位(0V)が維持される。

【0063】

$V_{DD}$ 線21が高電位となると、駆動トランジスタ $T_d$ の第2端子t12の電位が、第3端子t13の電位よりも高電位となる。そのため、この発光期間においては、第2端子t12がドレイン、第3端子t13がソースとなる。これにより、閾値電圧 $V_{th}$ を保持する第1容量素子 $C_{s1}$ と、画像信号電圧 $V_{data}$ を保持する第2容量素子 $C_{s2}$ とが直列に接続され、駆動トランジスタ $T_d$ のゲート・ソース間電圧 $V_{gs}$ は、 $V_{gs} = V_{th} + V_{data}$ となる。この結果、駆動トランジスタ $T_d$ はオン状態となり、 $V_{DD}$ 線21→駆動トランジスタ $T_d$ →有機EL素子OLED→GND線22という経路で $V_{data}$ に応じた電流が流れ、有機EL素子OLEDが発光する。

20

【0064】

このとき、有機EL素子OLEDの発光時、駆動トランジスタ $T_d$ の第3端子t13(ソース)の電位は、有機EL素子OLEDのアノード電位と同値となるため、データの書き込み期間の電位から変動することになる。その際、駆動トランジスタ $T_d$ のゲートは、第1容量素子 $C_{s1}$ と第2容量素子 $C_{s2}$ とを介して有機EL素子OLEDのアノード側と接続されているため、ゲート電位は有機EL素子OLEDのアノード側の電位の変動に追従して変動する。従って、ゲート電圧はデータ書き込み期間での値、即ち、 $V_{th} + V_{data}$ を保つ。

30

【0065】

<書き込み効率について>

上述したように、 $V_{th}$ 検出期間では、第1容量素子 $C_{s1}$ に駆動トランジスタ $T_d$ の閾値電圧 $V_{th}$ に相当する電圧が印加されて保持される。そして、書き込み期間では、画像信号線26から供給される画像信号が第2容量素子 $C_{s2}$ のみに印加されて保持される。また発光期間では、第1容量素子 $C_{s1}$ に保持された閾値電圧と第2容量素子 $C_{s2}$ に保持された画像信号電圧との加算電圧が駆動トランジスタ $T_d$ に印加されるので、書き込み効率は理論的に“1”となる。つまり、本実施形態に係る画像表示装置であっては、書き込み効率が、理論的に100%となる。

40

【0066】

以上のように、本実施形態の画像表示装置100によれば、駆動トランジスタ $T_d$ の閾値電圧 $V_{th}$ が第1容量素子 $C_{s1}$ に保持されるよう制御するとともに、画像信号電圧 $V_{data}$ が第2容量素子 $C_{s2}$ に保持されるよう制御し、有機EL素子OLEDのカソードを共通電極とするように構成したので、書き込み効率を改善することができるとともに、画像表示装置の製造を容易にすることができるという効果を有する。

【0067】

また、閾値電圧 $V_{th}$ の検出時に、駆動トランジスタ $T_d$ のゲートに第1容量素子 $C_{s1}$ が接続される構成としたので、寄生容量に強く、他のラインのデータ書き込み動作を行っている画像信号線の電圧変動の影響を受けにくくすることができる。また、有機EL素子OL

50

ＥＤの導通電圧の大きさに関係なく、駆動トランジスタ $T_d$ の閾値電圧の検出を行うことができる。

#### 【００６８】

なお、本実施形態では、ＯＬＥＤ初期化期間から書き込み期間にかけての $V_{DD}$ 線の電位をゼロ電位（０Ｖ）としたが、この期間での電位を調整することで、有機ＥＬ素子ＯＬＥＤの輝度調整を行うことが可能である。以下、この制御方法を本実施形態の変形例として説明する。

#### 【００６９】

図１０は、第１の実施形態の変形例による画素回路１０の駆動方法を説明するためのタイミングチャートである。図１０において、“ $n$ 行目”及び“ $n+1$ 行目”は、図３と同様に表示パネル２０での行番号を示している。以下の説明では、第 $n$ 行の画素回路群に着目し、その動作を説明する。なお、全画素回路に共通の $GND$ 線２２は、常にゼロ電位（０Ｖ）であるため適宜説明を省略する。また、発光停止期間、リセット期間及び $V_{th}$ 検出期間での動作は、上述した第１の実施形態と同様であるため、説明を省略する。

#### 【００７０】

<ＯＬＥＤ初期化期間>

図１１は、図１０に示したＯＬＥＤ初期化期間時における画素回路１０の動作状態を示した図である。このＯＬＥＤ初期化期間では、図１０に示したように、 $T_{th}$ 制御線２３が低電位（ $V_{gL}$ ）とされた後、所定のタイミングで $V_{DD}$ 線２１がオフセット電位（ $V_{offset}$ ）とされる。なお、 $T_{rst}$ 制御線２４の高電位（ $V_{gH}$ ）、走査線２５の低電位（ $V_{gL}$ ）、画像信号線２６のゼロ電位（０Ｖ）は維持される。

#### 【００７１】

$T_{th}$ 制御線２３が低電位、 $V_{DD}$ 線２１がオフセット電位となると、駆動トランジスタ $T_d$ がオンとなるので、有機ＥＬ素子容量 $C_{oled}$ がオフセット電位に初期化される。これにより、有機ＥＬ素子ＯＬＥＤのアノード電位（駆動トランジスタ $T_d$ の第３端子 $t13$ の電位）がオフセット電位となるので、後段の書き込み期間において、比較的高い電圧を書き込んだ場合であっても、有機ＥＬ素子ＯＬＥＤのアノード電位をオフセット電位に維持することができる。

#### 【００７２】

<書き込み期間>

図１２は、図１０に示した書き込み期間時における画素回路１０の動作状態を示した図である。この書き込み期間では、図１０に示したように、 $T_{rst}$ 制御線２４が低電位（ $V_{gL}$ ）とされた後、表示対象となるフレームの画像信号に応じた画像信号電圧 $V_{data}$ が画像信号線２６に所定の期間供給される。また、画像信号電圧 $V_{data}$ の供給タイミングと同期して、走査線２５の電位が高電位（ $V_{gH}$ ）とされ、スイッチングトランジスタ $T_s$ がオンとされる。なお、 $V_{DD}$ 線２１のオフセット電位（ $V_{offset}$ ）、 $T_{th}$ 制御線２３の低電位（ $V_{gL}$ ）は維持される。

#### 【００７３】

$T_{rst}$ 制御線２４が $V_{gL}$ とされ、走査線２５が $V_{gH}$ とされると、駆動トランジスタ $T_d$ の第３端子 $t13$ の電位は、第２端子 $t12$ の電位よりも高電位となる。そのため、この書き込み期間においては、第２端子 $t12$ がソース、第３端子 $t13$ がドレインとなる。これにより、画像信号線２６から供給される $V_{data}$ に応じた電流は、図８に示した経路で $V_{DD}$ 線２１に流れ、結果として、第２容量素子 $C_{s2}$ には画像信号線２６の画像信号電圧 $V_{data}$ と、有機ＥＬ素子ＯＬＥＤのアノード電位 $V_{offset}$ との差となる、 $V_{data} - (V_{offset})$ 分の電荷が蓄積される。例えば、 $V_{offset}$ が０．５Ｖであるとする、 $V_{data} - (0.5) = V_{data} - 0.5$ Ｖ分の電荷が蓄積されることになる。なお、 $V_{offset}$ として $V_{DD}$ 線２１印加する電位は、有機ＥＬ素子ＯＬＥＤの導通電圧を超えると当該有機ＥＬ素子ＯＬＥＤが発光してしまうため、有機ＥＬ素子ＯＬＥＤの導通電圧以下の範囲であることが好ましい。

#### 【００７４】

このとき、駆動トランジスタ $T_d$ のゲート電位は、第1容量素子 $C_{s1}$ に蓄えられている電位差と、第2容量素子 $C_{s2}$ に蓄えられている電位差の和となる。第1容量素子 $C_{s1}$ に蓄えられている電位差は $V_{th}$ であるので、駆動トランジスタ $T_d$ のゲート・ソース間電圧 $V_{gs}$ は、 $V_{gs} = V_{th} + V_{data} - V_{offset}$ となる。すなわち、上述した第1実施形態の書き込み期間と比べて、 $V_{gs}$ が $V_{offset}$ に応じた値だけオフセットされることになる。

#### 【0075】

以上のように、本変形例によれば、OLED初期化期間と書き込み期間時の $V_{DD}$ 線21の電位を $V_{offset}$ とすることで、発光時の駆動トランジスタ $T_d$ のゲート・ソース間電圧を、 $-V_{offset}$ 分だけオフセットさせることができる。これにより、発光期間時に駆動トランジスタ $T_d$ を通過する電流量を調整することができるため、輝度調節を行うことが可能となる。例えば、表示パネル20の大画面化による電圧降下等の影響により表示部内の輝度分布に変化が生じた場合、 $V_{offset}$ の値を調節することで輝度分布を改善することが出来る。

10

#### 【0076】

##### [第2の実施形態]

次に、本発明に係る画像表示装置の第2の実施形態について説明する。なお、上述した第1の実施形態と同様の構成要素については同じ符号を付与し、説明を省略する。

#### 【0077】

図13は、第2の実施形態に係る画像表示装置200の構成を模式的に示した図である。同図に示したように、画像表示装置200は、後述する画素回路11がマトリクス状（二次元平面的）に配列された表示パネル40と、制御回路35と、昇圧回路36と、電源制御回路32と、制御線駆動回路33と、画像信号線駆動回路34とを備えている。なお、図13では、m列n行分の画素回路11がマトリクス状に配列された例を示している。

20

#### 【0078】

表示パネル40には、画面水平方向（図中行方向）に $V_{DD}$ 線21、 $T_{th}$ 制御線23、 $T_{rst}$ 制御線24、走査線25、 $V_{offset}$ 線27が配設されている。また、画面垂直方向（図中列方向）には、画像信号線26が配設されている。ここで、 $V_{offset}$ 線27は、昇圧回路36と電気的に接続されている。なお、図示していないが表示パネル40のグランドとなるGND線22が、画素回路11の夫々に接続されているものとする。

#### 【0079】

制御回路35は、制御回路31と同様、例えば演算回路、論理回路などを内部に含む駆動用ICやカウンタなどの制御機器を用いて構成することができ、入力された画像データや、当該画像データを表示パネル20に表示させるための電源（ $V_{gL}$ 、 $V_{gH}$ 、 $V_{DD}$ 、 $-V_p$ 、 $V_{data}$ 、 $V_f$ 等）を、電源制御回路32、制御線駆動回路33、画像信号線駆動回路34及び昇圧回路36から供給するタイミングを制御する。

30

#### 【0080】

昇圧回路36は、DC/DCコンバータ等を用いて構成することができ、制御回路35から入力された信号を所定の電位（ $V_f$ ）に昇圧し、 $V_{offset}$ 線27に印加する。

#### 【0081】

なお、図13の構成において、 $V_{DD}$ 線21、GND線22、 $T_{th}$ 制御線23、 $T_{rst}$ 制御線24、走査線25、画像信号線26及び $V_{offset}$ 線27、ならびに制御回路35、電源制御回路32、制御線駆動回路33、画像信号線駆動回路34及び昇圧回路36に関するレイアウトは、その一例を示すものであり、これらのレイアウトに限られるものではない。

40

#### 【0082】

##### <画素回路の構成>

図14は、図13に示した画素回路11（1画素）の構成の一例を示した図である。同図に示したように、画素回路11は、発光素子である有機EL素子OLEDと、有機EL素子OLEDを駆動するためのドライバ素子である駆動トランジスタ $T_d$ と、閾値電圧検出素子である閾値電圧検出用トランジスタ $T_{th}$ と、第1容量素子 $C_{s1}$ への電圧印加を制御

50

する電圧印加素子としてのリセット用トランジスタ $T_{rst}$ と、スイッチング素子としてのスイッチングトランジスタ $T_s$ と、第1容量素子として閾値電圧を保持する第1容量素子 $C_{s1}$ と、第2容量素子として画像信号電圧を保持する第2容量素子 $C_{s2}$ とを備える。なお、有機EL素子OLEDは、逆電圧印加時にコンデンサとして機能する。そのため、図14ではこれを有機EL素子容量 $C_{oled}$ として等価的に表している。

#### 【0083】

図14に示したように、画素回路11の構成は、図2に示した画素回路10でのリセット用トランジスタ $T_{rst}$ の第2端子t32の接続先を、 $V_{DD}$ 線21から定電位線である $V_{offset}$ 線27に変更したものとなっている。

#### 【0084】

10

#### <画素回路の動作>

次に、図15、図16を参照して、画素回路11の動作について説明する。なお、画素回路11の駆動は、図1に示した駆動制御部（制御回路35、電源制御回路32、制御線駆動回路33、画像信号線駆動回路34及び昇圧回路36）の制御により実現されるものである。

#### 【0085】

図15は、画素回路11の駆動方法を説明するためのタイミングチャートである。ここで、図15に示す制御シーケンスは、図13に示した画素回路群を順次発光方式（一行毎）で発光制御する場合を示したものである。なお、発光停止期間、リセット期間、書き込み期間の動作については、上述した第1の実施形態と同様であるため説明は省略する。また、全画素回路に共通のGND線22は常にゼロ電位（0V）であり、 $V_{offset}$ 線27は常に $V_f$ （例えば、 $-V_p + 1V$ ）であるため、説明を適宜省略する。

20

#### 【0086】

図16は、図15に示した $V_{th}$ 検出期間時における画素回路11の動作状態を示した図である。 $V_{th}$ 検出期間では、図15に示したように、 $V_{DD}$ 線21が低電位（ $-V_p$ ）とされ、 $T_{th}$ 制御線23の高電位（ $V_{GH}$ ）、 $T_{rst}$ 制御線24の高電位（ $V_{GH}$ ）、走査線25の低電位（ $V_{gL}$ ）、画像信号線26のゼロ電位（0V）が維持される。

#### 【0087】

ここで、 $V_{offset}$ 線27が $V_f = -V_p + 1V$ の電位であったとすると、駆動トランジスタ $T_d$ のゲート電位が、 $-V_p + V_{th}$ に達するまで、有機EL素子容量 $C_{oled}$ 、第1容量素子 $C_{s1}$ 及び第2容量素子 $C_{s2}$ に蓄積された電荷が放電され、駆動トランジスタ $T_d \rightarrow V_{DD}$ 線21という経路で電流が流れる。そして、駆動トランジスタ $T_d$ のゲート電位が $-V_p + V_{th}$ に達すると、駆動トランジスタ $T_d$ はオフ状態となる。このとき、第1容量素子 $C_{s1}$ には、 $V_{offset}$ 線27の作用により、 $-V_p + V_{th} - V_f = V_{th} - 1$ に応じた電荷が蓄積される、つまり、上述した第1の実施形態での $V_{th}$ 検出期間と比べて、 $V_{offset}$ 線27の電位分オフセットされた電荷が蓄積されることになる。

30

#### 【0088】

ところで、上述した第1の実施形態の変形例では、 $V_{DD}$ 線21にて $V_{offset}$ とする電位が有機EL素子OLEDの導通電圧を超えると、有機EL素子OLEDが発光してしまうため、有機EL素子OLEDの導通電圧以下の範囲でのみでしか輝度を調整することができない。しかし、本実施形態の構成では、 $V_{DD}$ 線21とは独立した $V_{offset}$ 線27を用いて第1容量素子 $C_{s1}$ に蓄積される電荷量を調整することができるため、輝度を調整する範囲に制限はない。したがって、第1の実施形態の変形例と比較し、より大きな範囲で輝度を調節することが可能となる。

40

#### 【0089】

以上、本発明に係る実施形態について説明したが、本発明はこれに限定されるものではなく、本発明の主旨を逸脱しない範囲での種々の変更、置換、追加等が可能である。

#### 【図面の簡単な説明】

#### 【0090】

【図1】第1の実施形態に係る画像表示装置の構成を模式的に示した図である。

50

【図 2】図 1 に示した画素回路の構成の一例を示した図である。

【図 3】図 2 に示した画素回路の駆動方法を説明するためのタイミングチャートである。

【図 4】図 3 に示した発光停止期間時における画素回路の動作状態を示した図である。

【図 5】図 3 に示したリセット期間時における画素回路の動作状態を示した図である。

【図 6】図 3 に示した  $V_{th}$  検出期間時における画素回路の動作状態を示した図である。

【図 7】図 3 に示した O L E D 初期化期間時における画素回路の動作状態を示した図である。

【図 8】図 3 に示した書き込み期間時における画素回路の動作状態を示した図である。

【図 9】図 3 に示した発光期間時における画素回路の動作状態を示した図である。

【図 10】第 1 の実施形態の変形例による画素回路の駆動方法を説明するためのシーケンス図である。 10

【図 11】図 10 に示した O L E D 初期化期間時における画素回路の動作状態を示した図である。

【図 12】図 10 に示した書き込み期間時における画素回路の動作状態を示した図である。

【図 13】第 2 の実施形態に係る画像表示装置の構成を模式的に示した図である。

【図 14】図 13 に示した画素回路の構成の一例を示した図である。

【図 15】図 14 に示した画素回路の駆動方法を説明するためのタイミングチャートである。

【図 16】図 15 に示した  $V_{th}$  検出期間時における画素回路の動作状態を示した図である 20

【符号の説明】

【0091】

100 画像表示装置

200 画像表示装置

10 画素回路

11 画素回路

20 表示パネル

21  $V_{DD}$  線

22 G N D 線

23  $T_{th}$  制御線

24  $T_{rst}$  制御線

25 走査線

26 画像信号線

27  $V_{offset}$  線

31 制御回路

32 電源制御回路

33 制御線駆動回路

34 画像信号線駆動回路

35 制御回路

36 昇圧回路

40 表示パネル

$C_{oled}$  有機 E L 素子容量

$C_{s1}$  第 1 容量素子

$C_{s2}$  第 2 容量素子

O L E D 有機 E L 素子

$T_d$  駆動トランジスタ

$T_{rst}$  リセット用トランジスタ

$T_s$  スイッチングトランジスタ

$T_{th}$  閾値電圧検出用トランジスタ

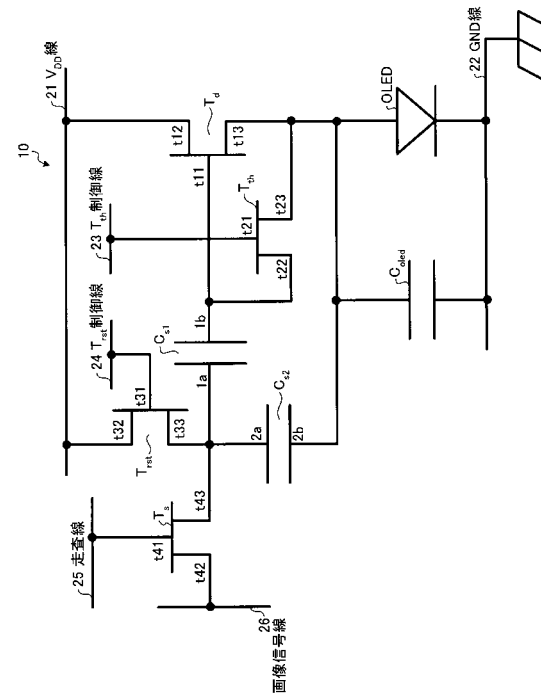
30

40

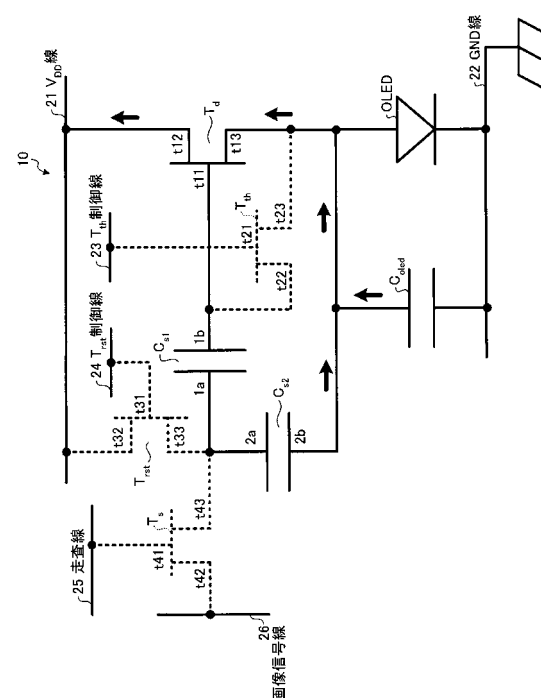
50



【図 2】

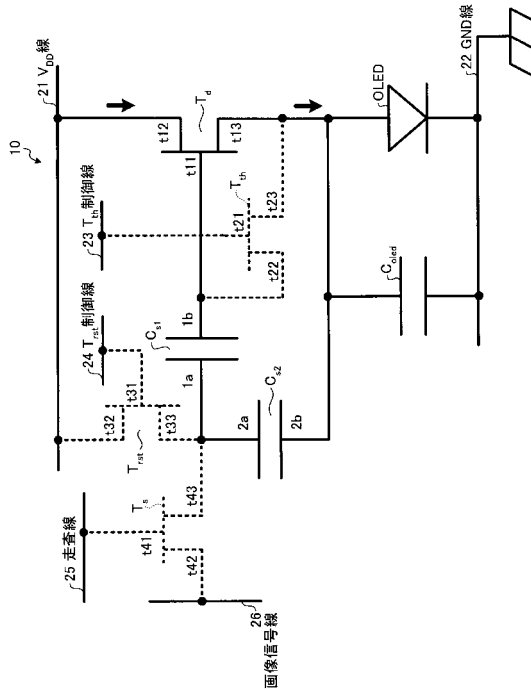


【図 4】

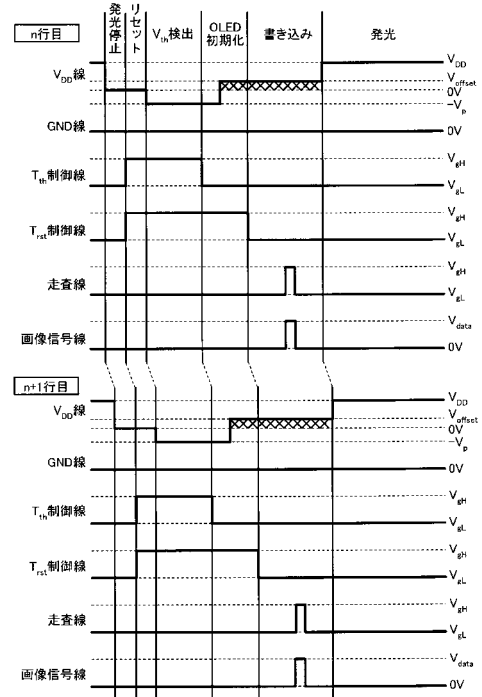




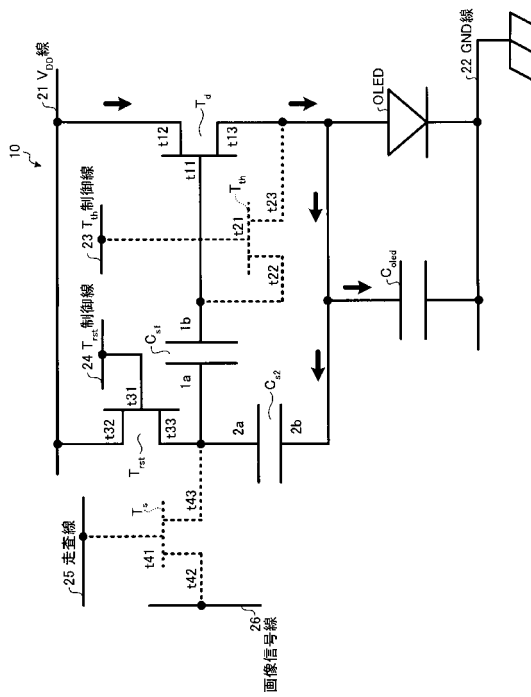
【図 9】



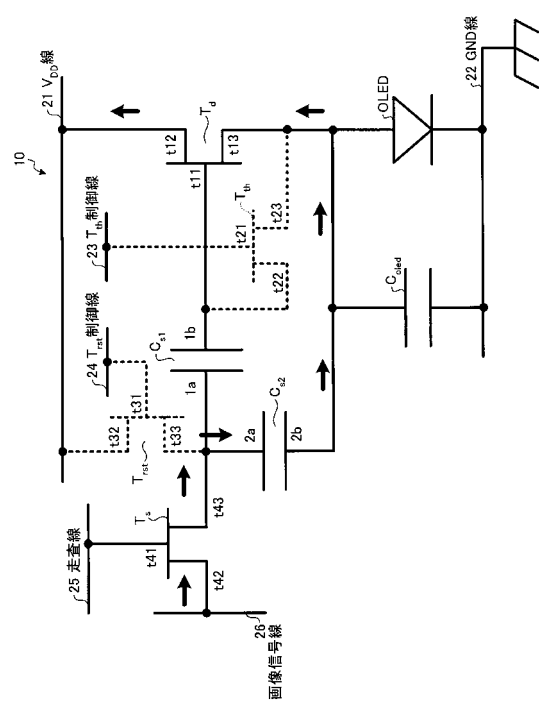
【図 10】



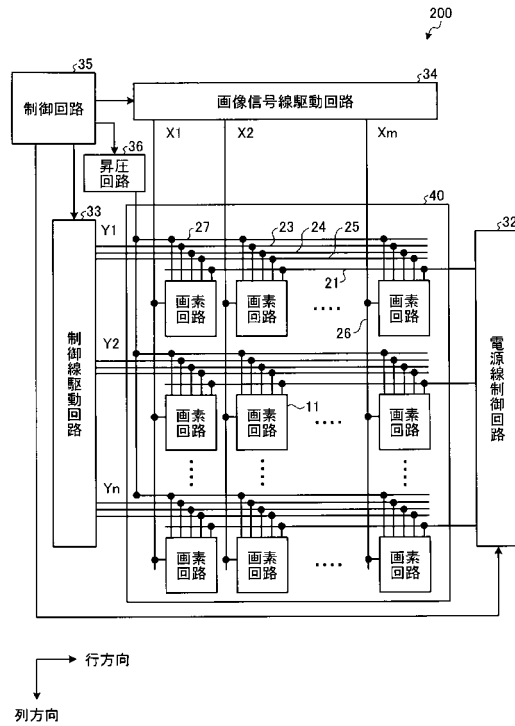
【図 1 1】



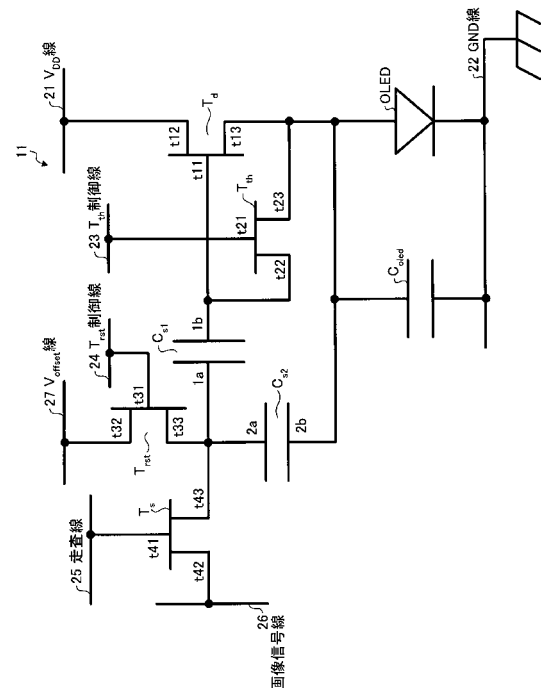
【図 12】



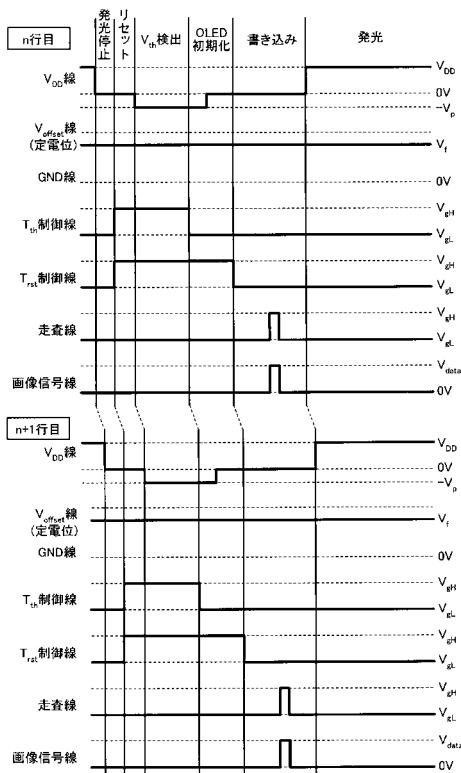
【図 13】



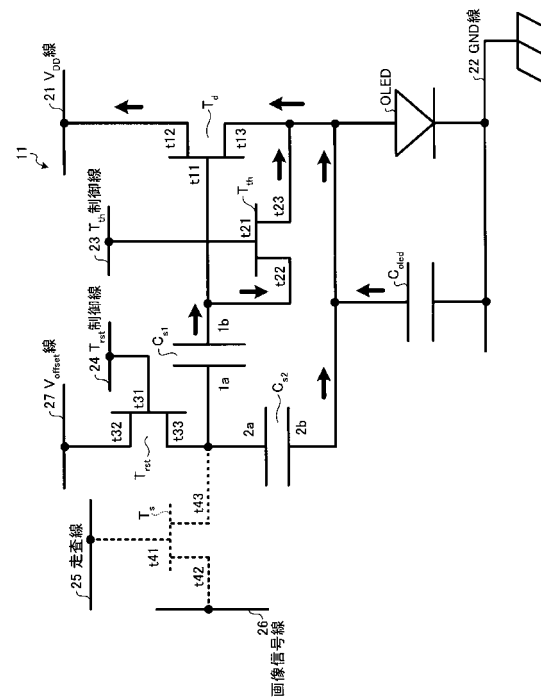
【図 14】



【図 15】



【図 16】



フロントページの続き

(51)Int.Cl. F I  
 G 0 9 G 3/20 6 4 2 C  
 G 0 9 G 3/20 6 1 1 H

(74)代理人 100106183  
 弁理士 吉澤 弘司

(74)代理人 100160967  
 弁理士 ▲濱▼口 岳久

(72)発明者 戎野 浩平  
 神奈川県大和市下鶴間 1 6 2 3 - 1 4 株式会社京セラディスプレイ研究所内

(72)発明者 高杉 親知  
 神奈川県大和市下鶴間 1 6 2 3 - 1 4 株式会社京セラディスプレイ研究所内

(72)発明者 谷 領介  
 神奈川県大和市下鶴間 1 6 2 3 - 1 4 株式会社京セラディスプレイ研究所内

審査官 山崎 仁之

(56)参考文献 特開 2 0 0 5 - 1 6 4 8 9 1 (J P, A)  
 特開 2 0 0 7 - 2 0 6 2 7 3 (J P, A)  
 特表 2 0 0 6 - 5 1 6 7 4 5 (J P, A)  
 特開 2 0 0 5 - 2 5 8 4 0 7 (J P, A)  
 特開 2 0 0 9 - 0 8 6 2 5 3 (J P, A)  
 特開 2 0 0 3 - 2 2 3 1 3 8 (J P, A)  
 特開 2 0 0 6 - 0 1 1 4 3 5 (J P, A)  
 特開 2 0 0 4 - 2 4 6 2 0 4 (J P, A)

(58)調査した分野(Int.Cl., DB名)  
 G 0 9 G 3 / 3 0  
 G 0 9 G 3 / 2 0  
 H 0 1 L 5 1 / 5 0  
 H 0 5 B 3 3 / 0 8

种类：A1本发明的目的是提供一种能够提高写入效率的共阴极型顺序发光型图像显示装置和驱动方法。和发光器件OLED中，根据第三端子T13之间的电位差被连接到的光的阳极发光元件OLED和第一端子T11，第二端子T12和第三端子T13之间流动的电流用于保持待控制的驱动晶体管T<sub>d</sub>的第一电容元件C<sub>s1</sub>，驱动晶体管T<sub>d</sub> 阈值电压，和V<sub>DD</sub> 线共同连接用于连接各线和多个像素电路，用于保持图像信号电压和S2的第二电容器C<sub>2</sub>，和提供，在发光元件OLED的发光期间中，第一端子T11和第三端子T13之间的电压差是第一电容元件C<sub>S1</sub> 和第二电容器元件C<sub>S2</sub>，并且电流经由驱动晶体管T<sub>d</sub> 从V<sub>DD</sub> 线流到发光元件OLED。 .The

