

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5037858号  
(P5037858)

(45) 発行日 平成24年10月3日(2012.10.3)

(24) 登録日 平成24年7月13日(2012.7.13)

(51) Int.Cl.	F I
<b>G09G 3/30 (2006.01)</b>	G09G 3/30 J
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 622D
<b>HO1L 51/50 (2006.01)</b>	G09G 3/20 621A
	G09G 3/20 641D
	HO5B 33/14 A
請求項の数 4 (全 13 頁) 最終頁に続く	

(21) 出願番号 特願2006-137080 (P2006-137080)  
 (22) 出願日 平成18年5月16日(2006.5.16)  
 (65) 公開番号 特開2007-310034 (P2007-310034A)  
 (43) 公開日 平成19年11月29日(2007.11.29)  
 審査請求日 平成21年2月4日(2009.2.4)

(73) 特許権者 510048417  
 グローバル・オーエーディー・テクノロジー・リミテッド・ライアビリティ・カンパニー  
 GLOBAL OLED TECHNOLOGY LLC.  
 アメリカ合衆国、バージニア州、ハーンドン、パーク・センター・ロード 13873、スイート 330  
 13873 Park Center Road, Suite 330, Herndon, VA 20171, United States of America

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項1】

供給される電流に応じて発光する発光素子と、  
 前記発光素子の発光輝度に対応する信号電圧を書き込むデータ書き込み手段と、  
 前記データ書き込み手段によって書き込まれた信号電圧に応じて前記発光素子に供給される電流値を制御する電流値制御手段と、  
 前記発光素子に電流を供給する電源線と、  
 を備えたアクティブマトリクス型の表示装置において、  
 前記データ書き込み手段は、  
 発光輝度に対応した電位を供給する信号線と、  
 前記信号線に発光輝度に対応した信号電圧を供給する信号線駆動回路と、  
 前記信号線を介して供給される信号電圧の書き込みを制御するスイッチング素子と、  
 前記スイッチング素子を制御する走査線と、  
 前記走査線を制御する走査線駆動回路と、  
 を備え、  
 前記電流値制御手段は、  
 前記書き込み手段によって書き込まれた信号電圧に応じて発光素子に流れる電流値を制御するドライバー素子と、  
 前記ドライバー素子のゲート電極に接続され、このゲート電極について、少なくとも前記書き込まれた信号電圧および前記ドライバー素子の駆動閾値電圧を、前記発光素子の発

光期間の間保持する静電容量と、  
を備え、

前記駆動閾値電圧は前記ドライバー素子の発光時におけるゲート電極とドレイン電極との間における駆動閾値電圧であり、

前記信号線には、前記発光素子の発光輝度に対応する信号電圧を供給する期間の間に閾値検出のための閾値検出基準電圧が供給される閾値電圧検出期間が挿入され、

前記スイッチング素子は、前記閾値電圧検出期間において導通状態であり、

前記信号線には、前記閾値電圧検出期間において、各行のデータと前記閾値検出電圧基準電圧が交互に供給される

ことを特徴とする表示装置。

10

【請求項 2】

請求項 1 に記載の表示装置において、

前記静電容量は第 1 電極が前記ドライバー素子のゲート電極に、第 2 電極が前記ドライバー素子のドレイン電極に接続されていることを特徴とする表示装置。

【請求項 3】

請求項 1 または 2 に記載の表示装置において、

さらに、

前記電源線の電圧を制御し、発光素子の導通状態と非導通状態とを切り替える電源線制御手段を備えることを特徴とする表示装置。

【請求項 4】

20

請求項 1 ~ 3 のいずれか 1 つに記載の表示装置において、

前記ドライバー素子のゲート電極と、ドレイン電極またはソース電極との間には、短絡用のスイッチング素子が設けられていないことを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素毎にドライバー素子を用いて発光素子を駆動するアクティブマトリクス型の表示装置に関する。

【背景技術】

【0002】

30

自ら発光する有機エレクトロルミネッセンス (EL) 素子を用いた有機 EL 表示装置は、液晶表示装置で必要なバックライトが不要で装置の薄型化に最適であるとともに、視野角にも制限がないため、次世代の表示装置として実用化が期待されている。なお、有機 EL 表示装置に用いられる有機 EL 素子は、その発光輝度が流れる電流値により制御される点で、電圧により表示が制御される液晶セルを用いる液晶表示装置等と異なっている。

【0003】

図 7 に、従来から知られているアクティブマトリクス方式の有機 EL 表示装置における画素回路を示す。この画素回路は、カソード側が負電源線 108 に接続された発光素子 104 と、ソース電極が発光素子 104 のアノード側に接続され、ドレイン電極が正電源線 107 に接続されたドライバー素子 102 と、ドライバー素子 102 のゲート電極とソース電極との間に接続された静電容量 103 と、ソースもしくはドレイン電極がドライバー素子 102 のゲート電極に、ドレインもしくはソース電極が信号線 105 に、ゲート電極が走査線 106 にそれぞれ接続されたスイッチング素子 101 とを有する。ここで、スイッチング素子 101 およびドライバー素子 102 は薄膜トランジスタ (TFT) である。

40

【0004】

上記画素回路の動作を以下に説明する。まず、ドライバー素子 102 のゲート・ソース電極間にドライバー素子 102 の閾値電圧より大きな電圧が静電容量 103 により安定的に保持されていると仮定する。従って、ドライバー素子 102 は、オンしている。

【0005】

50

この状態で、負電源線108を正電源線107の電圧GNDより高レベルとする。ドライバー素子102をオン状態のままに保ち、発光素子104のアノード電極の電位が正電源線107の電位GNDと同電位なり、発光素子104に逆バイアス電圧が印加される。

【0006】

つぎに、走査線106を高レベルとしスイッチング素子101をオン状態とした後、信号線105の電位をドライバー素子102のゲート電極に印加する。この信号線の電位は正電源線107の電位GNDと同電位である。これにより、発光素子104のアノード電極の電位は発光素子104の静電容量成分と静電容量103の容量比に応じてドライバー素子102のゲート電位GNDより低くなり、ドライバー素子102はオフとなる。

【0007】

つぎに、負電源線108を正電源線107と同電位GNDに下げると、ドライバー素子102のソースは負電源線の電圧降下に従って下がるが、ドライバー素子102のゲート電位はGNDであり、ドライバー素子102はオン状態となる。このため、ドライバー素子102を通して正電源線107から電流が発光素子104のアノード電極に供給され、徐々に発光素子104のアノード電極の電位は、ドライバー素子102のゲート電極と発光素子104のアノード電極の電位との電位差がドライバー素子102の閾値電圧と等しくなるまで上昇しつづける。

【0008】

その後走査線106の電位を低レベルとして、ドライバー素子102のソース電極に静電容量103および発光素子104の静電容量成分によってドライバー素子102の閾値電圧を保持することができる。

【0009】

このように、静電容量103にドライバー素子102の閾値電圧 $V_t$ を保持する工程を以下「閾値電圧検出」と呼ぶこととする。

【0010】

つぎに、信号線105にデータ電圧 $V_{data}$ を供給しておくと共に、走査線106を高レベルとして信号線105のデータ電圧 $V_{data}$ をドライバー素子102のゲート電極に印加すると、その瞬間に静電容量103の容量値 $C_s$ と発光素子104の静電容量値 $C_{oled}$ の容量比により、ドライバー素子102のソース電極が変化し、ドライバー素子102のゲート・ソース電極間電位は以下ようになる。

【0011】

$$V_{gs} = \{ C_s / ( C_s + C_{oled} ) \} \cdot V_{data} + V_t \quad (\text{式1})$$

【0012】

この電位差 $V_{gs}$ は静電容量103によって安定的に保持される。このデータ電圧を加算する工程を以下「書き込み」と呼ぶことにする。

【0013】

そして、正電源線107と負電源線108との間の電位差が、発光素子104の閾値電圧より充分大きくなるように負電源線108を低くすると、上記工程にて静電容量103に保持された電圧に応じてドライバー素子102は発光素子104に流れる電流を制御し、発光素子104はその電流値に応じた輝度で発光しつづける。

【0014】

上述のように図7に示す画素回路では一度輝度情報の書き込みを行えば、つぎにこの書き込み状態が解消されるまでの間、発光素子104は一定の輝度で発光を継続する（たとえば、特許文献1参照）。

【0015】

【特許文献1】US2004/0174349A1（第2頁、第1図）

【発明の開示】

【発明が解決しようとする課題】

【0016】

しかしながら、前記書き込み工程の際にスイッチング素子101を通してデータ電圧を

10

20

30

40

50

印加すると式 1 にあるように、その瞬間にドライバー素子 102 はオン状態となる。従って、静電容量 103 と発光素子 104 との間のノードに保持されていたドライバー素子 102 の閾値電圧は消失しやすく、式 1 で表されるように閾値電圧の情報を正確に重畳することは困難である。特に、データ電圧  $V_{data}$  が大きくになるにつれ、また書き込み時間が長くなるにつれ閾値電圧の消失する度合いは大きくなる。

【課題を解決するための手段】

【0017】

本発明は、供給される電流に応じて発光する発光素子と、前記発光素子の発光輝度に対応する信号電圧を書き込むデータ書き込み手段と、前記データ書き込み手段によって書き込まれた信号電圧に応じて前記発光素子に供給される電流値を制御する電流値制御手段と、前記発光素子に電流を供給する電源線と、を備えたアクティブマトリックス型の表示装置において、前記データ書き込み手段は、発光輝度に対応した電位を供給する信号線と、前記信号線に発光輝度に対応した信号電圧を供給する信号線駆動回路と、前記信号線を介して供給される信号電圧の書き込みを制御するスイッチング素子と、前記スイッチング素子を制御する走査線と、前記走査線を制御する走査線駆動回路と、を備え、前記電流値制御手段は、前記書き込み手段によって書き込まれた信号電圧に応じて発光素子に流れる電流値を制御するドライバー素子と、前記ドライバー素子のゲート電極に接続され、このゲート電極について、少なくとも前記書き込まれた信号電圧および前記ドライバー素子の駆動閾値電圧を、前記発光素子の発光期間の間保持する静電容量と、を備え、前記駆動閾値電圧は前記ドライバー素子の発光時におけるゲート電極とドレイン電極との間における駆動閾値電圧であり、前記信号線には、前記発光素子の発光輝度に対応する信号電圧を供給する期間の間に閾値検出のための閾値検出基準電圧が供給される閾値電圧検出期間が挿入され、前記スイッチング素子は、前記閾値電圧検出期間において導通状態であり、前記信号線には、前記閾値電圧検出期間において、各行のデータと前記閾値検出電圧基準電圧が交互に供給される。

【0020】

また、前記静電容量は第 1 電極が前記ドライバー素子のゲート電極に、第 2 電極が前記ドライバー素子のドレイン電極に接続されていることが好適である。

【0021】

さらに、前記電源線の電圧を制御し、発光素子の導通状態と非導通状態とを切り替える電源線制御手段を備えることが好適である。

【0022】

また、前記ドライバー素子のゲート電極と、ドレイン電極またはソース電極との間には、短絡用のスイッチング素子が設けられていないことが好適である。

【発明の効果】

【0023】

本発明によれば、ドライバー素子のゲート電極について、少なくとも信号電圧およびドライバー素子の駆動閾値電圧を静電容量で保持する。従って、信号電圧の書き込みの際に、静電容量に保持されていたドライバー素子の閾値電圧を失うことなく閾値電圧に画素データ信号を重畳することが可能となる。そして、スイッチング素子を導通状態に保持したまま、閾値電圧を設定することも可能となる。

【発明を実施するための最良の形態】

【0024】

以下に、図面を用いて本発明の具体的な態様を説明する。ただし、発明の範囲を図示例に限定するものではない。

【0025】

〔第 1 の基本形態〕

図 1 に本発明の基本形態に係る表示装置の回路構成、図 2 にそのタイミングチャートを示す。

【0026】

10

20

30

40

50

表示装置は、マトリクス配置された多数の画素からなり、各画素には、発光素子である有機EL発光素子(OLED)と、その発光を制御する回路が設けられている。

【0027】

正電源供給回路4は、正電源電圧VDDを出力するが、所定のタイミングで負電源電圧VSSより低い電圧Vpを切り替え出力し、これを各画素に供給する。信号線駆動回路2は、垂直ライン毎に設けられる各信号線15に各画素の表示すべき信号電圧Vdataを供給し、走査線駆動回路3は、水平ライン毎に設けられる走査線16の駆動信号を供給する。負電源供給回路5は発光素子に電流を流すための負電源電圧VSSを各画素に供給する。

【0028】

各画素回路において、正電源供給回路4には、正電源線17が接続されており、この正電源線17が各画素回路の発光素子14のアノード電極に接続されている。発光素子14のカソード電極には、n型のドライバー素子12のドレイン電極が接続されており、このドライバー素子12のソース電極が負電源線18に接続されている。ドライバー素子12のゲート電極とドレイン電極との間には、静電容量13が接続されている。

【0029】

ドライバー素子12のゲート電極には、スイッチング素子11のソースが接続され、スイッチング素子11のドレインは信号線15に接続されている。スイッチング素子11のゲート電極には、走査線16が接続されている。

【0030】

ここで、スイッチング素子11は、n型TFTを採用したが、p型TFTを採用することもできる。なお、型を変更した場合には、走査線16に供給する信号の極性を反転する必要がある。ドライバー素子12はn型TFTである。

【0031】

上記画素回路の動作を図2のタイミングチャートおよび図3を用いて説明する。

【0032】

まず、ドライバー素子12のゲート電極には前フレームにおいて(Vdata + Vt)が静電容量13によって保持されているものとする。Vdataは、当該画素の発光素子14の発光量についての輝度データであり、Vtは当該画素のドライバー素子12の閾値電圧である。

【0033】

この状態において、当該画素(当該水平ライン)の書き込みタイミングになった場合には、走査線16をスイッチング素子11が導通する電位(この例ではHレベル)とする。また、信号線15の電位を負電源線18の電位VSSと同電位として、ドライバー素子12をオフ状態にする。

【0034】

つぎに、図3Aに示すように正電源線17の電位をVSSよりも低いVpとする。発光素子14の電圧降下をVoledとすれば、正電源線17の電位がVDDであったときにドライバー素子12のドレイン電極の電位は、VDD - Voledであったはずで、正電源線17の電位がVDDからVpとなると、その差が発光素子14の容量成分Coledと、静電容量13の容量成分Csで分配される。従って、正電源線17の電位がVpになった瞬間ドライバー素子12のドレイン電極の電位は、VDD - Voled + {Coled / (Cs + Coled)} (Vp - VDD)である。ここで、補償したいドライバー素子12の閾値電圧の範囲の最大値をVt(TFT)(>0)とすると、

$$VSS - Vt(TFT) \geq VDD - Voled + \{Coled / (Cs + Coled)\} (Vp - VDD) \quad (式2)$$

となるようにVpを設定する。すなわち、ドライバー素子12のドレイン電圧がそのゲートおよびソース電圧であるVSSからVt(TFT)を引いた値より低いものに設定する。

【0035】

従って、正電源線 17 が  $V_p$  になった瞬間からドライバー素子 12 の閾値電圧検出工程 (1) が開始される。そして、図 3 A に示すようにドライバー素子 12 のソースからドレインに電流が流れ、ドライバー素子 12 のドレイン電極には  $V_{SS} - V_t$  の電位が発生する (図 3 B)。なお、この閾値電圧検出工程 (1) は、全画素について一緒に行う。

【0036】

つぎに、走査線 16 をスイッチング素子 11 が非導通状態となるよう (この例では L レベル) にし、各画素への画素信号の書き込み工程 (2) に入る。すなわち、信号線 15 の電位を  $V_{data}$  とした後、再び走査線 16 をスイッチング素子 11 が導通状態となるように設定し、ドライバー素子 12 のゲート電位を  $V_{data} (< V_{SS})$  とする。これによって、ドライバー素子 12 のゲート電圧が  $V_{SS}$  から  $V_{data}$  に変化し、その変化量が、静電容量 13 の容量  $C_s$  および発光素子 14 の容量  $C_{oled}$  によって分配され、電位が  $V_{SS} - V_t$  であったドライバー素子 12 のドレイン電極は、 $V_{SS} - V_t + \{C_s / (C_s + C_{oled})\} (V_{data} - V_{SS})$  となる (図 3 C)。

10

【0037】

従って、このときに、静電容量 13 には、 $V_{data} - (V_{SS} - V_t + \{C_s / (C_s + C_{oled})\} (V_{data} - V_{SS}))$  だけ充電されていることになる。

【0038】

なお、この書き込み工程 (2) は、図 2 に示すように、線順次で行う。ただし、1 水平ラインについて、同時にデータ書き込みを行ってもよいし、点順次でデータ書き込みを行ってもよい。

20

【0039】

つぎに、正電源線 17 を発光素子 14 に印加される電圧が発光素子 14 の閾値電圧より充分大きくなるように  $V_{DD}$  とする。これによって、ドライバー素子 12 のドレイン電圧は  $V_{DD} - V_{oled}$  となる。従って、ドライバー素子 12 のゲート電圧は、 $V_{DD} - V_{oled}$  に静電容量 13 の充電電圧  $V_{data} - (V_{SS} - V_t + \{C_s / (C_s + C_{oled})\} (V_{data} - V_{SS})) = (1 - \{C_s / (C_s + C_{oled})\}) (V_{data} - V_{SS}) + V_t$  を加算した値になる。

【0040】

このため、そのときドライバー素子 12 のゲート・ソース電極間の電位差は  
 $V_{gs} = V_{DD} - V_{oled} - V_{SS}$   
 $+ (V_{data} - V_{SS}) \{C_{oled} / (C_s + C_{oled})\} + V_t$  (式 3)  
 となる (図 3 D)。

30

【0041】

よって、ドライバー素子 12 に流れる電流  $i_d$  は、  
 $i_d = (\mu / 2) (V_{gs} - V_t)^2$   
 $= (\mu / 2) (V_{DD} - V_{oled} - V_{SS}$   
 $+ (V_{data} - V_{SS}) \{C_{oled} / (C_s + C_{oled})\})^2$  (式 4)  
 のようになる。

【0042】

この電流  $i_d$  が発光素子 14 に供給される。この  $i_d$  は、 $V_t$  に無関係であり、これによって、発光素子 14 の発光ドライバー素子 12 の閾値電圧は補償される。

40

【0043】

特に、本基本形態においては、発光素子 14 が発光する際のドライバー素子 12 のゲート電極とドレイン電極との間に静電容量を設置し、発光素子 14 が発光する際のドライバー素子 12 のゲート・ドレイン電極間の閾値電圧を検出する。そして、この閾値電圧検出時にドライバー素子 12 のゲート電極に与えていた電位より低い電圧を画素信号とすることで、信号書き込み工程の際に、静電容量 13 に保持されていたドライバー素子 12 の閾値電圧  $V_t$  を失うことなく、ドライバー素子 12 のゲートに輝度データ  $V_{data}$  を重畳することが可能となる。

【0044】

50

〔第2の基本形態〕

図4に本発明が適用された別の表示装置の回路構成を、図5にそのタイミングチャートを示す。

【0045】

この装置では、カソード電極が負電源線18に接続された発光素子24と、ドレイン電極が発光素子24のアノード電極とソース電極が正電源線17に接続されたドライバー素子22と、ドライバー素子22のゲート電極とドレイン電極との間に接続された静電容量23と、ソースもしくはドレイン電極がドライバー素子22のゲート電極に、ドレインもしくはソース電極が信号線15に、ゲート電極が走査線26にそれぞれ接続されたスイッチング素子21とを有する。スイッチング素子21はn形もしくはp形TFTおよびドライバー素子22はp型TFTである。

10

【0046】

上記画素回路の動作を図5のタイミングチャートおよび図6を用いて説明する。ドライバー素子22のゲート電極には前フレームにおいて( $V_{data} - V_t$ )が静電容量23によって保持されているものとする。

【0047】

まず、走査線26をスイッチング素子21が導通する電位(この例ではHレベル)とし、信号線の電位を正電源線17と同電位VDDとしてドライバー素子22をオフ状態にする。つぎに図6Aに示すように負電源線18の電位をVDDより高い $V_p$ とする。負電源線18の電位が $V_p$ になった瞬間ドライバー素子22のドレイン電極の電位は $V_{oled} + \{C_{oled} / (C_s + C_{oled})\} (V_p - V_{SS})$ である。ここで補償したいドライバー素子12の閾値電圧の範囲を $V_t$ (TFT)( $< 0$ )とすると、 $V_{DD} - V_t$ (TFT)

20

$< = V_{oled} + \{C_{oled} / (C_s + C_{oled})\} (V_p - V_{DD})$ (式5)となるように $V_p$ を設定する。

【0048】

負電源線18が $V_p$ になった瞬間からドライバー素子22の閾値電圧検出工程(1)が開始される。そして、ドライバー素子22のドレイン電極には $V_{DD} - V_t$ の電位が発生する(図6B)。

30

【0049】

つぎに、走査線16をスイッチング素子21が非導通状態となるよう(この例ではLレベル)にし、各画素への画素信号の書き込み工程(2)に入る。信号線15の電位を $V_{data}$ とした後、再び走査線16をスイッチング素子21が導通状態となるよう(この例ではHレベル)に設定し、ドライバー素子22のゲート電位を $V_{data} (> V_{DD})$ とする。これによって、ドライバー素子22のドレイン電極は $V_{DD} + \{C_s / (C_s + C_{oled})\} (V_{data} - V_{DD}) - V_t$ となる(図6C)。

【0050】

つぎに、負電源線18を発光素子24に印加される電圧が発光素子24の閾値電圧より充分低くなるように $V_{SS}$ とすると共に、走査線16によりスイッチング素子11をオフする。これにより、ドライバー素子12のドレイン電圧は、 $V_{SS} + V_{oled}$ となり、従ってドライバー素子12のゲート電圧は、 $V_{SS} + V_{oled} + (1 - \{C_s / (C_s + C_{oled})\} (V_{data} - V_{DD})) + V_t$ となる。

40

【0051】

従って、そのときドライバー素子22のソース・ゲート電極間の電位差は

$$V_{sg} = V_{DD} - V_{oled} - V_{SS} + (V_{data} - V_{DD}) \{C_{oled} / (C_s + C_{oled})\} - V_t \quad (\text{式6})$$

となる(図6D)。

【0052】

よって、ドライバー素子22に流れる電流は、

$$i_d = ( / 2 ) ( V_{sg} + V_t )^2 = ( / 2 ) ( V_{DD} - V_{oled} - V_{SS} + ( V$$

50

$$\text{data} - V_{DD} \{ C_{oled} / (C_s + C_{oled}) \} )^2 \quad (\text{式7})$$

以上により、ドライバー素子22の閾値電圧は補償される。

【0053】

[実施の形態]

次に、本発明の実施形態に係る表示装置について説明する。図8に回路構成を、図9にそのタイミングチャートを示す。この回路構成は、上述の図4と同じであるが、図1の構成を採用してもよい。

【0054】

このように、各信号線15に供給される信号は、各行の画素の輝度に対応する信号電圧（データ）間に閾値電圧検出基準電圧である0Vが供給される期間Bが挿入されている。すなわち、n行目のデータと、n+1行目のデータの間に関値電圧検出基準電圧を挿入してある。

10

【0055】

また、各行に対応して設けられている走査線16(n)は、閾値電圧検出工程からHレベル $V_{gH}$ となり、データの書き込みが終了した場合にLレベル $V_{gL}$ となる。従って、スイッチング素子11は、閾値電圧検出工程において導通状態になっている。

【0056】

上述の基本形態と同様に、正電源線17をVDDから0Vへ変化させると閾値電圧検出工程が開始される。この閾値検出工程（期間）において、信号線15には各行のデータと、閾値電圧検出基準電圧が交互に供給される。そして、期間 $B_1, B_2, \dots, B_j$ のj行分のデータ書き込み期間において、ドライバー素子22の閾値電圧が検出される。すなわち、図10に示されるように、ドライバー素子22のドレイン電極電圧 $V_{N2}$ は、徐々にゲート電極電圧 $V_{N1}$ より、閾値電圧 $V_T$ だけ低い電圧にセットされる。

20

【0057】

ここで、この期間において発光素子24と接続されたドライバー素子22のドレイン電極のポテンシャル $V_{N2}$ は発光素子24の閾値電圧より小さいことが望ましく、ドライバー素子22のドレイン電極のポテンシャルの最大値が発光素子24の閾値電圧より小さいことが好適である。このための条件は、式7のように表される。なお、N1、N2、N3をそれぞれドライバー素子22のゲート、ドレイン、ソース電極とする。

【0058】

【化1】

$$V_{OLED,th} > V_{N2,max} \quad (\text{式7})$$

この条件の下に、発光素子24の閾値電圧はドライバー素子22のドレイン電極に記録される。

【0059】

この例では、正電源線17の電圧が0Vであり、その状態で信号線16の信号電圧が0Vになった場合に、ドライバー素子22のゲート電圧 $V_{N1}$ 、ソース電圧 $V_{N3}$ が0Vとなり、一方ドレイン電極N2の電圧 $V_{N2}$ が0Vよりも閾値電圧 $V_T$ だけ低い電圧 $-V_T$ になる。

40

【化2】

$$\begin{aligned} V_{N1} &= 0 \\ V_{N2} &= -V_T \\ V_{N3} &= 0 \end{aligned} \quad (\text{式8})$$

【0060】

一方、式(7)が満たされない場合は、閾値電圧検出基準電圧を $V_p (< 0)$ とし、信号線15および正電源線17の電位は0Vではなく $V_p$ とするべきである。

50

これによって、式(7)のかわりに

【化3】

$$V_{OLED,th} > V_{data,max} - V_T + V_p \quad (式9)$$

が成立するように $V_p$ を決定すれば、ドライバー素子22のドレイン電極N2にドライバー素子22の閾値電圧 $V_T$ が記録される。

【0061】

その後、走査線16を信号線15の電位を $V_{data}(n)$ としながらスイッチング素子21がオンしていると、ドライバー素子22のゲート、ソース、ドレイン電極の電位は、

10

【化4】

$$\begin{aligned} V_{N1} &= V_{data} > 0 \\ V_{N2} &= \frac{C_s}{C_s + C_{OLED}} V_{data} - V_T \\ V_{N3} &= 0 \end{aligned} \quad (4)$$

となる。

よって、静電容量23には、

20

【化5】

$$V_{N1} - V_{N2} = \frac{C_{OLED}}{C_s + C_{OLED}} V_{data} + V_T \quad (5)$$

が記録される。そして、この状態で、走査線16(n)をLレベルとしてスイッチング素子21をオフすることで、この状態が確定する。

【0062】

その後、正電源線17の電位を閾値電圧検出基準電位からVDDとし、発光過程に移行する。そのとき、

【化6】

30

$$\begin{aligned} V_{N1} &= \frac{C_{OLED}}{C_s + C_{OLED}} V_{data} + V_T + V'_{OLED} \\ V_{N2} &= V'_{OLED} (\neq V^o_{OLED}) \\ V_{N3} &= V_{DD} \end{aligned} \quad (6)$$

となるので、

【化7】

$$\begin{aligned} V_{sg} &= V_{N3} - V_{N1} \\ &= V_{DD} - \frac{C_{OLED}}{C_s + C_{OLED}} V_{data} - V_T - V'_{OLED} \end{aligned} \quad (7)$$

40

結局、

【化 8】

$$I_{sd} = \frac{\beta}{2} (V_{sg} + V_T)^2$$

$$= \frac{\beta}{2} \left( V_{DD} - \frac{C_{OLED}}{C_s + C_{OLED}} V_{data} - V'_{OLED} \right)^2 \quad (8)$$

となり、ドライバー素子 22 の閾値電圧に依存しない電流が流れる。

【0063】

10

なお、COLED は発光素子 24 の容量、Cs は静電容量 23 の容量、Isd はドライバー素子 22 のソースドレイン電流、Vsg はドライバー素子 22 のソースドレイン間電圧、V'OLED は、電流 Isd が流れて発光しているときの発光素子 24 の電圧降下である。

【0064】

このように、本実施形態によれば、信号線 15 に供給する各画素への信号電圧の間に閾値電圧検出基準電圧を挿入するため、スイッチング素子 21 を導通状態として、ドライバー素子 22 のドレイン電極への閾値電圧のセットが可能となる。

【図面の簡単な説明】

【0065】

20

【図 1】本発明の基本形態 1 の構成を示す図である。

【図 2】基本形態 1 のタイミングチャートである。

【図 3 A】図 2 の閾値電圧検出工程 (1) 初期の状態を示す図である。

【図 3 B】図 2 の閾値電圧検出工程 (1) 末期の状態を示す図である。

【図 3 C】図 2 の書き込み工程 (2) の状態を示す図である。

【図 3 D】図 2 の発光工程 (3) の状態を示す図である。

【図 4】本発明の基本形態 2 の構成を示す図である。

【図 5】基本形態 2 のタイミングチャートである。

【図 6 A】図 5 の閾値電圧検出工程 (1) 初期の状態を示す図である。

【図 6 B】図 5 の閾値電圧検出工程 (1) 末期の状態を示す図である。

30

【図 6 C】図 5 の書き込み工程 (2) の状態を示す図である。

【図 6 D】図 5 の発光工程 (3) の状態を示す図である。

【図 7】従来の画素回路の構成を示す図である。

【図 8】本発明の実施形態の構成を示す図である。

【図 9】実施形態のタイミングチャートである。

【図 10】各部の電圧の状態を示す図である。

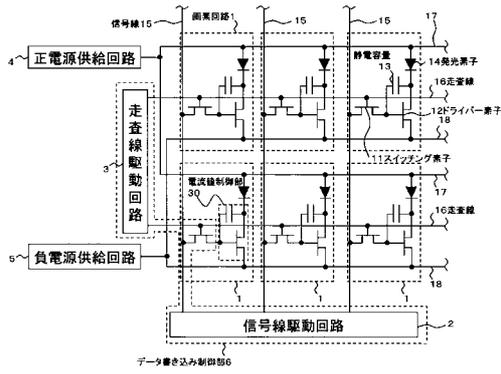
【符号の説明】

【0066】

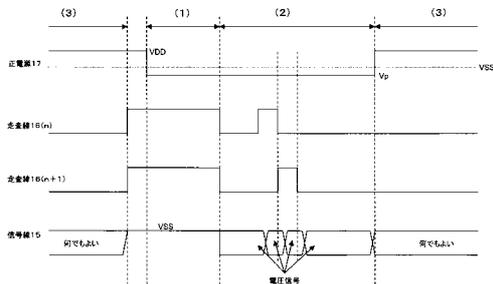
1 画素回路、2 信号線駆動回路、3 走査線駆動回路、4 正電源供給回路、5 負電源供給回路、11, 21, 101 スwitching素子、12, 22, 102 ドライバ素子、13, 23, 103 静電容量、14, 24, 104 発光素子、15, 105 信号線、16, 26, 106 走査線、17, 107 正電源線、18, 108 負電源線。

40

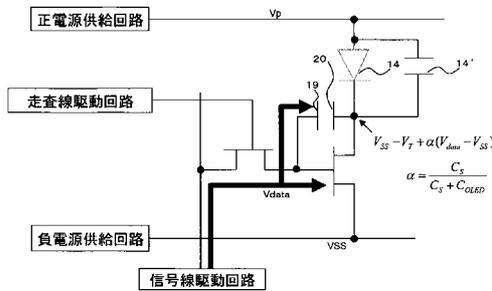
【図1】



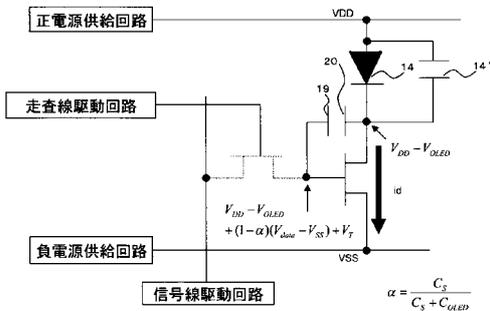
【図2】



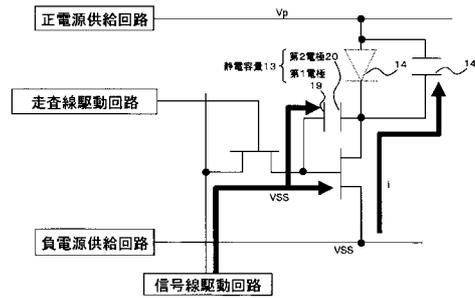
【図3C】



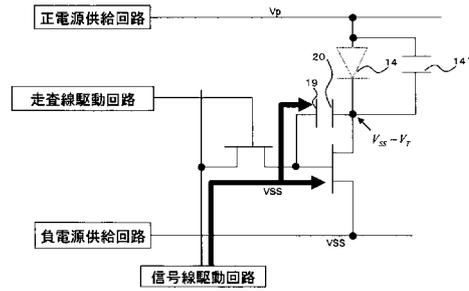
【図3D】



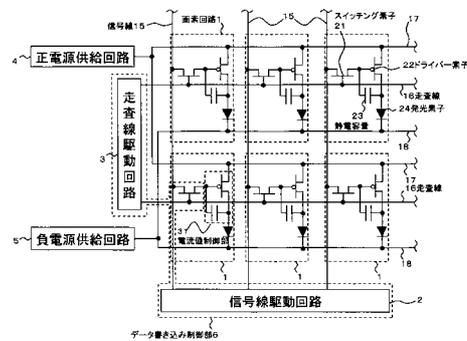
【図3A】



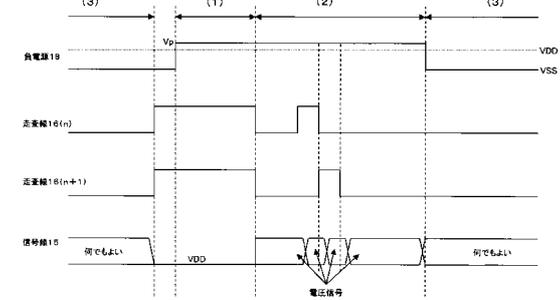
【図3B】



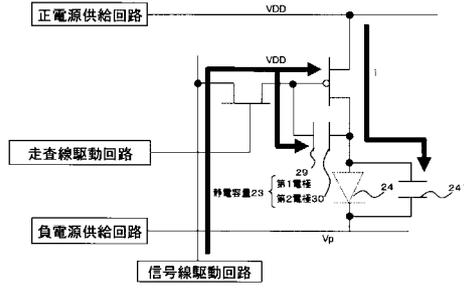
【図4】



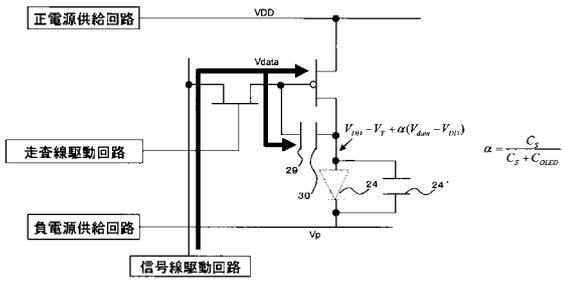
【図5】



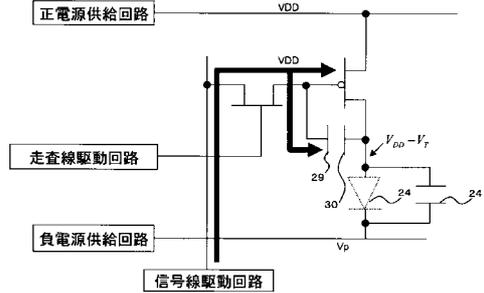
【図 6 A】



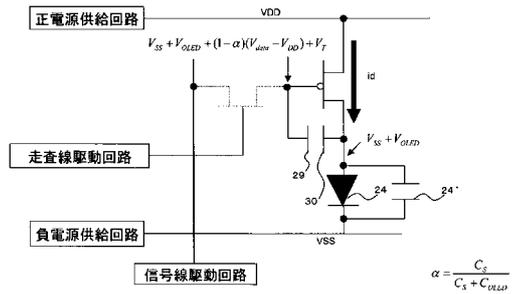
【図 6 C】



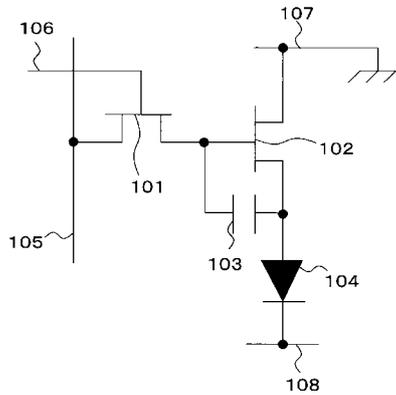
【図 6 B】



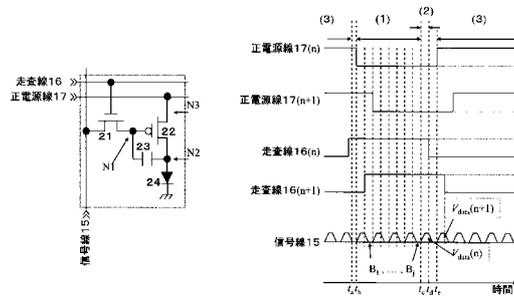
【図 6 D】



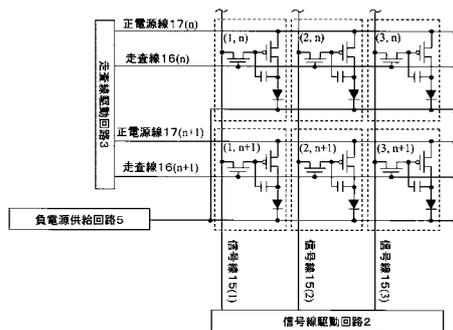
【図 7】



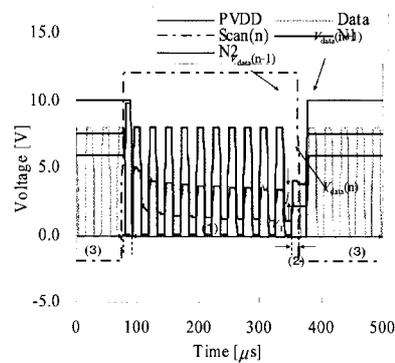
【図 9】



【図 8】



【図 10】



---

フロントページの続き

(51)Int.Cl. F I  
G 0 9 G 3/20 6 1 1 H

(74)代理人 100110423  
弁理士 曾我 道治

(74)代理人 100084010  
弁理士 古川 秀利

(74)代理人 100094695  
弁理士 鈴木 憲七

(74)代理人 100111648  
弁理士 梶並 順

(74)代理人 100122437  
弁理士 大宅 一宏

(74)代理人 100147566  
弁理士 上田 俊一

(72)発明者 小野 晋也  
東京都中央区新川2丁目27番1号 コダック株式会社内

審査官 山崎 仁之

(56)参考文献 特開2003-271095(JP,A)  
特開2006-053539(JP,A)  
特開2005-099773(JP,A)  
特表2004-531772(JP,A)  
特開2006-293217(JP,A)  
特開2006-259714(JP,A)  
特開2006-259373(JP,A)

(58)調査した分野(Int.Cl., DB名)  
G 0 9 G 3 / 3 0  
G 0 9 G 3 / 2 0  
H 0 1 L 5 1 / 5 0

专利名称(译)	表示装置		
公开(公告)号	<a href="#">JP5037858B2</a>	公开(公告)日	2012-10-03
申请号	JP2006137080	申请日	2006-05-16
[标]申请(专利权)人(译)	伊斯曼柯达公司		
申请(专利权)人(译)	伊士曼柯达公司		
当前申请(专利权)人(译)	全球豪迪E.科技有限责任公司		
[标]发明人	小野晋也		
发明人	小野 晋也		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G2300/0809 G09G2300/0819 G09G2300/0861 G09G2300/0866 G09G2320/043		
FI分类号	G09G3/30.J G09G3/20.622.D G09G3/20.621.A G09G3/20.641.D H05B33/14.A G09G3/20.611.H G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC31 3K107/EE04 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD03 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C380/AA01 5C380/AB06 5C380/BA34 5C380/BA39 5C380/CA08 5C380/CA09 5C380/CA12 5C380/CA53 5C380/CA54 5C380/CB01 5C380/CB20 5C380/CB31 5C380/CB32 5C380/CC02 5C380/CC04 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC41 5C380/CC62 5C380/CD012 5C380/CD022 5C380/DA02 5C380/DA06 5C380/DA35 5C380/HA03 5C380/HA05		
代理人(译)	英年古河 Kajinami秩序 上田俊一		
其他公开文献	JP2007310034A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

有效地补偿驱动器元件的阈值电压，以控制在发光元件中流动的电流。像素选择开关元件21，电流控制驱动元件22，静电电容23和诸如有机EL的电流发光元件24设置在每个像素中，并且驱动元件22电容23设置在栅电极和漏电极之间。当发光元件24关闭时，将阈值电压检测参考电压提供给驱动元件22的栅极，并且将与栅极电压基本相同的电压提供给源极，以检测栅极和漏极之间的阈值电压，这存储在静电容量23中。接下来，在阈值检测时，通过在从驱动元件22的栅电极施加的电位关闭驱动元件22的方向上写入信号电压，将信号电压叠加在阈值电压上。9系统技术领域

【化8】

$$I_{sd} = \frac{\beta}{2} (V_{sg} + V_T)^2$$

$$= \frac{\beta}{2} \left( V_{DD} - \frac{C_{OLED}}{C_s + C_{OLED}} V_{data} - V'_{OLED} \right)^2 \quad (8)$$