

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-151506

(P2018-151506A)

(43) 公開日 平成30年9月27日(2018.9.27)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/3225 (2016.01)	G09G 3/3225	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
G09F 9/30 (2006.01)	G09G 3/20 642A	5C094
H01L 51/50 (2006.01)	G09G 3/20 612U	5C380
H01L 27/32 (2006.01)	G09F 9/30 365	
審査請求 未請求 請求項の数 9 O L (全 24 頁) 最終頁に続く		

(21) 出願番号 特願2017-47109 (P2017-47109)
 (22) 出願日 平成29年3月13日 (2017.3.13)

(71) 出願人 000002369
 セイコーエプソン株式会社
 東京都新宿区新宿四丁目1番6号
 (74) 代理人 100125689
 弁理士 大林 章
 (74) 代理人 100128598
 弁理士 高田 聖一
 (74) 代理人 100121108
 弁理士 高橋 太朗
 (72) 発明者 太田 人嗣
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 Fターム(参考) 3K107 AA01 BB01 CC32 EE03 HH00
 5C080 AA06 AA07 BB05 DD05 JJ02
 JJ03 JJ04 JJ05 JJ06
 最終頁に続く

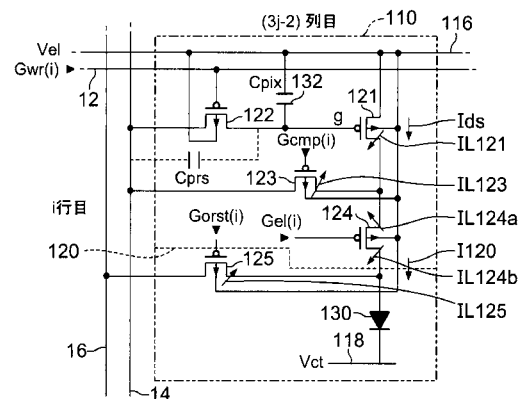
(54) 【発明の名称】 画素回路、電気光学装置および電子機器

(57) 【要約】

【課題】画素回路において黒浮きを効果的に抑制する。

【解決手段】トランジスタ回路120は、データ信号に応じた駆動電流を出力する。OLED130は、トランジスタ回路120に接続され、駆動電流によって発光する。放電トランジスタ125は、OLED130の非発光期間にオンとなって、放電用給電線16にトランジスタ回路120とOLED130との接続ノードを接続する。この放電トランジスタ125の閾値電圧の絶対値は、トランジスタ回路120内の駆動トランジスタ121の閾値電圧の絶対値よりも小さい。従って、放電トランジスタ125は、データ信号がゼロであるときのトランジスタ回路120からの駆動電流をOLED130を介さずに流すことが可能である。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

データ信号に応じた駆動電流を出力するトランジスタ回路と、
前記トランジスタ回路に接続され、前記駆動電流によって発光する発光素子と、
前記データ信号がゼロであるときの前記駆動電流を前記発光素子を介さずに流す放電手段と

を有することを特徴とする画素回路。

【請求項 2】

前記トランジスタ回路は、前記データ信号に応じた駆動電流を発生する駆動トランジスタを有し、

前記放電手段は、前記発光素子の非発光期間にオンとなって、放電用給電線に前記トランジスタ回路と前記発光素子との接続ノードを接続する放電トランジスタを有し、

前記放電トランジスタの閾値電圧の絶対値が前記駆動トランジスタの閾値電圧の絶対値よりも小さいことを特徴とする請求項 1 に記載の画素回路。

【請求項 3】

前記放電トランジスタのチャネル長は、前記駆動トランジスタのチャネル長より短いことを特徴とする請求項 2 に記載の画素回路。

【請求項 4】

前記駆動トランジスタが P チャネルトランジスタであり、前記放電トランジスタが N チャネルトランジスタであることを特徴とする請求項 2 または 3 に記載の画素回路。

【請求項 5】

前記放電トランジスタにおいて前記発光素子に接続されたドレインの面積がソースの面積よりも広いことを特徴とする請求項 4 に記載の画素回路。

【請求項 6】

前記トランジスタ回路は、前記駆動トランジスタと前記発光素子との間に接続された発光制御トランジスタを有し、

前記発光制御トランジスタは P チャネルトランジスタであり、前記放電トランジスタのドレインの面積は、前記発光制御トランジスタのドレインおよびソースの総面積よりも広いことを特徴とする請求項 4 または 5 に記載の画素回路。

【請求項 7】

前記トランジスタ回路は、前記データ信号に応じた駆動電流を発生する駆動トランジスタを有し、

前記放電手段は、前記発光素子の非発光期間にオンとなって、放電用給電線に前記トランジスタ回路と前記発光素子との接続ノードを接続する放電トランジスタを有し、

前記駆動トランジスタがエンハンスメント型トランジスタであり、前記放電トランジスタがデプレッション型トランジスタであることを特徴とする請求項 1 に記載の画素回路。

【請求項 8】

請求項 1 ～ 7 のいずれか 1 の請求項に記載の画素回路を有することを特徴とする電気光学装置。

【請求項 9】

請求項 8 に記載の電気光学装置を有することを特徴とする電子機器。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、画素回路、電気光学装置および電子機器に関する。

【背景技術】**【0002】**

10

20

30

40

50

近年、有機発光ダイオード（以下、OLED（Organic Light Emitting Diode）という）などの発光素子を用いた電気光学装置が各種提案されている。この電気光学装置の一般的な構成では、走査線とデータ線との交差に対応して、画素回路が、表示すべき画像の画素に対応して設けられる。この画素回路は、発光素子と、発光輝度を指示するデータ信号に応じた大きさの駆動電流を発光素子に供給するトランジスタ回路とを含む。

【0003】

この種の画素回路では、綺麗な黒表示をする能力が求められる場合が多い。そして、綺麗な黒表示を行うためには、データ信号がゼロである場合に、トランジスタ回路から発光素子に供給される駆動電流を完全にゼロにし、発光素子の発光させないようにする必要がある。

10

【0004】

しかしながら、データ信号がゼロである状況でも、トランジスタ回路から発光素子にリーク電流が流れ、発光素子が微妙に発光し、いわゆる黒浮きが発生する問題がある。

【0005】

そこで、特許文献1は、発光素子の非発光期間にトランジスタ回路と発光素子との接続ノードに残存した電荷を放電する技術を開示している。また、特許文献2は、この黒浮きを抑制するため、発光素子のトランジスタ回路側の端子と基準電位線との間にパス用素子を設け、発光素子の非発光期間にトランジスタ回路からのリーク電流をこのパス用素子にバイパスさせる技術を提案している。

20

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2010-243560号公報

【特許文献2】特開2013-088611号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、マイクロディスプレイ等に用いられる画素回路では、発光素子の容量が小さい。このため、特許文献1に記載されているように発光素子の非発光期間に残存電荷の放電を行ったとしても、発光素子が黒表示を行っている期間に発光素子の容量の充電電圧が上昇して発光素子にリーク電流が流れ、黒浮きが発生する問題がある。また、特許文献1および2に開示の技術は、発光素子の非発光期間にトランジスタ回路から出力されるリーク電流を発光素子を介さずに流すものであるため、発光素子の発光期間に生じる黒浮きを効果的に抑制することができない問題がある。

30

【0008】

この発明は上述した事情に鑑みてなされたものであり、画素回路において黒浮きを効果的に抑制することを可能にする技術的手段を提供することを目的とする。

【課題を解決するための手段】

【0009】

この発明の一態様による画素回路は、データ信号に応じた駆動電流を出力するトランジスタ回路と、前記トランジスタ回路に接続され、前記駆動電流によって発光する発光素子と、前記データ信号がゼロであるときの前記駆動電流を前記発光素子を介さずに流す放電手段とを有することを特徴とする。

40

【0010】

この態様によれば、データ信号がゼロであるときにトランジスタ回路から出力される駆動電流が放電手段により発光素子を介さずに流されるので、黒浮きを抑制することができる。

【0011】

好ましい態様において、前記トランジスタ回路は、前記データ信号に応じた駆動電流を発生する駆動トランジスタを有し、前記放電手段は、前記発光素子の非発光期間にオ

50

ンとなって、放電用給電線に前記トランジスタ回路と前記発光素子との接続ノードを接続する放電トランジスタを有し、前記放電トランジスタの閾値電圧の絶対値が前記駆動トランジスタの閾値電圧の絶対値よりも小さい。

【0012】

この態様によれば、放電トランジスタの閾値電圧の絶対値が駆動トランジスタの閾値電圧の絶対値よりも小さいので、データ信号がゼロであるときにトランジスタ回路から出力される駆動電流よりも、放電トランジスタのオフ時の電流を大きくすることができる。従って、黒浮きを抑制することができる。

【0013】

他の好ましい態様において、前記放電トランジスタのチャネル長は、前記駆動トランジスタのチャネル長より短い。

10

【0014】

この態様においても、データ信号がゼロであるときにトランジスタ回路から出力される駆動電流よりも、放電トランジスタのオフ時の電流を大きくすることができる。従って、黒浮きを抑制することができる。

【0015】

他の好ましい態様において、前記駆動トランジスタがPチャネルトランジスタであり、前記放電トランジスタがNチャネルトランジスタである。

【0016】

この態様では、トランジスタ回路から出力される電流が、Nチャネルの放電トランジスタのドレインを介して同トランジスタのpウェルに流れ込む。このpウェルに流れ込む電流の分だけ、放電手段が発光素子を介することなく流す電流を多くすることができる。従って、効果的に黒浮きを抑制することができる。

20

【0017】

好ましい態様では、前記放電トランジスタにおいて前記発光素子に接続されたドレインの面積がソースの面積よりも広い。

【0018】

この態様によれば、上記放電トランジスタのドレインからpウェルに流れ込む電流を大きくすることができるので、効果的に黒浮きを抑制することができる。

【0019】

好ましい態様において、前記トランジスタ回路は、前記駆動トランジスタと前記発光素子との間に接続された発光制御トランジスタを有し、前記発光制御トランジスタはPチャネルトランジスタであり、前記放電トランジスタのドレインの面積は、前記発光制御トランジスタのドレインおよびソースの総面積よりも広い。

30

【0020】

この態様では、Pチャネルの発光制御トランジスタのソースおよびドレインとnウェルとの間のpn接合を逆方向に流れるリーク電流がトランジスタ回路からの出力電流に加わる。しかしながら、Nチャネルの放電トランジスタのドレインの面積は、前記発光制御トランジスタのドレインおよびソースの総面積よりも広い。このため、放電トランジスタのドレインからpウェルに流れ込む電流は、発光制御トランジスタのソースおよびドレインとnウェルとの間のpn接合を逆方向に流れるリーク電流を上回る。よって、効果的に黒浮きを抑制することができる。

40

【0021】

好ましい態様において、前記トランジスタ回路は、前記データ信号に応じた駆動電流を発生する駆動トランジスタを有し、前記放電手段は、前記発光素子の非発光期間にオンとなって、放電用給電線に前記トランジスタ回路と前記発光素子との接続ノードを接続する放電トランジスタを有し、前記駆動トランジスタがエンハンスメント型トランジスタであり、前記放電トランジスタがデプレッション型トランジスタである。

【0022】

この態様によれば、駆動トランジスタがエンハンスメント型トランジスタであり、

50

放電トランジスタがデプレッション型トランジスタであるので、データ信号がゼロであるときにトランジスタ回路から出力される駆動電流よりも、放電トランジスタのオフ時の電流を大きくすることができる。従って、黒浮きを抑制することができる。

【 0 0 2 3 】

この発明の一態様による電気光学装置は、上記のいずれかの態様の画素回路を有することを特徴とする。

【 0 0 2 4 】

この態様によれば、電気光学装置において、黒浮きを抑制することができる。

【 0 0 2 5 】

この発明の一態様による電子機器は、上記電気光学装置を備えることを特徴とする。このような電子機器としては、ヘッドマウントディスプレイ、プロジェクター等が該当する。

10

【図面の簡単な説明】

【 0 0 2 6 】

【図 1】この発明の第 1 実施形態である電気光学装置の構成を示す斜視図である。

【図 2】同電気光学装置の構成を示すブロック図である。

【図 3】同電気光学装置の画素回路の構成を示す回路図である。

【図 4】同画素回路における発光制御トランジスタと放電トランジスタの構成を示す断面図である。

【図 5】同画素回路における駆動トランジスタと放電トランジスタの電流特性を例示する図である。

20

【図 6】同画素回路における駆動トランジスタと放電トランジスタの例を示す平面図である。

【図 7】同電気光学装置の動作を示すタイミングチャートである。

【図 8】同電気光学装置の動作説明図である。

【図 9】同電気光学装置の動作説明図である。

【図 10】同電気光学装置の動作説明図である。

【図 11】同電気光学装置の動作説明図である。

【図 12】この発明の第 2 実施形態である電気光学装置の画素回路の構成を示す回路図である。

【図 13】同画素回路における駆動トランジスタと放電トランジスタの構成を示す断面図である。

30

【図 14】同画素回路における放電トランジスタの例を示す平面図である。

【図 15】同画素回路における発光制御トランジスタと放電トランジスタの例を示す平面図である。

【図 16】HMDの外観構成を示す図である。

【図 17】プロジェクターの光学構成を示す図である。

【発明を実施するための形態】

【 0 0 2 7 】

< 第 1 実施形態 >

図 1 は、この発明の第 1 実施形態である電気光学装置 1 の構成を示す斜視図である。この電気光学装置 1 は、例えばヘッドマウント・ディスプレイにおいて画像を表示するマイクロディスプレイである。電気光学装置 1 は、複数の画素回路や当該画素回路を駆動する駆動回路などが例えばシリコン基板に形成された有機 EL 装置である。画素回路には、発光素子の一例である OLED が用いられている。

40

【 0 0 2 8 】

電気光学装置 1 は、表示パネル 10 と制御回路 3 を備える。表示パネル 10 は、表示部で開口する枠状のケース 72 に収納されるとともに、FPC (Flexible Printed Circuits) 基板 74 の一端が接続されている。FPC 基板 74 には、半導体チップの制御回路 3 が、COF (Chip On Film) 技術によって実装されている。この制御回路 3 は、複数の端子 76 を介して、図示省略された上位回路に接続されている。

50

【0029】

図2は、電気光学装置1の構成を示すブロック図である。上述のとおり、電気光学装置1は、表示パネル10と、制御回路3とを備える。

【0030】

制御回路3には、図示省略された上位回路よりデジタルの画像データVdataが同期信号に同期して供給される。ここで、画像データVdataとは、表示パネル10（厳密には、後述する表示部100）で表示すべき画像の画素の階調レベルを例えば8ビットで規定するデータである。また、同期信号とは、垂直同期信号、水平同期信号、及び、ドットクロック信号を含む信号である。

【0031】

制御回路3は、同期信号に基づいて、各種制御信号を生成し、これを表示パネル10に対して供給する。具体的には、制御回路3は制御信号Ctrと、正論理の制御信号Giniと、これと論理反転の関係にある負論理の制御信号/Giniと、制御信号Sel(1)、Sel(2)、Sel(3)と、これらの信号に対して論理反転の関係にある制御信号/Sel(1)、/Sel(2)、/Sel(3)とを供給する。ここで、制御信号Ctrとは、パルス信号や、クロック信号、イネーブル信号など、複数の信号を含む信号である。なお、制御信号Sel(1)、Sel(2)、Sel(3)を、制御信号Selと総称し、制御信号/Sel(1)、/Sel(2)、/Sel(3)を、制御信号/Selと総称する場合がある。

【0032】

また、制御回路3は電圧生成回路を含む。電圧生成回路は、表示パネル10に対して、各種電位を供給する。具体的には、制御回路3は、表示パネル10に対して電位Vorst、初期電位Vini、及び電位Vref等を供給する。

【0033】

さらに、制御回路3は、画像データVdataに基づいて、アナログの画像信号Vidを生成する。具体的には、制御回路3には、画像信号Vidの示す電位、及び、表示パネル10が備える発光素子（後述するOLED130）の輝度に対応付けて記憶したルックアップテーブルが設けられる。そして、制御回路3は、当該ルックアップテーブルを参照することで、画像データVdataに規定される発光素子の輝度に対応した電位を示す画像信号Vidを生成し、これを表示パネル10に対して供給する。

【0034】

図2に示すように、表示パネル10は、表示部100と、これを駆動する駆動回路（データ転送線駆動回路5及び走査線駆動回路20）とを備える。

【0035】

表示部100には、表示すべき画像の画素に対応した画素回路110がマトリクス状に配列されている。詳細には、表示部100において、m行の走査線12が図において横方向に延在して設けられ、また、3列毎にグループ化された(3n)列のデータ線14が図において縦方向に延在し、かつ、各走査線12と互いに電気的な絶縁を保って設けられている。そして、m行の走査線12と(3n)列のデータ線14との交差部に対応して画素回路110が設けられている。このため、本実施形態において画素回路110は、縦m行×横(3n)列でマトリクス状に配列されている。

【0036】

ここで、m、nは、いずれも自然数である。走査線12および画素回路110のマトリクスのうち、行（ロウ）を区別するために、図において上から順に1、2、3、...、(m-1)、m行と呼ぶ場合がある。同様にデータ線14および画素回路110のマトリクスの列（カラム）を区別するために、図において左から順に1、2、3、...、(3n-1)、(3n)列と呼ぶ場合がある。また、データ線14のグループを一般化して説明するために、1以上n以下の整数jを用いると、左から数えてj番目のグループには、(3j-2)列目、(3j-1)列目および(3j)列目のデータ線14が属している、ということになる。

10

20

30

40

50

【0037】

なお、同一行の走査線12と同一グループに属する3列のデータ線14との交差に対応した3つの画素回路110は、それぞれR（赤）、G（緑）、B（青）の画素に対応して、これらの3画素が表示すべきカラー画像の1ドットを表現する。すなわち、本実施形態では、RGBに対応したOLEDの発光によって1ドットのカラーを加法混色で表現する構成となっている。

【0038】

本実施形態では、列毎に放電用給電線である給電線16がデータ線14に沿ってそれぞれ設けられている。各給電線16には放電用電位としての電位Vorstが共通に給電されている。また、列毎に保持容量50が設けられている。詳細には、保持容量の一端はデータ線14に接続され、他端が給電線16に接続されている。このため、保持容量50は、データ線14の電位を保持する第2保持容量として機能する。

【0039】

好ましい態様において、保持容量50は、データ線14を構成する配線と、給電線16を構成する配線とで、絶縁体（誘電体）を挟持することによって形成される。

【0040】

また、保持容量50は、図2では表示部100の外側に設けられている。しかし、これはあくまでも一例である。保持容量50は、表示部100の内側に、または、内側から外側にわたって設けられも良い。また、図2では省略しているが、保持容量50をCdtと表記する場合がある。

【0041】

データ転送線駆動回路5は、デマルチプレクサー30、データ転送回路40、データ信号供給回路70を備える。データ信号供給回路70は、デマルチプレクサー30での選択タイミングに合わせてデータ信号Vd(1)、Vd(2)、...、Vd(n)を、1、2、...、n番目のブロックに対応して出力する。なお、データ信号Vd(1)～Vd(n)が取り得る電位の最高値をVmaxとし、最低値をVminとする。

【0042】

走査線駆動回路20は、マトリックス状に配置された複数の画素回路110を順次選択し、各画素回路110の駆動制御を行う回路である。この走査線駆動回路20は、行単位で画素回路110を順次選択する動作を繰り返す。具体的には、走査線駆動回路20は、1フレーム期間1Fにわたって走査線12を1行毎に順番に走査するための走査信号を、制御信号Ctrに従って生成する。ここで、1フレーム期間1Fとは、電気光学装置1が1カット（コマ）分の画像を表示するのに要する期間をいい、例えば同期信号に含まれる垂直同期信号の周波数が120Hzであれば、その1周期分の8.3ミリ秒の期間である。以下では、1、2、3、...、(m-1)、m行目の走査線12に供給される走査信号を、それぞれGwr(1)、Gwr(2)、Gwr(3)、...、Gwr(m-1)、Gwr(m)と表記する。そして、走査線駆動回路20は、ある画素回路110を選択してから同じ画素回路110を再び選択するまでの1フレーム期間1Fの期間内に当該画素回路のOLED130に流す駆動電流の電流値を設定する電流値設定動作と、OLED130に駆動電流を流して発光させる発光動作とを当該画素回路110に行わせる。

【0043】

このような画素回路110の駆動制御を行うため、走査線駆動回路20は、走査信号Gwr(1)～Gwr(m)の他に、当該走査信号に同期した各種の制御信号を行毎に生成して表示部100に供給するが、図2においては図示を省略している。

【0044】

デマルチプレクサー30は、列毎に設けられたトランсмисシヨンゲート34の集合体であり、各グループを構成する3列に、データ信号を順番に供給するものである。

【0045】

ここで、j番目のグループに属する(3j-2)、(3j-1)、(3j)列に対応したトランсмисシヨンゲート34の入力端は互いに共通接続されて、その共通端子にそれ

10

20

30

40

50

ぞれデータ信号 $V_d(j)$ が供給される。

【0046】

j 番目のグループにおいて左端列である $(3j-2)$ 列に設けられたトランсмисシオンゲート34は、制御信号 $S_{el}(1)$ がHレベルであるとき（制御信号 $/S_{el}(1)$ がLレベルであるとき）にオン（導通）する。同様に、 j 番目のグループにおいて中央列である $(3j-1)$ 列に設けられたトランсмисシオンゲート34は、制御信号 $S_{el}(2)$ がHレベルであるとき（制御信号 $/S_{el}(2)$ がLレベルであるとき）にオンし、 j 番目のグループにおいて右端列である $(3j)$ 列に設けられたトランсмисシオンゲート34は、制御信号 $S_{el}(3)$ がHレベルであるとき（制御信号 $/S_{el}(3)$ がLレベルであるとき）にオンする。

10

【0047】

データ転送回路40は、保持容量44とPチャネルMOS型のトランジスタ45とNチャネルMOS型のトランジスタ43との組を列毎に有し、各列のトランсмисシオンゲート34の出力端から出力されるデータ信号の電位をシフトするものである。ここで、保持容量44の一端は、対応する列のデータ線14とトランジスタ45のドレインノードとに接続される一方、保持容量44の他端は、トランсмисシオンゲート34の出力端とトランジスタ43のドレインノードとに接続される。このため、保持容量44は、一端がデータ線14に接続された第1保持容量として機能する。図2では省略しているが、保持容量44の容量を C_{rf1} とする。

【0048】

20

各列のトランジスタ45のソースノードは、初期電位として電位 V_{ini} を給電する給電線61に各列にわたって共通に接続され、ゲートノードには、制御信号 $/G_{ini}$ が各列にわたって共通に供給される。このため、トランジスタ45は、データ線14と給電線61とを、制御信号 $/G_{ini}$ がLレベルのときに電氣的に接続し、制御信号 $/G_{ini}$ がHレベルのときに電氣的に非接続とする構成となっている。

【0049】

また、各列のトランジスタ43のソースノードは、所定電位として電位 V_{ref} を給電する給電線62に各列にわたって共通に接続され、ゲートノードには、制御信号 G_{ref} が各列にわたって共通に供給される。このため、トランジスタ43は、保持容量44の他端であるノードhと給電線62とを、制御信号 G_{ref} がHレベルのときに電氣的に接続し、制御信号 G_{ref} がLレベルのときに電氣的に非接続とする構成となっている。

30

【0050】

本実施形態では、便宜的に走査線駆動回路20、デマルチプレクサー30およびデータ転送回路40に分けているが、これらについては、画素回路110を駆動する駆動回路としてまとめて概念することが可能である。

【0051】

図3を参照して画素回路110について説明する。各画素回路110については電氣的にみれば互いに同一構成なので、ここでは、 i 行目であって、 j 番目のグループのうち左端列の $(3j-2)$ 列目に位置する i 行 $(3j-2)$ 列の画素回路110を例にとって説明する。なお、 i は、画素回路110が配列する行を一般的に示す場合の記号であって、1以上 m 以下の整数である。

40

【0052】

図3に示されるように、画素回路110は、PチャネルMOS型のトランジスタ121～125と、OLED130と、保持容量132とを含む。この画素回路110には、走査信号 $G_{wr}(i)$ 、制御信号 $G_{el}(i)$ 、 $G_{cmp}(i)$ 、 $G_{orst}(i)$ が供給される。ここで、走査信号 $G_{wr}(i)$ 、制御信号 $G_{el}(i)$ 、 $G_{cmp}(i)$ 、 $G_{orst}(i)$ は、それぞれ i 行目の画素回路110に対して走査線駆動回路20によって供給されるものである。すなわち、走査信号 $G_{wr}(i)$ 、制御信号 $G_{el}(i)$ 、 $G_{cmp}(i)$ 、 $G_{orst}(i)$ は、 i 行目であれば、着目している $(3j-2)$ 列以外の他の列の画素回路にも共通に供給される。

50

【 0 0 5 3 】

i 行 (3 j - 2) 列の画素回路 1 1 0 において、トランジスタ 1 2 2 は、ゲートノードが i 行目の走査線 1 2 に接続され、ドレインまたはソースノードの一方が (3 j - 2) 列目のデータ線 1 4 に接続され、他方がトランジスタ 1 2 1 におけるゲートノード g と、保持容量 1 3 2 の一端と、トランジスタ 1 2 3 のドレインノードとにそれぞれ接続されている。このトランジスタ 1 2 2 は、データ線 1 4 に出力されるデータ信号をトランジスタ 1 2 1 のゲートノードに供給することにより、トランジスタ 1 2 1 の電流値を設定する電流値設定トランジスタである。ここで、トランジスタ 1 2 1 のゲートノードについては、他のノードと区別するために g と表記する。

【 0 0 5 4 】

トランジスタ 1 2 1 は、O L E D 1 3 0 に対する駆動電流を発生する駆動トランジスタである。このトランジスタ 1 2 1 は、ソースノードが給電線 1 1 6 に接続され、ドレインノードがトランジスタ 1 2 3 のソースノードと、トランジスタ 1 2 4 のソースノードとにそれぞれ接続されている。ここで、給電線 1 1 6 には、画素回路 1 1 0 において電源の高位側となる電位 V_{e1} が給電される。

【 0 0 5 5 】

トランジスタ 1 2 3 は、トランジスタ 1 2 1 の閾値電圧の補償を行うための補償用トランジスタである。このトランジスタ 1 2 3 のドレインノードはデータ線 1 4 に接続されている。このトランジスタ 1 2 3 のゲートノードには制御信号 $G_{cmp}(i)$ が供給される。

【 0 0 5 6 】

トランジスタ 1 2 4 は、ゲートノードに制御信号 $G_{e1}(i)$ が供給され、ドレインノードがトランジスタ 1 2 5 のソースノードと O L E D 1 3 0 のアノードとにそれぞれ接続されている。トランジスタ 1 2 4 は、O L E D 1 3 0 へ供給する駆動電流の電流経路に設けられており、O L E D 1 3 0 の発光期間を制御する発光制御トランジスタとして機能する。具体的には、O L E D 1 3 0 を発光させる場合にトランジスタ 1 2 4 をオンさせ、O L E D 1 3 0 を非発光とする場合にトランジスタ 1 2 4 をオフさせる。

【 0 0 5 7 】

以上説明したトランジスタ 1 2 1 ~ 1 2 4 が O L E D 1 3 0 に対して駆動電流を供給するトランジスタ回路 1 2 0 を構成している。

【 0 0 5 8 】

トランジスタ 1 2 5 は、ゲートノードには i 行目に対応した制御信号 $G_{orst}(i)$ が供給され、ドレインノードは (3 j - 2) 列目に対応した給電線 1 6 に接続されて電位 V_{orst} に保たれている。このトランジスタ 1 2 5 は、O L E D 1 3 0 の非発光時にオンとなって O L E D 1 3 0 のアノードを給電線 1 6 に接続する放電トランジスタである。本実施形態において、放電トランジスタであるトランジスタ 1 2 5 は、発光期間において、データ信号がゼロであるときのトランジスタ回路 1 2 0 からの駆動電流を O L E D 1 3 0 を介さずに流す放電手段として機能する。

【 0 0 5 9 】

保持容量 1 3 2 の他端は、給電線 1 1 6 に接続される。このため、保持容量 1 3 2 は、トランジスタ 1 2 1 のソース・ドレイン間の電圧を保持することになる。ここで、保持容量 1 3 2 の容量を C_{pix} と表記したとき、保持容量 5 0 の容量 C_{dt} と、保持容量 4 4 の容量 C_{rf1} と、保持容量 1 3 2 の容量 C_{pix} とは、次の関係を満たすように設定される。

$$C_{dt} > C_{rf1} > C_{pix} \quad \dots \dots (1)$$

すなわち、 C_{dt} は C_{rf1} よりも大きく、 C_{pix} は C_{dt} および C_{rf1} よりも十分に小さくなるように設定される。

【 0 0 6 0 】

なお、保持容量 1 3 2 としては、トランジスタ 1 2 1 のゲートノード g に寄生する容量を用いても良いし、シリコン基板において互いに異なる導電層で絶縁層を挟持すること

10

20

30

40

50

によって形成される容量を用いても良い。

【0061】

本実施形態において電気光学装置1はシリコン基板に形成されるので、トランジスタ121~125の基板電位については電位 V_{el} としている。

【0062】

OLED130のアノードは、画素回路110毎に個別に設けられる画素電極である。これに対して、OLED130のカソードは、画素回路110のすべてにわたって共通の共通電極118であり、画素回路110において電源の低位側となる電位 V_{ct} に保たれている。

【0063】

OLED130は、上記シリコン基板において、アノードと光透過性を有するカソードとで白色有機EL層を挟持した素子である。そして、OLED130の出射側(カソード側)にはRGBのいずれかに対応したカラーフィルタが重ねられる。

【0064】

このようなOLED130において、アノードからカソードに電流が流れると、アノードから注入された正孔とカソードから注入された電子とが有機EL層で再結合して励起子が生成され、白色光が発生する。このときに発生した白色光は、シリコン基板(アノード)とは反対側のカソードを透過し、カラーフィルタによる着色を経て、観察者側に視認される構成となっている。

【0065】

本実施形態では、発光期間においてオフ状態である放電トランジスタ125に流れるリーク電流 $I_{off_or_st}$ を大きくすることにより、黒表示時の黒浮きの抑制を行っている。以下、この点について詳述する。

【0066】

OLED130の発光時、データ信号が黒表示を指示するゼロであると、後述するようにトランジスタ121の閾値電圧に相当するゲート・ソース間電圧 V_{gs} がトランジスタ121に与えられ、トランジスタ121の動作はサブスレッショルド領域での動作となる。従って、トランジスタ回路120から出力される電流 I_{120} には、このサブスレッショルド領域におけるトランジスタ121のドレイン電流 I_{ds} が含まれる。

【0067】

トランジスタ回路120から出力される電流 I_{120} は、これだけではない。図4は本実施形態におけるトランジスタ124および125の構成を示す断面図である。本実施形態において、画素回路110を構成するトランジスタは、図示のようにSTI(Shallow Trench Isolation)構造を有している。図4に示すようにトランジスタ124のソース124S及びドレイン124Dは最高電位 V_{EL} が与えられたnウェル内に形成されているため、トランジスタ124では、ソース124Sとnウェル(電位 V_{EL})とのpn接合を逆方向に流れるリーク電流 I_{L124a} と、ドレイン124Dとnウェル(電位 V_{EL})とのpn接合を逆方向に流れるリーク電流 I_{L124b} とが発生する。他のトランジスタ121、123においても同様なリーク電流 I_{L121} 、 I_{L123} が発生する。従って、データ信号がゼロである場合にトランジスタ回路120から出力される電流 I_{120} には、サブスレッショルド領域におけるトランジスタ121のドレイン電流 I_{ds} に加えて、これらのトランジスタ121、123、124において発生するリーク電流 I_{L121} 、 I_{L123} 、 I_{L124a} および I_{L124b} が含まれる。

【0068】

さらに図4に示すように、トランジスタ125においても、nウェル(電位 V_{EL})とドレイン125Dとの間のリーク電流 I_{L125} が発生する。ここで、トランジスタ125のドレイン125Dとトランジスタ124のドレイン124Dはメタル配線M54により接続されており、このメタル配線M54は図3におけるOLED130のアノードに接続されている。従って、何ら策を講じないと、上記トランジスタ回路120からの出力電流に加えて、トランジスタ125のリーク電流 I_{L125} がOLED130に

10

20

30

40

50

流れる可能性がある。

【0069】

そこで、本実施形態では、トランジスタ125のオフ時のリーク電流 I_{off_orst} を、データ信号がゼロである場合にトランジスタ回路120から出力される電流 I_{120} に対して、トランジスタ125自体のリーク電流 I_{L125} を加えた電流値 $I_{120} + I_{L125}$ よりも大きな電流値としている。

【0070】

トランジスタ125のオフ時の電流 I_{off_orst} をこのような電流値とすると、OLED130の発光時においてデータ信号がゼロである場合に、トランジスタ回路120から出力される電流 I_{120} の全てを、トランジスタ125を介して給電線16に流すことができる。従って、黒浮きを抑制することができる。

10

【0071】

トランジスタ125のオフ時のリーク電流 I_{off_orst} を、電流値 $I_{120} + I_{L125}$ よりも大きな電流値とするため、本実施形態では次のような対策を講じている。

【0072】

まず、本実施形態では、放電トランジスタ125の閾値電圧の絶対値を駆動トランジスタ121の閾値電圧の絶対値よりも小さくしている。このようにすることで放電トランジスタ125のオフ時のリーク電流 I_{off_orst} を増加させることができる。

【0073】

図5は閾値電圧を低下させた放電トランジスタ125と駆動トランジスタ121の電流特性を例示する図である。この図5において、横軸は放電トランジスタ125と駆動トランジスタ121のゲート・ソース間電圧 V_{gs} である。また、縦軸は両トランジスタのドレイン電流値の対数値である。発光期間において、放電トランジスタ125のゲート・ソース間電圧は0Vである。また、発光期間においてデータ信号がゼロである場合、駆動トランジスタ121には、閾値電圧 V_{th} 相当のゲート・ソース間電圧 V_{gs} が与えられる。そこで、図5では、放電トランジスタ125のゲート・ソース間電圧 V_{gs} が0Vとなる位置において、駆動トランジスタ121のゲート・ソース間電圧 V_{gs} が閾値電圧 V_{th} となるように、両トランジスタのゲート・ソース間電圧 V_{gs} に関する横軸を相互にずらしている。

20

30

【0074】

図5にも示されているように、放電トランジスタ125の閾値電圧を低下させると、発光期間においてオフ状態 ($V_{gs} = 0V$) である放電トランジスタ125に流れるリーク電流 I_{off_orst} をサブスレッショルド領域の駆動トランジスタ121に流れる電流 $I_{ds}(V_{th})$ よりも大きくすることができる。

【0075】

必要であれば、Pチャネルの駆動トランジスタ121を閾値電圧が負であるエンハンスメント型トランジスタとし、Pチャネルの放電トランジスタ125を閾値電圧が正であるデプレッション型トランジスタにしてもよい。この態様によれば、 V_{gs} が0Vのときに放電トランジスタ125に流れる電流を大きくすることができるので、効果的に黒浮きを抑制することができる。

40

【0076】

さらに本実施形態では、図6に示すように、放電トランジスタ125のソース125Sおよびドレイン125D間のチャネル長 L_{125} は、駆動トランジスタ121のソース121Sおよびドレイン121D間のチャネル長 L_{121} より短くしている。このようにすると、放電トランジスタ125では、短チャネル効果の影響により閾値電圧が低下し、オフ状態 ($V_{gs} = 0V$) である放電トランジスタ125に流れるリーク電流 I_{off_orst} が増加する。

以上が本実施形態の構成である。

【0077】

50

次に本実施形態の動作について説明する。図 7 は、電気光学装置 1 における各部の動作を示すタイミングチャートである。この図に示されるように、1 フレーム期間 1 F において、走査信号 $Gwr(1) \sim Gwr(m)$ が順次 L レベルに切り替えられて、1 ~ m 行目の走査線 12 が順番に走査される。ここで、複数の走査線 12 のうちの 1 つを選択してから次の走査線 12 を選択するまでの期間が水平走査期間 1 H となる。この例では、1 フレーム期間 1 F が m 個の水平走査期間から構成される。

【0078】

1 水平走査期間 1 H での動作は、各行の画素回路 110 にわたって共通である。そこで、以下では、i 行目が水平走査される水平走査期間において、特に i 行 ($3j - 2$) 列の画素回路 110 について着目して動作を説明する。

10

【0079】

本実施形態では、1 フレーム期間 1 F 内に、初期化期間 → 補償期間 → 書込期間 → 発光期間というサイクルが発生する。図 7 には、この 1 フレーム期間 1 F 内に発生する (b) 初期化期間、(c) 補償期間、(d) 書込期間、(a) 発光期間 (1 回目) が図示されている。

【0080】

ここで、初期化期間の開始から書込期間の終了までの期間は、選択した走査線 12 に対応する画素回路 110 に駆動電流の電流値を設定する電流値設定期間である。この例では電流値設定期間が初期化期間、補償期間、及び書込期間により構成されているが、電流値設定期間をどのように構成するかは任意である。1 水平走査期間 (H) において、電流値設定期間以外の期間は遷移期間となる。そして、本実施形態では、画面全体の輝度を調整するために、走査線駆動回路 20 は、遷移期間において OLED 130 の状態を発光又は非発光の一方から他方へ遷移するように制御している。

20

【0081】

図 8 ~ 図 11 は各々 (a) 発光期間、(b) 初期化期間、(c) 補償期間、(d) 書込期間における i 行 ($3j - 2$) 列の画素回路 110 の状態を示す図である。これらの図では、動作説明で重要となる経路を太線で示している。

【0082】

< 発光期間 >

電流値設定期間を構成する初期化期間、補償期間及び書込期間の動作は、発光期間において OLED 130 をデータ信号に応じた適切な輝度で発光させるために行われる。従って、初期化期間、補償期間、書込期間の動作の意義を理解するためには、発光期間における動作に関する理解が不可欠である。そこで、最初に発光期間での動作について説明する。

30

【0083】

図 7 に示されるように、i 行目の画素を発光させる発光期間では、走査信号 $Gwr(i)$ が H レベルとなる。また、制御信号 $Gel(i)$ が L レベル、制御信号 $Gorst(i)$ 、 $Gcmp(i)$ が H レベルとなる。

【0084】

このため、図 8 に示されるように i 行 ($3j - 2$) 列の画素回路 110 においては、トランジスタ 124 がオンする一方、トランジスタ 122、123、125 がオフする。したがって、トランジスタ 121 は、ゲート・ソース間の電圧 Vgs に応じた電流 Ids を OLED 130 に供給する。

40

【0085】

本実施形態では、後述する初期化期間、補償期間、書込期間の動作により、発光期間での電圧 Vgs を、トランジスタ 121 の閾値電圧から、データ信号の電位に応じてレベルシフトした電圧値とする。このため、発光期間において、OLED 130 には、階調レベルに応じた電流がトランジスタ 121 の閾値電圧を補償した状態で供給されることになる。

【0086】

50

また、発光期間において、データ信号が黒表示を指示するゼロである場合には、トランジスタ 121 の閾値電圧相当のゲート・ソース間電圧 V_{gs} がトランジスタ 121 に与えられる。このため、サブスレッショルド領域で動作するトランジスタ 121 のドレイン電流と、トランジスタ 121、123 のリーク電流とを含む電流 I_{120} がトランジスタ回路 120 から出力され、さらにトランジスタ 125 からのリーク電流も発生する。しかしながら、本実施形態では、このトランジスタ回路 120 から出力される電流 I_{120} と、トランジスタ 125 からのリーク電流との総和である電流を上回るリーク電流 I_{off_orst} が放電トランジスタ 125 に流れる。従って、本実施形態では、黒表示において $OLED130$ に電流が流れず、黒浮きを抑制することができる。

【0087】

< 初期化期間 >

次に i 行目の水平走査期間に至ると、まず、(b) の初期化期間が開始する。初期化期間では、走査信号 $Gwr(i)$ が H レベルとなる。また、制御信号 $Gel(i)$ 、 $Gcmp(i)$ が H レベル、制御信号 $Gorst(i)$ が L レベルとなる。

【0088】

このため、図 9 に示されるように、 i 行 ($3j - 2$) 列の画素回路 110 においてはトランジスタ 124 がオフし、トランジスタ 125 がオンする。これによってトランジスタ 121 から $OLED130$ に供給される電流の経路が遮断されるとともに、 $OLED130$ のアノードが電位 $Vorst$ にリセットされる。

【0089】

$OLED130$ は、上述したようにアノードとカソードとで有機 EL 層を挟持した構成であるので、アノード・カソードの間には、図において破線で示されるように容量 C_{oled} が並列に寄生する。発光期間において $OLED130$ に電流が流れていたときに、当該 $OLED130$ のアノード・カソード間の両端電圧が当該容量 C_{oled} によって保持される。初期化期間では、この保持電圧がトランジスタ 125 のオンによってリセットされる。このため、本実施形態では、後の発光期間において $OLED130$ に再び電流が流れるときに、当該容量 C_{oled} で保持されている電圧の影響を受けにくくなる。

【0090】

詳細には、例えば高輝度の表示状態から低輝度の表示状態に転じるときに、リセットしない構成であると、輝度が高い（大電流が流れた）ときの高電圧が保持されるので、次に、小電流を流そうとしても、過剰な電流が流れ、低輝度の表示状態にすることができなくなる。これに対して、本実施形態では、トランジスタ 125 のオンによって $OLED130$ のアノードの電位がリセットされるので、低輝度側の再現性が高められることになる。

【0091】

なお、本実施形態において、電位 $Vorst$ については、当該電位 $Vorst$ と共通電極 118 の電位 V_{ct} との差が $OLED130$ の発光閾値電圧を下回るように設定される。このため、初期化期間（次に説明する補償期間および書込期間）において、 $OLED130$ はオフ（非発光）状態である。

【0092】

一方、初期化期間では、制御信号 $Gini$ が L レベルになり、制御信号 $Gref$ が H レベルになるので、データ転送回路 40 においては、図 9 に示されるようにトランジスタ 45、43 がそれぞれオンする。このため、保持容量 44 の一端であるデータ線 14 は電位 V_{ini} に、保持容量 44 の他端であるノード h は電位 V_{ref} に、それぞれ初期化される。

【0093】

本実施形態において電位 V_{ini} については、 $(V_{el} - V_{ini})$ がトランジスタ 121 の閾値電圧 $|V_{th}|$ よりも大きくなるように設定される。なお、トランジスタ 121 は P チャネル型であるので、ソースノードの電位を基準とした閾値電圧 V_{th} は負である。そこで、高低関係の説明で混乱が生じるのを防ぐために、閾値電圧については、

10

20

30

40

50

絶対値の $|V_{th}|$ で表し、大小関係で規定することにする。

【0094】

また、本実施形態において電位 V_{ref} については、データ信号 $V_d(1) \sim V_d(n)$ が取り得る電位に対して、後の書込期間においてノード h の電位が上昇変化するような値に、例えば最低値 V_{min} よりも低くなるように設定される。

【0095】

< 補償期間 >

i 行目の水平走査期間では、次に (c) の補償期間となる。補償期間では初期化期間と比較して、走査信号 $G_{wr}(i)$ および制御信号 $G_{cmp}(i)$ が L レベルとなる。一方、補償期間では、制御信号 G_{ref} が H レベルに維持された状態で制御信号 $/G_{ini}$ が H レベルになる。

10

【0096】

このため、図 10 に示されるように、データ転送回路 40 においては、トランジスタ 43 がオンした状態でトランジスタ 45 がオフすることによって、ノード h が電位 V_{ref} に固定される。一方、 i 行 ($3j - 2$) 列の画素回路 110 ではトランジスタ 122 がオンすることによって、ゲートノード g がデータ線 14 に電氣的に接続されるので、補償期間の開始当初においてゲートノード g は電位 V_{ini} となる。

【0097】

補償期間においてトランジスタ 123 がオンするので、トランジスタ 121 は、ゲートノード g がトランジスタ 122 及び 123 を介してドレインノードに接続され、ダイオード接続となる。このため、トランジスタ 121 にはドレイン電流が流れて、ゲートノード g およびデータ線 14 を充電する。詳細には、給電線 16 → トランジスタ 121 → トランジスタ 123 → ($3j - 2$) 列目のデータ線 14 → トランジスタ 122 → ゲートノード g という経路を電流が流れる。このため、トランジスタ 121 のオンによって互いに接続状態にあるデータ線 14 およびゲートノード g は、電位 V_{ini} から上昇する。

20

【0098】

ただし、上記経路に流れる電流は、ゲートノード g が電位 ($V_{el} - |V_{th}|$) に近づくとつれて流れにくくなるので、補償期間の終了に至るまでに、データ線 14 およびゲートノード g は電位 ($V_{el} - |V_{th}|$) で飽和する。したがって、保持容量 132 は、補償期間の終了に至るまでにトランジスタ 121 の閾値電圧 $|V_{th}|$ を保持することになる。

30

【0099】

< 書込期間 >

初期化期間の後、(d) の書込期間に至る。書込期間では、制御信号 $G_{cmp}(i)$ が H レベルになるので、トランジスタ 121 のダイオード接続が解除される一方、制御信号 G_{ref} が L レベルになるので、トランジスタ 43 がオフになる。このため、($3j - 2$) 列目のデータ線 14 から i 行 ($3j - 2$) 列の画素回路 110 におけるゲートノード g に至るまでの経路はフローティング状態になるものの、当該経路における電位は、保持容量 50、132 によって ($V_{el} - |V_{th}|$) に維持される。

40

【0100】

i 行目の書込期間において制御回路 3 は、 j 番目のグループでいえば、データ信号 $V_d(j)$ を順番に、 i 行 ($3j - 2$) 列、 i 行 ($3j - 1$) 列、 i 行 ($3j$) 列の画素の階調レベルに応じた電位に切り替える。一方、制御回路 3 は、データ信号の電位の切り替えに合わせて制御信号 $S_{el}(1)$ 、 $S_{el}(2)$ 、 $S_{el}(3)$ を順番に排他的に H レベルとする。制御回路 3 は、図 7 では省略しているが、制御信号 $S_{el}(1)$ 、 $S_{el}(2)$ 、 $S_{el}(3)$ とは論理反転の関係にある制御信号 $/S_{el}(1)$ 、 $/S_{el}(2)$ 、 $/S_{el}(3)$ についても出力している。これによって、デマルチプレクサ 30 では、各グループにおいてトランスミッションゲート 34 がそれぞれ左端列、中央列、右端列の順番でオンする。

50

【0101】

ここで、左端列のトランSMISSIONゲート34が制御信号Sel(1)、/Sel(1)によってオンしたとき、図11に示されるように、保持容量44の他端であるノードhは、初期化期間および補償期間において固定された電位Vrefから、データ信号Vd(j)の電位に、すなわちi行(3j-2)列の画素の階調レベルに応じた電位に変化する。このときのノードhの電位変化分を ΔV として、変化後の電位を($V_{ref} + \Delta V$)として表すことにする。

【0102】

一方、ゲートノードgは、保持容量44の一端にデータ線14を介して接続されているので、補償期間における電位($V_{el} - |V_{th}|$)から、ノードhの電位変化分 ΔV に容量比k1を乗じた値だけ、上昇方向にシフトした値($V_{el} - |V_{th}| + k1 \cdot \Delta V$)となる。このとき、トランジスタ121の電圧Vgsで絶対値で表現すると、閾値電圧 $|V_{th}|$ からゲートノードgの電位上昇したシフト分だけ減じた値($|V_{th}| - k1 \cdot \Delta V$)となる。

10

【0103】

なお、容量比k1は、 $C_{rf1} / (C_{dt} + C_{rf1})$ である。厳密に言えば、保持容量132の容量Cpixも考慮しなければならないが、容量Cpixは、容量Crf1、Cdtと比較して十分に小さくなるように設定しているので、無視している。

【0104】

i行目の書込期間の終了した後、1水平走査期間が終了すると発光期間に至る。この発光期間では、上述したように制御信号Gel(i)がLレベルになるので、i行(3j-2)列の画素回路110においては、トランジスタ124がオンする。ゲート・ソース間の電圧Vgsは、($|V_{th}| - k1 \cdot \Delta V$)であるから、OLED130には、先の図5に示したように、階調レベルに応じた電流がトランジスタ121の閾値電圧を補償した状態で供給されることになる。

20

【0105】

このような動作は、i行目の走査期間において、(3j-2)列目の画素回路110以外のi行目の他の画素回路110においても時間的に並列して実行される。さらに、このようなi行目の動作は、実際には、1フレームの期間において1、2、3、...、(m-1)、m行目の順番で実行されるとともに、フレーム毎に繰り返される。

30

【0106】

本実施形態によれば、ゲートノードgにおける電位範囲 ΔV_{gate} は、データ信号の電位範囲 ΔV_{data} に対し狭められるので、データ信号を細かい精度で刻まなくても、階調レベルを反映した電圧を、トランジスタ121のゲート・ソース間に印加することができる。このため、微細な画素回路110においてトランジスタ121のゲート・ソース間の電圧Vgsの変化に対しOLED130に流れる微小電流が相対的に大きく変化する場合であっても、OLED130に供給する電流を精度良く制御することが可能になる。

【0107】

また、図3において破線で示されるようにデータ線14と画素回路110におけるゲートノードgとの間には容量Cprsが実際には寄生する。このため、データ線14の電位変化幅が大きいと、当該容量Cprsを介してゲートノードgに伝播し、いわゆるクロストークやムラなどが発生して表示品位を低下させる。当該容量Cprsの影響は、画素回路110が微細化されたときに顕著に現れる。

40

【0108】

これに対して、本実施形態においては、データ線14の電位変化範囲についても、データ信号の電位範囲 ΔV_{data} に対し狭められるので、容量Cprsを介した影響を抑えることができる。

【0109】

書込期間は、走査信号Gwr(i)がHレベルに立ち上がることにより終了する。この

50

書込期間の終了タイミングから次の第 $i + 1$ 行の走査線の初期化期間の開始タイミングまでの期間が遷移期間となる。本実施形態では、この遷移期間内に任意の走査線に対応した制御信号 $G_{orst}(i)$ を H レベルに立ち上げるとともに制御信号 $G_{el}(i)$ を L レベルに立ち下げ、その走査線に接続された各画素回路 110 について発光期間を開始させることができる。また、本実施形態では、この遷移期間内に任意の走査線に対応した制御信号 $G_{orst}(i)$ を L レベルに立ち下げるとともに制御信号 $G_{el}(i)$ を H レベルに立ち上げ、その走査線に接続された各画素回路 110 について発光期間を終了させることができる。

【0110】

図 7 には第 i 行の画素回路 110 についての書込期間の直後の遷移期間内において、第 i 行の走査線に対応した制御信号 $G_{orst}(i)$ が H レベルに立ち上がり、かつ、制御信号 $G_{el}(i)$ が L レベルに立ち下がり、発光期間が開始される様子が例示されている。また、図 7 には、これと同じタイミングにおいて、第 i 行と異なる第 $i a$ 行の走査線上の画素回路 110 についての発光期間が開始し、第 i 行及び第 $i a$ 行と異なる第 $i b$ 行の走査線上の画素回路 110 についての発光期間が終了する様子が示されている。発光期間における画素回路 110 の動作は上述した通りである。

【0111】

本実施形態によれば、画素回路 110 の発光期間に画素回路 110 が黒表示を行う場合、閾値電圧相当のゲート・ソース電圧に応じたトランジスタ 121 のドレイン電流 I_{ds} と、トランジスタ 121、123、124 からのリーク電流 I_{L121} 、 I_{L123} 、 I_{L124a} 、 I_{L124b} とを合わせた電流がトランジスタ回路 120 から出力される。また、トランジスタ 125 の n ウェルからのリーク電流 I_{L125} が OLED 130 との接続ノードから出力される。しかしながら、画素回路 110 の発光期間において、それらの出力電流の総和である電流が OLED 130 を介することなく、放電トランジスタ 125 のオフ電流 I_{off_orst} として給電線 16 に流れる。従って、本実施形態によれば、画素回路 110 の黒表示時における黒浮きを抑制することができる。

【0112】

< 第 2 実施形態 >

図 12 はこの発明の第 2 実施形態である電気光学装置の画素回路 110' の構成を示す回路図である。本実施形態では、上記第 1 実施形態における P チャネルの放電トランジスタ 125 が N チャネルの放電トランジスタ 125' に置き換えられている。本実施形態では、上記第 1 実施形態の P チャネルのトランジスタ 125 のゲートに与えられる信号の極性を反転した信号が N チャネルのトランジスタ 125' のゲートに与えられる。他の構成は上記第 1 実施形態と同様である。

【0113】

図 13 は画素回路 110' におけるトランジスタ 124 および 125' の構成を示す断面図である。図 13 に示すように、OLED 130 のアノードに接続されたトランジスタ 125' のドレイン (n 型拡散層) は最低電位 V_{CT} の与えられた p ウェル内に形成されている。従って、トランジスタ 125' のドレイン 125D' からリーク電流が流出することはなく、むしろトランジスタ 125' のドレイン 125D' から p ウェルにリーク電流 $I_{L125'}$ が流入する。従って、本実施形態では、OLED 130 の発光期間において、オフ状態であるトランジスタ 125' のドレインからソースに流れる電流 (チャネル電流) と、このドレイン 125D' および p ウェル間のリーク電流 $I_{L125'}$ との総和がオフ電流 I_{off_orst} となる。そして、本実施形態では、このオフ電流 I_{off_orst} が黒表示時にトランジスタ回路 120 から出力される電流 I_{120} よりも大きな電流値になっている。

【0114】

よって、本実施形態によれば、上記第 1 実施形態と同様、画素回路 110 の黒表示時における黒浮きを抑制することができる。画素回路 110 の黒表示時における黒浮きを抑制することができる。また、本実施形態では、トランジスタ 125' のドレイン及び p ウ

10

20

30

40

50

エル間のリーク電流がオフ電流 $I_{off_or_st}$ に加わるので、オフ時におけるトランジスタ 125' のドレインおよびソース間のリーク電流をその分だけ小さくすることができる。従って、トランジスタ 125' の閾値制御等が容易になるという利点がある。

【0115】

本実施形態の効果を高めるために、次のことを行うのが好ましい。まず、図 14 に例示するように、放電トランジスタ 125' において OLED 130 に接続されたドレイン 125D' の面積をソース 125S' の面積よりも広くする。ドレイン 125D' の面積を広くすれば、リーク電流 $I_{L125'}$ が大きくなるからである。

【0116】

さらに図 15 に例示するように、Nチャネルの放電トランジスタ 125' のドレイン 125D' の面積を、Pチャネル発光制御トランジスタ 124 のドレイン 124D およびソース 124S の総面積よりも広くする。ここで、発光制御トランジスタ 124 は、駆動トランジスタ 121 からの駆動電流を OLED 130 に供給するか否かの切り換え制御を行うものであるため、駆動電流への影響が発生しないように、チャネル幅を大きくすることが多い。このため、発光制御トランジスタ 124 のドレイン 124D およびソース 124S の総面積も大きくなり、発光制御トランジスタ 124 において発生するリーク電流 I_{L124a} および I_{L124b} も大きくなる。そこで、Nチャネルの放電トランジスタ 125 のドレインの面積を、Pチャネル発光制御トランジスタ 124 のドレイン 124D およびソース 124S の総面積よりも広くするのである。このようにすることで、発光制御トランジスタ 124 において発生するリーク電流 I_{L124a} および I_{L124b} の総和を上回るリーク電流 $I_{L125'}$ を放電トランジスタ 125' のドレイン 125D' および p ウェル間に流すことができ、黒浮きを抑制することができる。

【0117】

< 変形例 >

本発明は、上述した実施形態に限定されるものではなく、例えば次に述べるような各種の変形が可能である。また、次に述べる変形の態様は、任意に選択された一または複数、適宜に組み合わせることもできる。

【0118】

< 変形例 1 >

上述した実施形態では、電気光学素子として発光素子である OLED を例示したが、例えば無機発光ダイオードや LED (Light Emitting Diode) など、電流に応じた輝度で発光するものであれば良い。

【0119】

< 変形例 2 >

上述した実施形態及び変形例では、データ転送回路 40 を用いて、電荷を画素回路 110 に転送することによって、データを画素回路 110 に書き込んだが、本発明はこれに限定されるものではない。また、画素回路 110 は、5 個のトランジスタ 121 ~ 125 で構成されたが、本発明はこれに限定されるものではなく、トランジスタ 123、トランジスタ 125 は適宜省略してもよい。つまり、書込用のトランジスタ 122、駆動用のトランジスタ 121、発光制御用のトランジスタ 124 を備えるものであってもよい。

【0120】

< 応用例 >

次に、実施形態等や応用例に係る電気光学装置 1 を適用した電子機器について説明する。電気光学装置 1 は、画素が小サイズで高精細な表示な用途に向いている。そこで、電子機器として、ヘッドマウント・ディスプレイを例に挙げて説明する。

【0121】

図 16 は、本発明に係る電気光学装置がヘッドマウント・ディスプレイに適用された様子を示す概略図である。図 16 に示すように、本実施形態のヘッドマウント・ディスプレイ 200 は、ユーザーの頭部の前方に位置するフロントフレーム 210 と、フロントフレ

ーム 2 1 0 の両端に接続され頭部の両側方に位置する一対のサイドフレーム 2 2 0 と、フロントフレーム 2 1 0 に固定され眼前を覆う光学パネル 2 5 0 と、それぞれのサイドフレーム 2 2 0 に固定される回路カバー 2 3 0 と、電気光学装置 2 7 0 と、を備える。ここで、電気光学装置 2 7 0 は、上記実施形態および変形例 6 に従って画面の輝度を調整する機能を有する。

【 0 1 2 2 】

本実施形態の電気光学装置 2 7 0 は、表示パネルの数が 2 つとされる。また、電気光学装置 2 7 0 は、上記実施形態における発光期間の調整を行うための調整入力部 5 1 及び調整入力部 5 2 を備える。

【 0 1 2 3 】

一対の表示パネル D I 1 , D I 2 は、光学パネル 2 5 0 内に配置され、表示パネル D I 1 が左眼の眼前に配置され、表示パネル D I 2 が右眼の眼前に配置される。これらの表示パネル D I 1 , D I 2 から出射する光は光学パネル 2 5 0 から出射される。一方の表示パネル D I 1 はユーザーの左眼で視認され、他方の表示パネル D I 2 はユーザーの右眼で視認される。

【 0 1 2 4 】

また、本実施形態のヘッドマウント・ディスプレイ 2 0 0 では、一方のサイドフレーム 2 2 0 に調整入力部 5 1 が操作可能に設けられており、他方のサイドフレーム 2 2 0 に調整入力部 5 2 が操作可能に設けられている。また、本実施形態のヘッドマウント・ディスプレイ 2 0 0 では、一方のサイドフレーム 2 2 0 に固定される回路カバー 2 3 0 内に制御回路 3 が配置され、他方のサイドフレーム 2 2 0 に固定される回路カバー 2 3 0 内に電源回路 D C が配置される。ただし、これらの配置は適宜変更可能である。

【 0 1 2 5 】

図 1 7 は、本発明に係る電気光学装置がプロジェクターに適用された様子を示す概略図である。図 1 8 に示すようにプロジェクター 3 0 0 は、筐体 3 5 0 と、電気光学装置 3 7 0 と、ダイクロイックプリズム 3 1 0 と、投影レンズ 3 2 0 とを備える。

【 0 1 2 6 】

本実施形態の電気光学装置 3 7 0 は、表示パネルの数が 3 つとされる。また、電気光学装置 3 7 0 は、調整入力部 5 1 及び調整入力部 5 2 を備える。

【 0 1 2 7 】

各表示パネル D I 1 , D I 2 , D I 3 は筐体 3 5 0 内に配置され、表示パネル D I 1 , D I 2 , D I 3 の各画素 A R E I P A は、単色の画素 P を備える。本実施形態では、表示パネル D I 1 は赤色の画像を表示し、表示パネル D I 2 は緑色の画像を表示し、表示部 D I 3 は青色の画像を表示する。また、それぞれの表示パネル D I 1 , D I 2 , D I 3 は、互いに隣り合う表示部の光の出射方向が概ね 9 0 度となるように配置され、本実施形態では、表示パネル D I 1 と表示パネル D I 2 とが隣り合い、表示パネル D I 2 と表示部 D I 3 とが隣り合い、表示パネル D I 1 と表示部 D I 3 とが対向して配置される。

【 0 1 2 8 】

各表示パネル D I 1 , D I 2 , D I 3 に囲まれる位置にはダイクロイックプリズム 3 1 0 が配置され、各表示パネル D I 1 , D I 2 , D I 3 とダイクロイックプリズム 3 1 0 の側面である光入射面とが対向している。また、ダイクロイックプリズム 3 1 0 の光の出射面側には投影レンズ 3 2 0 が配置され、投影レンズ 3 2 0 を介して筐体 3 5 0 の中の光が筐体 3 5 0 の外へ出射することができる。なお、投影レンズ 3 2 0 は、1 枚のレンズで構成されても、複数のレンズで構成されても良い。

【 0 1 2 9 】

また、筐体 3 5 0 の外側には、上記実施形態における発光期間の調整を行うための調整入力部 5 1 及び調整入力部 5 2 が操作可能に設けられている。このプロジェクター 3 0 0 の使用時において、表示パネル D I 1 から出射する赤色の光と、表示パネル D I 2 から出射する緑色の光と、表示パネル D I 3 から出射する青色の光とが互いに重ね合わされ、赤色の画像と緑色の画像と青色の画像とが重なるカラーの画像が、スクリーン 3 3 0 に映し

10

20

30

40

50

出される。なお、このスクリーン 330 は、光透過型であっても、光反射型のスクリーンであっても良い。

【0130】

なお、本実施形態では、表示パネル D I 1 , D I 2 , D I 3 として、上述したように赤、緑、青の特定の色のみを発光するものに限定されることなく、他の色を発光するものであっても良い。

【0131】

また、上記実施形態では、各表示パネル D I 1 , D I 2 , D I 3 が赤、緑、青の画像を表示する場合について説明したが、それぞれの各表示パネル D I 1 , D I 2 , D I 3 が画像を表示せず、各表示パネル D I 1 , D I 2 , D I 3 が赤、緑、青の光源となっても良い。この場合、各表示パネル D I 1 , D I 2 , D I 3 の前に液晶パネル等を配置して、当該液晶パネルにより、各表示パネル D I 1 , D I 2 , D I 3 から出射する光に基づいて画像を表示しても良い。

10

【0132】

なお、電気光学装置 1 については、ヘッドマウント・ディスプレイ 200 のほかにも、ビデオカメラやレンズ交換式のデジタルカメラなどにおける電子式ビューファインダー、タブレット端末などの携帯情報端末や腕時計、プロジェクターにおける情報表示部にも適用可能である。

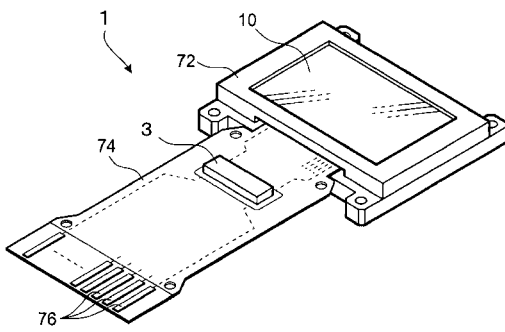
【符号の説明】

【0133】

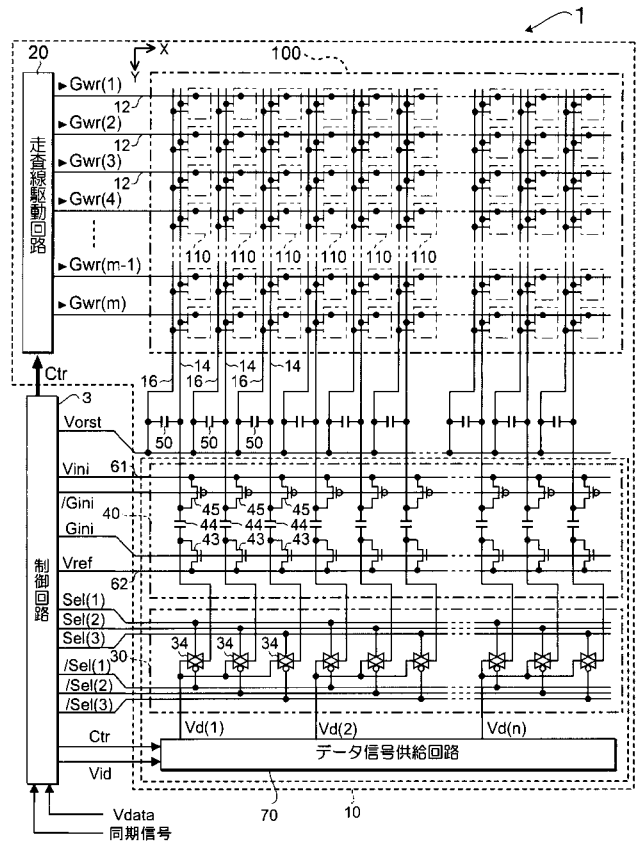
1、270、370 ... 電気光学装置、10 ... 表示パネル、3 ... 制御回路、5 ... データ転送線駆動回路、20 ... 走査線駆動回路、12 ... 走査線、14 ... データ線、16 ... 給電線、30 ... デマルチプレクサー、70 ... データ信号供給回路、110、110' ... 画素回路、116 ... 給電線、121、122、123、124、125、125' ... トランジスター、130 ... O L E D、132 ... 保持容量、200 ... ヘッドマウント・ディスプレイ、300 ... プロジェクター。

20

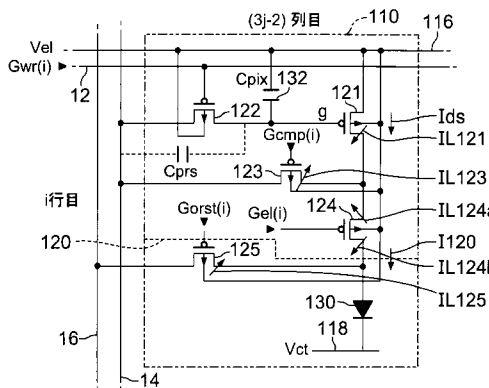
【図 1】



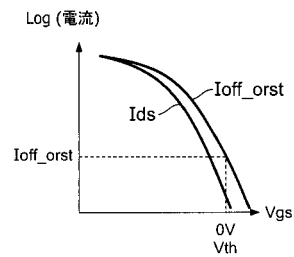
【図 2】



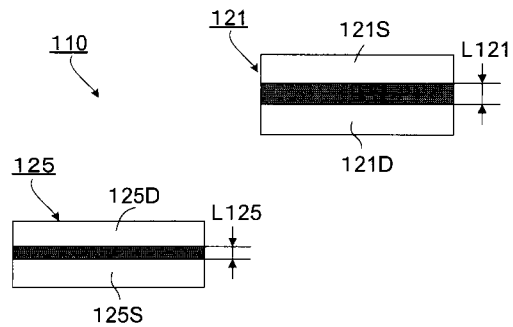
【図 3】



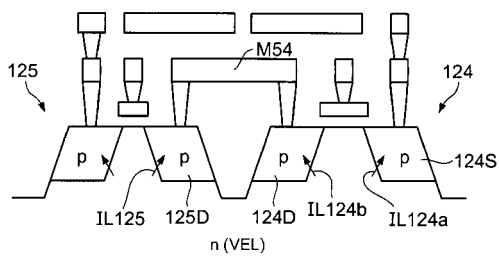
【図 5】



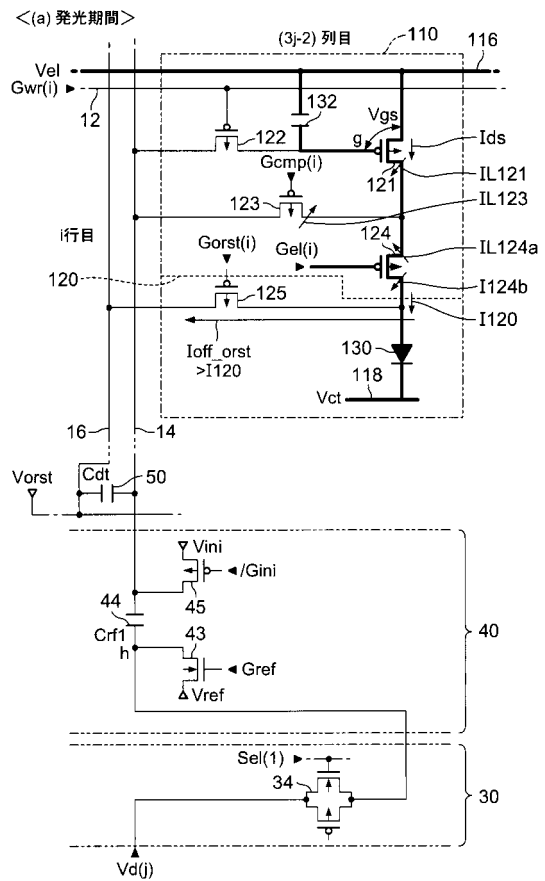
【図 6】



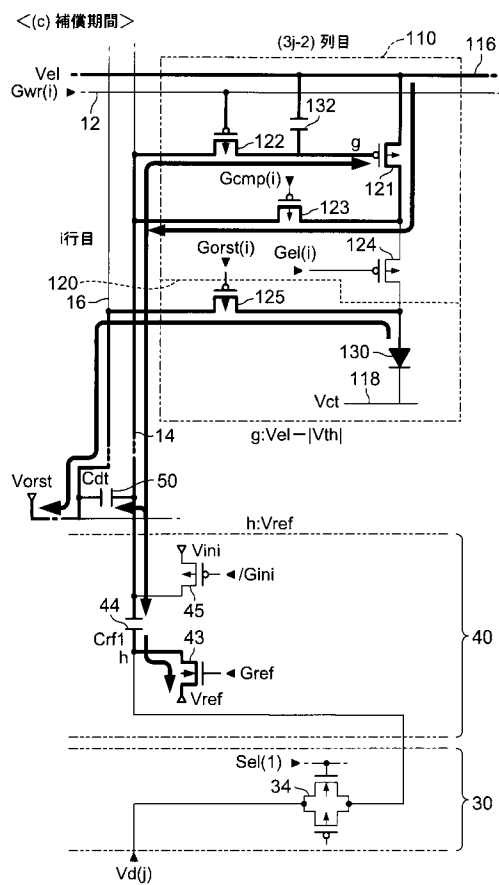
【図 4】



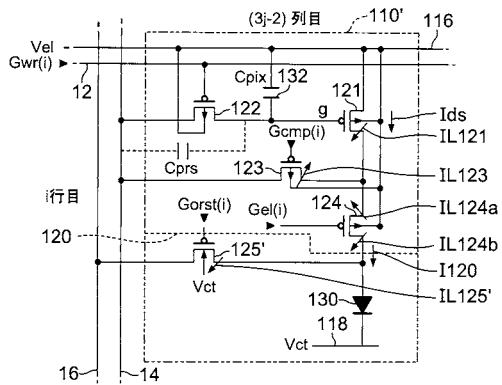
【圖 8】



【 図 1 0 】



【 図 1 2 】



A cross-sectional diagram of a semiconductor device. It features two main regions: a p-type region on the left labeled "p (VCT)" and an n-type region on the right labeled "n (VEL)". Each region contains multiple layers. On the left, from bottom to top, there is a p-layer, an n-layer, and another p-layer. On the right, from bottom to top, there is an n-layer, a p-layer, and another n-layer. A central horizontal bar labeled "M54" spans across both regions. Various other components are labeled with reference numerals: "125'" at the top left, "125D'" below it, "124" at the top right, "124S" below it, "124D" in the center-right, "124a" and "124b" near the bottom right, and "IL125'" near the bottom left.

【 図 1 6 】

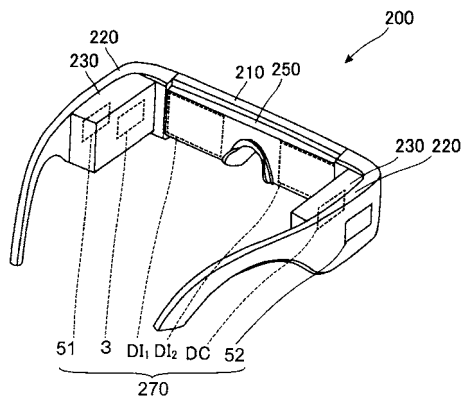
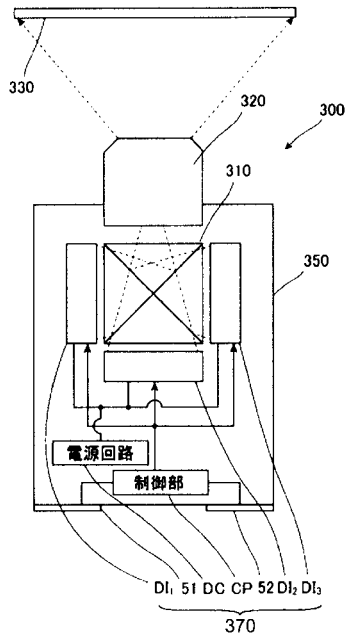


Diagram 110' shows a cross-sectional view of a semiconductor device. It features a substrate 125' with a recessed region 125D'. Inside the recessed region 125D', there is a layer 125S'. A separate layer 124 is shown to the right, with a region 124S (top) and a region 124D (bottom).

【図 17】



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 F 9/30	3 3 8
	G 0 9 F 9/30	3 3 6
	H 0 5 B 33/14	A
	H 0 1 L 27/32	

F ターム(参考) 5C094 AA06 BA03 BA27 CA19 HA08
5C380 AA01 AA02 AA03 AB06 AC02 AC09 AC12 BA38 BA39 BA46
BB02 BB08 CA08 CB01 CC07 CC26 CC33 CC39 CC65 CD013
CD015 CF13 CF43 CF53 DA09 DA33 DA35 DA47 HA12 HA13

专利名称(译)	像素电路，电光器件和电子设备		
公开(公告)号	JP2018151506A	公开(公告)日	2018-09-27
申请号	JP2017047109	申请日	2017-03-13
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
[标]发明人	太田人嗣		
发明人	太田 人嗣		
IPC分类号	G09G3/3225 G09G3/20 G09F9/30 H01L51/50 H01L27/32		
CPC分类号	G09G3/3233 G09G2300/0861 G09G2310/0251 G09G2310/0262 G09G2310/0264 H01L27/3276 H01L51/5206 H01L51/5221		
FI分类号	G09G3/3225 G09G3/20.624.B G09G3/20.642.A G09G3/20.612.U G09F9/30.365 G09F9/30.338 G09F9/30.336 H05B33/14.A H01L27/32		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC32 3K107/EE03 3K107/HH00 5C080/AA06 5C080/AA07 5C080/BB05 5C080/DD05 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C094/AA06 5C094/BA03 5C094/BA27 5C094/CA19 5C094/HA08 5C380/AA01 5C380/AA02 5C380/AA03 5C380/AB06 5C380/AC02 5C380/AC09 5C380/AC12 5C380/BA38 5C380/BA39 5C380/BA46 5C380/BB02 5C380/BB08 5C380/CA08 5C380/CB01 5C380/CC07 5C380/CC26 5C380/CC33 5C380/CC39 5C380/CC65 5C380/CD013 5C380/CD015 5C380/CF13 5C380/CF43 5C380/CF53 5C380/DA09 5C380/DA33 5C380/DA35 5C380/DA47 5C380/HA12 5C380/HA13		
代理人(译)	大林 章 高桥太郎		
外部链接	Espacenet		

摘要(译)

种类代码：A1像素电路有效抑制黑色浮动。晶体管电路输出对应于数据信号的驱动电流。OLED 130连接到晶体管电路120并通过驱动电流发光。放电晶体管125在OLED 130的非发光时段期间导通，并且将晶体管电路120和OLED 130之间的连接节点连接到放电电源线16。放电晶体管125的阈值电压的绝对值小于晶体管电路120中的驱动晶体管121的阈值电压的绝对值。因此，放电晶体管125可以在数据信号为零时驱动来自晶体管电路120的驱动电流而不通过OLED 130。点域

