

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-186125

(P2014-186125A)

(43) 公開日 平成26年10月2日(2014.10.2)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 680H	5C080
G09F 9/30 (2006.01)	G09G 3/20 623Y	5C094
H01L 27/32 (2006.01)	G09G 3/20 611D	5C380
H01L 51/50 (2006.01)	G09G 3/20 611C	
審査請求 未請求 請求項の数 11 O L (全 16 頁) 最終頁に続く		

(21) 出願番号 特願2013-60194 (P2013-60194)
 (22) 出願日 平成25年3月22日 (2013. 3. 22)

(71) 出願人 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿 2 丁目 4 番 1 号
 (74) 代理人 100090479
 弁理士 井上 一
 (74) 代理人 100104710
 弁理士 竹腰 昇
 (74) 代理人 100124682
 弁理士 黒田 泰
 (72) 発明者 田村 剛
 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内
 (72) 発明者 野村 猛
 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内
 最終頁に続く

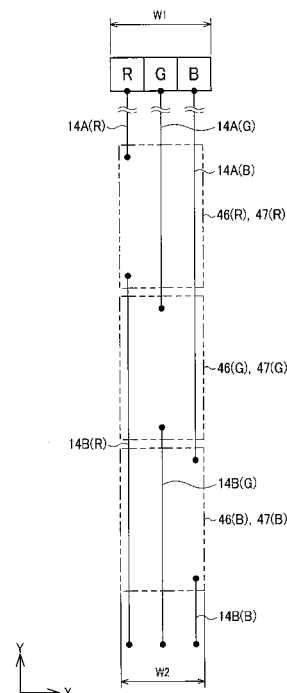
(54) 【発明の名称】 表示装置及び電子機器

(57) 【要約】

【課題】 縦クロストークを防止するために、画素部データ線の振幅を小さくして駆動する表示装置の容量分割駆動方式において、使用する容量のレイアウトを提供する。

【解決手段】 表示装置に設けられる複数の画素回路 110 の各々は、発光素子 O L E D と、発光素子に駆動電流を供給する第 1 トランジスタ 121 と、データ線と第 1 トランジスタのゲートとの間をオン / オフする第 2 トランジスタ 122 と、第 1 トランジスタのゲートとドレインとの間でオン / オフする第 3 トランジスタ 123 と、を有する。表示装置はさらに、複数のデータ線途中に挿入接続され、第 1 トランジスタの駆動電圧をレベルシフトする第 1 保持容量 44 と、複数のデータ線の各々の電位を保持する保持容量 50 と、を有する。行方向 X で隣接する N (N は複数) 個の画素回路の幅未満であり、一つの画素回路の幅以上の電極幅をそれぞれ有する N 個の第 1 保持容量を、列方向 Y に沿って配置した。

【選択図】 図 6



【特許請求の範囲】**【請求項 1】**

表示パネルの行方向に沿って配列され、列方向に沿って延びる複数のデータ線の各々に接続される複数の画素回路と、

前記複数の画素回路の各々に配置される発光素子と、

前記複数の画素回路の各々に配置され、前記発光素子に駆動電流を供給する第 1 トランジスターと、

前記複数の画素回路の各々に配置され、前記データ線と前記第 1 トランジスターのゲートとの間をオン / オフする第 2 トランジスターと、

前記複数の画素回路の各々に配置され、前記第 1 トランジスターの前記ゲートとドレインとの間でオン / オフする第 3 トランジスターと、

前記複数のデータ線途中にそれぞれ挿入接続され、前記第 1 トランジスターの駆動電圧をレベルシフトする第 1 保持容量と、

前記複数のデータ線の各々の電位を保持する保持容量と、

を有し、

前記行方向で隣接する N (N は複数) 個の画素回路の幅未満であり、一つの画素回路の幅以上の電極幅をそれぞれ有する N 個の前記第 1 保持容量を、前記列方向に沿って配置したことを特徴とする表示装置。

【請求項 2】

請求項 1 において、

前記 N 個の第 1 保持容量には、前記 N 個の第 1 保持容量に接続された N 本のデータ線を介して、階調電圧が同時に書き込まれることを特徴とする表示装置。

【請求項 3】

請求項 2 において、

同時に書き込まれる階調電圧は、カラー表示の 1 ドットを構成するサブピクセルのデータ信号であることを特徴とする表示装置。

【請求項 4】

請求項 2 または 3 において、

前記 N 個の第 1 保持容量の下層に、前記 N 本のデータ線が配置されていることを特徴とする表示装置。

【請求項 5】

請求項 2 乃至 4 のいずれかにおいて、

前記 N 個の第 1 保持容量の下層に、平面視にて前記 N 本のデータ線の各々の両側に、固定電位のシールド線が配置されていることを特徴とする表示装置。

【請求項 6】

請求項 1 乃至 5 のいずれかにおいて、

前記行方向で隣り合う 2 組の前記 N 個の第 1 保持容量の間に、固定電位のシールド線が配置されていることを特徴とする表示装置。

【請求項 7】

請求項 1 乃至 6 のいずれかにおいて、

前記第 1 保持容量とトランスファークゲートを介して接続される第 2 保持容量をさらに有し、

N 個の前記画素回路のトータル幅未満であり、一つの画素回路の幅以上の電極幅をそれぞれ有する N 個の前記第 2 保持容量を、前記列方向に沿って配列することを特徴とする表示装置。

【請求項 8】

請求項 7 において、

前記第 1 保持容量の両電極に初期化電位を供給する初期化スイッチと、前記初期化スイッチを制御する制御信号線と、前記制御信号線の途中に配置されるバッファとを、前記 N 個の第 2 保持容量の下層に配置したことを特徴とする表示装置。

10

20

30

40

50

【請求項 9】

請求項 8 において、

前記バッファは、第 1 段バッファ、第 2 段バッファ及び第 3 段バッファを含み

、

前記制御信号線は、

前記行方向の一端側に配置された前記第 1 段バッファより、前記 N 個の第 1 保持容量の下層まで前記行方向に延びる前記第 1 制御信号線と、

前記第 1 制御信号線と前記第 2 段バッファを介して接続され、前記 N 個の第 1 保持容量の下層にて前記行方向の両端に延びる第 2 制御信号線と、

前記 N 個の第 1 保持容量の下層から外れた位置にて、前記第 2 制御信号線から前記列方向に延びる第 3 制御信号線と、

前記第 3 制御信号線から前記 N 個の第 1 保持容量の下層にて前記行方向に延びる第 4 制御信号線と、

を含み、

前記第 3 段バッファが前記第 4 制御信号線と接続されていることを特徴とする表示装置。

【請求項 10】

請求項 7 乃至 9 のいずれかにおいて、

前記第 2 保持容量は、複数の容量素子を高さ方向でスタックして形成されることを特徴とする表示装置。

【請求項 11】

請求項 1 乃至 10 のいずれかに記載の表示装置を有することを特徴とする電子機器。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、表示装置及び電子機器等に関する。

【背景技術】**【0002】**

有機発光ダイオード（OLED）素子等の発光素子を用いた表示装置では、画素トランジスタにデータ線での信号変化が悪影響して、縦クロストークが発生するという課題がある。従来、データ線と画素内の画素トランジスタとの間にシールド線を設けていた（特許文献 1）。

【0003】

しかし実際には画素トランジスタのドレインコンタクト部分での信号線揺れによって、駆動トランジスタのゲート保持電圧に影響を及ぼしており、これが縦クロストークの原因になってしまっていることが分かってきた。

【先行技術文献】**【特許文献】****【0004】**

【特許文献 1】特開 2012—189828 号公報

【発明の概要】**【発明が解決しようとする課題】****【0005】**

縦クロストークを防止するために、データ線での電圧振幅を小さくして駆動する試みがあり、そのために容量分割方式が挙げられている。しかし、データ線毎に所定面積の保持容量を形成することは容易でない。

【0006】

近年、例えばシリコン基板上に液晶層が形成される LCOS パネルや Si-OLED（有機発光ダイオード）パネル等の表示パネルには、ラッチ回路を内蔵するドライバーを搭載することができる。この場合、表示パネルに形成される表示画素の画素ピッチを考慮し

10

20

30

40

50

て、ラッチ回路は形成される。一画素の幅内に、その一画素に供給されるデータをラッチするラッチ素子を配置して、配線し易くするためである。

【 0 0 0 7 】

しかし、例えば電子ビューファインダー（EVF）やヘッドマウンテンディスプレイ（HMD）等を使用される超小型の表示パネルでは、画素ピッチが例えば $2.5\mu\text{m}$ と小さくなる。そのため、画素ピッチの範囲にてデータ線に保持容量を付加することは事実上不可能であることが分かった。

【 0 0 0 8 】

本発明の幾つかの態様は、画素ピッチが小さい表示装置でも、データ線に接続される保持容量を十分に確保することができ、それによりデータ線のデータ振幅を圧縮して縦クロストークを低減できる表示装置及び電子機器を提供することにある。

【課題を解決するための手段】

【 0 0 0 9 】

（１）本発明の一態様は、

表示パネルの行方向に沿って配列され、列方向に沿って延びる複数のデータ線の各々に接続される複数の画素回路と、

前記複数の画素回路の各々に配置される発光素子と、

前記複数の画素回路の各々に配置され、前記発光素子に駆動電流を供給する第１トランジスターと、

前記複数の画素回路の各々に配置され、前記データ線と前記第１トランジスターのゲートとの間をオン／オフする第２トランジスターと、

前記複数の画素回路の各々に配置され、前記第１トランジスターの前記ゲートとドレインとの間でオン／オフする第３トランジスターと、

前記複数のデータ線途中にそれぞれ挿入接続され、前記第１トランジスターの駆動電圧をレベルシフトする第１保持容量と、

前記複数のデータ線の各々の電位を保持する保持容量と、
を有し、

前記行方向で隣接する N （ N は複数）個の画素回路のトータル幅未満であり、一つの画素回路の幅以上の電極幅をそれぞれ有する N 個の前記第１保持容量を、前記列方向に沿って配置した表示装置に関する。

【 0 0 1 0 】

本発明の一態様によれば、第１トランジスターの他に第２、第３トランジスターを設けることで、初期化期間（第２、第３トランジスターはオフ）にて初期化電圧とされるデータ線の電圧を、補償期間（第２、第３トランジスターがオン）では第１トランジスターのしきい値電圧に応じた電圧とし、書込み期間（第２トランジスターはオン、第３トランジスターはオフ）では第１保持容量の電位変動を、保持容量と第１保持容量との容量比で分圧した分だけシフトさせた電圧とする、容量分割駆動が可能となる。 N 個の画素回路のトータル幅未満でかつ一つの画素回路の幅以上の電極幅をそれぞれ有する N 個の第１保持容量の各々は、幅が広がる分だけ列方向の長さを短くできるので、現実的なサイズで十分な容量を確保できる。特に、１個の画素回路の幅内に第１保持容量を設計すると、第１保持容量を形成するには、行方向で隣り合う容量同士ののり代の専有面積が増え、第１保持容量の電極幅をほとんど確保できない。その課題は、 N 個の画素回路のトータル幅未満であり一つの画素の幅以上に第１保持容量の電極幅を設定する本発明の一態様により解消される。

【 0 0 1 1 】

（２）本発明の一態様では、前記 N 個の第１保持容量には、前記 N 個の第１保持容量に接続された N 本のデータ線を介して階調電圧が同時に書き込むようにすることができる。

【 0 0 1 2 】

もし、 N 個の第１保持容量にそれぞれ異なるタイミングで階調電圧が書き込まれると、クロストークの原因となる。つまり、 N 個の第１保持容量の一つに異なるタイミングで書

10

20

30

40

50

き込まれた階調電圧は、既にかき込まれていた他の第 1 保持容量と接続されているデータ線の電圧に悪影響を及ぼす。同時書き込みであれば、その問題は少ない。

【0013】

(3) 本発明の一態様では、同時に書き込まれる階調電圧は、カラー表示の 1 ドットを構成するサブピクセルのデータ信号とすることができる。

【0014】

通常、カラー表示の 1 ドットを構成する RGB 画素は異なるタイミングで書き込まれるが、本発明の一態様では同時に書き込むことで容量カップリングによるクロストークを低減している。

【0015】

(4) 本発明の一態様では、前記 N 個の第 1 保持容量の下層に、前記 N 本のデータ線を配置することができる。

【0016】

同時書き込みにより容量カップリングの問題が解消されているので、N 個の第 1 保持容量の下層に N 本のデータ線を配置することができる。それにより省スペースな設計となる。

【0017】

(5) 本発明の一態様では、前記 N 個の第 1 保持容量の下層に、平面視にて前記 N 本のデータ線の各々の両側に、固定電位のシールド線を配置することができる。

【0018】

それにより N 本のデータ線を外部ノイズからシールドすることができる。

【0019】

(6) 本発明の一態様では、前記行方向で隣り合う 2 組の前記 N 個の第 1 保持容量の間に、固定電位のシールド線を配置することができる。

【0020】

行方向で隣り合う 2 組の N 個の第 1 保持容量は、必ずしも同時書き込みとは限らないので、シールド線で隔離することでクロストークを防止できる。

【0021】

(7) 本発明の一態様では、前記第 1 保持容量とトランスファークートを介して接続される第 2 保持容量をさらに有し、

N 個の画素回路のトータル幅未満であり、一つの画素回路の幅以上の電極幅をそれぞれ有する N 個の前記第 2 保持容量を、前記列方向に沿って配列することができる。

【0022】

トランスファークートと第 2 保持容量とを設けることで、書き込み期間の前(初期化期間及び補償期間中を含む)に第 2 保持容量に階調電圧を供給して、第 2 保持容量に階調電圧を一旦保持することができる。書き込み期間ではトランスファースイッチをオンすることで、第 1 保持容量の電極を電位変動させることができる。この第 2 保持容量も、N 個の画素回路のトータル幅未満であって、一つの画素回路の幅以上の電極幅を有することができる。それにより、第 2 保持容量も第 1 保持容量と同様にして、現実的なサイズで十分な容量を確保できる。

【0023】

(8) 本発明の一態様では、前記第 1 保持容量の両電極に初期化電位を供給する初期化スイッチと、前記初期化スイッチを制御する制御信号線と、前記制御信号線の途中に配置されるバッファとを、前記 N 個の第 2 保持容量の下層に配置することができる。

【0024】

本発明の一態様では、第 1、第 2 保持容量やデータ線の駆動に必要な配線や部品を N 個の第 2 保持容量の下層に配置することで、省スペースを実現できる。

【0025】

(9) 本発明の一態様では、前記バッファは、第 1 段バッファ、第 2 段バッファ及び第 3 段バッファを含み、前記制御信号線は、前記行方向の一端側に配置された前記

10

20

30

40

50

第 1 段バッファより、前記 N 個の第 2 保持容量の下層まで前記行方向に延びる前記第 1 制御信号線と、前記第 1 制御信号線と前記第 2 段バッファを介して接続され、前記 N 個の第 2 保持容量の下層にて前記行方向の両端に延びる第 2 制御信号線と、前記 N 個の第 2 保持容量の下層から外れた位置にて、前記第 2 制御信号線から前記列方向に延びる第 3 制御信号線と、前記第 3 制御信号線から前記 N 個の第 2 保持容量の下層にて前記行方向に延びる第 4 制御信号線と、を含み、前記第 3 段バッファを前記第 4 制御信号線と接続することができる。

【 0 0 2 6 】

複数段のバッファ構成とすることで、第 2 保持容量の下層にて列方向に延びる制御信号線の配線を極力少なくして、データ線の電位変動を抑制している。

10

【 0 0 2 7 】

(1 0) 本発明の一態様では、前記第 2 保持容量は複数の容量素子を高さ方向でスタックして形成することができる。

【 0 0 2 8 】

複数の容量素子を高さ方向にてスタックすることで、所定容量値を確保するための保持容量の専有面積が減少し、省スペースとなる。

【 0 0 2 9 】

(1 1) 本発明のさらに他の態様は、上述した表示装置を含む電子機器を定義している。この電子機器として、例えば電子ビューファインダー (E V F) やヘッドマウントディスプレイ (H M D) 等を挙げることができる。

20

【図面の簡単な説明】

【 0 0 3 0 】

【図 1】本発明の表示装置の一例を示す図である。

【図 2】図 1 に示す画素回路の回路図である。

【図 3】図 1 に示すデマルチプレクサ回路の一部を示す回路図である。

【図 4】図 1 に示すレベルシフト回路の一部を示す回路図である。

【図 5】図 1 に示す他のレベルシフト回路の一部を示す回路図である。

【図 6】図 4 または図 5 に示すレベルシフトブロックのレイアウトを示す図である。

【図 7】第 1 保持容量間、および第 1 保持容量の下層のデータ線間のシールド線を示す図である。

30

【図 8】第 2 保持容量の下層にて初期化スイッチの制御信号線の引き回しを説明するための図である。

【図 9】図 9 (A) (B) は第 1 , 第 2 保持容量を示す図である。

【図 1 0】電子機器の一例であるデジタルスチルカメラを示す図である。

【図 1 1】電子機器の他の一例であるオーバーヘッド・ディスプレイの外観図である。

【図 1 2】オーバーヘッド・ディスプレイの表示装置及び光学系を示す図である。

【発明を実施するための形態】

【 0 0 3 1 】

以下、本発明の好適な実施の形態について詳細に説明する。なお以下に説明する本実施形態は特許請求の範囲に記載された本発明の内容を不当に限定するものではなく、本実施形態で説明される構成の全てが本発明の解決手段として必須であるとは限らない。

40

【 0 0 3 2 】

1 . 表示装置 (電気光学装置)

【 0 0 3 3 】

図 1 は、本実施形態の表示装置 (電気光学装置) 1 0 を示している。表示装置 1 0 は、半導体基板例えばシリコン基板 1 上に走査線駆動回路 2 0、デマルチプレクサ 3 0、レベルシフト回路 4 0、データ線駆動回路 6 0 及び表示部 1 0 0 を形成している。

【 0 0 3 4 】

表示部 1 0 0 には、行方向 (横方向) に沿って複数の走査線 1 2 が配置され、列方向 (縦方向) Y に沿って複数のデータ線 1 4 が配置されている。複数の走査線 1 2 及び複数の

50

データ線 14 の各 1 本に接続される複数の画素回路 110 がマトリクス状に配置されている。

【0035】

本実施形態では、1 本の走査線 12 に沿って連続する 3 つの画素回路 110 は、それぞれ R (赤)、G (緑)、青 (B) の画素に対応し、これら 3 画素がカラー画像の 1 ドットを表現する。

【0036】

画素回路 110 の一例について説明する。i 行目の画素回路 110 は、図 2 に示すように、P 型トランジスタ 121 ~ 125 と、OLED 130 と、保持容量 132 とを含む。画素回路 110 には、走査信号 $Gwr(i)$ 、制御信号 $Ge1(i)$ 、 $Gcmp(i)$ 、 $Gorst(i)$ が供給される。

10

【0037】

駆動トランジスタ (第 1 トランジスタ) 121 は、ソースが給電線 116 に接続され、ドレインはトランジスタ 124 を介して OLED 130 に接続され、OLED 130 に流れる電流を制御する。データ線電位 (階調電位) を書き込む第 2 トランジスタ 122 は、ゲートが走査線 12 に接続され、ドレイン / ソースの一方がデータ線 14 に接続され、他方が第 1 トランジスタ 121 のゲートに接続されている。保持容量 132 は第 1 トランジスタ 121 のゲート線と給電線 116 との間に接続され、第 1 トランジスタ 121 のソース・ゲート間の電圧を保持する。給電線 116 には、電源の高電位 Vel が給電される。OLED の 130 のカソードは共通電極とされ、電源の低電位 Vct に設定される。

20

【0038】

第 3 トランジスタ 123 は、ゲートに制御信号 $Gcmp(i)$ が入力され、制御信号 $Gcmp(i)$ に従って第 1 トランジスタ 121 のゲート・ドレイン間をショートさせ、第 1 トランジスタ 121 のしきい値のばらつきを補償する。OLED 130 の点灯制御トランジスタ 124 は、ゲートに制御信号 $Ge1(i)$ が入力され、第 1 トランジスタ 121 のドレインと OLED 130 のアノードとの間をオン / オフする。リセットトランジスタ 125 は、ゲートに制御信号 $Gorst(i)$ が入力され、制御信号 $Gorst(i)$ に従って OLED 130 のアノードに、給電線 16 の電位であるリセット電位 $Vorst$ を供給する。このリセット電位 $Vorst$ と共通電位 Vct との差が OLED 130 の発光しきい値を下回るように設定される。

30

【0039】

図 1 に示す走査線駆動回路 20 は、i 行目の走査線 12 に走査信号 $Gwr(i)$ を供給する。図 1 にて列方向 Y に沿って延びるデータ線 14 と給電線 16 との間に誘電体を配置することで保持容量 50 が形成される。レベルシフト回路 40 は、データ線駆動回路 60 及びデマルチプレクサ 30 を介して供給されるデータ信号 (階調レベル) に応じて、例えば保持容量 50 とレベルシフト回路 40 内の第 1 保持容量 44 や第 2 保持容量 41 を用いて容量分割方式にて、DAC 64 から入力される階調電圧を、トランジスタ 121 を駆動するゲート電圧にレベルシフトさせてデータ線 14 に供給する。この容量分割方式は後述する。

40

【0040】

デマルチプレクサ 30 の一例を図 3 に示す。図 3 は、図 1 の表示部 100 の一ライン (i 行) 上にある M (例えば $M = 18$) $\times$ 3 (RGB) 画素 ($3 \times M = 54$ 画素) に、RGB 毎に時分割でデータ電位を切り換え出力するデマルチプレクサブロック 31 を示している。図 3 に示すデマルチプレクサブロック 31 が、(行方向 X の全画素数) $\div 54$ に相当する個数だけ設けられる。デマルチプレクサ 30 の入力端子 $VR(1)$ には、データ線駆動回路 60 から 18 個の R 画素のためのデータ電位が時分割で入力される。入力端子 $VG(1)$ 、 $VB(1)$ にも同様に、データ線駆動回路 60 から 18 個の R 画素、B 画素のためのデータ電位がそれぞれ時分割で入力される。入力端子 $VR(1)$ 、 $VG(1)$ 、 $VB(1)$ と 54 本のデータ線との間には 54 個のスイッチ (トランスファークゲート) 34 が

50

設けられている。54個のスイッチ34は、セレクト信号SEL(1)~SEL(18)により3個ずつ同時に順次オンされる。つまり、セレクト信号SEL(1)がアクティブであると、ドットを構成する3画素(RGB)のデータ電位が同時に書き込まれる。

【0041】

データ線駆動回路60を機能ブロックで表すと、図1に示すように、シフトレジスタ61と、シフトレジスタ61からのクロックに従って順次データをラッチするデータラッチ回路62と、データラッチ回路62からのデータを同時にラッチするラインラッチ回路63と、ラインラッチ回路63からのデータをデジタル-アナログ変換して、階調電圧として出力するデジタル-アナログ変換回路64とを含んでいる。デジタル-アナログ変換回路64の最終段にはアンプが設けられる。

10

【0042】

表示装置10は、図1に示すように、シリコン基板1上あるいはシリコン基板1の外部に、画像処理部70を有することができる。画像処理部70はガンマ補正部71を有することができる。

【0043】

2. 容量分割方式

図1に示すレベルシフト回路40の一画素分のレベルシフトブロック46を図4に示す。図4に示すレベルシフトブロック46は、1本のデータ線14についてのみ示されている。データ線14の途中には第1保持容量44が接続されている。第1保持容量44の一端を初期電位Vin1に設定する初期化スイッチ45は、ゲートに制御信号/Giniが供給される。第1保持容量44の他端を電位Vrefに設定する初期化スイッチ43は、ゲートに制御信号Grefが供給される。この容量分割方式は例えば特願2011-228885号に詳しく記載されているので、ここでは簡便に説明する。

20

【0044】

初期化期間(トランジスタ122, 123が共にオフ)では、第1保持容量44の両端の電位はそれぞれ電位Vin1, Vrefに設定される。このときトランジスタ124はオフ、トランジスタ125はオンしている。初期化期間後の補償期間(トランジスタ122, 123が共にオン)では、トランジスタ123がオンしているのでトランジスタ121がダイオード接続され、画素回路110内の保持容量132はトランジスタ121のしきい値電圧Vthを保持する。補償期間後の書込み期間(トランジスタ122がオン)では、トランジスタ123はオフされ、デマルチプレクサ30のトランスファergeート34がオンし、初期化スイッチ43もオフする。従って、初期化期間及び補償期間に固定されていた第1保持容量44の他端のノードは、電位Vrefから階調レベルに変化する。

30

【0045】

第1保持容量44の一端のノードは、補償期間における電位($V_{el} - |V_{th}|$)から、そのノードの電位変化分 ΔV に容量比 k_1 を乗じた値だけ、上昇方向にシフトした値($V_{el} - |V_{th}| + k_1 \cdot \Delta V$)となる。容量比 k_1 は、第1保持容量44の容量を C_{rf2} 、保持容量50の容量を C_{dt} とすると、 $k_1 = C_{rf1} / (C_{dt} + C_{ref})$ である(ただし、 $C_{dt} > C_{rf1}$)。例えば、 $C_{rf1} : C_{dt} = 1 : 9$ とすると、書込み期間におけるデータ線14の電位とトランジスタ121のゲートノードの電位との関係から、データ線14の電位範囲の1/10までトランジスタ121のゲートノードの電位範囲は圧縮される。

40

【0046】

図5に示すように、図4に示すレベルシフトブロック46に代え、第2の保持容量41とトランスファergeート42とがさらに追加されたレベルシフトブロック47を設けることができる。第2保持容量41とトランスファergeート42とを設けることで、書込み期間の前(初期化期間及び補償期間中を含むトランスファergeート42のオフ期間)に第2保持容量41に階調電圧を供給して、第2保持容量41に階調電圧を一旦持することができる。その後の書込み期間ではトランスファースイッチ42をオンすることで、第1保持

50

容量 4 4 の電極を第 2 保持容量 4 1 の電極に電位変動させることができる。この場合には、上記式の容量比 k_1 が容量比 k_2 に変更される。容量比 k_2 は、第 2 の保持容量 4 1 の容量を C_{rf2} としたとき、容量 C_{dt} 、 C_{rf1} 、 C_{rf2} の容量比となる。

【0047】

3. 保持容量のレイアウト

図 6 は、図 4 に示すレベルシフトブロック 4 6 または図 5 に示すレベルシフトブロック 4 7 のレイアウトを模式的に示している。行方向 X で隣接する N (N は複数) 個例えば 3 個の画素に対応するレベルシフトブロック 4 6 (4 7) を、列方向 Y に沿って配置している。本実施形態では、3 つの画素回路 1 1 0 は、一つのカラードットを構成する RGB 画素としている。つまり、3 個のレベルシフトブロックとは、R 画素に接続されるブロック 4 6 (R) と、G 画素に接続されるブロック 4 6 (G) と、B 画素に接続されるブロック 4 6 (B) である。レベルシフトブロック 4 6 (4 7) の幅 W_2 は、 $N = 3$ 個の画素回路 1 1 0 のトータル幅を W_1 としたとき、 $W_1 / N \leq W_2 < W_1$ である。つまり、レベルシフトブロック 4 6 (4 7) の幅 W_2 は、 N 個の画素回路 1 1 0 のトータル幅 W_1 未満であって、一つの画素回路 1 1 0 の幅 W_1 / N 以上のブロック幅 W_2 を有する。なお、本実施形態では、保持容量は MIM (金属 - 絶縁物 - 金属) にて形成される。

【0048】

図 4 に示す実施形態を図 6 に適用すると、R 画素、G 画素及び B 画素用のレベルシフトブロック 4 6 (R)、4 6 (G)、4 6 (B) が列方向 Y に沿って配列される。レベルシフトブロック 4 6 (R)、4 6 (G)、4 6 (B) の各々では、第 1 保持容量 4 4 の電極幅がブロック幅 W_2 の要件を満たす。図 5 に示す実施形態を図 6 に適用すると、R 画素、G 画素及び B 画素用のレベルシフトブロック 4 7 (R)、4 7 (G)、4 7 (B) が列方向 Y に沿って配列される。レベルシフトブロック 4 7 (R)、4 7 (G)、4 7 (B) の各々では、第 1 保持容量 4 4 と第 2 保持容量 4 1 とが列方向 Y に沿って配列され、第 1 保持容量 4 4 と第 2 保持容量 4 1 との各々の電極幅がブロック幅 W_2 の要件を満たす。

【0049】

図 7 は、X 方向にてピッチ W_1 で配列されるレベルシフトブロック 4 6 (4 7) 中の第 1 保持容量 4 4 を示す平面図である。1 4 A (R)、1 4 A (G)、1 4 A (B) は図 1 で説明した R、G、B 各画素に対応するデータ線である。図 7 に示すように、第 1 保持容量 4 4 は、シリコン基板 1 の厚さ方向 Z で対向する一対の電極 4 4 A、4 4 B を有する。一対の電極 4 4 A、4 4 B の電極幅を W_A 、 W_B とする ($W_A > W_B$)。電極 4 4 A、4 4 B の対向部分が容量素子を形成する。ここで、 $W_1 / N \leq W_A < W_1$ かつ $W_1 / N \leq W_B < W_1$ である。

【0050】

ここで、3 つの画素回路 1 1 0 のトータル幅 W_1 を、例えば $2.5 \mu\text{m} \times 3 = 7.5 \mu\text{m}$ とする。図 7 に示すように行方向 X にてピッチ W_1 にて複数の第 1 保持容量 4 4 を形成するときに、一対の電極 4 4 A、4 4 B をフォトリソグラフィ工程にて形成するのに用いるマスクが X 方向にずれることを考慮しなければならない。そのために、例えば電極 4 4 B の X 方向の両側にて、それぞれのり代 W_C を確保する必要がある。片側のり代 W_C だけでも $1.1 \mu\text{m}$ 必要である。よって、両側では $2.2 \mu\text{m}$ のり代を要する。本実施形態では、電極 4 4 B の電極幅として、 $7.5 - 2.2 = 5.3 \mu\text{m}$ が確保される。この場合 0.5 pF の容量を確保するのに列方向 Y の長さは $100 \mu\text{m}$ になる。レベルシフトブロック 4 7 にて第 1 保持容量 4 4 と共に配置される第 2 保持容量 4 1 についても、第 1 保持容量 4 4 の電極幅と同様に適用される。

【0051】

もし、一つの画素回路 1 1 0 の幅内で保持容量を配置するとなると、 $2.5 - 2.2 = 0.3 \mu\text{m}$ の電極幅しか確保できず、その場合には 0.5 pF の容量を確保するのに列方向 Y の長さは概略 $1710 \mu\text{m}$ にもなってしまう。第 1、第 2 保持容量 4 4、4 1 を配置すると、Y 方向長さは概略 $3420 \mu\text{m}$ となり、チップ面積が増大し、高コストになり実現困難である。図 5 に示す本実施形態では、1 つのレベルブロック 4 7 内に $100 \mu\text{m}$ の

長さを有する第 1 保持容量 4 4、第 2 保持容量 4 1 が Y 方向にて隣接配置され、R、G、B で 3 ブロックが Y 方向に隣接するので、概略 $100\text{ }\mu\text{m} \times 2 \times 3 = 600\text{ }\mu\text{m}$ で収まり、XY 方向の寸法のバランスも取れる。

【0052】

図 6 に示すように、レベルシフトブロック 4 6 (R) またはレベルシフトブロック 4 7 (R) 内の第 1 保持容量 4 4 は、データ線 1 4 A (R) により R 画素回路 1 1 0 と接続され、データ線 1 4 B (R) によりデマルチプレクサ 3 0 内のトランスファークロップ 3 4 に接続される。他の色のブロック 4 6 (G)、4 7 (G)、4 6 (B)、4 7 (B) も同様である。

【0053】

3 つのブロック 4 6 (R)、4 6 (G)、4 6 (B) には、データ線 1 4 B (R)、1 4 B (G)、1 4 B (B) を介して、RGB の階調電圧が第 1 保持容量 4 4 同時に書き込まれる。あるいは、3 つのブロック 4 7 (R)、4 7 (G)、4 7 (B) には、データ線 1 4 B (R)、1 4 B (G)、1 4 B (B) を介して、RGB の階調電圧が第 2 保持容量 4 4 に同時に書き込まれる。同時に書き込むことで、データ配線と上部 MIM 容量の電極とのカップリングによるノイズを無視することができる。

【0054】

また、図 6 に示すデータ線 1 4 A (R)、1 4 A (G)、1 4 A (B)、1 4 B (R)、1 4 B (G)、1 4 B (B) を 3 つのレベルシフトブロック 4 6 (G)、4 6 (G)、4 6 (B) あるいは 3 つのレベルシフトブロック 4 7 (G)、4 7 (G)、4 7 (B) の下層に配置することができる。それにより、配線スペースを余分に確保しなくて済むので、省スペースとなる。

【0055】

図 7 では、MIM 保持容量の下層にて、平面視にて 3 本のデータ線 1 4 A (R)、1 4 A (G)、1 4 A (B) の各々の両側に、固定電位のシールド線 8 0 若しくは 8 1 を配置している。それにより X 方向でのクロストークを防止している。固定電位のシールド線 8 0 は、高電位レベル (例えば VDDH) と低電位レベル (例えば VSS) のシールド線 8 0 である。さらに、行方向 X で隣り合う 2 組の N 個の保持容量 4 4 (4 1) の間に、固定電位のシールド線 8 1 を配置しても良い。行方向 X で隣り合う 2 組の N 個の保持容量 4 4 (4 1) は必ずしも同時書き込みとはならないので、クロストーク防止に効果がある。

【0056】

図 8 は、図 1 に示すレベルシフト回路 4 0 全体の概略平面図である。図 8 に示すように、R 用のレベルシフト領域 4 8 (R)、4 9 (R) が、行方向 X に沿って設けられている。レベルシフト領域 4 8 (R) には、図 5 に示す第 1 保持容量 4 4 が全 R 画素分だけ配置されている。レベルシフト領域 4 9 (R) には、図 5 に示す第 2 保持容量 4 1 が全 R 画素分だけ配置されている。他の色のレベルシフト領域 4 8 (G)、4 9 (G)、4 8 (B)、4 9 (B) も同様である。

【0057】

図 4 または図 5 に示す第 1 保持容量 4 4 の電極に電位を供給する初期化スイッチ 4 3、4 5 と、初期化スイッチ 4 3、4 5 を制御する /Gini 制御信号線及び Greff 制御線等は、図 8 に示すように、第 2 保持容量 4 1 の形成領域 4 9 (R)、4 9 (G)、4 9 (B) の下層に配置することができる。

【0058】

図 8 には、制御信号線 9 0 の途中に配置されるバッファ 9 1 として、第 1 段バッファ 9 1 A、第 2 弾バッファ 9 1 B 及び第 3 段バッファ 9 1 C を含んでいる。制御信号線 9 0 は、行方向 X の一端側に配置された第 1 段バッファ 9 1 A より、第 2 保持容量 4 1 の下層まで行方向 X に延びる第 1 制御信号線 9 0 A と、第 1 制御信号線 9 0 A と第 2 段バッファ 9 1 B を介して接続され、第 2 保持容量 4 1 の下層から行方向 X の両端にて第 2 保持容量 4 1 から外れる位置まで延びる第 2 制御信号線 9 0 B と、保持容量の形成領域外で列方向 Y に延びる第 3 制御信号線 9 0 C と、第 3 制御信号線 9 0 C から第 2 保持容量

10

20

30

40

50

4 1 の下層にて行方向 X に延びる第 4 制御信号線 9 0 D を有する。第 4 制御信号線 9 0 D に第 3 段バッファ 9 1 C が接続される。こうすると、第 2 保持容量 4 1 の形成領域内では制御信号線 9 0 が列方向 Y に沿って延びない。よって、制御信号線 9 0 が第 1 保持容量 4 4 に悪影響を及ぼすことがない。なお、バッファ 9 1 の引き出し線や制御信号線 9 0 が列方向 Y に走る場合、その両側を上述したシールド線 8 0 で挟むことができる。

【 0 0 5 9 】

シールド対策はバッファ 9 1 や制御信号線 9 0 だけでなく、図 4 に示す初期化電位 V_{ini} , V_{ref} の供給線についても同様であり、シールド線で挟んで保護することができる。

【 0 0 6 0 】

10

図 6 に示す各ブロック内の第 1 保持容量 4 4 、第 2 保持容量 4 1 は、図 9 (A) (B) のようにして形成することができる。本実施形態では、第 1 保持容量 4 4 は、図 9 (A) に示すように金属第 3 層 A L C 及び金属第 4 層 A L D に配置されるノード電極 4 4 a , 4 4 b と、その間に形成される M I M プレート電極 4 4 c を有する。M I M プレート電極 4 4 c はビアによりノード電極 4 4 b と接続される。M I M 容量素子は、ノード電極 4 4 a と M I M プレート電極 4 4 c とそれらの間の絶縁体で形成される。第 2 保持容量 4 1 は、図 9 (B) に示すように、金属第 3 層 A L C 及び金属第 5 層 A L E に配置される固定電位電極 4 1 a , 4 1 b と、金属第 4 層 A L D に排他されるノード電極 4 4 c と、電極 4 1 a , 4 1 c 間に配置される M I M プレート電極 4 4 d と、電極 4 1 b , 4 1 c 間に配置される M I M プレート電極 4 4 e と、を有する。M I M プレート電極 4 4 c はノード電極 4 4 c に接続され、M I M プレート電極 4 4 e は固定電位電極 4 1 b に接続される。第 2 保持容量 4 1 は、容量素子 (電極 4 1 a , 4 1 c 及びそれらの間の絶縁体) と容量素子 (電極 4 1 c , 4 1 e 及びそれらの間の絶縁体) とを高さ方向でスタックして形成される。このように高さ方向にてスタックすることで、所定容量値を確保するための保持容量の専有面積が減少し、省スペースとなる。

20

【 0 0 6 1 】

上述にて示したようにデータ線 1 4 A は、両側に配置したシールド線 8 0 、および上層の M I M 電極との間に、寄生容量をもつ。そして列方向 Y に各保持容量を並べているため、データ線 1 4 の長さが R , G , B によって異なり、寄生容量も異なる。トランスマッションスイッチ 4 2 が O N し、第 1 保持容量 4 1 に蓄えられた電圧がデータ線 1 4 に解放された時、寄生容量の違う分でデータ線の分圧電圧が変わってしまう可能性がある。この調整のために、R , G , B 毎にイニシャル電圧 V_{INI} , V_{ref} の変更、もしくは階調補正を変更できる機能を備えることができる。階調補正は R A M を内蔵し、R , G , B 毎に図 1 のガンマ補正部 7 1 に設けられたルックアップテーブルを変えることができる機能を有している。

30

【 0 0 6 2 】

4 . 電子機器

図 1 0 は、このデジタルスチルカメラ 2 0 0 の構成を示す斜視図であるが、外部機器との接続についても簡易的に示すものである。デジタルスチルカメラ 2 0 0 のケース 2 0 2 の背面には、上述した有機 E L を用いた表示装置 1 0 が適用される表示装置 2 0 4 が設けられる。表示装置 2 0 4 は、C C D (Charge Coupled Device) による撮像信号に基づいて、表示を行う構成となっている。このため、表示装置 2 0 4 は、被写体を表示する電子ビューファインダとして機能する。ケース 2 0 2 の観察側 (図においては裏面側) には、光学レンズや C C D などを含んだ受光ユニット 2 0 6 が設けられている。

40

【 0 0 6 3 】

ここで、撮影者が表示装置 2 0 4 に表示された被写体像を確認して、シャッターボタン 2 0 8 を押下すると、その時点における C C D の撮像信号が、回路基板 2 1 0 のメモリに転送・格納される。

【 0 0 6 4 】

このデジタルスチルカメラ 2 0 0 には、ケース 2 0 2 の側面に、ビデオ信号出力端子

50

2 1 2 と、データ通信用の入出力端子 2 1 4 とが設けられている。ビデオ信号出力端子 2 1 2 にはテレビモニタ 2 3 0 が、データ通信用の入出力端子 2 1 4 にはパーソナルコンピュータ 4 4 0 が、それぞれ必要に応じて接続される。さらに、所定の操作によって、回路基板 2 1 0 のメモリに格納された撮像信号が、テレビモニタ 2 3 0 や、パーソナルコンピュータ 2 4 0 に出力される。

【 0 0 6 5 】

図 1 1 及び図 1 2 は、ヘッドマウント・ディスプレイ 3 0 0 を示している。ヘッドマウント・ディスプレイ 3 0 0 は、眼鏡と同様にテンブル 3 1 0、ブリッジ 3 2 0、レンズ 3 0 1 L, 3 0 1 R を有する。ブリッジ 3 2 0 の内側には、左眼用の表示装置 1 0 L と右眼用の表示装置 1 0 R とが設けられる。これら表示装置 1 0 L, 1 0 R として、図 1 に示す表示装置 1 0 を適用できる。

10

【 0 0 6 6 】

表示装置 1 0 L, 1 0 R に表示される画像は、光学レンズ 3 0 2 L, 3 0 2 R 及びハーフミラー 3 0 3 L, 3 0 3 R を介して両眼に入射される。視差を伴い左眼、右眼用画像とすることで、3 D 表示が可能である。なお、ハーフミラー 3 0 3 L, 3 0 3 r は外光を透過するので、装着者の視野を妨げない。

【 0 0 6 7 】

なお、上記のように本実施形態について詳細に説明したが、本発明の新規事項および効果から実体的に逸脱しない多くの変形が可能であることは当業者には容易に理解できるであろう。従って、このような変形例はすべて本発明の範囲に含まれるものとする。例えば、明細書又は図面において、少なくとも一度、より、その異なる用語に置き換えることができる。また表示装置、電子機器等の構成、動作も本実施形態で説明したものに限定されず、種々の変形実施が可能である。

20

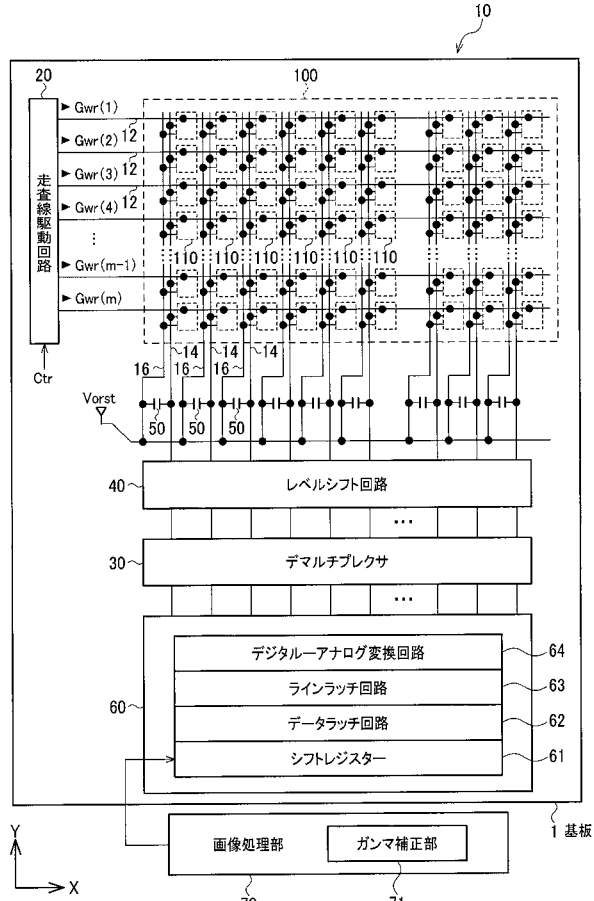
【 符号の説明 】

【 0 0 6 8 】

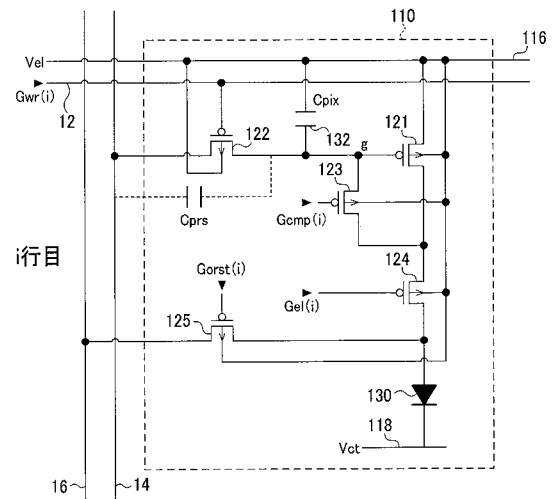
1 シリコン基板、1 0 表示装置、1 4 データ線、4 1 第 2 保持容量、4 2 トランスファークゲート、4 3, 4 5 初期化スイッチ、4 4 第 1 保持容量、5 0 保持容量、8 0, 8 1 シールド線、9 0 A ~ 9 0 D 制御信号線、9 1 A ~ 9 1 C バッファ、1 1 0 画素回路、1 2 1 第 1 トランジスター、1 2 2 第 2 トランジスター、1 2 3 第 3 トランジスター、1 3 0 発光素子、X 行方向、Y 列方向

30

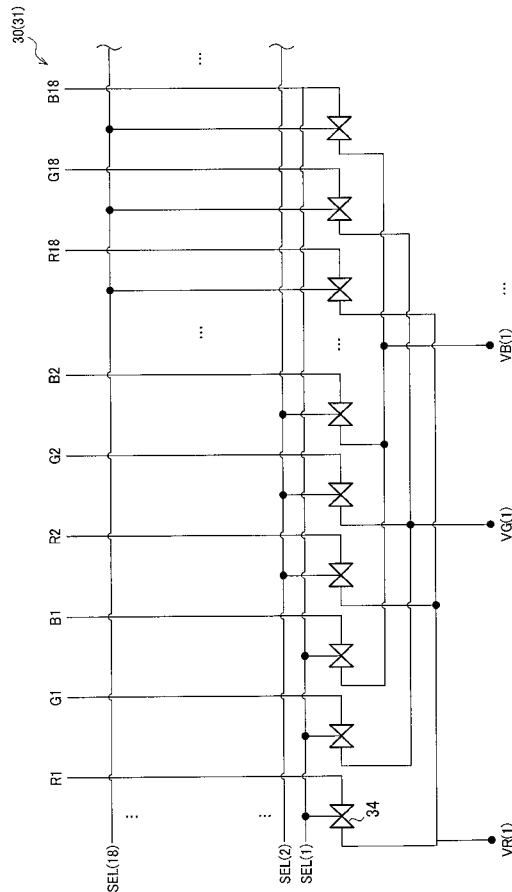
【図 1】



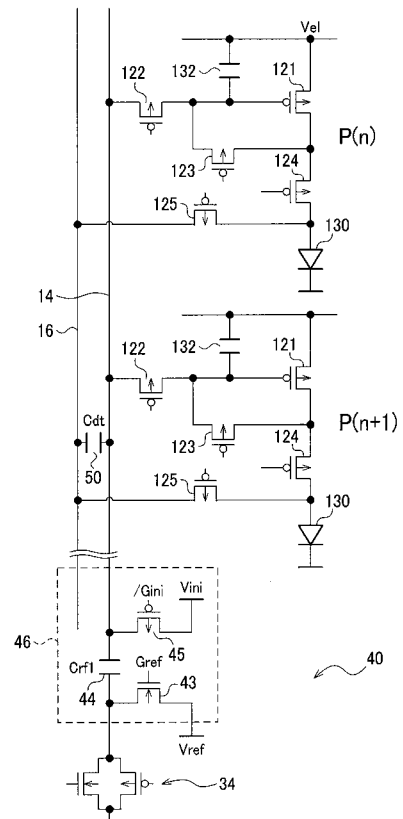
【図 2】



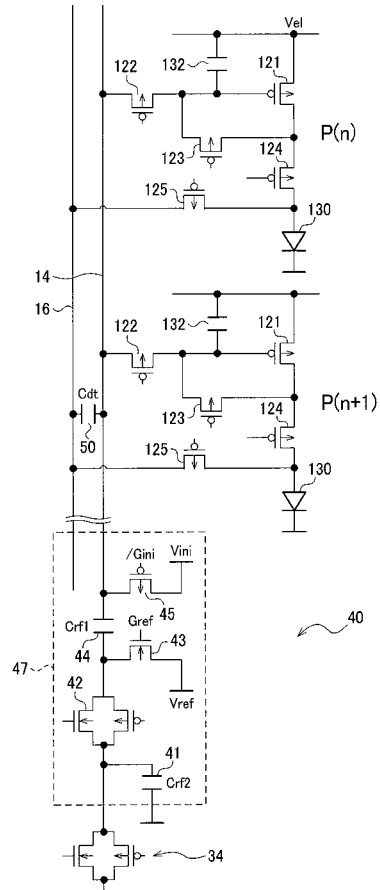
【図 3】



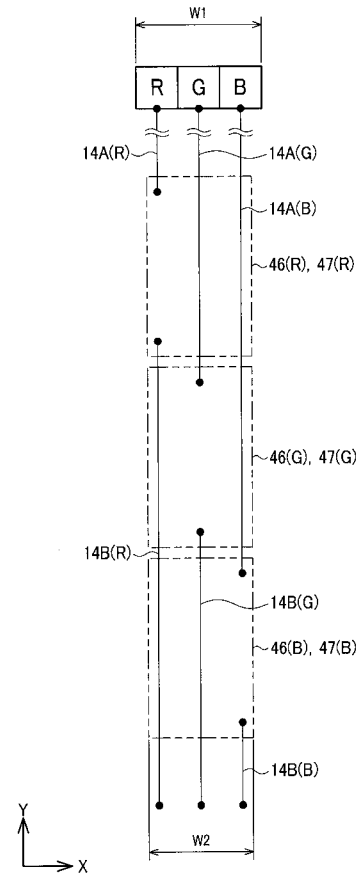
【図 4】



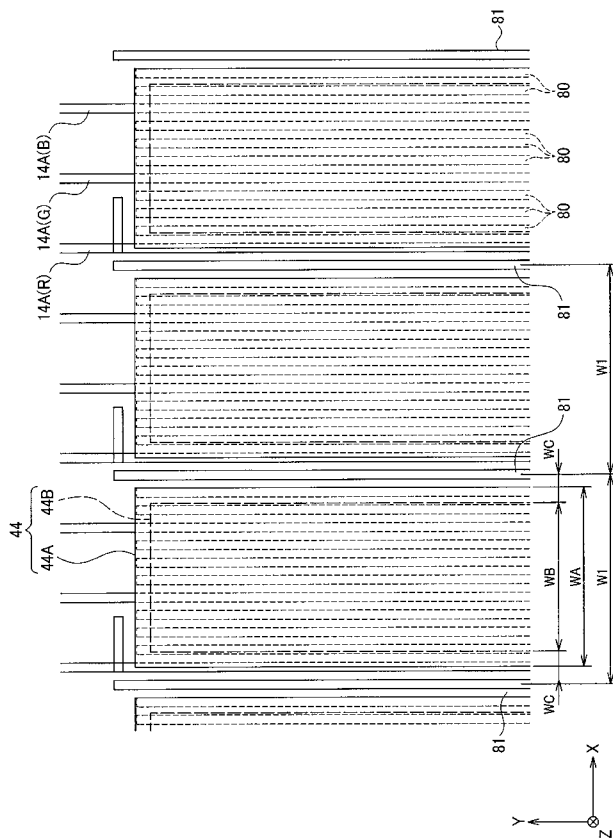
【図 5】



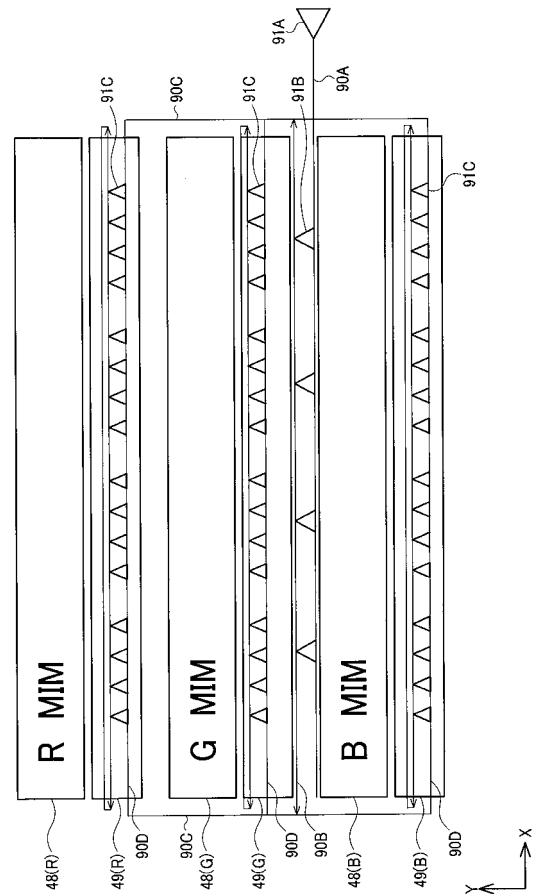
【図 6】



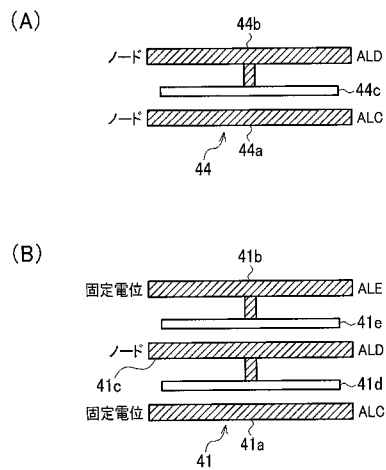
【図 7】



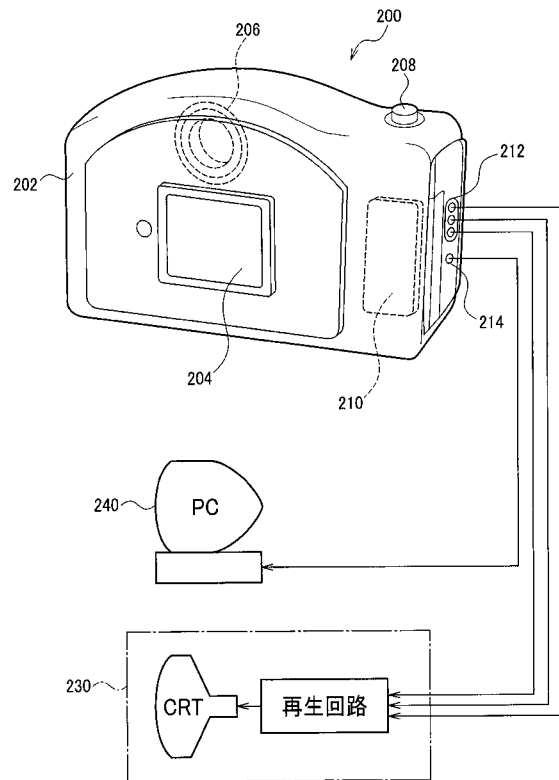
【図 8】



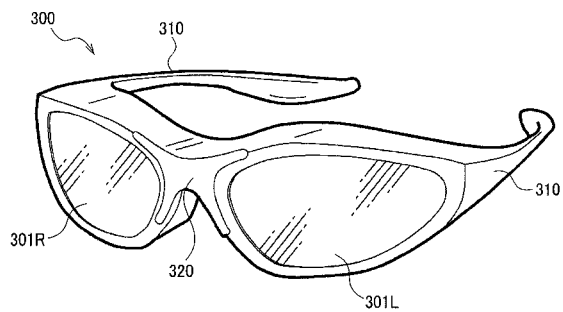
【図 9】



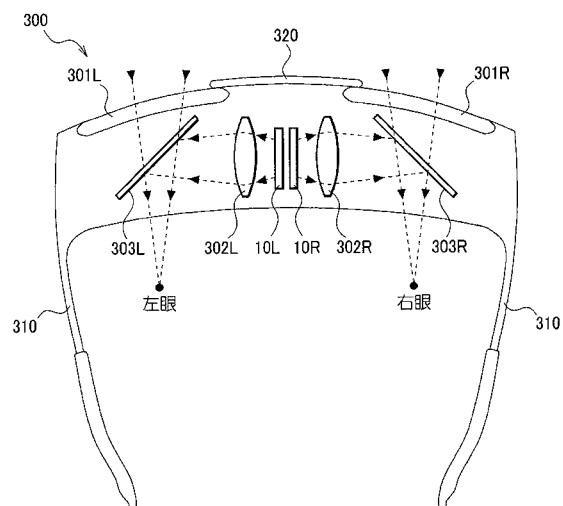
【図 10】



【図 11】



【図 12】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 1 1 H
G 0 9 G	3/20	6 2 1 L
G 0 9 G	3/20	6 2 3 H
G 0 9 G	3/20	6 2 3 G
G 0 9 G	3/20	6 2 3 F
G 0 9 G	3/20	6 8 0 A
G 0 9 G	3/20	6 6 0 X
G 0 9 G	3/20	6 2 4 B
G 0 9 F	9/30	3 3 8
G 0 9 F	9/30	3 6 5 Z
H 0 5 B	33/14	A

F ターム(参考) 3K107 AA01 BB01 CC33 CC35 CC43 CC45 EE03 FF15 HH05
 5C080 AA06 BB05 CC03 DD05 DD10 DD12 DD22 FF11 HH09 JJ02
 JJ03 JJ06 KK43
 5C094 AA09 BA03 BA27 DA13 EA10 FA01 FA10 FB19 HA08
 5C380 AA01 AB06 AB08 AB09 AB34 AB45 AC10 AC20 BA09 BA11
 BA22 BA24 BA25 BA39 BB08 BB13 BB15 CA04 CA12 CA16
 CA17 CA32 CA57 CC01 CC33 CC39 CC45 CC65 CC77 CD015
 CF07 CF09 CF13 CF22 CF24 CF48 CF53 DA01 DA06 EA02

专利名称(译)	表示装置及び电子机器		
公开(公告)号	JP2014186125A	公开(公告)日	2014-10-02
申请号	JP2013060194	申请日	2013-03-22
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
[标]发明人	田村剛 野村猛		
发明人	田村 剛 野村 猛		
IPC分类号	G09G3/30 G09G3/20 G09F9/30 H01L27/32 H01L51/50		
CPC分类号	G09G3/2092 G09G3/3208 G09G2300/0861 G09G2310/0248 G09G2310/0289 G09G2310/0297 G09G2320/0209		
FI分类号	G09G3/30.J G09G3/20.680.H G09G3/20.623.Y G09G3/20.611.D G09G3/20.611.C G09G3/20.611.H G09G3/20.621.L G09G3/20.623.H G09G3/20.623.G G09G3/20.623.F G09G3/20.680.A G09G3/20.660.X G09G3/20.624.B G09F9/30.338 G09F9/30.365.Z H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/CC35 3K107/CC43 3K107/CC45 3K107/EE03 3K107/FF15 3K107/HH05 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD10 5C080/DD12 5C080/DD22 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ06 5C080/KK43 5C094/AA09 5C094/BA03 5C094/BA27 5C094/DA13 5C094/EA10 5C094/FA01 5C094/FA10 5C094/FB19 5C094/HA08 5C380/AA01 5C380/AB06 5C380/AB08 5C380/AB09 5C380/AB34 5C380/AB45 5C380/AC10 5C380/AC20 5C380/BA09 5C380/BA11 5C380/BA22 5C380/BA24 5C380/BA25 5C380/BA39 5C380/BB08 5C380/BB13 5C380/BB15 5C380/CA04 5C380/CA12 5C380/CA16 5C380/CA17 5C380/CA32 5C380/CA57 5C380/CC01 5C380/CC33 5C380/CC39 5C380/CC45 5C380/CC65 5C380/CC77 5C380/CD015 5C380/CF07 5C380/CF09 5C380/CF13 5C380/CF22 5C380/CF24 5C380/CF48 5C380/CF53 5C380/DA01 5C380/DA06 5C380/EA02 5C380/AB19 5C380/CF43		
代理人(译)	井上 一 黑田靖		
其他公开文献	JP6131662B2		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种在显示装置的电容分割驱动方法中使用的电容器的布局，其中以小幅度驱动像素部分数据线以防止垂直串扰。在显示装置中设置的多个像素电路110中的每一个导通发光元件OLED，向发光元件提供驱动电流的第一晶体管121，以及第一晶体管的数据线和栅极。第二晶体管122导通/截止，并且第三晶体管123在第一晶体管的栅极和漏极之间导通/截止。该显示装置还包括：第一存储电容器44，其存储并连接在多条数据线的中间并且对第一晶体管的驱动电压进行电平移动；以及存储电容器50，其保持多条数据线中的每条数据的电势。。沿着列方向Y排列N个第一存储电容器，每个电容器的宽度小于在行方向X上彼此相邻的N个像素电路的宽度（N个是多个）像素电路的宽度，并且每个电极电极的宽度等于或大于一个像素电路的宽度。我放了 [选择图]图6

